

アクティブ・クランプ方式UCC2891 PWMコントローラを用いた高効率設計

摘要

UCC2891電流モード・アクティブ・クランプ方式のPWMコントローラは高度に集積された機能をもっているため、アクティブ・クランプ方式のフォワード・コンバータもしくはフライバック・コンバータシステムを最適に構築できます。UCC2891のデータシートには設計時の資料として必要な全ての設計詳細を記載しています。しかしながら、コントロールICを構築する前に定義し

なければならないアクティブ・クランプ方式のパワー段には独特の重要な設計考察やトレードオフがあります。例としてアクティブ・クランプ方式のフォワード方式を用いて、以下のアプリケーション・ノートにクランプ、パワー段、コントロール・ループの補償について詳述します。なお、このアプリケーション・ノートはUCC2891/2/3/4のデータシートに記載されている情報を補完するためのものです。

目次

1	はじめに	2
2	アクティブ・クランプ方式スイッチングの基礎	2
3	設計仕様	5
4	パワー段の設計	5
5	光カプラによる電圧フィードバック	18
6	フィードバック・ループの補償	19
7	UCC2891 PWMコントロールICの設定	25
8	回路図及び部品表(BOM)	27
9	UCC2891設計例の特性データ	29
10	設計改善についての提案	33
11	結論	34
12	参考資料	34

SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

1 はじめに

シングルエンド型のフォワード・コンバータは一般的に50Wから500Wの範囲の単一及び複数出力の電源に利用されています。トランスのリセットを行うのに広く使用されている手法はいくつかありますが、アクティブ・クランプ方式が単純さ及び最適な特性を得られるという点から見て最良の方法です。効率が大きく改善すると同時に、ZVS(ゼロ電圧スイッチング)によるスイッチ電圧のストレスの低さ、デューティ・サイクル範囲が広がる、EMI(電磁障害)が低減するといったところがまさにアクティブ・クランプ方式によるリセット手法が検討される理由です。

アクティブ方式に伴う欠点の1つは正確なデューティのクランプが必要なことです。ある最大値に対してクランプしないと、デューティ・サイクルが増加しトランスが飽和してしまうか、またはメイン・スイッチにさらに電圧ストレスがかかってしまい、壊滅的なダメージを受けてしまいます。もう1つの欠点としては、アクティブ・クランプとメイン・スイッチのゲート駆動間の遅延タイミングを同期させるため高度なコントロール手法を行う必要があるということです。UCC2891の多くの特長の1つは最大デューティ・サイクルを±3%以内の精度でプログラムできることです。UCC2891/2/3/4は、ハイサイドまたはローサイド構成においてPチャンネルまたはNチャンネルのクランプ・スイッチを駆動する能力をもっています。メイン・スイッチとクランプ・スイッチ間の遅延時間がプログラムできることにより、UCC2891がコントロールICとして使用された場合アクティブ・クランプ手法を使用することに伴う従来からの欠点は存在しなくなります。

いかなる電源設計でも、与えられた設計仕様を満足するためにはパワー段、コントロール・ループを注意深く設計することから始め、最後に制御コントローラを構築します。アクティブ・クランプ方式のフォワード方式では、さらにいくつか考慮することが

あり後述の設計例で検討されています。ここで提示されている例ではUCC2891 PWMコントロールICの使用について強調されていますが、ZVSに関連した理論展開はもとより、パワー段、アクティブ・クランプ、コントロール・ループ、PWMの構築もUCC2891/2/3/4及びUCC2897に適用できます。

2 アクティブ・クランプ方式 スイッチングの基礎

パワー段を設計する前に、アクティブ・クランプ・リセット方式の特有の基本的なタイミングを最初に理解しておくことが重要です。参考文献[6]と[7]に、アクティブ・クランプ方式による電流整流について詳細に調査している8つの異なるスイッチング期間が紹介されています。ローサイドでのアクティブ・クランプ構成を例として使用し、 $t_0 \rightarrow t_4$ の全スイッチング・サイクルを図1から図4で詳述する4つの異なるスイッチング期間に簡素化し、説明します。

2.1 $t_0 \rightarrow t_1$: パワーの移動

この状態では、メイン・スイッチ Q_{MAIN} は導通しており、メイン・スイッチのボディ・ダイオードが既に導通していたため(図4参照)、正常な状態下でZVSに基づいてちょうどオンになった時にパワーは二次側に移動します。一次電流は Q_{MAIN} のチャンネル抵抗を流れ、トランスの励磁電流と二次側に導かれた電流の和で構成されています。二次側では、順方向に接続された同期整流器 Q_F がオンで全負荷電流を運びます。前の状態では、負荷電流は逆方向に接続された同期整流器 Q_R のボディ・ダイオードを自由に流れていたため、 Q_F はハード的にスイッチしてしまうのでターンオン損失を受けやすい傾向にあります。

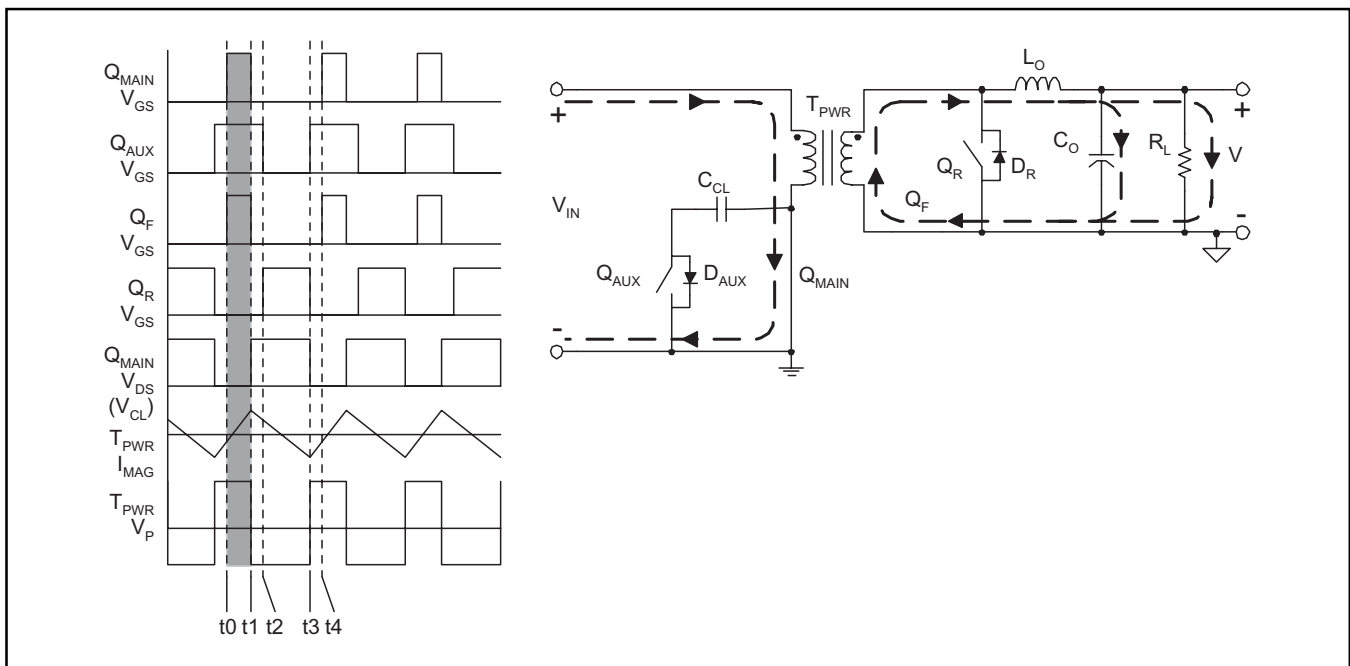


図1. $t_0 \rightarrow t_1$: パワー移動期間

2.2 t1 → t2：共振

この状態は1つの全スイッチング・サイクル内で起こる2つの共振状態のうちの最初のものです。この状態では、 Q_{MAIN} はZVSに基づいてオフになり、一次電流はクランプ・スイッチ Q_{AUX} のボディ・ダイオード D_{AUX} に回生するため継続して流れています。 D_{AUX} を流れる一次電流の方向性により、ローサイドでのアクティブ・クランプ方式のアプリケーションでは Q_{AUX} はPチャンネルのMOSFET(ボディ・ダイオードが下向き)であることが必要です。二次側の負荷電流が自由に流れているため、一次側に導かれる電流はありません。よって、 D_{AUX} を流れる電流はトランスの励磁電流のみです。その結果、 Q_{AUX} のボディ・ダイオードの導通損失は僅かであり、 Q_{AUX} がZVSに基づいてオンになるような状態に設定されます。 Q_{MAIN} のターンオフと Q_{AUX} のターンオンの間の遅延時間も、共振期間としても利用されており、アクティブ・クランプ方式と他のシングルエンド型の通常のトランスリセット方法との違いを示しています。二次側では、 Q_F はハード・スイッチングでオフになり、全出力負荷電流は今や D_R を自由に流れています。大電流のアプリケーションでは、 D_R のボディ・ダイオードの導通損失が総電力損失の大きな原因となり、多くの場合高周波動作を妨げる大きな要因となります。また一方、 D_F の導通も Q_F がZVSに基づいてオンになるのに必要です。自己駆動の同期整流では不可能ですが、 D_F の導通時間を最小限に、理想的にはゼロに抑えるほうがいいのですが、それでも Q_F はZVSに基づいてターンオンします。

2.3 t2 → t3：アクティブ・クランプ

この状態は一次側トランスがリセットされるアクティブ・クランプ状態です。図3で一次電流が即座に反転しているのが示されていますが、電流の正から負への移行は実際にはなだらかで、励磁電流が正の最大ピーク値に達した前回の状態時に始まっています。一次側では、 Q_{AUX} が入力電圧 V_{IN} とクランプ・コンデンサ電圧の差の電圧が一次側トランスの両端に加わると直ちに完全にオンになります。励磁電流のみがチャネル抵抗を流れるため Q_{AUX} ではごく小さな導通損失になります。逆に、二次側では Q_R がそのチャネル抵抗を介して全負荷電流を運ぶため、大きな導通損失を被ります。

2.4 t3 → t4：共振

この状態は1つの全スイッチング・サイクル内で起こる2つの共振状態のうちの2番目です。この状態では、 Q_{AUX} はZVSに基づいてオフになり、一次電流は Q_{MAIN} のボディ・ダイオード D_{MAIN} に転換するため継続して流れています。この場合もやはり、一次電流は負方向に流れているのが図示されていますが、これは電流が実際に逆方向に変わり始める状態時のことです。これはその負の最大ピーク値で示される励磁電流波形により支えられています。 Q_{MAIN} のボディ・ダイオードは Q_{MAIN} がZVSに基づいてオンになる状態を構築するよう導通し始めます。ある条件下ではターンオン時 Q_{MAIN} はZVSを経ない可能性があることに注意してください。この詳細は4.4項で説明します。二次側では、 Q_R のターンオフの直前に D_R が導通し始めます。従って、 Q_R はZVSに基づいてオフになりますが、ボディ・ダイオードの導通によりt1 → t2状態と同様に電力損失は回避できません。t4完了時、スイッチング・サイクルはt0 → t1状態に戻り、手順を繰り返します。

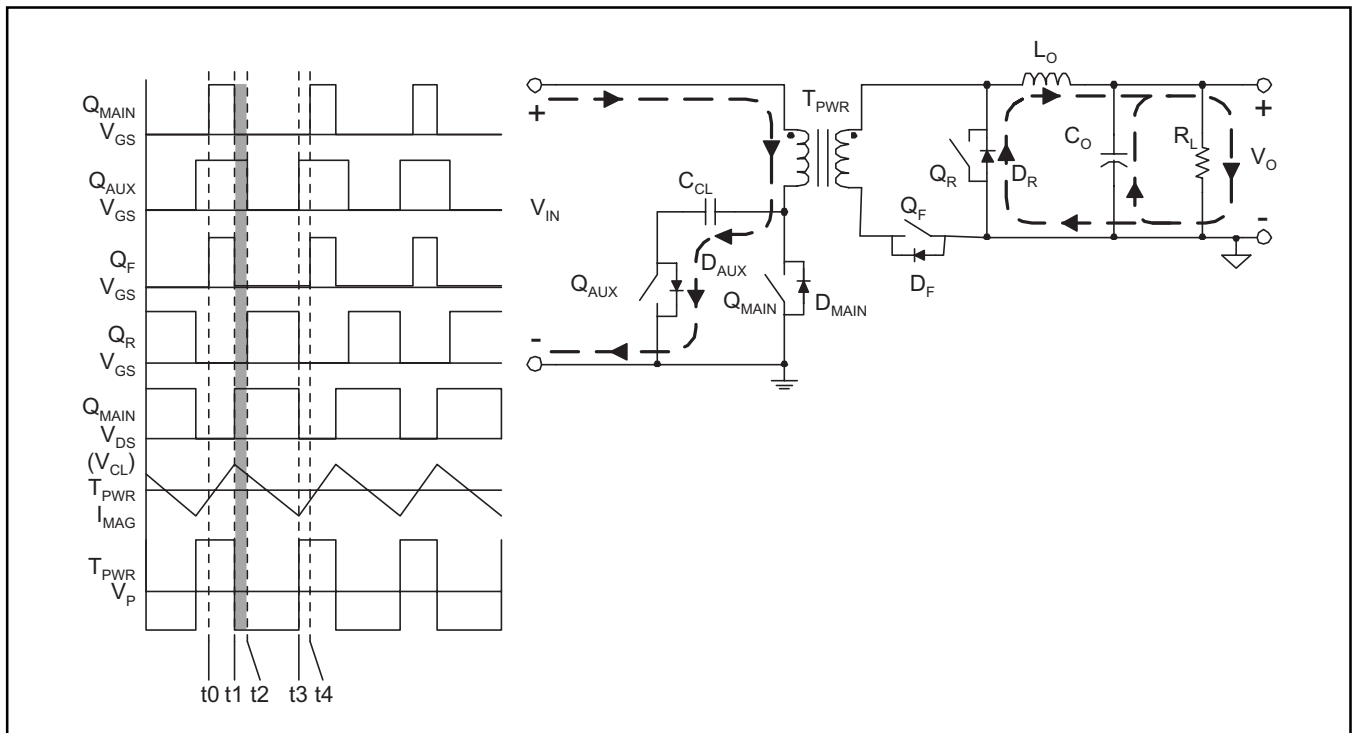


図2. t1 → t2：共振期間

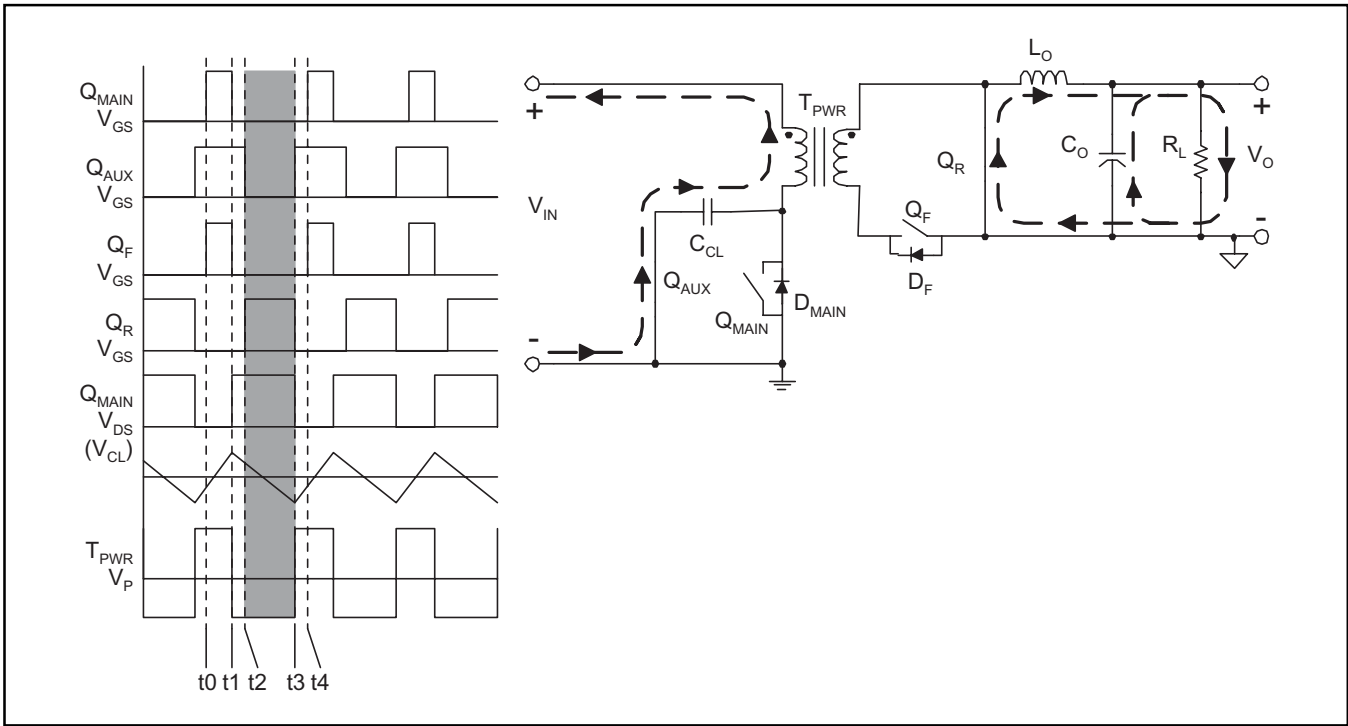


図3. $t_2 \rightarrow t_3$: アクティブ・クランプ・リセット期間

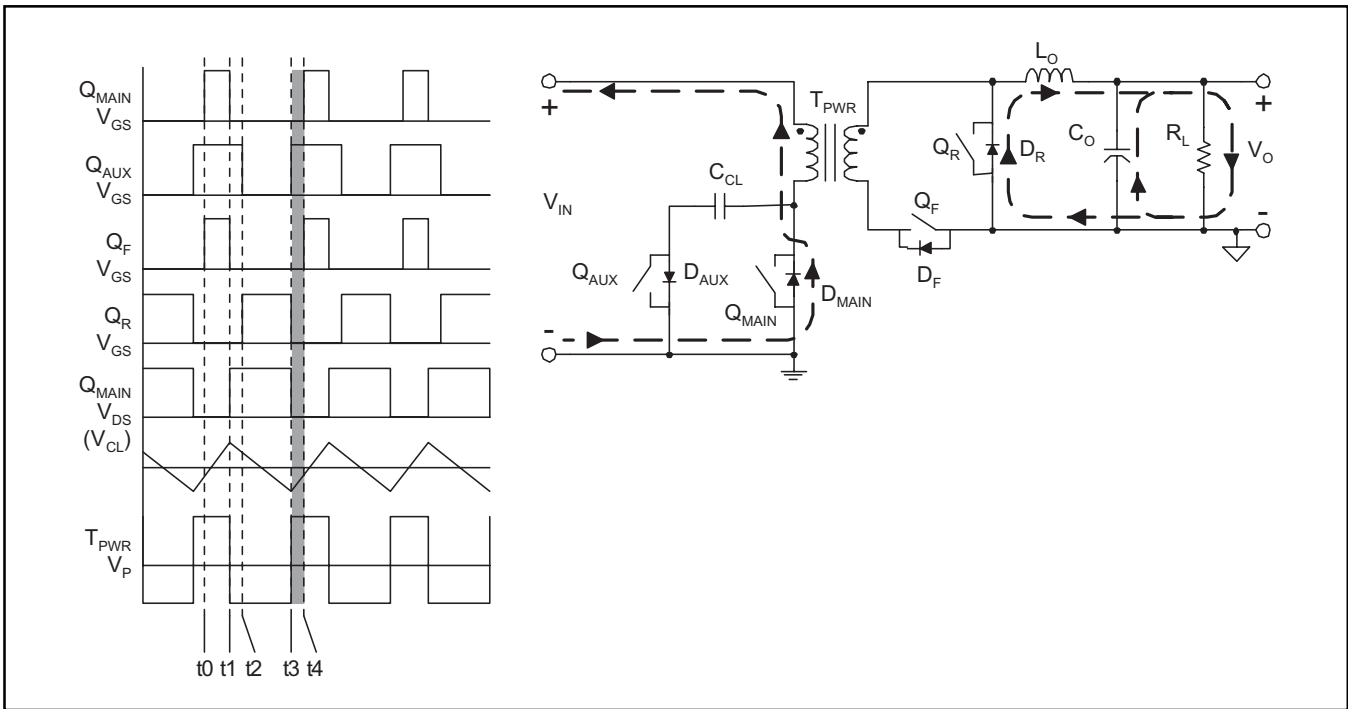


図4. $t_3 \rightarrow t_4$: 共振期間

3 設計仕様

UCC2891アクティブ・クランプ方式PWMコントローラの利点を実証するため、3.3V/30A出力の供給能力をもつ100Wのフォワード・コンバータを設計します。このコンバータは $36V < V_{IN} < 72V$ の入力電圧で動作を想定して設計例を示します。重要な電気的仕様の一部を表1に記載します。機械的仕様は業界標準のハーブリック以内に納まるという目標で行います。

Parameter	Symbol	Min	Typ	Max	Units
Input Voltage Range	V_{IN}	31	48	72	V
Input Turn-On Voltage	V_{ON}		35		
Input Turn-Off Voltage	V_{OFF}		34		
Full Load Efficiency	η	85%	90%		
Duty Cycle	D			0.6	
Output Voltage	V_O	3.135		3.465	V
Output Voltage Ripple	$\Delta V_{O(RIP)}$		33		mVpp
Output Load Current	I_O	0		30	A
Output Current Limit	I_{LIM}			32	
Switching Frequency	F_{SW}	275		325	kHz
Control Loop Bandwidth	BW	5		10	
Phase Margin	ϕ_M	30		60	Degrees
Ambient Temperature	T_A		25	40	$^{\circ}C$

表1. UCC2891設計例の仕様

4 パワー段の設計

アクティブ・クランプ方式フォワード・コンバータのパワー段を構成する重要部品から成る最上位の回路図を図5に示します。

パワー段のアクティブ・クランプ部は、補助(AUX)スイッチ Q_{AUX} とクランプ・コンデンサ C_{CL} で構成されています。 Q_{AUX} は一次側のグラウンドを基準としているため、ローサイド・クランプ構成と見なされます。アクティブ・クランプ部品の詳細については4.3項で検討します。

出力電圧3.3V/出力電流30Aの場合、出力側には特に最大負荷電流時に高効率を維持するため同期整流方式が頻りに利用されます。使いやすさ及び簡素化のため、自己駆動の同期整流では図に示されているように順方向整流器 Q_F と逆方向整流器 Q_R を選択します。

パワー段の設計は二次側の出力部品の選定から始めます。

4.1 出力パワー段の設計

三次巻線のリセット方式を使用したフォワード・コンバータの最大デューティ・サイクルは通常なら50%に制限されています。RCDクランプ及び共振リセットのフォワード・コンバータは50%をわずかに越えることがあります。アクティブ・クランプ方式のリセットは簡単に最大デューティ・サイクルを60%に押し上げ、さらにいくつかの低電圧のアプリケーションでは70%で使用されることがあります。当例では、最大デューティ・サイクルは、通常動作時、36V入力で60%に制限されています。72V入力ではデューティ・サイクルは約30%です。

出力インダクタ L_O は最初にインダクタの最大許容リップル電流 ΔI_{LO} を推測することにより計算できます。

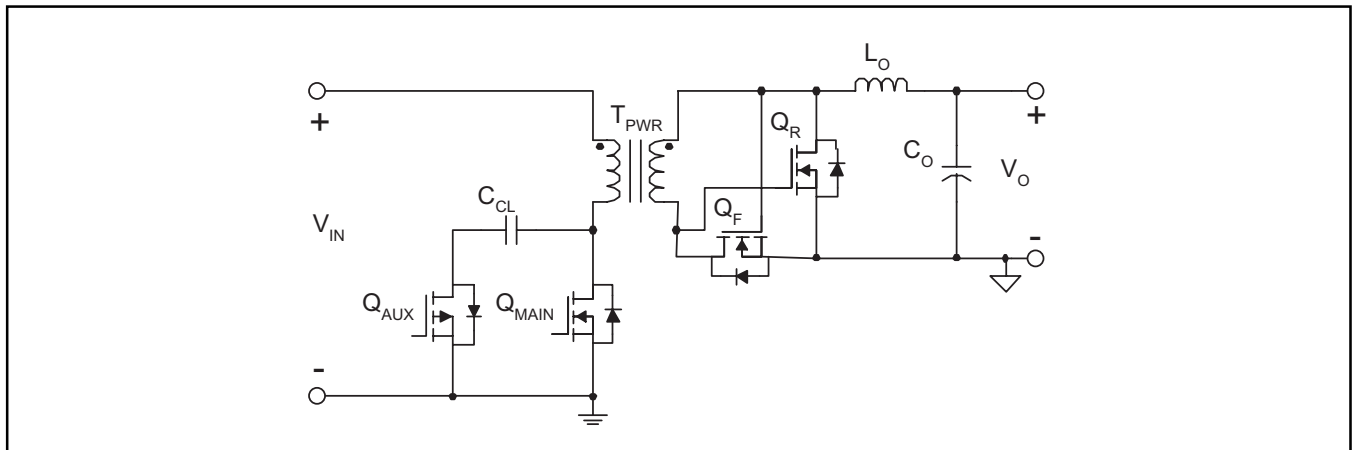


図5. アクティブ・クランプ方式フォワード・コンバータのパワー段

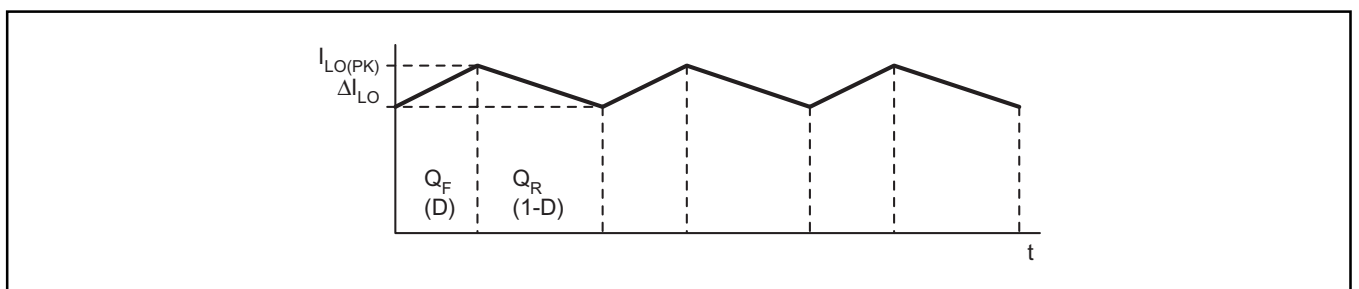


図6. 出力インダクタ電流の波形

4.1.1 出力インダクタ

インダクタのピーク間リップル電流を最大出力電流の15%と仮定すると、ファラデーの法則(1)を用いて L_O について解くと、式(2)から求められます。

$$L_O = \left(\frac{V_O}{0.15 \times I_{O(MAX)} \times F_{sw}} \right) \times (1 - D_{MIN}) \quad (1)$$

$$L_O = \left(\frac{3.3V}{0.15 \times 30A \times (275 \times 10^3 Hz)} \right) \times (1 - 0.3) = 1.87 \mu H \quad (2)$$

結果の端数を切り上げるとインダクタを流れるリップル電流が少なくなるのに対し、端数を切り捨てるとリップル電流が多くなりますが、インダクタ値が小さくなります。 ΔI_{LO} が増加してもよいとすると、出力コンデンサを流れるRMSリップル電流が増え、出力整流器によりスイッチング損失も増加してしまうことを心に留めておいてください。これらのことが L_O の最適値を決める場合に考慮する必要のあるトレードオフです。当設計では、薄型で特性が再現可能であるため市販(OTS)のプレーナー型インダクタを使用します。Pulse社のPA0373がプレーナー型でインダクタンスが $2 \mu H$ 、定格電流が30ADC、定格飽和電流は35Aです。また、PA0373は巻線比1:4(主巻線対補助巻線)の結合巻線を含んでおり、一次側を基準としたブートストラップ・バイアス電圧 V_{BOOT} 用に使することができます。

式(3)を使い、 ΔI_{LO} の値を L_O の選択値 $2 \mu H$ から式(4)で計算することができます。

$$\Delta I_{LO} = \left(\frac{V_O}{L_O \times F_{sw}} \right) \times (1 - D_{MIN}) \quad (3)$$

$$\Delta I_{LO} = \left(\frac{3.3V}{2 \times 10^{-6} H \times (275 \times 10^3 Hz)} \right) \times (1 - 0.3) = 4.2 A_{pp} \quad (4)$$

4.2A_{pp}の電流は総負荷電流の14%に相当し、インダクタの許容リップル電流から見て条件を満たして余りある値です。式(5)よりインダクタの最大RMS電流の計算結果は30.1A_{RMS}となり、最

大負荷電流とほぼ同じです。とはいえ、 ΔI_{LO} が高い値の場合、この計算から出力インダクタは確実に飽和領域近辺では動作しないという設計チェックの役割をします。

$$I_{LO(RMS)} = \sqrt{I_O^2 + \frac{\Delta I_{LO}^2}{3}} = \sqrt{30A^2 + \frac{4.2A^2}{3}} = 30.1 A_{RMS} \quad (5)$$

4.1.2 ブートストラップ・バイアス電源

Q_R が導通しているフリーホイール期間では、単に出力インダクタの両端にかかる電圧がレギュレーションされる出力電圧です。ならびに、PA0373では1:4(N_{BOOT})の巻線比の結合巻線が使用されているため、 V_{OUT} と V_{BOOT} の関係する式が以下のように表されます。

$$V_O \times (1 + D) = \frac{V_{BOOT} + V_{D(BOOT)}}{N_{BOOT}} \times (1 - D) \quad (6)$$

V_{BOOT} について式(6)を解くと式(7)のようになります。

$$V_{BOOT} = (N_{BOOT} \times V_O) - V_{D(BOOT)} \quad (7)$$

式(7)を用い、ショットキー・ダイオードの $V_{D(BOOT)}$ の電圧降下が0.5Vとすると、式(8)から V_{BOOT} の概算値は12.7Vになります。

V_{OUT} と V_{BOOT} が別の値の場合については、(6)を並び替えて結合インダクタ L_{BOOT} の別の巻線比について解くことができます。

$$V_{BOOT} = (4 \times 3.3V) - 0.5V = 12.7V \quad (8)$$

図7に示されている結合巻線の手法は通常定常状態下ではうまく機能しますが、式(7)から V_{BOOT} の実際の値は V_{OUT} に依存しているということに注意してください。過電流または短絡回路電流状態などの異常状態時、 V_{OUT} はすでにレギュレーション状態ではなく、 V_{BOOT} がPWMコントローラの低電圧検出のスレッシユホールドより下に下がるとコンバータは動作・停止を繰り返すHiccup・モード(ひゃっくりモード)で動作してしまいます。PWMが V_{OUT} が安定化状態でなくなるまで低下する異常時でも完全に機能し続けなければならないとすると、UCC2891低電圧検

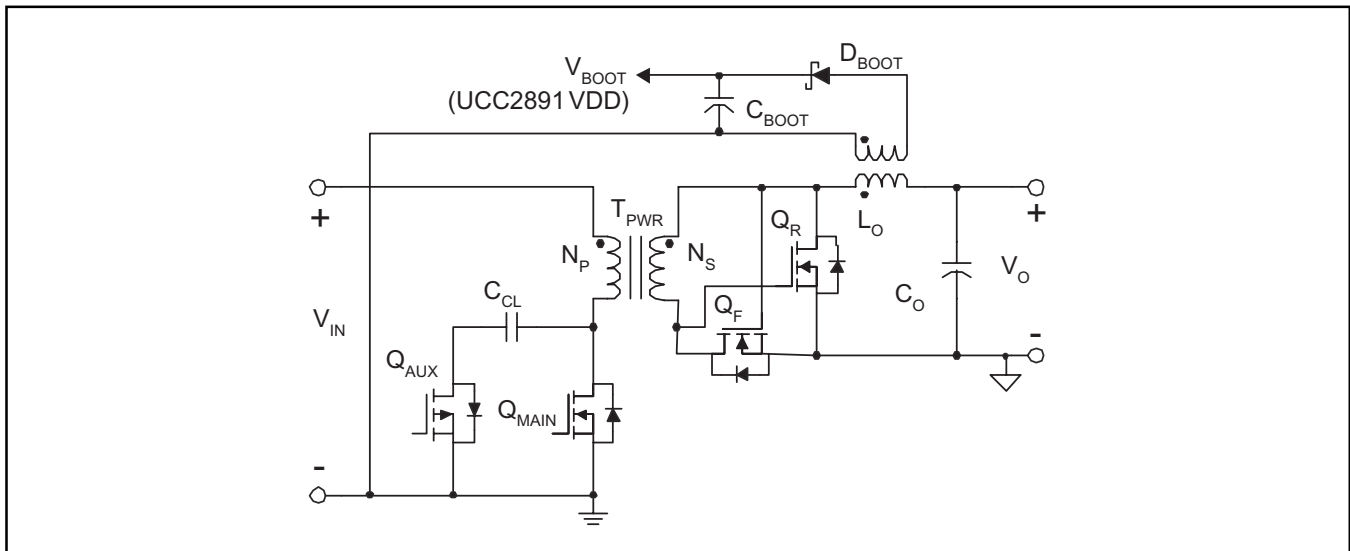


図7. UCC2891ブートストラップ・バイアス電源

出のスレッシュホールドより上にV_{BOOT}を保持するよう安定化されるバイアス電圧を別途調達し専用化する必要があります。

UCC2891のデータシートによると、最小起動電圧は12.5V、最大起動電流は500μAです。この情報を使用し式(9)によりブートストラップ・コンデンサの大きさを決めます。

$$C_{BOOT} = I_{START} \times \left(\frac{(1-D_{MIN})}{F_{SW} \times \Delta V} \right) \quad (9)$$

既知の値を式(9)に代入して解くと以下ようになります。

$$C_{BOOT} = 500 \times 10^{-6} \text{ A} \times \left(\frac{(1-0.3)}{(275 \times 10^3 \text{ Hz}) \times (12.7\text{V} - 12.5\text{V})} \right) \quad (10)$$

$$= 6.4 \times 10^{-9} \text{ F} \approx 10 \text{ nF}$$

4.1.3 出力コンデンサ

出力コンデンサはコスト、大きさ、機能性、可用性などの多くのアプリケーションに特有な変数をもとに選択します。当例では最小出力容量を許容できる出力リップル電圧が出力レギュレーション電圧の1%または約33mV_{PP}であると任意に設定して決めています。式(4)からインダクタのリップル電流は既に計算されているため、最小出力容量は式(11)より計算され、結果は式(12)で示されているように58μFです。

$$C_{O(MIN)} = \frac{\Delta I_{LO}}{8 \times F_{SW} \times \Delta V_{O(RIP)}} \quad (11)$$

$$C_{O(MIN)} = \frac{4.2 \text{ A}_{pp}}{8 \times (275 \times 10^3 \text{ Hz}) \times (33 \times 10^{-3} \text{ V})} = 58 \mu\text{F} \quad (12)$$

式(12)で求められた容量値は出力リップル電圧の容量分のみにしか影響を与えず、最終的に選択される値はR_{ESR(OUT)}と過渡応答特性について検討すべき課題に左右されます。

出力リップル電圧を33mV_{PP}に制限すると、出力コンデンサの総R_{ESR(OUT)}は式(13)の値以下であることが必要で、計算結果は式(14)で求められます。

$$R_{ESR(OUT)} \leq \frac{\Delta V_{O(RIP)}}{\Delta I_{LO}} \quad (13)$$

$$R_{ESR(OUT)} \leq \frac{33 \times 10^{-3} \text{ V}_{pp}}{4.2 \text{ A}_{pp}} = 8 \text{ m}\Omega \quad (14)$$

過渡応答特性が設計上の検討の重要項目であるとするれば、出力容量は出力負荷電流のステップ変化時に対応できるように過渡電圧のオーバーシュートV_{OS}を調べて選択することができます。誘導性のエネルギーと容量性エネルギーを同等とすると、C_Oは式(15)で求めることができます。

$$C_O = \frac{L_O \times I_{STEP}^2}{V_{OS}^2} = \frac{L_O \times (I_{STEP(MAX)}^2 - I_{STEP(MIN)}^2)}{(V_{OS(MAX)}^2 - V_{OS(MIN)}^2)} \quad (15)$$

負荷の変化が無負荷から全負荷の50%、及び過渡電圧のオーバーシュートを出力レギュレーション電圧の3%に限定した場合、C_Oは式(16)のように672μFになります。

$$C_O = \frac{L_O \times I_{STEP}^2}{V_{OS}^2} = \frac{(2 \times 10^{-6} \text{ H}) \times (15 \text{ A}^2 - 0 \text{ A}^2)}{(3.4 \text{ V}^2 - 3.3 \text{ V}^2)} = 672 \mu\text{F} \quad (16)$$

330μF/6.3VのPOSCAPコンデンサを2つ10μFのセラミック・コンデンサに並列に置くと、過渡特性、小型化、コストでトレードオフがうまく成立します。Sanyoの6TPD330M POSCAPは最大R_{ESR(OUT)}が10mΩ、最大定格リップル電流が4.4A_{RMS}です。

式(15)から、C_OはL_Oに比例し、また、F_{SW}やΔI_{LO}にも依存することに注意してください。補足的注意事項として言うと、これがインターリーブ方式のパワー段がよく用いられている理由です。リップルのキャンセル効果により、ΔI_{LO}が減少するため高周波数動作が可能になり、またL_Oも低下します。L_Oが小さいとC_Oも小さくなり、パワー段のL_O C_O時定数が大きく低下し、超高速な過渡応答が可能になります。高速応答を懸念しないアプリケーションでは、C_Oは式(12)と式(14)の結果だけをもとに選択することもできます。

4.1.4 同期整流器

自励方式の同期整流器のアプリケーションで使用されるMOSFETを適切に選択する際に考慮すべきことはたくさんあります。自励方式のアプリケーションでは、MOSFETのゲート/ソース間電圧は理想的には二次側トランスから直接得られます。結果として、ゲート電圧は安定化されませんが、その代わりに、入力電圧とトランスの巻線比で分割されたトランスのリセット電圧の関数で変化します。入力電圧範囲が2倍以上広い場合は、自励方式の同期整流の選択は適切とはならず、代わりに安定した制御を行うためにはコントロールICなどを利用する方法を検討すべきです。よって、まず第一歩として必要となるトランスの巻線比を決めるための概算を行い、その結果入力電圧範囲をもとに同期整流器のゲート駆動電圧の変動を計算することができます。出力インダクタ端のボルト秒のバランスについての式を書くことで、二次側の最小電圧V_{S(MIN)}は式(17)より求められます。

$$V_{S(MIN)} = \frac{V_O}{D_{MAX} - \left(\frac{I_{R(QMAIN)} + I_{F(QMAIN)} + I_{DELAY}}{T_{SW}} \right)} \quad (17)$$

Q_{MAIN}の立上がり/立下り時間値と遅延時間(図2と図4参照)はまだ分かっていないため、最初は最悪の場合として総最小期間の3%として式(18)を使って解きます。

$$V_{S(MIN)} = \frac{3.3 \text{ V}}{0.6 - \left(\frac{109 \times 10^{-9} \text{ s}}{3.64 \times 10^{-6} \text{ s}} \right)} = 5.79 \text{ V} \quad (18)$$

最小入力電圧が分かったため、式(18)の結果を使用して式(19)で一次対二次の巻線比を計算します。

$$N = \frac{N_p}{N_s} = \frac{V_{IN(MIN)}}{V_{S(MIN)}} = \frac{36 \text{ V}}{5.79 \text{ V}} = 6.2 \approx 6 \quad (19)$$

式(19)の結果の端数を切り捨て整数にすると巻数は6になり、確実に二次側最小電圧は式(18)で求められた結果より大きくなります。前述のように、同期MOSFETのゲート/ソース間電圧はレギュレーションされませんので、次のステップでは各MOSFET

の V_{GS} が全入力電圧範囲で巻線比6の場合どのくらい変化するかを割り出します。

Q_F の V_{GS} はトランスの巻線比で分割された入力電圧に比例して変わります。36V < V_{IN} < 72Vの場合、 Q_F のゲート/ソース間電圧は6V < $V_{GS}(Q_F)$ < 12Vで、標準MOSFETでさえ完全にエンハンスメント型になるのに十分な電圧です。反転MOSFETの Q_R の場合、ゲート/ソース間電圧はトランスの巻線比で分割されるトランスのリセット電圧より導き出されます。アクティブ・クランプ技術の独特のこととはリセット電圧が非線形であることで、このことは4.3項で詳細に説明します。36V < V_{IN} < 72Vの場合、 Q_R のゲート/ソース間電圧は8V < $V_{GS}(Q_R)$ < 5Vです。

MOSFETを適切に選択することはRMS電流と最大ドレイン/ソース間電圧を知ることにもかかっています。図5の回路図から、 Q_F の V_{GS} は Q_R の V_{DS} と同じで、また Q_R の V_{GS} は Q_F の V_{DS} と同じであることが明白です。従って、各MOSFETに対し V_{GS} は既に計算されているため、 V_{DS} もすぐに分かります。

図6のインダクタ電流の波形に戻ると Q_F と Q_R のピーク電流は式(20)で計算することができます。

$$I_{LO(PK)} = I_{O(MAX)} + \frac{\Delta I_{LO}}{2} = 30A + \frac{4.2A}{2} = 32.1A_{PK} \quad (20)$$

Q_F の定格は、パワー移動期間で、式(20)で定義されているピーク電流と、式(21)で定義されているRMS電流に対する耐電流性をもっていることが必要です。

$$I_{QF(RMS)} = I_{O(MAX)} \times \sqrt{D_{MAX}} = 30A \times \sqrt{0.6} = 23.24A_{RMS} \quad (21)$$

逆に、フリーホイールMOSFETの Q_R の定格は、アクティブ・クランプのリセット期間で式(22)で定義されている最大RMS電流を運ぶ能力をもっていることが必要です。

$$I_{QR(RMS)} = I_{O(MAX)} \times \sqrt{1 - D_{MIN}} = 30A \times \sqrt{1 - 0.3} = 25.1A_{RMS} \quad (22)$$

デューティ・サイクルがほぼ0.5であるため、最大RMS電流は各MOSFETでほとんど等しいことにより、 Q_F と Q_R には同じデバイスを使用することができます。各MOSFETのパラメータの計算結果を表2にまとめており、必要なパラメータを規定するのに使用します(20%のマージン付加済)。

ターンオフ時、アクティブ・クランプ方式のフォワード・コンバータの同期整流器はゼロ電圧付近で動作します。ターンオン

PARAMETER	Q_F	Q_R
CALCULATED PARAMETERS		
V_{GS}	6V < V_{GS} < 12V	8V < V_{GS} < 5V
V_{DS}	8V < V_{DS} < 5V	6V < V_{DS} < 12V
I_D (I_{RMS})	23.24A	25.1A
SPECIFIED PARAMETERS		
$V_{GS(MAX)}$	15V	15V
$V_{DS(MAX)}$	15V	15V
$I_D(MAX)$ (I_{RMS})	30A	30A
$R_{DS(ON)}$	Extremely Low	Extremely Low
Q_G	Average	Average
Number of MOSFETs ¹	2	3

Notes: 1. As determined by equations (31) and (36).

表2. 同期整流器MOSFETの仕様

時、 Q_F にはスイッチング損失がいくらかありますが、 Q_R はZVSに基づいてターンオンします。各デバイスは高レベルの平均電流を運ばなければならないため、極めて低いオン抵抗のMOSFETを選択すべきです。しかしながら、 Q_F にはやはりスイッチング損失が多少あるため、望ましくはむやみに無制限に低い $R_{DS(ON)}$ を選択しないことで、さらにゲート電荷特性には細心の注意を払わなければなりません。

Renesas社のHAT2165デバイスは V_{GS} が12V時の規定値は $R_{DS(ON)}$ が2.5m Ω 、 Q_G が80nCです。HAT2165の電気的絶対最大定格は、 $V_{DS} = 30V$ 、 $V_{GS} = \pm 20V$ 、 $I_D = 55A$ です。このデバイスは業界標準のSO8パッケージを熱的に改善したバージョンで薄型のLPAKパッケージで供給されています。接合部/周囲間のサーマル・インピーダンスはLPAKが40mm × 40mmのサイズで重量1オンスの銅パッドに実装された場合約60°C/Wです。周囲温度 T_A を40°Cに設計し、最大許容接合部温度の設計限界を絶対最大接合部温度の75%に設定すると、1つのLPAKに許容される最大消費電力は式(23)で見積もることができます。

$$P_{QF(LIMIT)} = \frac{T_{j(MAX)} - T_A}{\theta_{jA}} = \frac{(0.75 \times 150^\circ C) - 40^\circ C}{60^\circ C/W} = 1.25W / MOSFET \quad (23)$$

総消費電力を手取り早く計算するには、MOSFET当たり1.25Wの最大消費電力を保って、 Q_F と Q_R 用に何個のMOSFETを並列使用する必要があるかを決めます。

4.1.4.1 Q_F の電力損失の計算

以下の Q_F についての全ての計算は V_{IN} が最小、 D が最大、 I_O が最大の最悪時の動作条件下で行われています。式(26)のスイッチング損失の計算については、まず、トランスの巻線と Q_F のゲート間のシグナル抵抗が3 Ω 以下、 V_{IN} の最小時 V_{GS} が6Vであるとする、立上がり時間 $t_{R(QF)}$ を式(24)で概算します。ここで、メーカーのデータシートから、HAT2165のゲート電荷 Q_G は約80nCです。このデバイスはZVSに基づいてオフになるため、立下り時間は無視します。

$$t_{R(QF)} \approx \frac{Q_G \times R_{QF}}{V_{GS(QF)}} = \frac{80nC \times 3\Omega}{6V} = 40ns \quad (24)$$

$$P_{SW(QF)} = \frac{V_{DS(MAX)} \times \left(I_{O(MAX)} - \frac{\Delta I_{LO}}{2} \right) \times t_{R(QF)} \times F_{SW}}{2} \quad (25)$$

$$P_{SW(QF)} = \frac{5V \times \left(30A - \frac{4.2A}{2} \right) \times (40 \times 10^{-9}s) \times (300 \times 10^3 Hz)}{2} = 837mW \quad (26)$$

また、同期整流器 Q_F はZVSの近くでオフになるため、ターンオフ時ボディ・ダイオードの導通損失がいくらか存在します。損失を見積もるためだけの目的で、最悪時のボディ・ダイオードの導通時間を妥当と思われる値の50nsに仮設定し、式(27)に適用します。

$$P_{BD(QF)} = V_F \times I_{QF(RMS)} \times F_{SW} \times t_{BD(QF)} = 1V \times 23.24A \times (300 \times 10^3 Hz) \times (50 \times 10^{-9}s) = 350mW \quad (27)$$

MOSFETのチャネル抵抗を流れるRMS電流による導通損失は式(28)で簡単に求められます。

$$P_{C(QF)} = I_{QF(RMS)}^2 \times R_{DS(ON)} = 23.24A^2 \times (2.5 \times 10^{-3} \Omega) = 1.35W \quad (28)$$

また、少ないですが、MOSFETのゲート容量を充放電するのに伴うさらなる損失が存在しますが、この損失の大部分は自励方式の同期整流が使用された場合は出力負荷に戻ります。コントロールICなどを利用した同期整流を使用するアプリケーションでは、ドライバのインピーダンスが内部MOSFETのインピーダンスよりも大きい限りはこれらと同じ損失がMOSFETドライバで消費されます。当例は、 Q_F 及び Q_R のMOSFETの大きさを決めるという目的であるため、ゲート電荷損失は無視します。

1つの Q_F 、HA2165 LFPK MOSFETの最大電力損失は式(30)で見積もることができます。

$$P_{QF(MAX)} = P_{SW(QF)} + P_{BD(QF)} + P_{C(QF)} \quad (29)$$

$$P_{QF(MAX)} = 837mW + 350mW + 1.35W = 2.54W \quad (30)$$

消費電力2.54Wでは接合部温度192°Cになり、限界の150°Cを大きく越えてしまいます。接合部温度の設計限界112°Cを維持するのに必要とされる並列接続の Q_F MOSFETの数は式(31)で求められます。

$$QF_{NUM} = \frac{P_{QF(MAX)}}{P_{QF(LIMIT)}} = \frac{2.54W}{1.25W} = 2.03 \approx 2 \quad (31)$$

設計上の安全マージンをより高めるには、理想的には Q_F の数は端数を切り上げた整数にしますが、式(31)の結果が2より少しだけ大きいので、 Q_F についての並列MOSFETの数は2つにします。また、スイッチングMOSFETが並列接続されている場合、総オン抵抗は減少しますが、必要となるゲート電荷は増加します。従って、場合によっては、デバイス当たりの消費電力は減少するのに対し、並列接続されているMOSFETで消費される総電力は増加する可能性があります。式(31)で決まったMOSFET数に対し式(24)から式(30)を再計算すると、より正確な解が見つかります。

4.1.4.2 Q_R の電力損失の計算

以下の Q_R についての全ての計算は V_{IN} が最小、 D が最大、 I_O が最大の最悪時の動作条件下で行われています。 Q_R 同期整流器はZVSの基づいてオン/オフするため、スイッチング損失は無視できます。しかしながら、 Q_F の場合よりも大きなボディ・ダイオードの導通損失が存在します。損失を見積もるためだけの目的で、最悪時のボディ・ダイオードの導通時間を妥当と思われる値の150nsに設定し、式(32)に適用します。

$$P_{BD(QR)} = V_F \times I_{QR(RMS)} \times F_{SW} \times t_{BD(QR)} \\ = 1V \times 25.1A \times (300 \times 10^3 Hz) \times (150 \times 10^{-9} s) = 1.13W \quad (32)$$

MOSFETのチャネル抵抗を流れるRMS電流による導通損失は式(33)で簡単に求められます。

$$P_{C(QR)} = I_{QR(RMS)}^2 \times R_{DS(ON)} = 25.1A^2 \times (2.5 \times 10^{-3} \Omega) = 1.58W \quad (33)$$

1つの Q_R 、HA2165 LFPK MOSFETの最大電力損失は式(35)で見積もることができます。

$$P_{QR(MAX)} = P_{BD(QR)} + P_{C(QR)} \quad (34)$$

$$P_{QR(MAX)} = 1.13W + 1.58W = 2.71W \quad (35)$$

接合部温度の設計限界112°Cを維持するのに必要とされる並列接続の Q_R MOSFETの数は式(36)で求められます。

$$QR_{NUM} = \frac{P_{QR(MAX)}}{P_{QR(LIMIT)}} = \frac{2.71W}{1.25W} = 2.17 \approx 3 \quad (36)$$

ボディ・ダイオードの導通損失は同期整流器の消費電力で2番目に高い損失源です。自励方式のアプリケーションでは、 Q_R に付随するボディ・ダイオードの導通時間は大きく変動します。従って、安全なセットの構築を行うには Q_R についての並列MOSFETの数は3つにします。このことにより、ある条件下では導通時間が増加するか、またはスイッチング周波数が標準値の300kHzより少し増加するということが現実に起こり、 Q_R の消費電力が増える結果となります。

4.2 パワー・トランスについての考察

ここでは簡単にするため、Pulse社のPA0810 OTSプレーナー型トランスを選択しています。最大定格が140W、高さが10mm以下のPA0810は薄型の受動部品を必要とするモジュール型電源のアプリケーションに適しています。PA0810は各6巻線数の2つの一次巻線と1巻線数の2つの二次巻線を使用しています。式(19)で決まった巻線比6は、2つの一次巻線を並列に、また、2つの二次巻線を並列に接続することで保たなければなりません。このことにより、巻線のDC抵抗が半分に低減し、よって I^2R 導通損失が大きく低減します。

PA0810はプレーナー型トランス・ファミリーの一員であるため、その設計及び構築はあらゆる状況に最適とはならないかも知れません。多くのアプリケーションでは、小型化、少巻線数、一次/二次間絶縁強化、高効率などのOTSトランスで解決が可能なこと以上を要求されることがあります。

300kHzではトランスの損失は、トランスのBH曲線により磁束の振幅の変化する時間から生じるコア損、及び巻線を流れるRMS電流に起因する導通損失に左右されます。まず、磁束の振幅 ΔB はPA0810のコア形状の実効面積に特有の定数が含まれる式(37)から決まります(式(37)はメーカーのデータシートに記載されています)。

$$\Delta B = \frac{179211.46 \times V_{IN(MIN)} \times D_{MAX}}{F_{SW(kHz)} \times N_P} \quad (37)$$

$$\Delta B = \frac{179211.46 \times 36V \times 0.6}{300 \times 6} = 2,150G \quad (38)$$

式(38)の結果を式(39)(これもメーカーのデータシートに記載されています)に当てはめコア損を求めます。

$$P_{CORE} = 1.59 \cdot 10^{-13} \times \Delta B^{2.5} \times F_{SW(kHz)}^{1.8} = 1.59 \cdot 10^{-13} \times 2150^{2.5} \times 300^{1.8} \\ = 0.98W \quad (39)$$

銅損は一次巻線と二次巻線に流れるRMS電流により生じます。二次側を流れる平均電流は既に式(21)で定義されており、平均一次電流(式(42))は一次側の励磁電流(式(40))とピーク電流(式(41))から構成されています。

$$I_{MAG} = \frac{V_{IN(MIN)} \times D_{MAX}}{F_{SW} \times L_{MAG}} = \frac{36V \times 0.6}{(300 \times 10^3 \text{ Hz}) \times (65 \times 10^{-6} \text{ H})} = 1.1A \quad (40)$$

$$I_{PRI(PK)} = \left(\frac{I_{LO(PK)}}{N} \right) + I_{MAG} = \left(\frac{32.1A}{6} \right) + 1.1A = 6.45A_{PK} \quad (41)$$

$$I_{PRI(RMS)} = \frac{I_{QF(RMS)}}{N} + \frac{I_{MAG}}{2} = \frac{23.24A}{6} + \frac{1.1A}{2} = 4.42A \quad (42)$$

メーカーのデータシートから、一次側トランスと二次側のトランス(並列巻線)のDC抵抗は、それぞれ、11.25mΩ、0.875 mΩです。これらの値を既知のトランスのRMS電流とともに使用して式(44)から導通損失を計算します。

$$P_{CU} = (I_{PRI(RMS)}^2 \times R_{DC(PRI)}) + (I_{QF(RMS)}^2 \times R_{DC(SEC)}) \quad (43)$$

$$P_{CU} = (4.42A^2 \times 11.25 \times 10^{-3} \Omega) + (23.24A^2 \times 0.875 \times 10^{-3} \Omega) = 0.69W \quad (44)$$

これからトランスの最大電力損失は式(45)で計算することができます。

$$P_{T(PWR)} = P_{CORE} + P_{CU} = 0.98W + 0.69W = 1.67W \quad (45)$$

メーカーのデータシートで与えられている温度曲線より、1.67Wの総電力損失では周囲温度より約40°C温度が上昇します。従って、トランスの予想最大温度は式(46)より約80°Cになります。

$$T_{T(PWR)} = \Delta T_{T(PWR)} + T_A = 40^\circ C + 40^\circ C = 80^\circ C \quad (46)$$

4.3 アクティブ・クランプ回路

図5から、Q_{AUX}が導通するたびに、クランプ電圧と入力電圧の差がトランスの励磁インダクタンスに加わり、これはトランスのリセット期間と呼ばれます。ローサイドのクランプに特有なこととして、ボディ・ダイオードの方向性の理由だけでQ_{AUX}はPチャネルのデバイスでなくてはなりません。また、注意しておくことは、Q_{AUX}はトランスの励磁電流のみを選び、それは平均値が負荷電流に比べて極めて小さいということです。このため、MOSFETは低いゲート電荷を規定することを主として考慮すべきで、低R_{DS(ON)}はあまり重要ではありません。また、Q_{AUX}の定格は図8で与えられているように全クランプ電圧への耐性をもつ必要があります。このアプリケーションでは、International RectifierのIRF6216を選択しています。

漏れインダクタンスの影響を無視すると、ローサイド・クランプの伝達関数はトランスの励磁インダクタンスにボルト秒バランスの原理を適用して導き出されます。

$$D \times V_{IN} = (1-D) \times V_{CL} - (1-D) \times V_{IN} \quad (47)$$

式(47)を簡素化してクランプ電圧V_{CL}について解くと以下のようになります。

$$V_{CL} = \left(\frac{1}{1-D} \right) \times V_{IN} \quad (48)$$

興味深いことは、式(48)の伝達関数も非絶縁型のブースト・コンバータと同じ伝達関数であり、これはローサイド・クランプが一般にブースト型クランプと呼ばれている所でもあるということです。

式(48)の結果は入力電圧とクランプ電圧間の伝達関数を表しています。しかしながら、図1から、Q_{AUX}が導通するたびに、クランプ電圧は一次側トランスの励磁インダクタンスではなく、直接Q_{MAIN}のドレイン/ソース接点に加わるということに注意してください。従って、式(48)を拡大適用してQ_{MAIN}のドレイン/ソース間電圧ストレスが含まれるよう書き直すことができます。

$$V_{DS(QMAIN)} = V_{CL} = \left(\frac{D}{1-D} \right) \times V_{IN} \quad (49)$$

トランスのリセット期間で、一次側トランスの極性が反転するため、一次側に印加される電圧は以下のように定義されます、

$$V_{RESET} = V_{CL} - V_{IN} \quad (50)$$

式(48)のV_{CL}についての数式を式(50)に代入して簡約化すると、入力電圧とリセット電圧が関係し合う伝達関数は以下のように示すことができます。

$$V_{RESET} = \left(\frac{D}{1-D} \right) \times V_{IN} \quad (51)$$

さらに、シングルエンド型フォワード・コンバータのデューティ・サイクルDは出力電圧の入力電圧に対する比にトランスの巻線比Nを乗じて定義されます。

$$D = \left(\frac{V_O}{V_{IN}} \right) \times N \quad (52)$$

式(52)を式(49)と式(51)に代入して簡約化すると、式(53)と式(54)のようにV_{CL}とV_{RESET}をV_{IN}、V_{OUT}、Nで表すことができます。

$$V_{DS(QMAIN)} = V_{CL} = \frac{V_{IN}^2}{V_{IN} - N \times V_O} \quad (53)$$

$$V_{RESET} = \frac{V_O \times V_{IN} \times N}{V_{IN} - N \times V_O} \quad (54)$$

式(53)と式(54)の結果を使って、V_{OUT}が固定値及びトランスの巻線比Nが固定値の場合の入力電圧によるクランプ電圧とトランスのリセット電圧の変動をグラフで示すことができます。V_{OUT}に4V(3.3Vにいくらかの電圧降下分を加えて)を使用して、まず式(53)の結果を図8のようにグラフ化します。また、図8ではトランスの巻線比の変動(Dの変動)が一次側MOSFETのドレイン/ソース間の電圧ストレスに影響を与えるということも示されています。

図8には最小入力電圧(最大デューティ・サイクルD)時にQ_{MAIN} MOSFETの電圧ストレスが大きく変動していることが示されています。このため、UCC2891は、図10に示すように、最大デューティ・サイクルを正確にクランプする機能もっています。重要なことは、一次側MOSFETに破壊を起こすような電圧レベルが印加されるか、または、MOSFETの最大電圧定格の仕様を必要以上に大きくしなければならなくなる恐れがあることです。図9に、全入力電圧(36V < V_{IN} < 75V)にわたって動作する代

表的なフォワード・コンバータについて、巻線比が6の場合 $V_{IN} = 36V$ 及び $V_{IN} = 75V$ でドレイン/ソース間に印加される電圧が110Vになることが示されています。図8のMOSFET電圧もクランプ・コンデンサ C_{CL} での電圧です。そのようなものとして、クランプ・コンデンサは全クランプ電圧に軽減電圧を加えた電圧の耐性をもつよう適切に選択する必要があります。巻線比6を選択したため、式(54)で求められるトランスのリセット電圧 V_{RESET} も入力電圧を変化させてグラフに表すことができ、結果を図9に示します。

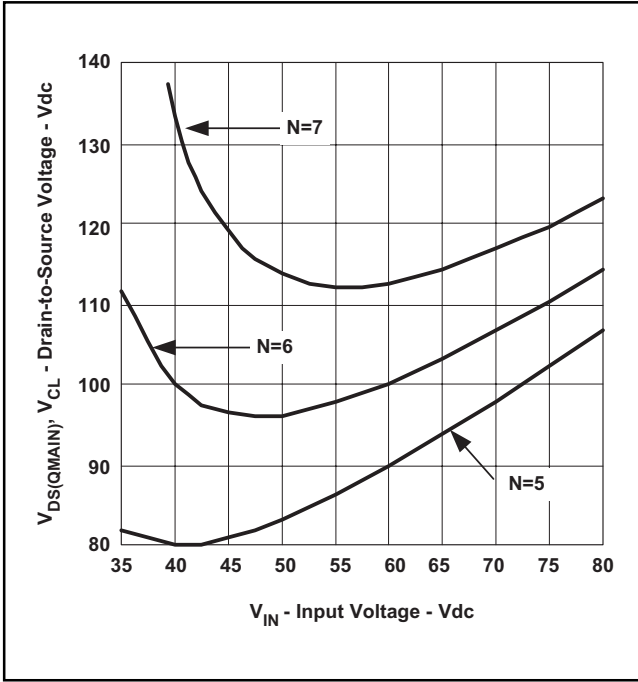


図8. Q_{MAIN} ドレイン/ソース間電圧対入力電圧

4.3.1 ローサイド・クランプのゲート駆動

Q_{AUX} がグラウンドを基準としたPチャネルのデバイスでなければならないことが既に規定されているため、このデバイスを完全にオンにするには負のゲート駆動電圧が必要となります。しかし、UCC2891はグラウンド以下の出力電圧レベルは生成しません。図10に示されているように、ローサイド・クランプに適用されるゲート駆動回路を使用して、PチャネルのMOSFETをUCC2891から直接駆動することができます。

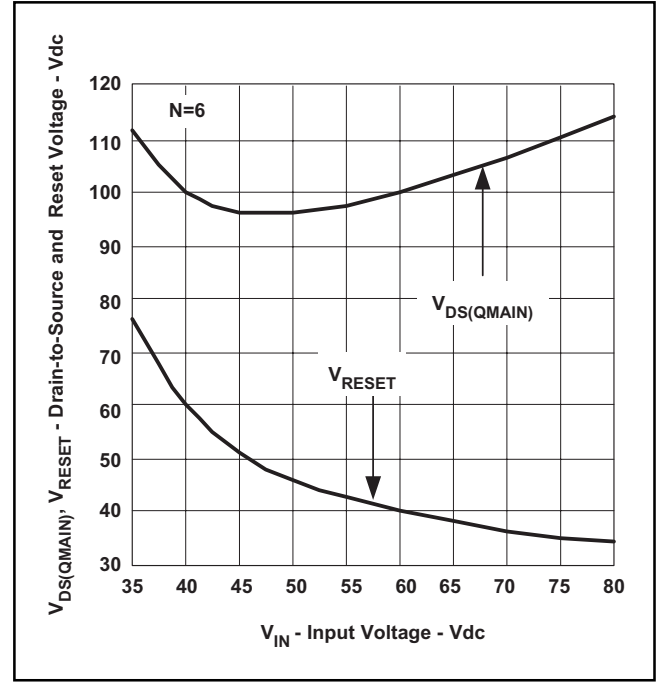


図9. ドレイン/ソース間電圧及びリセット電圧対入力電圧

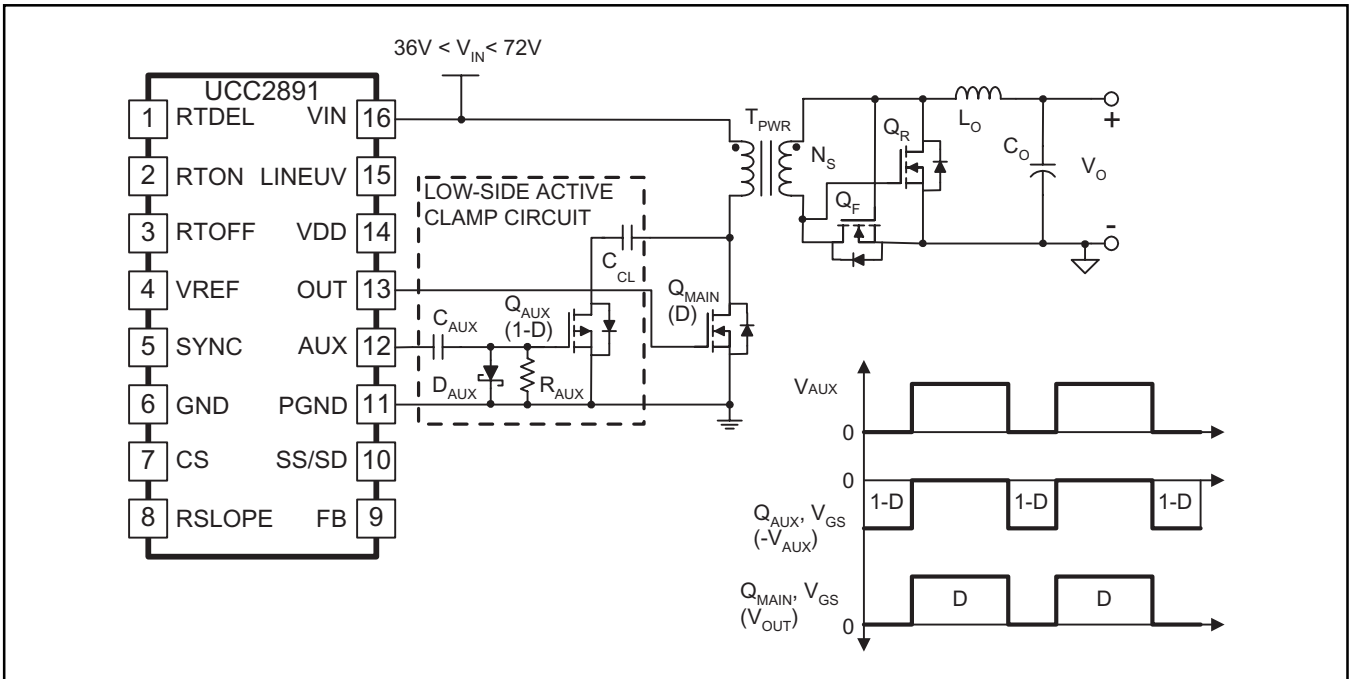


図10. ローサイド・クランプ及びゲート駆動回路

最初、UCC2891のAUX端子電圧は正となり、ショットキー・ダイオードD_{AUX}は順方向にバイアスされ、コンデンサC_{AUX}は-V_{AUX}電圧に充電されます。次に、コンデンサの電圧はR_{AUX}を経て放電されます。式(55)のR_{AUX}とC_{AUX}の時定数がPWM周期よりもはるかに大きければ、C_{AUX}端の電圧は比較的一定数に保たれ、この結果Q_{AUX}のゲート/ソース間電圧は正のピーク値が0Vの-V_{AUX}電圧になります。従って、V_{AUX}は事実上グランド以下にシフトし、グランドを基準としたPチャンネルのMOSFET Q_{AUX}のゲートを駆動する条件を満たすことができます。

$$R_{AUX} \times C_{AUX} \cong \frac{100}{F_{SW}} \quad (55)$$

C_{AUX}の値はR_{AUX}を任意に1kΩを選択して式(56)を解いて求めることができます。

$$C_{AUX} = \frac{100}{(1 \times 10^3 \Omega) \times (300 \times 10^3 \text{ Hz})} = 0.33 \mu\text{F} \quad (56)$$

4.3.2 クランプ・コンデンサの選択

クランプ・コンデンサの大きさを決めるのに最初に考慮することは、V_{IN}の全範囲に対する妥当な電圧定格値を知ることです(図8参照)。

クランプ・コンデンサの値は、主として、許容リップル電圧量をもとに選択します。また、コンデンサの値はクランプ電圧を定電圧源として見積もることができるほど十分大きいとも想定します。しかしながら、式(53)によると、V_{CL}は入力電圧により変化します。入力の過渡変動が起こるか、またはデューティ・サイクルが突然変化するたびに、クランプ電圧、ひいてはトランスのリセット電圧が適応するのにある時間を要します。コンデンサの値が大きいと、電圧リップルは小さくなりますが、過渡応答が制限されます。一方、コンデンサの値が小さいと、過渡応答が速くなりますが、電圧リップルが大きくなってしまいます。理想的には、クランプ・コンデンサは、電圧リップルはある程度許容しますが、Q_{MAIN}にさらなるドレイン/ソース間電圧ストレスが加わらないよう選択すべきです。Q_{MAIN}のV_{DS}に細心の注意を払いながら、約20%の電圧リップルを許容するようにしてください。

C_{CL}を概算する簡略化した方法とは、共振の時定数が最大オフ時間よりも大幅に大きくなるようC_{CL}について解くことです。パワー段の時定数やコントロール・ループの帯域幅などの追加要因も過渡応答に影響を与えますが、式(57)で記述されている、この手法では、少なくともアクティブ・クランプ回路の観点からは過渡特性について妥協しないということが断言できます。

$$2 \times \pi \times \sqrt{L_{MAG} \times C_{CL}} > t_{OFF(MAX)} \quad (57)$$

式(57)をC_{CL}について解き、確実に(57)の不等式が正しくなるようその結果を10倍すると、式(57)はC_{CL}について既知の設計パラメータで式(58)のように書き直すことができます。

$$C_{CL} > 10 \times \left(\frac{(1 - D_{MIN})^2}{L_{MAG} \times (2 \times \pi \times F_{SW})^2} \right) \quad (58)$$

C_{CL}が式(59)で計算されると、最終設計値はクランプ・コンデンサのリップル電圧が回路で測定された後に少し変動することがあります。

$$C_{CL} > \frac{10 \times (1 - 0.3)^2}{(65 \times 10^{-6} \text{ H}) \times (2 \times \pi \times (300 \times 10^3 \text{ Hz}))^2} = 21.22 \times 10^{-9} \text{ F} \approx 22 \text{ nF} \quad (59)$$

4.4 一次側MOSFET(QMAIN)の選択

クランプ電圧は既に式(53)から求められたので、Q_{MAIN}のドレイン/ソース間の電圧も分かります。図8に、全入力電圧範囲で最大電圧は110Vに制限すべきであることが示されています。また、Q_{MAIN}のドレイン電流も式(41)と式(42)から分かっています。最大RMSドレイン電流は最小入力電圧及び最大負荷電流時に生じ、式(42)から4.42Aです。従って、150VのV_{DS}定格と少なくとも6.45AのI_O定格のMOSFETを選択すると35%以上の設計上での安全マージンが保証されます。Vishay SiliconixのSi7846DPは、150V/6.7AのNチャンネルMOSFETでパッケージは熱特性が改善されたSO8 PowerPAK™です。

メーカーのデータシートから、総ゲート電荷は約35nCで、オン抵抗はゲート駆動に12Vが印加された場合41mΩです。

式(42)のI_{PRI(RMS)}電流を使用すると、Q_{MAIN}のチャネル抵抗を流れる一次電流による導通損失は式(60)から求められます。

$$P_{C(QMAIN)} = I_{PRI(RMS)}^2 \times R_{DS(QMAIN)} = 4.42 \text{ A}^2 \times (41 \times 10^{-3} \Omega) = 0.8 \text{ W} \quad (60)$$

4.4.1項で説明したように、Q_{MAIN}は常にZVSに基づいてオフになりますが、式(62)で表されるように、やはりターンオン損失を被る可能性があります。一般的にターンオン時ZVSではある最小負荷電流、この場合最大負荷電流の40%と推定される電流が失われます。12A(最大負荷電流の40%)以上で、Q_{MAIN}はターンオン及びターンオフ時ZVSが行われるものとしします。

$$P_{SW(QMAIN)} = \frac{V_{CL} \times \left(0.4 \times \left(I_{PRI(PK)} - \frac{I_{MAG}}{2} \right) \right) \times F_{SW} \times Q_{G(QMAIN)}}{2 \times I_{G(QMAIN)}} \quad (61)$$

$$P_{SW(QMAIN)} = \frac{110 \text{ V} \times \left(0.4 \times \left(6.45 \text{ A} - \frac{1.1 \text{ A}}{2} \right) \right) \times 300 \times 10^3 \text{ Hz} \times 35 \times 10^{-9} \text{ C}}{2 \times 2 \text{ A}} = 0.68 \text{ W} \quad (62)$$

注：Q_{MAIN}が12Aより大きな負荷電流の場合にZVS条件に基づいてターンオンしなければ、式(62)で計算した0.68Wは増加し、実際の接合部温度が高くなる恐れがあります。設計が完了しテストされる時はZVSの測定は注意深く行わなければなりません。

Q_{MAIN}の電力損失の3番目の原因はMOSFET出力容量C_{OSS(QMAIN)}の充放電です。低電圧のアプリケーションでは、これは無視されることもあります。式(63)から電力損失は電圧の二乗に比例することに注意してください。ローサイド・アクティブ・クランプ方式の

フォワード・コンバータでは、ドレイン/ソース間電圧($V_{CL} = 110V$)は V_{IN} が最小時及び最大時に最大となります。クランプ電圧と MOSFET の $C_{OSS(QMAIN)}$ は両方とも非線形の変数であるため、これらの損失を見積もるのは難しいと思われます。メーカー供給の曲線グラフから、 $C_{OSS(QMAIN)}$ は $60V$ から $120V$ と予測できそうであり、よって $150pF$ の値を使用します。

$$P_{COSS(QMAIN)} = \frac{C_{OSS(QMAIN)} \times V_{CL}^2 \times F_{SW}}{2} = \frac{(150 \times 10^{-12} F) \times 110V^2 \times 300 \times 10^3 Hz}{2} = 0.27W \quad (63)$$

よって Q_{MAIN} の総損失は式(64)で計算することができます。

$$P_{QMAIN(MAX)} = P_{C(QMAIN)} + P_{SW(QMAIN)} + P_{COSS(QMAIN)} = 0.8W + 0.68W + 0.27W = 1.75W \quad (64)$$

Q_{MAIN} の最大接合部温度をちょっと確認してみると式(65)から計算結果は $131^\circ C$ となります。

$$T_j = (R_{\theta JA} \times P_{QMAIN(MAX)}) - T_A = (52^\circ C/W \times 1.75W) + 40^\circ C = 131^\circ C \quad (65)$$

$131^\circ C$ は絶対最大接合部温度 $150^\circ C$ の 75% ($113^\circ C$) より少し高くなっています。従って、特に、最大入力電圧、最大負荷電流、 Q_{MAIN} を ZVS の範囲外に置く動作モードなどの厳しい条件下では Q_{MAIN} に細心の注意を払うことが必要です。PCB のレイアウトを行う場合、 Q_{MAIN} PowerPAK™ のドレイン・タブの下に銅領域を追加することも接合部温度を低くするのに役立ちます。

4.4.1 一次側 MOSFET (Q_{MAIN}) の ZVS についての考察

アクティブ・クランプ方式を使用することの主な原動力の1つが Q_{MAIN} の ZVS を行うことができる能力です。

ZVS の条件を詳述するには、図11に示されているように、まず寄与する寄生成分を理解することが必要となります。

ZVS の条件とは、 Q_{MAIN} のスイッチングがオンまたはオフになる前にドレイン/ソース間電圧がゼロでなければならないということです。この条件は、図12に示されているように、ノード VA の電圧が図2(Q_{MAIN} のターンオフ)または図4(Q_{MAIN} のターンオン)の設定時間間隔以内で共振して $0V$ になった時実現します。従って、ZVS を理解するため、図11の回路を図12に示されるように簡素な共振回路に縮めます。

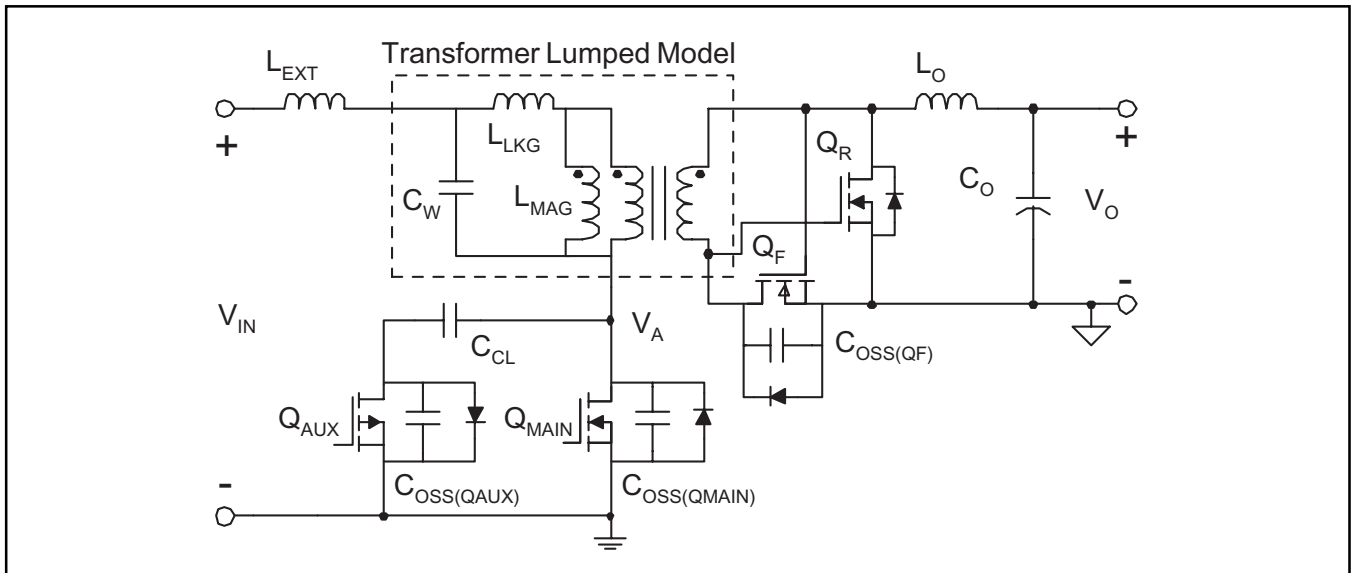


図11. 寄生成分をもつアクティブ・クランプ・パワー段

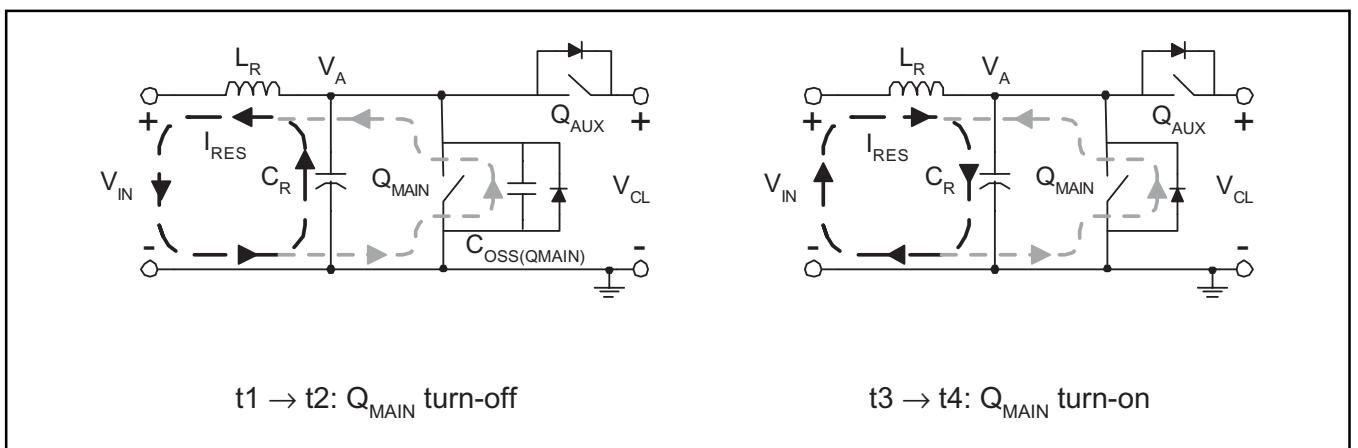


図12. 簡素化 ZVS 共振回路

t1 → t2時、Q_{MAIN}はちょうどオフになり、Q_{AUX}はまさにオンになろうとしています。C_{OSS(MAIN)}がV_Aに充電されると、Q_{MAIN}のボディ・ダイオードは逆バイアスされ、これまでQ_{MAIN}のチャネル抵抗を流れていた電流はC_{OSS(MAIN)}に転換します。また、この電流のうちのいくらかもQ_{AUX}の出力容量に転換しますが、もっと重要なことはこの電流が必然的にV_Aから流れる共振電流と同一方向に充電するという事です。この2つの電流は付加的なものであるため、Q_{MAIN}はC_{OSS(MAIN)}に充電する電流量に関係なく常にZVSに基づいてオフになります。

t3 → t4時、Q_{MAIN}はまさにオンになろうとしており、Q_{AUX}はちょうどオフになったところです。V_Aを0Vにするのに必要な共振電流I_{RES}はQ_{MAIN}のZVSに必要な電流の反対です。この2つの電流はV_Aについて互いに反対方向であるため、Q_{MAIN}ではある特定の動作条件下でのターンオン時のみZVSが行われます。図11と図12を参照すると、まず式(66)で共振インダクタンスが定義され、外付けインダクタンスL_{EXT}は最初は想定されていません。共振容量は式(68)で定義されます。

$$L_R = L_{LKG} + L_{MAG} + L_{EXT} \quad (66)$$

$$L_R = (190 \times 10^{-9} H) + (65 \times 10^{-6} H) + 0 = 65.19 \mu H \quad (67)$$

$$C_R = \frac{4}{3} \times \left(C_{OSS(QMAIN)} + C_{OSS(QAUX)} + \frac{C_{OSS(QF)}}{N^2} \right) + C_W \quad (68)$$

$$C_R = \frac{4}{3} \times \left((150 \times 10^{-12} F) + (30 \times 10^{-12} F) + \frac{2 \times (1200 \times 10^{-12} F)}{6^2} \right) + (90 \times 10^{-12} F) = 420 pF \quad (69)$$

ZVSに基づくQ_{MAIN}のターンオンについての主な制約条件とは、共振コンデンサを完全に放電するのに十分な誘導エネルギーを貯える能力です。この要件は数学的に調べることができ、外付けインダクタを一次側トランスに直列に付加することを検討すべきかどうか決定されます。

$$\frac{1}{2} \times L_{MAG} \times I_{MAG}^2 + \frac{1}{2} \times L_{LKG} \times \left(\frac{I_O}{N} \right)^2 > \frac{1}{2} \times C_R \times (V_{IN} + V_{CL})^2 \quad (70)$$

I_{OUT}がゼロに近くなると、Q_{MAIN}のZVSターンオン条件は完全に励磁電流に依存するようになります。従って、無負荷状態下(I_{OUT} = 0A)では、式(70)は簡略化され、式(71)でI_{MAG}について解くことができます。

$$I_{MAG} > \sqrt{\frac{C_R \times (V_{IN} + V_{CL})^2}{L_{MAG}}} \quad (71)$$

I_{MAG}は既に式(40)で求められているため、その結果を使用して式(71)の不等式が満足されているかどうかを確認することができます。

$$I_{MAG} > \sqrt{\frac{(420 \times 10^{-12} F) \times (72V + 110V)^2}{65 \times 10^{-6} H}} = 0.463A \quad (72)$$

式(40)からI_{MAG}は1.1Aであり、式(72)の0.463Aより大きいいため、Q_{MAIN}はほぼゼロの負荷電流時でもZVSを行うであろうと予想することができます。もし、C_Rに必要なとされる共振電流を圧倒するだけの十分な磁化電流が存在しないことが分かれば、インダクタンスを低減することを目指してトランスの設計を再検討します。別の方法として式(74)をL_{EXT}について解き、所定の最小負荷電流についてZVS条件に適合するよう適切なインダクタンスを外付けします。

$$\frac{1}{2} \times L_{MAG} \times I_{MAG}^2 + \frac{1}{2} \times L_{LKG} \times \left(\frac{I_O}{N} \right)^2 + \frac{1}{2} \times L_{EXT} \times \left(\frac{I_O}{N} \right)^2 > \frac{1}{2} \times C_R \times (V_{IN} + V_{CL})^2 \quad (73)$$

$$L_{EXT} > \frac{C_R \times (V_{IN} + V_{CL})^2 - L_{MAG} \times I_{MAG}^2 - L_{LKG} \left(\frac{I_O}{N} \right)^2}{\left(\frac{I_O}{N} \right)^2} \quad (74)$$

共振インダクタンスと共振容量から、式(75)より共振周波数を求めることができ、よって、ZVSの共振遷移が起こるのに必要な遅延時間を計算することができます。式(78)で計算された遅延時間はUCC2891をプログラムするのに使用されます。

$$\omega_R = \frac{\pi}{\sqrt{L_R \times C_R}} \quad (75)$$

$$\omega_R = \frac{\pi}{\sqrt{(65.19 \times 10^{-6} H) \times (420 \times 10^{-12} F)}} = 19 \times 10^6 \frac{Rad}{s} \quad (76)$$

$$t_{DELAY} = \frac{\pi}{2 \times \omega_R} \quad (77)$$

$$t_{DELAY} = \frac{\pi \cdot Rad}{2 \times (19 \times 10^6 Rad/s)} = 82.7 \times 10^{-9} s \approx 100ns \quad (78)$$

4.5 入力容量

アクティブ・クランプ方式のフォワード・コンバータは、図13に示されるように、AC入力パルス電流、高di/dt成分をもつ降圧型パワー技術です。

図13に、入力コンデンサがその等価寄生直列抵抗と直列インダクタンスとともに示されており、その両方もが総入力リップル電圧の原因となります。出力コンデンサと同様に、入力コンデンサの目的は高周波のフィルタを行うことであるため、入力電圧は小さな電圧リップルと低雑音のできるだけ純粋なDC源に近いものにします。

入力コンデンサを選択する際に決めるべき最初のことは最大RMS電流です。コンデンサのRMS電流は図13のI_{C(IN)}波形から派生し、式(79)で表すことができます。アクティブ・クランプ方式のリセット手法独自のものとはQ_{MAIN}のオフ時間(1-D)でI_{PRI}波形で示される励磁電流です。式(79)で分かるように、これはコンデンサのRMS電流に小さいですが、無視できない影響を与えます。

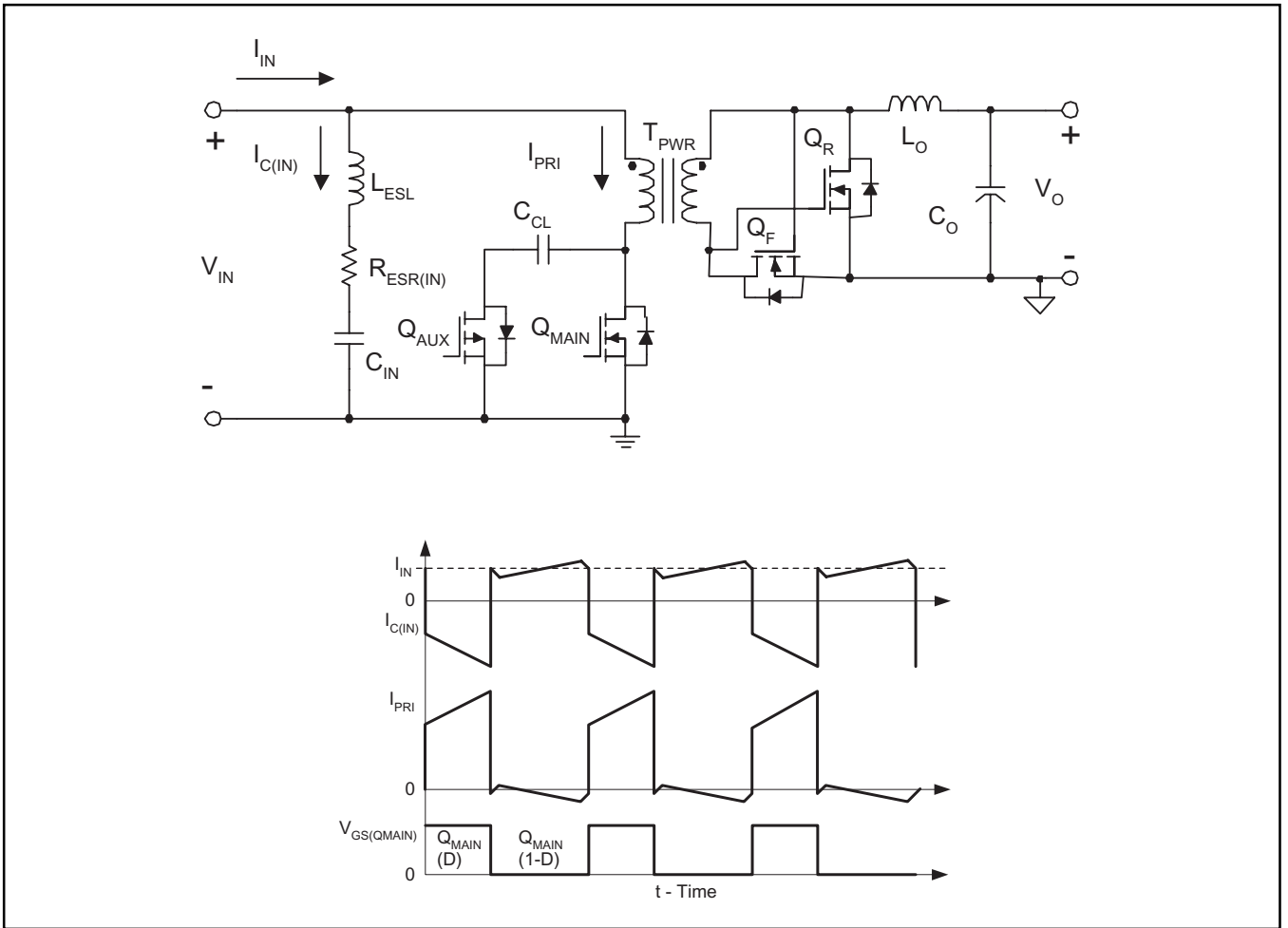


図13. 一次側パワー段の電流波形

アクティブ・クランプ方式のリセットを使用しないフォワード・コンバータでは、 I_{PRI} 波形がリセット期間でゼロにクランプされているためこの項目は存在しません。

$$I_{C(IN)} = \sqrt{[(I_{IN} - I_{PRI(RMS)}) \times D]^2 + [(I_{IN} + I_{MAG}) \times (1-D)]^2} \quad (79)$$

式(79)で定数項は I_{MAG} だけです。式(79)を既知の値で表すと、最大入力電流 I_{IN} は式(80)で見積もることができ、もし共振遷移の遅延が無視できるとすると、デューティ・サイクル D は式(52)でほぼ概算できます。

$$I_{IN} = \frac{V_O \times I_{O(MAX)}}{\eta \times V_{IN}} \quad (80)$$

$$I_{PRI(RMS)} = \frac{I_{O(MAX)}}{N} \times \sqrt{D} = I_{O(MAX)} \times \sqrt{\frac{V_O \times N}{V_{IN}}} \quad (81)$$

従って、式(79)は全ての変数が分かっている式(82)のように書き直すことができます。

$$I_{C(IN)} = \sqrt{\left(\left(\frac{V_O \times I_{O(MAX)}}{\eta \times V_{IN}} - \left(\frac{I_{O(MAX)}}{N} \times \sqrt{\frac{V_O \times N}{V_{IN}}} \right) \right) \times \left(\frac{V_O \times N}{V_{IN}} \right) \right)^2 + \left(\left(\frac{V_O \times I_{O(MAX)}}{\eta \times V_{IN}} + I_{MAG} \right) \times \left(1 - \frac{V_O \times N}{V_{IN}} \right) \right)^2} \quad (82)$$

全負荷時の効率 $\eta = 0.85$ を使用して、図14に示されるように、式(82)の結果を容易に V_{IN} の全範囲に対してプロットすることができます。

設計マージンを25%とすると、入力容量は少なくとも2.63 A_{RMS}のコンデンサ電流に対処する定格でなければなりません。

初めに入力コンデンサを選択する際には、高周波動作では L_{ESL} と $R_{ESR(IN)}$ が C_{IN} を左右しますが、リップル電圧の変化は容量優位であるとします。電圧リップルを最小入力電圧の5%に制限するのに必要となる最小入力容量は式(83)で求められます。

$$C_{IN(MIN)} = \frac{I_{IN} + I_{MAG}}{0.05 \times V_{IN}} \times t_{OFF} = \frac{I_{IN} + I_{MAG}}{F_{SW} \times (0.05 \times V_{IN})} \times (1-D) \quad (83)$$

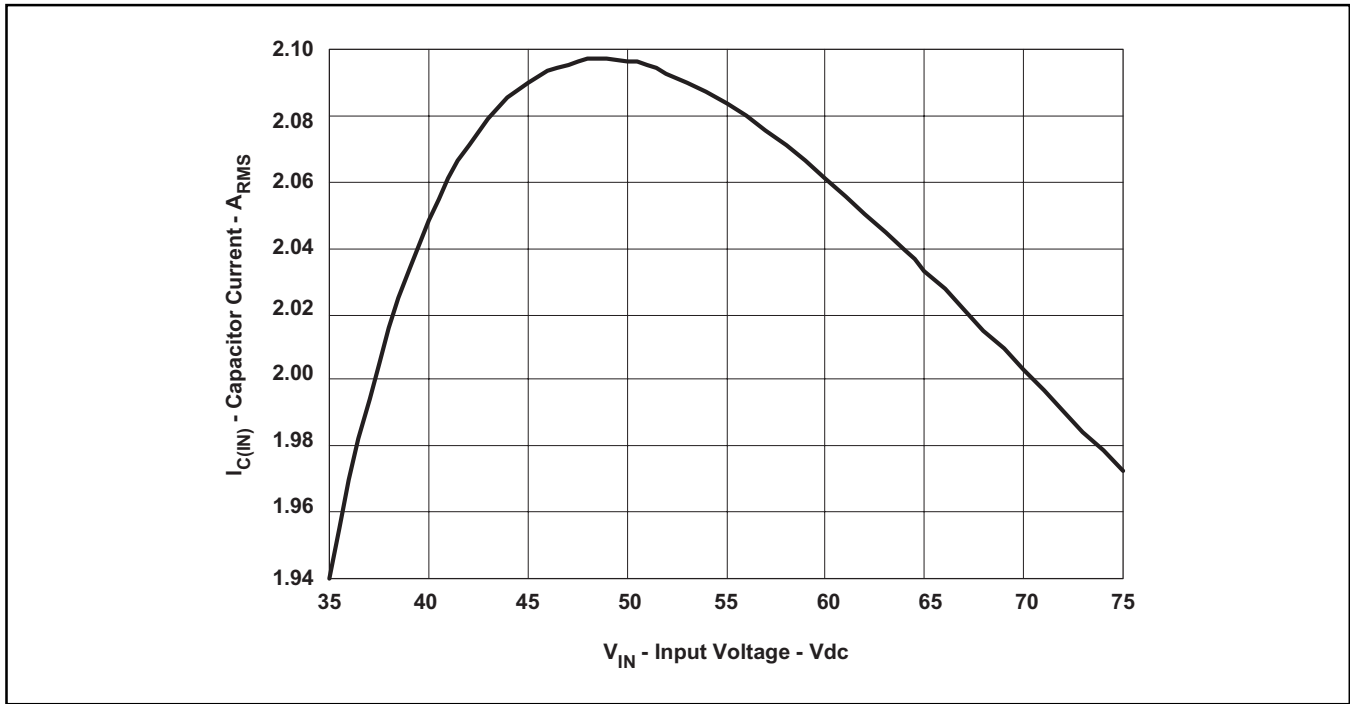


図14. 入力コンデンサ電流対入力電圧

式(80)を式(83)に代入して簡略化すると、式(84)で示されるように $C_{IN(MIN)}$ は既知の設計パラメータで表すことができます。 V_{IN} が最小、 D と I_{OUT} が最大の場合で、さらに25%の設計マージンを加えると、必要となる最小容量値は式(85)に示されるように $4\mu F$ になります。

$$C_{IN(MIN)} = \frac{V_O \times I_{O(MAX)} + I_{MAG} \times \eta \times V_{IN(MIN)}}{\eta \times V_{IN(MIN)} \times F_{SW} \times (0.05 \times V_{IN(MIN)})} \times (1 - D_{MAX}) \quad (84)$$

$$C_{IN(MIN)} = \frac{1.25 \times (3.3V \times 30A + 1.1A \times 0.85 \times 36V)}{0.85 \times 36V \times 300 \times 10^3 \text{ Hz} \times (0.05 \times 36V)} \times (1 - 0.6) = 4\mu F \quad (85)$$

入力リップル電圧量はコンデンサのリップル電流に比べて大きいので、入力コンデンサの $R_{ESR(IN)}$ は出力コンデンサの場合よりも気にすることはありません。とはいえ、やはり必要となる最小 $R_{ESR(IN)}$ は式(86)で調べておくべきです。

$$R_{ESR(IN)} < \frac{0.05 \times V_{IN(MIN)}}{\left(I_{PRI(PK)} + \left(\frac{I_{MAG}}{2} \right) \right)} = \frac{0.05 \times 36V}{\left(6.45A + \left(\frac{1.1A}{2} \right) \right)} = 257m\Omega \quad (86)$$

V_{IN} が最大の72Vの場合は、多層セラミックを選択することがもっとも有望です。2つ、またはそれ以上のセラミック・コンデンサを並列に接続すると、式(86)の $R_{ESR(IN)}$ の条件に簡単に適合し、また、寄生インダクタンスも極めて小さくなります。TDKのC4532X7R2A225は $2.2\mu F/100V$ の多層セラミック・コンデンサで、定格は $R_{ESR(IN)}$ が $4m\Omega$ 、入力電流が $300kHz$ 時 $2.5A_{RMS}$ です。総入力容量が $6.6\mu F$ となるよう3つのコンデンサを並列にします。

4.6 電流検出

UCC2891/3の電流検出のスレッシュホールドは $0.75V$ で、一方、UCC2892/4は $1.27V$ です。電流モード・コントロールの目標は、誤差電圧と出力インダクタを流れる電流をもとに Q_{MAIN} のオ

ン時間を調節することです。出力電流があまり高いと、電流の検出は負荷電流がトランスの巻線比により低減する一次側で行われます。一次側での電流検出は Q_{MAIN} のソースに直列に置かれた小さな電流検出抵抗または電流検出トランスを使用して行われます。高効率となるよう設計する場合、各手法に付随する総損失について検討しておくべきです。

抵抗による電流検出の手法と電流検出抵抗端のおおよその電圧波形を図15に示します。

式(41)より、一次ピーク電流は $I_{OUT} = 30A$ の場合 $6.45A$ ですが、電流制限の設定のため、一次ピーク電流は $I_{LIM} = 32A$ に相当する $6.78A$ です。 R_{CS} の値は式(87)で求められます。

$$R_{CS} = \frac{V_{CS}}{I_{PRI(CL_PK)}} = \frac{0.75V}{6.78A} = 0.11\Omega \quad (87)$$

式(42)の一次電流 $4.42A$ を使用すると、電流検出抵抗で消費される電力は式(88)で求められます。

$$P_{RCS} = I_{PRI(RMS)}^2 \times R_{CS} = 4.42A^2 \times 0.128\Omega = 2.5W \quad (88)$$

電流検出抵抗での消費電力が $2.5W$ であるため、総効率で2%の不利益を被ります。この手法の効果を図16に示される電流検出トランスを使用した場合と比較します。

図16の電流検出トランス T_{CS} について検討します。 R_{CS} を流れる電流は電流検出トランスの巻線比で低減した一次電流 I_{PRI} です。電流検出トランスの巻線比が $100:1$ の場合、ピーク電流制限時の I_{CS} は式(89)で求められます。

$$I_{CS(CL_pk)} = I_{PRI(CL_PK)} \times \frac{1}{N_{CS}} = \frac{6.78A}{100} = 67.8mA \quad (89)$$

また、 $I_{CS(CL_PK)}$ より、電流検出抵抗は式(90)で計算できます。

$$R_{CS} = \frac{V_{CS}}{I_{CS(CL_PK)}} = \frac{0.75V}{67.8 \times 10^{-3} A} = 11\Omega \quad (90)$$

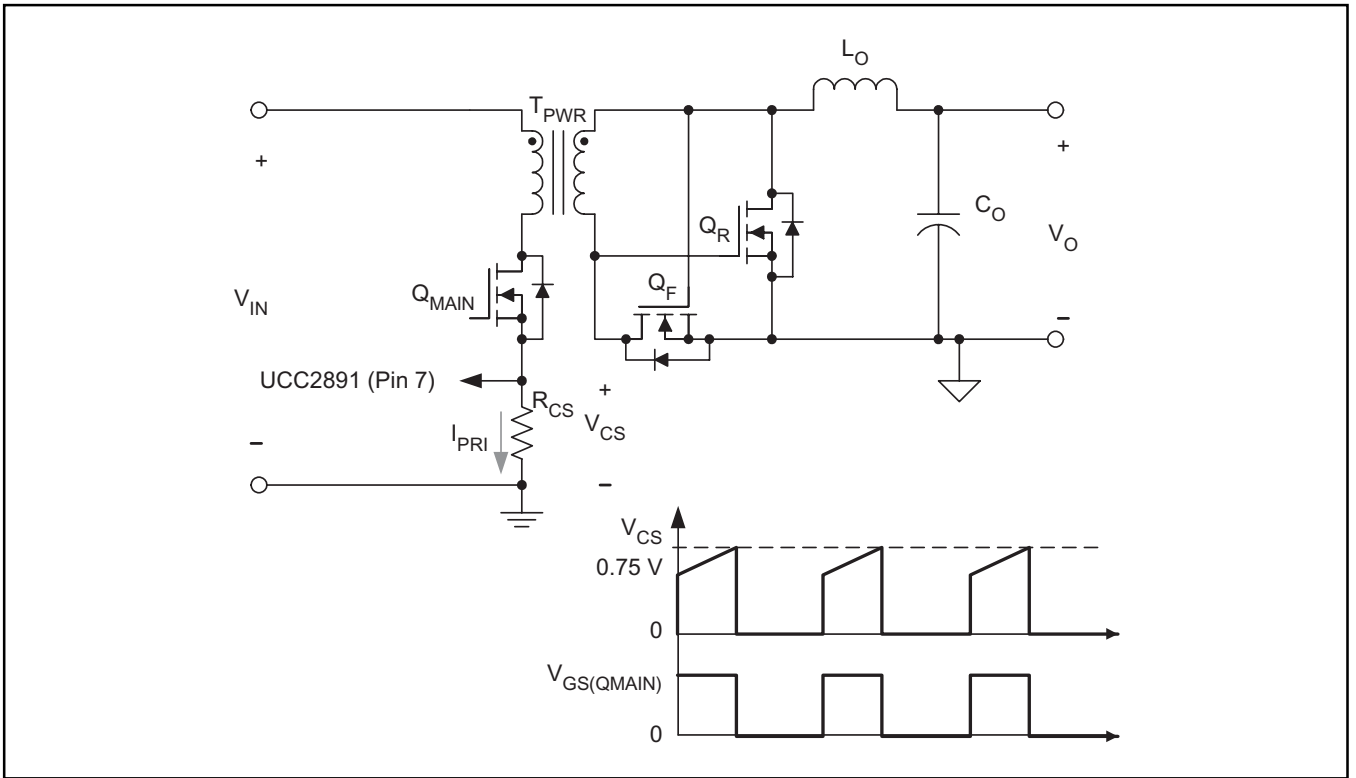


図15. UCC2891の抵抗による電流検出

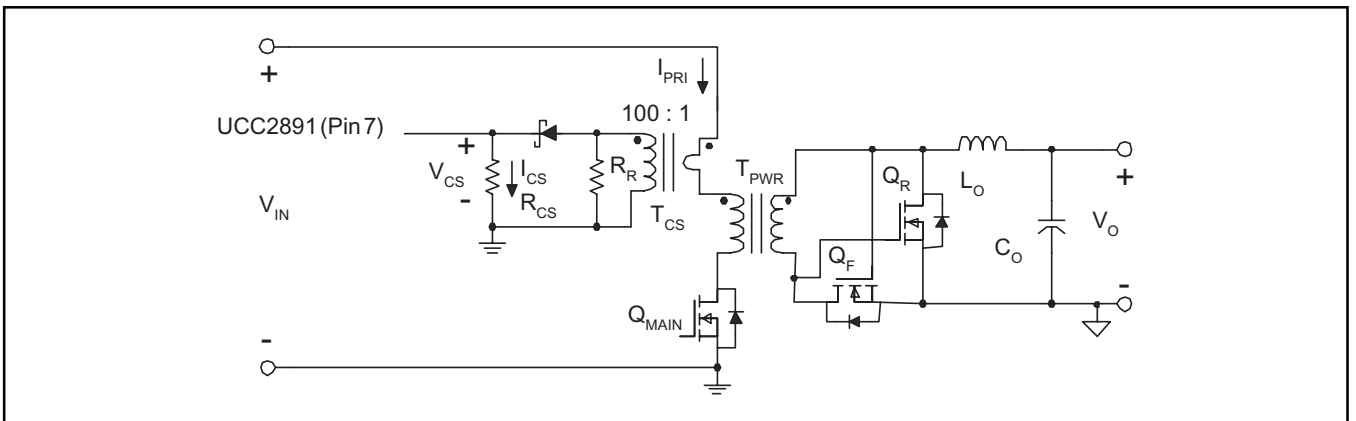


図16. 電流検出トランスによる電流検出

式(42)の一次電流4.42Aを使用すると、11Ωの電流検出抵抗で消費される最大電力は式(91)で求められます。

$$P_{RCS} = \left(\frac{I_{PRI(RMS)}}{N_{CS}} \right)^2 \times R_{CS} = \left(\frac{4.42A}{100} \right)^2 \times 11\Omega = 21.5mW \quad (91)$$

T_{CS}については、Pulse社のP8208 100:1の電流検出トランスを選択し、その一次電流の最大定格は10Aで、最大高さは5mm以下です。電力消費の最大の原因は単一巻線のDC抵抗を流れる一次電流です。P8208では、DC抵抗は一次側単一巻線で6mΩ、二次側巻線数100で5.5Ωです。電流検出トランスの導通損失は式(92)と式(93)で求められます。

$$P_{TCS(PRI)} = I_{PRI(RMS)}^2 \times R_{PRI} = 4.42A^2 \times 6 \times 10^{-3}\Omega = 117.2mW \quad (92)$$

$$P_{TCS(SEC)} = \left(\frac{I_{PRI(RMS)}}{N_{CS}} \right)^2 \times R_{SEC} = \left(\frac{4.42A}{100} \right)^2 \times 5.5\Omega = 10.7mW \quad (93)$$

図16の検出回路で使用されているショットキー・ダイオードによっても、ダイオードが導通している時の電流とダイオードの電圧降下の積である消費電力が少し追加されます。順方向電圧降下V_Fが0.6Vと仮定すると、ダイオードで消費される電力は式(94)で概算できます。

$$P_{CS(DIODE)} = V_F \times \left(\frac{I_{PRI(RMS)}}{N_{CS}} \right) = 0.6V \times \left(\frac{4.42A}{100} \right) = 26.5mW \quad (94)$$

検討すべき最後の部品はR_Rで、オフ時間に電流検出トランスをリセットするのに使用されます。R_{CS}はR_Rよりかなり小さいため、二次電流はダイオードが導通している時常時R_{CS}に流れます。電流検出ダイオードが導通していない時、R_Rの存在によりリセットに必要な二次側トランスに流れる電流が保持されます。従って、リセットのボルト秒はR_Rの値で決まります。R_Rはトランスのリセット時間がパワー・トランスT_{PWR}の最小リセット

時間より短くなるように選択すべきです。R_Rの値を増やすと、リセット時間が減少するという効果がありますが、リセット電圧が増加し電流検出ダイオードにさらなる電圧が加わってしまいます。電流検出ダイオードの最小電圧ストレスについて、R_Rの概算が式(95)で求められます。

$$R_R = \frac{(V_{CS} + V_D) \times D_{MAX} \times N_{CS}}{(1 - D_{MAX}) \times I_{MAG}} \quad (95)$$

$$R_R = \frac{(0.75V + 0.6V) \times 0.6 \times 100}{(1 - 0.6) \times 1.1A} = 184\Omega \quad (96)$$

電流検出トランスを使用した場合に消費される総電力は式(97)で求められます。

$$P_{TCS} = P_{RCS} + P_{TCS(PRI)} + P_{TCS(SEC)} + P_{CS(DIODE)} \quad (97)$$

$$P_{TCS} = 21.5mW + 117.2mW + 10.7mW + 26.5mW = 175.9mW \quad (98)$$

式(98)と式(88)の結果を比較すると、図16の電流検出トランスの手法を使用した場合に消費される電力は、電流検出抵抗がQ_{MAIN} MOSFETのソースに直列に接続された場合の2.5Wに比べて、総消費電力で僅か175.9mWです。このことは低入力電圧/大電流設計のアプリケーションでほとんどの場合正しく、また一部オフラインのアプリケーションでも2つの電流検出手法の各々について損失を比較することは無駄ではないかも知れません。

4.7 パワー段の損失のまとめ

全負荷時(100W負荷)のパワー段のみの総消費電力を図17にまとめ、約9.9Wであるため全負荷時の効率は91%と見積もることができます。図17の電力見積もりはQ_{AUX} MOSFETの損失と入出力コンデンサの損失を無視していますが、これらはこの見積もりの範囲内で極めて小さいと想定されます。

5 光カップラによる電圧フィードバック

UCC2891 PWMコントローラは電流モード・コントロール(CMC)を使用してデューティ・サイクルを調節します。電流検出の情報は前項での説明のように一次側から導かれますが、電圧ループ部に必要なDC誤差信号は二次側から一次側に帰還する必要があります。絶縁境界との信号の伝達はトランスを利用したりまたは光カップラを用いて行うことができます。出力インダクタは既に一次基準のブートストラップ・バイアスを供給しているため、誤差電圧の帰還信号を集めるために第2の結合巻線を加えることは当例では好ましくありません。光カップラの使用例を図18のように示します。

UCC2891のFBピンに使用できる推奨電圧は1.25V < V_{FB} < 4.5Vです。V_{FB}が1.25Vより低いと、UCC2891はパルス・スキップ・モードで動作します。当例の入力電圧は2:1の範囲でのみ変動するため、最小のV_{FB}を1.5V内に制限することで、通常動作時パルス・スキップ・モードは回避することができます。よって、V_{IN}の2:1の全範囲にわたって、FB電圧は1.5V < V_{FB} < 3.0Vで比例的に変化すると予想できます。次に考慮することは、UCC2891の基準電圧のソース電流能力が僅か5mAであるということです。V_{REF}は光カップラ出力のプルアップ電圧として使用されるため、最大許容I_{REF}は設計で2mAに制限されます。

$$R_{VREF} = \frac{V_{REF} - V_{FB(MIN)}}{I_{REF(MAX)}} = \frac{5V - 1.5V}{2mA} = 1.75K\Omega \quad (99)$$

$$I_{REF(MIN)} = \frac{V_{REF} - V_{FB(MAX)}}{R_{VREF}} = \frac{5V - 3V}{1.75K\Omega} = 1.1mA \quad (100)$$

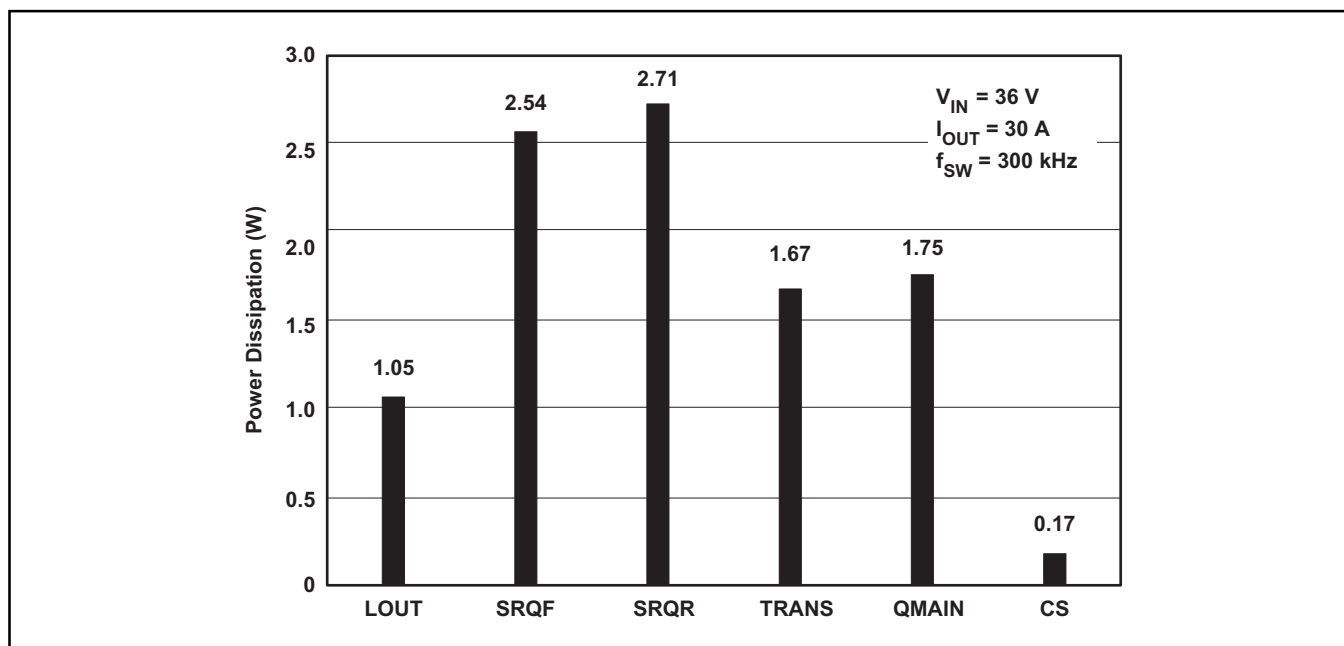


図17. パワー段の損失見積もり

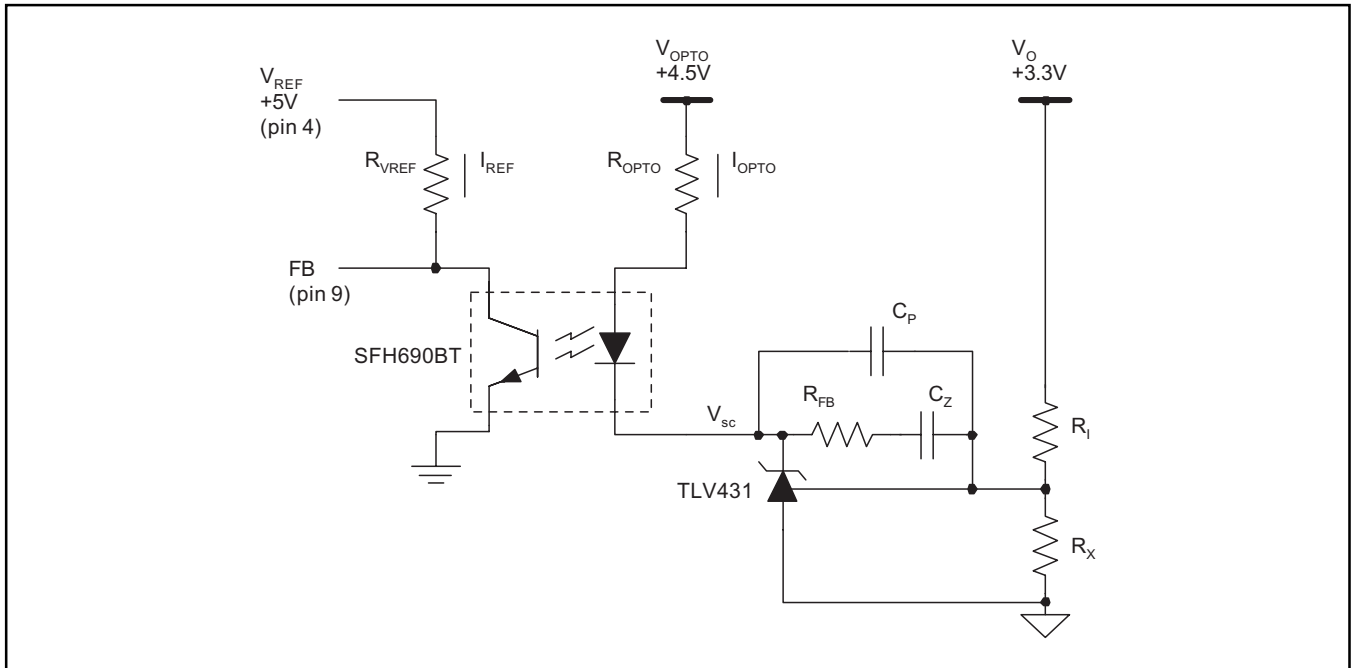


図18. 光カプラ・フィードバック及び二次側補償器

SFH690BTの電流伝達比(CTR)は100%から300%です。光カプラが最小CTRの100%でバイアスされると、電流 I_{OPTO} は式(101)より求められます。

$$I_{OPTO(MIN)} = \frac{I_{REF(MIN)}}{CTR_{(MIN)}} = \frac{1.1mA}{1} = 1.1mA \quad (101)$$

TLV431は最大25mAのカソード電流のシンク能力があるため、光カプラの駆動には余裕が十分あります。光カプラのDC利得を最小限に抑えるために、TLV431の最大電流の20%を与えます。光カプラのバイアス抵抗 R_{OPTO} は式(102)で求められます。簡素なシリーズ・パス・レギュレータの設計では、 V_{OPTO} は二次側最小トランス電圧6Vから1.5Vの余裕分を差し引いて選びます。

$$R_{OPTO} = \frac{V_{OPTO} - V_F - V_{SC}}{I_{TLV431}} = \frac{4.5V - 1.3V - 1.24V}{5mA} = 392\Omega \quad (102)$$

選択したバイアス抵抗と最小CTRをもとに、光カプラの最小利得は式(103)で求められます。

$$G_{OPTO} = \left(\frac{R_{VREF}}{R_{OPTO}} \right) \times CTR_{min} = \left(\frac{1.75K\Omega}{392\Omega} \right) \times 1 = 4.46 = 13dB \quad (103)$$

回路が構築されテストされると、全体のコントロール・ループを最適化する必要があります。、光カプラの利得は全コンバータ利得の一部であるため光カプラのバイアス抵抗はPWM帰還電圧を最適化するために調整されることがあります。

6 フィードバック・ループの補償

コントロール・ループ全体を図19に示します。ループは、K、 $G_{cl}(s)$ 、 $G_f(s)$ 、 $G_c(s)$ 、 $G_{opto}(s)$ で表示されている5つのブロックで構成されます。Kはコンバータの一次側を表しており、PWMコンパレータへの入力をコントロールするのに使用される電流検出回路、スロープ補償、フィードバック電圧から成っています。UCC2891は、コントロールICには内部で、また外部からは R_{SLOPE} から基準グラウンドへの1つの抵抗でプログラムできるスロープ補償回路を内蔵しています。

$G_{cl}(s)$ は一次トランスのインダクタンスとクランプ・コンデンサから成る二次共振効果です。 $G_f(s)$ は出力インダクタが取り除かれたパワー段の二次側です。出力インダクタ電流はコントロール変数のうちの1つであるため、電圧モードでコントロールされるコンバータに通常見られる2ポール効果が除去され、補償が簡素化されます。 $G_c(s)$ はタイプ2構成でTLV431を使用した二次側の補償器です。TLV431は低コストであるため、誤差増幅器として使用されることはよく知られています。 $G_{opto}(s)$ は前項で説明した光カプラの利得部です。TLV431のカソード電圧を変化させて光カプラのダイオード電流を設定します。光カプラの利得とCTRにより一次側のエミッタ電流が決まります。よって、エミッタ電流を変化させることはUCC2891のDCコントロール電圧を設定するのに使用されます。UCC2891の内部で、フィードバック電圧はバッファされ、PWMコンパレータの反転入力に入る前に2/5に分割されます。

図19のコントロール図から簡素化した利得ブロック図を図20に示します。 $G_c(s)$ を除いて、各ブロックを構成する要素は分かっており、コントロール-出力間の伝達 $G_{co}(s)$ を定義するのに使用することができます。

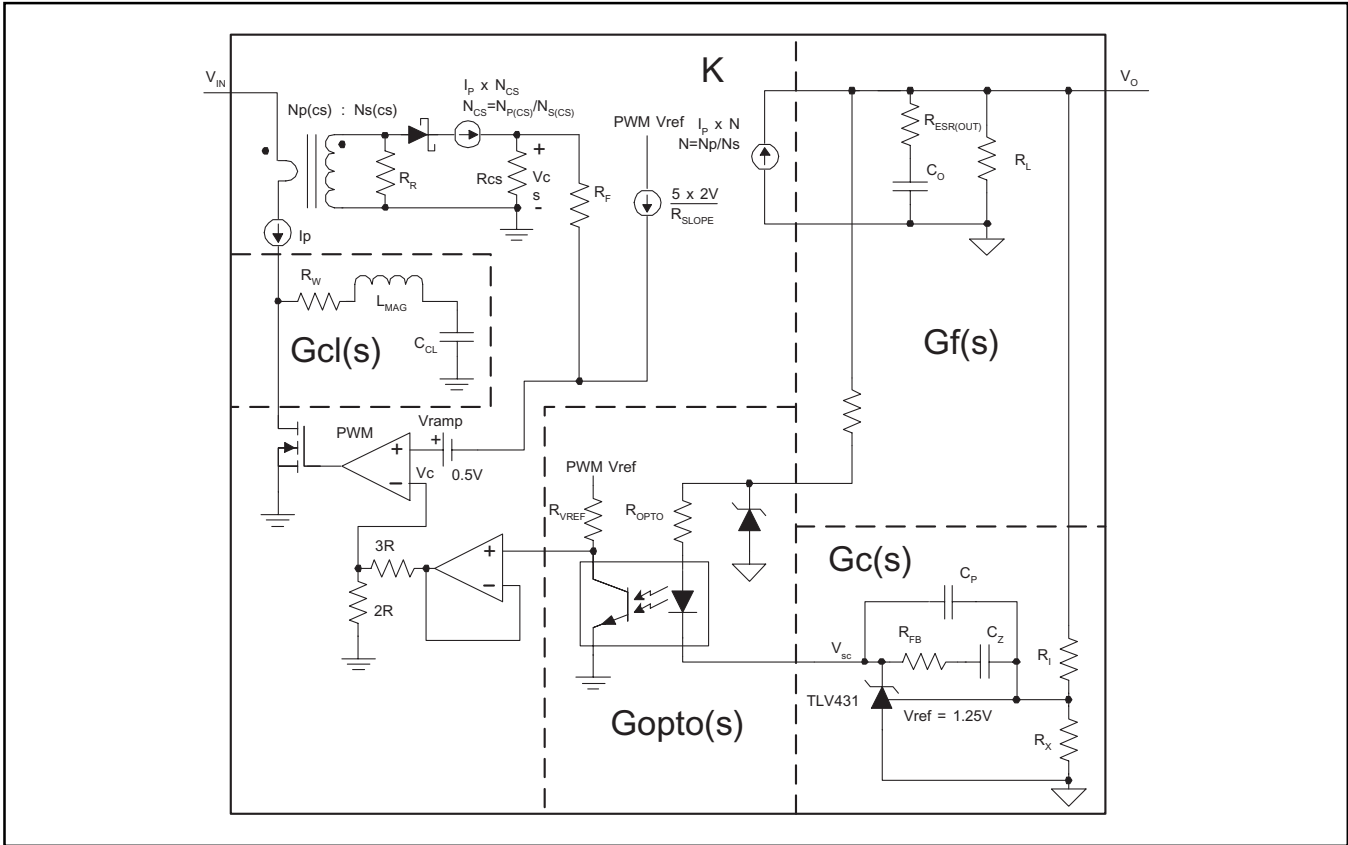


図19. UCC2891コントロール図

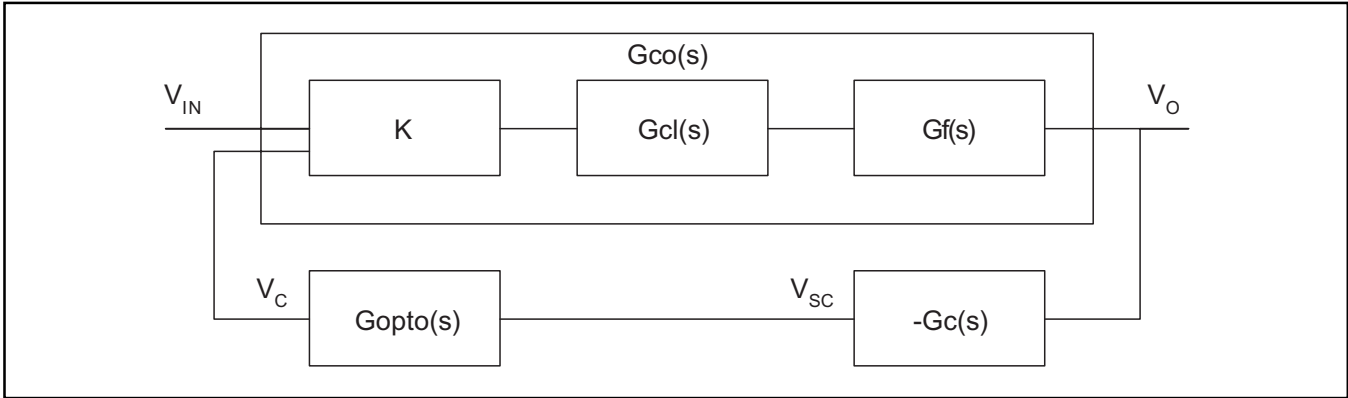


図20. UCC2891等価ブロック・ダイアグラム

利得定数Kは簡略化され、式(104)で定義されます。スロープ補償により電流検出ピンへ加わった電圧もKに僅かな影響を及ぼしますが、簡素化するためここでは省略します。

$$K = \frac{\Delta V_o}{\Delta V_c} = \frac{N \times R_L}{R_{CS}} = \frac{N \times N_{CS} \times V_o}{I_{O(MAX)} \times R_{CS}} \quad (104)$$

ピークCMCでのアクティブ・クランプ動作に独特なことは、トランスのインダクタンスとクランプ・コンデンサ間に起こる2ポールの共振効果です。このことは場合によってはコントロール・ループの設計に影響を与えます。この詳細は参考資料[9]と[10]に記載されています。

$$G_{cl}(s) = \left(\frac{1}{L_{MAG} \times C_{CL}} \times \frac{1}{s^2 + s \left(\frac{R_W}{L_{MAG}} \right) + \frac{1}{L_{MAG} \times C_{CL}}} \right) \quad (105)$$

出力フィルタの伝達関数Gf(s)は一次系に縮小され式(106)で求められます。

$$G_f(s) = \frac{S \times C_o \times R_{ESR(OUT)} + 1}{S \times (R_L + R_{ESR(OUT)}) \times C_o + 1} \quad (106)$$

図20に示されているように、システムのコントロール-出力間の利得は式(108)で求められます。

$$G_{co}(s) = K \times G_{cl}(s) \times G_f(s) \quad (107)$$

$$G_{co}(s) = \left(\frac{N \times N_{CS} \times V_O}{I_{O(MAX)} \times R_{CS}} \right) \times \left(\frac{1}{L_{MAG} \times C_{CL}} \times \frac{1}{S^2 + S \times \left(\frac{R_W}{L_{MAG}} \right) + \frac{1}{L_{MAG} \times C_{CL}}} \right) \times \left(\frac{S \times C_O \times R_{ESR(OUT)} + 1}{S \times (R_L + R_{ESR(OUT)}) \times C_O + 1} \right) \quad (108)$$

式(103)から、光カプラのDC利得 G_{opto} は既に13dBと計算されています。しかしながら、また、光カプラは約1kHzで生じるポールのロールオフ点を示しており、 G_{opto} と組み合わさって式(109)になり、これは未補償のフィードバックを表しています。光カプラの小信号応答はメーカーのデータシートには規定されておらず、与えられたアプリケーションごとに変動するため、回路で測定してコントロール・ループのモデルで使用されている仮定を立証すべきです。

$$G_{opto}(s) = \frac{G_{opto}}{1 + S \times \left(\frac{1}{2 \times \pi \times 1kHz} \right)} \quad (109)$$

ピークCMCでのフォワード・コンバータ動作では、通常、タイプ2の補償回路が使用され、これは図19の $G_c(s)$ 部で示されています。CMCアクティブ・クランプ方式のフォワード・コンバータでは、この補償体系は、全体のクロスオーバー周波数が式(110)で定義される $G_{cl}(s)$ 共振周波数の少なくとも10倍以下であるよう設計された場合に使用することができます。

$$F_{CL} = \frac{1}{2 \times \pi \times \sqrt{L_{MAG} \times C_{CL}}} = \frac{1}{2 \times \pi \times \sqrt{65\mu H \times 22nF}} = 133kHz \quad (110)$$

$$F_0 \leq \frac{F_{CL}}{10} \quad (111)$$

式(111)から、コントロール・ループのクロスオーバー周波数 F_0 は7kHzを任意に選択します。帯域幅がより広い条件では、光カプラのポールロールオフがタイプ2の補償回路が供給する位相のブースト量を制限します。この場合、ループにゼロを追加する必要があります、これはタイプ3の補償回路を意味します。コントロール出力間 $G_{co}(s)$ の各ブロックの周波数応答、利得、位相をそれぞれ図21と図22に示します。

式(109)をグラフにプロットし、 $G_{co}(s)$ に結果を加えると、閉ループでの未補償総利得と位相が分かり、図19の $G_c(s)$ を構成する補償回路を以下のように設計することができます。図23から、未補償総利得は $F_0 = 7kHz$ で約7.6dBです。補償器はクロスオーバー周波数で-7.6dBの利得をもつよう設計する必要があります。 F_0 で必要とされる絶対利得は式(112)で求められます。

$$g_c(F_0) = 10^{\frac{-\lg[G_{co}(F_0) - G_{opto}(F_0)]}{20}} = 10^{\frac{-\lg(7.6dB)}{20}} = 0.417 \quad (112)$$

R_X を任意に17.4k Ω に選択したとすると、 R_1 は式(113)で計算することができます。最終設計で使用される実際の値は各々の結果の右側に示します。

$$R_1 = R_X \times \frac{V_O - V_{REF}}{V_{REF}} = 17.4K\Omega \times \frac{3.3V - 1.25V}{1.25V} = 28.54K\Omega \rightarrow 28.7K\Omega \quad (113)$$

フィードバック抵抗 R_{FB} は F_0 で必要とされる負の利得を供給するよう選択され、式(114)で計算されます。

$$R_{FB} = g_c(F_0) \times R_1 = 0.417 \times 28.7K\Omega = 11.96K\Omega \rightarrow 10K\Omega \quad (114)$$

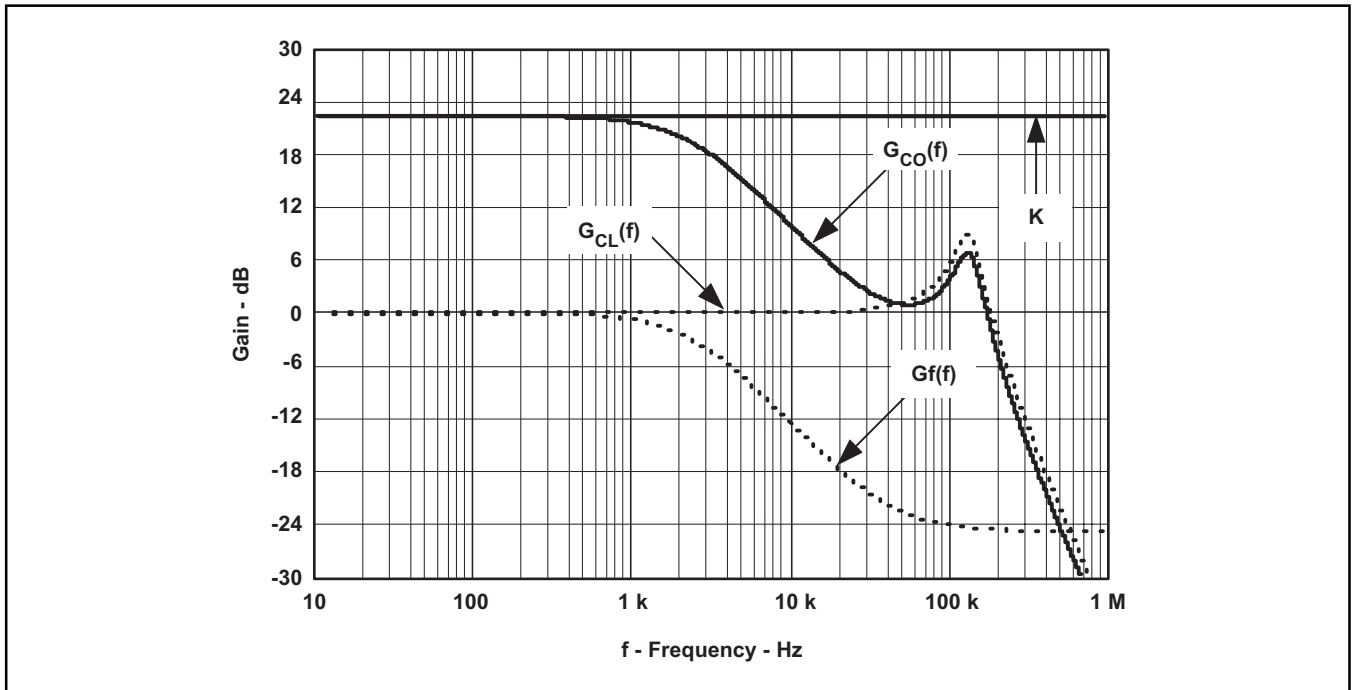


図21. 開ループのコントロール出力間利得

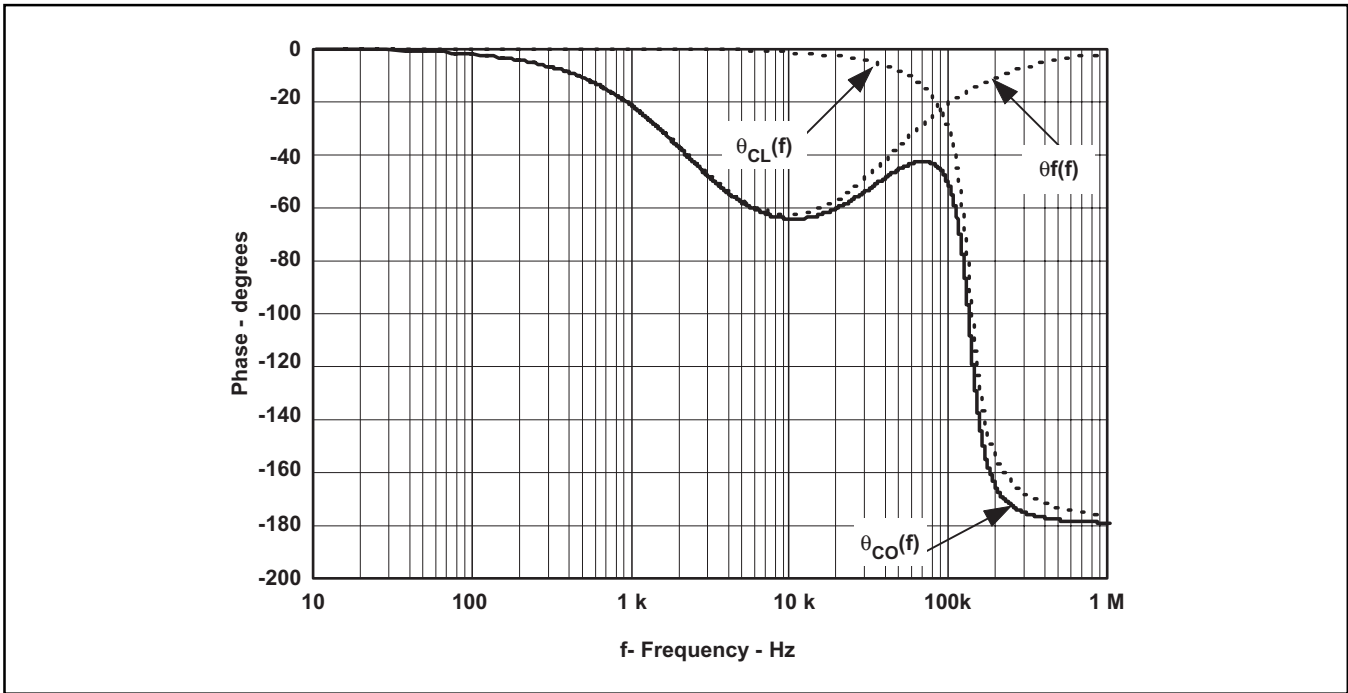


図22. 開ループのコントロール-出力間位相

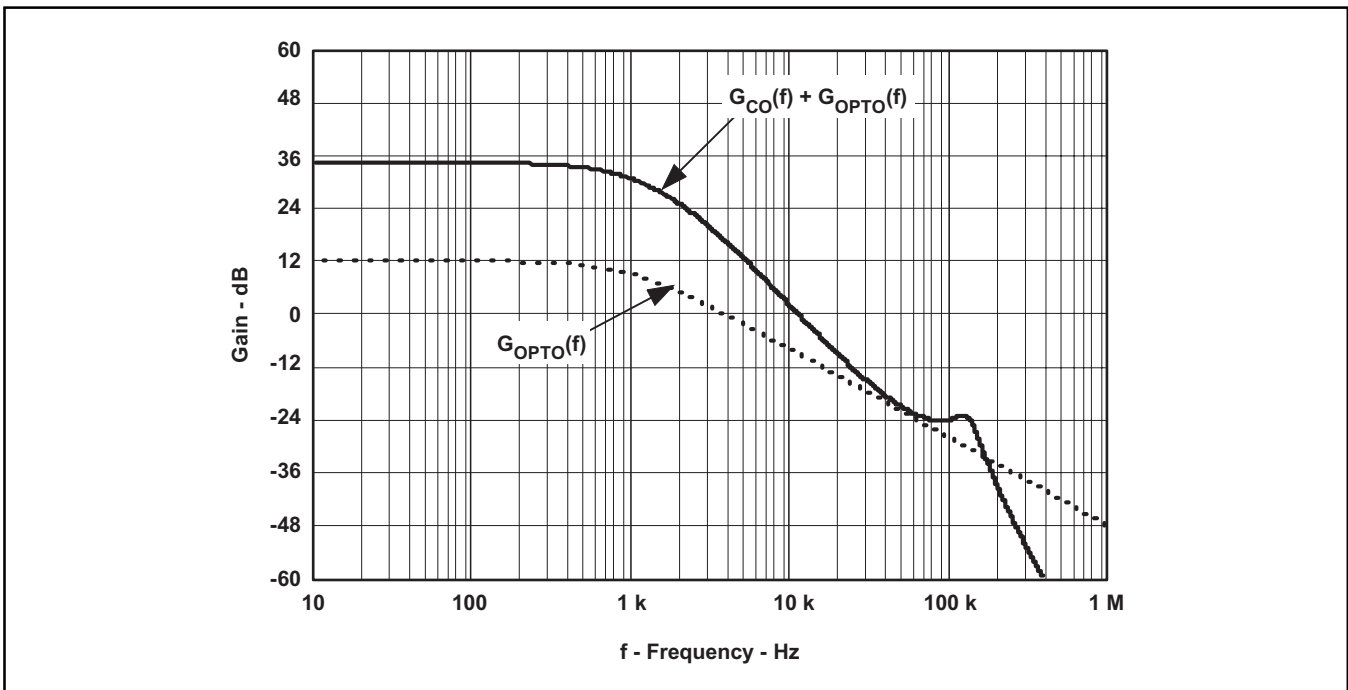


図23. 閉ループの未補償利得

R_{FB} と C_p で形成されるポールは出力コンデンサの $R_{ESR(OUT)}$ を補償するのに使用されます。これは出力容量の最大予想 $R_{ESR(OUT)}$ である $6m\Omega$ にて設定します。よって、 C_p は式(115)により計算されます。

$$C_p = \frac{C_o \times R_{ESR(OUT)}}{R_{FB}} = \frac{660\mu F \times 6m\Omega}{10K\Omega} = 396pF \rightarrow 330pF \quad (115)$$

R_{FB} と C_z で形成されるゼロは F_0 での位相ブーストの追加に使用され、出力コンデンサと負荷抵抗に見られる低周波数のポールを補償します。 C_z は式(116)で求められます。

$$C_z = \frac{V_o \times C_o}{R_{FB} \times I_{O(MAX)}} = \frac{3.3V \times 660\mu F}{10K\Omega \times 30A} = 7.2nF \rightarrow 82nF \quad (116)$$

実際の設計でテストされた最終部品は計算値から少しだけ変わり、それを図25に示します。

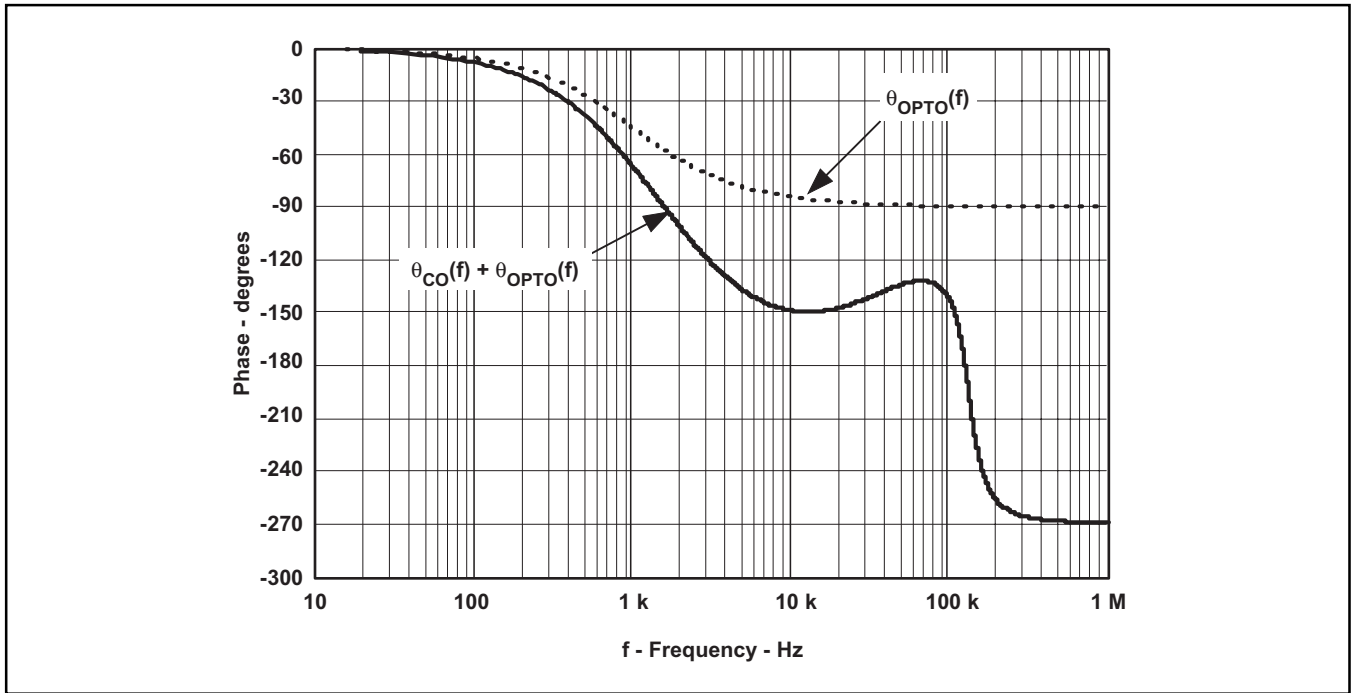


図24. 閉ループの未補償位相

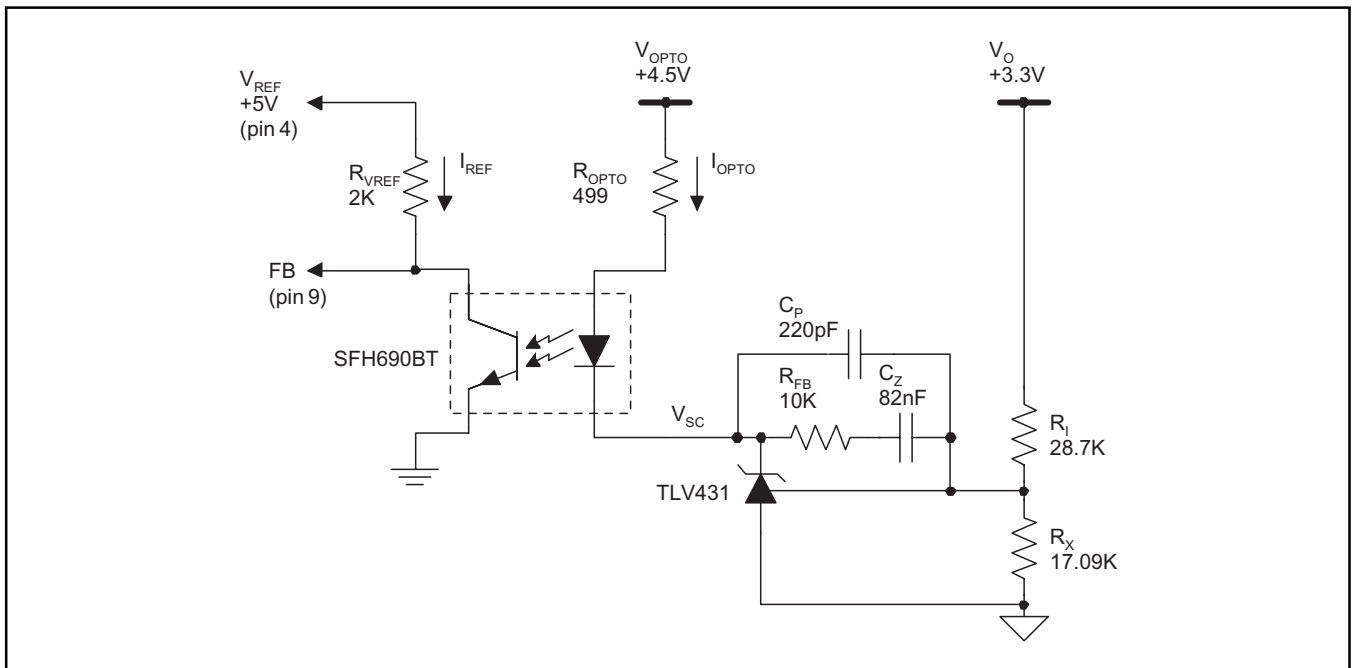


図25. タイプ2補償器(最終設計部品値)

補償されたTLV431の利得と位相の計算結果を図26に示します。 $F_0 = 7\text{kHz}$ で補償器の利得は -7.6dB です。また、図26には閉ループのTLV431の最大利得帯域幅積(GBW)も点線で示されています。当設計では、補償回路はうまくGBWリミットの下に入っていますが、それでもなお注意が必要です。図26に、クロスオーバー周波数で補償器にほぼ 90° の位相ブーストがあることが示されています。

図25の回路を設計に取り入れて、閉ループの総利得/位相応答を計算した結果を図27に示します。図27のループの利得応答から、クロスオーバー周波数は 7kHz 、低周波利得は約 -50dB となります。アクティブ・クランプ回路の2ポール応答も 133kHz 近辺に

見られます。補償器の位相ブーストは約 100Hz で開始しているのが見えます。しかしながら、光カプラの位相シフトの作用により、補償器は図26に示されている位相量ほど十分には寄与できていません。結果としては位相余裕が大幅に低減し、ここでは約 30° になっています。通常は、 40° を越える位相余裕を実現するため再度補償に立ち返ります。今回の、最終の回路で実測された実際の位相余裕は V_{IN} 及び I_{OUT} の全範囲にわたり 45° を越えていることが分かりました。このことは、光カプラの位相シフトが当初想定したほどクロスオーバー周波数に近くはなかったということを示しています。

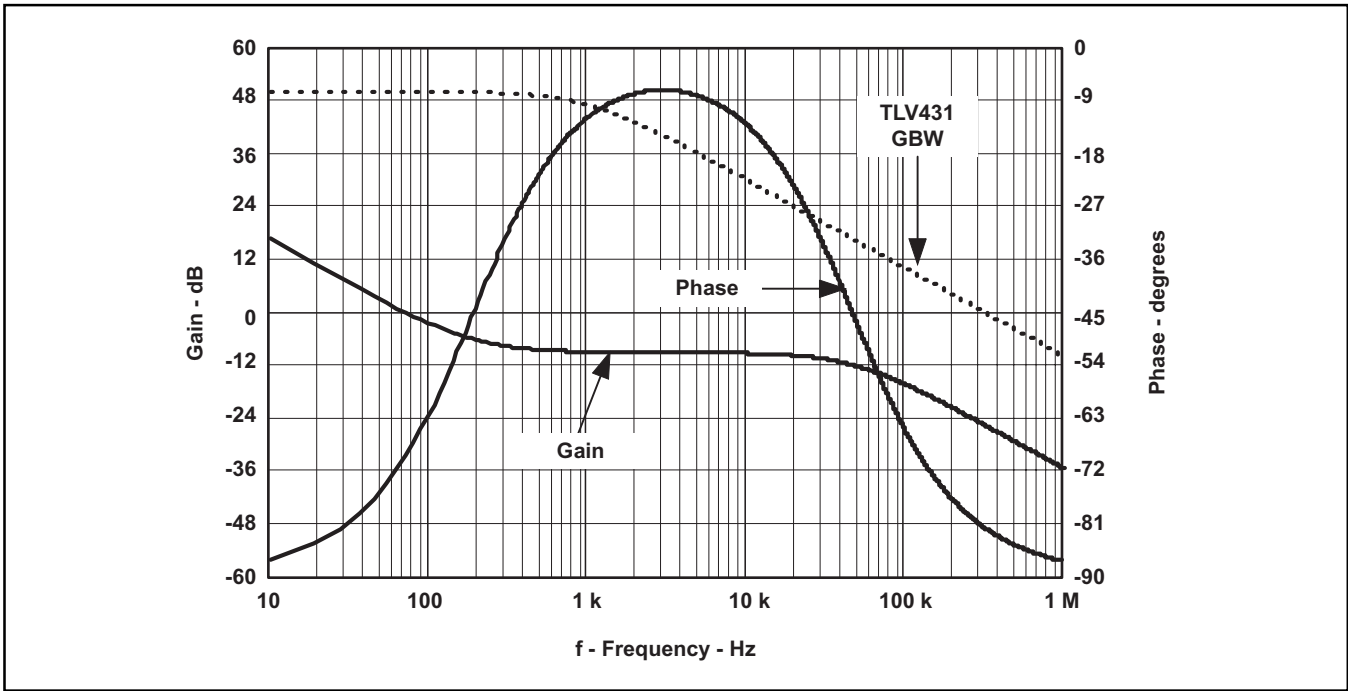


図26. タイプ2補償器の利得と位相

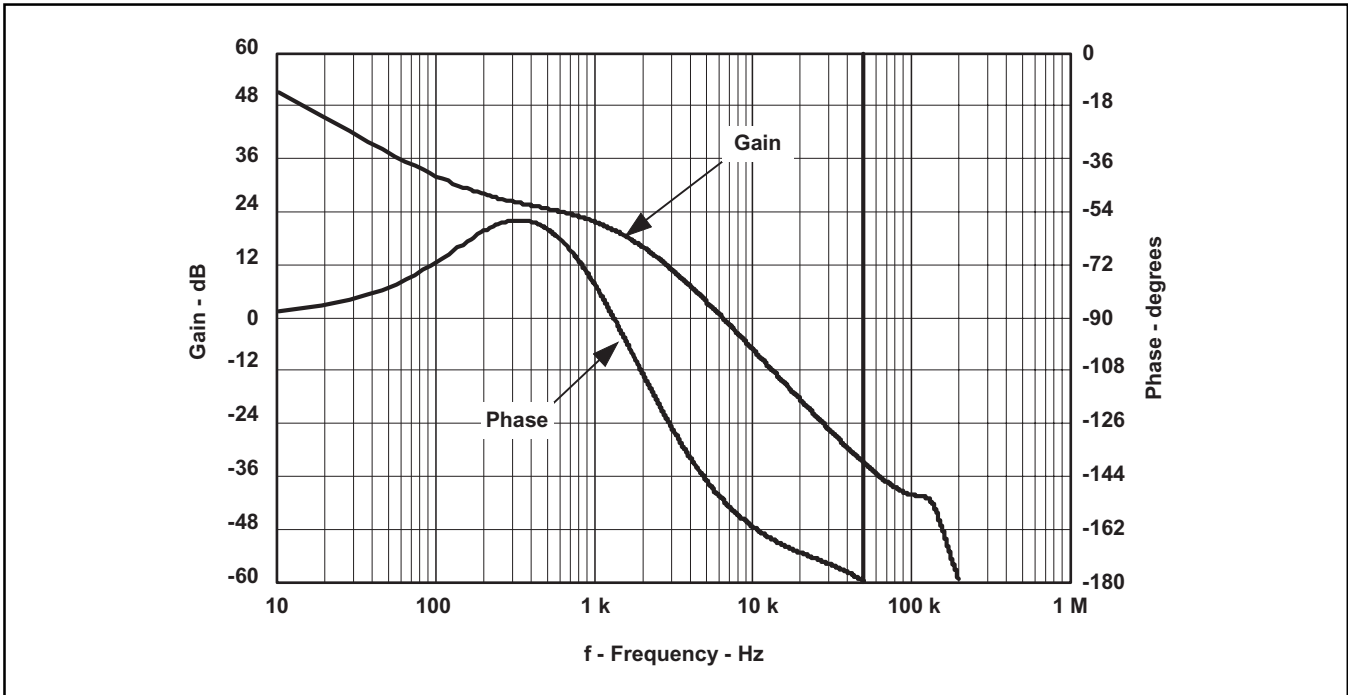


図27. 全体ループの総利得と位相の計算値

7 UCC2891 PWMコントローラ ICのプログラミング

パワー段の設計情報を使用して、これからPWMコントローラを構築することができます。これは一般的にパワー・コンバータの設計を完成させる最終段階です。以下の設計式は、参考資料[1]と[2]のアプリケーションの項に示されている構築手順をステップ・バイ・ステップで補完することを目的としています。設計で使用される実際の部品値は各結果の右側に示しています。

7.1 ステップ1. 発振器

発振器の周波数及び最大デューティ・サイクル・クランプは式(117)と(118)に従って R_{ON} と R_{OFF} により設定されます。

$$R_{ON} = \frac{t_{ON}}{37.33 \times 10^{-12}} = \frac{D_{MAX}}{F_{SW} \times 37.33 \times 10^{-12}} = \frac{0.65}{300 \text{kHz} \times 37.33 \times 10^{-12}} = 58 \text{K}\Omega \rightarrow 57.6 \text{K}\Omega \quad (117)$$

$$R_{OFF} = \frac{t_{OFF}}{16 \times 10^{-12}} = \frac{1 - D_{MAX}}{F_{SW} \times 16 \times 10^{-12}} = \frac{1 - 0.65}{300 \text{kHz} \times 16 \times 10^{-12}} = 72.9 \text{K}\Omega \rightarrow 76.8 \text{K}\Omega \quad (118)$$

7.2 ステップ2. ソフトスタート

ソフトスタート用コンデンサは目標とするソフトスタート時間を以下の式(119)に適用して設定します。当例の場合はソフトスタート時間は任意に40msを選択しています。

$$C_{SS} = \frac{2.5 \text{V} \times 0.43 \times t_{SS}}{R_{ON} \times (4.5 \text{V} - 1.25 \text{V})} = \frac{2.5 \text{V} \times 0.43 \times 40 \text{ms}}{57.6 \text{K}\Omega \times (4.5 \text{V} - 1.25 \text{V})} = 229 \text{nF} \rightarrow 0.22 \mu\text{F} \quad (119)$$

7.3 ステップ3. VDDのバイパス要件

まず、 Q_{MAIN} と Q_{AUX} のゲート電荷のパラメータをもとに高周波のフィルタ・コンデンサを計算します。スイッチング周波数時のリップルを C_{HF} の両端で100mV以下に保持すると仮定すると、 C_{HF} の値は式(120)で概算できます。式(61)から、 $Q_{G(QMAIN)}$ は35nC、IRF6216 AUX MOSFETのデータシートから $Q_{G(AUX)}$ も35nCです。

$$C_{HF} = \frac{Q_{G(QMAIN)} + Q_{G(AUX)}}{0.1 \text{V}} = \frac{35 \text{nC} + 35 \text{nC}}{0.1 \text{V}} = 700 \text{nF} \rightarrow 1 \mu\text{F} \quad (120)$$

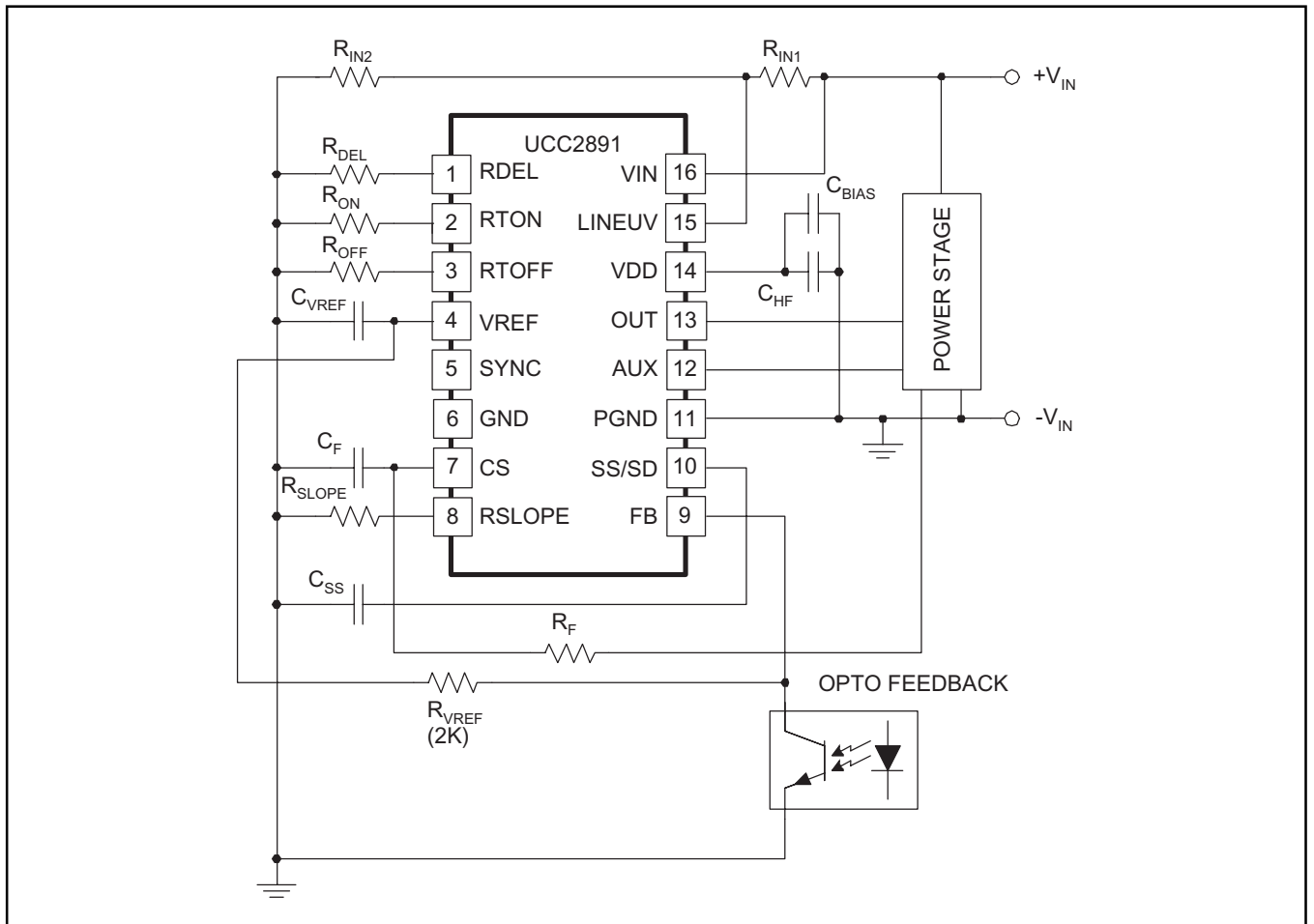


図28. UCC2891セットアップ・ダイアグラム

C_{BIAS}は、t_{SS}により定義されるエネルギー保存量と、14ピンの電圧をモニタしているPWMコントローラのUVLO回路のターンオン・スレッシュホールド(13.5V)とターンオフ・スレッシュホールド(8V)をもとに決まります。さらに、PWMコントローラのバイアス電流及びQ_{MAIN}とQ_{AUX}のRMSゲート駆動電流も分かっているはずですが、UCC2891のデータシートから、ピークのドライバ電流はI_{G(QMAIN)} = I_{G(QAUX)} = 2Aで、I_{DD(MAX)} = 3mAです。従って、起動時の消費電力は式(122)で見積もることができます。

$$P_{BIAS} = \left(\frac{I_{DD(MAX)} + F_{SW} \times \left((I_{G(QMAIN)} \times t_{R(QMAIN)}) + (I_{G(QAUX)} \times t_{R(QAUX)}) \right) + (Q_{G(QMAIN)} + Q_{G(QAUX)}) \times F_{SW}}{(35nC + 35nC) \times 300kHz} \right) \times V_{DD} \quad (121)$$

$$P_{BIAS} = \left(\frac{3mA + 300kHz \times ((2A \times 20ns) + (2A \times 20ns)) + ((35nC + 35nC) \times 300kHz)}{(35nC + 35nC) \times 300kHz} \right) \times 12V = 144mW \quad (122)$$

目標のソフトスタート時間が40msの場合、C_{BIAS}の最小値は式(123)で計算することができます。

$$C_{BIAS} > \frac{2 \times P_{BIAS} \times t_{SS}}{(13.5V^2 - 8.5V^2)} = \frac{2 \times 144mW \times 40ms}{(13.5V^2 - 8.5V^2)} = 97\mu F \rightarrow (2)47\mu F \quad (123)$$

C_{BIAS}に2つの47μFの並列コンデンサを使用すると、ソフトスタート時間と必要な総容量でほぼ妥当なトレードオフが成立します。

7.4 ステップ4. 遅延のプログラミング

抵抗R_{DEL}により、両方のゲート駆動信号間のターンオン遅延が設定されます。遅延時間は、OUT(13ピン)のターンオフとAUX(12ピン)のターンオン間、及びAUXのターンオフとOUTのターンオフ間の各スイッチング遷移で同一です。式(78)のt_{DELAY}を使って、R_{DEL}の値は式(124)で求められます。

$$R_{DEL} = (t_{DELAY} - 50ns) \times 0.87 \times 10^{11} \Omega \cdot s^{-1} = (100ns - 50ns) \times 0.87 \times 10^{11} \Omega \cdot s^{-1} = 3.33K\Omega \rightarrow 8.45K\Omega \quad (124)$$

設計が最適化されると、重要なことはt_{DELAY}を100ns以上に増加させるとZVSを行う余裕時間が多くなりますが、有効デューティ・サイクルが小さくなり、ラインレギュレーションが低下してしまいます。

7.5 ステップ5. 入力電圧のモニタ

まずLINEUVコンパレータにフィードバックされるヒステリシス電流量を式(125)で計算します。

$$I_{HYST} = \frac{2.5V}{R_{DEL}} \times 0.05 = \frac{2.5V}{3.33K\Omega} \times 0.05 = 37.5\mu A \quad (125)$$

ヒステリシス電圧量は表1のV_{ON}とV_{OFF}の差で規定され、それを使って式(126)からR_{IN1}を計算します。

$$R_{IN1} = \frac{V_{ON} - V_{OFF}}{I_{HYST}} = \frac{35V - 34V}{37.5\mu A} = 26.6K\Omega \rightarrow 26.7K\Omega \quad (126)$$

これでLINEUV分圧器の下側の抵抗は式(127)で簡単に計算できます。

$$R_{IN2} = R_{IN1} \times \frac{1.27V}{V_{OFF} - 1.27V} = 26.7K\Omega \times \frac{1.27V}{31V - 1.27V} = 1.1K\Omega \rightarrow 1K\Omega \quad (127)$$

7.6 ステップ6. 電流検出フィルタとスロープ補償

UCC2891 PWMコントローラは内蔵のスロープ補償体系を使用し、2つの抵抗R_FとR_{SLOPE}を適切に選択することで外部からプログラムできます。電流検出フィルタ抵抗R_Fは、R_FとC_Fで形成されるローパスフィルタの選定コーナー周波数をもとに選択されます。まず、経験よりコーナー周波数をスイッチング周波数の10倍に選びます。また、C_Fは47pF ≤ C_F ≤ 270pFの推奨範囲内で選択すべきです。C_Fを任意に100pFにすると、R_Fは式(128)で求められます。

$$R_F = \frac{1}{2 \times \pi \times (10 \times F_{SW}) \times C_F} = \frac{1}{2 \times \pi \times (10 \times 300kHz) \times 100pF} = 530\Omega \approx 536\Omega \rightarrow 1.82K\Omega \quad (128)$$

R_Fにはこの結果にもっとも近い抵抗値の530Ωを選択します。出力インダクタ電流のスロープは、二次側から導かれた電流と定義され、一次側に戻り、その後電流検出抵抗R_{CS}の両端の電圧スロープに変化します。電流検出トランスが使用される場合は、電圧等価補償ランプが式(130)で求められます。

$$\frac{dV_L}{dt} = \frac{(V_{IN(MIN)} \times N_S - V_O \times N_P) \times N_S \times R_{CS}}{N_P^2 \times L \times N_{CS}} \quad (129)$$

$$\frac{dV_L}{dt} = \frac{(36V \times 1 - 3.3V \times 6) \times 1 \times 12.7\Omega}{6^2 \times 2\mu H \times 100} = 0.027 \frac{V}{\mu s} \quad (130)$$

電流検出トランスを使用しないアプリケーションでは、N_{CS}項を1にすることでやはり式(129)は適用できます。R_FとdV_L/dtの計算結果値を使用して、R_{SLOPE}は式(132)で求められます。

$$R_{SLOPE} = \frac{5 \times 2V \times R_F}{\left(\frac{D_{MAX}}{F_{SW}} \right) \times m \times \left(\frac{dV_L}{dt} \right)} \quad (131)$$

式(131)から、全変数は目標とするスロープ補償量を示す無次元数mを除いて既知となっています。mの代表値は0.5 ≤ m ≤ 1で、ここで0.5はピークCMCでの安定性を保証するのに必要となる最小スロープ補償量です。mが増加して1を越えると、ピークCMCは電圧モード・コントロール(VMC)へと移行するようになります。まずはm = 0.75として設計します。

$$R_{SLOPE} = \frac{5 \times 2V \times 536\Omega}{\left(\frac{0.65}{300kHz} \right) \times 0.75 \times \left(0.027 \frac{V}{\mu s} \right)} = 122K\Omega \rightarrow 158K\Omega \quad (132)$$

8 回路図と部品表(BOM)

設計例の回路図を図29に示します。図示されている部品値は計算値と少し異なっているかも知れません。また、表3に図29の回路図に対応した各々メーカーと部品型番を記載した部品表(BOM)を示します。

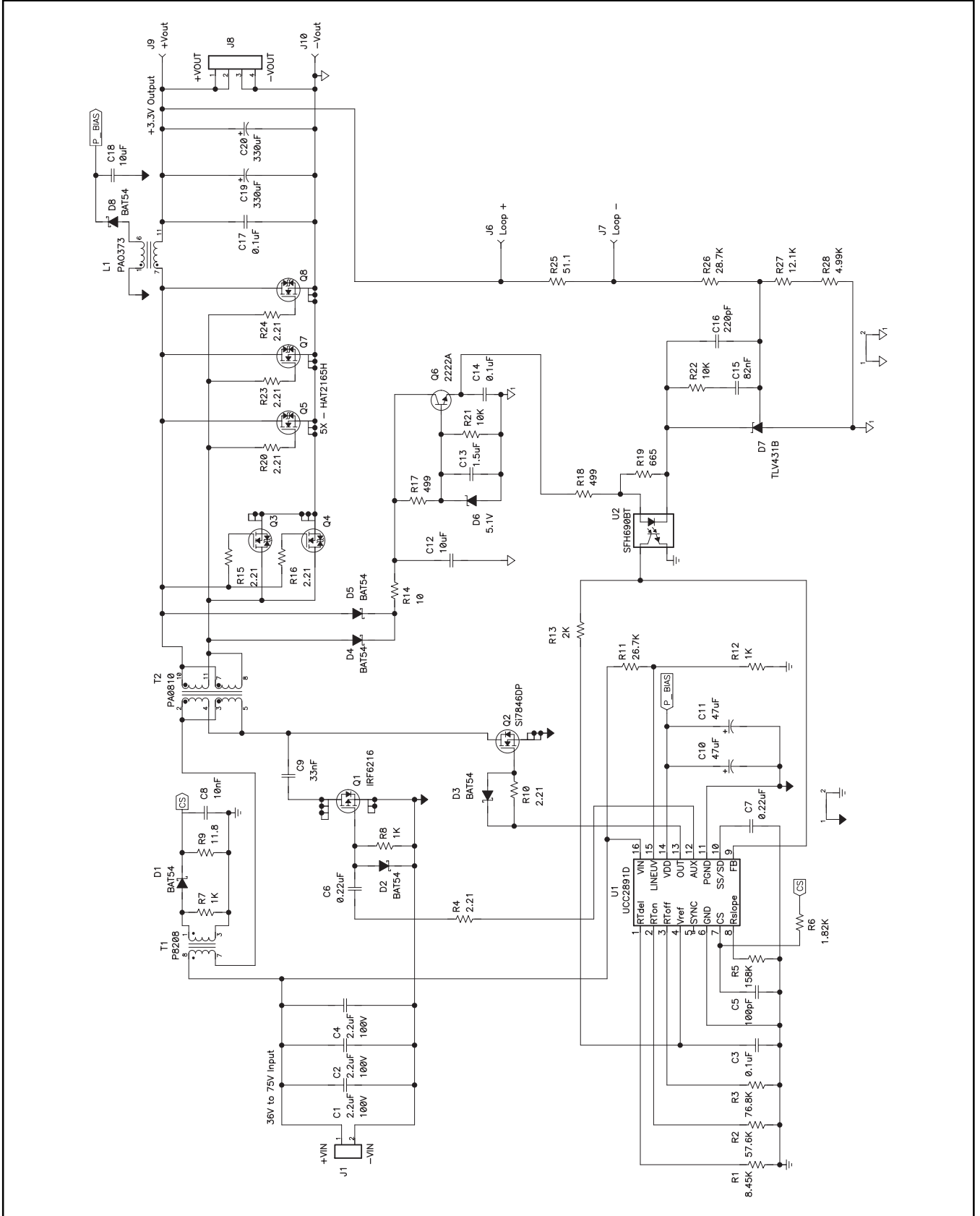


図29. UCC2891設計例の回路図

RefDes	QTY	Description	SIZE	MFR	PART NUMBER
C1, C2, C4	3	Capacitor, ceramic, 2.2 μ F, 100-V, X7R, 20%	1812	TDK	C4532X7R2A225M
C3, C14, C17	3	Capacitor, ceramic, 0.1- μ F, 50-V, X7R, 20%	805	Vishay	VJ0805Y104MXAA
C5	1	Capacitor, ceramic, 100-pF, 50-V, NPO, 10%	805	Vishay	VJ0805A101KXAA
C6, C7	2	Capacitor, ceramic, 0.22- μ F, 50-V, X7R, 20%	805	TDK	C2012X7R1H224M
C8	1	Capacitor, ceramic, 10-nF, 50-V, X7R, 20%	805	Vishay	VJ0805Y103MXAA
C9	1	Capacitor, ceramic, 33-nF, 100-V, X7R, 20%	805	Vishay	VJ0805Y333MXBA
C10, C11	2	Capacitor, tantalum chip, 47- μ F, 16V	C	Vishay	595D476X9016C2T
C12, C18	2	Capacitor, ceramic, 10- μ F, 16-V, X5R, 20%	1206	TDK	C3216X5R1C106M
C13	1	Capacitor, ceramic, 1.5- μ F, 10-V, X5R, 20%	805	TDK	C2012X5R1A155M
C15	1	Capacitor, ceramic, 82-nF, 50-V, X7R, 10%	805	Vishay	VJ0805Y823KXAA
C16	1	Capacitor, ceramic, 220-pF, 50-V, NPO, 10%	805	Vishay	VJ0805A221KXAA
C19, C20	2	Capacitor, POSCAP, 330- μ F, 6.3-V, 20%	7343 (D)	Sanyo	6TPD330M
D1, D2, D3, D4, D5, D8	6	Diode, schottky, 200-mA, 30-V	SOT23	Vishay	BAT54
D6	1	Diode, zener, 5.1-V, 350-mW	SOT23	Vishay	BZX84C5V1
D7	1	Adjustable precision shunt regulator, 0.5%	SOT23	ON Semi	TLV431BSN1T1
J1	1	Terminal block, 2-pin, 15-A, 5.1 mm	0.40 x 0.35	OST	ED500/2DS
J6, J7, J9, J10	4	Printed circuit pin, 0.043 Hole, 0.3 Length	0.043	Mill-Max	3103-1-00-15-00-00-0X-0
J8	1	Terminal block, 4-pin, 15-A, 5.1mm	0.80 x 0.35	OST	ED500/4DS
L1	1	Inductor, 2 μ H, 1 primary, 1 secondary	Planar	Pulse	PA0373
Q1	1	MOSFET, P-channel, 150-V, 2.2-A, 240-m Ω	SO8	IR	IRF6216
Q2	1	MOSFET, N-channel, 150-V, 6.7-A, 50- m Ω	Power Pak S08	Vishay	SI7846DP
Q3, Q4, Q5, Q7, Q8	5	MOSFET, N-channel, 30-V, 55-A, 2.5- m Ω	LPAK	Renesas	HAT2165H
Q6	1	Bipolar, NPN, 40-V, 600-mA, 225-mW	SOT23	Vishay	MMBT2222A
R1	1	Resistor, chip, 8.45K- Ω , 1/10W, 1%	805	Vishay	CRCW0805-8451-F
R2	1	Resistor, chip, 57.6K- Ω , 1/10W, 1%	805	Vishay	CRCW0805-5762-F
R3	1	Resistor, chip, 76.8K- Ω , 1/10W, 1%	805	Vishay	CRCW0805-7682-F
R4, R10, R15, R16, R20, R23, R24	7	Resistor, chip, 2.21- Ω , 1/10W, 1%	805	Vishay	CRCW0805-2R21-F
R5	1	Resistor, chip, 158K- Ω , 1/10W, 1%	805	Vishay	CRCW0805-1583-F
R6	1	Resistor, chip, 1.82K- Ω , 1/10W, 1%	805	Vishay	CRCW0805-1821-F
R7, R8, R12	3	Resistor, chip, 1K- Ω , 1/10W, 1%	805	Vishay	CRCW0805-1001-F
R9	1	Resistor, chip, 11.8 Ω , 1/10W, 1%	805	Vishay	CRCW0805-11R8-F
R11	1	Resistor, chip, 26.7 k Ω , 1/10W, 1%	805	Vishay	CRCW0805-2672-F
R13	1	Resistor, chip, 2 k Ω , 1/10W, 1%	805	Vishay	CRCW0805-2001-F
R14	1	Resistor, chip, 10 Ω , 1/10W, 1%	805	Vishay	CRCW0805-10R0-F
R17, R18	2	Resistor, chip, 499 Ω , 1/10W, 1%	805	Vishay	CRCW0805-4990-F
R19	1	Resistor, chip, 665 Ω , 1/10W, 1%	805	Vishay	CRCW0805-6650-F
R21, R22	2	Resistor, chip, 10 k Ω , 1/10W, 1%	805	Vishay	CRCW0805-1002-F
R25	1	Resistor, chip, 51.1 Ω , 1/10W, 1%	805	Vishay	CRCW0805-51R1-F
R26	1	Resistor, chip, 28.7 k Ω , 1/10W, 1%	805	Vishay	CRCW0805-2872-F
R27	1	Resistor, chip, 12.1 k Ω , 1/10W, 1%	805	Vishay	CRCW0805-1212-F
R28	1	Resistor, chip, 4.99 k Ω , 1/10W, 1%	805	Vishay	CRCW0805-4991-F
T1	1	Transformer, current sense, 10-A, 1:100	SMD	Pulse	P8208
T2	1	Transformer, high frequency planar	Planar	Pulse	PA0810
U1	1	IC, current mode active clamp PWM controller	SO16	TI	UCC2891D
U2	1	IC, phototransistor, CTR 100%-300%	SOP4	Vishay	SFH690BT

表3. UCC2891設計例の部品表

9 UCC2891設計例の特性データ

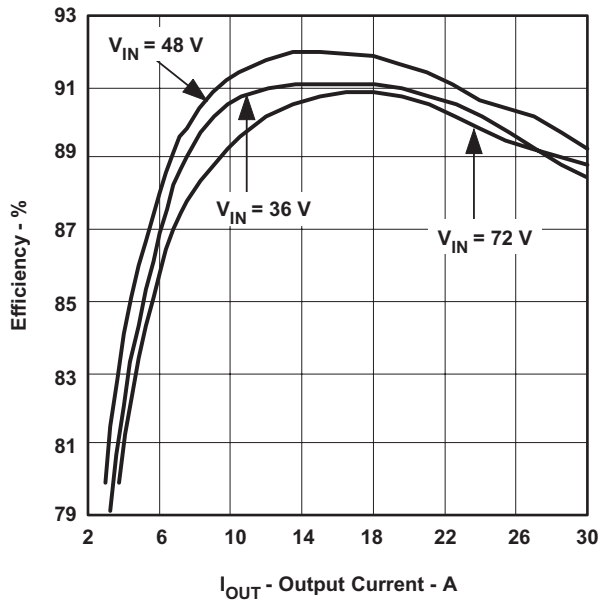


図30. 効率対出力電流

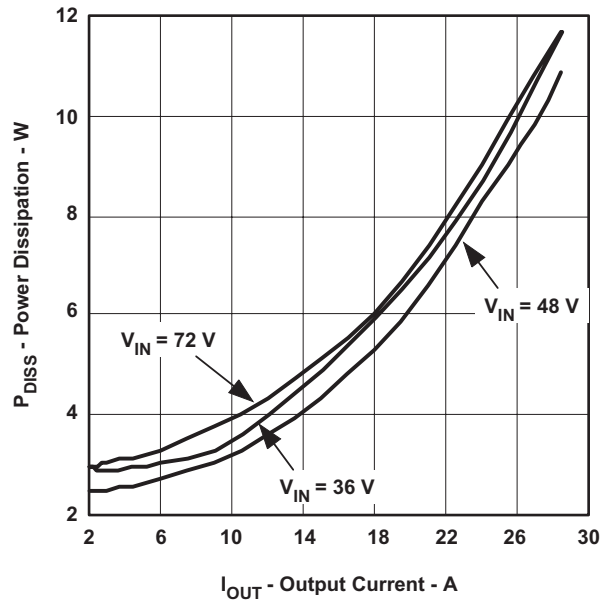


図31. 消費電力対出力電流

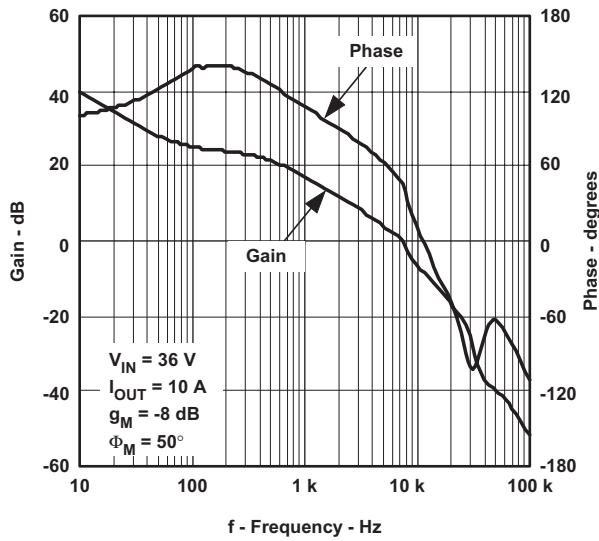


図32. 利得/位相対周波数

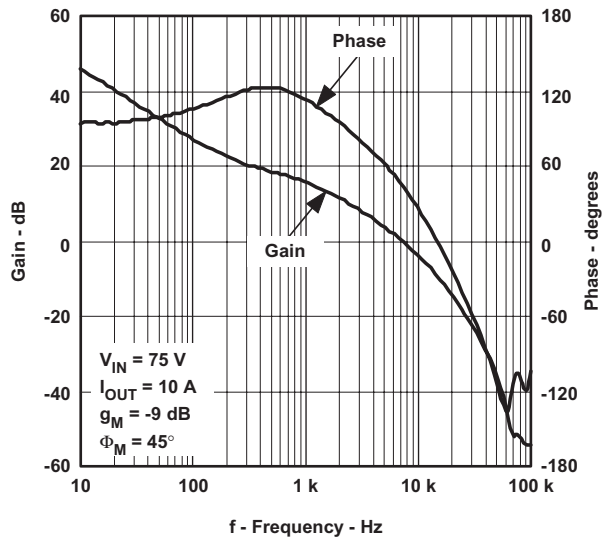


図33. 利得/位相対周波数

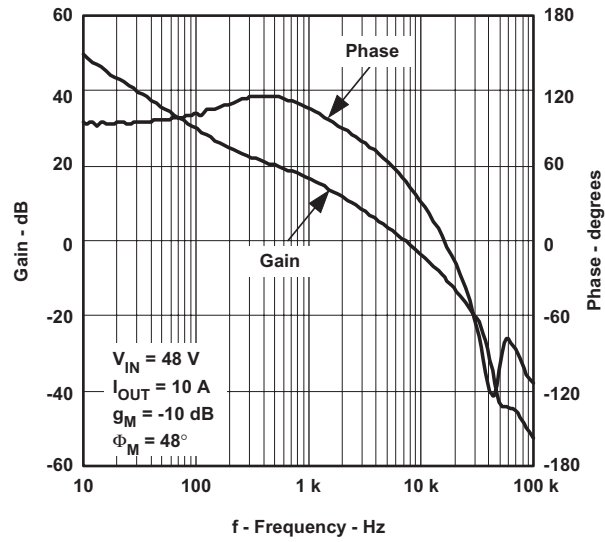


図34. 利得/位相対周波数

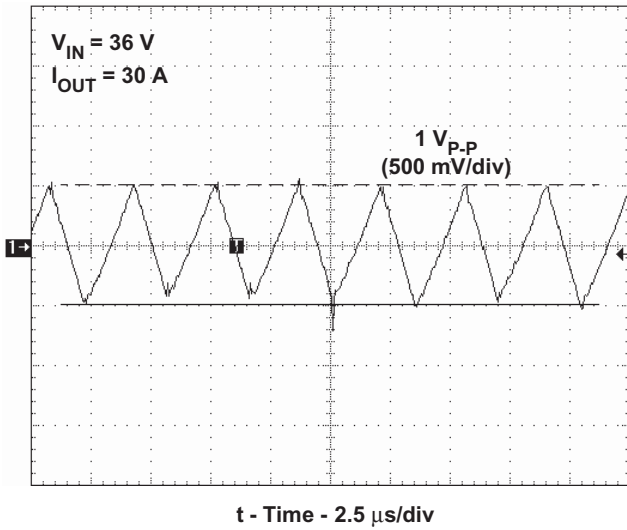


図35. 入力リップル電圧

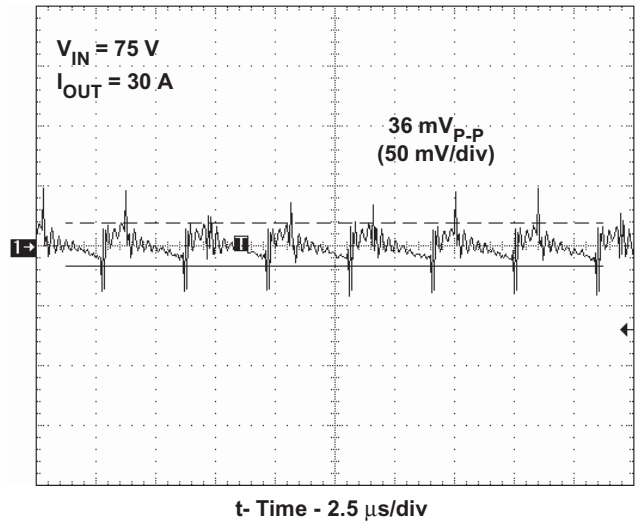


図36. 出力リップル電圧

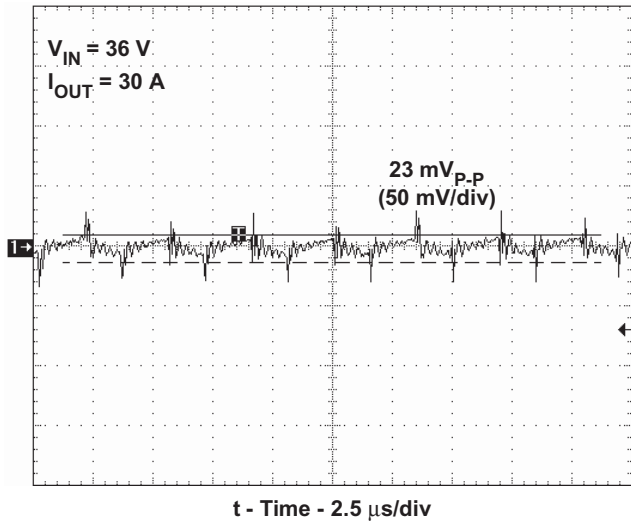


図37. 出力リップル電圧

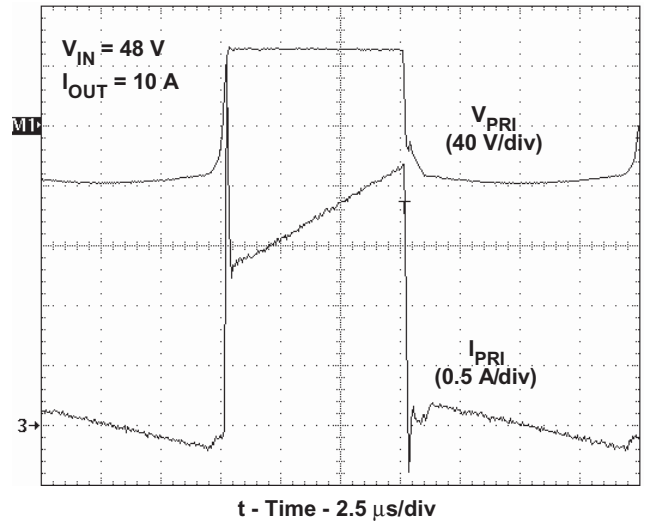


図38. 一次側トランス

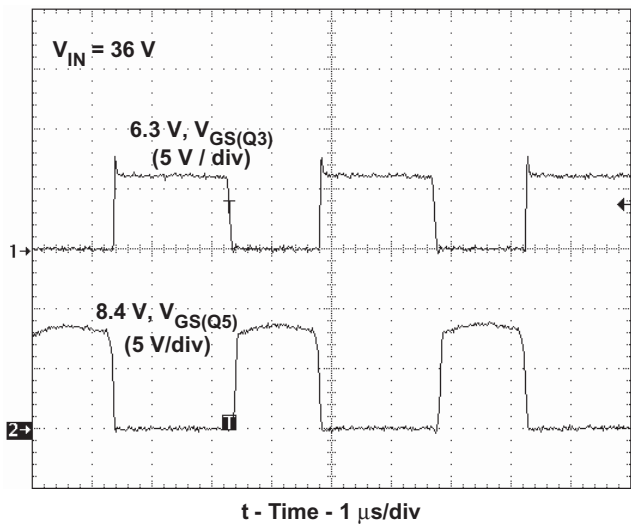


図39. SRのゲート駆動($V_{IN} = 36\text{ V}$)

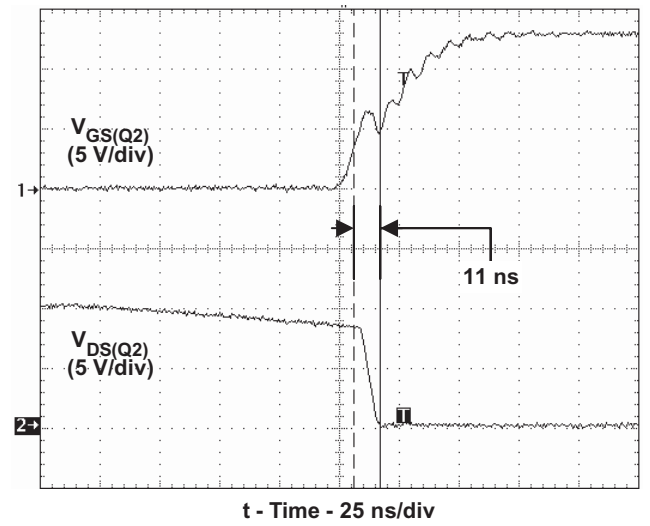


図40. メインMOSFET(Q2)のターンオン

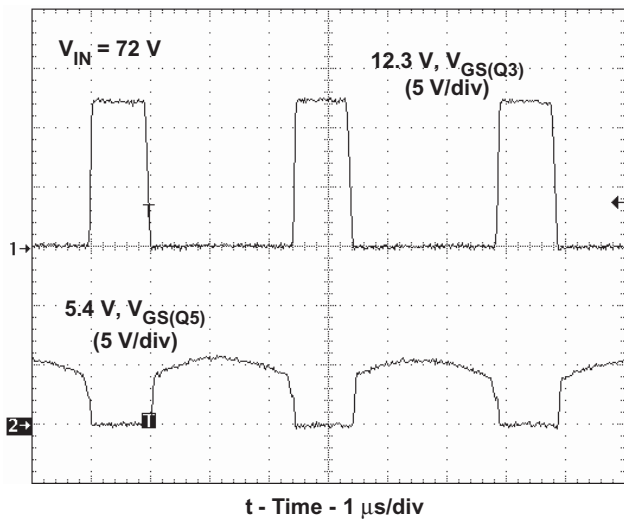


図41. SRのゲート駆動($V_{IN} = 72\text{V}$)

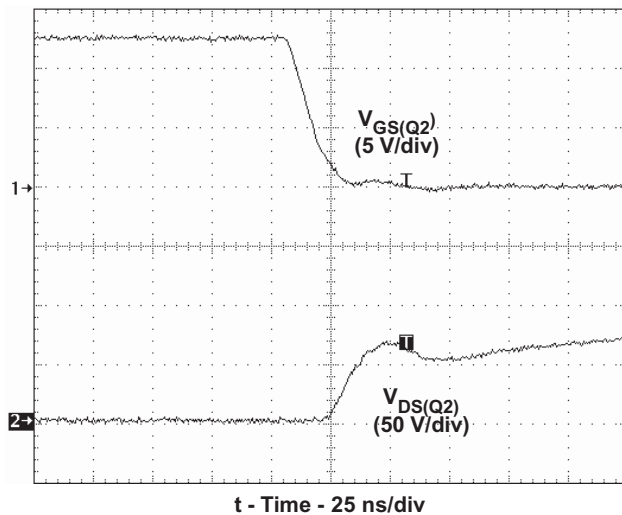


図42. メインMOSFET(Q2)のターンオフ

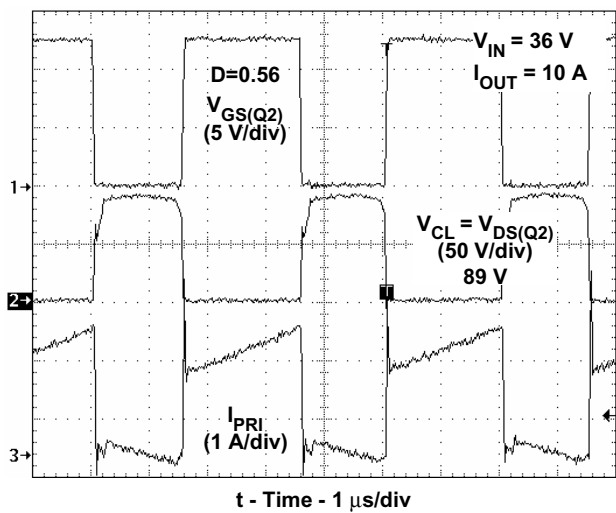


図43. 一次側波形

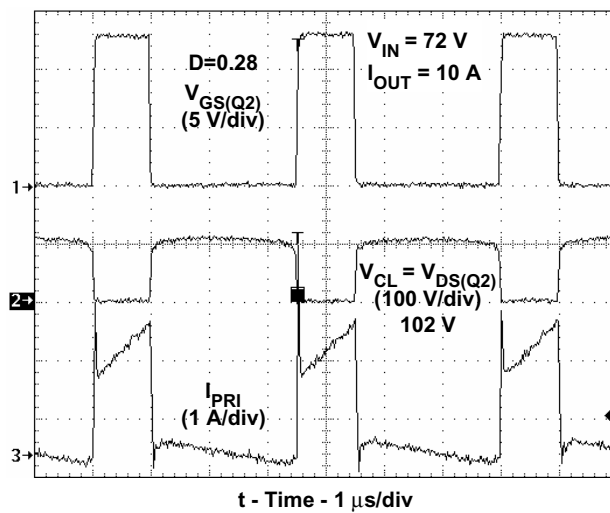


図44. 一次側波形

10 設計改善についての提案

設計が完了してテストされると、いくつかの改善点に気づき、それを以下に述べます。以下における部品参照記号は図29の回路図を参照しています。

10.1 メインMOSFETのZVS

図40から、メインMOSFETの Q_2 は V_{GS} と V_{DS} 間で11ns重複していることが示唆しているようにゼロ電圧ではスイッチしないことが分かります。遅延時間を増加させる、一次側トランスに直列にインダクタを外付けする、二次側トランスに直列に可飽和リアクトルを付加することはターンオン電圧をZVSに近づけることに影響を与えません。フォワード同期式MOSFET(Q_3 と Q_4)はZVSが起るべきデッドタイム期間の一部で導通していると思われます。設定遅延時間で共振エネルギーは一次側トランスを循環しています。二次側に一部の短いZVS期間でもエネルギーが与えられると、共振容量を放電するのに必要な保存されている共振誘導エネルギーが偶発的に二次側に結合して失われます。このことは、アクティブ・クランプ方式のフォワード・コンバータで自己駆動式のSRを使用することによる当然の結果のようにみえます。設計の改善として考えられることは、トランス駆動の手法の代わりにコントロール駆動による方法で両方の同期整流器を駆動することです。

10.2 V_{OUT} のソフトスタート

出力電圧は最初のターンオン時のみオーバーシュートすることが分かります。最初にパワーが一次側から二次側に移動する時、コンバータの二次側が光カプラのバイアス回路とTLV431のフィードバック回路を充電するのに必要とされる短い時間が存在

します。この時間に、コンバータの出力は上昇を開始しますが、TLV431は電流のシンクだけが可能であるため、PWMはまだ二次側からフィードバック電圧を受け取っていません。出力電圧の低い設計では、フィードバック回路が完全に動作可能になる前にコンバータの出力がレギュレーション点(また、それ以上)まですぐに上昇してしまうため、このことは問題となります。このオーバーシュートを防ぐためには、一次側のソフトスタートを行うだけでなく、二次側から出力の立上がり速度をコントロールすることも必要となります。フィードバック回路がプリバイアスされている場合起動特性は改善されますが、これにはUCC2891コンバータより前にレギュレーションしなければならない専用二次側電圧が必要となります。TLV431はフィードバック補償によく選択されるデバイスですが、低電圧コンバータには最良の選択ではないかも知れません。より良い方法とは精密基準電圧をもつオペアンプを使用することかも知れません。この方法は誤差増幅器が光カプラを駆動するのに必要な電流のソースが可能であるためTLV431を凌ぎます。この起動時の二次側コントロールの改善は、別の利点として、基準電圧の立上がり速度も独立してコントロールできることがあります。

10.3 パワ一段の効率改善

OTS部品を使用すると設計手順を簡素化できる利点があります。しかしながら、OTS部品のみしか選択できない場合、パワ一段の設計は特に磁気部品の分野で場合によっては最適にならないこともあります。当例では、トランスは飽和状態に近づくことなしにスイッチング周波数を250kHzまで下げる十分な余裕があることが分かります。250kHzで動作する当設計例の効率を図45に示し、図46で300kHz動作の場合と比較します。

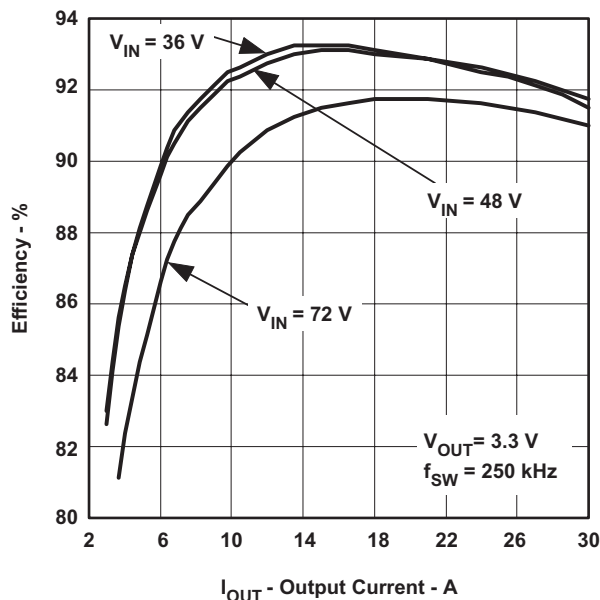


図45. 効率対出力電流

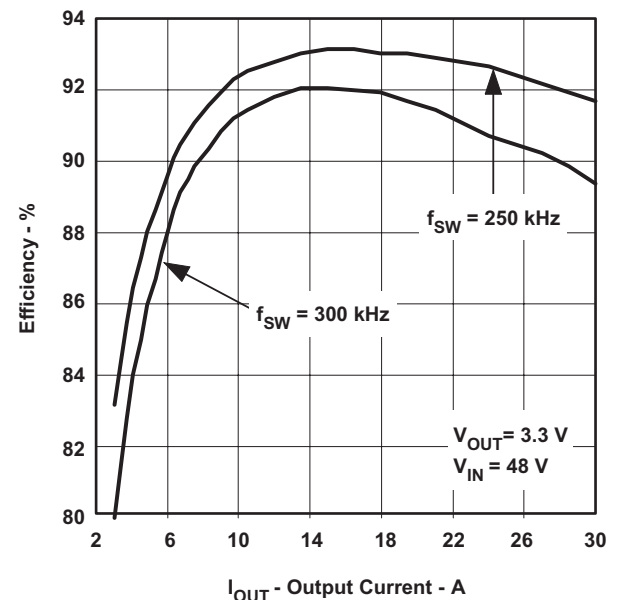


図46. 効率対出力電流

11 結論

ピークCMCで動作する3.3V/100Wのアクティブ・クランプ方式のフォワード・コンバータのステップ・バイ・ステップでの設計手順を紹介しました。設計例はUCC2891アクティブ・クランプ方式のPWM電流モード・コントローラの使用をもとにしていますが、パワー段の設計手順はいかなるローサイドのアクティブ・クランプ方式のフォワード・コンバータにも適用できます。ZVSはアクティブ・クランプ・フォワード・トポロジに適用できるためその概念を説明しました。パワー段での主要部品の損失の詳細も説明しました。最終の設計ではメインMOSFETを完全にZVSを行うことはできませんでしたが、 V_{IN} 及び I_{OUT} の広い範囲にわたって90%を越える効率が達成されました。ZVSの設計ソリューションとコンバータの特性改善も提示されました。

12 参考資料

1. UCC2891/2/3/4 Current-Mode Active Clamp PWM Controller, Datasheet (SLUS542)
2. UCC2897 Current-Mode Active Clamp PWM Controller Datasheet(SLUS591A)
3. UCC3580/-1/-2/-3/-4 Single Ended Active Clamp Reset PWM, Datasheet, (SLUS292A)
4. Steve Mappus, UCC2891EVM, 48-V to 1.3-V, 30-A Forward Converter with Active Clamp Reset, User's Guide to Accommodate UCC2891EVM, (SLUU178)
5. Steve Mappus, Reference Design PR265A 48V to 3.3V Forward Converter with Active Clamp Reset Using the UCC2897 Active Clamp Current Mode PWM Controller, (SLUU192)
6. Bill Andreyckak, Active Clamp and Reset Technique Enhances Forward Converter Performance, Power Supply Design Seminar SEM-1000, Topic 3, (SLUP108)
7. Dhaval Dalal, Design Considerations for Active Clamp and Reset Technique, Power Supply Design Seminar SEM-1100, Topic 3 (SLUP112)
8. 48-V Input, 3.3V/100 Watt Converter with UCC3580-1 Controller, User's Guide to Accommodate PMP206_C Reference Design, (SLUU146)
9. A. Font_n, S. Ollero, E. de la Cruz, J. Sebasti_n, Peak Current Mode Control Applied to the Forward Converter with Active Clamp, IEEE 1998
10. Qiong Li, F. C. Lee, Design Considerations of the Active Clamp Forward Converter with Current Mode Control during Large-Signal Transient, IEEE 2000
11. Q. Li, F. C. Lee and M. M. Jovanovic, Design Considerations of Transformer DC Bias of Forward Converter with Active Clamp Reset, IEEE APEC Proceedings, pp. 553-559, March 14-19, 1999

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することの意味をしません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2004, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上