

TINA-TI™によるオペアンプ回路設計入門 (第5回)

1.2 半導体素子 (MOSFET)

宇田達広

MARKETING

1.2.7 金属酸化電界効果トランジスタ (MOSFET)

MOSFETはチャネル極性でpチャネルとnチャネルに分類され $I_{DS} - V_{GS}$ 特性でデプレッション形とエンハンスメント形に分類されます。SPICEでは図1.2.65に示すようにバルク(基板)端子の処理により2種類のシンボルが用いられます。図1.2.66に示すようにエンハンスメント形は $V_{GS} = 0$ では $I_{DS} = 0$ となり $V_{GS} \geq V_{TH}$ (しきい値)において I_{DS} が流れます。デプレッション形は $V_{GS} = 0$ で I_{DS} が流れるJFETに似た特性を持ちます。最初に開発されたのはデプレッション形MOSFETですが現在では特殊な用途だけに使用されています。

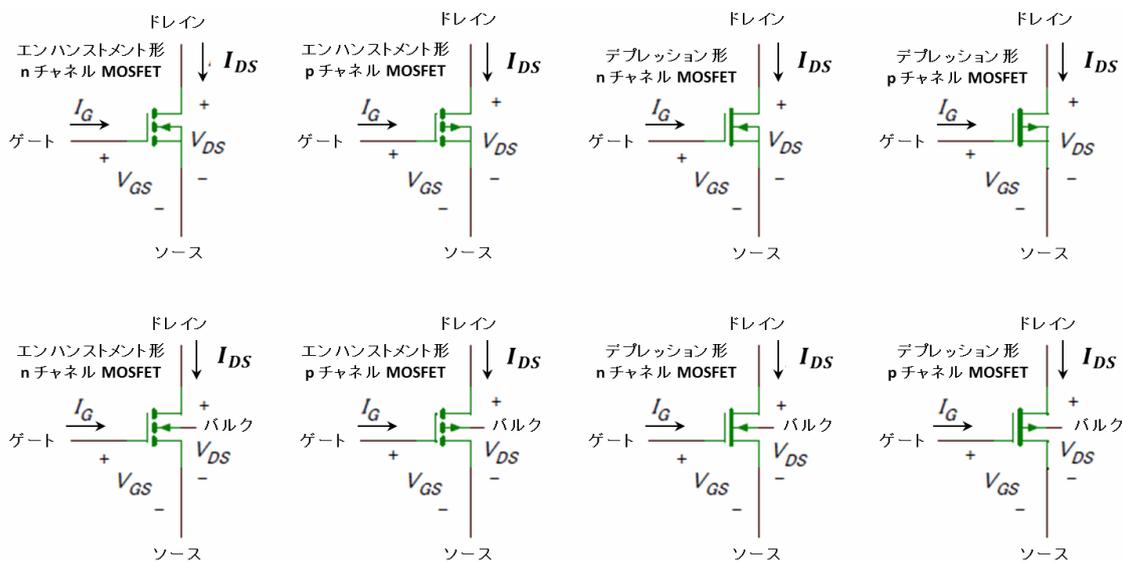
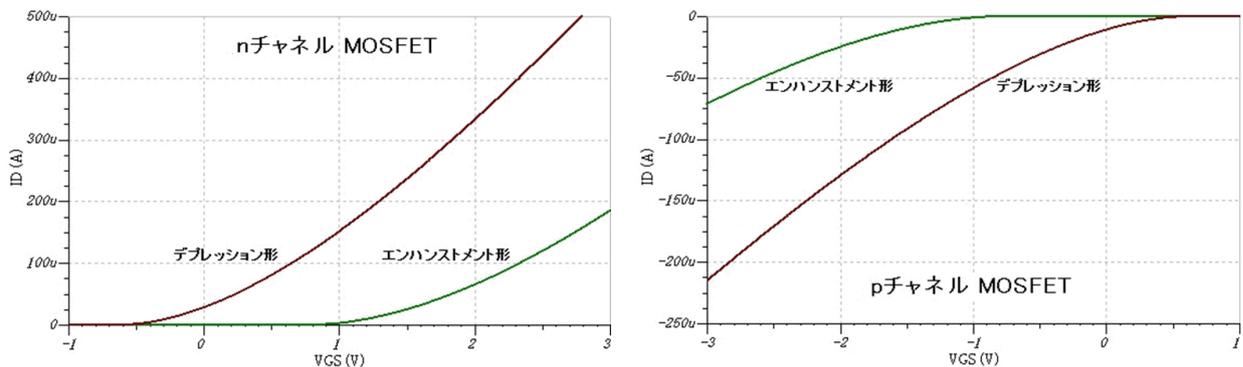


図 1.2.65 MOSFETのシンボルと符合規則


 図 1.2.66 MOSFETの $I_D - V_{GS}$ 特性

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

MOSFET の発明

MOS 構造による電界効果トランジスタ (FET) の基本特許はポーランド生まれで 1934 年にアメリカ市民となった物理学者のユリウス・エドガー・リリエンフェルト (Julius Edgar Lilienfeld, April 18, 1882 – August 28, 1963) が 1933 年に取得しました。図 1.2.67 に示すような酸化アルミニウム、硫化銅、銅電極を積層したアルミニウム・ベースにおいて、アルミニウム・ベースと硫化銅を中央の直線溝で接触させアルミニウム・ベースの電位を硫化銅に対して正に保ちながら入力信号電圧 V_{in} を重畳すると電極 A-C 間の抵抗が変化して負荷電流が入力信号電圧 V_{in} に追従して変化します。硫化銅 (Cu_2S) はバンドギャップが 1.2eV の化合物半導体です。この考案は金属と半導体のショットキー接合において逆バイアス電圧により電気伝導度を変調する MOS 構造の最初の特許ですが、当時は半導体理論や安定な半導体製造技術の誕生前であり、リリエンフェルトの考案が実用化されることはありませんでした。

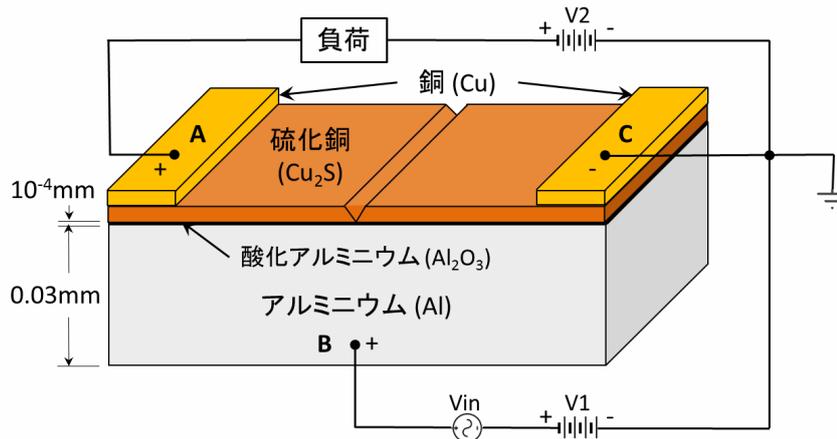


図 1.2.67 DEVICES FOR CONTROLLING ELECTRIC CURRENT (U.S. Patent 1,900,018) [21]

MOSFET の実用化

1950 年代に始まる接合型トランジスタの量産に続き 1960 年代にはプレーナ IC の量産が始まり二酸化ケイ素 (SiO_2) によるシリコン表面の安定化技術が大きく進歩しシリコンと二酸化ケイ素を組み合わせた絶縁ゲート電界効果トランジスタが研究されました。1963 年には、ベル研究所のカーング (Dawon Kahng) とアタラ (M.M. Atalla) が n 型シリコンに気相拡散とフォトリソグラフィで p 型シリコンのソース領域とドレイン領域を形成し、その上を SiO_2 膜で絶縁してアルミニウムのゲートを堆積した図 1.2.68 に示す構造の金属酸化物電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistor: MOSFET) を発明しました。図 1.2.68 に示す極性で電圧源 V_{GS} , V_{DS} と負荷を接続すると、ゲート直下の SiO_2 膜を隔てたチャンネル領域のコンダクタンスがバイアスに依存して変化します。この考案は SiO_2 膜で絶縁したシリコン基板の表面に電界を加え、チャンネル領域のコンダクタンスを制御する MOSFET の最初の特許です。

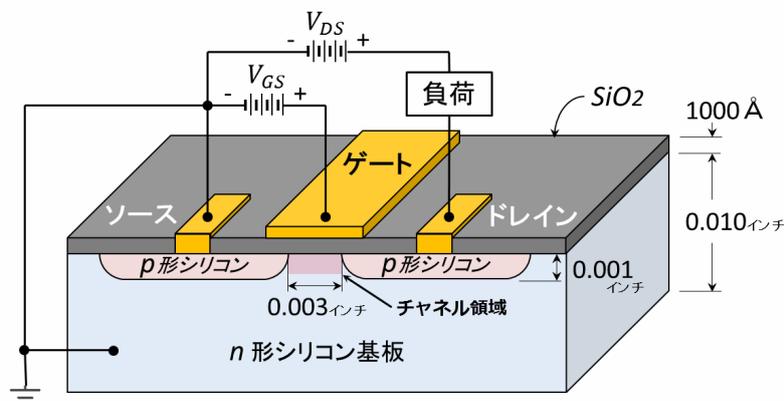


図 1.2.68 ELECTRIC FIELD CONTROLLED SEMICONDUCTOR DEVICE (U.S. Patent 3,102,230) [22]

CMOS-IC の誕生

市販された最初の集積回路 (IC) はフェアチャイルドセミコンダクタ社が 1961 年にリリースした Micrologic シリーズです。Micrologic はバイポーラ IC プロセスで生産され、8 ピン TO-5 パッケージに収容された RTL (Resistor-Transistor Logic) 回路による 5 種類のロジックファンクションで構成されていました。当時の集積回路は高価で真の優位性はパッケージ密度でした。アポロ宇宙船に搭載されたアポロ誘導コンピュータは図 1.2.69 に示した Micrologic シリーズの 3 入力 NOR ゲートを使用して製造されました^[23]。

1963 年にはシルバニア社が TTL (Transistor-Transistor Logic) を発表しました。TTL はノイズ・マージンが高く高速なのでコンピュータに搭載されて大量に生産されるようになります。特にテキサス・インスツルメンツ社の SN7400 シリーズは TTL 標準ロジックのデファクトスタンダードとなりました。図 1.2.70 に SN7410 の TTL 回路を示します^[24]。

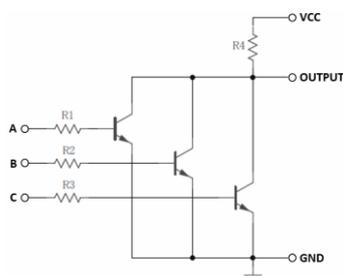


図 1.2.69 RTL 回路 (3 入力 NOR ゲート)

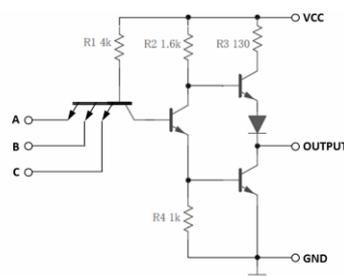
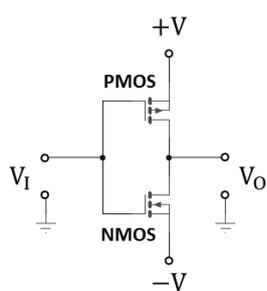


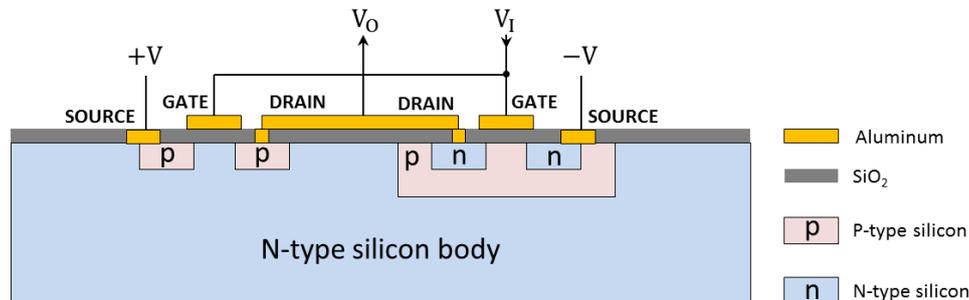
図 1.2.70 TTL 回路 (3 入力 NAND ゲート)

1960 年代後半には MOSFET の実用化が進み IC 化 (MOS-IC) が図られます。MOSFET は構造が簡単で消費電力も低いいためバイポーラ IC に比べて低コスト化と高集積化が容易になります。1963 年にはフェアチャイルドセミコンダクタ社のフランク・ウォンラスが MOS-IC の消費電力を格段に下げることができる CMOS 回路 (Complementary MOS logic) を発明し図 1.2.71 に示す特許を出願しました^[25]。

図 1.2.71 (a) は CMOS 回路の最も簡単なインバータ回路を示しています。入力電圧 V_I が "High" の場合は p 形 MOSFET が完全なカットオフ状態となり "Low" の場合は n 型 MOSFET が完全なカットオフ状態となるため、"High" から "Low" にまたは "Low" から "High" に変化する遷移時間以外は電源電流が流れません。遷移時間中の電源電流は、プロセスの微細化で低減することができます。TTL 回路はバイアス電流が常に流れますが、CMOS 回路は電源ラインやグラウンドラインにノイズが重畳しても n 形 MOSFET と p 形 MOSFET のどちらか一方はカットオフ状態であるため出力への影響は少なく、高いノイズマージンが得られます。



(a) CMOS インバータ



(b) CMOS クロスセクション

図 1.2.71 LOW STAND-BY COMPLEMENTARY FIELD EFFECT CIRCUITRY (US patent 3,356,858)^[25]

CMOS 標準ロジック

1968年にはRCAがCMOS標準ロジックCD4000シリーズを販売します。CD4000は低消費電力の特長に加えて3V~15Vまでの広い動作電源電圧範囲と、大きなファンアウトによるシンプルな回路設計の優位性を備えましたが、動作速度は1MHz程度が限界でした。CD4000シリーズはゲート容量が大きな20μmアルミニウムゲートMOSプロセスが利用されました。CMOSロジックはゲート容量が飽和するまで電流を流さないとスイッチングが起きりません。

動作速度が遅い欠点はプロセスの微細化、ゲート誘電体の多結晶シリコンへの変更、電源電圧の低下により次第に克服され1970年代初めにはTTL標準ロジックのSN7400シリーズとピン配置の互換性を持ち最大周波数が25MHzの高速標準CMOSロジック74HCシリーズが販売されました^[26]。さらに、入出力電圧レベルがTTLと互換性を持ちTTLと直接接続することができる74HCTシリーズ^[27]や74ACTシリーズ^[28]も販売されCMOS標準ロジックはTTLを置き換えて広く普及しました。

1974年にはIBMのロバート・デナードがスケールリング則を発表しMOSFETのサイズを縦、横、高さ方向をそれぞれ1/2に電圧を1/2にすれば回路動作が保証され、スイッチング速度は2倍に消費電力は1/4となることを示しました^[29]。これは1970年代から現在に至るCMOS-LSIの基礎となりました。

CMOS-LSIの低電源電圧化に伴い、標準ロジックも表1.2.5に示すように低電圧化が進みました。CMOSの静的消費電力は僅かですが、動的消費電力はMOSFETのゲート容量に依存しスイッチング速度に比例します。そこで動的消費電力を計算するための動的消費電力容量 C_{pd} が表1.2.4のように規定され、式1.2.75を用いて計算することができます^[30]。

$$P_T = C_{pd} \times V_{CC}^2 \times f_i \times N_{SW} \quad \dots \text{式 1.2.75}$$

ここで P_T = 動的消費電力
 V_{CC} = 電源電圧
 f_i = 入力信号周波数
 N_{SW} = ビットスイッチの数
 C_{pd} = 動的消費電力容量

PARAMETER	TEST CONDITIONS	V _{CC}	TYP	UNIT
C _{pd} Power dissipation capacitance	f = 10 MHz	0.8 V	4	pF
		1.2 V ± 0.1 V	4	
		1.5 V ± 0.1 V	4.1	
		1.8 V ± 0.15 V	4.1	
		2.5 V ± 0.2 V	4.3	
		3.3 V ± 0.3 V	4.4	

表 1.2.4 低電圧標準ロジック SN74AUP1G14 の C_{pd}^[31]

性能/特長	LV	LVC	LVT	ALVC	ALVT	AVC	AUC	AUP
電源電圧(V _{CC})	2.0V~5.5V	1.65V~3.6V	2.7V~3.6V	1.65V~3.6V	2.3V~3.6V	1.4V~3.6V	0.8V~2.7V	0.8~3.6V
スイッチング特性(t _{yp}) ^{※2}	7.9ns	3.8ns	2.3ns	2.0ns	1.5ns	1.2ns	1.5ns	2.4ns
ドライブ能力(I _{OH} /I _{OL})	±12mA	±24mA	-32mA/+64mA	±24mA	-32mA/+64mA	±12mA	±9mA	±4.0mA
消費電力(I _{CC})	20μA	10μA	190μA	10μA	100μA	40μA	20μA	0.9μA
プロセス	CMOS	CMOS	BICMOS	CMOS	BICMOS	CMOS	CMOS	CMOS
トレラント	5V	5V	5V	-	5V	3.3V	3.3V	3.3V
入力ヒステリシス特性	●	-	-	-	-	-	-	-
パワーダウン・スリーステート(I _{off})	●	●	●	-	●	●	●	●
インプット・スリーステート	-	-	-	-	-	-	-	●
活線挿抜アプリケーション対応	-	●(LVCZ)	●	-	●	-	-	-
TTL入力対応	●(LV-AT)	● ^{※1}	● ^{※1}	-	● ^{※1}	-	-	-
出力スキュー保証	●	●	-	-	-	-	-	-
バス・ホールド回路	-	●	●	●	●	○ ^{※3}	●	-
出力ダンピング抵抗	-	●	●	●	●	-	-	-
双方向レベルシフター・ロジック	-	●	-	●	-	●	-	-
リトル・ロジック(超小型パッケージ)	-	●	-	-	-	●	●	●

※1: V_{CC} = 3.3V時 ※2: '245で比較 ※3: 双方向レベルシフタロジックのみ

表 1.2.5 テキサス・インスツルメンツの低電圧標準ロジックのポートフォリオ^[32]

図 1.2.72 と図 1.2.73 は SN74AUP1G14 の HSPICE モデルを用いて動的消費電力 P_{T_SIM} をシミュレーションしたものです。動的消費電力容量 C_{pd} と負荷容量 C_{LOAD} を用いて計算した動的消費電力 P_{T_CAL} との比較を下式に示します。

$$P_{T_CAL} = (C_{pd} + C_{LOAD}) \times V_{CC}^2 \times f_i = (4pF + 4pF) \times 0.8V^2 \times 10MHz \cong 51.2\mu W$$

$$P_{T_SIM} = 0.8V \times 65.279\mu A \cong 52.2\mu W$$

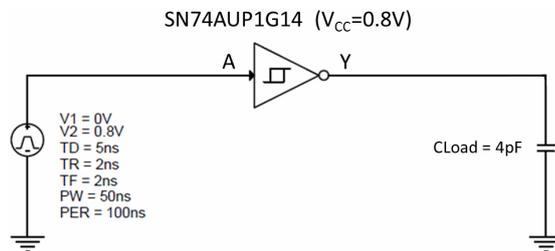


図 1.2.72 SN74AUP1G14 の動的消費電力測定回路

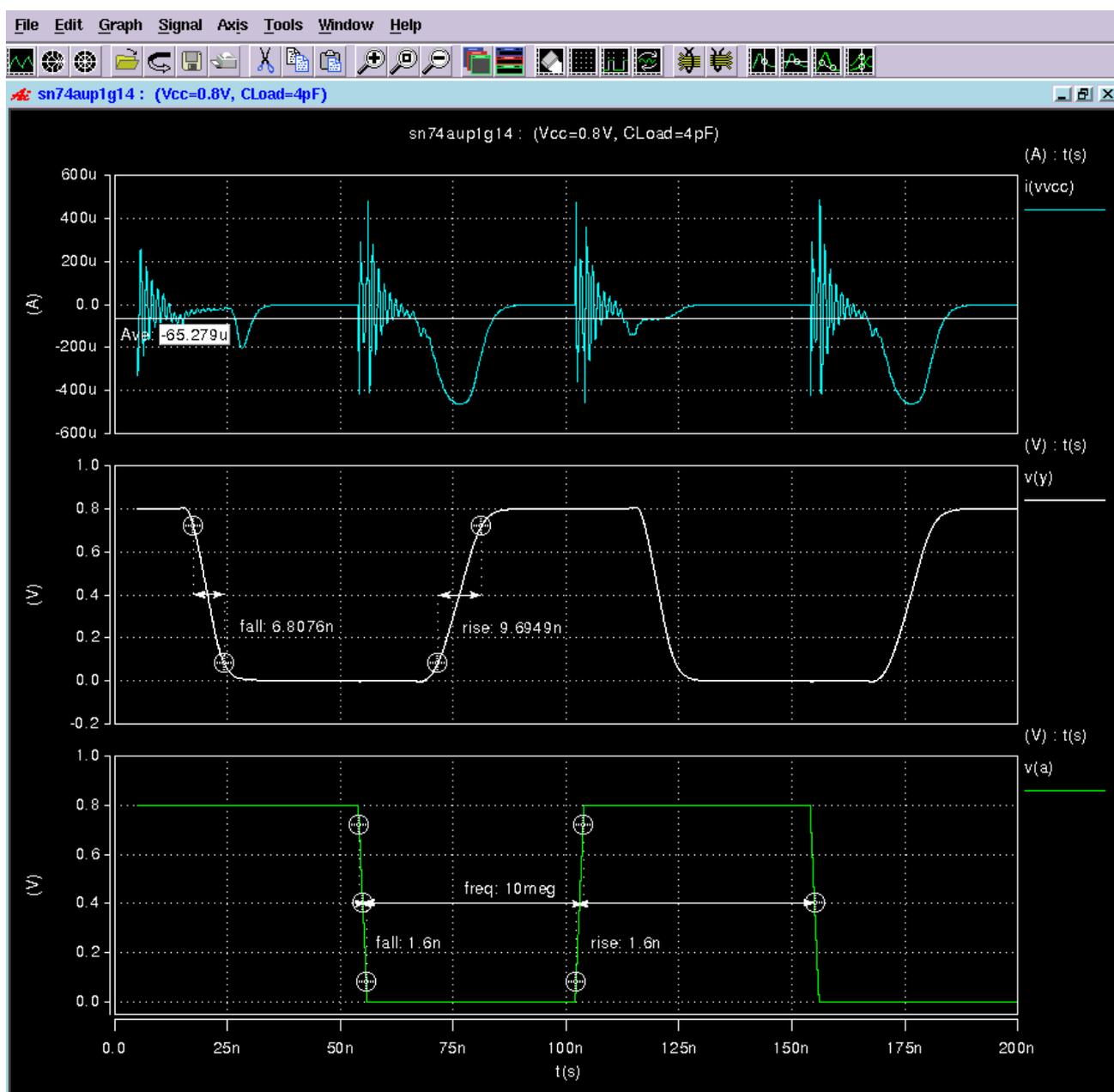


図 1.2.73 SN74AUP1G14 の動的消費電力

高集積度アナログ CMOS

日本で最初に市販された携帯電話は NTT が 1987 年に発売したアナログ方式の TZ-802 です。TZ-802 の重量は 900g もあり連続通話時間は 40 分しかありませんでした。NTT DoCoMo が 1993 年に発売した第 2 世代のデジタル携帯電話 PDC800 は高集積度で低電力なデジタル CMOS-IC の特長を活かして重量と連続通話時間が格段に改善されました。日本と韓国を除く国と地域では CMOS デジタル・シグナル・プロセッサを使用した GSM デジタル携帯電話が急速に普及しました。

CMOS プロセスのテクノロジーノードは 1990 年代後半にデープサブミクロン(一般に 200nm 前後を指します) に到達します。CMOS アナログ回路の設計技術も進化し、デジタル CMOS プロセスにアナログ素子を混載するシステム・オン・チップの開発手法が実用化されました。テキサス・インスツルメンツが 2001 年の IEEE で発表したアナログ素子を集積したゲート長 0.1 μm の低電力デジタル CMOS プロセスでは、表 1.2.6 に示すデジタル素子とアナログ素子の混載が可能です^[33]。

デジタル MOSFET は、短チャネル効果によりゲート電圧で制御できない電流がサブストレートに流れ込むことを防ぐためドレインおよびソースとサブストレートとの境界に多量の不純物をドーピングするポケット・インプラント処理が施されます。ポケット・インプラント処理は、MOSFET のドレイン電流フリッカ雑音、ボディ効果、スレッショルド電圧偏差などを増やす副作用があるため、アナログ MOSFET と I/O MOSFET ではマスク処理を行いポケット・インプラントを回避しています。

ダイナミックレンジが広い回路やモータードライバーなどは高い電源電圧が必要です。ゲート長 0.1 μm の CMOS プロセスはゲート絶縁膜 (SiO_2) の厚さが $t_{ox} \approx 26 \text{ \AA}$ となり、電源電圧が 1.5V までに制限されます。図 1.2.74 に示すクロスセクションのドレイン拡張 n 形 MOSFET は、高いドレイン電圧で空乏化する低ドーピング拡張領域の N-well を、ドレインとゲート絶縁膜の間に設けることにより、N-well 領域内の電圧降下を増やしてゲート絶縁膜に加わる電界を安全なレベルに引き下げます。ドレイン拡張 n 形 MOSFET は 4.3V まで、ドレイン拡張 p 形 MOSFET は 7.5V まで、最大ドレイン・ソース電圧 V_{dsmax} が拡張されています。

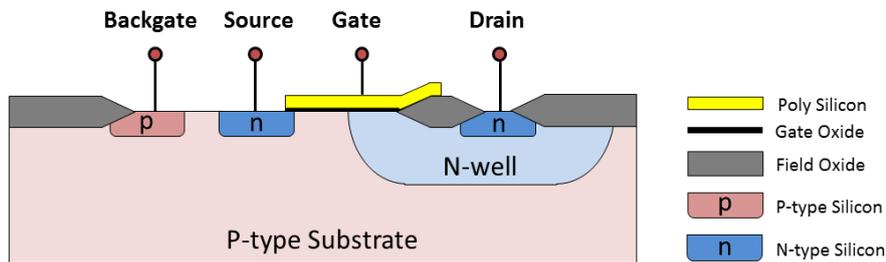


図 1.2.74 ドレイン拡張 n 形 MOSFET のクロスセクション

素子	パラメータ
1.5V デジタル n形MOSFET	$V_T \approx 0.5\text{V}$, $I_{ON} \approx 550 \mu\text{A}/\mu\text{m}$
1.5V デジタル p形MOSFET	$V_T \approx 0.5\text{V}$, $I_{ON} \approx 200 \mu\text{A}/\mu\text{m}$
3.3V I/O n形MOSFET	$V_T \approx 0.6\text{V}$, $I_{ON} \approx 550 \mu\text{A}/\mu\text{m}$
3.3V I/O p形MOSFET	$V_T \approx 0.6\text{V}$, $I_{ON} \approx 245 \mu\text{A}/\mu\text{m}$
1.5V アナログ n形MOSFET	$V_T \approx 0.25\text{V}$, $g_d \approx 2 \mu\text{S}/\mu\text{m}$, $L=0.8\mu\text{m}$
1.5V アナログ p形MOSFET	$V_T \approx 0.25\text{V}$, $g_d \approx 0.5 \mu\text{S}/\mu\text{m}$, $L=0.8\mu\text{m}$
ドレイン拡張 n形MOSFET	$V_{dsmax} \approx 4.3\text{V}$
ドレイン拡張 p形MOSFET	$V_{dsmax} \approx 7.5\text{V}$
サブストレート pnpトランジスタ	$h_{fe} \approx 5$
ポリシリコン 抵抗	$\text{TCR} < 100 \text{ ppm}/^\circ\text{C}$
ポリー nウエル キャパシタ	$C_{max}/C_{min} \approx 8$

表 1.2.6 アナログ素子を集積したゲート長 0.1 μm の低電力デジタル CMOS プロセス^[33]

高精度アナログ CMOS プロセス

アナログ CMOS 技術の発展に伴い、アナログ IC は CMOS プロセスの高集積度、低消費電力、高速動作、低コストの特長を活かし大きく進歩しました。アナログ CMOS プロセスは最終製品の様々な要求に応じて多彩なプロセスが開発されています。テキサス・インスツルメンツのアナログ CMOS プロセス技術の分類を図 1.2.75 に示します。

高集積度アナログ CMOS はアナログに最適化した素子を持つサブサブミクロン CMOS プロセスで音声、映像、通信などアナログ信号処理が必要なシステム LSI などに使用されます。**高精度アナログ CMOS** は低雑音 CMOS トランジスタ、高精度薄膜抵抗、メタル間キャパシタを持つ CMOS プロセスであり、高精度オペアンプや電荷再配分逐次比較型 ADC、 $\Delta \Sigma$ 型 ADC、抵抗ラダー型 DAC、抵抗ストリング型 DAC などに使用されます。**高速 BiCMOS** は 25GHz の遷移周波数と低い $1/f$ ノイズを持つシリコン・ゲルマニウム (SiGe) の電気的特性がほぼ等しい NPN と PNP トランジスタ、高精度薄膜抵抗、メタル間キャパシタ、低い寄生容量、誘電体分離 (SOI) などの特長を持つ BiCMOS プロセスで、高速性と高精度性の両立が必要なオペアンプや ADC などに使用されます。**高電圧・高電力 BiCMOS** は、横方向拡散 MOS (LDMOS) やドレイン拡張 CMOS (DECMOS) などを持つ BiCMOS プロセスで、高電圧・高電力オペアンプ、超音波パルサー、電源管理 IC などに使用されます。

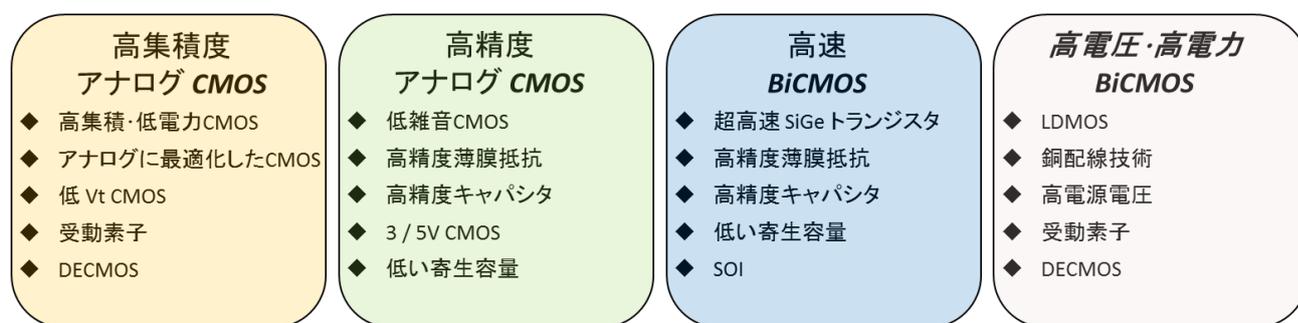


図 1.2.75 アナログ CMOS プロセス技術の分類 [34]



図 1.2.76 高精度アナログ CMOS プロセス HPA07 の概要 [34]

テキサス・インスツルメンツの高精度アナログ CMOS プロセス HPA07 の概要を図 1.2.76 に示します。従来はバイポーラ・プロセスによる設計が主流だった高精度アナログ IC も、CMOS プロセス技術の進歩とオーバーサンプリングデータ変換技術、スイッチトキャパシタ回路などの CMOS の優位性を活かした回路技術の出現により、現在では CMOS プロセスによる設計が主流になりました。

CMOS オペアンプの誕生

最初に市販されたモノリシック MOSFET オペアンプは RCA が 1974 年に発表した CA3130 です。図 1.2.77 に示すように CA3130 は p チャンネル MOSFET の入力段と CMOS の出力段を用いています。p チャンネル MOSFET は、LF355 や TL084 などの入力段に用いられた p チャンネル JFET と同様に、5~6 回のフォトマスク工程による標準のバイポーラ IC プロセスに 1 つのフォトマスク工程を追加して形成されます。図 1.2.78 に示すように、p チャンネル MOSFET のソース領域とドレイン領域は npn トランジスタのベース拡散と同様に、エピタキシャル層の n ウェル内に形成されます^[35]。CA3130 の n チャンネル MOSFET はイオン打ち込み層の p ウェル内に形成されます。

CA3130 は +15V の単一電源で動作します。多くのアプリケーションにおいて、入力負電源レールまで、出力は両電源のレールまでスイング可能です。差動入力段は p チャンネル MOSFET と npn トランジスタのカレントミラーで構成され差動入力をシングルエンド出力に変換します。nnpn トランジスタによる 2 段階増幅段の電圧増幅度は高インピーダンスの定電流源負荷により約 5000 倍 (74dB) となり、総合の直流電圧利得はおよそ 150k 倍 (104dB) となります^[36]。

MOSFET の特性はウエハ表面の安定性に大きく影響されます。CMOS は本質的に低消費電力、低電源電圧、高ノイズ・イミュニティなどの特長を持ちますが当時の MOSFET は安定性技術が開発途上であり、CA3130 も JFET の入力段とバイポーラトランジスタの出力段を持つ LF355 や TL084 ほど高精度ではなく CA3130 の出力段を CMOS からバイポーラトランジスタに変更した CA3140 が販売されるまではあまり普及しませんでした。

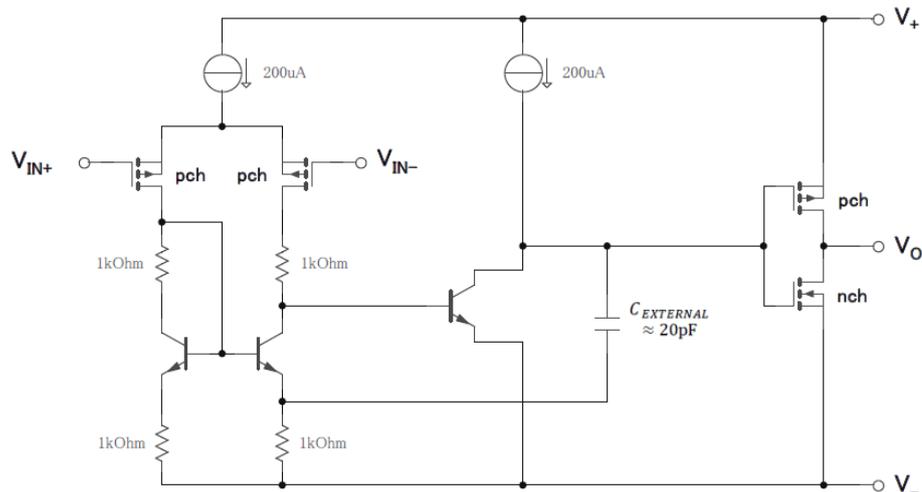


図 1.2.77 CA3130 の簡略化回路

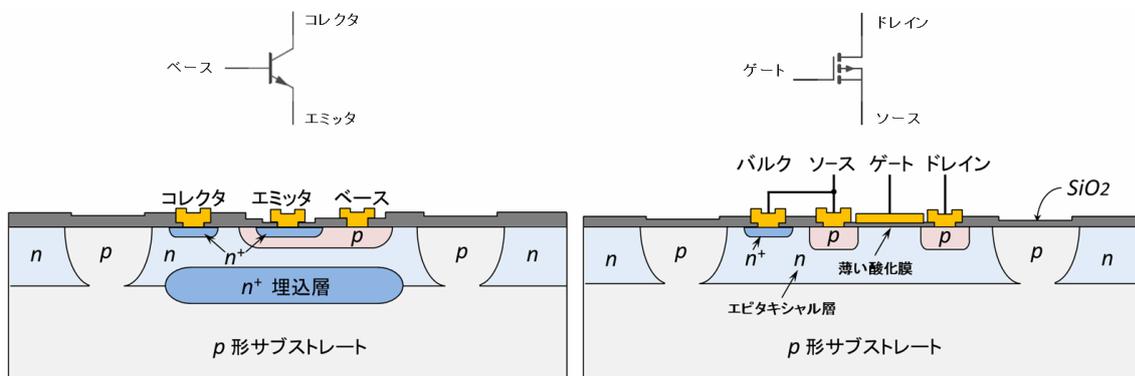


図 1.2.78 標準バイポーラプロセスによる npn トランジスタと p チャンネル MOSFET のクロスセクション

CMOS オペアンプの回路技術

2 段 CMOS オペアンプ

図 1.2.79 に 2 段 CMOS オペアンプの簡略化回路を示します。1 段目は差動入力増幅段の M1, M2, M3 とカレントミラー負荷の M4, M5 で構成され差動の入力電圧 V_{in} をシングルエンドに変換します。2 段目はソース接地の M6 と電流吸い込み負荷の M7 で CMOS インバータを構成します。回路の電圧利得 A_V は式 1.2.76 で表されます。

$$A_V = A_{V1} + A_{V2} = \frac{g_{m2}}{g_{o3}+g_{o5}} \times \frac{-g_{m6}}{g_{o6}+g_{o7}} \quad \dots \text{式 1.2.76}$$

ここで、 g_{m2}, g_{m6} は M2, M6 の相互コンダクタンス、 $g_{o3}, g_{o5}, g_{o6}, g_{o7}$ は M3, M5, M6, M7 の小信号出力コンダクタンスです。

利得帯域幅積 GBW とスルーレート SR は、位相補償容量 C_c で決定され、式 1.2.77 と式 1.2.78 で表されます。

$$GBW = \frac{g_{m2}}{C_c} \quad \dots \text{式 1.2.77}$$

$$SR = \frac{I_1}{C_c} \quad \dots \text{式 1.2.78}$$

ここで、 g_{m2} は M2 の相互コンダクタンス、 I_1 は差動入力段のテイル電流です。

図 1.2.79 の回路定数によるボード・プロットの例を図 1.2.80 に示します。 p_2 は M6 の相互コンダクタンス g_{m6} と負荷容量 C_L の組み合わせにより生成される寄生極です。 p_3 は M4 のゲート・ソース容量 C_{gs4} と相互コンダクタンス g_{m4} の組み合わせにより生成される寄生極です。 p_2 と p_3 の位置は式 1.2.79 と式 1.2.80 で表されます。

$$p_2 = \frac{g_{m6}}{C_L} \quad \dots \text{式 1.2.79}$$

$$p_3 \approx \frac{g_{m4}}{2C_{gs4}} \quad \dots \text{式 1.2.80}$$

式 1.2.79 から明らかなように、負荷容量が増加すると寄生極 p_2 は低周波側へ移動し、やがては回路の発振に至ります。

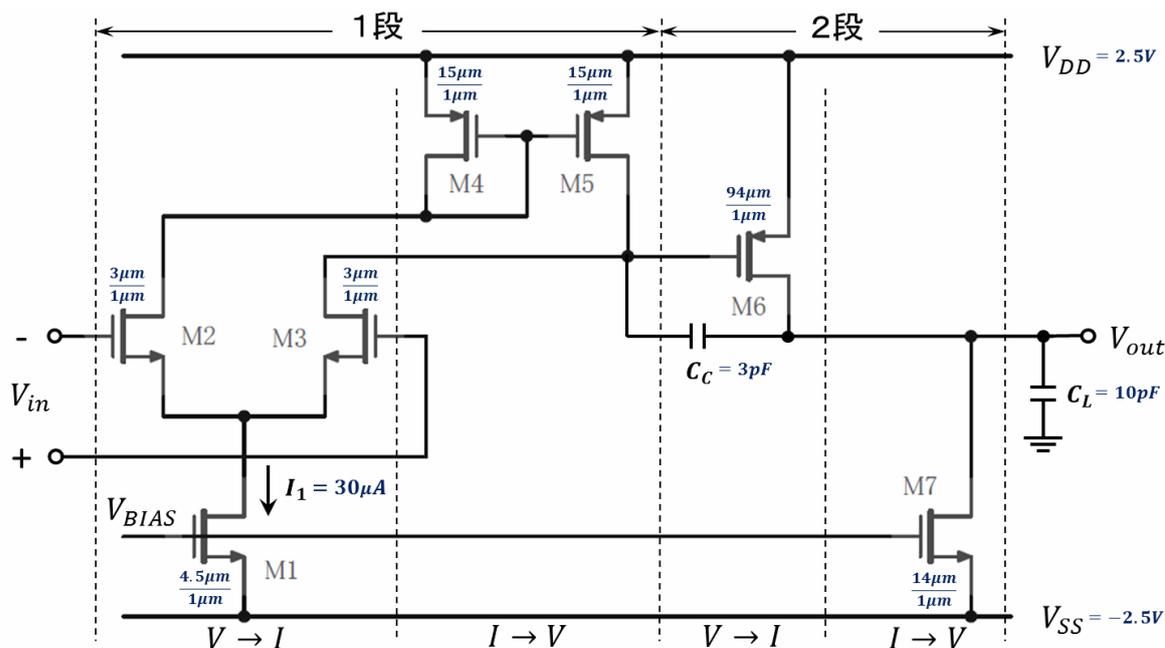


図 1.2.79 2 段 CMOS オペアンプの簡略化回路

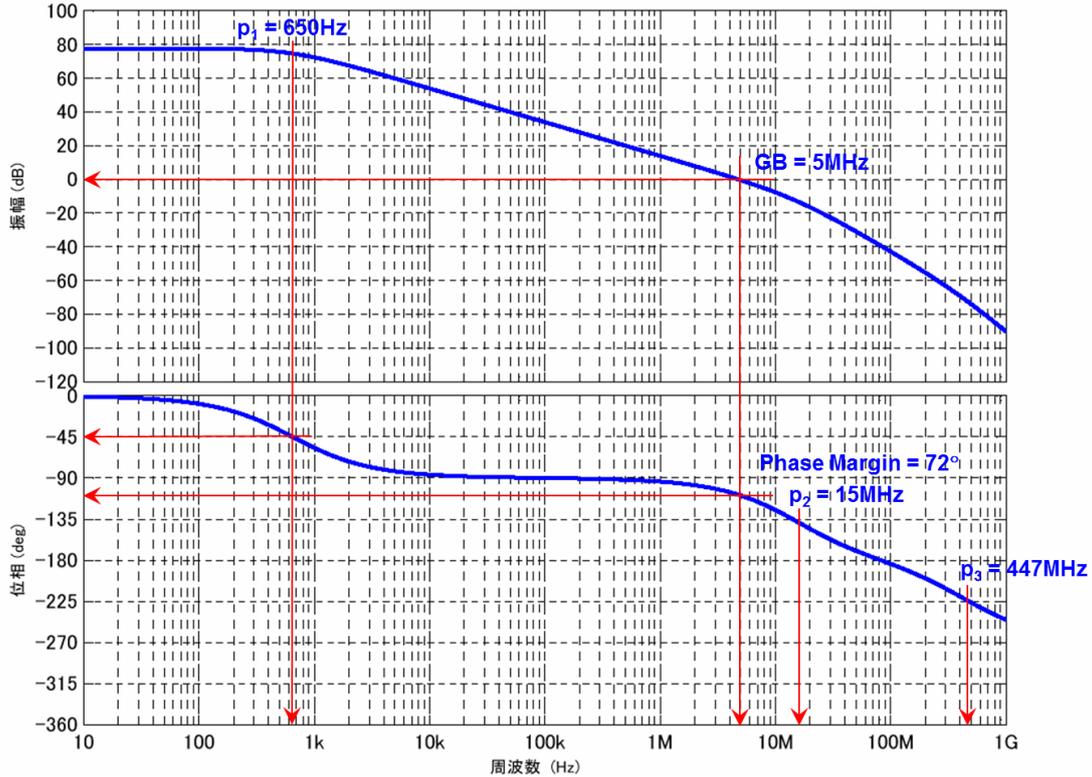


図 1.2.80 ボード・プロット (図 1.2.79 に示す素子定数の例)

フォールデット・カスコード CMOS オペアンプ

大きなクローズドループ・ゲインが必要なアプリケーションでは、2段 CMOS オペアンプではオープンループ・ゲインが不足することがあります。その場合、図 1.2.82 に示すようにゲート接地 MOSFET (M6, M7, M8, M9) で構成されるカスコード回路を追加してソース接地 MOSFET (M2, M3) の出力抵抗を増加する方法があります。その結果、カスコード接続された MOSFET の相互コンダクタンスを g_m 、出力抵抗を r_o とすると、差動入力段の利得が $g_m \times r_o$ 倍になります。

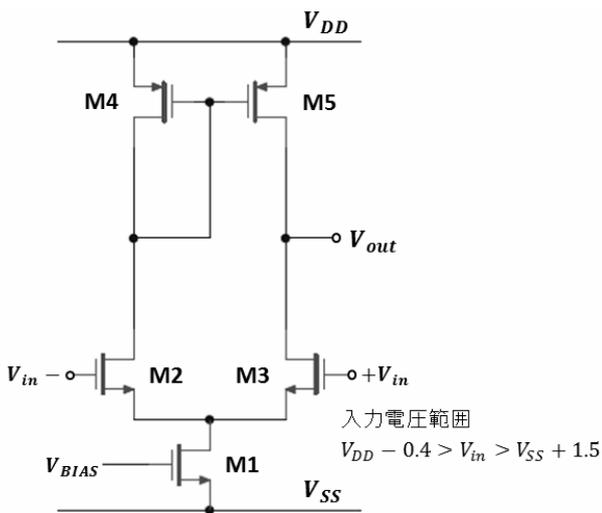


図 1.2.81 2段 CMOS オペアンプの差動入力段

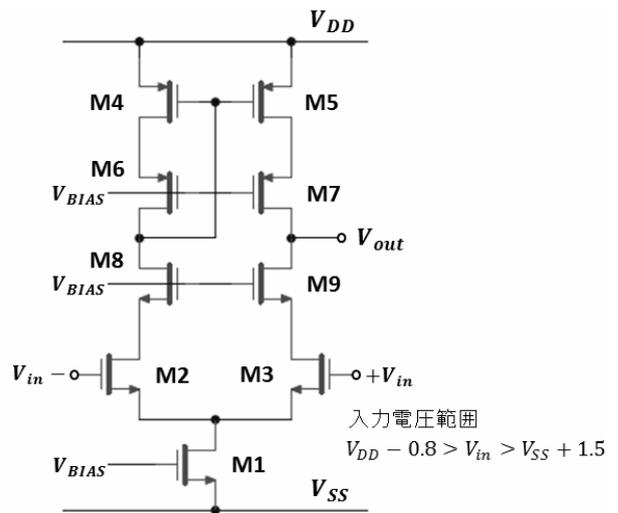


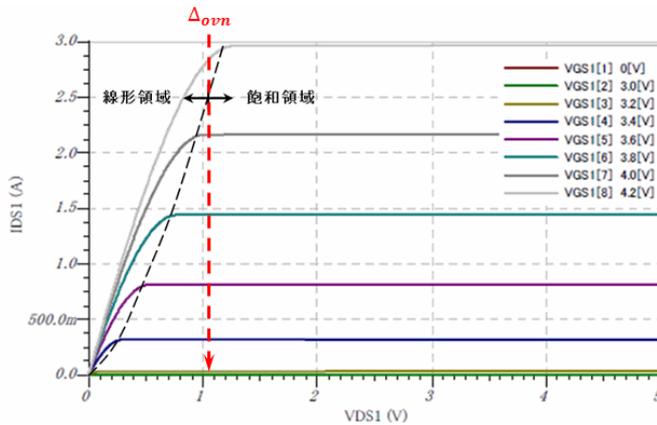
図 1.2.82 カスコード回路を用いた差動入力段

図 1.2.84 に示すフォールデット・カスコード CMOS オペアンプは、ベース接地のカスコード回路で信号電流をグランド側に折り返す構造の 1 段 CMOS オペアンプです。この回路の直流オープンループ・ゲインは 2 段 CMOS オペアンプとほぼ等しく、周波数応答、同相入力電圧範囲、電源除去比は改善されます。

この回路では負荷容量 C_L が主要極 p_1 を形成する位相補償容量の機能を果たします。2 段 CMOS オペアンプでは負荷容量 C_L が増加すると寄生極 p_2, p_3 が低い位置に移動して位相余裕を減少させますが、この回路では負荷容量 C_L が増加しても位相余裕は減少しません。この回路ではカスコード MOSFET (M4, M5) のゲート・ソース容量 C_{gs} とカレントミラー MOSFET (M8, M9, M10, M11) が寄生極を生成します。これらは MOSFET の遷移周波数 $f_T \cong g_m/C_{gs}$ 付近の高い位置にあるため十分な位相余裕を保ちながらオペアンプのクロードループ帯域幅を広げることができます。

アナログ回路では MOSFET を図 1.2.83 の飽和領域内で動作させることが前提です。飽和領域におけるゲート・ソース電圧 V_{GS} は、式 1.2.82 のようにスレショルド電圧 V_T とオーバードライブ電圧 Δ_{ovn} の和になります。 β は MOSFET のチャネル長 L 、チャネル幅 W 、チャネルの平均電子移動度 μ_n 、ゲート酸化膜容量 C_{ox} で決まります。したがって、フォールデット・カスコード CMOS オペアンプの入力電圧 V_{in} の範囲は V_{Tp} と β を適切に選択すれば、式 1.2.81 のように負電源レール V_{SS} を含めることができます。

$$V_{DD} - V_{Tp} - 2\Delta_{ovp} > V_{in} > -V_{Tp} + \Delta_{ovn} \rightarrow V_{DD} - 1 > V_{in} > V_{SS} \quad \dots \text{式 1.2.81}$$



$$I_{DS} \approx \frac{\beta}{2} (V_{GS} - V_T)^2$$

$$\rightarrow V_{GS} = V_T + \sqrt{\frac{2I_{DS}}{\beta}} \quad \dots \text{式 1.2.82}$$

Δ_{ovn}

図 1.2.83 n 形 MOSFET の $I_{DS} - V_{DS}$ 特性と飽和領域のオーバードライブ電圧 Δ_{ovn}

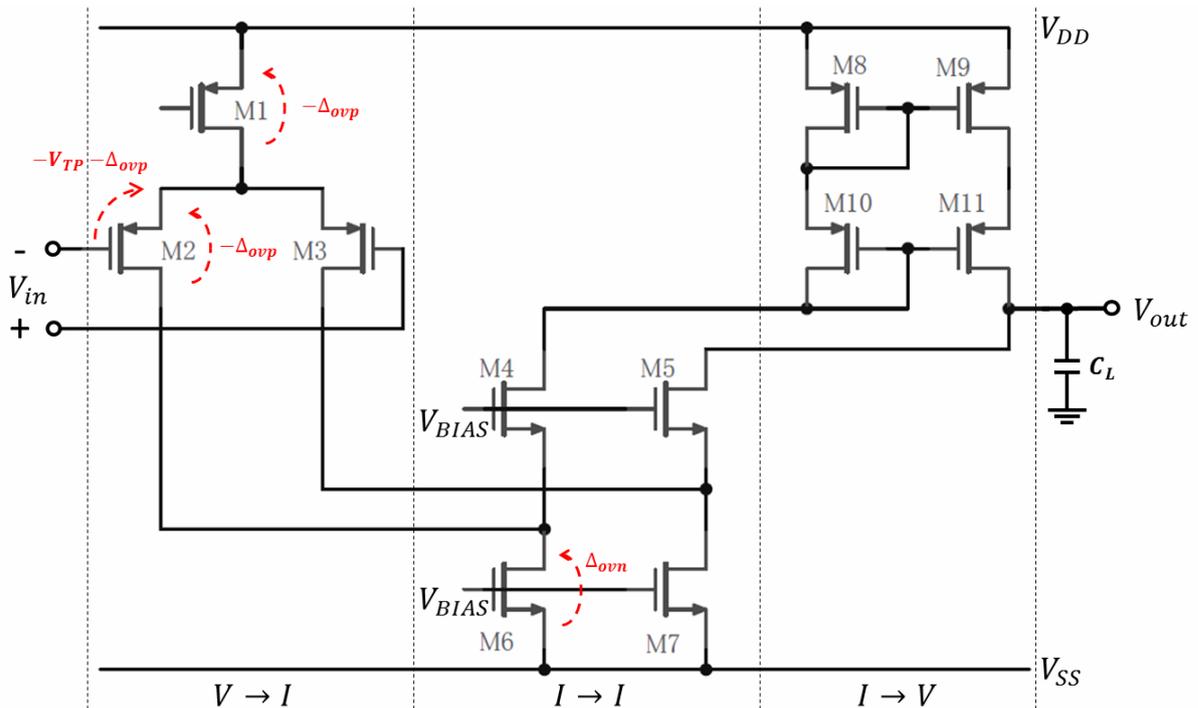


図 1.2.84 フォールデット・カスコード CMOS オペアンプの簡略化回路

低電圧・高精度 CMOS オペアンプ

低電圧・高精度 CMOS オペアンプの代表的なモデルを表 1.2.7 に示します。図 1.2.86 に示す OPA313 はフォールデット・カスコード段と AB 級出力段で構成され、50 μ A の静止時電流ながら 25nV/ $\sqrt{\text{Hz}}$ @1kHz の入力雑音と 1MHz の GBW を備えています。レール・ツー・レール入力回路は n 形 MOSFET と p 形 MOSFET の 2 組の差動入力段を切り替える一般的な方式を用いています。p 形 MOSFET と n 形 MOSFET は図 1.2.85 に示すように正電源電圧の約 1.1V 下で切り替わります。2 組の差動入力段は独立したオフセット電圧を持つために非連続なオフセット電圧誤差が発生します。誤差の量は僅ですが全コモンモード電圧範囲における非直線性誤差や、歪が問題になるアプリケーションでは注意が必要です。

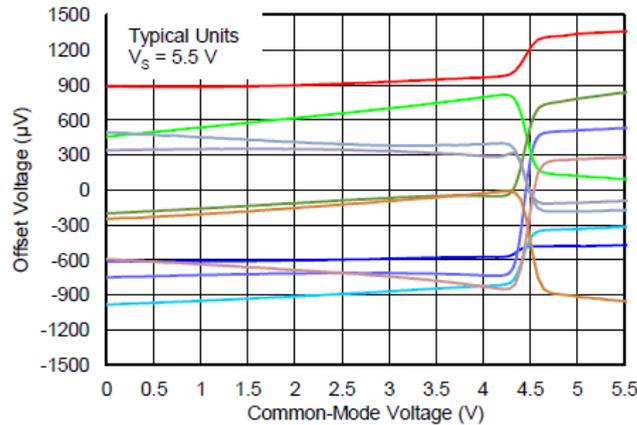


図 1.2.85 OPA313 のオフセット電圧 対 コモンモード電圧 [37]

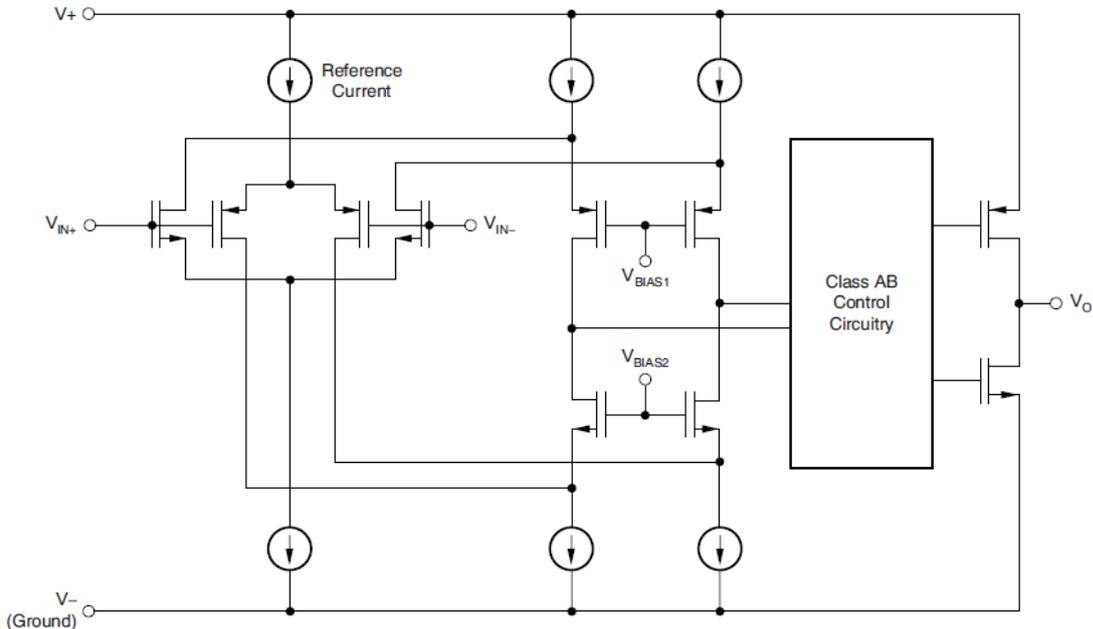


図 1.2.86 OPA313 の簡略化回路 [37]

モデル名	GBW Hz	スレートの V/ μ s	入力バース 電流 pA	入力雑音 0.1~10Hz μ V _{PP}	入力オフセット ドリフト μ V/ $^{\circ}$ C	電源電流 μ A	電源電圧 V	特長
OPA313 [37]	1M	0.5	± 0.2	6	2	50	1.8~5.5	1MHz GBW, マイクロワ、低雑音
OPA365 [38]	50M	25	± 0.2	5	1	4.6mA	2.5~5.5	50MHz GBW, マイクロワ、低雑音

表 1.2.7 高精度アナログ CMOS プロセスによる代表的な低電圧・高精度 CMOS オペアンプ

図 1.2.88 に示す OPA365 は p 形 MOSFET の差動ペアと n 形 MOSFET のカレントミラーによるカスコード入力段と AB 級出力段で構成され、50MHz の GBW、 $4.5\text{nV}/\sqrt{\text{Hz}} @ 100\text{kHz}$ の入力換算電圧雑音、レール・ツー・レール入出力を備えています。レール・ツー・レールの差動入力回路は、図 1.2.88 に示すように内蔵のチャージポンプで電源電圧 V_{CC} を 1.8V 昇圧し、入力段が飽和する電圧範囲を電源電圧 V_{CC} の上にシフトします。従って、非線形なオフセット電圧誤差は発生せず、図 1.2.87 に示す優れたオフセット電圧特性と歪特性を備えています。

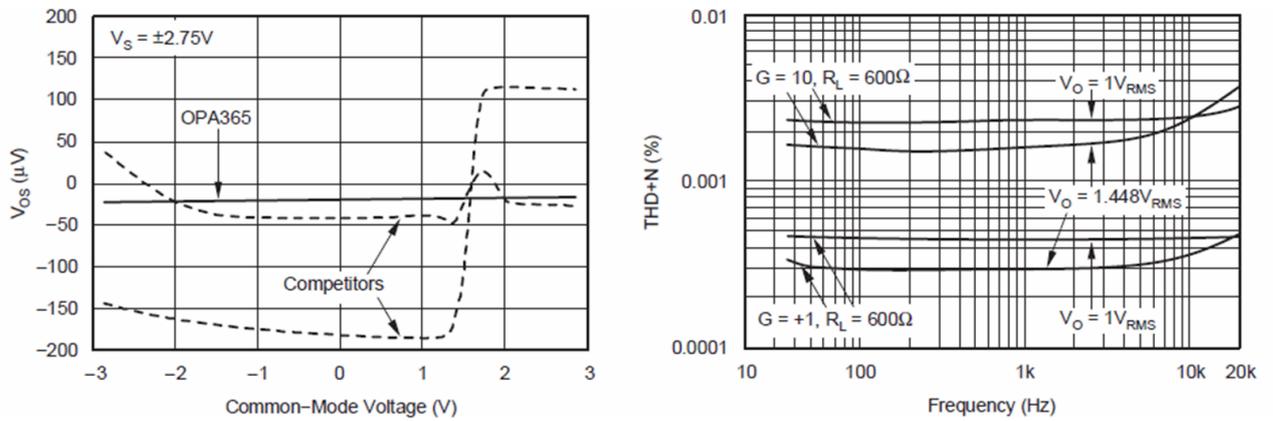


図 1.2.87 OPA365 のオフセット電圧対コモンモード電圧特性と波形歪特性 [38]

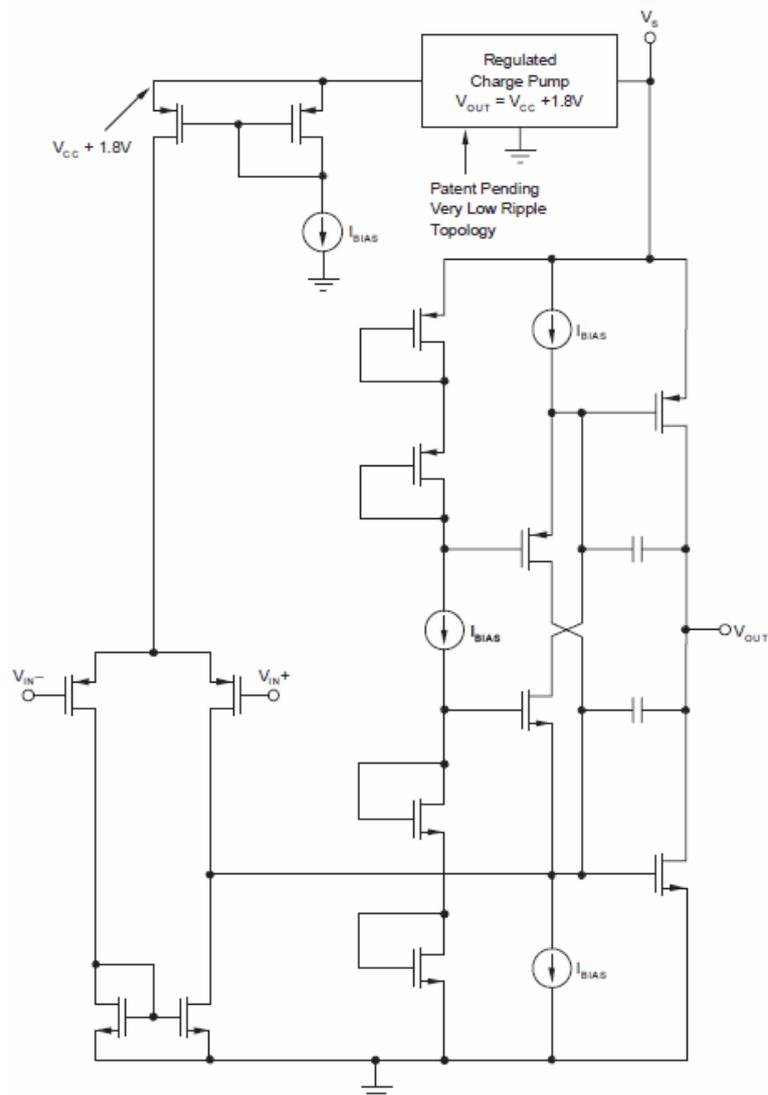


図 1.2.88 OPA365 の簡略化回路 [38]

MOSFET の SPICE モデル

SPICE はカリフォルニア大学バークレー校で 1970 年初頭に開発された CANCER (computer analysis of non-linear circuits, excluding radiation) が基になっています。CANCER の誕生はバイポーラ IC プロセスによる MSI (Medium Scale Integration circuit) の出現に重なり、ダイオードとバイポーラ・トランジスタのモデルを備える有力な IC 設計ツールとなりました。1972 年になると CANCER を改良した SPICE1 がリリースされ、シックマン・ホッジス モデル (Shichman-Hodges Model) の手法による JFET モデルと MOSFET モデルがサポートされました [39]。

1975 年には、HSPICE や PSPICE などの多くの商用電子回路シミュレーターが派生した SPICE2 がカリフォルニア大学バークレー校からパブリックドメインソフトウェアとしてリリースされました。SPICE2 は、解析アルゴリズムの改良に加えて MOSFET モデルは表 1.2.8 に示す 3 階層のモデルに改良されました。

モデル階層	モデル
LEVEL = 1	シックマン・ホッジス モデル (平均 2 乗特性による V-I 特性)
LEVEL = 2	短チャネルデバイス効果を考慮した LEVEL=1 の精密解
LEVEL = 3	実測データによる曲線近似のパラメータを用いる準経験的モデル

表 1.2.8 SPICE2 の MOSFET モデル

パブリックドメインソフトウェアであることと MOSFET モデルの存在で SPICE2 は電子回路シミュレーターのデファクトスタンダードとなりました。しかし、MOS デバイスの驚異的な進歩に SPICE2 の MOSFET モデルが対応するのは困難であり、商用の SPICE シミュレーター・ベンダーや、企業内で SPICE をサポートするグループでは、独自の MOSFET モデルが開発されました。実際に PSPICE は LEVEL1~LEVEL7 までの MOSFET モデルを持ち、HSPICE は LEVEL1~LEVEL64 までの MOSFET モデルを持ちます。

TINA-TI は、オペアンプ IC の設計よりは、オペアンプ IC を応用した回路の解析を主目的としており、図 1.2.89 のように SPICE2 LEVEL 3 モデルによる 422 種類のディスクリート型 n チャネル POWER MOSFET と 133 種類のディスクリート型 p チャネル POWER MOSFET があらかじめインストールされています。また、表 1.2.8 に示す SPICE2 の MOSFET モデルと PSPICE の MOSFET モデルを、図 1.2.90 と図 1.2.91 のようにマクロモデルとして TINA-TI にインポートすることができます。

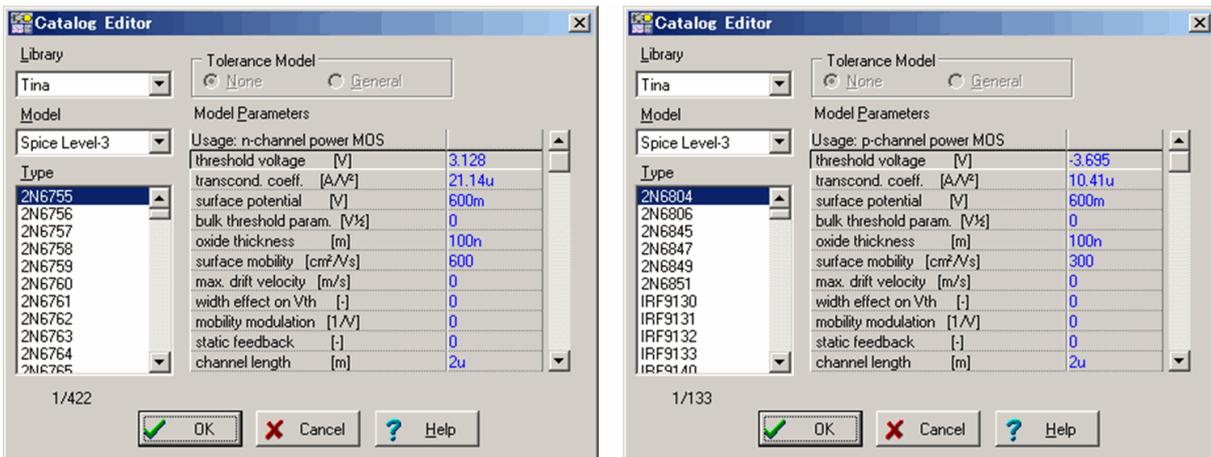


図 1.2.89 TINA-TI にインストールされている POWER MOSFET モデル (SPICE2 LEVEL-3)

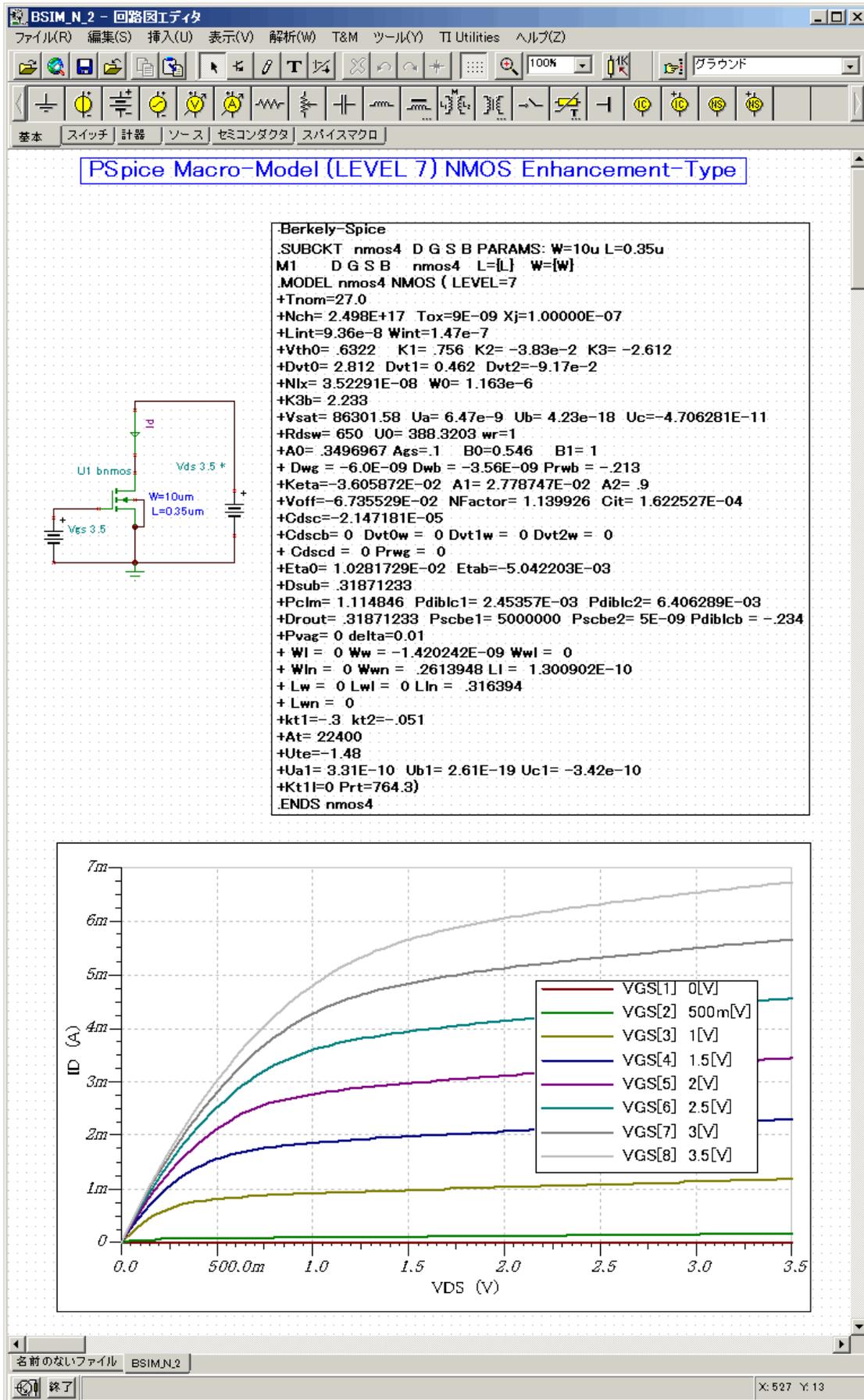


図 1.2.90 PSpice マクロモデルのインポート (LEVEL 7, エンハンスメント n チャンネル MOSFET)

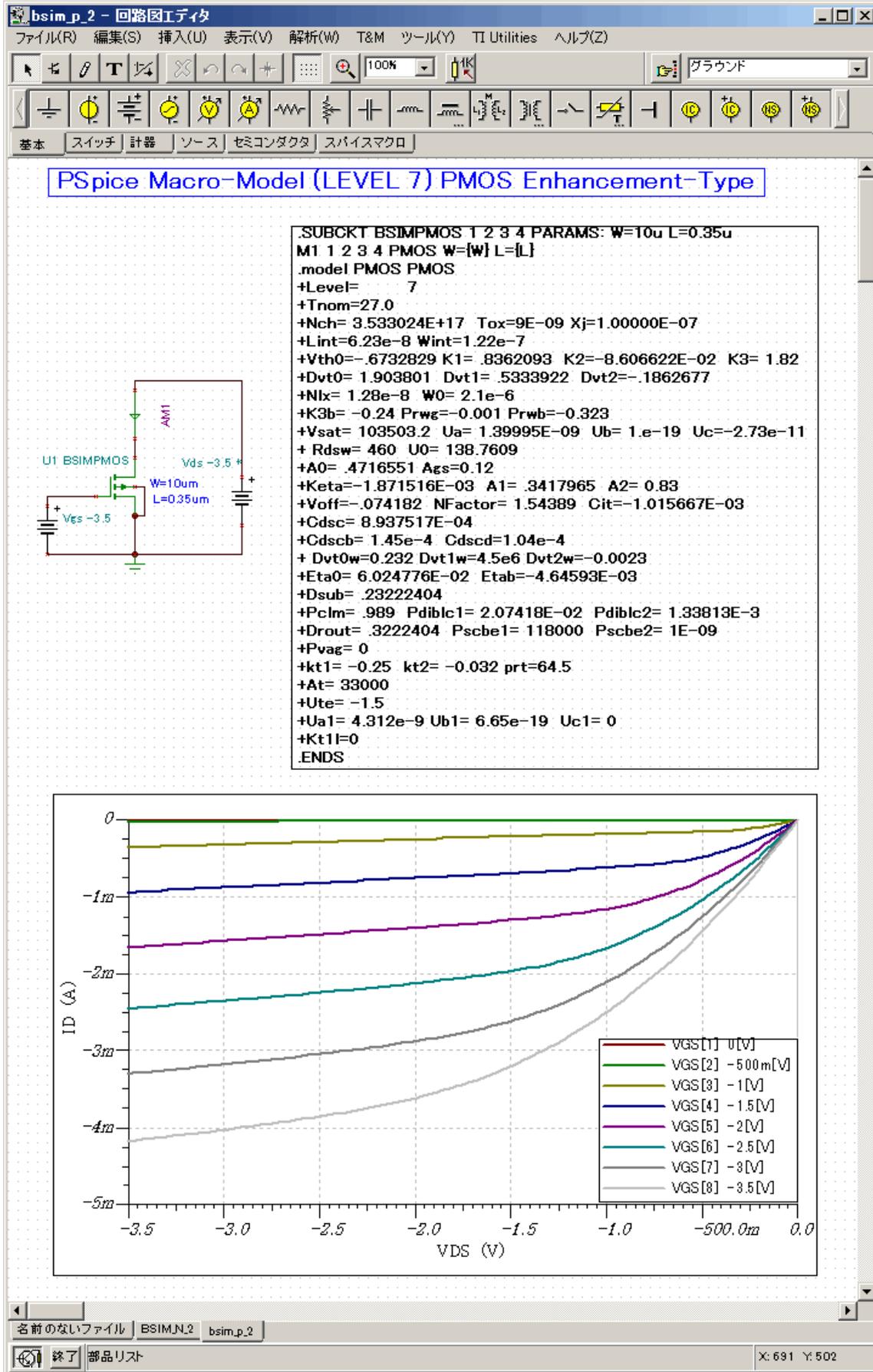


図 1.2.91 PSpice マクロモデルのインポート (LEVEL 7, エンハンスメント p チャンネル MOSFET)

MOSFET の SPICE DC モデル

エンハンスメント形 n チャンネル MOSFET の典型的なクロスセクションを図 1.2.92 に示します。高いドーピング密度を持つ n 形ソースおよび n 形ドレインが p 型シリコン基板に形成されます。薄い SiO₂ 膜が p 型シリコン基板の表面に形成され金属または多結晶シリコン材料の導電性ゲートが、SiO₂ 膜上のソースとドレイン領域の間に形成されます。MOSFET の動作は JFET と似ており、ゲート・ソース間電圧 V_{GS} でゲート下の領域のコンダクタンスを変化させます。

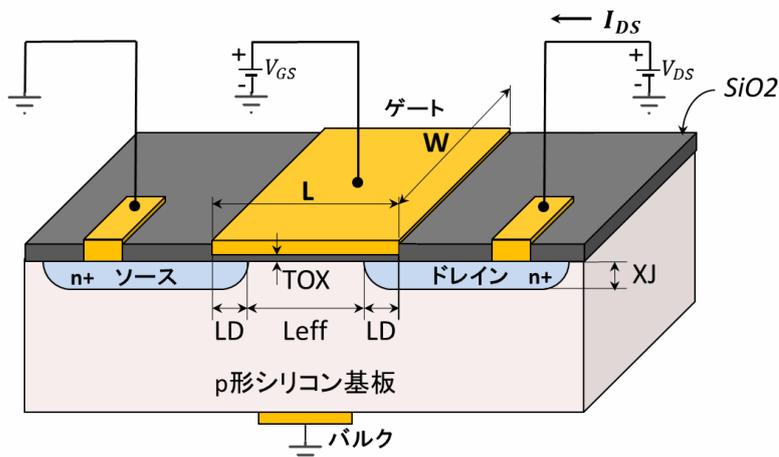


図 1.2.92 エンハンスメント形 n チャンネル MOSFET のクロスセクション

SPICE がサポートする最も基礎的な MOSFET モデルは、表 1.2.8 に示すシクマン・ホッジス モデル (LEVEL=1) です。n チャンネル MOSFET の 3 つの動作領域におけるドレイン・ソース電流 ID_S を表す枝構成式 (BCE) は式 1.2.83 で表されます。

枝構成式 (BCE) :

$$I_{DS} = \begin{cases} 0 & \text{(チャンネル・ピンチオフ: } V_{GS} \leq V_{TH}) \\ \frac{KP}{2} \frac{W}{L_{eff}} (V_{GS} - V_{TH})^2 (1 + LAMBDA \cdot V_{DS}) & \text{(飽和領域: } 0 < V_{GS} - V_{TH} \leq V_{DS}) \\ \frac{KP}{2} \frac{W}{L_{eff}} V_{DS} (2(V_{GS} - V_{TH}) - V_{DS}) (1 + LAMBDA \cdot V_{DS}) & \text{(線形領域: } 0 < V_{DS} < V_{GS} - V_{TH}) \end{cases} \quad \dots \text{ 式 1.2.83}$$

ここで、 $L_{eff} = L - 2 \cdot LD$ は横方向拡散 LD で補正された実効チャンネル長です。

V_{TH} は式 1.2.84 で表されるしきい値電圧です。

$$V_{TH} = V_{TO} + GAMMA (\sqrt{PHI - V_{BS}} - \sqrt{PHI}) \quad \dots \text{ 式 1.2.84}$$

$V_{TO}, KP, GAMMA, PHI, LAMBDA$ は、表 1.2.9 に示す MOSFET モデルパラメータの、スレッシュリット電圧、トランスコンダクタンス、基板スレッシュリット・パラメータ、表面電位、チャンネル長変調です。MOSFET のトランスコンダクタンス KP は W と L のデバイス形状、プロセス特性、表面移動度、 SiO_2 膜の厚さに依存します。

ドレイン・ソース電流 I_{DS} には基板接合部飽和電流 I_S が加わりますがドレイン・ソース間 p-n 接合は逆バイアスされるので一次解析では無視できます。線形領域ではデバイスは非線形の電圧制御抵抗として動作し、飽和領域ではデバイスは電圧制御電流源として動作します。

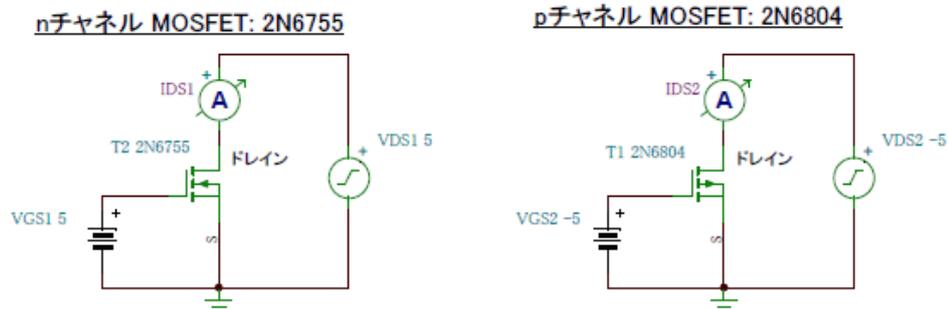
上式は P チャンネル MOSFET でも成り立ちますが、その場合は全ての端子電圧と枝電流の符号が反転します。

図 1.2.89 に示した n チャンネル POWER MOSFET 2N6755 と p チャンネル POWER MOSFET 2N6804 の I_D vs. V_{DS} 特性と I_D vs. V_{GS} 特性を図 1.2.93 と図 1.2.94 に示します。

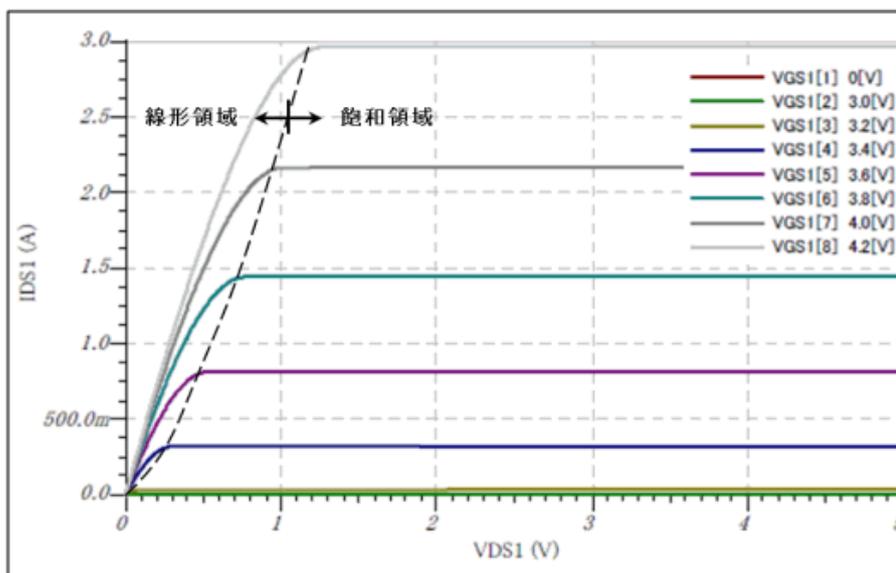
名前	レベル	モデルパラメータ	単位	デフォルト	代表値
LEVEL	1-3	モデル・タイプ		1	
L	1-3	チャンネル長	[m]	DEFL	
W	1-3	チャンネル幅	[m]	DEFW	
VTO	1-3	0-バイアス・スレシヨルド電圧	[V]	1.0	1.0
KP	1-3	トランスコンダクタンス	[A/V ²]	2E-5	3E-5
GAMMA	1-3	基板スレシヨルド・パラメータ	[V ^{1/2}]	0.0	0.35
PHI	1-3	表面電位	[V]	0.6	0.65
LAMBDA	1.2	チャンネル長変調	[V ⁻¹]	0.0	0.02
TOX	1-3	酸化膜厚	[m]	1E-7	1E-7
NSUB	1-3	基板ドーピング密度	[cm ⁻³]	0.0	1E15
NSS	1-3	表面状態密度	[cm ⁻²]	0.0	1E10
NFS	2,3	第1表面状態密度	[cm ⁻²]	0.0	1E10
NEFF	2	チャンネル蓄積係数		1.0	5
XJ	2,3	半導体の実質的接合部までの深さ	[m]	0.0	1E-6
LD	1-3	横方向への拡散のひろがり(長さ)	[m]	0.0	0.8E-6
WD	1-3	横方向への拡散のひろがり(幅)	[m]	0.0	
TPG	1-3	ゲート物質 +1=基板と反対の半導体 -1=基板と同じ半導体 0= アルミニウム		1	1
UO	1-3	表面移動度	[cm ² /(Vs)]	600	700
UCRIT	2	クリチカル・フィールドにおける移動度のデグラデーション	[V/cm]	1E4	1E4
UEXP	2	移動度のデグラデーション指数		0.0	0.1
UTRA	2	トランスバース・フィールド係数		0.0	0.5
VMAX	2,3	最大ドリフト速度	[m/s]	0.0	5E4
XQC	2,3	ドレインの属性としてのチャンネル・チャージフラクション		0.1	0.4
DELTA	2,3	スレシヨルドの幅効果		0.0	1.0
KAPPA	3	飽和フィールド・ファクター		0.2	1.0
ETA	3	スレシヨルドの静帰還		0.0	1.0
THETA	3	移動度変調	[V ⁻¹]	0.0	0.05
AF	1-3	フリッカー雑音指数		1.0	1.2
KF	1-3	フリッカー雑音係数		0.0	1E-26
IS	1-3	基板接合部飽和電流	[A]	1E-14	1E-15
JS	1-3	基板接合部飽和電流/エリア	[A/m ²]	0.0	1E-8
JSSW	1-3	基板接合部飽和周辺電流/長さ	[A/m]	0.0	
N	1-3	基板接合部放射係数		1.0	
PB	1-3	基板接合電位	[V]	0.8	0.75
PBSW	1-3	基板接合部壁面電位	[V]	PB	
CBD	1-3	B-D 間 0-バイアス p-n 容量	[F]	0.0	
CBS	1-3	B-S 間 0-バイアス p-n 容量	[F]	0.0	
CJ	1-3	基板接合 0-バイアス・ボトム容量/エリア	[F/m ²]	0.0	2E-4
CJSW	1-3	基板接合 0-バイアス周辺容量/長さ	[F/m]	0.0	1E-9
MJ	1-3	基板底面部の接合傾斜		0.5	0.5
MJSW	1-3	基板側面部の接合傾斜		0.33	0.33
FC	1-3	基板接合順方向バイアス容量係数		0.5	0.5
TT	1-3	基板接合遷移時間	[sec]	0.0	
CGBO	1-3	単位チャンネル長あたりの G-B 重なり容量	[F/m]	0.0	2E-10
CGDO	1-3	単位チャンネル長あたりの G-D 重なり容量	[F/m]	0.0	4E-11
CGSO	1-3	単位チャンネル長あたりの G-S 重なり容量	[F/m]	0.0	4E-11
RD	1-3	ドレイン・オーム性抵抗	[Ohm]	0.0	10.0
RS	1-3	ソース・オーム性抵抗	[Ohm]	0.0	10.0
RG	1-3	ゲート・オーム性抵抗	[Ohm]	0.0	
RB	1-3	基板・オーム性抵抗	[Ohm]	0.0	
RDS	1-3	D-S間シャント抵抗	[Ohm]	無限大	
RSH	1-3	ドレイン、ソース・シート抵抗	[Ohm/sq.]	0.0	30.0

表 1.2.9 SPICE2 MOSFET モデルパラメータ

MOSFET_IDS-VDS.TSC



nチャンネルJFET



pチャンネルJFET

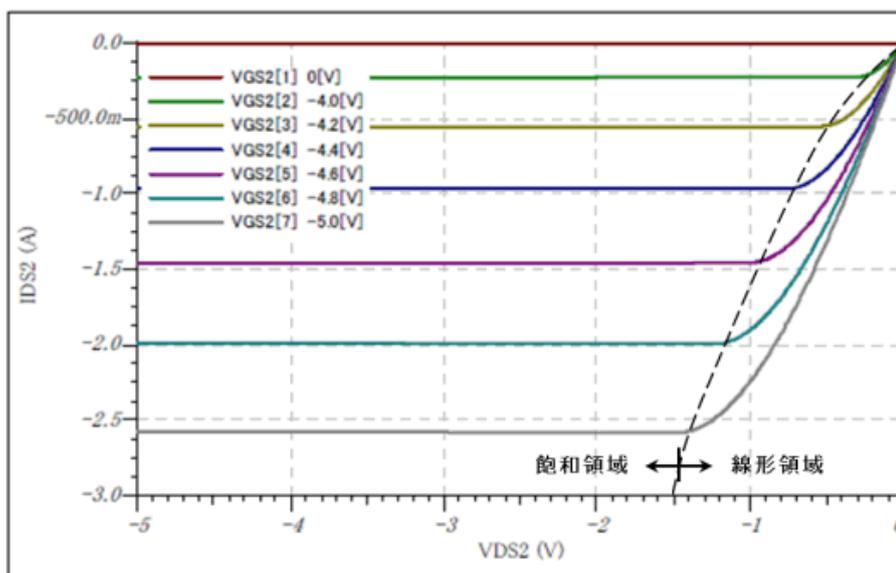
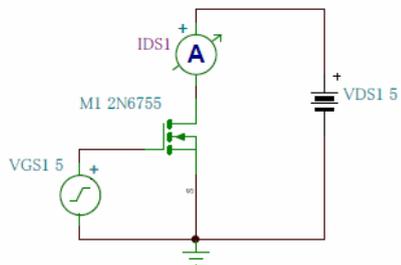


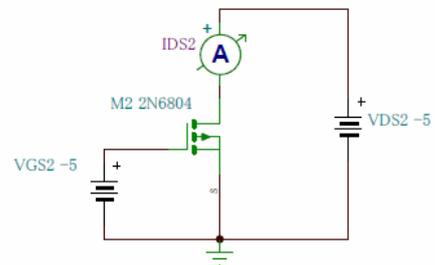
図 1.2.93 MOSFET の I_{DS} vs. V_{DS} 特性

MOSFET_IDS-VGS.TSC

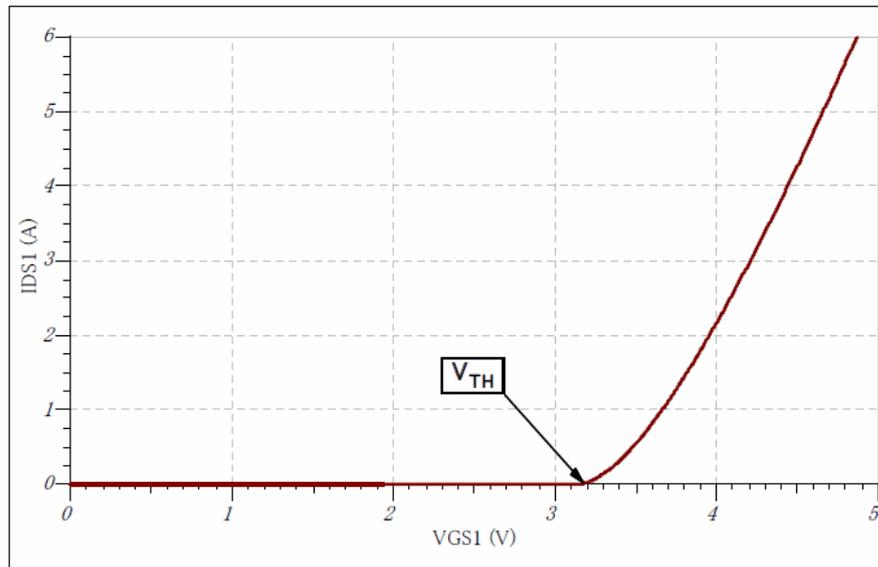
nチャンネルMOSFET: 2N6755



pチャンネルMOSFET: 2N6804



nチャンネルJFET



pチャンネルJFET

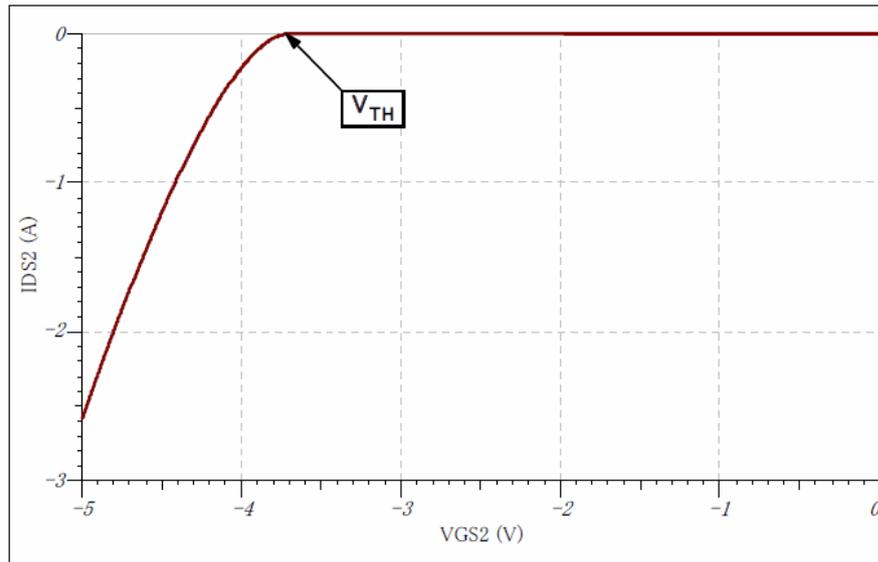


図 1.2.94 MOSFET の I_{DS} vs. V_{DS} 特性

MOSFET の SPICE 大信号モデル

MOSFET のダイナミック特性は図 1.2.95 に示すゲート容量 C_{GD}, C_{GS}, C_{GB} と接合容量 C_{BD}, C_{BS} に支配されます。MOSFET の過渡解析に用いられる大信号モデルは、これらの容量と寄生抵抗、寄生ダイオードにより図 1.2.96 のように表されます。

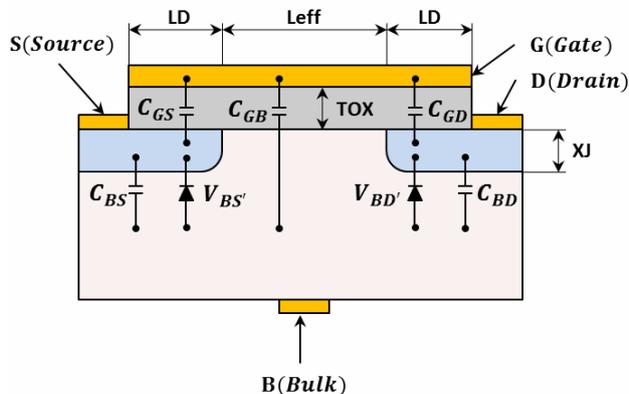


図 1.2.95 MOSFET のクロスセクション

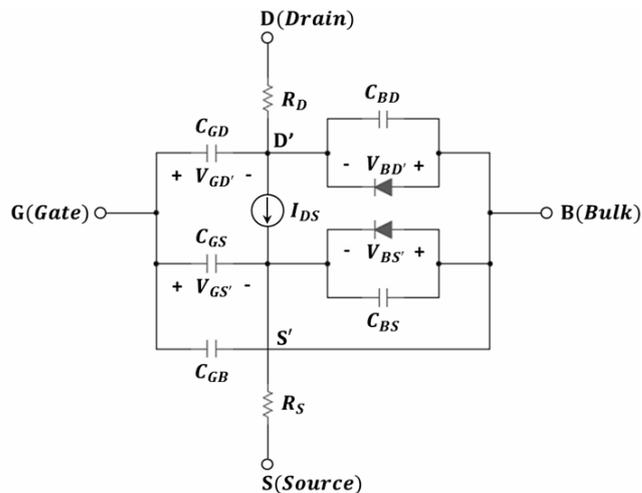


図 1.2.96 MOSFET 大信号モデル

SPICE2 LEVEL=1 モデルでは 3 つの動作領域におけるゲート容量 C_{GD}, C_{GS}, C_{GB} は式 1.2.85 で表されます。

$$\left. \begin{aligned}
 C_{GD} = C_{GS} = 0, \quad C_{GB} = C_{ox}WL & \quad (\text{チャネル・ピンチオフ: } V_{GS} \leq V_{TH}) \\
 C_{GD} = 0, \quad C_{GS} = \left(\frac{2}{3}\right)C_{ox}WL, \quad C_{GB} = 0 & \quad (\text{飽和領域: } 0 < V_{GS} - V_{TH} \leq V_{DS}) \\
 C_{GD} = C_{GS} = \left(\frac{1}{2}\right)C_{ox}WL, \quad C_{GB} = 0 & \quad (\text{線形領域: } 0 < V_{DS} < V_{GS} - V_{TH})
 \end{aligned} \right\} \dots \text{式 1.2.85}$$

C_{ox} は単位面積当たりのゲート酸化膜容量であり式 1.2.86 のように表されます。

$$C_{ox} = \frac{\epsilon_{ox}\epsilon_0}{TOX} \dots \text{式 1.2.86}$$

ここで、 $\epsilon_{ox}, \epsilon_0$ は酸化膜の比誘電率と自由空間の誘電率で、 TOX, R_D, R_S は表 1.2.5 に示すモデルパラメータの酸化膜厚、ドレイン・オーム性抵抗、ソース・オーム性抵抗です。

接合容量 C_{BD}, C_{BS} は式 1.2.87、式 1.2.88 で表されます。

$$C_{BD} = \frac{CBD}{(1 - V_{BD}/PB)^{MJ}} \dots \text{式 1.2.87}$$

$$C_{BS} = \frac{CBS}{(1 - V_{BS}/PB)^{MJ}} \dots \text{式 1.2.88}$$

ここで、 CBD, CBS, PB, MJ は表 1.2.5 に示すモデルパラメータの B-D 間 0-バイアス pn 接合容量、B-S 間 0-バイアス pn 接合容量、基板接合電位、基板底面部の接合傾斜です。

MOSFET の SPICE 小信号モデル

MOSFET の AC 解析に用いられる小信号モデルを図 1.2.97 に示します。

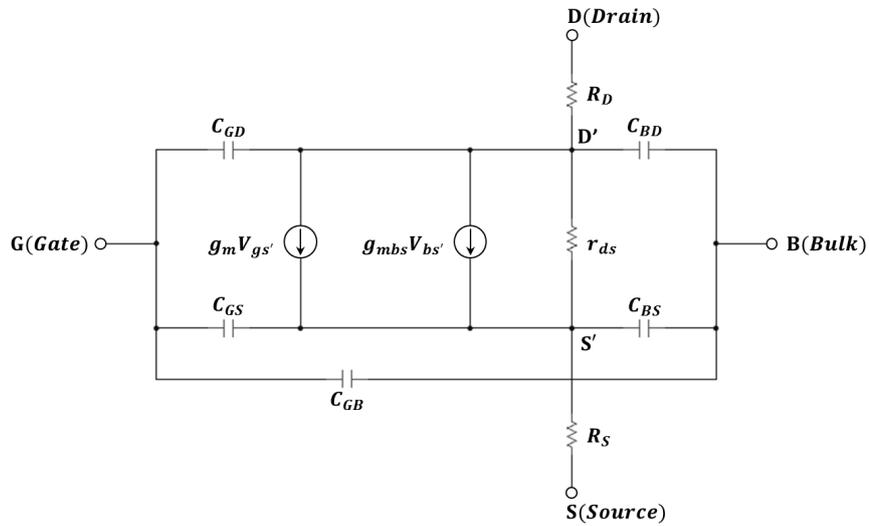


図 1.2.97 MOSFET の小信号モデル

非線形の電流源 I_{DS} は式 1.2.89 の抵抗 r_{ds} に変換され、相互コンダクタンス g_m, g_{mbs} は式 1.2.90、式 1.2.91 で表されます。

$$g_{ds} = \frac{1}{r_{ds}} = \frac{dI_{DS}}{dV_{DS}} \quad \dots \text{式 1.2.89}$$

$$g_m = \frac{dI_{DS}}{dV_{GS}} \quad \dots \text{式 1.2.90}$$

$$g_{mbs} = \frac{dI_{DS}}{dV_{BS}} \quad \dots \text{式 1.2.91}$$

TINA-TI の MOSFET 書式

TINA-TI の MOSFET シンボルを 図 1.2.98 に示します。回路図エディタからは図 1.2.99 のダイアログボックスで入力します。MOSFET はチャネル極性により p チャネルと n チャネルに分類され、 $I_D - V_{GS}$ 特性でデプレッション形とエンハンスメント形に分類されます。シンボルはバルク端子の接続方法により 2 種類に分類されます。

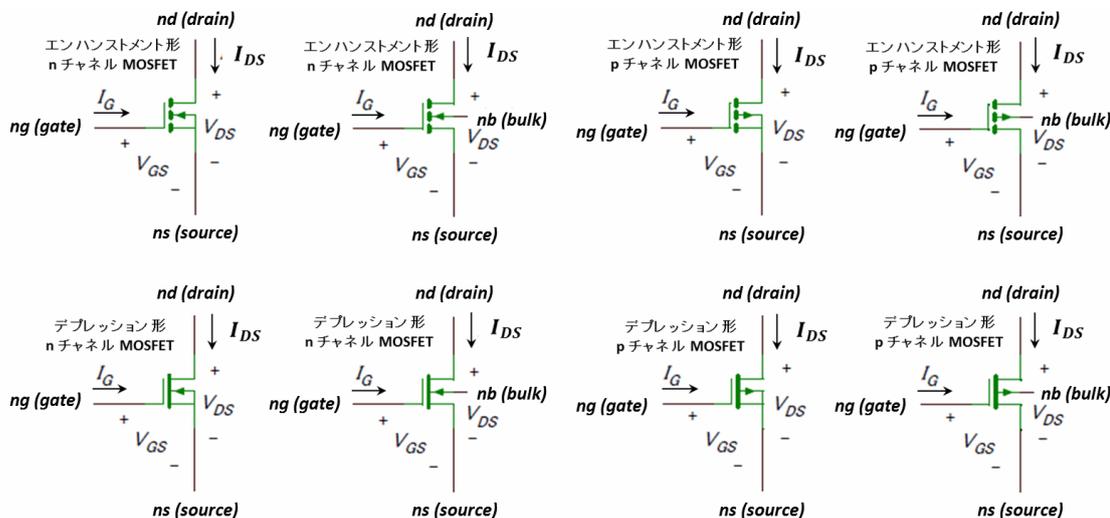


図 1.2.98 MOSFET のシンボル

書式

```
M < name > _ < nd > _ < ng > _ < ns > _ < nb > _ < model_name > _
+ [L =< value >] _ [W =< value >] _ [AD =< value >] _ [AS < value >] _
+ [PD =< value >] _ [PS < value >] _ [NRD =< value >] _ [NRS =< value >] _
+ [OFF] _ [IC = VDS0, VGS0, VBS0]
```

ここで、< > 内は必須の項目、[] 内はオプションの項目、_ はスペース、+ は行の連結を示します。nd はドレイン、ng はゲート、ns はソース、nb はバルクのノードです。model_name はモデル書式用のモデルネームです。

L はチャネル長 (単位 m)、W はチャネル幅 (単位 m) です。AD と AS はドレインとソースの拡散領域の面積 (単位 m²) です。PD と PS はドレインとソースの周囲の長さ (単位 m) です。NRD と NRS はドレイン拡散領域とソースの拡散領域の単位面積当たりの倍数を示し、この値は表 1.2.6 の MOSFET モデルパラメータ中のドレイン、ソース・シート抵抗 RSH と乗算してドレインとソースの直列寄生抵抗を表します。OFF は DC バイアスの初期設定期間中に MOSFET をカットオフ領域に初期化します。OFF が省略されると $V_{GS} = V_{TO}, V_{DS} = 0.0, V_{BS} = -1$ に初期化されます。IC は UIC オプションが指定された過渡解析において、時間 $t = 0$ の初期電圧 $V_{DS0}, V_{GS0}, V_{BS0}$ を指定します。

モデル書式

```
.MODEL < model_name > NMOS [ model_parameters ]
.MODEL < model_name > PMOS [ model_parameters ]
```

モデルネーム

モデルネームは図 1.2.99 に示すように MOSFET のシンボルを右クリックしてプロパティ・ダイアログボックスを開きタイプ項目のリストボックスで選択することもできます。モデルパラメータ、電流方程式、静電容量方程式、温度依存方程式は、TINA-TI の回路図エディタから部品ヘルプ を参照して下さい。

ステートメント例

```
MIN 5 2 0 0 NWEAK L=20U W=10U
M1 3 4 5 5 M_2N5460 L=100U NR=0 NRS=0
```

2N6755.TSC

M1 - NMOS エンハンスタイプ

ラベル	M1
パラメータ	(パラメータ)
タイプ	2N6755
バルク	<input type="checkbox"/>
温度	相対
温度[°C]	0
L#length [m]	Default
W#width [m]	Default
AD#drain diff. area [m ²]	Default
AS#source diff. area [m ²]	Default
PD#drain diff. perimeter	0
PS#source diff. perimeter	0

OK キャンセル ヘルプ

カタログ・エディタ

ライブラリ: Tina

モデル: Spice Level-3

許容差モデル: なし

モデル	パラメータ	値
使い方: n-channel power MOS	threshold voltage [V]	3.128
	transcond. coeff. [A/V ²]	21.14u
	surface potential [V]	600m
	bulk threshold param. [V ²]	0
	oxide thickness [m]	100n
	surface mobility [cm ² /Vs]	600
	max. drift velocity [m/s]	0
	width effect on Vth [-]	0
	mobility modulation [1/V]	0
	static feedback [-]	0
	channel length [m]	2u

OK キャンセル ヘルプ

カタログ・エディタ

ライブラリ: Tina

モデル: Spice Level-3

許容差モデル: なし

タイプ	パラメータ	値
2N6755	threshold voltage [V]	3.128
	transcond. coeff. [A/V ²]	21.14u
	surface potential [V]	600m
	bulk threshold param. [V ²]	0
	oxide thickness [m]	100n
	surface mobility [cm ² /Vs]	600
	max. drift velocity [m/s]	0
	width effect on Vth [-]	0
	mobility modulation [1/V]	0
	static feedback [-]	0
	channel length [m]	2u

OK キャンセル ヘルプ

図 1.2.99 プロパティ・ダイアログボックスによるモデルネームの指定

参考文献

- [1] W. F. Gale and T. C. Totemeier, "Smithells Metals Reference Book, Eighth Edition", Butterworth-Heinemann © 2004, ISBN:9780750675093
- [2] Sami Franssila, "Introduction to Microfabrication", John Wiley & Sons @ 2004, ISBN:9780470851050
- [3] Muammer Koç and Tuğrul Öze, "Micro-Manufacturing: Design and Manufacturing of Micro-Products" John Wiley & Sons @ 2001, ISBN:9780470556443
- [4] William Shockley, "Electrons And Holes In Semiconductors ", 1950
- [5] U.S. Department of the Army, "Basic Theory and Application of Transistors", 1959
- [6] Ebers, J.J., Moll, J.L., "Large-Signal Behavior of Junction Transistors" Proceedings of the IRE Volume: 42 , Issue: 12, 1954
- [7] H. K. Gummel and H. C. Poon, "An integral charge control model of bipolar transistors", Bell Syst. Tech. J., vol. 49, pp. 827–852, May–June 1970
- [8] L. Nagel and R. Rohrer, "Computer Analysis of Nonlinear Circuits, Excluding Radiation (CANCER)," IEEE J Solid-State Circuits, Vol SC-6, No 4, August 1971, pp. 166-182
- [9] L. W. Nagel and D. O. Pederson, "Simulation Program with Integrated Circuit Emphasis (SPICE)," presented at 16th Midwest Symp. on Circuit Theory, Ontario, Canada, April 12, 1973 and available as Memorandum No ERL-M382, Electronics Research Laboratory, College of Engineering, University of California, Berkeley, CA,
- [10] L. W. Nagel, "SPICE2: A Computer Program to Simulate Semiconductor Circuits," PhD dissertation, Univ. of California, Berkeley, CA, May 9 1975 and available as Memorandum No ERL-M520, Electronics Research Laboratory, College of Engineering, University of California, Berkeley, CA,
- [11] E. Cohen, "Program Reference for SPICE2," University of California, Berkeley, ERL Memo UCB/ERL M75/520, May 1975,
- [12] T. L. Quarles, "SPICE3 Version 3C1 User's Guide." University of California, Berkeley, ERL Memo No. UCB/ERL M89/47, April 1989.
- [13] Andrei Vladimirescu, "THE SPICE BOOK" John Wiley & Sons, Inc., 1994, ISBN 0-471-60926-9
- [14] Paolo Antognetti, Giuseppe Massabrio, "Semiconductor Device Modeling with SPICE. SECOND EDITION" McGraw-Hill Professional, 1998/12/1, ISBN-10: 0071349553
- [15] S.M. SZE, "SEMICONDUCTOR DEVICES Physics and Technology" AT&T Bell Laboratories, 1985, JOHN WILEY & SONS,
- [16] Richard S. Muller, Theodore I. Kamins and Mansun Chan, "Device Electronics for Integrated Circuits, Third Edition" John Wiley & Sons, 2003, ISBN: 9780471593980
- [17] Paul R. Gray, Paul J. Hurst, et al., "Analysis and Design of Analog Integrated Circuits" John Wiley & Sons © 2001, ISBN: 9780471321682
- [18] TINA-TI: SPICE-Based Analog Simulation Program V9, Component Help, 2013, Texas Instruments Inc.
- [19] "LF355 Data Sheet", SNOSBH0C, MARCH 2013, Texas Instruments Inc.
- [20] "TL084 Data Sheet", SLOS081H, JANUARY 2014, Texas Instruments Inc.

- [21] J.E. LILIENFELD, "DEVICE FOR CONTROLLING ELECTRIC CURRENT"
U.S. Patent 1,900,018, filed March 28, 1928, issued March 7, 1933
- [22] Dawon Kahng, "ELECTRIC FIELD CONTROLLED SEMICONDUCTOR DEVICE"
U.S. Patent 3,102,230, filed May 31, 1960, issued Aug. 27, 1963
- [23] Moore, Gordon E. "The role of Fairchild in silicon technology in the early days of "Silicon Valley"",
Proceedings of the IEEE, Volume: 86, Issue: 1, Publication Year: 1998, Page(s): 53 – 62
- [24] "SN7410 Data Sheet", SDLS035A, 1983, Texas Instruments Inc.
- [25] F. M. Wanlass, "LOW STAND-BY POWER COMPLEMENTARY FIELD EFFECT CIRCUIT"
U.S. Patent 3,356,858, filed June 18, 1963, issued Dec. 5, 1967
- [26] "High-speed CMOS Logic Data Book", 1983, SCLD001, Texas Instruments
- [27] "High-speed CMOS Logic Data Book", 1988, ISBN 3-88078-071-4, Texas Instruments
- [28] "AC/ACT Advanced CMOS Logic Product Information", 1996, SCAA027, Texas Instruments
- [29] M., Bohr, "A 30 Year Retrospective on Dennard's MOSFET Scaling Paper,"
IEEE Solid-State Circuits Society Newsletter, vol. 12, 2007, pp. 11–13.
- [30] "CMOS Power Consumption and Cpd Calculation", SCAA035B, June 1997, Texas Instruments
- [31] "SN74AUP1G14 Data Sheet", SCES878I, June 2003, Texas Instruments
- [32] 標準ロジック ステータス・レポート, JAJT001D, 2011, 日本テキサス・インスツルメンツ
- [33] Chatterjee A., Mosher D., Sridhar S., Kim Y., Nandakumar M,
Aur S.-W., Chen Z., Madhani P, Tang S., Aggarwal R, Ashburn S., Shichijo, H.
"Analog integration in a 0.35 μm Cu metal pitch, 0.1 μm gate length, low-power digital CMOS technology,"
Electron Devices Meeting, 2001 IEDM '01, Technical Digest., Publication Year: 2001 , Page(s): 10.1.1- 10.1.4
- [34] 高精度アナログセミナー2010・テキスト, November 2010, 日本テキサス・インスツルメンツ
- [35] Polinsky, M, Graf, S. "MOS-bipolar monolithic integrated circuit technology"
IEEE Transactions on Electron Devices, Volume: 20 , Issue: 3, Publication Year: 1973 , Page(s): 239 - 244
- [36] Otto Schade, Jr. "CMOS/Bipolar Linear Integrated Circuits," ISSCC Digest of Technical Papers, February
1974, pp. 136–137. See also: R. L. Sanquini, "Building C-MOS, Bipolar Circuits on Monolithic
Chip Enhances Specs," Electronics, October 3, 1974. (The CA3130 CMOS IC op amp.)
- [37] "OPA313/OPA2313/OPA4313 Data Sheet", SBOS649C, MARCH 2013, Texas Instruments Inc.
- [38] "OPA365/OPA2365 Data Sheet", SBOS365D, JUNE 2009, Texas Instruments Inc.
- [39] Shichman, H. ; Hodges, D., "Modeling and simulation of insulated-gate field-effect transistor switching circuits
Solid-State Circuits, IEEE Journal of Volume:3 , Issue: 3, Digital Object Identifier: 10.1109/JSSC.1968.1049902

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治療措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2014, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単体で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単体を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上