

# 12ビットPWMコントロール機能、 発振器内蔵24チャンネル定電流LEDドライバ

## 特長

- 24チャンネル定電流シンク出力
- 1チャンネルあたりの最大定電流値 = 30mA
- 12ビット (4096階調) PWMコントロール
- 30Vの定電流ドライバ耐圧
- 動作電源電圧範囲 = 3.0V ~ 5.5V
- 定電流精度
  - チャンネル間の定電流出力値誤差 =  $\pm 2\%$
  - デバイス間の定電流出力平均値誤差 =  $\pm 2\%$
- CMOSロジック・レベル入出力
- 30MHzのデータ転送レート (単体時)
- 15MHzのデータ転送レート (カスケードリング、SCLKオン・デューティ比50%時)
- データ・シフト・ミス を低減するシフト・クロック立ち下がりでのSOUT出力変化タイミング
- 自動表示繰り返し機能
- 4MHz内部発振器内蔵
- 異常高温時、定電流出力停止するサーマル・シャットダウン機能

- スwitching時のLED突入電流を低減する4グループ遅延スイッチング機能
- 動作温度範囲:  $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

## アプリケーション

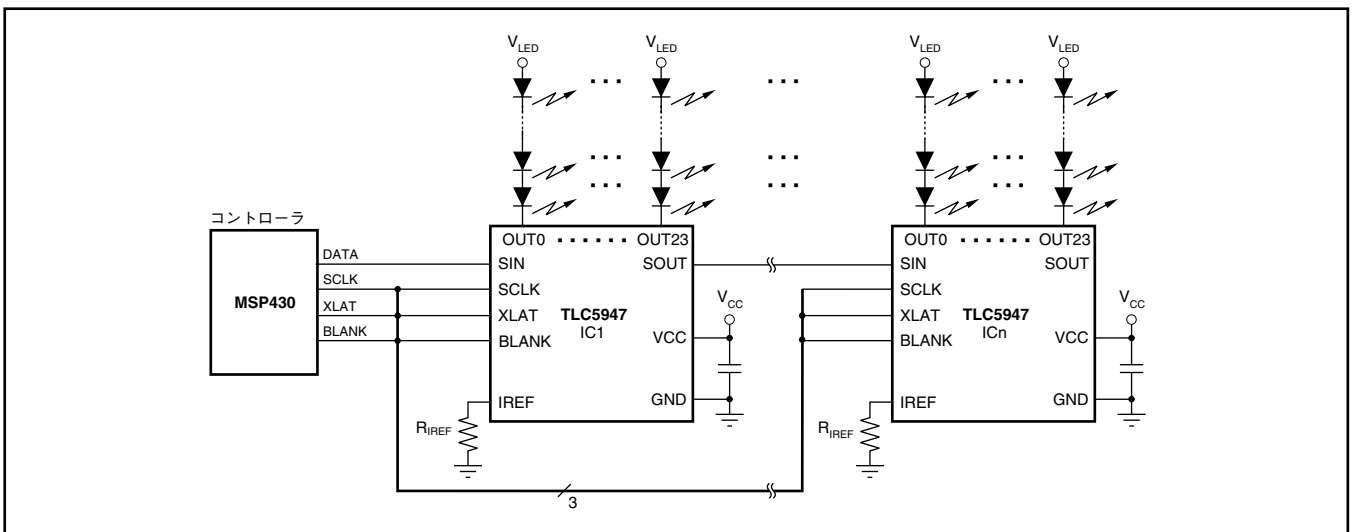
- スタティックLED表示パネル
- メッセージ・ボード
- アミューズメント照明
- 液晶テレビ・バックライト

## 概要

TLC5947は24チャンネルの定電流シンク・ドライバです。各々のチャンネルは個別に4096階調のPWM設定が可能で、そのPWM動作は、書き込まれている階調データを元に、内部発振器クロックを使用し自動で繰り返されます。階調データはシリアル・インターフェイスを通じて書き込むことが出来ます。24チャンネルすべての定電流値は1つの抵抗を外付けすることで設定可能です。

TLC5947はジャンクション温度が設定された温度を超えた時、自動的に全出力を停止する機能を持っています。また温度が設定値以下になった時は、各出力は通常動作を開始します。

## 標準アプリケーション回路 (TLC5947カスケード接続)



PowerPADは、テキサス・インスツルメンツの登録商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



SBVS114A 翻訳版

最新の英語版資料  
<http://www-s.ti.com/sc/techlit/tlc5947.pdf>



## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

### 製品情報

製品	パッケージ	部品番号	梱包、数量
TLC5947	HTSSOP-32 PowerPAD™	TLC5947DAPR	Tape and Reel, 2000
		TLC5947DAP	Tube, 46
TLC5947	5-mm × 5-mm QFN-32	TLC5947RHBR	Tape and Reel, 3000
		TLC5947RHB	Tape and Reel, 250

使用可能周囲温度	パッケージ	部品番号
-40°C ~ 85°C	32ピン HTSSOPパワーパッド付HTSSOP (0.65mmピンピッチ)	TLC5947DAP

### 絶対最大定格

(特記なき場合、 $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ )

パラメータ		定格
$V_{CC}$	電源電圧範囲: $V_{CC}$	-0.3V ~ +6.0V
$I_O$	出力電流範囲 (dc) OUT0 ~ OUT23	38mA
$V_I$	入力電圧範囲 SIN、SCLK、XLAT、BLANK	-0.3V ~ $V_{CC} + 0.3V$
$V_O$	SOUT	-0.3V ~ $V_{CC} + 0.3V$
	OUT0 ~ OUT23	-0.3V ~ +33.0V
$T_{J(MAX)}$	接合部温度範囲	+150°C
$T_{STG}$	保存温度範囲	-55°C ~ +150°C
ESD耐量	HBM (JEDEC JESD22-A114、ヒューマン・ボディ・モデル)	2kV
	CDM (JEDEC JESD22-C101、チャージド・デバイス・モデル)	500V

- (1) 絶対最大定格を超えるストレスは、デバイスに致命的なダメージを与えることがあります。絶対最大定格は、ストレスの限度のみについて示したもので、この条件、もしくは、本仕様書の「推奨動作条件」に示された条件を超える条件でのデバイスの機能動作を意図したものではありません。デバイスを絶対最大定格の条件に長時間さらすと、デバイスの信頼性に影響を与えることがあります。
- (2) すべての値はGNDピンを基準としています。

### パッケージ許容損失

パッケージ・タイプ	周囲温度25°C以上時の 損失低減係数	周囲温度25°C以下の 許容損失	周囲温度70°C時の 許容損失	周囲温度85°C時の 許容損失
32ピン・パワーパッド付HTSSOP パワーパッド半田付けあり時 <sup>(1)</sup>	42.54mW/°C	5318mW	3403mW	2765mW
32ピン・パワーパッド付HTSSOP パワーパッド半田付けなし時	22.56mW/°C	2820mW	1805mW	1466mW
32ピンQFN <sup>(2)</sup>	27.86mW/°C	3482mW	2228mW	1811mW

- (1) 2オンスの基板の銅配線層にパワーパッドを接続した場合。詳しくはSLMA002のアプリケーション・ノートをご覧ください。
- (2) パッケージ熱抵抗はJESD51-5に従って計算されています。

## 推奨動作条件

特記なき場合、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

パラメータ		テスト条件・ピン名	TLC5947		単位
			最小	最大	
<b>DCパラメータ、<math>V_{CC} = 3.0\text{V} \sim 5.5\text{V}</math></b>					
$V_{CC}$	電源電圧		3.0	5.5	V
$V_O$	出力印加電圧	OUT0 ~ OUT23		30	V
$V_{IH}$	“H” レベル入力電圧		$0.7 \times V_{CC}$	$V_{CC}$	V
$V_{IL}$	“L” レベル入力電圧		GND	$0.3 \times V_{CC}$	V
$I_{OH}$	“H” レベル出力電流	SOUT		-3	mA
$I_{OL}$	“L” レベル出力電流	SOUT		3	mA
$I_{OLC}$	定電流出力電流	OUT0 ~ OUT23	2	30	mA
$T_A$	動作周囲温度		-40	+85	$^{\circ}\text{C}$
$T_J$	動作ジャンクション温度		-40	+125	$^{\circ}\text{C}$

パラメータ		テスト条件・ピン名	TLC5947		単位
			最小	最大	
<b>ACパラメータ、<math>V_{CC} = 3.0 \sim 5.5\text{V}</math></b>					
$f_{SCLK}$	データ・シフト・クロック周波数	SCLK、単体時		30	MHz
		SCLK、デューティ比50%、カスケード接続時		15	MHz
$T_{WH0}$	パルス幅	SCLK “H” レベル・パルス幅	12		ns
$T_{WL0}$		SCLK “L” レベル・パルス幅	10		ns
$T_{WH1}$		XLAT、BLANK “H” レベル・パルス幅	30		ns
$T_{SU0}$	セットアップ時間	SIN - SCLK $\uparrow$	5		ns
$T_{SU1}$		XLAT $\uparrow$ - SCLK $\uparrow$	100		ns
$T_{SU2}$		XLAT $\uparrow$ - BLANK $\downarrow$	30		ns
$T_{H0}$	ホールド時間	SIN - SCLK $\uparrow$	3		ns
$T_{H1}$		XLAT $\uparrow$ - SCLK $\uparrow$	10		ns

## 電気的特性

特記なき場合、 $V_{CC} = 3.0V \sim 5.5V$ 、 $T_A = -40^\circ C \sim +85^\circ C$ 、標準値は $V_{CC} = 3.3V$ 、 $T_A = +25^\circ C$ 時

パラメータ	測定条件	TLC5947			単位
		最小	標準	最大	
$V_{OH}$	“H” レベル出力電圧	$V_{CC} - 0.4$			V
$V_{OL}$	“L” レベル出力電圧	0.4			V
$I_{IN}$	入力電流	-1			$\mu A$
$I_{CC1}$	電源電流 ( $V_{CC}$ )	0.5			mA
$I_{CC2}$		1			mA
$I_{CC3}$		15			mA
$I_{CC4}$		30			mA
$I_{OLC}$	出力電流	27.7	30.75	33.8	mA
$I_{OLK}$	出力リーク電流	0.1			$\mu A$
$\Delta I_{OLC}$	チャンネル間定電流誤差 <sup>(1)</sup>	$\pm 2$			%
$\Delta I_{OLC1}$	デバイス間定電流誤差 <sup>(2)</sup>	$\pm 2$			%
$\Delta I_{OLC2}$	ライン・レギュレーション <sup>(3)</sup>	$\pm 1$			%/V
$\Delta I_{OLC3}$	ロード・レギュレーション <sup>(4)</sup>	$\pm 2$			%/V
$T_{DOWN}$	サーマル・シャットダウン動作温度	+150	+162	+175	$^\circ C$
$T_{HYS}$	リスタート温度ヒステリシス	+5	+10	+20	$^\circ C$
$V_{IREF}$	基準電圧	1.16	1.20	1.24	V

- (1) チャンネル間定電流誤差は、OUT0～23の定電流値 ( $I_{OUT0} \sim I_{OUT23}$ ) の平均値と各チャンネルの定電流値の差分の割合を示しています。値は次の計算値で求められています。

$$\Delta I_{OLC} (\%) = \left[ \frac{I_{OUTn}}{\frac{(I_{OUT0} + I_{OUT1} + \dots + I_{OUT22} + I_{OUT23})}{24}} - 1 \right] \times 100$$

ここで  $I_{OUTn}$  は OUT0 ～ 23 のいずれかの定電流値です。

- (2) デバイス間定電流誤差は、計算で求められる値を理想定電流値とし、その理想電流値と各デバイスの OUT0 ～ 23 の定電流値 ( $I_{OUT0} \sim I_{OUT23}$ ) の平均値の差分の割合を示しています。値は次の計算値で求められています。

$$\Delta I_{OLC} (\%) = \left[ \frac{\frac{(I_{OUT0} + I_{OUT1} + \dots + I_{OUT22} + I_{OUT23})}{24} - (\text{理想定電流値})}{\text{理想定電流値}} \right] \times 100$$

ここで理想電流値は  $41 \times$  基準電圧の標準値 (1.20V) / IREF-GND間に接続される電流設定抵抗値 (R<sub>IREF</sub>) で求められます。

- (3) ライン・レギュレーションは、定電流値の電源電圧依存性を示しています。値は次の計算式で求められています。

$$\Delta I_{OLC2} (\%) = \left[ \frac{(V_{CC} = 5.5V \text{ 時の } I_{OUTn} \text{ の定電流値}) - (V_{CC} = 3.0V \text{ 時の } I_{OUTn} \text{ の定電流値})}{V_{CC} = 3.0V \text{ 時の } I_{OUTn} \text{ の定電流値}} \right] \times \frac{100}{5.5V - 3V}$$

ここで  $I_{OUTn}$  は OUT0 ～ 23 のいずれかです。

- (4) ロード・レギュレーションは、定電流値の印加電圧依存性を示しています。値は次の計算式で求められています。

$$\Delta I_{OLC3} (\%) = \left[ \frac{(I_{OUTn} \text{ 印加電圧} = 3.0V \text{ 時の定電流値}) - (I_{OUTn} \text{ 印加電圧} = 1.0V \text{ 時の定電流値})}{I_{OUTn} \text{ 印加電圧} = 1.0V \text{ 時の定電流値}} \right] \times \frac{100}{3V - 1V}$$

ここで  $I_{OUTn}$  は OUT0 ～ 23 です。

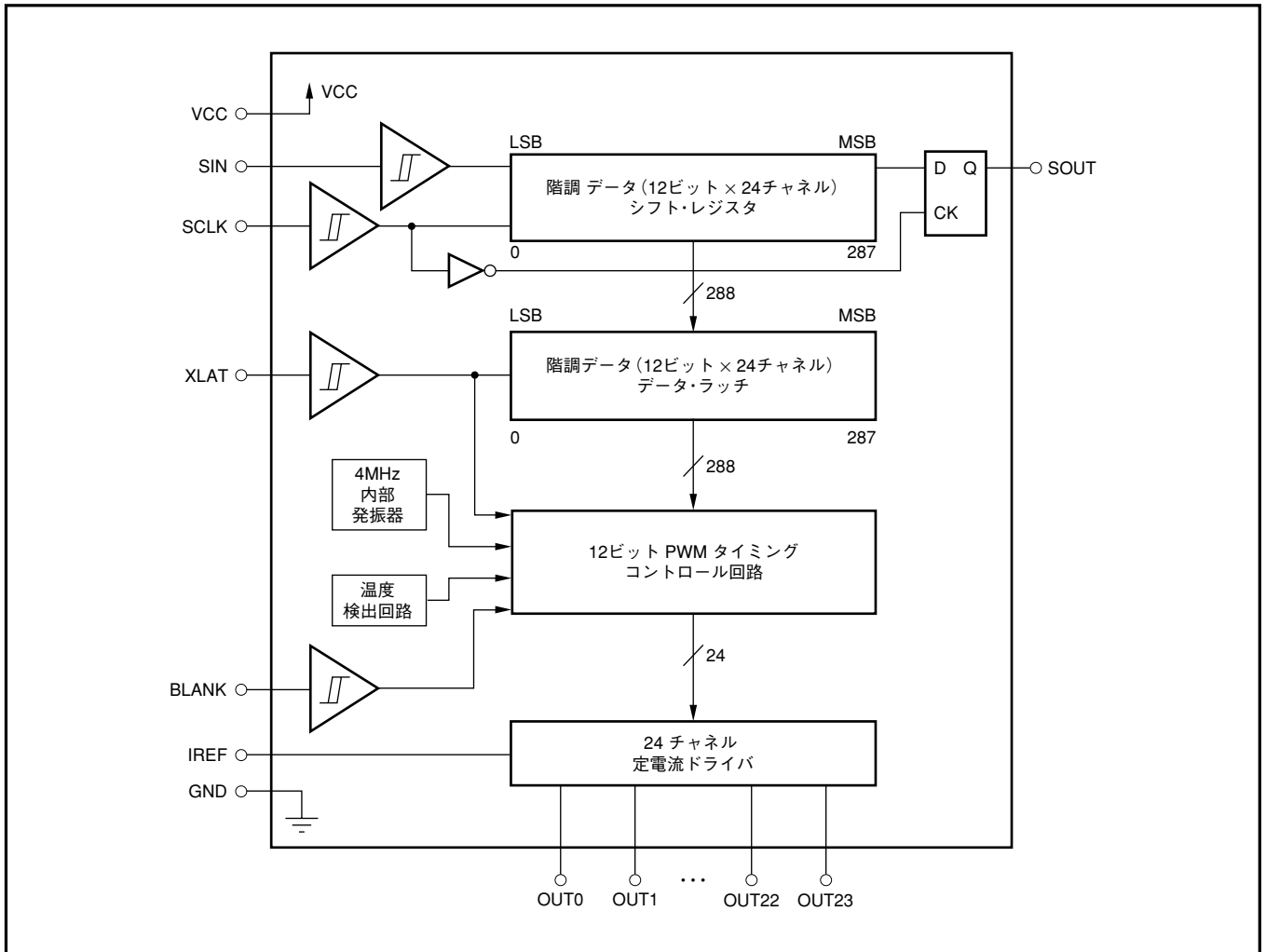
- (5) 設計によって規定されており、量産テストは実施しておりません。

## スイッチング特性

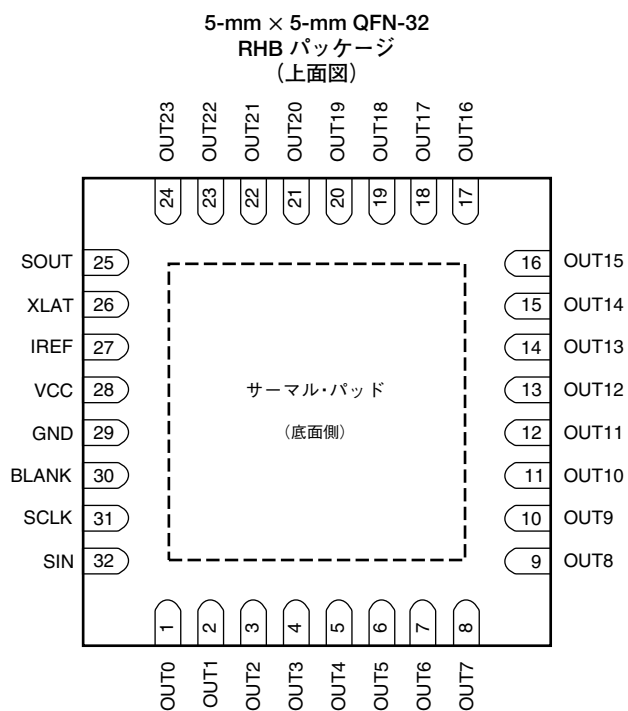
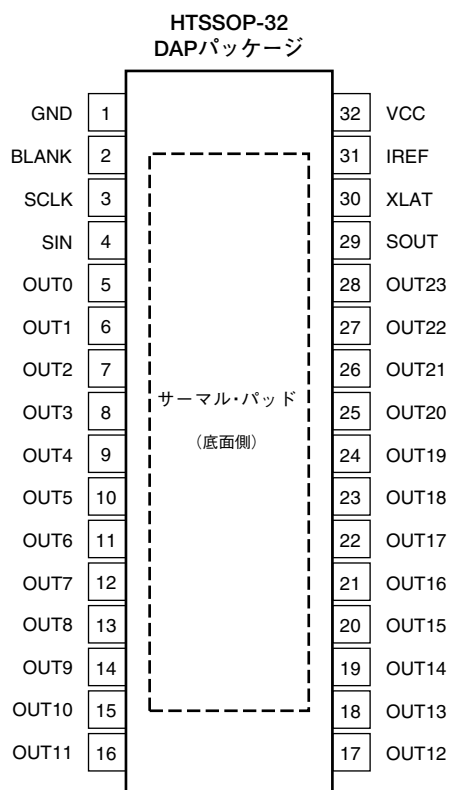
特記なき場合、 $V_{CC} = 3.0V \sim 5.5V$ 、 $T_A = -40^\circ C \sim +85^\circ C$ 、 $C_L = 15pF$ 、 $R_L = 150\Omega$ 、 $R_{IREF} = 1.6k\Omega$ 、 $V_{LED} = 5.5V$ 、  
標準値は $V_{CC} = 3.3V$ 、 $T_A = +25^\circ C$ 時

パラメータ	測定条件	TLC5947			単位	
		最小	標準	最大		
$t_{R0}$	立ち上がり時間	SOUT	10	15	ns	
$t_{R1}$		OUTn	15	40		
$t_{F0}$	立ち下がり時間	SOUT	10	15	ns	
$t_{F1}$		OUTn	100	300		
$f_{OSC}$	内部発振器周波数	2.4	4	5.6	MHz	
$t_{D0}$	遅延時間	SCLK立ち下がり - SOUT	15	25	ns	
$t_{D1}$		BLANK立ち上がり - OUT0定電流オフ	20	40	ns	
$t_{D2}$		OUT0定電流オン - OUT1 / 5 / 9 / 13 / 17 / 21定電流オン	15	24	33	ns
$t_{D3}$		OUT0定電流オン - OUT2 / 6 / 10 / 14 / 18 / 22定電流オン	30	48	66	ns
$t_{D4}$		OUT0定電流オン - OUT3 / 7 / 11 / 15 / 19 / 23定電流オン	45	72	99	ns

## ブロック図



# ピン配置



注意：サーマル・パッドは内部ではGNDにつながっておりません。  
サーマル・パッドは基板配線を通じてGNDにつないでください。

注意：サーマル・パッドは内部ではGNDにつながっておりません。  
サーマル・パッドは基板配線を通じてGNDにつないでください。

## ピン機能

端子名	端子番号		I/O	説明
	DAP	RHB		
SIN	4	32	I	階調シリアル・データ入力端子。
SCLK	3	31	I	階調シリアル・データ・シフト・クロック入力端子。シュミット・バッファ入力。階調データ・シフト・レジスタの中のすべてのデータは、SCLKの立ち上がりエッジに同期してMSB側に1ビットシフトされると同時にSINのデータは、シフト・レジスタのLSBに取り込まれます。SCLKの立ち上がりはXLATの立ち上がりエッジから100ns経過した以降に入力してください。
XLAT	30	26	I	エッジ・トリガ・ラッチ信号入力端子。シュミット・バッファ入力。このラッチ信号の立ち上がりで、階調データ・シフト・レジスタの中のデータは階調データ・ラッチにコピーされます。同じく立ち上がりで、その時点でオンしていた定電流出力は、次の表示期間まで強制的にオフされます。ただし12ビットPWMタイミング・コントロール回路は初期化されません。
BLANK	2	30	I	全定電流出力オフ信号。シュミット・バッファ入力。BLANK = “H” レベル時、全定電流出力 (OUT0 ~ 23) は強制的にオフにされ、階調PWMタイミングコントロール回路は初期化されます。BLANK = “L” 時は、全定電流出力は階調PWMコントロール回路によってオン・オフがコントロールされます。
IREF	31	27	I/O	定電流値設定端子。全定電流出力 (OUT0 ~ 23) のシンク定電流値は、IREFとGND端子間につながる抵抗で、希望の電流値に設定されます。
SOUT	29	25	O	階調シリアル・データ出力端子。この出力は階調データ・シフト・レジスタの最上位ビットの後に設けられたフリップ・フロップに接続されています。それによりSOUTのデータは、SCLKの立ち下がりエッジで変化し、データ・シフトミスが低減されます。
OUT0	5	1	O	定電流出力端子。他の定電流出力端子とつないで定電流値を大きくすることが可能です。お互いの定電流端子には異なる電圧を印加することが可能です。
OUT1	6	2	O	定電流出力端子。
OUT2	7	3	O	定電流出力端子。
OUT3	8	4	O	定電流出力端子。
OUT4	9	5	O	定電流出力端子。
OUT5	10	6	O	定電流出力端子。
OUT6	11	7	O	定電流出力端子。
OUT7	12	8	O	定電流出力端子。
OUT8	13	9	O	定電流出力端子。
OUT9	14	10	O	定電流出力端子。
OUT10	15	11	O	定電流出力端子。
OUT11	16	12	O	定電流出力端子。
OUT12	17	13	O	定電流出力端子。
OUT13	18	14	O	定電流出力端子。
OUT14	19	15	O	定電流出力端子。
OUT15	20	16	O	定電流出力端子。
OUT16	21	17	O	定電流出力端子。
OUT17	22	18	O	定電流出力端子。
OUT18	23	19	O	定電流出力端子。
OUT19	24	20	O	定電流出力端子。
OUT20	25	21	O	定電流出力端子。
OUT21	26	22	O	定電流出力端子。
OUT22	27	23	O	定電流出力端子。
OUT23	28	24	O	定電流出力端子。
VCC	32	28	—	電源端子。
GND	1	29	—	グランド端子。

# パラメータ測定情報

## 入出力ピン等価回路

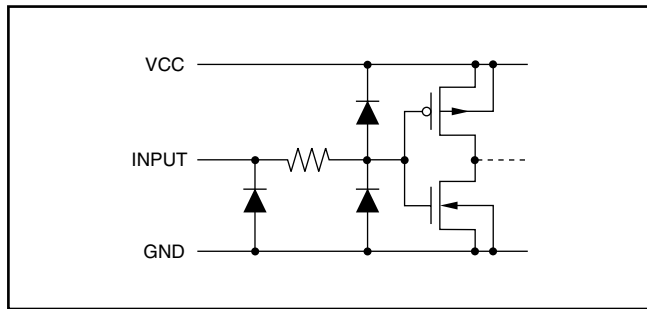


図1. SIN、SCLK、XLAT、BLANK

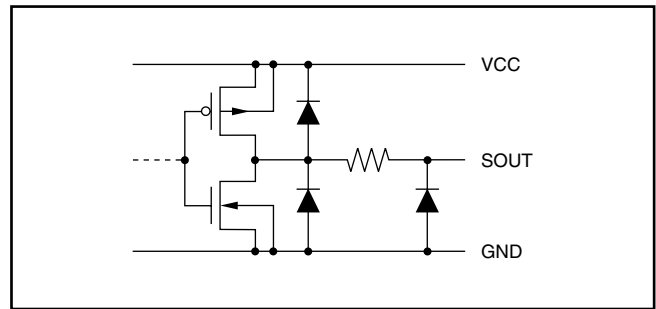


図2. SOUT

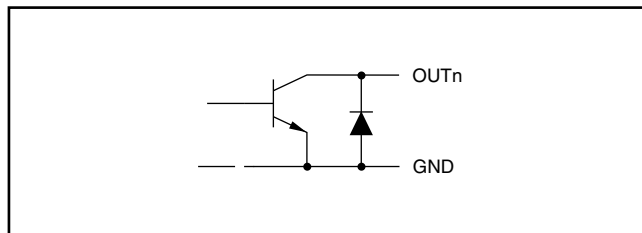


図3. OUT0 - OUT15

## テスト回路

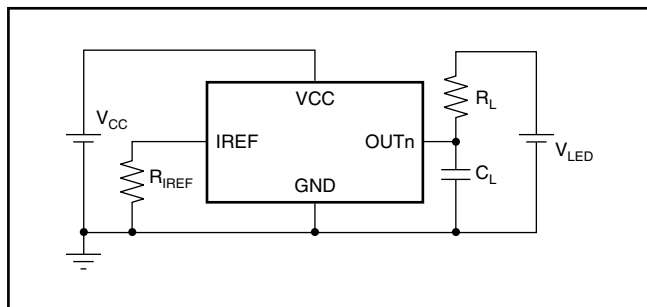


図4. 定電流出力の立ち上がり・立ち下がり特性測定回路

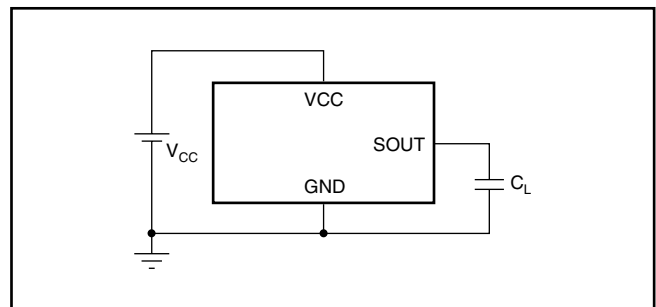


図5. SOUTの立ち上がり・立ち下がり特性測定回路

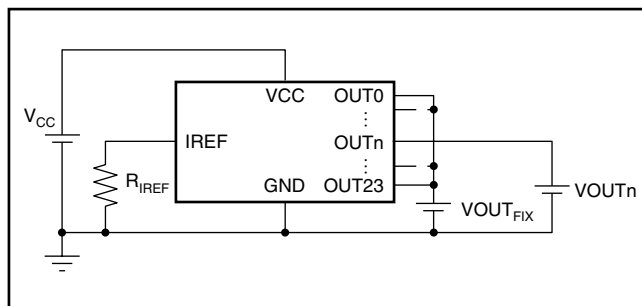


図6. 定電流値特性測定回路



# タイミング図

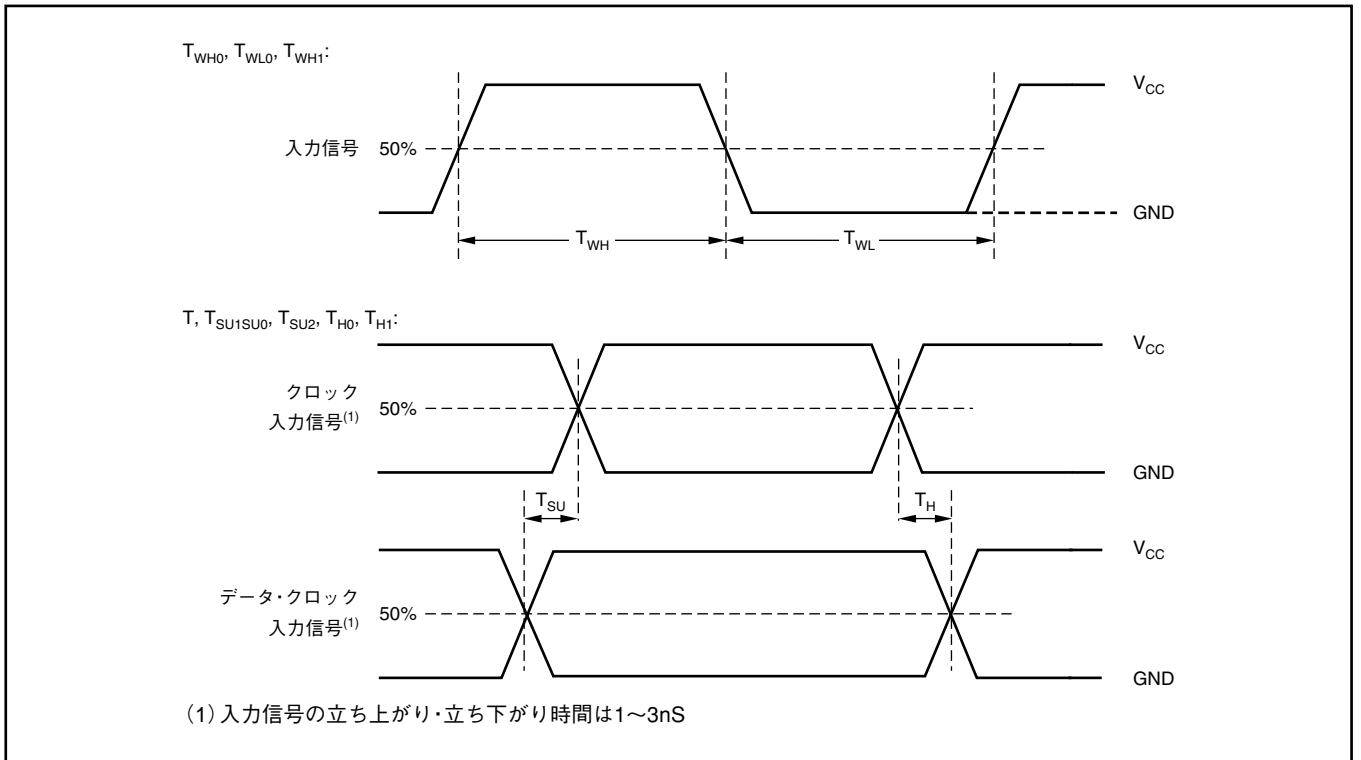


図7. 入力タイミング

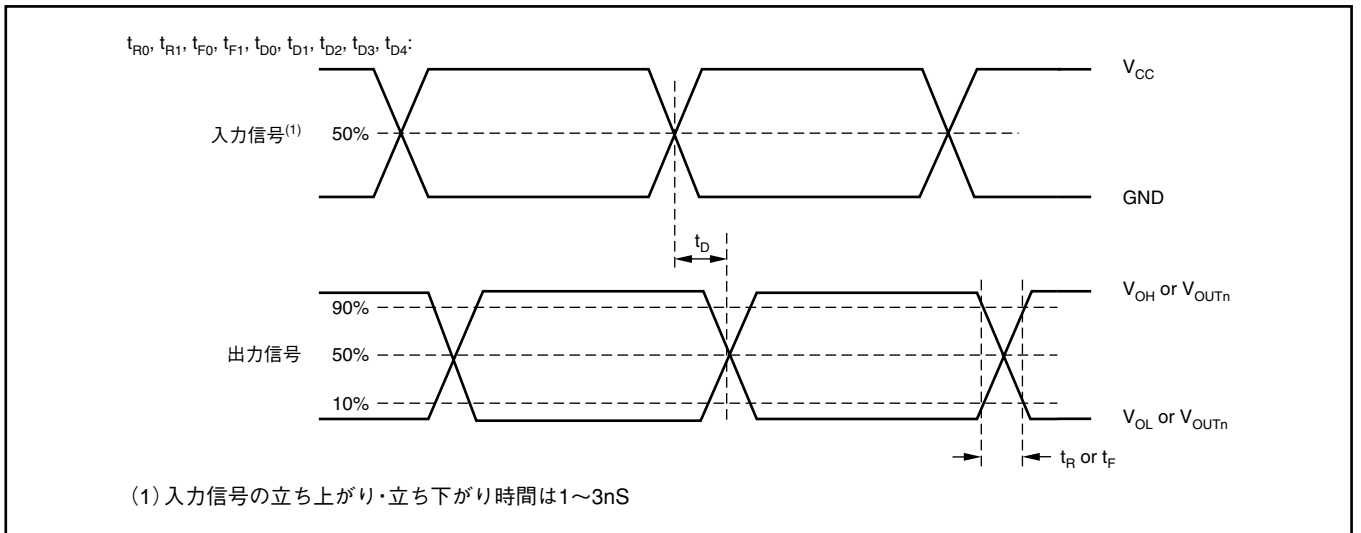


図8. 出力タイミング

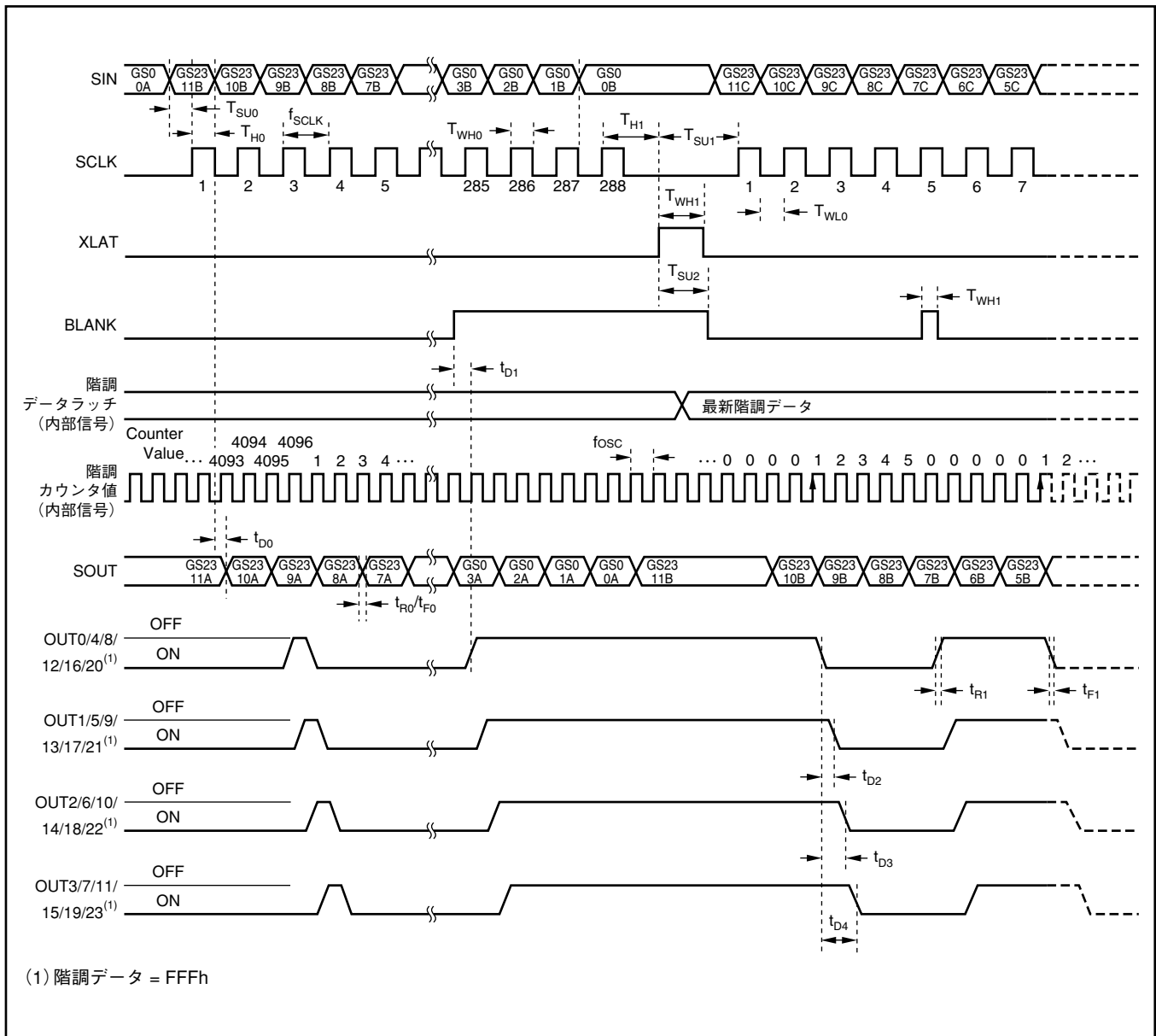


図9. 階調データ書き込みと定電流出力 (OUTn) 動作

# 代表的特性

(特に記述のない限り)  $V_{CC} = 3.3V$ 、 $T_A = +25^\circ C$

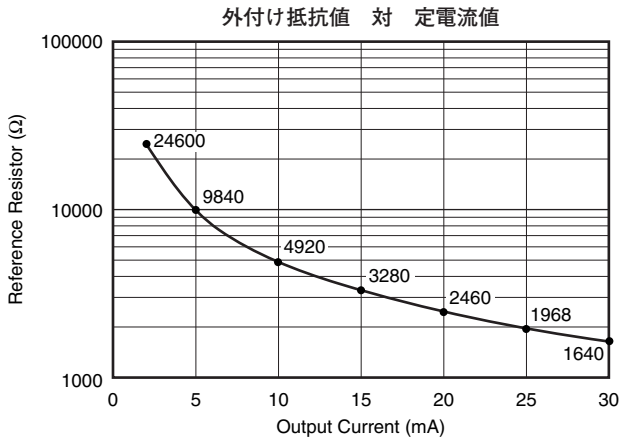


図10

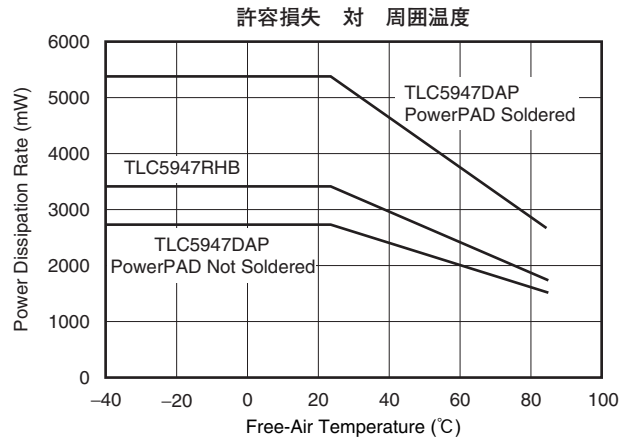


図11

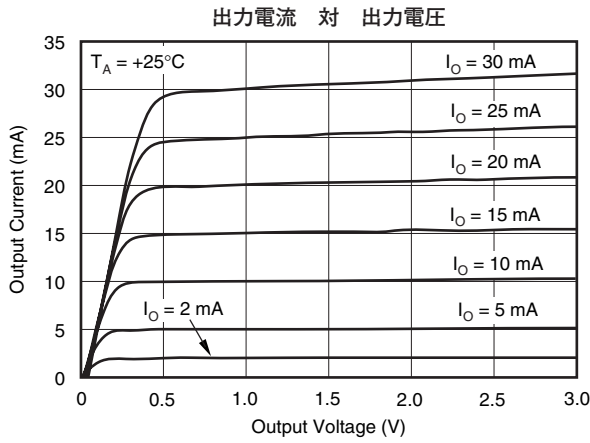


図12

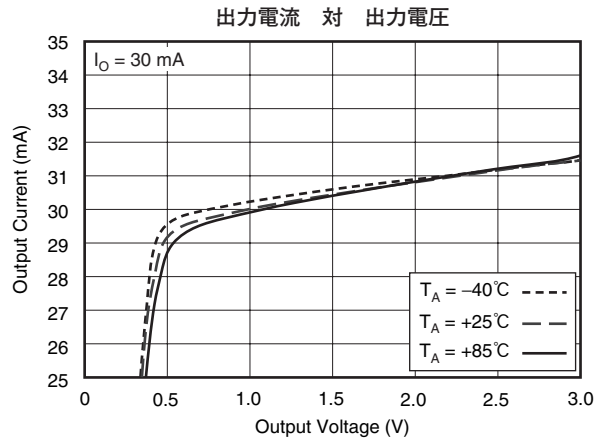


図13

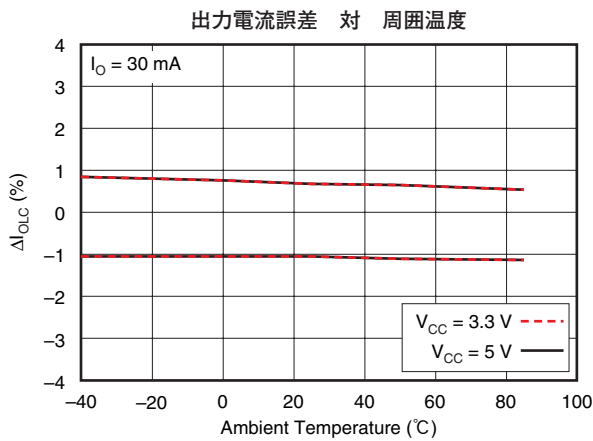


図14

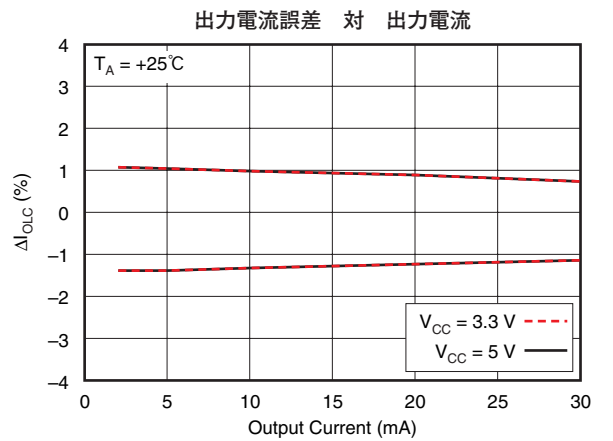


図15

## 代表的特性

(特に記述のない限り)  $V_{CC} = 3.3V$ 、 $T_A = +25^\circ C$

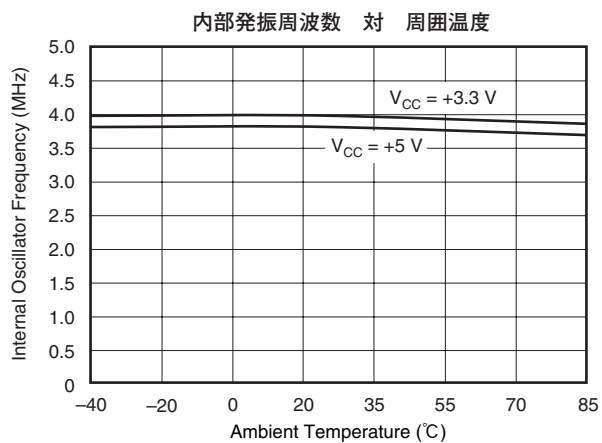


図16

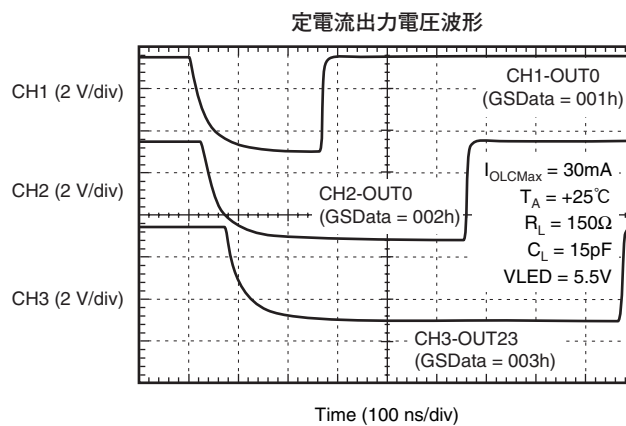


図17

# 詳細説明

## 定電流値の設定

定電流値 (I<sub>OLC</sub>) は IREF と GND 間に取り付けられる外付け抵抗 (R<sub>IREF</sub>) で設定されます。

設定のための抵抗値は式 (1) で計算されます。

$$R_{IREF}(\Omega) = 41 \times \frac{V_{IREF} (V)}{I_{OLC} (mA)} \quad (1)$$

ここで V<sub>IREF</sub> は基準電圧 (標準値 1.20V) です。

この時、設定電流 (I<sub>OLC</sub>) は 2~30mA の範囲で選択する必要があります。外付け抵抗値に対する定電流値の特性は図 10 に示されます。表 1 も定電流値と外付け抵抗値の関係を示します。

## 階調 (PWM) コントロール機能

各定電流出力 (OUT0~23) は、その出力の階調データラッチのデータが “0” でなければ BLANK 信号が “H” レベルから “L” レベルになった後の、内部発振器の 5 発目のクロックの立ち上がりでオンします。点灯後、クロックの立ち上がりエッジの回数が

12ビット階調カウンタによりカウントされます。クロック立ち上がり時にカウンタの数えた数と階調データ・ラッチの値とが一致するか、12ビットカウンタ値が 4096d になった時は、定電流出力はオフされます。この PWM コントロールは BLANK が “L” レベルになっている間繰り返されます。また BLANK = “H” レベルの時は、階調カウンタは “0” になり、出力も階調データに関わらずオンしません。PWM コントロール中に XLAT の立ち上がりが入った場合は、すべての定電流出力が、その時点でオフになります。その後、次の表示期間のための内部発振クロックの 1 発目で再度 PWM コントロールが開始します。これらのタイミングを図 18 に示します。

IC に電源を投入した時は、階調データ・シフト・レジスタとデータ・ラッチ内のデータは不定です。そのため定電流をオンする前に階調データをデータ・ラッチに書き込む必要があります。また電源投入時、定電流出力はオンする場合がありますので BLANK = “H” レベルにしておくことをお勧めします。ただしこのオン時の動作が問題ないアプリケーションでは、BLANK = 常時 “L” でも使用可能です。

設定定電流値 (mA, 標準値)	外付け抵抗値 (Ω)
30	1640
25	1968
20	2460
15	3280
10	4920
5	9840
2	24600

表 1. 定電流値と外付け抵抗値

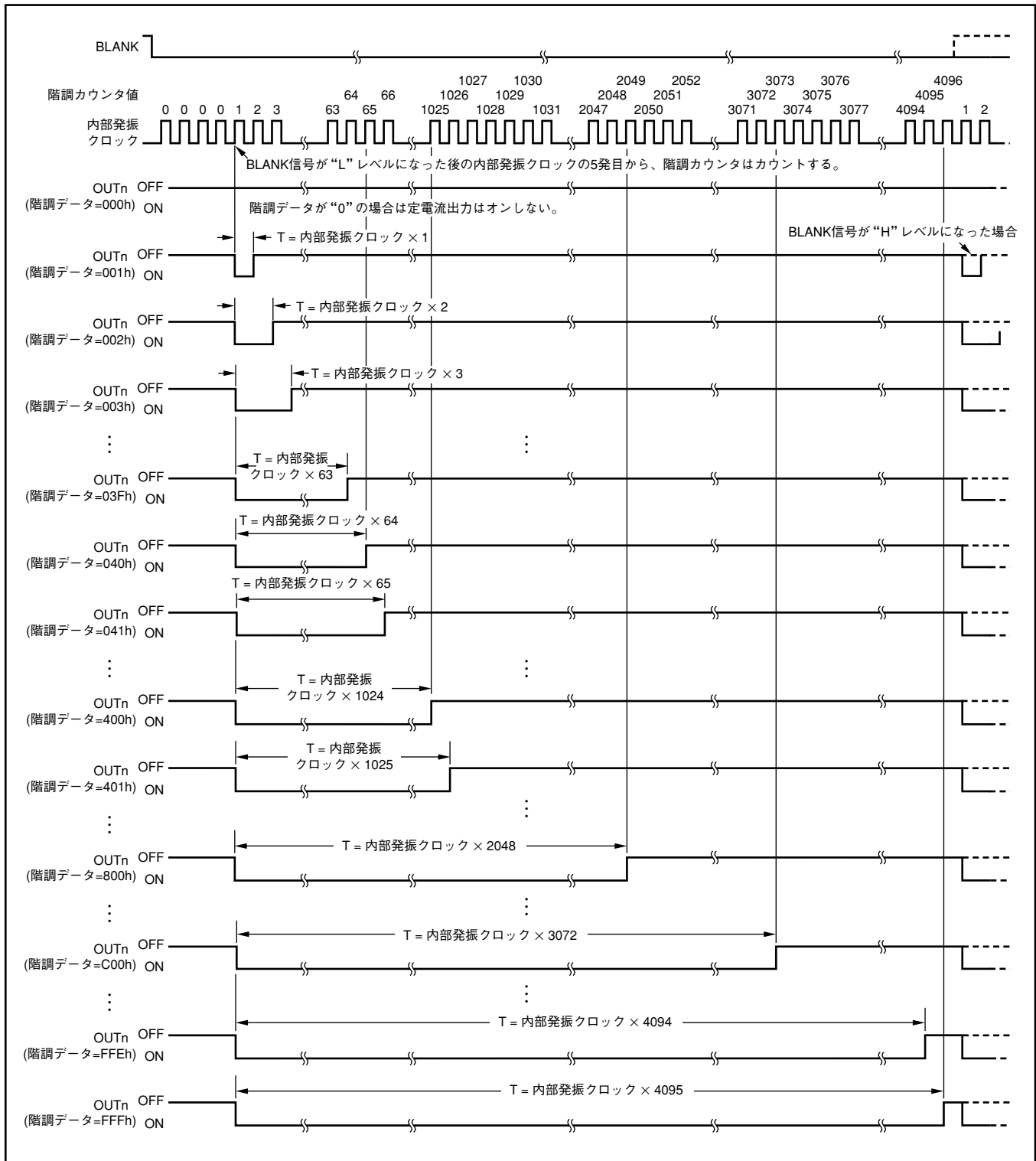


図18. PWM 動作

## レジスタ構成

TLC5947は階調データ・シフト・レジスタとデータ・ラッチを持っています。このシフト・レジスタとデータ・ラッチは各々288ビット長で定電流出力のPWMコントロールするデータをセットするために使われます。表2は各々の階調データのオン・デューティ比を示します。図19はシフト・レジスタとデータ・ラッチの構成を示します。SINに与えられるデータはSCLKの

立ち上がりエッジでシフト・レジスタのLSB(ビット0)に取り込まれると共に、シフト・レジスタの中のビットは1ビット分MSB(288ビット)側にシフトします。SOUTにはSCLKの立下りエッジに同期してMSBのデータが出力されます。データ・ラッチ内のデータが定電流出力のオン・デューティを決定します。

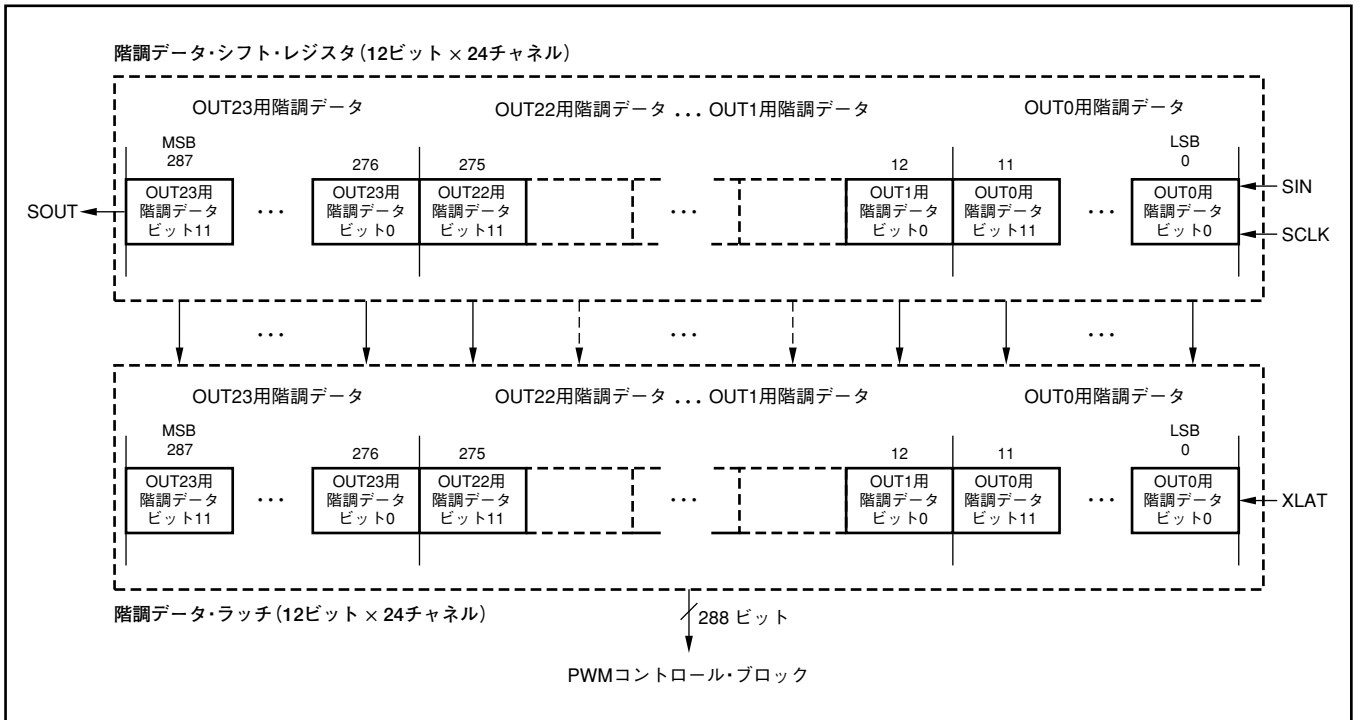


図19. 階調データ・シフト・レジスタとラッチ構成

階調データ(バイナリ)	階調データ(デシマル)	階調データ(ヘキサ)	オン・デューティ(%) <sup>(1)</sup>
0000 0000 0000	0	000	0.00
0000 0000 0001	1	001	0.02
0000 0000 0010	2	002	0.05
0000 0000 0011	3	003	0.07
-	-	-	-
0111 1111 1111	2047	7FF	49.98
1000 0000 0000	2048	800	50.00
1000 0000 0001	2049	801	50.02
-	-	-	-
1111 1111 1101	4093	FFD	99.93
1111 1111 1110	4094	FFE	99.95
1111 1111 1111	4095	FFF	99.98

表2. 階調データとオン・デューティ

(1) 1表示期間(内部発振クロック4096発分)を100%とする。

階調データはSINとSCLKによってシフトレジスタにデータを書き込んだ後、XLAT信号を立ち上げることによって、シフトレジスタの値がデータラッチ内にコピーされます。ICに電源を投入した時は、階調データ・シフトレジスタとデータラッチ内のデータは不定です。そのため定電流をオンする前に階調データをデータラッチに書き込む必要があります。また電源投入時、定電流出力はオンする場合がありますのでBLANKを“H”レベルにしておくことをお勧めします。ただしこのオン時の動

作が問題ないアプリケーションでは、BLANKは常時GNDに接続して使用可能です。オン・デューティは式(2)で求められます。

$$\text{On Duty}(\%) = \frac{\text{GSn}}{4096} \times 100 \quad (2)$$

ここでGSnは定電流出力(OUTn)に対してセットされた階調データ(0~4095)です。

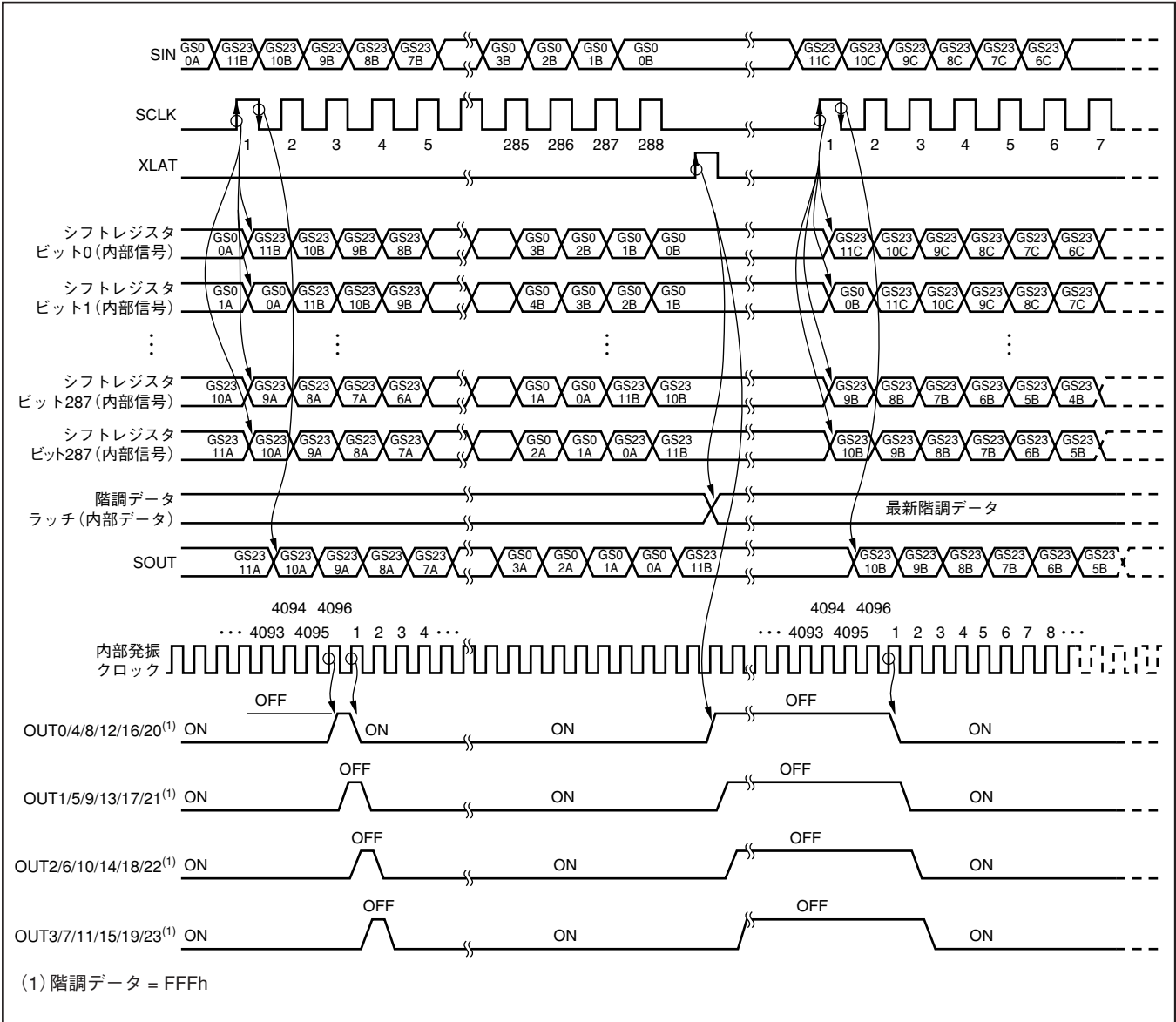


図20. 階調データ書き込み動作



## オートディスプレイ・リピート機能

この機能は、外部からのタイミング信号なしで4096発分を1表示期間とし、図21のように自動で定電流出力のオン・オフを繰り返します。

## サーマル・シャットダウン(TSD)

サーマル・シャットダウン機能は、ジャンクション温度が規定温度 ( $T_{TEF} = 162^{\circ}\text{C}$ 、標準値) 以上に上がった場合に、すぐに定電流出力をオフにします。ジャンクション温度が高い限りは

定電流出力はオフになったままです。内部発振器クロック4096発目で、まだジャンクション温度が高い場合は、階調データが“0”でなくても、次の1発目のクロックでもオンにはなりません。ICの温度が規定温度からヒステリシス温度分低い値 ( $T_{(TEF)} - T_{(HYS)}$ ) より低い温度になった場合、クロック1発目から定電流出力は通常のPWM動作を開始します。サーマル・シャットダウンの動作を図22に示します。

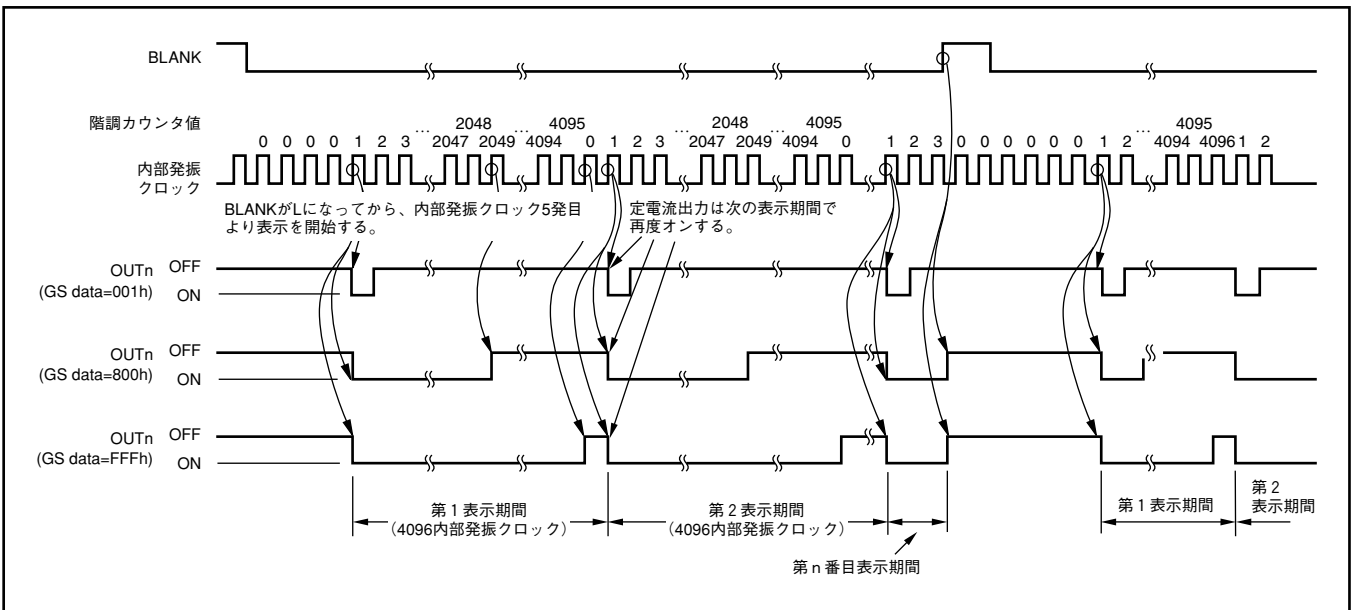


図21. オートディスプレイ・リピート動作

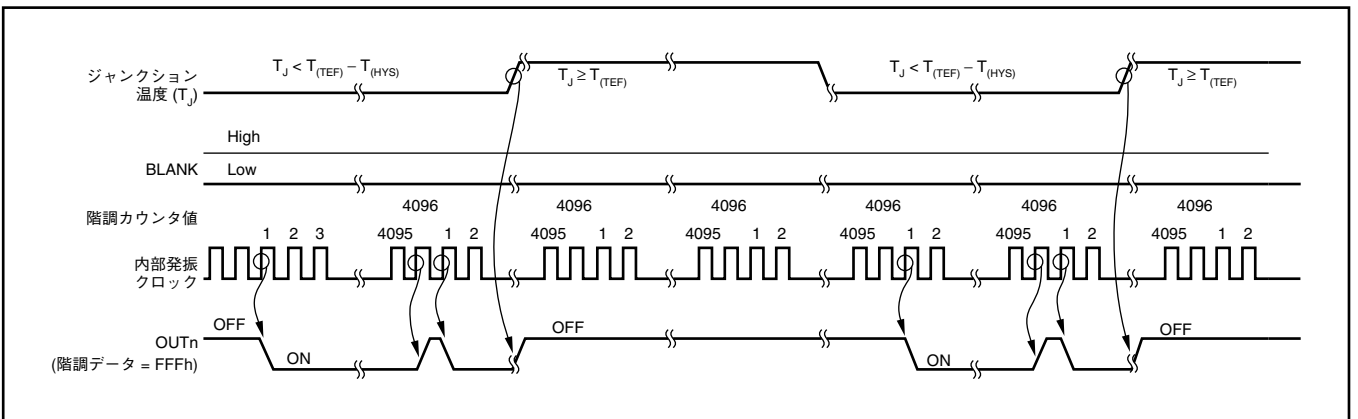


図22. サーマル・シャットダウン動作

## ノイズ軽減

表示期間の始まりで、24チャンネルの定電流出力が同時にオンになると、ボードやICに急激な電流変化が起こる場合があります。またこの急激な電流変化は有害なノイズや不要輻射を発生させることがあります。それらのノイズ発生を軽減するため、TLC5947は定電流出力オンオフに時間差を持たせています。定電流出力は6チャンネルを1つのグループとして、4つのグループ間で時間差を持ってオン・オフを行います。最初にオン・オフするグループはOUT0、4、8、12、16、20で、2番目のグループはOUT1、5、9、13、17、21で、3番目のグループはOUT2、6、10、14、18、22で、最後にオンするグループはOUT3、7、11、15、19、23となります。それらのタイミングは図9に示します。

## 電力損失計算

デバイスから発生する電力損失(PD)は、正しい動作を確保するため、パッケージの許容損失(図11)より小さくしなければなりません。デバイスの電力損失は式(3)で計算することができます。

$$P_D = (V_{CC} \times I_{CC}) + (V_{OUT} \times I_{OLC} \times N \times d_{PWM}) \quad (3)$$

ここで、

$P_D$  = デバイスの電力損失 (W)

$V_{CC}$  = デバイスに供給される電源電圧 (V)

$I_{CC}$  = デバイスの供給される電源電流 (A)

$V_{OUT}$  = LEDを駆動しているときの $V_{OUT}$ に印加されている電圧 (V)

$I_{OLC}$  = 外付け抵抗で設定された定電流値 (A)

$N$  = 同時に駆動している定電流出力数 (~24)

$d_{PWM}$  = GSデータで設定されるオン・デューティ比 (~0.9998)

## パッケージ情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
TLC5947DAP	ACTIVE	HTSSOP	DAP	32	46	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TLC5947DAPR	ACTIVE	HTSSOP	DAP	32	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

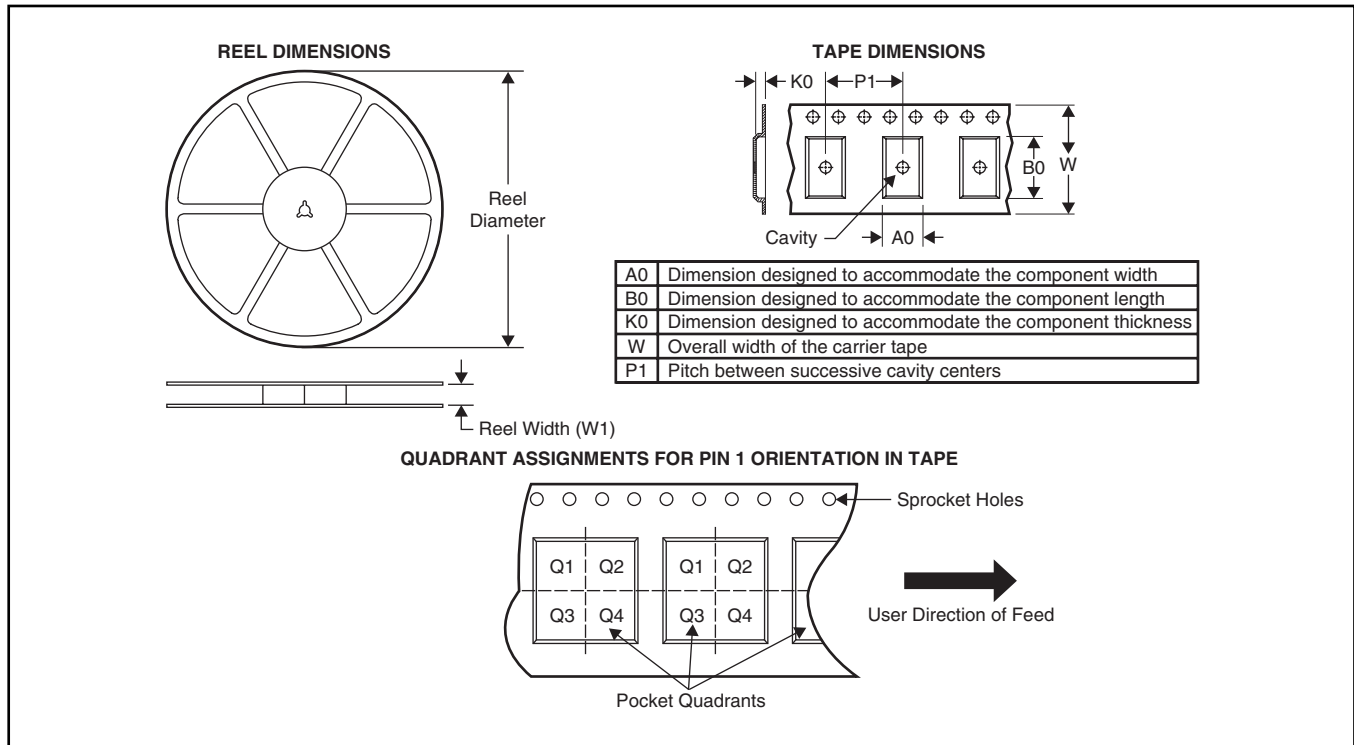
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

# パッケージ・マテリアル情報

## テープおよびリール・ボックス情報

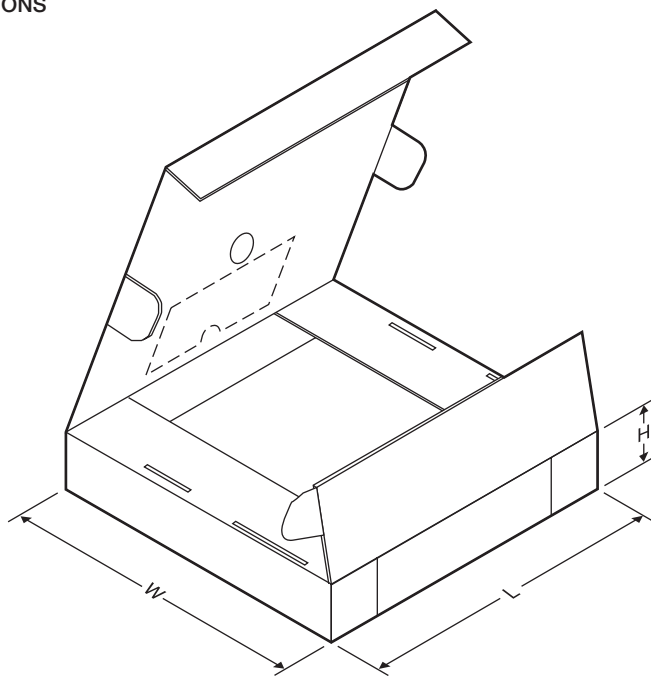


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC5947DAPR	HTSSOP	DAP	32	2000	330.0	24.4	8.6	11.5	1.6	12.0	24.0	Q1

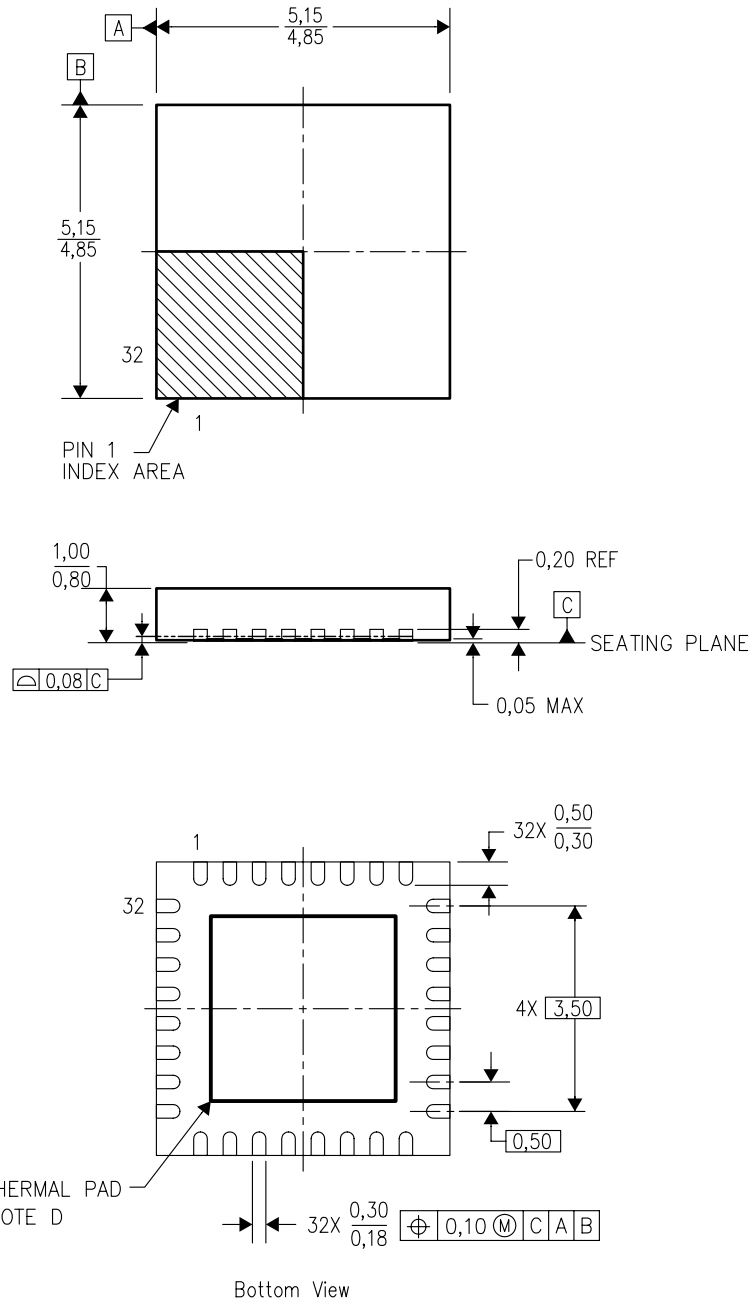
## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	PackageType	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC5947DAPR	HTSSOP	DAP	32	2000	346.0	346.0	41.0



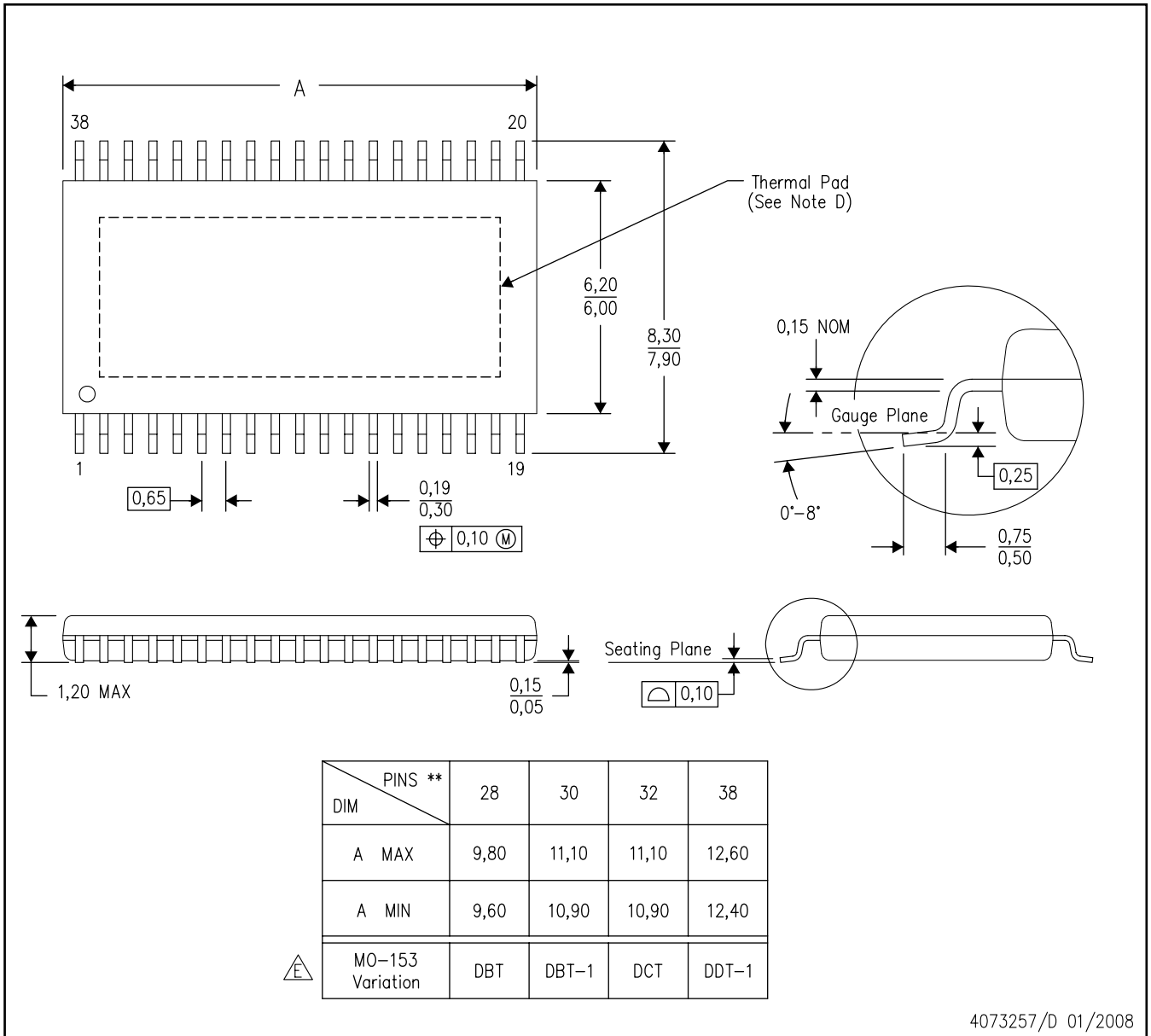
4204326/C xx/04

- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. QFN (Quad Flatpack No-Lead) Package configuration.
  - D. The Package thermal pad must be soldered to the board for thermal and mechanical performance. See product data sheet for details regarding the exposed thermal pad dimensions.
  - E. Falls within JEDEC MO-220.

# メカニカル・データ

DAP (P-PDSO-G\*\*)  
38 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



4073257/D 01/2008

- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
  - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
- △ Falls within JEDEC MO-153, except 30 pin body length.

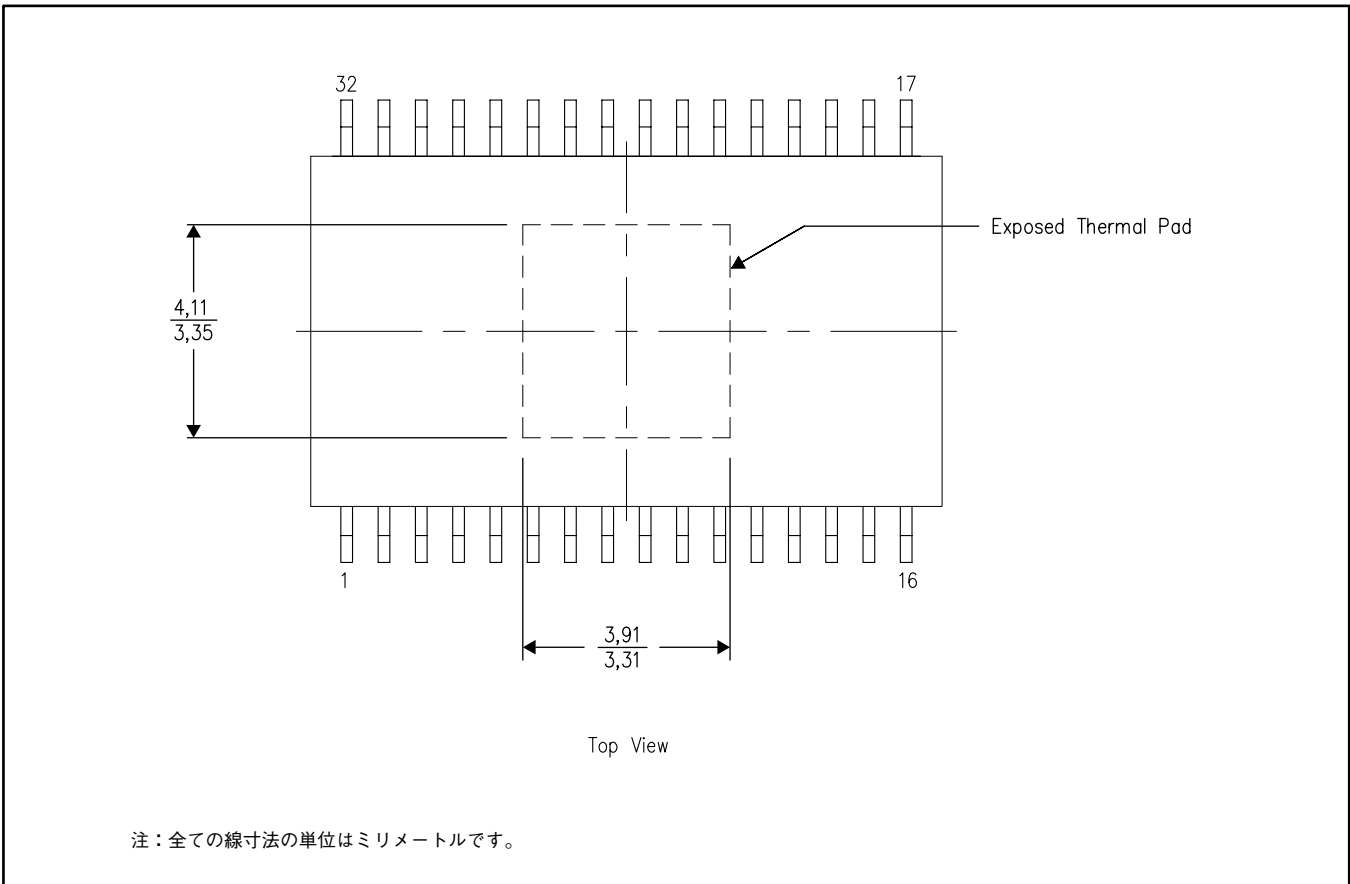
## サーマルパッド・メカニカル・データ

### 熱的特性の情報

本パッケージは、外付けヒートシンクに直接取り付けられるように設計した、露出サーマルパッドを組み込んでいます。サーマルパッドは必ずプリント基板 (PCB) に直接半田付けする必要があります。また、半田付けをした後は、PCBがヒートシンクとして使用できます。さらに、サーマルビアを使用すると、サーマルパッドはデバイスの電気的特性に示す適当な銅プレーン、またその代わりとしてPCBに設計された特殊なヒートシンク構造物に直接取り付けられます。この設計により、集積回路 (IC) からの熱伝導が最適化されます。

クォード・フラットパック・ノーリード (QFN) パッケージとその長所に関する資料は、アプリケーション・レポート「クォード・フラットパック・ノーリード・ロジック・パッケージ」テキサス・インスツルメンツ文献番号SCBA017を参照願います。この文献はwww.ti.comで入手できます。

このパッケージの露出サーマルパッドの寸法を下図に示します。



サーマル・パッド寸法図



# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIJのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIJの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIJの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2008, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上