



TMS320F2803x リアルタイム・マイコン

1 特長

- 高効率の 32 ビット CPU (TMS320C28x)
 - 60MHz (サイクル タイム 16.67ns)
 - 16 ビット × 16 ビットおよび 32 ビット × 32 ビットの MAC 演算
 - 16 ビット × 16 ビットのデュアル MAC
 - ハーバード バス アーキテクチャ
 - アトミック処理
 - 高速な割り込み応答とプロセッシング
 - 統合メモリ プログラミング モデル
 - 高いコード効率 (C/C++ およびアセンブリ)
- プログラム可能な制御補償器アクセラレータ (CLA)
 - 32 ビット浮動小数点演算アクセラレータ
 - メイン CPU と独立にコードを実行
- エンディアンネス: リトル エンディアン
- JTAG バウンダリ スキャンをサポート
 - IEEE 標準 1149.1-1990 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ
- 低コストのデバイスおよびシステム
 - 3.3 V シングル電源
 - 電源シーケンス不要
 - パワー オン リセットおよびブラウンアウトリセットを内蔵
 - 低消費電力
 - アナログ サポート ピンなし
- クロック:
 - 2 つの内部ゼロ ピン発振器
 - オンチップの水晶発振器と外部クロック入力
 - ウォッチドッグ タイマ モジュール
 - クロック消失検出回路
- 最大 45 の個別にプログラム可能な、多重化された、入力フィルタリング付き GPIO ピン
- すべてのペリフェラル割り込みをサポートするペリフェラル割り込み拡張 (PIE) ブロック
- 3 つの 32 ビット CPU タイマ
- それぞれの拡張パルス幅変調器 (ePWM) に独立の 16 ビット タイマ
 - オンチップ メモリ
 - フラッシュ、SARAM、OTP、ブート ROM を利用可能
 - コード セキュリティ モジュール
 - 128 ビットのセキュリティ キーおよびロック
 - セキュア メモリ ブロックを保護
 - ファームウェアのリバース エンジニアリングを防止
 - シリアル ポート ペリフェラル
 - 1 つのシリアル通信インターフェイス (SCI) UART (Universal Asynchronous Receiver/Transmitter) モジュール
 - 2 つの SPI (Serial Peripheral Interface) モジュール
 - 1 つの I2C (Inter-Integrated-Circuit) モジュール
 - 1 つの LIN (Local Interconnect Network) モジュール
 - 1 つの拡張コントローラ エリア ネットワーク (eCAN) モジュール
 - 拡張制御ペリフェラル
 - ePWM
 - 高分解能 PWM (HRPWM)
 - 拡張キャプチャ (eCAP) モジュール
 - 高分解能入力キャプチャ (HRCAP) モジュール
 - 拡張直交エンコーダ パルス (eQEP) モジュール
 - A/D コンバータ (ADC)
 - オンチップ温度センサ
 - コンパレータ
 - 高度なエミュレーション機能
 - 分析およびブレイクポイント機能
 - ハードウェアによるリアルタイム デバッグ
 - パッケージ オプション
 - 56 ピンの RSH 超薄型クワッド フラットパック (VQFN) (リードなし)
 - 64 ピンの PAG シン クワッド フラットパック (TQFP)
 - 80 ピンの PN 薄型クワッド フラットパック (LQFP)
 - 温度オプション
 - T: -40°C ~ 105°C
 - S: -40°C ~ 125°C
 - Q: -40°C ~ 125°C

(車載アプリケーション用の AEC Q100 認定)



2 アプリケーション

- エアコン室外機
- ドア開閉装置ドライブの制御
- DC/DC コンバータ
- インバータとモーター制御
- オンボード・チャージャ (OBC) / ワイヤレス・チャージャ
- 自動仕分け機器
- 繊維機械
- 溶接機
- AC 充電 (バッテリー) ステーション
- DC 充電 (バッテリー) ステーション
- EV 充電ステーション向け電源モジュール
- ワイヤレス車両充電モジュール
- エネルギー・ストレージ電力変換システム (PCS)
- マイクロ・インバータ
- ソーラー電力オプティマイザ
- スtring・インバータ
- AC ドライブ制御モジュール
- リニア・モーター・セグメント・コントローラ
- サーボ・ドライブの電力段モジュール
- AC 入力 BLDC モーター・ドライブ
- DC 入力 BLDC モーター・ドライブ
- 産業用 AC-DC
- 3 相 UPS
- 商用ネットワークとサーバーの PSU (電源)
- 商用テレコム整流器

3 概要

C2000™ 32 ビット マイクロコントローラは処理、センシング、アクチュエーションに最適化されており、リアルタイム制御アプリケーション、たとえば産業用モーター ドライブ、ソーラー インバータおよびデジタル電源、電気自動車および輸送機関、モーター制御、センシングおよび信号処理などにおける閉ループ性能が向上しています。C2000 ラインには最高性能の MCU とエン트리性能の MCU が含まれています。

F2803x ファミリのマイクロコントローラ (MCU) は、C28x コアと制御補償器アクセラレータ (CLA) の能力を、高度に統合された制御ペリフェラルとともに、ピン数の少ないデバイスに組み入れた製品です。このファミリーは従来の C28x ベースのコードと互換性があり、アナログも高レベルで統合されています。

内蔵の電圧レギュレータにより、シングル レールでの動作が可能です。HRPWM に拡張が加えられ、デュアル エッジ制御(周波数変調)が可能になっています。内部の 10 ビット基準を持つアナログ コンパレータが追加されており、直接配線により PWM 出力を制御できます。この ADC は 0~3.3V の固定フルスケール範囲を変換し、レシオメトリックな V_{REFHI} / V_{REFLO} 基準電圧をサポートします。ADC インターフェイスは、オーバーヘッドが小さく、レイテンシが短くなるよう最適化されています。

C2000 MCU の詳細については、C2000™ リアルタイム制御マイコン (MCU) のページをご覧ください。

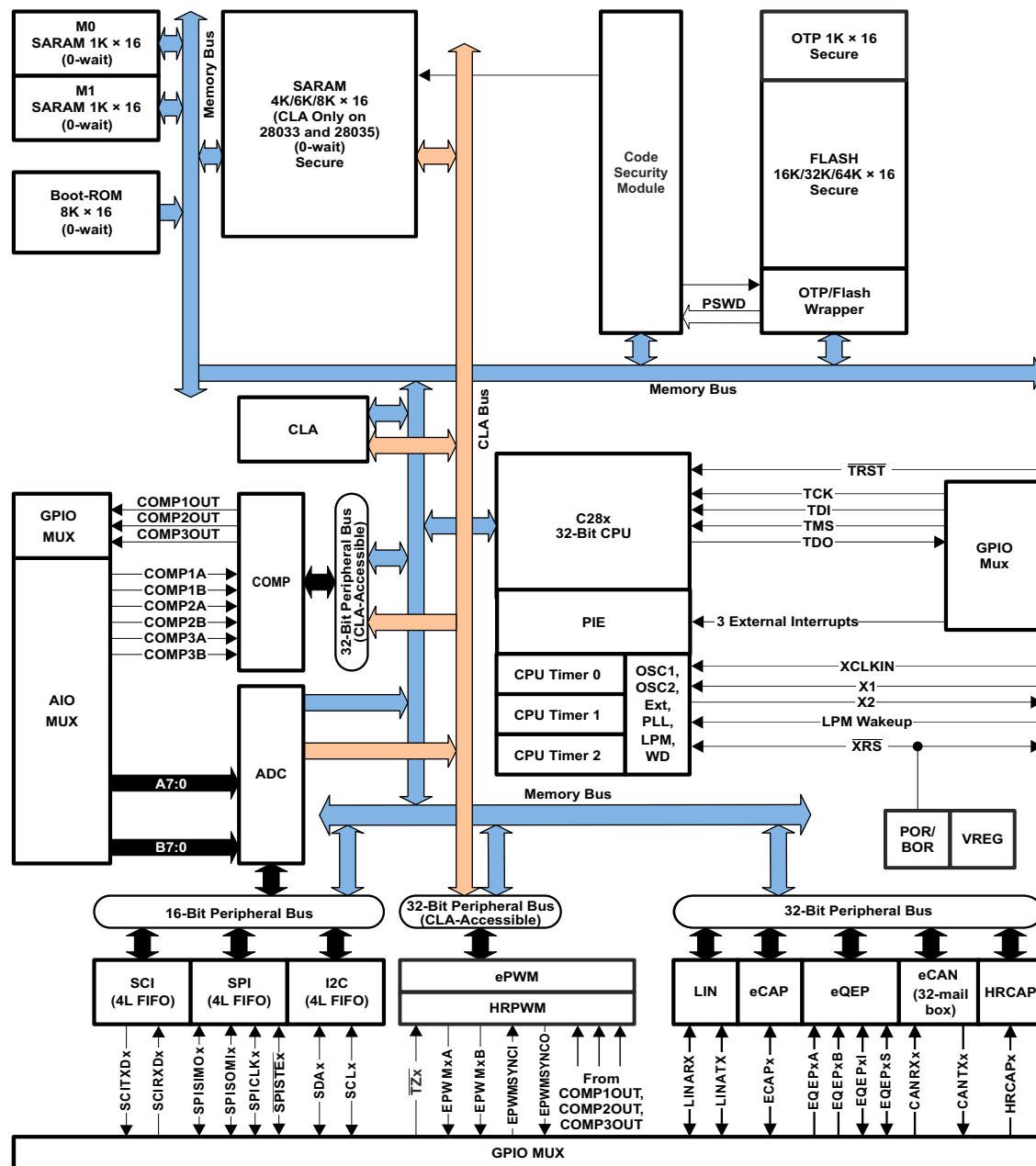
製品情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ
TMS320F28035PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28034PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28033PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28032PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28031PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28030PN	LQFP (80)	12.0mm × 12.0mm
TMS320F28035PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28034PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28033PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28032PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28031PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28030PAG	TQFP (64)	10.0mm × 10.0mm
TMS320F28035RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28034RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28033RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28032RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28031RSH	VQFN (56)	7.0mm × 7.0mm
TMS320F28030RSH	VQFN (56)	7.0mm × 7.0mm

(1) これらのデバイスの詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。

3.1 機能ブロック図

「機能ブロック図」に、デバイスの機能ブロック図を示します。



A. 多重化の関係で、同時にすべてのペリフェラル・ピンが利用可能なわけではありません。

図 3-1. 機能ブロック図

目次

1 特長	1	6.14 フラッシュのタイミング.....	39
2 アプリケーション	2	7 詳細説明	41
3 概要	2	7.1 概要.....	41
3.1 機能ブロック図.....	4	7.2 メモリ マップ.....	52
4 デバイスの比較	6	7.3 レジスタ マップ.....	60
4.1 関連製品.....	8	7.4 デバイス エミュレーション レジスタ.....	62
5 ピン構成と機能	9	7.5 VREG/BOR/POR.....	63
5.1 ピン構成図.....	9	7.6 システム コントロール.....	65
5.2 信号概要.....	12	7.7 低消費電力モード ブロック.....	73
6 仕様	21	7.8 割り込み.....	74
6.1 絶対最大定格.....	21	7.9 ペリフェラル.....	79
6.2 ESD 定格 – 車載用.....	21	8 アプリケーション、実装、およびレイアウト	148
6.3 ESD 定格 – 民生用.....	22	8.1 テキサス・インスツルメンツのリファレンス・デザイン.....	148
6.4 推奨動作条件.....	22	9 デバイスおよびドキュメントのサポート	149
6.5 消費電力の概略.....	23	9.1 デバイスと開発ツールの命名法.....	149
6.6 電気的特性.....	27	9.2 ツールとソフトウェア.....	150
6.7 熱抵抗特性.....	28	9.3 ドキュメントのサポート.....	152
6.8 熱設計の検討事項.....	30	9.4 サポート・リソース.....	153
6.9 MCU との JTAG デバッグ プローブ接続 (信号パッ ファリングなし).....	31	9.5 商標.....	153
6.10 パラメータ情報.....	32	9.6 静電気放電に関する注意事項.....	153
6.11 テスト負荷回路.....	32	9.7 用語集.....	153
6.12 電源シーケンス.....	33	10 改訂履歴	153
6.13 クロック仕様.....	36	11 メカニカル、パッケージ、および注文情報	155
		11.1 パッケージ情報.....	155

4 デバイスの比較

表 4-1 に、TMS320F2803x デバイスの機能を示します。

表 4-1. デバイスの比較

機能		タイプ (1)	28030 28030-Q1 (60MHz)			28031 28031-Q1 (60MHz)			28032 28032-Q1 (60MHz)			28033 28033-Q1 (60MHz)			28034 28034-Q1 (60MHz)			28035 28035-Q1 (60MHz)		
パッケージの種類			80 ピン PN LQFP	64 ビン PAG TQFP	56 ビン RSH VQFN	80 ピン PN LQFP	64 ビン PAG TQFP	56 ビン RSH VQFN	80 ピン PN LQFP	64 ビン PAG TQFP	56 ビン RSH VQFN	80 ピン PN LQFP	64 ビン PAG TQFP	56 ビン RSH VQFN	80 ピン PN LQFP	64 ビン PAG TQFP	56 ビン RSH VQFN	80 ピン PN LQFP	64 ビン PAG TQFP	56 ビン RSH VQFN
命令サイクル		－	16.67ns			16.67ns			16.67ns			16.67ns			16.67ns			16.67ns		
制御補償器アクセラレータ (CLA)		0	なし			なし			なし			あり			なし			あり		
オンチップ フラッシュ (16 ビットワード)		－	16K			32K			32K			32K			64K			64K		
オンチップ SARAM (16 ビットワード)		－	6K			8K			10K			10K			10K			10K		
オンチップ フラッシュ / SARAM / OTP ブロックのコード セキュリティ		－	あり			あり			あり			あり			あり			あり		
ブート ROM (8K x 16)		－	あり			あり			あり			あり			あり			あり		
ワンタイム プログラマブル (OTP) ROM (16 ビットワード)		－	1K			1K			1K			1K			1K			1K		
ePWM チャネル		1	14	12	8	14	12	8	14	12	8	14	12	8	14	12	8	14	12	8
eCAP 入力		0	1			1			1			1			1			1		
eQEP モジュール		0	1			1			1			1			1			1		
ウォッチドッグ タイマ		－	あり			あり			あり			あり			あり			あり		
12 ビット ADC	MSPS	3	2.0			2.0			4.6			4.6			4.6			4.6		
	変換時間		500.00ns			500.00ns			216.67ns			216.67ns			216.67ns			216.67ns		
	チャンネル数		16	14	13	16	14	13	16	14	13	16	14	13	16	14	13	16	14	13
	温度センサ		あり			あり			あり			あり			あり			あり		
	デュアル サンプル アンド ホールド		あり			あり			あり			あり			あり			あり		
32 ビット CPU タイマ		－	3			3			3			3			3			3		
高分解能 ePWM チャネル		1	－			－			7	6	4	7	6	4	7	6	4	7	6	4
高分解能キャプチャ (HRCAP) モジュール		0	－			－			2	2	－	2	2	－	2	2	－	2	2	－
DAC 内蔵コンパレータ		0	3			3			3			3			3			3		
I2C (Inter-Integrated Circuit)		0	1			1			1			1			1			1		
拡張コントローラ エリア ネットワーク (eCAN)		0	1			1			1			1			1			1		
LIN (Local Interconnect Network)		0	1			1			1			1			1			1		
シリアル ペリフェラル インターフェイス (SPI)		1	2	1	1	2	1	1	2	1	1	2	1	1	2	1	1	2	1	1
シリアル通信インターフェイス (SCI) (UART 互換)		0	1			1			1			1			1			1		
I/O ピン数 (共有)	GPIO	－	45	33	26	45	33	26	45	33	26	45	33	26	45	33	26	45	33	26
	AIO	－	6			6			6			6			6			6		
外部割り込み		－	3			3			3			3			3			3		
電源電圧 (公称値)		－	3.3V			3.3V			3.3V			3.3V			3.3V			3.3V		

表 4-1. デバイスの比較 (続き)

機能		タイプ (1)	28030 28030-Q1 (60MHz)			28031 28031-Q1 (60MHz)			28032 28032-Q1 (60MHz)			28033 28033-Q1 (60MHz)			28034 28034-Q1 (60MHz)			28035 28035-Q1 (60MHz)		
パッケージの種類			80 ピ ン PN LQFP	64 ピ ン PAG TQFP	56 ピ ン RSH VQFN	80 ピ ン PN LQFP	64 ピ ン PAG TQFP	56 ピ ン RSH VQFN	80 ピ ン PN LQFP	64 ピ ン PAG TQFP	56 ピ ン RSH VQFN	80 ピ ン PN LQFP	64 ピ ン PAG TQFP	56 ピ ン RSH VQFN	80 ピ ン PN LQFP	64 ピ ン PAG TQFP	56 ピ ン RSH VQFN	80 ピ ン PN LQFP	64 ピ ン PAG TQFP	56 ピ ン RSH VQFN
温度オプ ション	T: -40°C ~ 105°C	–	28030			28031			28032			28033			28034			28035		
	S: -40°C ~ 125°C	–	28030			28031			28032			28033			28034			28035		
	Q: -40°C ~ 125°C (2)	–	28030-Q1			28031-Q1			28032-Q1			28033-Q1			28034-Q1			28035-Q1		

- (1) タイプの違いは、ペリフェラル モジュールの機能上の主要な相違を表します。同じペリフェラル タイプのデバイス間でも、モジュールの基本的な機能には影響しないわずかな違いがあることがあります。これらのデバイス固有の相違点を、『C2000 リアルタイム制御ペリフェラル リファレンス ガイド』と『TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』に示します。
- (2) Q の文字は、車載アプリケーション向け AEC Q100 認定を表します。

4.1 関連製品

類似製品の詳細については、以下のリンクを参照してください。

[TMS320F2802x リアルタイム・マイクロコントローラ](#)

F2802x シリーズは、最小のピン数とフラッシュ・メモリ・サイズの実装を提供します。InstaSPIN-FOC™ バージョンが利用可能です。

[TMS320F2803x リアルタイム・マイクロコントローラ](#)

F2803x シリーズは、ピン数とメモリ・サイズの実装を増やします。F2803x シリーズはパラレル制御補償器アクセラレータ (CLA) オプションも採り入れています。

[TMS320F2805x リアルタイム・マイクロコントローラ](#)

F2805x シリーズは F2803x シリーズと類似していますが、オンチップのプログラマブル・ゲイン・アンプ (PGA) を追加しています。InstaSPIN-FOC および InstaSPIN-MOTION™ バージョンが利用可能です。

[TMS320F2806x リアルタイム・マイクロコントローラ](#)

F2806x シリーズは、浮動小数点ユニット (FPU) を内蔵した初の製品です。F2806x シリーズも、ピン数、メモリ・サイズの実装、ペリフェラルの数を増やします。InstaSPIN-FOC™ および InstaSPIN-MOTION™ バージョンが利用可能です。

[TMS320F2807x リアルタイム・マイクロコントローラ](#)

F2807x シリーズは最高の性能、最大のピン数、フラッシュ・メモリ・サイズ、ペリフェラルの実装を提供します。F2807x シリーズは、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ技術を内蔵しています。

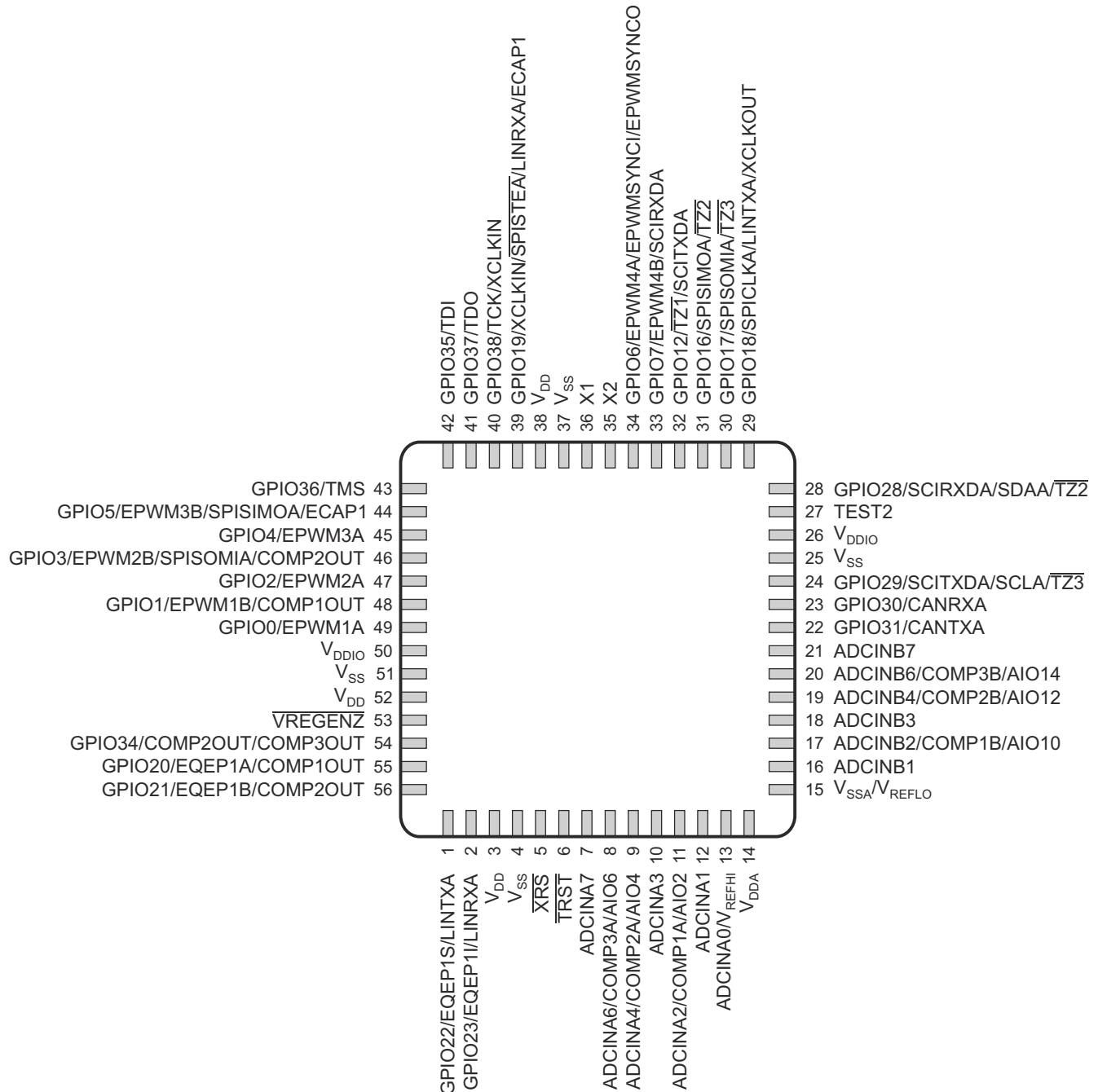
[TMS320F28004x リアルタイム・マイクロコントローラ](#)

F28004x シリーズは、最新世代の拡張機能を備えた F2807x シリーズの縮小版です。F28004x シリーズは、F2806x シリーズを使っているお客様に最適なロードマップの実装です。InstaSPIN-FOC およびコンフィギュラブル・ロジック・ブロック (CLB) バージョンが利用可能です。

5 ピン構成と機能

5.1 ピン構成図

図 5-1 に、56 ピン RSH VQFN (Very Thin Quad Flat Non-leaded package) のピン配置を示します。図 5-2 に、64 ピン PAG TQFP (Thin Quad Flat Package) のピン配置を示します。図 5-3 に、80 ピン PN LQFP (Low-Profile Quad Flat Package) のピン配置を示します。



- A. この図は、56 ピン RSH パッケージの上面図を示しています。網掛けは、端子が実際にはパッケージの底面にあることを示しています。56 ピン RSH の機械的構造図については、[セクション 11](#) を参照してください。
- B. ピン 13:56 ピン RSH デバイスでは、 V_{REFHI} と ADCINA0 は同じピンを共有しており、両方を同時に使うことはできません。

- 図 5-2. 2803x 64 ピン PAG TQFP (上面図)

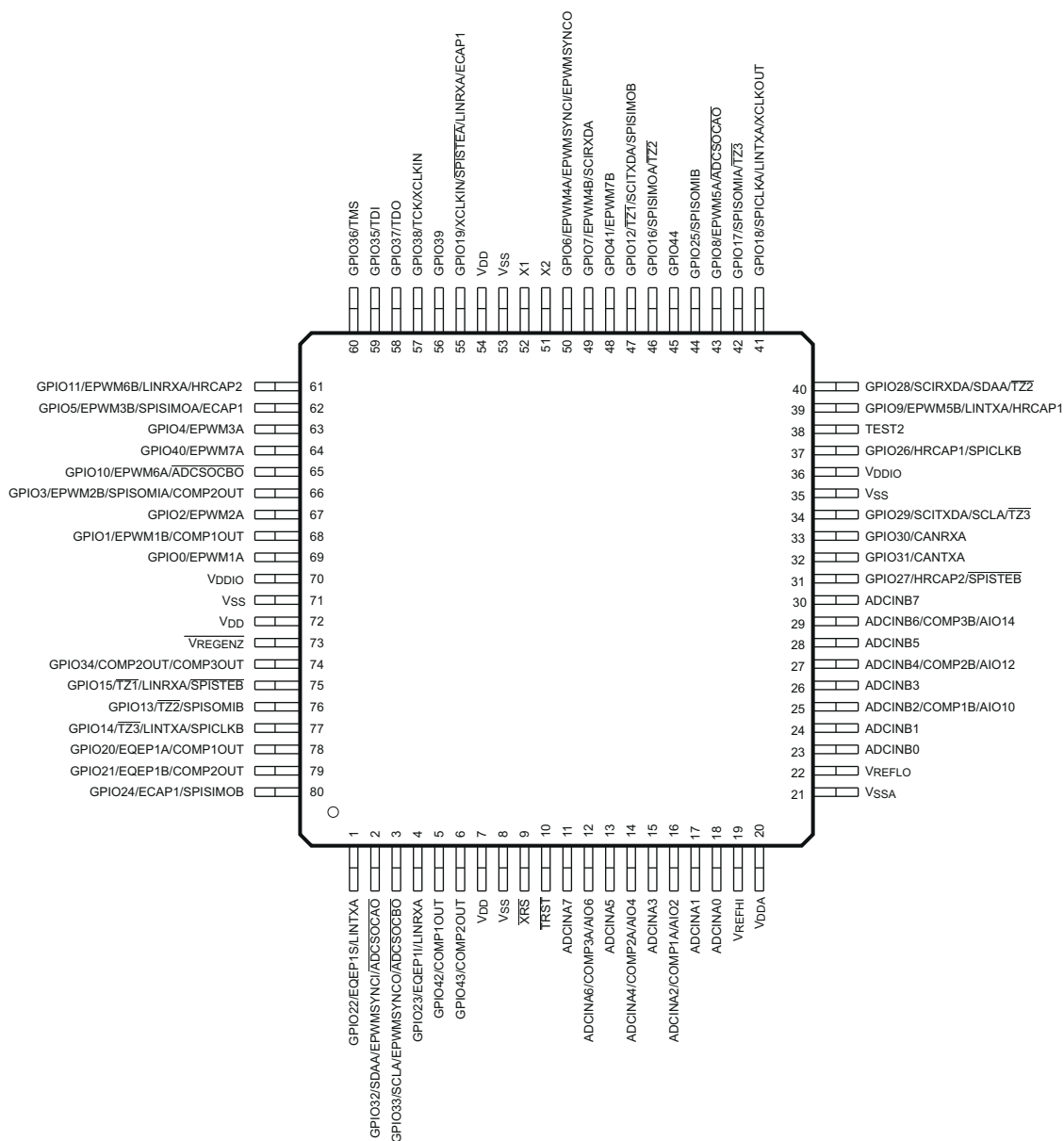


図 5-3. 2803x 80 ピン PN LQFP (上面図)

5.2 信号概要

表 5-1 では、信号について説明します。JTAG ピンを除き、特に記述のない限り、GPIO 機能はリセット時のデフォルトです。その下に記載されているペリフェラル信号は代替機能です。一部のペリフェラル機能は、すべてのデバイスで利用できるわけではありません。詳細については、表 4-1 を参照してください。入力は 5V 許容ではありません。すべての GPIO ピンは I/O/Z であり、内部プルアップを備えています。この内部プルアップは、ピンごとに選択的に有効化 / 無効化できます。この機能は GPIO ピンにのみ適用されます。PWM ピンのプルアップはリセットしても有効化されません。その他の GPIO ピンのプルアップはリセットと同時に有効化されます。AIO ピンは内部プルアップを持っていません。

注

オンチップ VREG を使用する場合、GPIO19、GPIO34、GPIO35、GPIO36、GPIO37、GPIO38 ピンには、電源投入時にグリッチが発生する可能性があります。この潜在的なグリッチは、ブート モード ピンが読み出される前に終了し、ブート動作には影響しません。アプリケーションでグリッチが許容されない場合、1.8V を外部から供給できます。または、ピンと外部回路の劣化の可能性を抑えるために、これらのピンとすべての外部ドライバに直列に電流制限抵抗 (470Ω など) を追加することもできます。外部 1.8V 電源を使用する場合、電源シーケンス要件はありません。ただし、I/O ピンのレベル シフト出力バッファ内の 3.3V トランジスタに、1.8V トランジスタよりも前に電力が供給される場合、出力バッファがオンすることで、電源投入時にピンにグリッチが発生する可能性があります。この挙動を回避するため、V_{DDIO} ピンより前に V_{DD} ピンに電力を供給し、V_{DDIO} ピンが 0.7V に達する前に V_{DD} ピンが確実に 0.7V に達するようにします。

表 5-1. 信号の説明

端子				I/O/Z (1)	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
JTAG					
TRST	10	8	6	I	内部プルダウン付き JTAG テストリセット。TRST を High に駆動すると、本デバイスの動作の制御がスキャン システムに渡されます。この信号が接続されていない場合、または Low に駆動されている場合、本デバイスは機能モードで動作し、テストリセット信号は無視されます。注: TRST はアクティブ High のテストピンであり、通常デバイス動作中は常に Low に維持する必要があります。このピンには外付けプルダウン抵抗が必要です。この抵抗の値は、設計に適用可能なデバッグ ボードの駆動強度に基づいています。必要があります。一般的には、2.2kΩ の抵抗を使用すれば、適切な保護が得られます。これはアプリケーション固有であるため、デバッグとアプリケーションが適切に動作するように各ターゲット ボードを検証することを推奨します。(↓)
TCK	GPIO38 を参照			I	GPIO38 を参照。内部プルアップ付き JTAG テスト クロック。(↑)
TMS	GPIO36 を参照			I	GPIO36 を参照。内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジに同期して TAP コントローラに入力されます。(↑)
TDI	GPIO35 を参照			I	GPIO35 を参照。内部プルアップ付き JTAG テスト データ入力 (TDI)。TDI は、TCK の立ち上がりエッジに同期して、選択されたレジスタ (命令またはデータ) に入力されます。(↑)
TDO	GPIO37 を参照			O/Z	GPIO37 を参照。JTAG スキャン アウト、テスト データ出力 (TDO)。選択されたレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジに同期して TDO から出力されます。(8mA 駆動)
フラッシュ					
TEST2	38	30	27	I/O	テスト ピン。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。

表 5-1. 信号の説明 (続き)

端子				I/O/Z ⁽¹⁾	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
クロック					
XCLKOUT	GPIO18 を参照		—	O/Z	GPIO18 を参照。SYSCLKOUT を基準にして生成された出力クロック。XCLKOUT は、SYSCLKOUT と同じ周波数、半分の周波数、1/4 の周波数のいずれかです。これは、XCLK レジスタのビット 1:0 (XCLKOUTDIV) で制御されます。リセット時、XCLKOUT = SYSCLKOUT/4 です。XCLKOUT 信号は、XCLKOUTDIV を 3 に設定することでオフにできます。この信号をピンに伝搬させるには、GPIO18 の MUX 制御も XCLKOUT に設定する必要があります。
XCLKIN	GPIO19 と GPIO38 を参照			I	GPIO19 と GPIO38 を参照。外部発振器入力。クロックソースのピンは、XCLK レジスタの XCLKINSEL ビットで制御されます。デフォルトでは GPIO38 が選択されます。このピンには、外部 3.3V 発振器からクロックを入力します。この場合、X1 ピン (利用可能な場合) を GND に接続し、CLKCTL レジスタのビット 14 を使ってオンチップ水晶発振器を無効化する必要があります。水晶振動子 / 共振器を使用する場合、CLKCTL レジスタのビット 13 を使って XCLKIN の経路を無効化する必要があります。 注: 通常デバイス動作用の外部クロックを供給するために GPIO38/TCK/XCLKIN ピンを使う設計では、JTAG コネクタを使ったデバッグ中にこの経路を無効化するための何らかの仕組みを組み込む必要があります。これは、JTAG デバッグ セッション中に作動する TCK 信号との競合を防止するためです。この間、本デバイスにクロックを供給するためにゼロピン内部発振器を使用できます。
X1	52	41	36	I	オンチップ 1.8V 水晶発振器入力。この発振器を使用するには、X1 と X2 の間に水晶振動子またはセラミック共振器を接続する必要があります。この場合、CLKCTL レジスタのビット 13 を使って XCLKIN の経路を無効化する必要があります。このピンを使用しない場合、GND に接続する必要があります。(I)
X2	51	40	35	O	オンチップの水晶発振器出力。X1 と X2 の間に水晶振動子またはセラミック共振器を接続する必要があります。X2 を使用しない場合、未接続のままにする必要があります。(O)
RESET					
XRS	9	7	5	I/O	デバイスリセット (入力) およびウォッチドッグリセット (出力)。これらのデバイスはパワーオンリセット (POR) およびブラウンアウトリセット (BOR) 回路を内蔵しています。電源オンまたはブラウンアウト状態の間、このピンを本デバイスは Low に駆動します。外部回路も、デバイスリセットをアサートするためにこのピンを駆動できます。ウォッチドッグリセットが発生した場合、MCU もこのピンを Low に駆動します。ウォッチドッグリセット中、XRS ピンは 512 OSCCLK サイクルのウォッチドッグリセット期間にわたって Low に駆動されます。XRS と V _{DDIO} の間に 2.2kΩ~10kΩ の抵抗を配置する必要があります。ノイズフィルタリングのため、XRS と V _{SS} の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値を使うことで、ウォッチドッグリセットがアサートされた際、ウォッチドッグは 512 OSCCLK サイクル以内に XRS ピンを V _{OL} に適切に駆動できます。その原因に関係なく、デバイスリセットによって本デバイスは実行を終了します。プログラムカウンタは、位置 0x3F FFC0 に格納されたアドレスを指します。リセットが解除されると、プログラムカウンタで指定された場所から実行が開始されます。このピンの出力バッファは、内部プルアップ付きのオープンドレイン素子です。 (↑) このピンを外部デバイスによって駆動する場合、オープンドレイン素子を使って駆動する必要があります。
ADC、コンパレータ、アナログ I/O					
ADCINA7	11	9	7	I	ADC グループ A、チャンネル 7 入力
ADCINA6				I	ADC グループ A、チャンネル 6 入力
COMP3A	12	10	8	I	コンパレータ入力 3A
AIO6				I/O	デジタル AIO 6
ADCINA5	13	—	—	I	ADC グループ A、チャンネル 5 入力
ADCINA4				I	ADC グループ A、チャンネル 4 入力
COMP2A	14	11	9	I	コンパレータ入力 2A
AIO4				I/O	デジタル AIO 4

表 5-1. 信号の説明 (続き)

端子				I/O/Z ⁽¹⁾	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
ADCINA3	15	12	10	I	ADC グループ A、チャンネル 3 入力
ADCINA2	16	13	11	I	ADC グループ A、チャンネル 2 入力
COMP1A				I	コンパレータ入力 1A
AIO2				I/O	デジタル AIO 2

表 5-1. 信号の説明 (続き)

端子				I/O/Z ⁽¹⁾	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
ADCINA1	17	14	12	I	ADC グループ A、チャンネル 1 入力
ADCINA0	18	15	13	I	ADC グループ A、チャンネル 0 入力。 注:64 ピン PAG デバイスでは、V _{REFHI} と ADCINA0 は同じピンを共有しており、両方を同時に使うことはできません。 注:56 ピン RSH デバイスでは、V _{REFHI} と ADCINA0 は同じピンを共有しており、両方を同時に使うことはできません。
V _{REFHI}	19	15	13	I	ADC 外部基準電圧 High – ADC 外部基準電圧モードでのみ使用されます。セクション 7.9.2.1「ADC」を参照してください。 注:64 ピン PAG デバイスでは、V _{REFHI} と ADCINA0 は同じピンを共有しており、両方を同時に使うことはできません。 注:56 ピン RSH デバイスでは、V _{REFHI} と ADCINA0 は同じピンを共有しており、両方を同時に使うことはできません。
ADCINB7	30	24	21	I	ADC グループ B、チャンネル 7 入力
ADCINB6				I	ADC グループ B、チャンネル 6 入力
COMP3B	29	23	20	I	コンパレータ 入力 3B
AIO14				I/O	デジタル AIO 14
ADCINB5	28	–	–	I	ADC グループ B、チャンネル 5 入力
ADCINB4				I	ADC グループ B、チャンネル 4 入力
COMP2B	27	22	19	I	コンパレータ 入力 2B
AIO12				I/O	デジタル AIO12
ADCINB3	26	21	18	I	ADC グループ B、チャンネル 3 入力
ADCINB2				I	ADC グループ B、チャンネル 2 入力
COMP1B	25	20	17	I	コンパレータ 入力 1B
AIO10				I/O	デジタル AIO 10
ADCINB1	24	19	16	I	ADC グループ B、チャンネル 1 入力
ADCINB0	23	18	–	I	ADC グループ B、チャンネル 0 入力
V _{REFLO}	22	17	15	I	ADC 外部基準電圧 Low。 注:64 ピン PAG デバイスと 56 ピン RSH デバイスでは、V _{REFLO} は常に V _{SSA} に接続されています。
CPU と I/O の電源					
V _{DDA}	20	16	14		アナログ電源ピン。2.2μF (標準値) のコンデンサをピンの近くに接続します。
V _{SSA}	21	17	15		アナログ グランド ピン。 注:64 ピン PAG デバイスと 56 ピン RSH デバイスでは、V _{REFLO} は常に V _{SSA} に接続されています。
V _{DD}	7	5	3		CPU とロジックのデジタル電源ピン。内部 VREG を使用する場合、各 V _{DD} ピンとグラウンドとの間に 1 つの 1.2μF のコンデンサを接続します。より大きい値のコンデンサを使用することもできます。
	54	43	38		
	72	59	52		
V _{DDIO}	36	29	26		デジタル I/O バッファとフラッシュ メモリの電源ピン。VREG が有効化されている場合の単一電源です。各ピンに のデカップリング コンデンサを接続します。実際の値は、システムの電圧レギュレーション方法によって決める必要があります。
	70	57	50		
V _{SS}	8	6	4		デジタル グランド ピン
	35	28	25		
	53	42	37		
	71	58	51		

表 5-1. 信号の説明 (続き)

端子				I/O/Z ⁽¹⁾	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
電圧レギュレータ制御信号					
VREGENZ	73	60	53	I	内部プルダウン付きの内部電圧レギュレータ (VREG) イネーブル。内部 1.8V VREG を有効化するには、VSS (Low) に直接接続します。VREG を無効化し、外部 1.8V 電源を使うには、VDDIO (High) に直接接続します。
GPIO およびペリフェラル信号 ⁽²⁾					
GPIO0 EPWM1A — —	69	56	49	I/O/Z O — —	汎用入出力 0 拡張 PWM1 出力 A および HRPWM チャネル — —
GPIO1 EPWM1B — COMP1OUT	68	55	48	I/O/Z O O	汎用入出力 1 拡張 PWM1 出力 B — コンパレータ 1 の直接出力
GPIO2 EPWM2A — —	67	54	47	I/O/Z O —	汎用入出力 2 拡張 PWM2 出力 A および HRPWM チャネル — —
GPIO3 EPWM2B SPISOMIA COMP2OUT	66	53	46	I/O/Z O I/O O	汎用入出力 3 拡張 PWM2 出力 B SPI-A スレーブ出力、マスタ入力 コンパレータ 2 の直接出力
GPIO4 EPWM3A — —	63	51	45	I/O/Z O —	汎用入出力 4 拡張 PWM3 出力 A および HRPWM チャネル — —
GPIO5 EPWM3B SPISIMOA ECAP1	62	50	44	I/O/Z O I/O I/O	汎用入出力 5 拡張 PWM3 出力 B SPI-A スレーブ入力、マスタ出力 拡張キャプチャ入出力 1
GPIO6 EPWM4A EPWMSYNCI EPWMSYNCO	50	39	34	I/O/Z O I O	汎用入出力 6 拡張 PWM4 出力 A および HRPWM チャネル 外部 ePWM 同期パルス入力 外部 ePWM 同期パルス出力
GPIO7 EPWM4B SCIRXDA —	49	38	33	I/O/Z O I —	汎用入出力 7 拡張 PWM4 出力 B SCI-A 受信データ —
GPIO8 EPWM5A — ADCSOAO	43	35	—	I/O/Z O O	汎用入出力 8 拡張 PWM5 出力 A および HRPWM チャネル — ADC 変換開始 A

表 5-1. 信号の説明 (続き)

端子				I/O/Z ⁽¹⁾	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
GPI09 EPWM5B LINTXA HRCAP1	39	31	–	I/O/Z O O I	汎用入出力 9 拡張 PWM5 出力 B LIN 送信 A 高分解能入力キャプチャ 1
GPI010 EPWM6A – ADCSOCBO	65	52	–	I/O/Z O O	汎用入出力 10 拡張 PWM6 出力 A および HRPWM チャネル – ADC 変換開始 B
GPI011 EPWM6B LINRXA HRCAP2	61	49	–	I/O/Z O I I	汎用入出力 11 拡張 PWM6 出力 B LIN 受信 A 高分解能入力キャプチャ 2
GPI012 TZ1 SCITXDA SPISIMOB	47	37	32	I/O/Z I O I/O	汎用入出力 12 トリップゾーン入力 1 SCI-A 送信データ SPI-B スレーブ入力、マスタ出力。 注: SPI-B は PN パッケージでのみ利用できます。
GPI013 TZ2 – SPISOMIB	76	–	–	I/O/Z I I/O	汎用入出力 13 トリップゾーン入力 2 – SPI-B スレーブ出力、マスタ入力
GPI014 TZ3 LINTXA SPICLKB	77	–	–	I/O/Z I O I/O	汎用入出力 14 トリップゾーン入力 3 LIN 送信 SPI-B クロック入出力
GPI015 TZ1 LINRXA SPISTEB	75	–	–	I/O/Z I I I/O	汎用入出力 15 トリップゾーン入力 1 LIN 受信 SPI-B スレーブ送信イネーブル入出力
GPI016 SPISIMOA – TZ2	46	36	31	I/O/Z I/O I	汎用入出力 16 SPI-A スレーブ入力、マスタ出力 – トリップゾーン入力 2
GPI017 SPISOMIA – TZ3	42	34	30	I/O/Z I/O I	汎用入出力 17 SPI-A スレーブ出力、マスタ入力 – トリップゾーン入力 3

表 5-1. 信号の説明 (続き)

端子				I/O/Z ⁽¹⁾	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
GPIO18 SPICLK_A LINTXA XCLKOUT	41	33	29	I/O/Z I/O O O/Z	汎用入出力 18 SPI-A クロック入出力 LIN 送信 SYSCLKOUT を基準にして生成された出力クロック。XCLKOUT は、SYSCLKOUT と同じ周波数、半分の周波数、1/4 の周波数のいずれかです。これは、XCLK レジスタのビット 1:0 (XCLKOUTDIV) で制御されます。リセット時、XCLKOUT = SYSCLKOUT/4 です。XCLKOUT 信号は、XCLKOUTDIV を 3 に設定することでオフにできます。この信号をピンに伝搬させるには、GPIO18 の MUX 制御も XCLKOUT に設定する必要があります。
GPIO19 XCLKIN SPISTEA LINRXA ECAP1	55	44	39	I/O/Z I/O I I/O	汎用入出力 19 外部発振器入力。このピンの MUX 機能は、このピンからクロック ブロックへの経路をゲート制御しません。クロック ブロックがその他のペリフェラルの機能のために使われている場合、このクロック供給経路が有効化されないように注意する必要があります。 SPI-A スレープ送信イネーブル入出力 LIN 受信 拡張キャプチャ入出力 1
GPIO20 EQEP1A – COMP1OUT	78	62	55	I/O/Z I – O	汎用入出力 20 拡張 QEP1 入力 A – コンパレータ 1 の直接出力
GPIO21 EQEP1B – COMP2OUT	79	63	56	I/O/Z I – O	汎用入出力 21 拡張 QEP1 入力 B – コンパレータ 2 の直接出力
GPIO22 EQEP1S – LINTXA	1	1	1	I/O/Z I/O – O	汎用入出力 22 拡張 QEP1 ストロープ – LIN 送信
GPIO23 EQEP1I – LINRXA	4	4	2	I/O/Z I/O – I	汎用入出力 23 拡張 QEP1 インデックス – LIN 受信
GPIO24 ECAP1 – SPISIMOB	80	64	– GPIO5 と GPIO19 を参照	I/O/Z I/O – I/O	汎用入出力 24 拡張キャプチャ入出力 1 – SPI-B スレープ入力、マスタ出力。 注: SPI-B は、PN および RSH パッケージでのみ利用できます。
GPIO25 – – SPISOMIB	44	–	–	I/O/Z – – I/O	汎用入出力 25 – – SPI-B スレープ出力、マスタ入力

表 5-1. 信号の説明 (続き)

端子				I/O/Z ⁽¹⁾	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
GPIO26 HRCAP1 — SPICLKB	37	—	—	I/O/Z I I/O	汎用入出力 26 高分解能入力キャプチャ 1 — SPI-B クロック入出力
GPIO27 HRCAP2 — SPISTEB	31	—	—	I/O/Z I I/O	汎用入出力 27 高分解能入力キャプチャ 2 — SPI-B スレーブ送信イネーブル入出力
GPIO28 SCIRXDA SDAA TZ2	40	32	28	I/O/Z I I/OD I	汎用入出力 28 SCI 受信データ I2C データ オープンドレイン双方向ポート トリップ ゾーン入力 2
GPIO29 SCITXDA SCLA TZ3	34	27	24	I/O/Z O I/OD I	汎用入出力 29 SCI 送信データ I2C クロック オープンドレイン双方向ポート トリップ ゾーン入力 3
GPIO30 CANRXA — —	33	26	23	I/O/Z I — —	汎用入出力 30 CAN 受信 — —
GPIO31 CANTXA — —	32	25	22	I/O/Z O — —	汎用入出力 31 CAN 送信 — —
GPIO32 SDAA EPWMSYNCI ADCSOCAO	2	2	—	I/O/Z I/OD I O	汎用入出力 32 I2C データ オープンドレイン双方向ポート 拡張 PWM 外部同期パルス入力 ADC 変換開始 A
GPIO33 SCLA EPWMSYNCO ADCSOCBO	3	3	—	I/O/Z I/OD O O	汎用入出力 33 I2C クロック オープンドレイン双方向ポート 拡張 PWM 外部同期パルス出力 ADC 変換開始 B
GPIO34 COMP2OUT — COMP3OUT	74	61	54	I/O/Z O O	汎用入出力 34 コンパレータ 2 の直接出力 — コンパレータ 3 の直接出力
GPIO35 TDI	59	47	42	I/O/Z I	汎用入出力 35 内部ブルアップ付き JTAG テスト データ入力 (TDI)。TDI は、TCK の立ち上がりエッジに同期して、選択されたレジスタ (命令またはデータ) に入力されます。
GPIO36 TMS	60	48	43	I/O/Z I	汎用入出力 36 内部ブルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジに同期して TAP コントローラに入力されます。

表 5-1. 信号の説明 (続き)

端子				I/O/Z (1)	説明
名称	PN ピン番号	PAG ピン番号	RSH ピン番号		
GPIO37	58	46	41	I/O/Z	汎用入出力 37
TDO				O/Z	JTAG スキャン アウト、テスト データ出力 (TDO)。選択されたレジスタ (命令またはデータ) の内容は、TCK (8mA 駆動) の立ち下がりエッジに同期して TDO から出力されます。
GPIO38	57	45	40	I/O/Z	汎用入出力 38
TCK				I	内部プルアップ付き JTAG テスト クロック
XCLKIN				I	外部発振器入力。このピンの MUX 機能は、このピンからクロック ブロックへの経路をゲート制御しません。クロック ブロックがその他の機能のために使われている場合、このクロック供給経路が有効化されないように注意する必要があります。
—					—
GPIO39	56	—	—	I/O/Z	汎用入出力 39
—					—
—					—
GPIO40	64	—	—	I/O/Z	汎用入出力 40
EPWM7A				O	拡張 PWM7 出力 A および HRPWM チャネル
—					—
—					—
GPIO41	48	—	—	I/O/Z	汎用入出力 41
EPWM7B				O	拡張 PWM7 出力 B
—					—
—					—
GPIO42	5	—	—	I/O/Z	汎用入出力 42
—					—
—					—
COMP1OUT				O	コンパレータ 1 の直接出力
GPIO43	6	—	—	I/O/Z	汎用入出力 43
—					—
—					—
COMP2OUT				O	コンパレータ 2 の直接出力
GPIO44	45	—	—	I/O/Z	汎用入出力 44
—					—
—					—
—					—

- (1) I = 入力、O = 出力、Z = 高インピーダンス、OD = オープンドレイン、↑ = プルアップ、↓ = プルダウン
- (2) GPIO 機能 (太字の斜体で表示) はリセット時のデフォルトです。その下に記載されているペリフェラル信号は代替機能です。GPIO 機能が多重化された JTAG ピンの場合、GPIO ブロックへの入力経路は常に有効です。GPIO ブロックからの出力経路と、ピンから JTAG ブロックへの経路は、TRST 信号の状態に基づいて有効化 / 無効化されます。詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「システム コントロール」の章を参照してください。

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾ ⁽²⁾

		最小値	最大値	単位
電源電圧	V _{DDIO} (I/O およびフラッシュ、V _{SS} 基準)	-0.3	4.6	V
	V _{DD} (V _{SS} 基準)	-0.3	2.5	
アナログ電圧	V _{DDA} (V _{SSA} 基準)	-0.3	4.6	V
入力電圧	V _{IN} (3.3V)	-0.3	4.6	V
	V _{IN} (X1)	-0.3	2.5	
出力電圧	V _O	-0.3	4.6	V
入力クランプ電流	デジタル / アナログ入力 (ピンごと)、I _{IK} (V _{IN} < V _{SS} または V _{IN} > V _{DDIO}) ⁽³⁾	-20	20	mA
	アナログ入力 (ピンごと)、I _{IKANALOG} (V _{IN} < V _{SSA} または V _{IN} > V _{DDA})	-20	20	
	すべての入力の合計値、I _{IKTOTAL} (V _{IN} < V _{SS} /V _{SSA} または V _{IN} > V _{DDIO} /V _{DDA})	-20	20	
出力クランプ電流	I _{OK} (V _O < 0 または V _O > V _{DDIO})	-20	20	mA
接合部温度 ⁽⁴⁾	T _J	-40	150	°C
保存温度 ⁽⁴⁾	T _{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「[セクション 6.4](#)」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) すべての電圧値は V_{SS} を基準とします (特に記述のない限り)。
- (3) ピンごとの連続クランプ電流は **±2mA** です。V_{DDIO}/V_{DDA} 電圧が内部的に上昇し、その他の電氣的仕様に影響を及ぼす可能性があるため、この条件で連続的に動作させないでください。
- (4) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『[半導体と IC パッケージの熱評価基準](#)』、『[組み込みプロセッサの有効寿命の計算](#)』、『[ミッション・プロファイルの FIT の計算](#)』を参照してください。

6.2 ESD 定格 – 車載用

			値	単位
TMS320F2803x-Q1 (80 ピン PN パッケージ)				
V _(ESD) 静電気放電	人体モデル (HBM)、AEC Q100-002 に準拠 (1)	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 に準拠	コーナー・ピンを除くすべてのピン	±500	
		80 ピン PN のコーナー・ピン: 1、20、21、40、41、60、61、80	±750	
TMS320F2803x-Q1 (64 ピン PAG パッケージ)				
V _(ESD) 静電気放電	人体モデル (HBM)、AEC Q100-002 に準拠 (1)	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 に準拠	コーナー・ピンを除くすべてのピン	±500	
		64 ピン PAG のコーナー・ピン: 1、16、17、32、33、48、49、64	±750	

- (1) AEC Q 100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを指示しています。

6.3 ESD 定格 – 民生用

		値	単位
TMS320F2803x (80 ピン PN パッケージ)			
V _(ESD) 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 または ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	
TMS320F2803x (64 ピンの PAG パッケージ)			
V _(ESD) 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 または ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	
TMS320F2803x (56 ピン RSH パッケージ)			
V _(ESD) 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 または ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.4 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、I/O、 V_{DDIO}		2.97	3.3	3.63	V
デバイス電源電圧、CPU、 V_{DD} (内部 VREG が無効化されており、1.8V が外部から供給されている場合)		1.71	1.8	1.995	V
電源グラウンド、 V_{SS}			0		V
アナログ電源電圧、 V_{DDA}		2.97	3.3	3.63	V
アナログ・グラウンド、 V_{SSA}			0		V
デバイス・クロック周波数 (システム・クロック)		2		60	MHz
High レベル入力電圧、 V_{IH} (3.3V)		2		$V_{DDIO} + 0.3$	V
Low レベル入力電圧、 V_{IL} (3.3V)		$V_{SS} - 0.3$		0.8	V
High レベル出力ソース電流、 $V_{OH} = V_{OH(MIN)}$ 、 I_{OH}	すべての GPIO/AIO ピン			-4	mA
	グループ 2 ⁽¹⁾			-8	mA
Low レベル出力シンク電流、 $V_{OL} = V_{OL(MAX)}$ 、 I_{OL}	すべての GPIO/AIO ピン			4	mA
	グループ 2 ⁽¹⁾			8	mA
周囲温度、 T_A	T バージョン	-40		105	°C
	S バージョン	-40		125	
	Q バージョン (AEC Q100 認定)	-40		125	
接合部温度、 T_J		-40		150	°C

(1) グループ 2 のピンは次のとおりです。GPIO16、GPIO17、GPIO18、GPIO19、GPIO28、GPIO29、GPIO36、GPIO37

6.5 消費電力の概略

6.5.1 TMS320F2803x の消費電流 (60MHz の SYSCLKOUT)

モード	テスト条件	VREG 有効				VREG 無効					
		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾		I _{DD}		I _{DDIO} ⁽¹⁾		I _{DDA} ⁽²⁾	
		標準値 ⁽³⁾	最大値	標準値 ⁽³⁾	最大値	標準値 ⁽³⁾	最大値	標準値 ⁽³⁾	最大値	標準値 ⁽³⁾	最大値
動作 (フラッシュ)	以下のペリフェラル クロックを有効化する。 - ePWM1/2/3/4/5/6/7 - eCAP1 - eQEP1 - eCAN - LIN - CLA - HRPWM - SCI-A - SPI-A/B - ADC - I2C - COMP1/2/3 - CPU タイマ 0/1/2 すべての PWM ピンは 60kHz でトグルされている。 すべての I/O ピンは未接続にする。 ⁽⁴⁾ ⁽⁶⁾ コードは 2 待機状態でフラッシュから実行される。 XCLKOUT はオフにする。	114mA ⁽⁷⁾	135mA ⁽⁷⁾	14mA	18mA	101mA ⁽⁷⁾	120mA ⁽⁷⁾	14mA	18mA	14mA	18mA
IDLE	フラッシュは電源オフ。 XCLKOUT はオフにする。 すべてのペリフェラル クロックはオフにする。	13mA	23mA	10μA	15μA	13mA	24mA	120μA	400μA	10μA	15μA
STANDBY	フラッシュは電源オフ。 ペリフェラル クロックはオフにする。	4mA	9mA	10μA	15μA	4mA	7mA	120μA	400μA	10μA	15μA
HALT	フラッシュはオフにする。 ペリフェラル クロックはオフにする。 入力クロックは無効化する。 ⁽⁵⁾	46μA		10μA	15μA	30μA		24μA		10μA	15μA

- (1) I_{DDIO} 電流は I/O ピンの電氣的負荷に依存します。
- (2) IDLE、STANDBY、HALT として示された I_{DDA} 電流を実現するには、PCLKCR0 レジスタに書き込むことで、ADC モジュールへのクロックを明示的にオフにする必要があります。
- (3) 標準値は、室温および公称電圧に関して適用されます。
- (4) 以下がループで実行されます。
- データは、SPI-A/B、SCI-A、eCAN、LIN、I2C ポートから連続的に送信される。
 - ハードウェア乗算器が実行される。
 - ウォッチドッグがリセットされる。
 - ADC は連続変換を実行している。
 - COMP1/2 は電圧を連続的にスイッチングしている。
 - GPIO17 はトグルされる。
- (5) クロック ソースとして水晶振動子またはセラミック共振器を使用している場合、HALT モードに入るとオンチップ水晶発振器はシャットダウンされます。
- (6) CLA は連続的に多項式計算を実行しています。
- (7) CLA を内蔵していない F2803x デバイスの場合、[セクション 6.5.1](#) に示す I_{DD} (VREG 無効) / I_{DDIO} (VREG 有効) の電流値から CLA の I_{DD} 電流値 ([表 6-1](#) を参照) を減算します。

注

本デバイスにはペリフェラル - I/O 多重化が実装されているため、利用可能なすべてのペリフェラルを同時に使用することはできません。これは、複数のペリフェラル機能が 1 つの I/O ピンを共有していることがあるからです。ただし、すべてのペリフェラルへのクロックを同時にオンにすることは可能ですが、このような構成は役に立ちません。この場合、デバイスが消費する電流は、消費電流表に指定されている値を超えます。

6.5.2 消費電流の低減

2803x デバイスには、本デバイスの消費電流を低減する方法が組み込まれています。各ペリフェラル ユニットは個別のクロック イネーブル ビットを備えているため、特定のアプリケーションで使用されていないすべてのペリフェラル モジュールへのクロックをオフにすることで、消費電流を大幅に低減できます。さらに、3 つの低消費電力モードのいずれかを利用して消費電流をさらに低減することもできます。表 6-1 は、クロックをオフにすることで低減される消費電流 (標準値) を示しています。

表 6-1. 各種ペリフェラルによる代表的な電流消費 (60MHz 時)

ペリフェラル モジュール ^{(1) (3)}	I _{DD} 電流の 低減 (mA)
ADC	2 ⁽²⁾
I2C	3
ePWM	2
eCAP	2
eQEP	2
SCI	2
SPI	2
コンパレータ / DAC	1
HRPWM	3
HRCAP	3
CPU タイマ	1
内部ゼロ ピン発振器	0.5
CAN	2.5
LIN	1.5
CLA	20

- (1) すべてのペリフェラル クロック (CPU タイマ クロックを除く) はリセットと同時に無効化されます。ペリフェラル レジスタの書き込み / 読み出しは、ペリフェラル クロックがオンにされた後でのみ可能です。
- (2) この数値は、ADC モジュールのデジタル部によって消費される電流を表します。ADC モジュールへのクロックをオフにすると、ADC のアナログ部によって消費される電流 (I_{DDA}) もなくなります。
- (3) 複数のインスタンスを持つペリフェラルの場合、見積もられた電流はモジュールあたりの値です。たとえば、ePWM として見積もられた 2mA の値は、1 つの ePWM モジュールに対応します。

注

XCLKOUT をオフにすると、I_{DDIO} の消費電流は 15mA (標準値) 減少します。

注

ベースライン I_{DD} 電流 (有効化されたペリフェラルが 1 つもない状態でコアがダミー ループを実行しているときの電流) は 40mA (標準値) です。特定のアプリケーションの I_{DD} 電流を求めるには、(そのアプリケーションで有効化された) ペリフェラルによる消費電流をベースライン I_{DD} 電流に加える必要があります。

消費電力をさらに低減するその他の方法を以下に示します。

- コードが SARAM から実行されている場合、フラッシュ モジュールをオフにできます。その結果、 V_{DD} レールで 18mA (標準値)、 V_{DDIO} レールで 13mA (標準値) の電流が低減されます。
- 出力機能を想定したピンのプルアップを無効化することで、 I_{DDIO} を節約できます。
- 低消費電力モードでの V_{DDA} 消費電流を最小化するには、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカルリファレンス マニュアル](#)』のそれぞれのアナログの章を参照し、各モジュールが確実にオフになるようにしてください。

6.5.3 消費電流グラフ (VREG 有効)

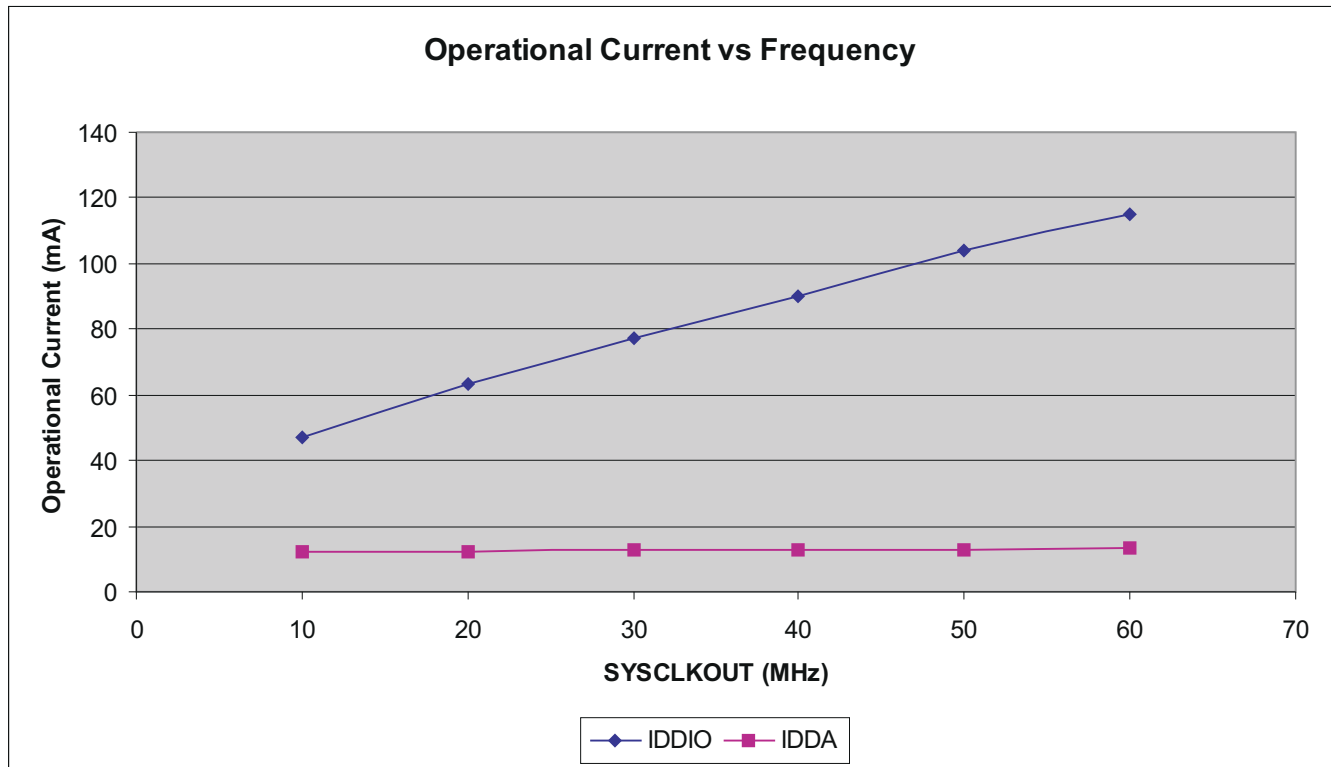


図 6-1. 動作電流 (標準値) と周波数との関係 (F2803x)

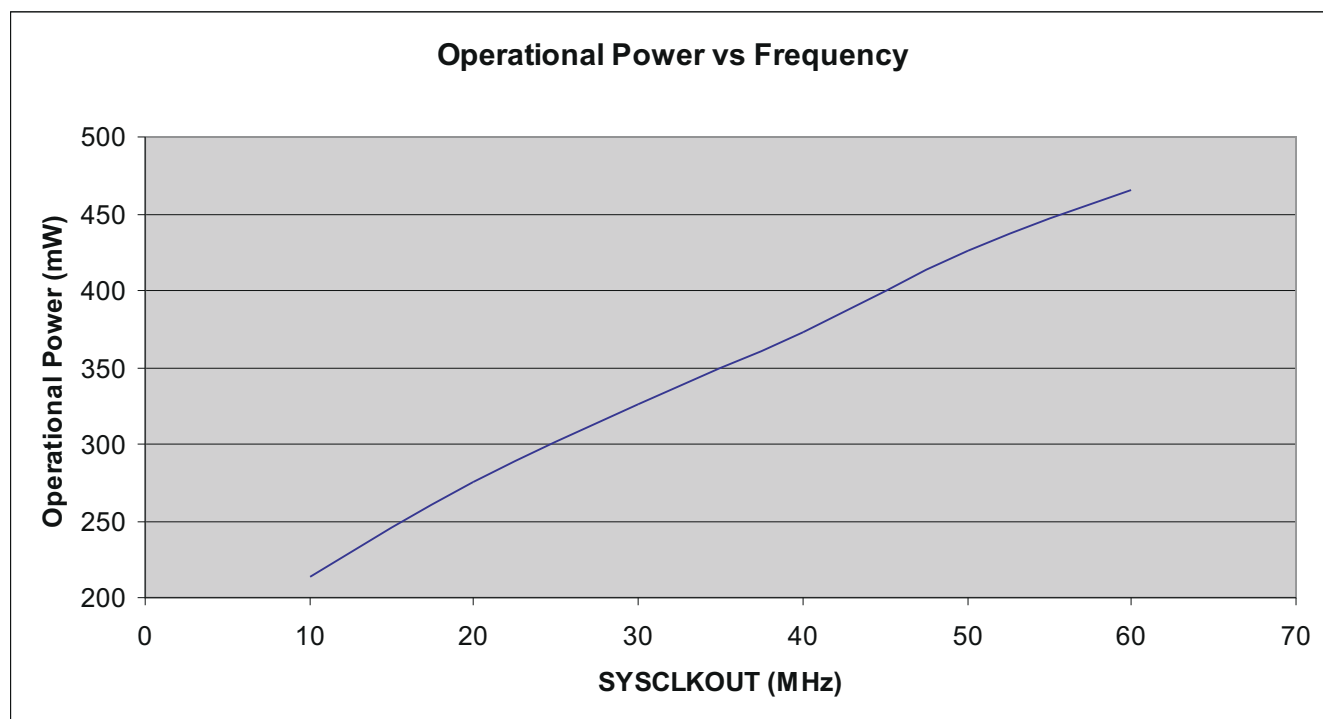


図 6-2. 動作電力 (標準値) と周波数との関係 (F2803x)

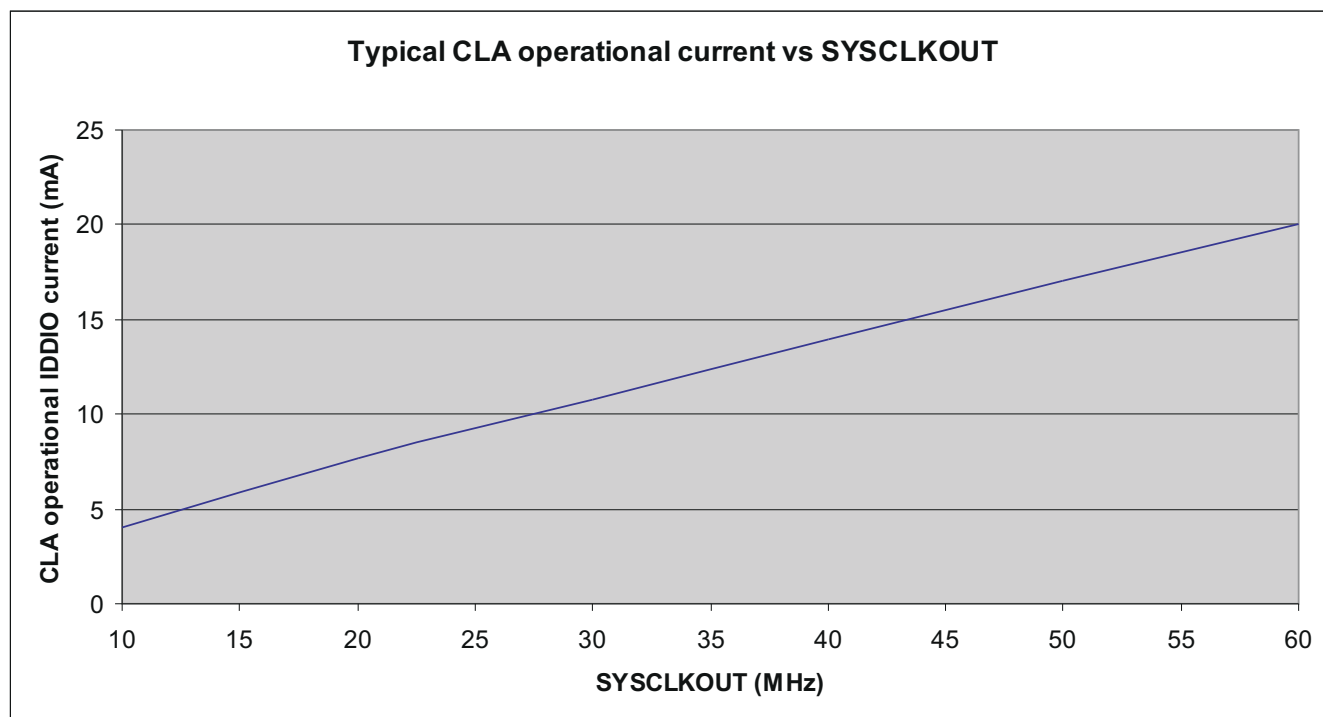


図 6-3. CLA 動作電流 (標準値) と SYSCLKOUT との関係

6.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)。(1)

パラメータ		テスト条件		最小値	標準値	最大値	単位	
V _{OH}	High レベル出力電圧	I _{OH} = I _{OH} MAX		2.4			V	
		I _{OH} = 50μA		V _{DDIO} − 0.2				
V _{OL}	Low レベル出力電圧	I _{OL} = I _{OL} MAX		0.4			V	
I _{IL}	入力電流 (Low レベル)	プルアップが有効 化されたピン	V _{DDIO} = 3.3V、V _{IN} = 0V	全 GPIO	-80	-140	-205	μA
				XRS ピン	-230	-300	-375	
		プルダウンが有効 化されたピン	V _{DDIO} = 3.3V、V _{IN} = 0V		±2			
I _{IH}	入力電流 (High レベル)	プルアップが有効 化されたピン	V _{DDIO} = 3.3V、V _{IN} = V _{DDIO}		±2			μA
		プルダウンが有効 化されたピン	V _{DDIO} = 3.3V、V _{IN} = V _{DDIO}		28	50	80	
I _{OZ}	出力電流、プルアップもプルダウンも無効化	V _O = V _{DDIO} または 0V		±2			μA	
C _I	入力容量			2			pF	
V _{DDIO} BOR トリップ・ポイント		立ち下がり V _{DDIO}		2.50	2.78	2.96	V	
V _{DDIO} BOR ヒステリシス				35			mV	
スーパバイザのリセット解放遅延時間		BOR/POR/OVR イベントが解消してから XRS 解放までの時間		400		800	μs	
VREG V _{DD} 出力		内部 VREG オン		1.9			V	

- (1) オンチップ VREG が使われている場合、その出力は POR/BOR 回路によって監視され、コア電圧 (V_{DD}) が範囲外になると本デバイスはリセットされます。

6.7 熱抵抗特性

6.7.1 PN パッケージ

		°C/W ⁽¹⁾	エア・フロー (lfm) ⁽²⁾
RO _{JC}	接合部からケースへの熱抵抗	14.2	該当なし
RO _{JB}	接合部から基板への熱抵抗	21.9	該当なし
RO _{JA} (高 k PCB)	接合部から自由空気への熱抵抗	49.9	0
		38.3	150
		36.7	250
		34.4	500
Psi _{JT}	接合部からパッケージ上面まで	0.8	0
		1.18	150
		1.34	250
		1.62	500
Psi _{JB}	接合部から基板まで	21.6	0
		20.7	150
		20.5	250
		20.1	500

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシート JC [RO_{JC}] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- 『JESD51-2、IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- 『JESD51-3、リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- 『JESD51-7、リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- 『JESD51-9、エリア・アレイ表面実装パッケージの熱測定用のテスト基板』

(2) lfm = 分ごとの直線フィート

6.7.2 PAG パッケージ

		°C/W ⁽¹⁾	エア・フロー (lfm) ⁽²⁾
RO _{JC}	接合部からケースへの熱抵抗	7.6	該当なし
RO _{JB}	接合部から基板への熱抵抗	31.3	該当なし
RO _{JA} (高 k PCB)	接合部から自由空気への熱抵抗	56.5	0
		44.7	150
		42.9	250
		40.3	500
Psi _{JT}	接合部からパッケージ上面まで	0.15	0
		0.42	150
		0.51	250
		0.67	500
Psi _{JB}	接合部から基板まで	31.1	0
		29.7	150
		29.2	250
		28.4	500

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシート JC [RO_{JC}] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- 『JESD51-2、IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- 『JESD51-3、リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- 『JESD51-7、リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- 『JESD51-9、エリア・アレイ表面実装パッケージの熱測定用のテスト基板』

(2) lfm = 分ごとの直線フィート

6.7.3 RSH パッケージ

		°C/W ⁽¹⁾	エア・フロー (lfm) ⁽²⁾
RO _{JC}	接合部からケースへの熱抵抗	14.7	該当なし
RO _{JB}	接合部から基板への熱抵抗	9.2	該当なし
RO _{JA} (高 k PCB)	接合部から自由空気への熱抵抗	34.8	0
		23.6	150
		22.3	250
		20.5	500
Psi _{JT}	接合部からパッケージ上面まで	0.24	0
		0.36	150
		0.43	250
		0.56	500
Psi _{JB}	接合部から基板まで	9.2	0
		8.8	150
		8.9	250
		8.8	500

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシータ JC [RO_{JC}] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- 『JESD51-2、IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- 『JESD51-3、リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- 『JESD51-7、リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- 『JESD51-9、エア・アレイ表面実装パッケージの熱測定用のテスト基板』

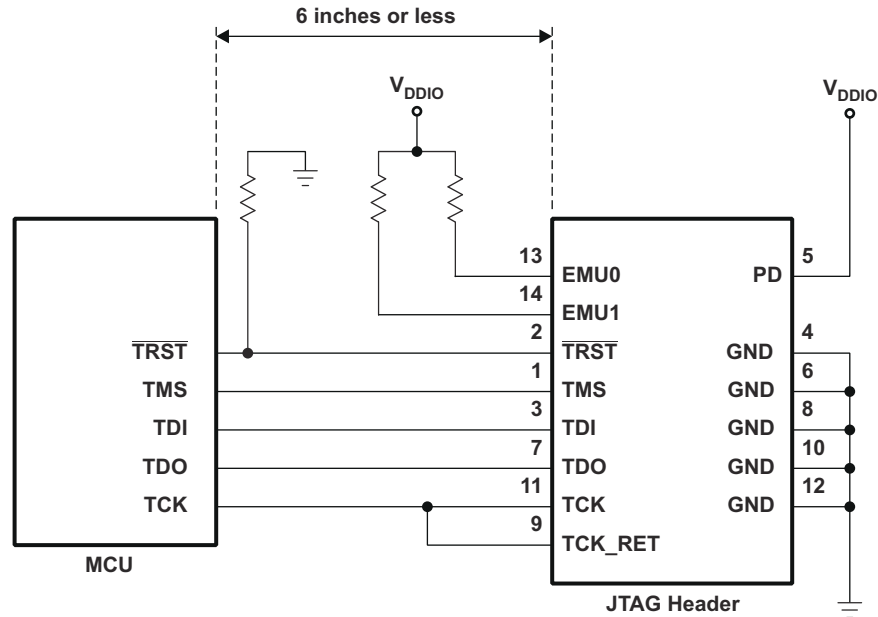
(2) lfm = 分ごとの直線フィート

6.8 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I_{DD} および I_{DDIO} の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T_J です。したがって、規定された制限値の範囲内に T_J が維持されるように注意する必要があります。動作接合部温度 T_J を推定するには、T_{case} を測定する必要があります。通常 T_{case} は、パッケージ上面の中央で測定されます。サーマル アプリケーション レポート『[半導体と IC パッケージの熱評価基準](#)』は、熱評価基準および定義の理解に役立ちます。

6.9 MCU との JTAG デバッグ プローブ接続 (信号バッファリングなし)

図 6-4 に、シングル プロセッサ 構成での MCU と JTAG ヘッダの間の接続を示します。JTAG ヘッダと MCU の間の距離が 6 インチ以上の場合、エミュレーション信号をバッファリングする必要があります。距離が 6 インチ未満の場合、通常はバッファリング不要です。図 6-4 に、バッファリングを行わない単純な場合の接続図を示します。プルアップ / プルダウン抵抗の値については、セクション 5.2「信号の説明」を参照してください。



A. JTAG/GPIO 多重化については、図 7-44 を参照してください。

図 6-4. MCU との JTAG デバッグ プローブ接続 (信号バッファリングなし)

注

2803x デバイスは EMU0/EMU1 ピンを持っていません。JTAG ヘッダを基板実装した設計の場合、ヘッダ上の EMU0/EMU1 ピンは、4.7kΩ (標準値) の抵抗を経由して V_{DDIO} に接続する必要があります。

6.10 パラメータ情報

6.10.1 タイミング パラメータの記号

タイミング パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を以下のように短縮しました。

小文字のサブスクリプトおよびその意味:		文字と記号およびその意味:	
a	アクセス時間	H	HIGH
c	サイクル時間 (周期)	L	LOW
d	遅延時間	V	有効
f	立ち下がり時間	X	未知の、変化している、ドント ケアのレベル
h	ホールド時間	Z	高インピーダンス
r	立ち上がり時間		
su	セットアップ時間		
t	遷移時間		
v	有効時間		
w	パルス幅		

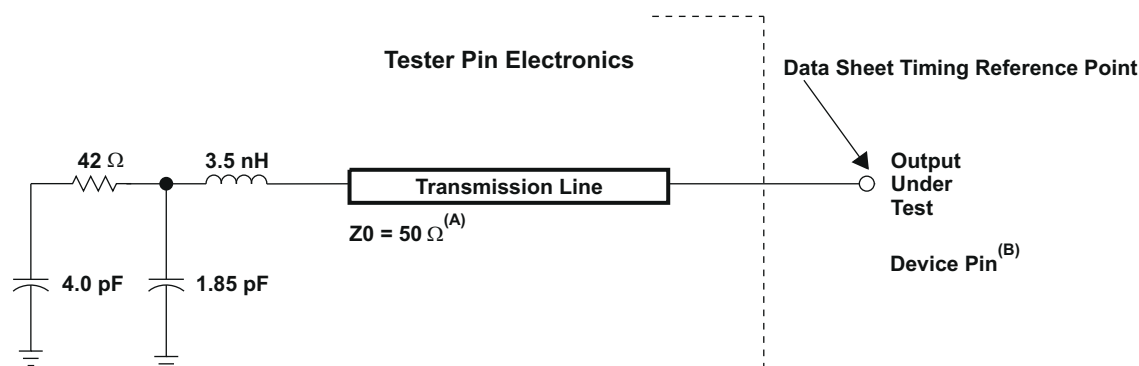
6.10.2 タイミング パラメータに関する一般的な注意事項

28x デバイスからのすべての出力信号 (XCLKOUT を含む) は内部クロックから生成されるため、いずれかの半サイクルに対するすべての出力遷移は、互いに相対的に最小のスキューで発生します。

以下のタイミング図に示す信号の組み合わせは、実際のサイクルを表しているとは限りません。実際のサイクル例については、このドキュメントの該当するサイクルの説明セクションを参照してください。

6.11 テスト負荷回路

このテスト負荷回路を使って、本書に記載されているすべてのスイッチング特性を測定しています。

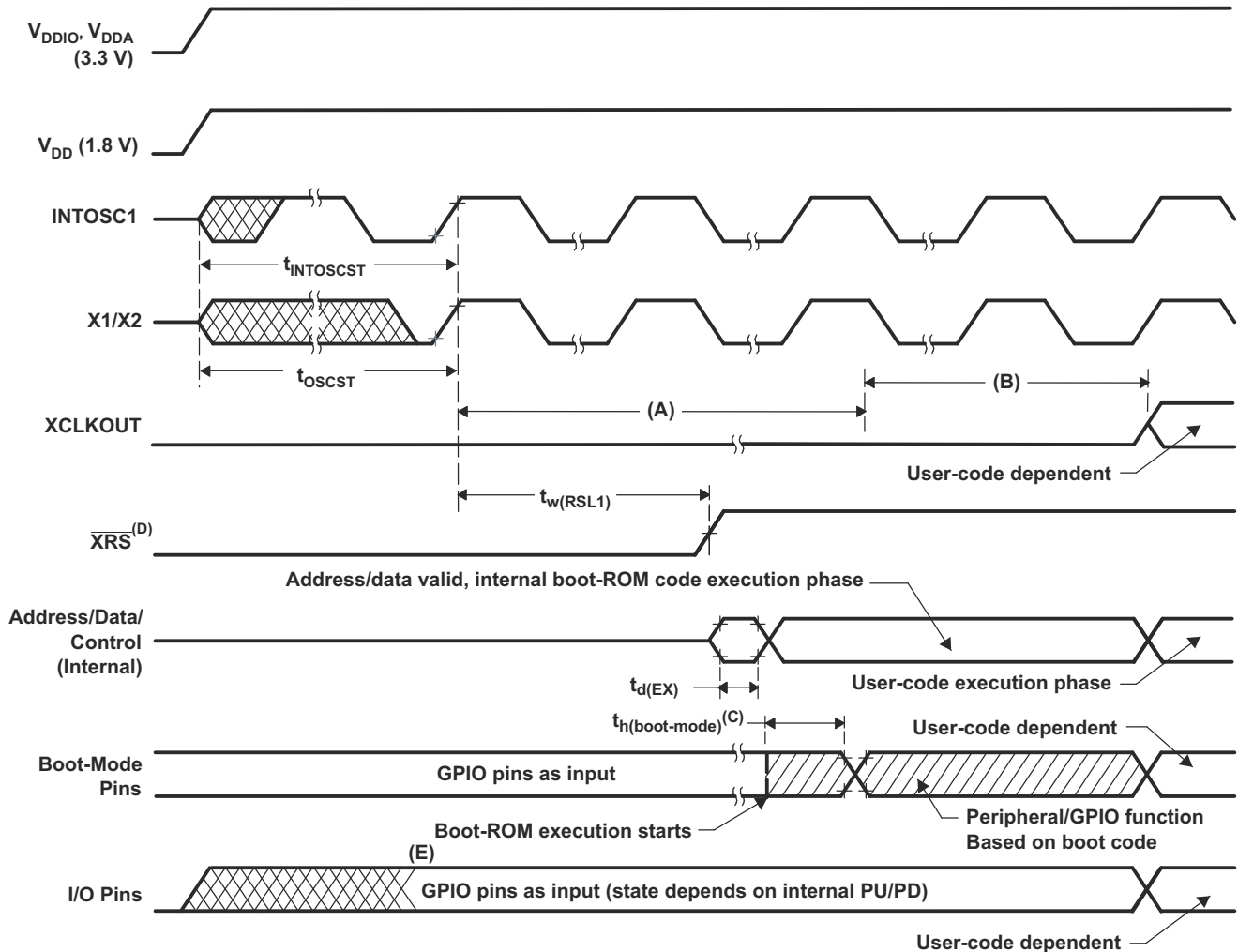


- このデータシートの入力要件は、デバイスのピンにおいて 4V 毎ナノ秒 (4V/ns) 未満の入力スループレートでテストされています。
- データシートには、デバイス ピンでのタイミングが記載されています。出力タイミング解析では、テストのピン エレクトロニクスとその伝送ラインの影響を考慮に入れる必要があります。2ns 以上の遅延を持つ伝送ラインを使用すれば、適切な伝送ラインの効果が得られます。この伝送ラインは、負荷としてのみ使用することを意図しています。データシートのタイミングから伝送ライン遅延 (2ns 以上) を加算または減算する必要はありません。

図 6-5. 3.3V テスト負荷回路

6.12 電源シーケンス

リセット後に本デバイスが適切な状態にあることを確認するためにも、または電源オン / オフ時に I/O にグリッチが発生しないようにするためにも、必要な電源シーケンス要件はありません (GPIO19、GPIO34～38 はグリッチ フリーの I/O を持っていない)。本デバイスの電源を投入する前に、どのデジタル ピンにも V_{DDIO} をダイオード降下分 (0.7V) 上回る電圧を超える電圧を印加しないでください (アナログ ピンの場合、 V_{DDA} より 0.7V 高い電圧が上限値です)。電力が供給されていないデバイスのピンに電圧が印加されると、内部の p-n 接合に意図しない方法でバイアスが印加され、予測不能な結果をもたらす可能性があります。



- 電源投入時、SYSCLKOUT は OSCCLK/4 です。XCLK レジスタの XCLKOUTDIV ビットは 0 のリセット状態で起動するため、SYSCLKOUT は XCLKOUT に現れる前にさらに 4 分周されます。この段階では、XCLKOUT = OSCCLK/16 となります。
- ブート ROM は、DIVSEL ビットを /1 動作に設定します。この段階では、XCLKOUT = OSCCLK/4 となります。ユーザー コードによって明示的に設定されるまで、XCLKOUT はピンには現れません。
- リセットの後、ブート ROM コードはブート モードピンをサンプリングします。ブート モードピンのステータスに基づいて、ブート コードは転送先メモリまたはブート コード機能に分岐します。(デバッグ環境で) パワーオン条件の後にブート ROM コードが実行される場合、そのブート コードの実行時間はその時点の SYSCLKOUT 速度に基づいて決まります。SYSCLKOUT はユーザー環境に基づいて決まり、PLL が有効化される場合と無効化される場合があります。
- オンチップ パワーオンリセット (POR) 回路を備えているため、 $\overline{XRS}$ ピンの使用は任意です。
- BOR が High に駆動されている際に、内部プルアップ / プルダウンは効力を発します。

図 6-6. パワーオン リセット

6.12.1 リセット ($\overline{\text{XRS}}$) のタイミング要件

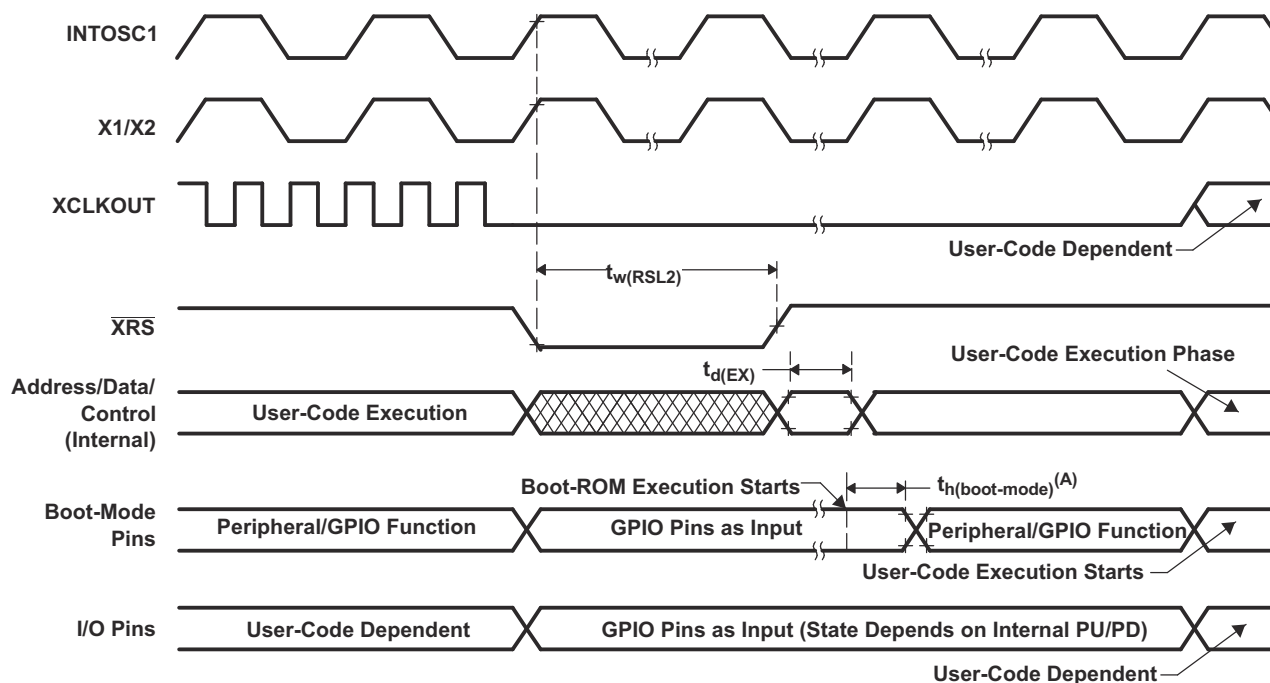
		最小値	最大値	単位
$t_{\text{h}}(\text{boot-mode})$	ブート モード ピンのホールド時間	$1000t_{\text{c}}(\text{SCO})$		サイクル 数
$t_{\text{w}}(\text{RSL2})$	パルス幅、ウォーム リセット時の $\overline{\text{XRS}}$ Low	$32t_{\text{c}}(\text{OSCCLK})$		サイクル 数

6.12.2 リセット ($\overline{\text{XRS}}$) のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{\text{w}}(\text{RSL1})$	パルス幅、デバイスによって駆動される $\overline{\text{XRS}}$		600		μs
$t_{\text{w}}(\text{WDRS})$	パルス幅、ウォッチドッグによって生成されるリセット パルス		$512t_{\text{c}}(\text{OSCCLK})$		サイクル
$t_{\text{d}}(\text{EX})$	遅延時間、 $\overline{\text{XRS}}$ HIGH からアドレス / データ有効 まで		$32t_{\text{c}}(\text{OSCCLK})$		サイクル 数
t_{INTOSCST}	スタートアップ時間、内部ゼロ ピン発振器		3		μs
$t_{\text{OSCST}}^{(1)}$	オンチップ水晶発振器のスタートアップ時間	1	10		ms

(1) 水晶振動子 / 共振器とボード設計に依存します。



- A. リセットの後、ブート ROM コードはブート モード ピンをサンプリングします。ブート モード ピンのステータスに基づいて、ブート コードは転送先メモリまたはブート コード機能に分岐します。(デバッグ環境で) パワーオン条件の後にブート ROM コードが実行される場合、そのブート コードの実行時間はその時点の SYSCLKOUT 速度に基づいて決まります。 SYSCLKOUT はユーザー環境に基づいて決まり、PLL が有効化される場合と無効化される場合があります。

図 6-7. ウォーム リセット

図 6-8 に、PLLCR レジスタへの書き込みの結果の例を示します。最初の段階では、 $PLLCR = 0x0004$ かつ $SYSCLKOUT = OSCCLK \times 2$ です。次に、 $PLLCR$ に $0x0008$ が書き込まれます。 $PLLCR$ レジスタが書き込まれるとすぐに、PLL ロックアップ段階が開始します。この段階の間は、 $SYSCLKOUT = OSCCLK/2$ です。PLL ロックアップが完了すると、 $SYSCLKOUT$ は新しい動作周波数である $OSCCLK \times 4$ を反映します。

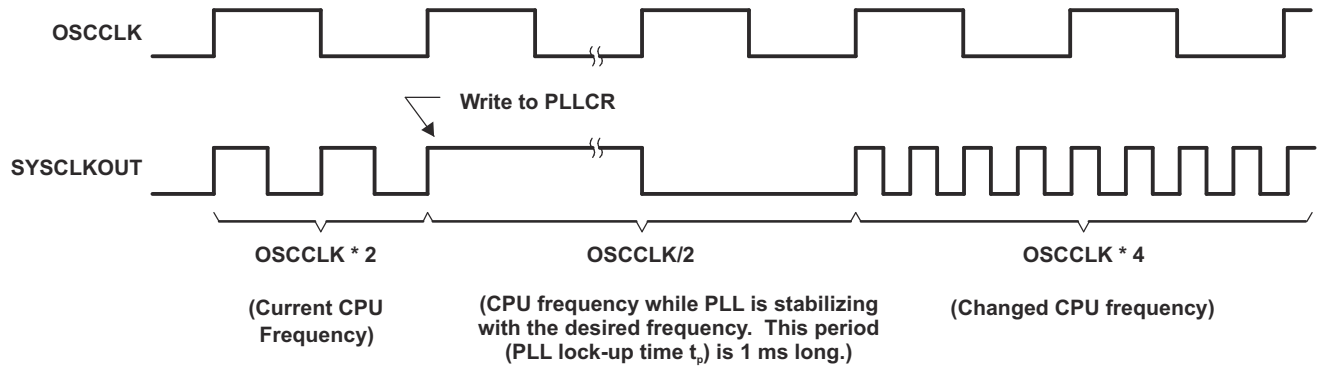


図 6-8. PLLCR レジスタへの書き込みの結果の例

6.13 クロック仕様

6.13.1 デバイス クロック表

このセクションでは、2803x MCU で選択できる各種クロックのタイミング要件とスイッチング特性について説明します。[セクション 6.13.1.1](#) に、各種クロックのサイクル時間を示します。

6.13.1.1 2803x のクロックの一覧表 (60MHz デバイス)

		最小値	公称値	最大値	単位
SYSCLKOUT	$t_{c(SCO)}$ 、サイクル時間	16.67		500	ns
	周波数	2		60	MHz
LSPCLK ⁽¹⁾	$t_{c(LCO)}$ 、サイクル時間	16.67	66.67 ⁽²⁾		ns
	周波数		15 ⁽²⁾	60	MHz
ADC クロック	$t_{c(ADCCLK)}$ 、サイクル時間	16.67			ns
	周波数			60	MHz

(1) LSPCLK を下げると、デバイスの消費電力は減少します。

(2) SYSCLKOUT = 60MHz の場合、これがデフォルトのリセット値です。

6.13.1.2 デバイス クロック要件 / 特性

		最小値	公称値	最大値	単位
オンチップ発振器 (X1/X2 ピン) (水晶振動子 / 共振器)	$t_{c(OSC)}$ 、サイクル時間	50		200	ns
	周波数	5		20	MHz
外部発振器 / クロック ソース (XCLKIN ピン) — PLL 有効	$t_{c(CI)}$ 、サイクル時間 (C8)	33.3		200	ns
	周波数	5		30	MHz
外部発振器 / クロック ソース (XCLKIN ピン) — PLL 無効	$t_{c(CI)}$ 、サイクル時間 (C8)	33.33		250	ns
	周波数	4		30	MHz
リンプ モード SYSCLKOUT (/2 有効)	周波数範囲		1~5		MHz
XCLKOUT	$t_{c(XCO)}$ 、サイクル時間 (C1)	66.67		2000	ns
	周波数	0.5		15	MHz
PLL ロック時間 ⁽¹⁾	t_p			1	ms

(1) PLLLOCKPRD レジスタは、OSCCLK サイクル数に基づいて更新する必要があります。ゼロピンの内部発振器 (10MHz) をクロックソースとして使用する場合、PLLLOCKPRD レジスタには 10,000 以上の値を書き込む必要があります。

6.13.1.3 内部のゼロ ピン発振器 (INTOSC1、INTOSC2) の特性

パラメータ		最小値	標準値	最大値	単位
内部ゼロピン発振器 1 (INTOSC1)、30°C ^{(1) (2)}	周波数		10.000		MHz
内部ゼロピン発振器 2 (INTOSC2)、30°C ^{(1) (2)}	周波数		10.000		MHz
ステップ サイズ (粗調整)			55		kHz
ステップ サイズ (微調整)			14		kHz
温度ドリフト ⁽³⁾			3.03	4.85	kHz/°C
電圧 (V _{DD}) ドリフト ⁽³⁾			175		Hz/mV

- (1) 発振器の周波数は温度と共に変化します (図 6-9 を参照)。発振器の温度ドリフトを補償するには、『発振器の補償ガイド』と C2000Ware を参照してください。
- (2) VREG が有効化されている場合 ($\overline{\text{VREGENZ}} = \text{V}_{\text{SS}}$) にのみ、周波数範囲は保証されます。
- (3) 内部発振器の出力周波数は、温度勾配と電圧 (V_{DD}) 勾配の両方の方向に追従します。例を示します。
- 温度が上がると、温度係数に応じて出力周波数が上がります。
 - 電圧 (V_{DD}) が下がると、電圧係数に応じて出力周波数が下がります。

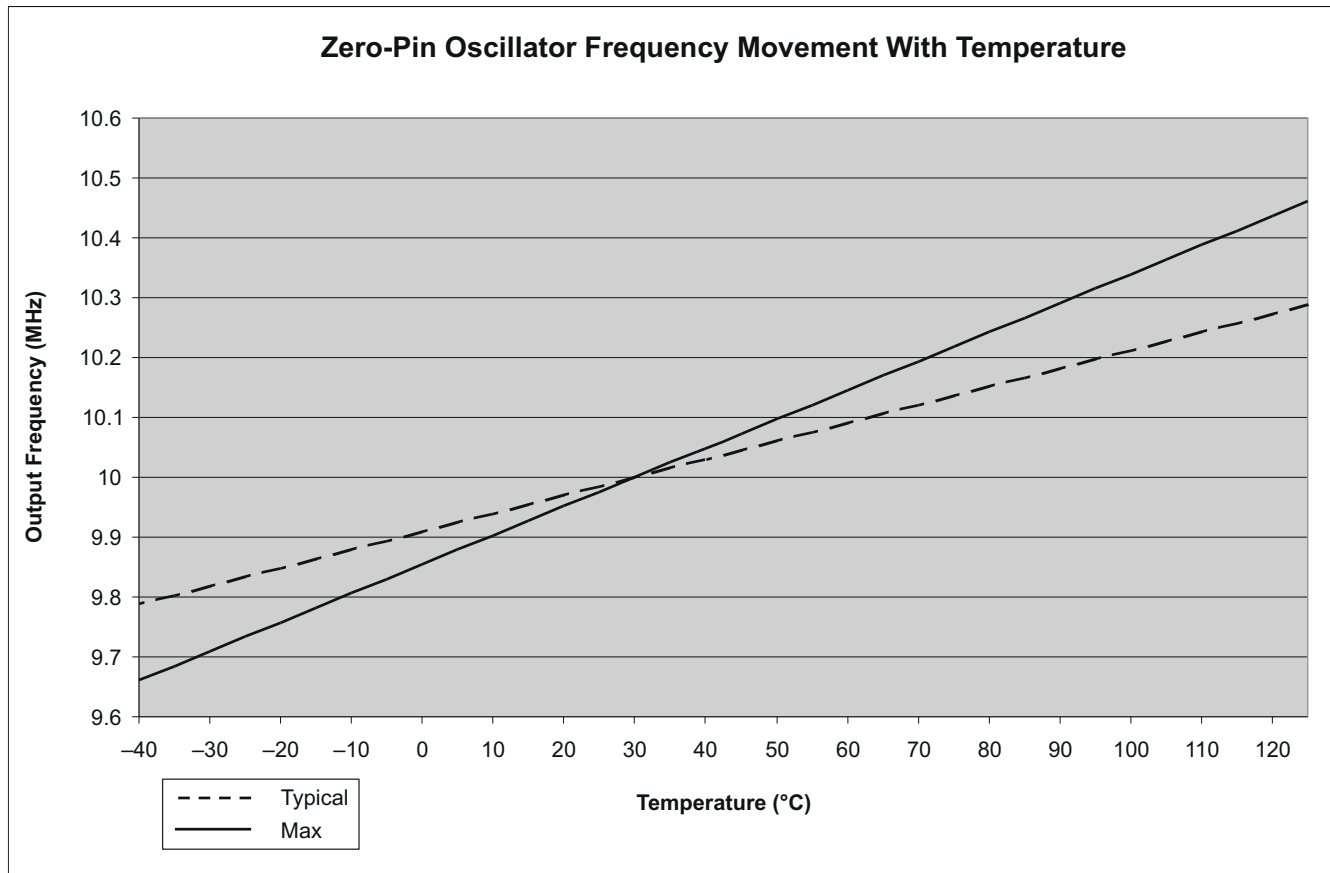


図 6-9. 温度によるゼロ ピン発振器の周波数の変化

6.13.2 クロックの要件および特性

6.13.2.1 XCLKIN のタイミング要件 – PLL 有効

NO.		最小値	最大値	単位
C9	$t_{f(CI)}$ 立ち下がり時間、XCLKIN		6	ns
C10	$t_{r(CI)}$ 立ち上がり時間、XCLKIN		6	ns
C11	$t_{w(CIL)}$ パルス幅、XCLKIN Low ($t_{c(OSCCLK)}$ のパーセンテージとして)	45%	55%	
C12	$t_{w(CIH)}$ パルス幅、XCLKIN High ($t_{c(OSCCLK)}$ のパーセンテージとして)	45%	55%	

6.13.2.2 XCLKIN のタイミング要件 – PLL 無効

NO.			最小値	最大値	単位
C9	$t_{f(CI)}$ 立ち下がり時間、XCLKIN	最大 20MHz		6	ns
		20MHz～30MHz		2	
C10	$t_{r(CI)}$ 立ち上がり時間、XCLKIN	最大 20MHz		6	ns
		20MHz～30MHz		2	
C11	$t_{w(CIL)}$ パルス幅、XCLKIN Low ($t_{c(OSCCLK)}$ のパーセンテージとして)		45%	55%	
C12	$t_{w(CIH)}$ パルス幅、XCLKIN High ($t_{c(OSCCLK)}$ のパーセンテージとして)		45%	55%	

表 7-17 に、可能な構成モードを示します。

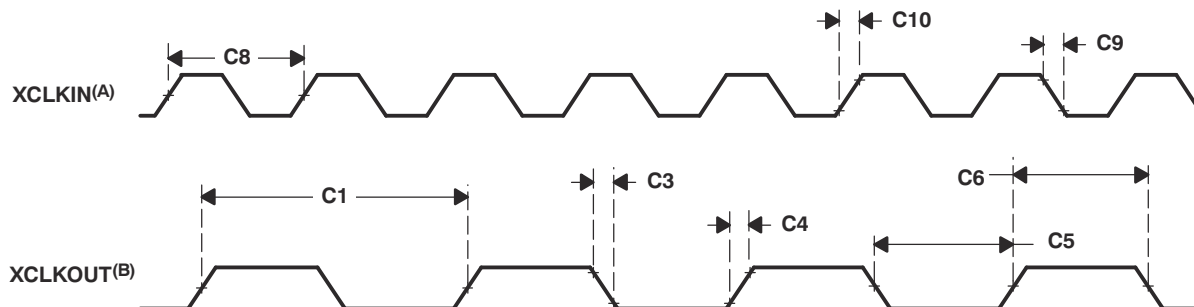
6.13.2.3 XCLKOUT のスイッチング特性 (PLL バイパスまたは有効)

推奨動作条件範囲内 (特に記述のない限り)。^{(1) (2)}

NO.	パラメータ	最小値	最大値	単位
C3	$t_{f(XCO)}$ 立ち下がり時間、XCLKOUT		5	ns
C4	$t_{r(XCO)}$ 立ち上がり時間、XCLKOUT		5	ns
C5	$t_{w(XCOL)}$ パルス幅、XCLKOUT LOW	H – 2	H + 2	ns
C6	$t_{w(XCOH)}$ パルス幅、STEP HIGH	H – 2	H + 2	ns

(1) これらのパラメータでは、40pF の負荷を想定しています。

(2) $H = 0.5t_{c(XCO)}$



- A. XCLKIN と XCLKOUT の関係は、選択した分周係数によって異なります。ここに示す波形関係は、タイミング パラメータを説明することのみを意図しており、実際の構成によっては異なる場合があります。
- B. SYSCLKOUT を反映して構成された XCLKOUT。

図 6-10. クロックのタイミング

6.14 フラッシュのタイミング

6.14.1 T 温度仕様品のフラッシュ / OTP 耐久性

	消去 / 書き込み 温度 ⁽¹⁾	最小値	標準値	最大値	単位
N _f アレイとしてのフラッシュの耐久性 (書き込み / 消去サイクル)	0°C~105°C (周囲)	20000	50000		サイクル
N _{OTP} アレイとしての OTP の耐久性 (書き込みサイクル)	0°C~30°C (周囲)			1	書き込み

(1) 記載されている温度範囲外での書き込み / 消去動作は規定されておらず、耐久性の数値に影響を及ぼす可能性があります。

6.14.2 S 温度仕様品のフラッシュ / OTP 耐久性

	消去 / 書き込み 温度 ⁽¹⁾	最小値	標準値	最大値	単位
N _f アレイとしてのフラッシュの耐久性 (書き込み / 消去サイクル)	0°C~125°C (周囲)	20000	50000		サイクル
N _{OTP} アレイとしての OTP の耐久性 (書き込みサイクル)	0°C~30°C (周囲)			1	書き込み

(1) 記載されている温度範囲外での書き込み / 消去動作は規定されておらず、耐久性の数値に影響を及ぼす可能性があります。

6.14.3 Q 温度仕様品のフラッシュ / OTP 耐久性

	消去 / 書き込み 温度 ⁽¹⁾	最小値	標準値	最大値	単位
N _f アレイとしてのフラッシュの耐久性 (書き込み / 消去サイクル)	-40°C~125°C (周囲)	20000	50000		サイクル
N _{OTP} アレイとしての OTP の耐久性 (書き込みサイクル)	-40°C~30°C (周囲)			1	書き込み

(1) 記載されている温度範囲外での書き込み / 消去動作は規定されておらず、耐久性の数値に影響を及ぼす可能性があります。

6.14.4 60MHz SYSCLKOUT でのフラッシュ パラメータ

パラメータ		テスト条件	最小値	標準値	最大値	単位
書き込み時間 ⁽¹⁾	8K セクタ			250	2000 ⁽²⁾	ms
	4K セクタ			125	2000 ⁽²⁾	ms
	16 ビット ワード			50		μs
消去時間 ⁽³⁾	8K セクタ			2	12 ⁽²⁾	s
	4K セクタ			2	12 ⁽²⁾	s
I _{DDP} ⁽⁴⁾	消去 / 書き込みサイクル中の V _{DD} 消費電流	VREG 無効		80		mA
I _{DDIOP} ⁽⁴⁾	消去 / 書き込みサイクル中の V _{DDIO} 消費電流	VREG 有効		60		mA
I _{DDIOP} ⁽⁴⁾	消去 / 書き込みサイクル中の V _{DDIO} 消費電流			120		mA

(1) 書き込み時間は、最大デバイス周波数での値です。この表に示すプログラミング時間は、必要なすべてのコード / データがデバイス RAM 内で利用可能になり、プログラミングの準備ができている場合にのみ適用できます。書き込み時間には、フラッシュ ステート マシンのオーバーヘッドが含まれますが、次のものを RAM に転送する時間は含まれていません。

- フラッシュ API を使用してフラッシュをプログラムするコード
- フラッシュ API そのもの
- 書き込まれるフラッシュ データ

(2) ここで説明した最大フラッシュ パラメータは、最初の 100 回の書き込みおよび消去サイクルのためのものです。

(3) 本デバイスが テキサス・インスツルメンツから出荷された際、オンチップ フラッシュ メモリは消去された状態です。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュ メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作に対して消去操作が必要です。

(4) これらの代表的なパラメータは、すべてのペリフェラルをオフにした状態で、室温で得られる値であり、関数呼び出しのオーバーヘッドを含みません。フラッシュ プログラミング プロセス全体を通して、安定した電源を維持することが重要です。フラッシュ プログラミング中のデバイスの消費電流は、通常の動作条件よりも高くなる可能性があります。使用する電源は、データシートの「推奨動作条件」に記載されているように、常に電源レールの V_{MIN} を確保する必要があります。消去 / プログラミング中にブラウンアウトや電源切断が発生すると、パスワードの領域が破損してデバイスが永続的にロックされる可能性があります。(フラッシュのプログラミング中、) USB ポート経由でターゲット ボードに電力を供給することは推奨しません。プログラミング プロセス中に要求される電力にその USB ポートが応えられない可能性があるためです。

6.14.5 フラッシュ / OTP のアクセス タイミング

パラメータ		最小値	最大値	単位
$t_{a(fp)}$	フラッシュ アクセス時間 (ページ)	40		ns
$t_{a(fr)}$	フラッシュ アクセス時間 (ランダム)	40		ns
$t_{a(OTP)}$	OTP アクセス時間	60		ns

6.14.6 フラッシュ データ保持期間

パラメータ		テスト条件	最小値	最大値	単位
$t_{retention}$	データ保持期間	$T_J = 55^\circ\text{C}$	15		年

表 6-2. 各種周波数で必要な最小のフラッシュ / OTP 待機状態

SYSCLOCKOUT (MHz)	SYSCLOCKOUT (ns)	ページ 待機状態 ⁽¹⁾	ランダム 待機状態 ⁽¹⁾	OTP 待機状態
60	16.67	2	2	3
55	18.18	2	2	3
50	20	1	1	2
45	22.22	1	1	2
40	25	1	1	2
35	28.57	1	1	2
30	33.33	1	1	1
25	40	0	1	1

(1) ランダム待機状態は 1 以上である必要があります。

表 6-2 のフラッシュ ページ待機状態とランダム待機状態を計算する式は、次のとおりです。

$$\text{Flash Page Wait State} = \left\lceil \left(\frac{t_{a(fp)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer}$$

$$\text{Flash Random Wait State} = \left\lceil \left(\frac{t_{a(fr)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer, or 1, whichever is larger}$$

表 6-2 の OTP 待機状態を計算する式は、次のとおりです。

$$\text{OTP Wait State} = \left\lceil \left(\frac{t_{a(OTP)}}{t_{c(SCO)}} \right) - 1 \right\rceil \text{ round up to the next highest integer, or 1, whichever is larger}$$

7 詳細説明

7.1 概要

7.1.1 CPU

2803x (C28x) ファミリーは、TMS320C2000™ マイクロコントローラ (MCU) プラットフォームの一部です。C28x ベースのコントローラは、既存の C28x MCU と同じ 32 ビット固定小数点アーキテクチャを採用しています。本コントローラは非常に効率的な C/C++ エンジンであるため、ユーザーは高級言語でシステム制御ソフトウェアを開発できるだけでなく、C/C++ を使って数学演算アルゴリズムを開発することもできます。本デバイスは、通常はマイクロコントローラ デバイスが処理するシステム制御タスクで有効であるのと同様に、MCU 数学演算タスクでも有効です。この有効性は、多くのシステムで第 2 のプロセッサを不要にします。32 × 32 ビット MAC (積和演算) 64 ビット処理機能により、このコントローラは、より高い数値分解能の問題を効率的に処理できます。これに加えて、重要なレジスタのコンテキストを自動的に保存することで高速な割り込み応答を実現し、最小限のレイテンシで多数の非同期イベントを処理できるデバイスを実現します。本デバイスは、パイプライン メモリ アクセス付きの深さ 8 段の保護されたパイプラインを備えています。このパイプラインにより、高価な高速メモリを使わなくても、高速な実行が可能になります。特殊なブランチ ルック アヘッド ハードウェアにより、条件付きの不連続性によるレイテンシを最小限に抑えます。特殊な条件付きストア演算は性能をさらに向上させます。

7.1.2 制御補償器アクセラレータ (CLA)

C28x 制御補償器アクセラレータは、並列処理を追加することで C28x CPU の機能を拡張する単精度 (32 ビット) の浮動小数点ユニットです。CLA は、独自のバス構造、フェッチ機構、パイプラインを備えた独立したプロセッサです。8 つの個別 CLA タスク (ルーチン) を指定できます。各タスクは、ソフトウェアによって、または ADC、ePWM、CPU タイマ 0 などのペリフェラルによって開始されます。CLA は一度に 1 つのタスクを最後まで実行します。タスクが完了すると、PIE への割り込みによってメイン CPU に通知され、次に優先度が高い保留タスクを CLA は自動的に開始します。CLA は、ADC 結果レジスタと ePWM+HRPWM レジスタに直接アクセスできます。専用のメッセージ RAM を使うことで、メイン CPU と CLA との間で追加のデータを渡すことができます。

7.1.3 メモリ バス (ハーバード バス アーキテクチャ)

MCU タイプの多くのデバイスと同様に、メモリおよびペリフェラルと CPU との間でデータを移動するために複数のバスが使われています。このメモリ バス アーキテクチャには、プログラム読み出しバス、データ読み出しバス、データ書き込みバスが含まれます。プログラム読み出しバスは、22 本のアドレスラインと 32 本のデータラインで構成されます。データの読み出し / 書き込みバスは、32 本のアドレスラインと 32 本のデータラインで構成されます。32 ビット幅のデータ バスにより、シングル サイクルの 32 ビット動作が可能です。一般にハーバード バスと呼ばれる複数バス アーキテクチャにより、命令のフェッチ、データ値の読み出し、データ値の書き込みを C28x は 1 サイクルで実行できます。メモリ バスに接続されたすべてのペリフェラルとメモリは、メモリ アクセスを優先します。通常、メモリ バス アクセスの優先度は次のように要約できます。

最高:	データ書き込み	(メモリ バス上では、データとプログラムの書き込みを同時に行うことはできません。)
	プログラム書き込み	(メモリ バス上では、データとプログラムの書き込みを同時に行うことはできません。)
	データ読み取り	
最低:	プログラム読み取り	(メモリ バス上では、プログラムの読み出しとフェッチを同時に行うことはできません。)
	フェッチ	(メモリ バス上では、プログラムの読み出しとフェッチを同時に行うことはできません。)

7.1.4 ペリフェラル バス

テキサス・インスツルメンツの各種 MCU デバイス ファミリー間のペリフェラルの移行を可能にするため、ペリフェラルの相互接続のためのペリフェラル バス規格を本デバイスは採用しています。ペリフェラル バスブリッジは、プロセッサのメモリバ

スを構成する各種バスを、16 のアドレスライン、16 または 32 のデータライン、関連する制御信号で構成される 1 つのバスに多重化します。3 つのバージョンのペリフェラル バスをサポートしています。第 1 のバージョンは 16 ビット アクセスのみをサポートしています (ペリフェラル フレーム 2 と呼びます)。第 2 のバージョンは 16 ビットと 32 ビットの両方のアクセスをサポートしています (ペリフェラル フレーム 1 と呼びます)。第 3 のバージョンは、CLA アクセスと、16 ビットと 32 ビットの両方のアクセスをサポートしています (ペリフェラル フレーム 3 と呼びます)。

7.1.5 リアルタイムの JTAG および分析

本デバイスは、インサーキット ベース デバッグ用に、標準的な IEEE 1149.1 (IEEE 標準 1149.1-1990 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ) JTAG インターフェイスを実装しています。また、プロセッサが動作し、コードを実行し、割り込みを処理する間に、メモリの内容、ペリフェラル、レジスタ位置を変更できるリアルタイム動作モードを本デバイスはサポートしています。ユーザーは、時間に制約のある割り込みを、干渉を受けずに処理できると同時に、時間に制約のないコードを 1 ステップずつ実行することもできます。本デバイスは CPU 内のハードウェアにリアルタイム モードを実装しています。これは 28x デバイス ファミリーに固有の機能であり、ソフトウェアによる監視を必要としません。また、ハードウェア ブレークポイントまたはデータ / アドレス ウォッチポイントを設定でき、一致が発生した際にユーザー選択可能な各種ブレーク イベントを生成できる特殊な分析ハードウェアを備えています。

7.1.6 フラッシュ

F28035/34 デバイスは、8 つの 8K × 16 セクタに分割された 64K × 16 の組み込みフラッシュ メモリを内蔵しています。F28033/32/31 デバイスは、8 つの 4K × 16 セクタに分割された 32K × 16 の組み込みフラッシュ メモリを内蔵しています。F28030 デバイスは、4 つの 4K × 16 セクタに分割された 16K × 16 の組み込みフラッシュ メモリを内蔵しています。すべてのデバイスは、アドレス範囲 0x3D 7800~0x3D 7BFF に、1 つの 1K × 16 の OTP メモリも内蔵しています。ユーザーは、その他のセクタに手を加えることなく、フラッシュ セクタを個別に消去、書き込み、検証できます。しかし、その他のセクタに消去 / 書き込みを行うフラッシュ アルゴリズムを実行するためにフラッシュまたは OTP の 1 つのセクタを使うことはできません。フラッシュ モジュールがより高い性能を達成できるように、特殊なメモリ パイプライン機構が備わっています。フラッシュ / OTP は、プログラム空間とデータ空間の両方に割り当てられているため、コードの実行またはデータ情報の格納に使用できます。アドレス 0x3F 7FF0~0x3F 7FF5 はデータ変数用に予約済みであり、プログラム コードを格納することはできません。

注

フラッシュと OTP の待機状態は、アプリケーションによって設定されます。これにより、動作周波数がより低いアプリケーションが、より少ない待機状態を使用するようにフラッシュを設定できます。

フラッシュ オプション レジスタでフラッシュ パイプライン モードを有効化することで、フラッシュの実効性能を向上させることができます。このモードを有効にした場合、リニア コード実行の実効性能は、待機状態の設定のみによって示される「素の性能」よりもはるかに高速になります。フラッシュ パイプライン モードを使った場合の実際の性能向上は、アプリケーションによって異なります。

フラッシュ オプション、フラッシュ待機状態、OTP 待機状態レジスタの詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「システム コントロール」の章を参照してください。

7.1.7 M0、M1 SARAM

すべてのデバイスは、これらの 2 つのシングル アクセス メモリ ブロック (各 1K × 16 のサイズ) を内蔵しています。スタック ポインタは、リセットと同時にブロック M1 の先頭を指します。M0 および M1 ブロックは、C28x デバイスのその他のすべてのメモリ ブロックと同様に、プログラム空間とデータ空間の両方に割り当てられます。したがって、ユーザーは、M0 および M1 をコードの実行またはデータ変数に使用できます。パーティション分割は、リンカ内で実行されます。C28x デバイスは統一されたメモリ マップをプログラマに提供します。これにより、高級言語でのプログラミングが容易になります。

7.1.8 L0 SARAM、L1、L2、L3 DPSARAM

本デバイスは最大 8K × 16 のシングル アクセス RAM を内蔵しています。特定のデバイスの正確なサイズを確認するには、デバイス固有のメモリ マップ図 ([セクション 7.2](#)) を参照してください。このブロックは、プログラム空間とデータ空間の両方に割り当てられています。ブロック L0 のサイズは 2K であり、プログラムとデータの両方の空間に二重に割り当てられています。ブロック L1 と L2 はどちらも 1K のサイズであり、CLA と共有されています。この CLA はこれらのブロックをデータ空間用として利用できます。ブロック L3 は 4K (28031 デバイスでは 2K) のサイズであり、CLA と共有されています。この CLA はこれらのブロックをプログラム空間用として利用できます。DPSARAM とは、これらのブロックのデュアル ポート構成を指します。

7.1.9 ブート ROM

ブート ROM は、ブートローダ ソフトウェアを使って工場出荷時にプログラムされています。ブート ROM は、ブート モード 選択 GPIO ピンを使って、電源投入時に使用するブート モードを決定します。ユーザーは、アプリケーション コードへの通常のブート、外部接続からの新しいソフトウェアのダウンロード、内部フラッシュ / ROM にプログラムされたブート ソフトウェアの選択のいずれかを選択できます。ブート ROM には、数学演算関連アルゴリズムで使用するための標準テーブル (SIN/COS 波形など) も含まれています。ブート ROM の内容とそのチェックサム値は、シリコン リビジョンによって異なる可能性があります。詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ブート ROM」の章を参照してください。

表 7-1. ブート モードの選択

モード	GPIO37/TDO	GPIO34/COMP2OUT/ COMP3OUT	TRST	モード
3	1	1	0	GetMode
2	1	0	0	待機 (詳細は セクション 7.1.10 を参照)
1	0	1	0	SCI
0	0	0	0	パラレル IO
EMU	x	x	1	エミュレーション ブート

7.1.9.1 エミュレーション ブート

JTAG デバッグ プローブが接続されている場合、ブート モードを選択するのに GPIO37/TDO ピンを使うことはできません。この場合、ブート ROM は JTAG デバッグ プローブが接続されていることを検出し、PIE ベクタ テーブル内の 2 つの予約済み SARAM 位置の内容を使ってブート モードを決定します。どちらか一方の場所の内容が無効である場合、待機ブート オプションが使われます。エミュレーション ブートでは、すべてのブート モードを選択できます。

7.1.9.2 GetMode

GetMode オプションのデフォルト動作は、フラッシュからブート (起動) することです。OTP 内の 2 つの位置をプログラミングすることで、この動作をその他のブート方法に変更できます。どちらかの OTP 位置の内容が無効な場合、フラッシュからのブートが使われます。SCI、SPI、I2C、CAN、OTP のいずれかのローダを指定できます。

7.1.9.3 ブートローダが使用するペリフェラル ピン

[表 7-2](#) に、各ペリフェラル ブートローダが使用する GPIO ピンを示します。アプリケーションで使用するペリフェラルと競合するかどうかについては、GPIO マルチプレクサの表を参照してください。

表 7-2. ペリフェラル ブートローダ ピン

ブートローダ	ペリフェラル ローダ ピン
SCI	SCIRXDA (GPIO28) SCITXDA (GPIO29)
パラレル ブート	データ (GPIO31、30、5:0) 28x 制御 (AIO6) ホスト制御 (AIO12)
SPI	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA (GPIO19)
I2C	SDAA (GPIO32) SCLA (GPIO33)
CAN	CANRXA (GPIO30) CANTXA (GPIO31)

7.1.10 セキュリティ

本デバイスは、ユーザー ファームウェアがリバース エンジニアリングされないように、高水準のセキュリティをサポートしています。このセキュリティは 128 ビットのパスワード (16 待機状態にハードコード化) を特長としており、ユーザーはこのパスワードをフラッシュにプログラムできます。1 つのコード セキュリティ モジュール (CSM) を使って、フラッシュ / OTP および L0/L1 SARAM ブロックを保護しています。このセキュリティ機能は、不正なユーザーが JTAG ポート経由でメモリの内容を調べ、またはセキュア メモリの内容を書き出す不正ソフトウェアを起動しようと試みることを防止します。セキュア ブロックへのアクセスを可能にするには、フラッシュ内のパスワード位置に保存された値と一致する正しい 128 ビット キー値を書き込む必要があります。

権限のないユーザーがセキュア コードをステップ実行することを防止するため、CSM に加えて、エミュレーション コード セキュリティ ロジック (ECSL) が実装されています。JTAG デバッグ プロンプが接続されている間にフラッシュ、ユーザー OTP、Lx メモリへのコードまたはデータ アクセスが発生すると、ECSL が作動し、デバッグ プロンプ接続が切断されます。セキュア メモリの読み出しに対する CSM 保護を維持しながら、セキュア コードのデバッグを可能にするには、フラッシュ内のパスワード位置 (PWL0~PWL3) の下位 64 ビットに格納されている値と一致する正しい値をキー レジスタ (KEY0~KE3) の下位 64 ビットに書き込む必要があります。フラッシュ内のパスワードの 128 ビットすべてのダミー読み出しは、依然として実行する必要があります。パスワード位置の下位 64 ビットがすべて 1 である (プログラミングされていない) 場合、KEY 値は一致する必要はありません。セキュア コードのデバッグ中、シングル ステップなどの動作は可能です。ただし、セキュア メモリの実際の内容は CCS ウィンドウには表示されません。

JTAG デバッグ プロンプに接続されているセキュア デバイスに電力が供給されると、CPU は動作を開始した後、保護された領域にアクセスする命令を実行する可能性があります。この場合、ECSL が作動し、JTAG 回路が動作を停止します。この状態では、ホスト (CCS またはフラッシュ プログラミング ソフトウェアを実行しているコンピュータなど) はデバイスとの接続を確立できません。

その解決策は、待機ブート オプションを使うことです。このモードでは、コードがソフトウェア ブレークポイントの周りをループすることで、セキュリティを作動させずに JTAG デバッグ プロンプを接続できるようにします。『TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「ブート ROM」の章に記載されているエミュレーション ブート方法の 1 つを使って JTAG デバッグ プロンプを接続した後、ユーザーはこのモードを終了できます。これらのデバイスはハードウェア ウェイト インリセット モードをサポートしていません。

JTAG 経由でのセキュア デバイスの再プログラミングが必要な場合、電源投入時に本デバイスを待機ブート モードに入れることができるように、ボード設計で必要な仕組みを設けることが重要です。さもないければ、前述のように、ECSL は JTAG 回路の動作を停止させ、本デバイスへの接続を禁止することがあります。

注

- コード セキュリティ パスワードをプログラムする場合、0x3F7F80~0x3F7FF5 のすべてのアドレスは、プログラム コードとしてもデータとしても使用できません。これらの場所には、0x0000 を書き込む必要があります。
- 将来、JTAG 経由でのセキュア デバイスの再プログラミングが必要となる可能性がある場合、(再プログラミングが必要になったとき) 電源投入時に本デバイスを待機ブート モードに入れることができるように、ボード設計で必要な仕組みを設けることが重要です。さもないければ、前述のように、ECSL は JTAG 回路の動作を停止させ、本デバイスへの接続を禁止することがあります。フィールドで本デバイスを待機ブート モードに再設定することが実用的ではない場合、ファームウェアの更新が必要な時期を検出する何らかの機構をファームウェアに実装する必要があります。これにより、コードはブート ROM 内の必要なブートローダに分岐できます。また、待機ブート モードに分岐することもできます。この時点で、JTAG デバッグ プロンプが接続され、デバイスのセキュリティが解除され、JTAG 自体によってプログラミングが実行されます。
- コード セキュリティ機能を使わない場合、アドレス 0x3F7F80~0x3F7FEF をコードまたはデータに使用できます。アドレス 0x3F7FF0~0x3F7FF5 はデータ用に予約済みであり、プログラム コードを格納することはできません。

128 ビットのパスワード (0x3F 7FF8~0x3F 7FFF) をすべてゼロにプログラムすることはできません。この操作を行うと、本デバイスは永続的にロックされます。

Code Security Module Disclaimer

本デバイスに内蔵されたコード セキュリティ モジュール (CSM) は、関連するメモリ (ROM とフラッシュのどちらか) に保存されたデータをパスワード保護するように設計されています。また、テキサス・インスツルメンツの標準利用規約に従い、このデバイスに適用される保証期間に関する テキサス・インスツルメンツの公開された仕様に準拠することが、テキサス・インスツルメンツによって保証されています。

しかし、CSM が侵害されないこと、または関連メモリに格納されたデータにその他の手段でアクセスできないことを テキサス・インスツルメンツは保証も表明もいたしません。さらに、前述の規定を除き、テキサス・インスツルメンツは、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、テキサス・インスツルメンツは、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、テキサス・インスツルメンツがこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

7.1.11 ペリフェラル割り込み拡張 (PIE) ブロック

PIE ブロックは、多数の割り込みソースを、より小さい割り込み入力グループに多重化する役割を果たします。PIE ブロックは最大 96 のペリフェラル割り込みをサポートできます。F2803x では、使用可能な 96 の割り込みのうちの 56 をペリフェラルが使用しています。96 の割り込みは 8 つのブロックにグループ化され、各グループは 12 の CPU 割り込みライン (INT1~INT12) の 1 つに接続されます。96 個の割り込みは、それぞれ専用の RAM ブロックに格納された独自のベクタに対応しており、ユーザーはこれらのベクタを上書きできます。割り込み処理時、このベクタは CPU によって自動的にフェッチされます。ベクタをフェッチし、かつ重要な CPU レジスタを保存するのに、8 CPU クロック サイクルで済みます。したがって、CPU は割り込みイベントに迅速に応答できます。割り込みの優先度設定は、ハードウェアとソフトウェアで制御されます。各割り込みは、PIE ブロック内で有効化 / 無効化できます。

7.1.12 外部割り込み (XINT1~XINT3)

これらのデバイスは、3 つのマスク付き外部割り込み (XINT1~XINT3) をサポートしています。各割り込みは、負、正、負と正の両方のエッジトリガのいずれかに選択でき、有効化 / 無効化することもできます。これらの割り込みには 16 ビット自走加算カウンタも含まれています。このカウンタは、有効な割り込みエッジが検出されるとゼロにリセットされます。このカウンタを使用して、割り込みのタイムスタンプを正確に記録できます。外部割り込みのための専用ピンはありません。XINT1、XINT2、XINT3 割り込みは、GPIO0~GPIO31 ピンからの入力を受け取ることができます。

7.1.13 内部ゼロ ピン発振器、発振器、PLL

本デバイスは、2 つの内部ゼロ ピン発振器、外部発振器のいずれかによって、またはオンチップ発振器回路に接続された水晶振動子によってクロック駆動されます。PLL は最大 12 種類の入力クロック スケーリング比をサポートしています。PLL 比はソフトウェアで臨機応変に変更できるため、低消費電力動作が必要な場合に動作周波数を下げることができます。タイミングの詳細については、[セクション 6「電氣的仕様」](#)を参照してください。PLL ブロックをバイパス モードに設定できます。

7.1.14 ウォッチドッグ

各デバイスは 2 つのウォッチドッグ(コアを監視する CPU ウォッチドッグ、クロック喪失検出回路である NMI ウォッチドッグ)を備えています。ユーザー ソフトウェアは、特定の期間内に CPU ウォッチドッグ カウンタを定期的リセットする必要があります。さもないと、CPU ウォッチドッグはプロセッサにリセットを生成します。CPU ウォッチドッグは、必要に応じて無効化できます。NMI ウォッチドッグはクロック障害時にのみ作動し、割り込みとデバイスリセットのどちらかを生成できます。

7.1.15 ペリフェラルのクロック駆動

ペリフェラルを使用していないときに消費電力を低減するため、各ペリフェラルへのクロックを有効化または無効化できます。また、シリアル ポート (I2C を除く) へのシステム クロックは、CPU クロックに対してスケーリングできます。

7.1.16 低消費電力モード

デバイスは、完全にスタティックな CMOS デバイスです。3 つの低消費電力モードが用意されています。

- IDLE:** CPU を低消費電力モードに移行させます。ペリフェラル クロックは選択的にオフにされ、IDLE 中に機能する必要があるペリフェラルのみが動作状態に維持されます。作動中のペリフェラルまたはウォッチドッグ タイマからの有効な割り込みにより、プロセッサは IDLE モードから復帰します。
- スタンバイ:** CPU およびペリフェラルへのクロックをオフにします。このモードでは、発振器と PLL は機能しています。外部割り込みイベントによって、プロセッサおよびペリフェラルがウェークアップされます。割り込みイベントを検出した後、次の有効なサイクルで実行が開始されます
- HALT:** このモードは本デバイスを基本的にシャットダウンし、消費電力が最も低いモードに移行させます。クロックソースとして内部ゼロピン発振器が使われている場合、デフォルトでは HALT モードによってこれらの発振器はオフになります。これらの発振器をシャットダウンしないようにするため、CLKCTL レジスタの INTOSCnHALTI ビットを使うこともできます。このモードでは、このようにゼロピン発振器を使って CPU ウォッチドッグをクロック駆動することもできます。クロックソースとしてオンチップ水晶発振器を使っている場合、このモードではその発振器はシャットダウンされます。リセットまたは外部信号 (GPIO ピン経由) が検出されると、または CPU ウォッチドッグが満了すると、本デバイスはこのモードから復帰します。

本デバイスを HALT または STANDBY に遷移させようとする前に、CPU クロック (OSCCLK) とウォッチドッグ クロックソースを同じクロックソースによるものにする必要があります。

7.1.17 ペリフェラル フレーム 0、1、2、3 (PFn)

デバイスは、ペリフェラルを 4 つのセクションに分割しています。ペリフェラルのマッピングは次のとおりです。

PF0:	PIE:	PIE 割り込みイネーブルおよび制御レジスタと PIE ベクタ テーブル
	フラッシュ:	フラッシュ待機状態レジスタ
	タイマ:	CPU タイマ 0、1、2 レジスタ
	CSM:	コードセキュリティ モジュール キー レジスタ
	ADC:	ADC 結果レジスタ
	CLA	制御補償器アクセラレータ レジスタおよびメッセージ RAM
PF1:	GPIO:	GPIO MUX 構成および制御レジスタ
	eCAN:	拡張コントローラ エリア ネットワーク構成および制御レジスタ
	LIN:	ローカル相互接続ネットワーク構成および制御レジスタ
	eCAP:	拡張キャプチャ モジュールおよびレジスタ
	eQEP:	拡張直交エンコーダ パルス モジュールおよびレジスタ
	HRCAP:	高分解能キャプチャ モジュールおよびレジスタ
PF2:	SYS:	システム コントロール レジスタ
	SCI:	シリアル通信インターフェイス (SCI) 制御および RX/TX レジスタ
	SPI:	シリアル ポート インターフェイス (SPI) 制御および RX/TX レジスタ
	ADC:	ADC ステータス、制御、構成レジスタ
	I2C:	I2C (Inter-Integrated Circuit) モジュールおよびレジスタ
	XINT:	外部割り込みレジスタ
PF3:	ePWM:	拡張パルス幅変調器モジュールおよびレジスタ
	HRPWM:	高分解能パルス幅変調器レジスタ
	コンパレータ:	コンパレータ モジュール

7.1.18 汎用入出力 (GPIO) マルチプレクサ (MUX)

ペリフェラル信号の大部分は、汎用入出力 (GPIO) 信号と多重化されています。そのため、ペリフェラルの信号または機能が使われていない場合、ユーザーはそのピンを GPIO として使用できます。リセット時に、GPIO ピンは入力として構成されます。ユーザーは、GPIO モードまたはペリフェラル信号モードとして各ピンを個別にプログラムできます。特定の入力については、入力クオリフィケーション サイクル数も選択できます。これにより、不要なノイズ グリッチをフィルタします。GPIO 信号を使用して、デバイスを特定の低消費電力モードから解除することもできます。

7.1.19 32 ビット CPU タイマ (0、1、2)

CPU タイマ 0、1、2 は、16 ビット クロック プリスケアラを備え、周期をプリセット可能な、同一の 32 ビット タイマです。これらのタイマは 32 ビット カウント ダウン レジスタを備えており、カウンタが 0 に達したときに割り込みを生成します。このカウンタは、プリスケアラ値設定で分周された CPU クロック速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は一般用途であり、PIE ブロックに接続されています。CPU タイマ 1 も一般用途であり、CPU の INT13 に接続できます。CPU タイマ 2 は DSP/BIOS 用に予約済みであり、CPU の INT14 に接続されています。DSP/BIOS が使用されていない場合、CPU タイマ 2 は一般用途に使えます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLKOUT (デフォルト)
- 内部ゼロ ピン発振器 1 (INTOSC1)
- 内部ゼロ ピン発振器 2 (INTOSC2)
- 外部クロック ソース

7.1.20 制御ペリフェラル

本デバイスは、組み込み制御および通信に使用される以下のペリフェラルをサポートしています。

- ePWM:** 拡張 PWM ペリフェラルは、独立 / 相補 PWM 生成、調整可能な立ち上がり / 立ち下がりエッジデッドバンド生成、ラッチ / サイクル単位トリップ機構をサポートしています。一部の PWM ピンは、HRPWM 高分解能デューティおよび周期機能をサポートしています。2803x デバイスが内蔵しているタイプ 1 モジュールは、デッドバンド分解能の向上、SOC および割り込み生成の強化、コンパレータ出力に基づくトリップ機能を含む先進のトリガ機能もサポートしています。
- eCAP:** 拡張キャプチャ ペリフェラルは、32 ビットのタイム ベースを使用して、連続 / ワンショット キャプチャ モードで最大 4 つのプログラマブル イベントを登録します。
このペリフェラルは、補助 PWM 信号を生成するように構成することもできます。
- eQEP:** 拡張 QEP ペリフェラルは 32 ビットの位置カウンタを使用しており、キャプチャ ユニットを使用した低速測定と 32 ビット ユニット タイマを使用した高速測定をサポートしています。このペリフェラルは、モーター ストールを検出するためのウォッチドッグ タイマと、QEP 信号の同時エッジ遷移を識別するための入力エラー検出ロジックを備えています。
- ADC:** ADC ブロックは 12 ビット コンバータです。デバイスの種類に応じて、最大 16 のシングルエンド チャネルをピンに出すことができます。同時サンプリングのための 2 つのサンプル / ホールド ユニートを備えています。
- コンパレータ:** 各コンパレータ ブロックは、1 つのアナログ コンパレータと、そのコンパレータの 1 つの入力に電圧を供給するための 1 つの内部 10 ビット基準電圧で構成されます。
- HRCAP:** 高分解能キャプチャ ペリフェラルは、HCCAPCLK でクロック駆動された 16 ビット カウンタを使ってノーマル キャプチャ モードで動作します。または、テキサス・インスツルメンツが提供するキャリブレーション ライブラリと共に内蔵キャリブレーション ロジックを利用することで高分解能キャプチャ モードで動作します。

7.1.21 シリアルポート ペリフェラル

本デバイスは、以下のシリアル通信ペリフェラルをサポートしています。

- SPI:** SPI は、設定された長さ (1~16 ビット) のシリアル ビット ストリームを、プログラム可能なビット転送レートで、1 ビットずつ本デバイスに入力または本デバイスから出力できる高速な同期シリアル I/O ポートです。通常、SPI は、MCU と、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的な用途には、シフトレジスタ、ディスプレイドライバ、ADC などのデバイスを使用した外部 I/O またはペリフェラル拡張が含まれます。マルチデバイス通信は、SPI のマスタ / スレーブ動作によってサポートされます。この SPI は、割り込みサービスのオーバーヘッドを低減するための 4 レベルの受信および送信 FIFO を内蔵しています。
- SCI:** シリアル通信インターフェイスは、UART として一般的に知られる 2 線式非同期シリアル ポートです。この SCI は、割り込みサービスのオーバーヘッドを低減するための 4 レベルの受信および送信 FIFO を内蔵しています。
- I2C:** 本 I2C (Inter-Integrated Circuit) モジュールは、MCU と、Philips Semiconductors 社の I2C-bus® (Inter-IC bus) 仕様バージョン 2.1 に準拠しかつ I²C バスによって接続されたその他のデバイスとの間のインターフェイスとして機能します。この 2 線式シリアル バスに接続された外部部品は、I2C モジュール経由で MCU との間で最大 8 ビットのデータを送受信できます。この I2C は、割り込みサービスのオーバーヘッドを低減するための 4 レベルの受信および送信 FIFO を内蔵しています。
- eCAN:** これは CAN ペリフェラルの拡張バージョンです。32 のメールボックスとメッセージ タイム スタンプ機能をサポートしており、ISO11898-1 (CAN 2.0B) に準拠しています。

LIN: LIN 1.3 または 2.0 互換ペリフェラル。追加の SCI ポートとしても構成できます。

7.2 メモリ マップ

図 7-1 から図 7-4 では、以下が適用されます。

- メモリ ブロックは正確な縮尺ではない。
- ペリフェラル フレーム 0、ペリフェラル フレーム 1、ペリフェラル フレーム 2、ペリフェラル フレーム 3 のメモリ マップは、データ メモリ のみに制限されている。ユーザー プログラムは、プログラム空間のこれらのメモリ マップにはアクセスできない。
- 「保護されている」ということは、パイプラインの順序ではなく、書き込み操作の後に読み出し操作が行われるという順序が維持されることを意味する。
- 特定のメモリ範囲は、構成後の誤書き込みに対して EALLOW 保護されている。
- 0x3D7C80～0x3D7CC0 の位置は内部発振器および ADC キャリブレーション ルーチンを格納している。これらの位置をユーザーがプログラミングすることはできない。

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 1400	CLA Registers	
0x00 1480	CLA-to-CPU Message RAM	
0x00 1500	CPU-to-CLA Message RAM	
0x00 1580	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (1K × 16, Protected)	Reserved
0x00 6400	Peripheral Frame 3 (1.5K × 16, Protected)	
0x00 6A00	Peripheral Frame 1 (1.5K × 16, Protected)	
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x00 8800	L1 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)	
0x00 8C00	L2 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)	
0x00 9000	L3 DPSARAM (4K × 16) (0-Wait, Secure Zone + ECSL, CLA Prog RAM)	
0x00 A000	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	PARTID	
	Calibration Data	
0x3D 7EB0	Reserved	
0x3E 8000	FLASH (64K × 16, 8 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x3F 8800	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	<i>Vector (32 Vectors, Enabled if VMAP = 1)</i>	

- A. CLA 固有のレジスタと RAM は 28035 デバイスにのみ適用されます。
- B. TMX シリコンでは、メモリ位置 0x3D7E80～0x3D7EAF は予約済みです。

図 7-1. 28034/28035 のメモリ マップ

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 1400	CLA Registers	
0x00 1480	CLA-to-CPU Message RAM	
0x00 1500	CPU-to-CLA Message RAM	
0x00 1580	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (1K × 16, Protected)	Reserved
0x00 6400	Peripheral Frame 3 (1.5K × 16, Protected)	
0x00 6A00	Peripheral Frame 1 (1.5K × 16, Protected)	
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x00 8800	L1 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)	
0x00 8C00	L2 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)	
0x00 9000	L3 DPSARAM (4K × 16) (0-Wait, Secure Zone + ECSL, CLA Prog RAM)	
0x00 A000	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	PARTID	
	Calibration Data	
0x3D 7EB0	Reserved	
0x3F 0000	FLASH (32K × 16, 8 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x3F 8800	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	Vector (32 Vectors, Enabled if VMAP = 1)	

- A. CLA 固有のレジスタと RAM は 28033 デバイスにのみ適用されます。
- B. TMX シリコンでは、メモリ位置 0x3D7E80～0x3D7EAF は予約済みです。

図 7-2. 28032/28033 のメモリ マップ

	Data Space	Prog Space
0x00 0000	<i>M0 Vector RAM (Enabled if VMAP = 0)</i>	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (1K × 16, Protected)	Reserved
0x00 6400	Peripheral Frame 3 (1.5K × 16, Protected)	
0x00 6A00	Peripheral Frame 1 (1.5K × 16, Protected)	
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x00 8800	L1 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)	
0x00 8C00	L2 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)	
0x00 9000	L3 DPSARAM (2K × 16) (0-Wait, Secure Zone + ECSL, CLA Prog RAM)	
0x00 9800	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	PARTID	
	Calibration Data	
0x3D 7EB0	Reserved	
0x3F 0000	FLASH (32K × 16, 8 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x3F 8800	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	Vector (32 Vectors, Enabled if VMAP = 1)	

A. TMX シリコンでは、メモリ位置 0x3D7E80～0x3D7EAF は予約済みです。

図 7-3. 28031 のメモリ マップ

	Data Space	Prog Space
0x00 0000	M0 Vector RAM (Enabled if VMAP = 0)	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (1K × 16, Protected)	Reserved
0x00 6400	Peripheral Frame 3 (1.5K × 16, Protected)	
0x00 6A00	Peripheral Frame 1 (1.5K × 16, Protected)	
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x00 8800	L1 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 0)	
0x00 8C00	L2 DPSARAM (1K × 16) (0-Wait, Secure Zone + ECSL, CLA Data RAM 1)	
0x00 9000	Reserved	
0x00 A000	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	PARTID	
	Calibration Data	
0x3D 7EB0	Reserved	
0x3F 4000	FLASH (16K × 16, 4 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (2K × 16) (0-Wait, Secure Zone + ECSL, Dual-Mapped)	
0x3F 8800	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	Vector (32 Vectors, Enabled if VMAP = 1)	

A. TMX シリコンでは、メモリ位置 0x3D7E80～0x3D7EAF は予約済みです。

図 7-4. 28030 のメモリ マップ

表 7-3. F28034/28035 のフラッシュ セクタのアドレス

アドレス範囲	プログラムおよびデータ空間
0x3E 8000~0x3E 9FFF	セクタ H (8K × 16)
0x3E A000~0x3E BFFF	セクタ G (8K × 16)
0x3E C000~0x3E DFFF	セクタ F (8K × 16)
0x3E E000~0x3E FFFF	セクタ E (8K × 16)
0x3F 0000~0x3F 1FFF	セクタ D (8K × 16)
0x3F 2000~0x3F 3FFF	セクタ C (8K × 16)
0x3F 4000~0x3F 5FFF	セクタ B (8K × 16)
0x3F 6000~0x3F 7FFF	セクタ A (8K × 16)
0x3F 7F80~0x3F 7FF5	コード セキュリティ モジュールを使用する場合、 0x0000 にプログラム
0x3F 7FF6~0x3F 7FF7	フラッシュからのブートへのエントリ ポイント (ここでブランチ命令をプログラムします。)
0x3F 7FF8~0x3F 7FFF	セキュリティ パスワード (128 ビット) (オール 0 にプログラムすることはできません。)

表 7-4. F28031/28032/28033 のフラッシュ セクタのアドレス

アドレス範囲	プログラムおよびデータ空間
0x3F 0000~0x3F 0FFF	セクタ H (4K × 16)
0x3F 1000~0x3F 1FFF	セクタ G (4K × 16)
0x3F 2000~0x3F 2FFF	セクタ F (4K × 16)
0x3F 3000~0x3F 3FFF	セクタ E (4K × 16)
0x3F 4000~0x3F 4FFF	セクタ D (4K × 16)
0x3F 5000~0x3F 5FFF	セクタ C (4K × 16)
0x3F 6000~0x3F 6FFF	セクタ B (4K × 16)
0x3F 7000~0x3F 7FFF	セクタ A (4K × 16)
0x3F 7F80~0x3F 7FF5	コード セキュリティ モジュールを使用する場合、 0x0000 にプログラム
0x3F 7FF6~0x3F 7FF7	フラッシュからのブートへのエントリ ポイント (ここでブランチ命令をプログラムします。)
0x3F 7FF8~0x3F 7FFF	セキュリティ パスワード (128 ビット) (オール 0 にプログラムすることはできません。)

表 7-5. F28030 のフラッシュ セクタのアドレス

アドレス範囲	プログラムおよびデータ空間
0x3F 4000~0x3F 4FFF	セクタ D (4K × 16)
0x3F 5000~0x3F 5FFF	セクタ C (4K × 16)
0x3F 6000~0x3F 6FFF	セクタ B (4K × 16)
0x3F 7000~0x3F 7FFF	セクタ A (4K × 16)
0x3F 7F80~0x3F 7FF5	コード セキュリティ モジュールを使用する場合、 0x0000 にプログラム
0x3F 7FF6~0x3F 7FF7	フラッシュからのブートへのエントリ ポイント (ここでブランチ命令をプログラムします。)
0x3F 7FF8~0x3F 7FFF	セキュリティ パスワード (128 ビット) (オール 0 にプログラムすることはできません。)

注

- コード セキュリティ パスワードをプログラムする場合、0x3F 7F80～0x3F 7FF5 のすべてのアドレスは、プログラム コードとしてもデータとしても使用できません。これらの場所には、0x0000 をプログラムする必要があります。
- コード セキュリティ機能を使用しない場合、アドレス 0x3F 7F80～0x3F 7FEF をコードまたはデータ用に使用できます。アドレス 0x3F 7FF0～0x3F 7FF5 はデータ用に予約済みであり、プログラム コードを格納することはできません。

表 7-6 に、これらのメモリ位置の使われ方を示します。

表 7-6. コード セキュリティ モジュールの使用の影響

アドレス	フラッシュ	
	コード セキュリティが有効	コード セキュリティが無効
0x3F 7F80～0x3F 7FEF	0x0000 で埋める	アプリケーション コードおよびデータ
0x3F 7FF0～0x3F 7FF5		データ専用予約済み

ペリフェラル フレーム 1、ペリフェラル フレーム 2、ペリフェラル フレーム 3 は、これらのペリフェラル ブロックを書き込み / 読み出し保護するためにグループ化されています。この保護モードにより、これらのブロックへのすべてのアクセスが、プログラムに記述されたように確実に行われます。パイプラインのせいで、各種メモリ位置への、直後の読み出しを伴う書き込みは、CPU のメモリ バス上に逆の順序で現れます。これは、(プログラムに記述されたように) 書き込みが最初に行われることが想定された特定のペリフェラル アプリケーションにおいて問題を引き起こす可能性があります。プログラムに記述された順序で演算操作が行われるように、メモリ領域を保護できるブロック保護モードを CPU はサポートしています (その代償は、演算操作の並びを調整するために余分なサイクルが追加されることです)。このモードはプログラマブルであり、デフォルトでは選択された領域が保護されます。

表 7-7 に、メモリ マップ領域の各種空間の待機状態を示します。

表 7-7. 待機状態

領域	待機状態 (CPU)	備考
M0 および M1 SARAM	0 ウェイト	固定
ペリフェラル フレーム 0	0 待機	
ペリフェラル フレーム 1	0 待機 (書き込み) 2 待機 (読み出し)	サイクルは、ペリフェラルが生成するレディによって延長されることがあります。 ペリフェラル フレーム 1 レジスタへの連続書き込み操作は 1 サイクルのストール (1 サイクルの遅延) を発生させます。
ペリフェラル フレーム 2	0 待機 (書き込み) 2 待機 (読み出し)	固定。サイクルをペリフェラルで延長することはできません。
ペリフェラル フレーム 3	0 待機 (書き込み) 2 待機 (読み出し)	CPU と CLA の間の競合はないものと仮定しています。 サイクルは、ペリフェラルが生成するレディによって延長されることがあります。
L0 SARAM	0 待機 (データ、プログラム)	CPU の競合はないものと仮定しています。
L1 SARAM	0 待機 (データ、プログラム)	CPU の競合はないものと仮定しています。
L2 SARAM	0 待機 (データ、プログラム)	CPU の競合はないものと仮定しています。
L3 SARAM	0 待機 (データ、プログラム)	CPU の競合はないものと仮定しています。
OTP	プログラマブル 1 待機以上	フラッシュ レジスタによりプログラムされます。 許容される待機状態の最小値は 1 待機です。
フラッシュ	プログラマブル 0 待機以上 (ページ) 1 待機以上 (ランダム) ランダム ≥ ページ	フラッシュ レジスタによりプログラムされます。

表 7-7. 待機状態 (続き)

領域	待機状態 (CPU)	備考
フラッシュ パスワード	16 待機固定	パスワード位置の待機状態は固定です。
ブート ROM	0 待機	

7.3 レジスタ マップ

これらのデバイスは 4 つのペリフェラル レジスタ空間を備えています。これらの空間は以下のように分類されます。

- ペリフェラル フレーム 0: これらは、CPU メモリ バスに直接割り当てられたペリフェラルです。表 7-8 を参照してください。
- ペリフェラル フレーム 1: これらは、32 ビット ペリフェラル バスに割り当てられたペリフェラルです。表 7-9 を参照してください。
- ペリフェラル フレーム 2: これらは、16 ビット ペリフェラル バスに割り当てられたペリフェラルです。表 7-10 を参照してください。
- ペリフェラル フレーム 3: これらは、32 ビット ペリフェラル バスに割り当てられ、CLA からアクセス可能なペリフェラルです。表 7-11 を参照してください。

表 7-8. ペリフェラル フレーム 0 レジスタ

名称 ⁽¹⁾	アドレス範囲	サイズ (×16)	EALLOW 保護 ⁽²⁾
デバイス エミュレーション レジスタ	0x00 0880～0x00 0984	261	あり
システム パワー コントロール レジスタ	0x00 0985～0x00 0987	3	可能
フラッシュ レジスタ ⁽³⁾	0x00 0A80～0x00 0ADF	96	あり
コード セキュリティ モジュール レジスタ	0x00 0AE0～0x00 0AEF	16	あり
ADC レジスタ (0 待機読み出しのみ)	0x00 0B00～0x00 0B0F	16	なし
CPU タイマ 0/1/2 レジスタ	0x00 0C00～0x00 0C3F	64	なし
PIE レジスタ	0x00 0CE0～0x00 0CFF	32	なし
PIE ベクタ テーブル	0x00 0D00～0x00 0DFF	256	なし
CLA レジスタ	0x00 1400～0x00 147F	128	あり
CLA から CPU へのメッセージ RAM (CPU による書き込みは無視されます。)	0x00 1480～0x00 14FF	128	該当なし
CPU から CLA へのメッセージ RAM (CLA による書き込みは無視されます。)	0x00 1500～0x00 157F	128	該当なし

(1) フレーム 0 のレジスタは 16 ビットおよび 32 ビット アクセスをサポートしています。

(2) レジスタが EALLOW 保護されている場合は、EALLOW 命令が実行されるまで書き込みを実行できません。EDIS 命令は書き込みを無効化し、ストレイコードまたはポインタがレジスタの内容を破壊するのを防止します。

(3) フラッシュ レジスタはコード セキュリティ モジュール (CSM) によっても保護されています。

表 7-9. ペリフェラル フレーム 1 レジスタ

名称	アドレス範囲	サイズ (×16)	EALLOW 保護
eCAN-A レジスタ	0x00 6000～0x00 61FF	512	⁽¹⁾
eCAP1 レジスタ	0x00 6A00～0x00 6A1F	32	なし
HRCAP1 レジスタ	0x00 6AC0～0x00 6ADF	32	⁽¹⁾
HRCAP2 レジスタ	0x00 6AE0～0x00 6AFF	32	⁽¹⁾
eQEP1 レジスタ	0x00 6B00～0x00 6B3F	64	⁽¹⁾
LIN-A レジスタ	0x00 6C00～0x00 6C7F	128	⁽¹⁾
GPIO レジスタ	0x00 6F80～0x00 6FFF	128	⁽¹⁾

(1) 一部のレジスタは EALLOW 保護されています。詳細については、『TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

表 7-10. ペリフェラル フレーム 2 レジスタ

名称	アドレス範囲	サイズ (×16)	EALLOW 保護
システム コントロール レジスタ	0x00 7010～0x00 702F	32	あり
SPI-A レジスタ	0x00 7040～0x00 704F	16	なし
SCI-A レジスタ	0x00 7050～0x00 705F	16	なし
NMI ウォッチドッグ割り込みレジスタ	0x00 7060～0x00 706F	16	あり
外部割り込みレジスタ	0x00 7070～0x00 707F	16	あり
ADC レジスタ	0x00 7100～0x00 717F	128	(1)
I2C-A レジスタ	0x00 7900～0x00 793F	64	(1)
SPI-B レジスタ	0x00 7740～0x00 774F	16	なし

(1) 一部のレジスタは EALLOW 保護されています。詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』を参照してください。

表 7-11. ペリフェラル フレーム 3 レジスタ

名称	アドレス範囲	サイズ (×16)	EALLOW 保護
コンパレータ 1 レジスタ	0x00 6400～0x00 641F	32	(1)
コンパレータ 2 レジスタ	0x00 6420～0x00 643F	32	(1)
コンパレータ 3 レジスタ	0x00 6440～0x00 645F	32	(1)
ePWM1 + HRPWM1 レジスタ	0x00 6800～0x00 683F	64	(1)
ePWM2 + HRPWM2 レジスタ	0x00 6840～0x00 687F	64	(1)
ePWM3 + HRPWM3 レジスタ	0x00 6880～0x00 68BF	64	(1)
ePWM4 + HRPWM4 レジスタ	0x00 68C0～0x00 68FF	64	(1)
ePWM5 + HRPWM5 レジスタ	0x00 6900～0x00 693F	64	(1)
ePWM6 + HRPWM6 レジスタ	0x00 6940～0x00 697F	64	(1)
ePWM7 + HRPWM7 レジスタ	0x00 6980～0x00 69BF	64	(1)

(1) 一部のレジスタは EALLOW 保護されています。詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』を参照してください。

7.4 デバイス エミュレーション レジスタ

これらのレジスタは、C28x CPU の保護モードを制御し、一部の重要なデバイス信号を監視するために使用されます。
表 7-12 に、これらのレジスタを示します。

表 7-12. デバイス エミュレーション レジスタ

名称	アドレス範囲	サイズ (x16)	説明	EALLOW 保護
DEVICECNF	0x0880 0x0881	2	デバイス構成レジスタ	あり
PARTID ⁽¹⁾	0x3D 7E80	1	部品 ID レジスタ TMS320F28035PN 0x00BF TMS320F28035PAG 0x00BE TMS320F28035RSH 0x00BD TMS320F28034PN 0x00BB TMS320F28034PAG 0x00BA TMS320F28034RSH 0x00B9 TMS320F28033PN 0x00B7 TMS320F28033PAG 0x00B6 TMS320F28033RSH 0x00B5 TMS320F28032PN 0x00B3 TMS320F28032PAG 0x00B2 TMS320F28032RSH 0x00B1 TMS320F28031PN 0x00AF TMS320F28031PAG 0x00AE TMS320F28031RSH 0x00AD TMS320F28030PN 0x00AB TMS320F28030PAG 0x00AA TMS320F28030RSH 0x00A9	なし
CLASSID	0x0882	1	クラス ID レジスタ TMS320F28035 0x00BF TMS320F28034 0x00BB TMS320F28033 0x00B7 TMS320F28032 0x00B3 TMS320F28031 0x00AF TMS320F28030 0x00AB	なし
REVID	0x0883	1	リビジョン ID レジスタ 0x0000 - シリコン リビジョン 0 - TMS 0x0001 - シリコン リビジョン A - TMS	なし

(1) TMS320F2803x デバイスの PARTID レジスタ位置は、TMS320F2802x デバイスの PARTID レジスタ位置 (0x3D7FFF) とは異なります。

7.5 VREG/BOR/POR

コアと I/O 回路は 2 つの異なる電圧で動作しますが、これらのデバイスは、 V_{DDIO} 電源から V_{DD} 電圧を生成するためのオンチップ電圧レギュレータ (VREG) を備えています。そのため、第 2 の (外部) レギュレータをアプリケーション基板に実装するためのコストとスペースは不要です。また、パワーアップおよび実行モード中、内部パワーオンリセット (POR) およびブラウンアウトリセット (BOR) 回路は V_{DD} と V_{DDIO} の両方のレールを監視します。

7.5.1 オンチップ電圧レギュレータ (VREG)

リニア レギュレータ は V_{DDIO} 電源からコア電圧 (V_{DD}) を生成します。そのため、生成された電圧を安定させるために各 V_{DD} ピンにコンデンサが必要ですが、本デバイスを動作させるためにこれらのピンに電力を供給する必要はありません。逆に、アプリケーションの一番の関心事が消費電力または冗長性である場合、VREG を無効化できます。

7.5.1.1 オンチップ VREG の使い方

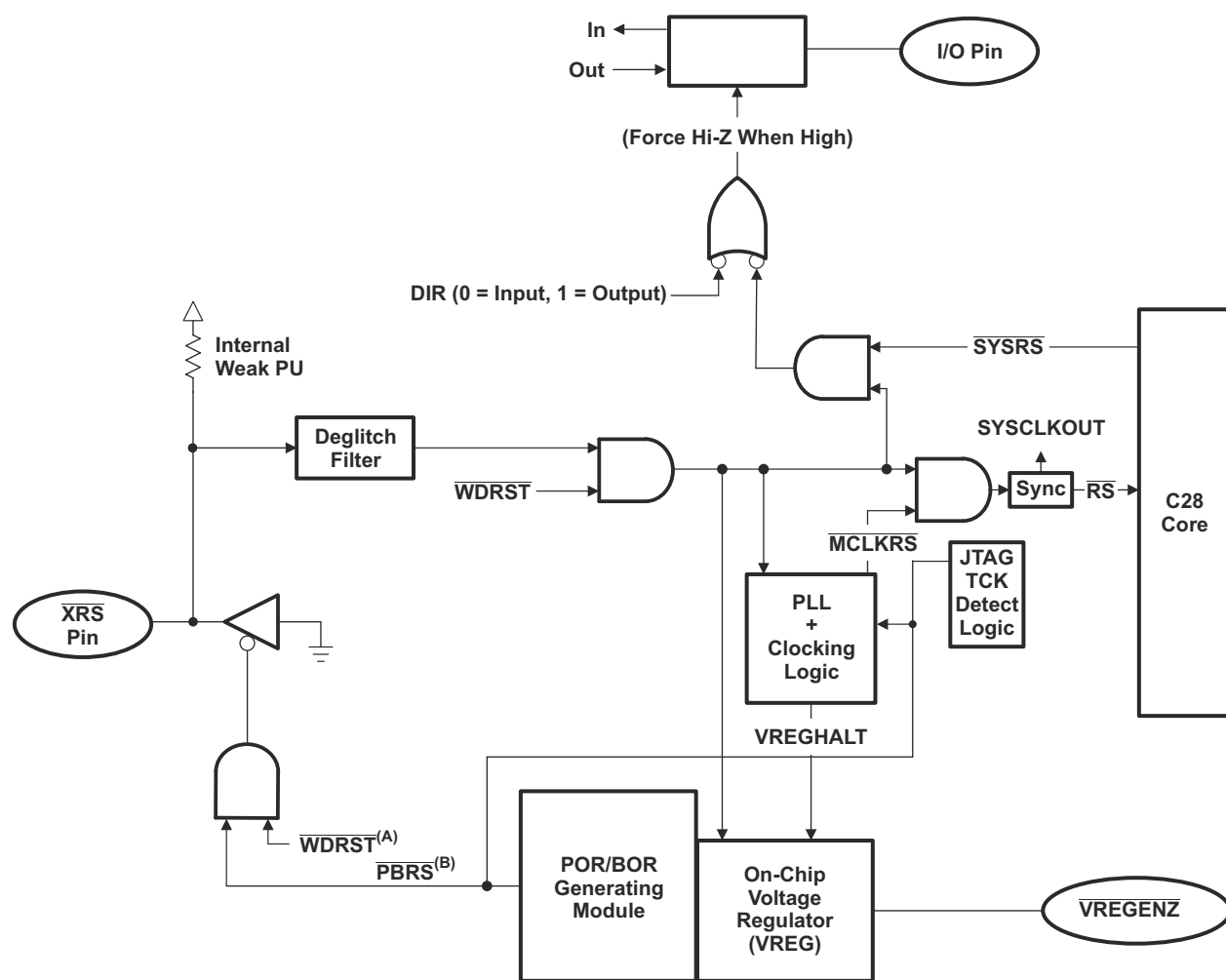
オンチップ VREG を使用するには、 $\overline{VREGENZ}$ ピンを Low に接続し、適切な推奨動作電圧を V_{DDIO} および V_{DDA} ピンに供給する必要があります。この場合、コア ロジックが必要とする V_{DD} 電圧は VREG によって生成されます。各 V_{DD} ピンには、VREG を適切にレギュレーションするために $1.2\mu F$ 以上の容量が必要です。これらのコンデンサは、 V_{DD} ピンのできるだけ近くに配置する必要があります。内部 VREG による外部負荷の駆動はサポートしていません。

7.5.1.2 オンチップ VREG の無効化

電力を節約するため、オンチップ VREG を無効化し、より高効率な外部レギュレータを使用してコア ロジック電圧を V_{DD} ピンに供給することもできます。この方法を使うには、 $\overline{VREGENZ}$ ピンを High に接続する必要があります。

7.5.2 オンチップ パワーオン リセット (POR) およびブラウンアウト リセット (BOR) 回路

2 つのオンチップ監視回路 (パワーオン リセット (POR)、ブラウンアウト リセット (BOR)) は、 V_{DD} および V_{DDIO} 電源レールを監視する負担をアプリケーション ボードから取り除きます。POR の目的は、全パワーアップ手順の間にデバイス全体にわたるクリーンなリセットを生成することです。POR のトリップ ポイントは BOR のそれよりも厳しくなく (低く)、デバイス動作中の V_{DD} または V_{DDIO} レールの低下を監視します。POR は V_{DD} と V_{DDIO} の両方のレールで常に機能しています。最初のデバイス パワーアップの後、BOR は V_{DDIO} では常に機能し、 V_{DD} では内部 VREG が有効化されている (VREGENZ ピンが Low に接続されている) 場合に機能します。どちらかの電圧がそれぞれのトリップ ポイントを下回ると、どちらの機能も $\overline{XRS}$ ピンを Low に駆動します。 V_{DD} の BOR および過電圧トリップ ポイントは推奨動作電圧の範囲外です。適切なデバイス動作は必ずしも保証されません。システムに影響を及ぼす過電圧または低電圧状態がアプリケーションにとって懸念事項である場合、外部電圧スーパーバイザを追加する必要があります。図 7-5 に、VREG、POR、BOR を示します。 V_{DD} と V_{DDIO} の両方の BOR 機能を無効化するために、BORCFG レジスタ内に 1 つのビットが備わっています。詳細については、『TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「システム コントロール」の章を参照してください。



- A. $\overline{WDRST}$ は CPU ウォッチドッグからのリセット信号です。
B. $\overline{PBRST}$ は POR/BOR モジュールからのリセット信号です。

図 7-5. VREG + POR + BOR + リセット信号の接続

7.6 システム コントロール

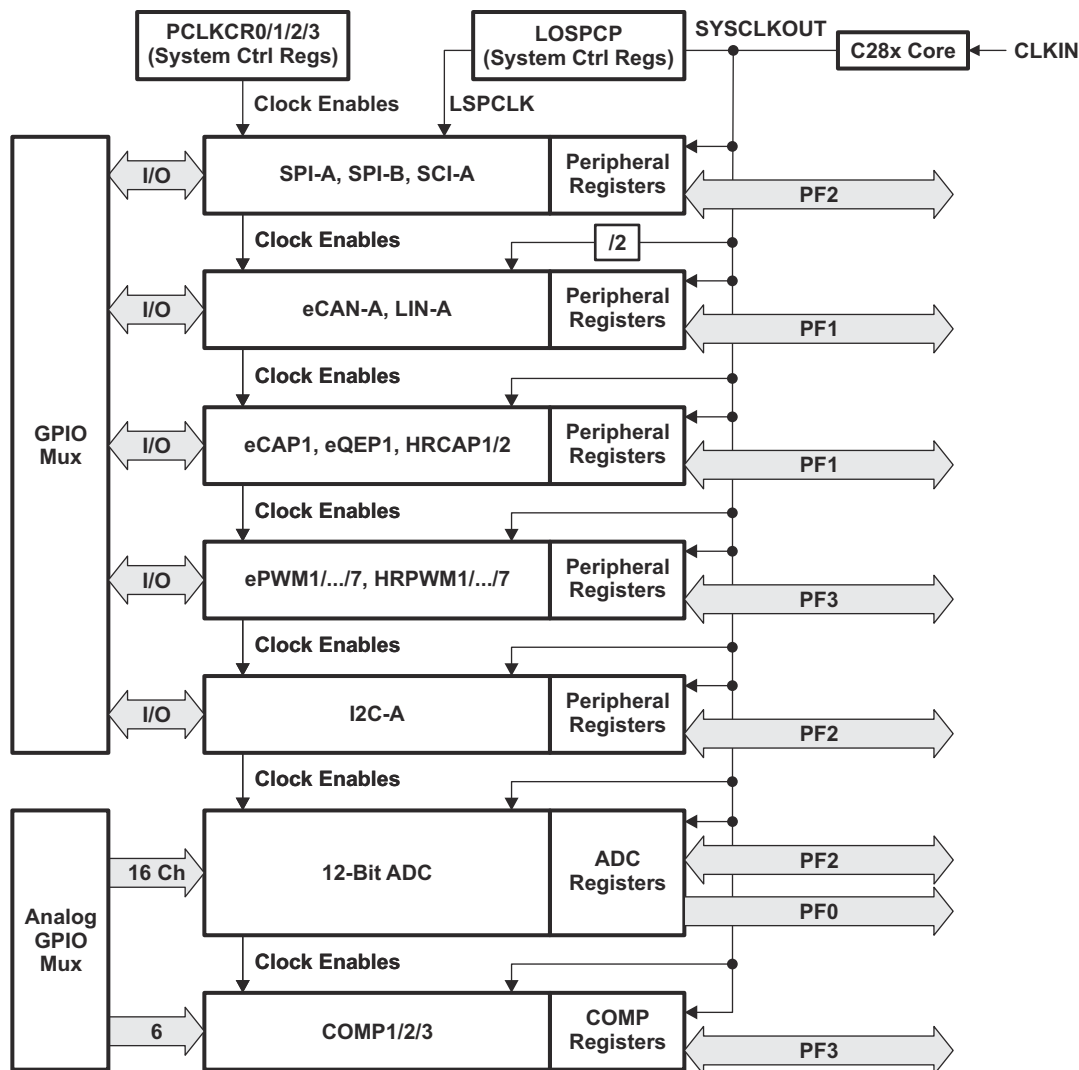
このセクションでは、発振器およびクロック駆動機構、ウォッチドッグ機能、低消費電力モードについて説明します。

表 7-13. PLL、クロック駆動、ウォッチドッグ、低消費電力モード レジスタ

名称	アドレス	サイズ (x16)	説明 ⁽¹⁾
BORCFG	0x00 0985	1	BOR 構成レジスタ
XCLK	0x00 7010	1	XCLKOUT 制御
PLLSTS	0x00 7011	1	PLL ステータス レジスタ
CLKCTL	0x00 7012	1	クロック制御レジスタ
PLLLOCKPRD	0x00 7013	1	PLL ロック期間
INTOSC1TRIM	0x00 7014	1	内部発振器 1 調整レジスタ
INTOSC2TRIM	0x00 7016	1	内部発振器 2 調整レジスタ
PCLKCR2	0x00 7019	1	ペリフェラル クロック制御レジスタ 2
LOSPCP	0x00 701B	1	低速ペリフェラル クロック プリスケアラ レジスタ
PCLKCR0	0x00 701C	1	ペリフェラル クロック制御レジスタ 0
PCLKCR1	0x00 701D	1	ペリフェラル クロック制御レジスタ 1
LPMCR0	0x00 701E	1	低消費電力モード制御レジスタ 0
PCLKCR3	0x00 7020	1	ペリフェラル クロック制御レジスタ 3
PLLCR	0x00 7021	1	PLL 制御レジスタ
SCSR	0x00 7022	1	システム コントロールおよびステータス レジスタ
WDCNTR	0x00 7023	1	ウォッチドッグ カウンタ レジスタ
WDKEY	0x00 7025	1	ウォッチドッグ リセット キー レジスタ
WDCR	0x00 7029	1	ウォッチドッグ制御レジスタ

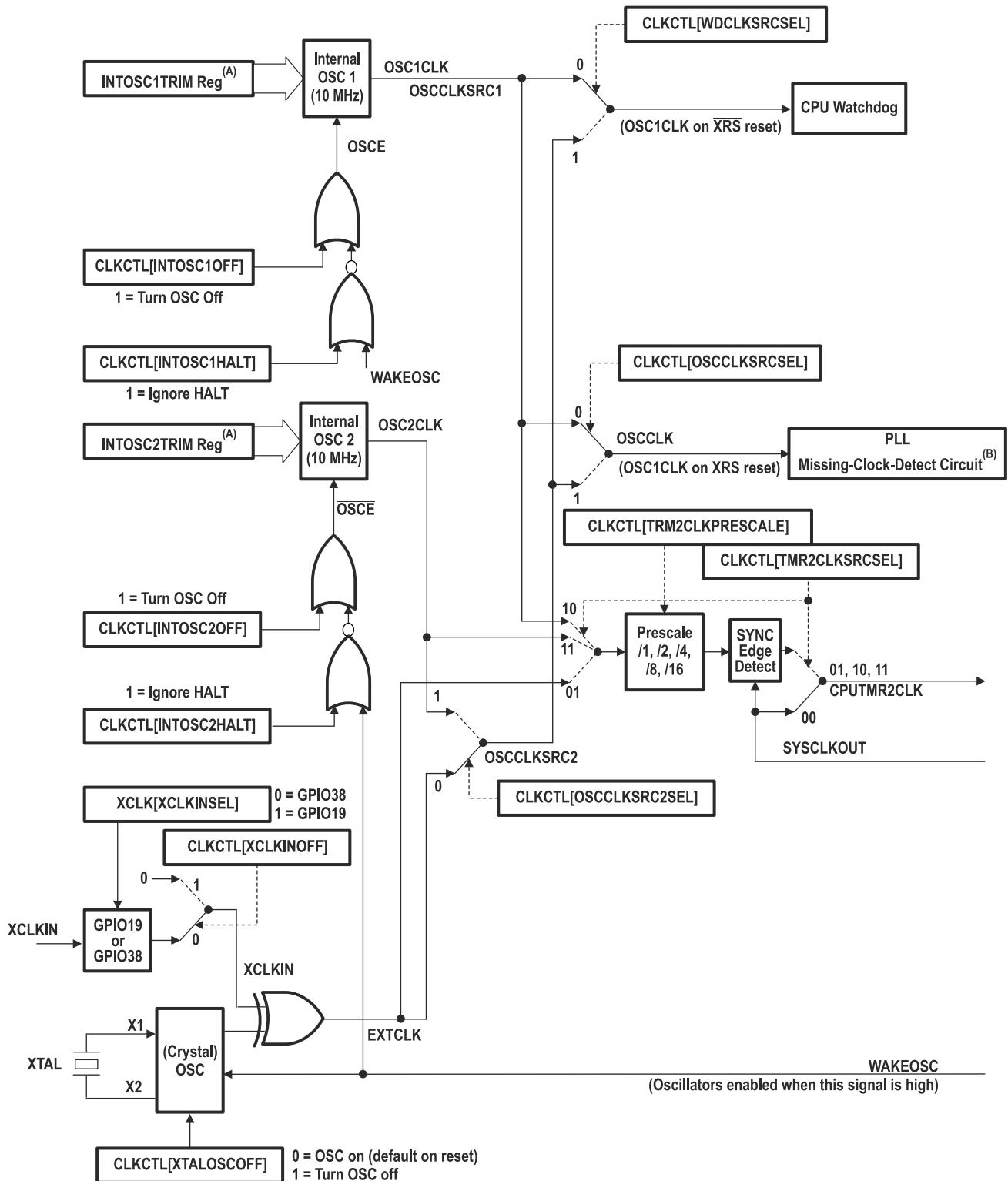
(1) この表のすべてのレジスタは EALLOW 保護されています。

図 7-6 に、説明されている各種クロックドメインを示します。図 7-7 に、デバイス動作クロックを供給できる各種クロックソース (内部と外部の両方) を示します。



A. CLKIN は、CPU へのクロックです。CPU から SYSCLKOUT として出力されます (つまり、CLKIN は SYSCLKOUT と同じ周波数です)。

図 7-6. クロックおよびリセット ドメイン



- A. テキサス・インスツルメンツ OTP ベース キャリブレーション機能から読み込まれるレジスタ。
B. クロック喪失検出の詳細については、[セクション 7.6.4](#) を参照してください。

図 7-7. クロック ツリー

7.6.1 内部ゼロ ピン発振器

F2803x デバイスは、2 つの独立したゼロ ピン発振器を内蔵しています。デフォルトでは、電源投入時に両方の発振器がオンになり、このとき内部発振器 1 がデフォルトのクロック ソースになります。消費電力を節約するため、未使用の発振器をユーザーがオフにすることもできます。これらの発振器の中心周波数は、それぞれの発振器の調整レジスタによって決定されます。これらのレジスタは、ブート ROM 実行の一部としてキャリブレーション ルーチンで書き込まれます。これらの発振器の詳細については、[セクション 6](#)「電氣的仕様」を参照してください。

7.6.2 水晶発振器オプション

オンチップ水晶発振器 X1 および X2 ピンは 1.8V レベルの信号であり、3.3V レベルの信号は印加できません。システムの 3.3V 外部発振器をクロック ソースとして使う場合、その発振器を XCLKIN ピンのみに接続する必要があります。X1 ピンはシングルエンド クロック入力として使うことを意図していません。X2 および水晶振動子と組み合わせて使用する必要があります。

[表 7-14](#) に、外付け水晶振動子の代表的な仕様 (基本モード、並列共振) を示します。また、ESR 範囲は 30~150Ω です。[表 7-14](#) の場合、 C_{shunt} は 5pF 以下とする必要があります。

表 7-14. 外付け水晶振動子の代表的な仕様

周波数 (MHz)	R_d (Ω)	C_{L1} (pF)	C_{L2} (pF)
5	2200	18	18
10	470	15	15
15	0	15	15
20	0	12	12

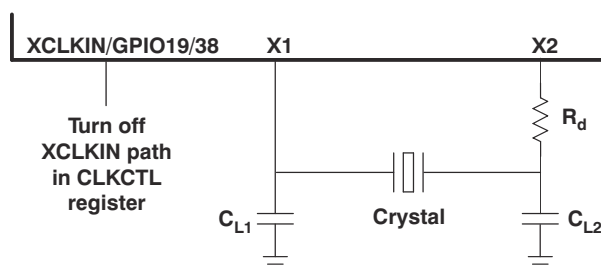


図 7-8. オンチップ水晶発振器の使い方

注

- C_{L1} と C_{L2} は基板と部品 (IC と水晶振動子を除く) の総容量です。この値は通常、水晶振動子の負荷容量の値の約 2 倍です。
- 水晶振動子の負荷容量は、メーカーの水晶振動子仕様に記載されています。
- MCU チップと組み合わせた場合の共振器 / 水晶振動子デバイスの動作を、共振器 / 水晶振動子ベンダに評価させることを推奨します。発振器 / 水晶振動子のベンダには、タンク回路を調整するための機器と専門知識があります。動作範囲全体にわたって適切な起動と安定性を実現するタンク部品の適正值について、ベンダは顧客に助言することもできます。

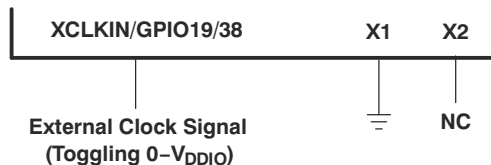


図 7-9. 3.3V 外部発振器の使い方

7.6.3 PLL ベース クロック モジュール

本デバイスは、PLL を利用したクロック モジュールを内蔵しています。このモジュールは、デバイスに必要なすべてのクロック信号を供給するとともに、低消費電力モードへの移行を制御します。この PLL は、各種 CPU クロック レートを選択するために 4 ビット比制御 PLLCR[DIV] を備えています。PLLCR レジスタに書き込む前に、ウォッチドッグ モジュールを無効化する必要があります。PLL モジュールが安定した後 (それに 1ms を要します)、(必要な場合) ウォッチドッグ モジュールを再び有効化できます。PLL (VCOCLK) の出力周波数が 50MHz 以上になるように、入力クロックと PLLCR[DIV] ビットを選択する必要があります。

表 7-15. PLL の設定

PLLCR[DIV] 値 ^{(2) (3)}	SYSCLKOUT (CLKIN)		
	PLLSTS[DIVSEL] = 0 または 1 ⁽¹⁾	PLLSTS[DIVSEL] = 2	PLLSTS[DIVSEL] = 3
0000 (PLL バイパス)	OSCCLK/4 (デフォルト) ⁽²⁾	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK * 1)/2	(OSCCLK * 1)/1
0010	(OSCCLK * 2)/4	(OSCCLK * 2)/2	(OSCCLK * 2)/1
0011	(OSCCLK * 3)/4	(OSCCLK * 3)/2	(OSCCLK * 3)/1
0100	(OSCCLK * 4)/4	(OSCCLK * 4)/2	(OSCCLK * 4)/1
0101	(OSCCLK * 5)/4	(OSCCLK * 5)/2	(OSCCLK * 5)/1
0110	(OSCCLK * 6)/4	(OSCCLK * 6)/2	(OSCCLK * 6)/1
0111	(OSCCLK * 7)/4	(OSCCLK * 7)/2	(OSCCLK * 7)/1
1000	(OSCCLK * 8)/4	(OSCCLK * 8)/2	(OSCCLK * 8)/1
1001	(OSCCLK * 9)/4	(OSCCLK * 9)/2	(OSCCLK * 9)/1
1010	(OSCCLK * 10)/4	(OSCCLK * 10)/2	(OSCCLK * 10)/1
1011	(OSCCLK * 11)/4	(OSCCLK * 11)/2	(OSCCLK * 11)/1
1100	(OSCCLK * 12)/4	(OSCCLK * 12)/2	(OSCCLK * 12)/1

- (1) デフォルトでは、PLLSTS[DIVSEL] は /4 に設定されています (ブート ROM はこれを /1 に変更します)。PLLSTS[DIVSEL] は、PLLCR に書き込む前に 0 にする必要があり、PLLSTS[PLLLOCKS] = 1 に設定した後に変更する必要があります。
- (2) PLL 制御レジスタ (PLLCR) と PLL ステータス レジスタ (PLLSTS) は、XRS 信号またはウォッチドッグ リセットによってのみデフォルト状態にリセットされます。デバッグまたはクロック喪失検出ロジックによって発行されたリセットは、何の影響も及ぼしません。
- (3) このレジスタは EALLOW 保護されています。詳細については、『TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「システム コントロール」の章を参照してください。

表 7-16. CLKIN の分周比の選択

PLLSTS [DIVSEL]	CLKIN 分周
0	/4
1	/4
2	/2
3	/1

PLL ベース クロック モジュールは次の 4 つの動作モードを備えています。

- **INTOSC1 (内部ゼロ ピン発振器 1):**これはオンチップの内部発振器 1 です。これは、ウォッチドッグ ブロック、コア、CPU タイマ 2 のクロックを供給できます。
- **INTOSC2 (内部ゼロ ピン発振器 2):**これはオンチップの内部発振器 2 です。これは、ウォッチドッグ ブロック、コア、CPU タイマ 2 のクロックを供給できます。INTOSC1 と INTOSC2 はどちらも、ウォッチドッグ ブロック、コア、CPU タイマ 2 用として個別に選択できます。
- **水晶振動子 / 共振器の動作:**オンチップ (水晶振動子) 発振器により、本デバイスに接続された外部水晶振動子 / 共振器を使ってタイム ベースを提供できます。この水晶振動子 / 共振器は X1/X2 ピンに接続されます。デバイスの種類によっては、X1/X2 ピンを持っていないデバイスもあります。詳細については、表 5-1 を参照してください。
- **外部クロック ソース動作:**オンチップ (水晶振動子) 発振器が使われていない場合、このモードを使うと、オンチップ発振器をバイパスできます。本デバイスのクロックは、XCLKIN ピンに入力された外部クロック ソースから生成されます。XCLKIN は、GPIO19 または GPIO38 ピンと多重化されています。XCLKIN 入力は、XCLK レジスタの XCLKINSEL ビットによって GPIO19 または GPIO38 として選択できます。CLKCTL[XCLKINOFF] ビットを Low に強制すると、このクロック入力は無効化されます。このクロック ソースを使わない場合、またはそれぞれのピンを GPIO として使う場合、ユーザーはブート時にこのクロック入力を無効化する必要があります。

クロック ソースを変更する前に、目的のクロックが存在することを確認します。クロックが存在しない場合、クロックを切り替える前に、(CLKCTL レジスタを使って) そのクロック ソースを無効化する必要があります。

表 7-17. 設定可能な PLL モード

PLL MODE	説明	PLLSTS[DIVSEL]	CLKIN および SYSCLKOUT
PLL オフ	PLLSTS レジスタの PLLOFF ビットをユーザーが設定すると、このモードになります。このモードでは、PLL ブロックは無効化されます。これは、システム ノイズ低減と低消費電力動作に有効です。このモードに入る前に、PLLCR レジスタを 0x0000 (PLL バイパス) に設定する必要があります。CPU クロック (CLKIN) は、X1/X2、X1、XCLKIN のいずれかの入力クロックから直接生成されます。	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL バイパス	PLL バイパスは、電源オン時または外部リセット (XRS) 後のデフォルトの PLL 設定です。このモードは、PLLCR レジスタが 0x0000 に設定された場合、または PLLCR レジスタが変更された後に PLL が新しい周波数にロックされた場合に選択されます。このモードでは、PLL はバイパスされますが、オフにはなりません。	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL オン	ゼロでない値 n を PLLCR レジスタに書き込むことにより、このモードになります。PLLCR に書き込むと、PLL がロックされるまで本デバイスは PLL バイパス モードに切り替わりま	0, 1 2 3	OSCCLK * n/4 OSCCLK * n/2 OSCCLK * n/1

7.6.4 入力クロックの喪失 (NMI ウォッチドッグ機能)

2803x デバイスには、内部ゼロ ピン発振器 (INTOSC1/INTOSC2) の 1 つ、オンチップ水晶発振器、外部クロック入力のいずれかからクロックを供給できます。クロック ソースに関係なく、PLL イネーブルおよび PLL バイパス モードでは、PLL への入力クロックが失われた場合、PLL はその出力にリンプモード クロックを生成します。このリンプ モード クロックは、1 ~ 5MHz (標準値) の周波数で CPU とペリフェラルにクロックを供給し続けます。

リンプ モードが作動すると、CLOCKFAIL 信号が生成され、NMI 割り込みとしてラッチされます。NMIRESETSEL ビットがどのように設定されているかに応じて、本デバイスに対するリセットを即座に発行し、または NMI ウォッチドッグ カウンタがオーバーフローした時点でリセットを発行することができます。これに加えて、ミッシング クロック ステータス (MCLKSTS) ビットがセットされます。NMI 割り込みは、入力クロックの障害を検出し、必要な是正措置 (例: 代替クロック ソース (利用可能な場合) への切り替え、システムのシャットダウン手順の開始) を開始するためにアプリケーションによって使われることがあります。

クロック障害状態にソフトウェアが応答しない場合、事前に設定された時間間隔の後に NMI ウォッチドッグがリセットをトリガします。図 7-10 に、関連する割り込み機構を示します。

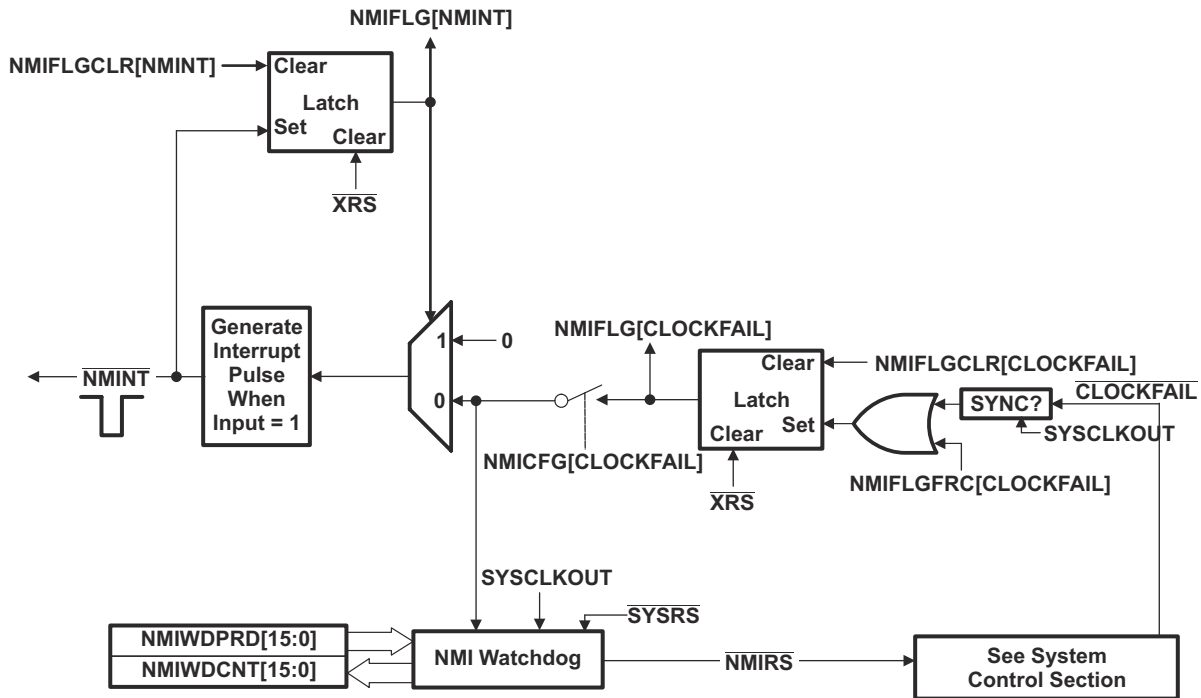


図 7-10. NMI ウォッチドッグ

7.6.5 CPU ウォッチドッグ モジュール

2803x デバイスの CPU ウォッチドッグ モジュールは、281x/280x/283xx デバイスで使われているものと似ています。このモジュールは、8 ビット ウォッチドッグ アップ カウンタが最大値に達するたびに、512 OSCCLK (発振器クロック) 幅の出力パルスを生じます。これを防止するため、ユーザーはカウンタを無効化する必要があります。またはソフトウェアが、ウォッチドッグ カウンタをリセットするウォッチドッグ キー レジスタに 0x55 + 0xAA シーケンスを定期的書き込む必要があります。図 7-11 に、ウォッチドッグ モジュール内の各種機能ブロックを示します。

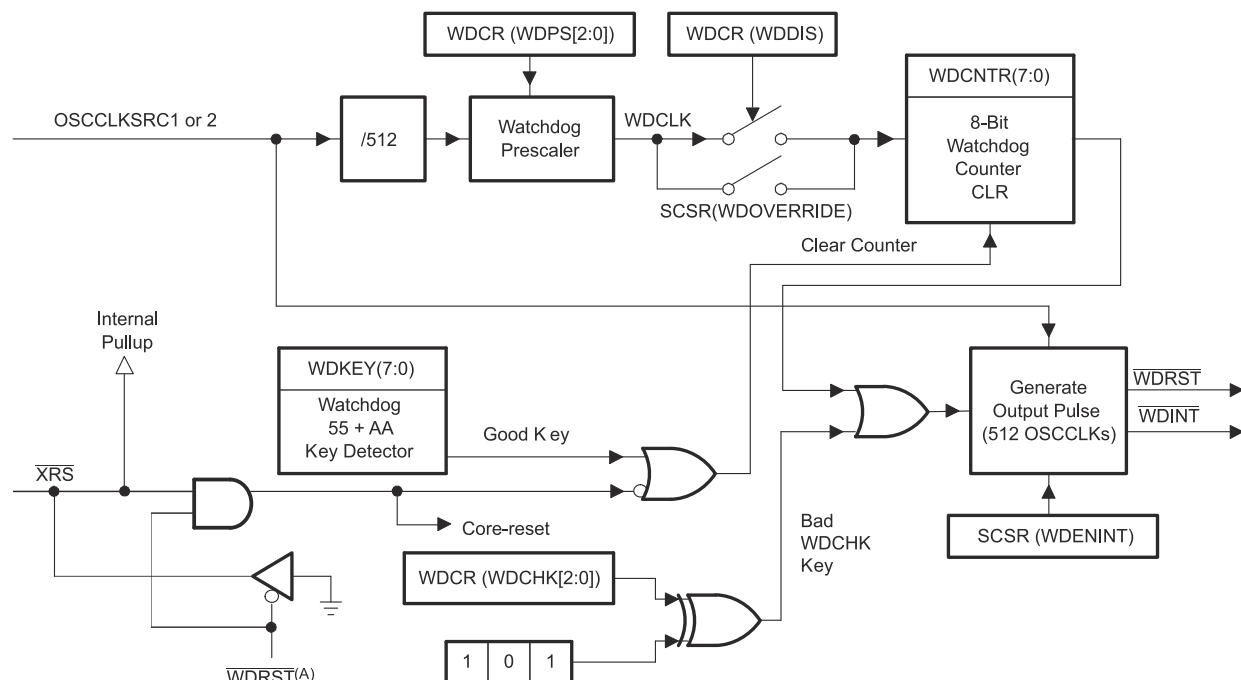
通常、入力クロックが存在する場合、CPU ウォッチドッグ リセットまたは WDINT 割り込みを開始するため CPU ウォッチドッグ カウンタはデクリメントします。しかし、外部入力クロックが機能しなくなった場合、CPU ウォッチドッグ カウンタはデクリメントを停止します (つまり、ウォッチドッグ カウンタはリンプ モードのクロックでは変化しません)。

注

CPU ウォッチドッグは、NMI ウォッチドッグとは異なります。CPU ウォッチドッグは、すべての 28x デバイスが備えるレガシー ウォッチドッグです。

注

正確な CPU 動作周波数が不可欠であるアプリケーションでは、入力クロックが機能しなくなった場合に MCU をリセット状態に保持する機構を実装する必要があります。たとえば、R-C 回路を使ってコンデンサが完全に充電された場合に、MCU の XRS ピンをトリガすることができます。コンデンサが完全に充電されないように、1 本の I/O ピンを使って定期的にコンデンサを放電することができます。そのような回路は、フラッシュメモリの障害検出にも役立ちます。



A. $\overline{\text{WDRST}}$ 信号は 512 OSCCLK サイクルの間 Low に駆動されます。

図 7-11. CPU ウォッチドッグ モジュール

$\overline{\text{WDINT}}$ 信号により、ウォッチドッグをアイドル / スタンバイ モードからのウェイクアップとして使用できます。

STANDBY モードでは、デバイス上のすべてのペリフェラルがオフになります。機能を維持している唯一のペリフェラルが CPU ウォッチドッグです。このモジュールは OSCCLK で動作します。本デバイスを STANDBY から復帰させることができるように、(使用可能な場合) $\overline{\text{WDINT}}$ 信号が LPM ブロックに供給されます。詳細については、[セクション 7.7](#)「低消費電力モードブロック」を参照してください。

IDLE モードでは、 $\overline{\text{WDINT}}$ 信号が PIE を経由して CPU への割り込みを生成することで、CPU を IDLE モードから復帰させることができます。

HALT モードでは、デバイスリセットによって本デバイスをウェイクアップするために CPU ウォッチドッグを使えます。

7.7 低消費電力モード ブロック

表 7-18 に、各種モードを示します。

表 7-18. 低消費電力モード

モード	LPMCR0(1:0)	OSCCLK	CLKIN	SYSCLKOUT	終了 ⁽¹⁾
アイドル	00	オン	オン	オン	$\overline{XRS}$ 、CPU ウォッチドッグ割り込み、有効な任意の割り込み
スタンバイ	01	オン (CPU ウォッチドッグはまだ実行中)	オフ	オフ	$\overline{XRS}$ 、CPU ウォッチドッグ割り込み、GPIO ポート A 信号、デバッグ ⁽²⁾
HALT ⁽³⁾	1X	オフ (オンチップ水晶発振器と PLL はオフ、ゼロピン発振器と CPU ウォッチドッグの状態はユーザーコードに依存)	オフ	オフ	$\overline{XRS}$ 、GPIO ポート A 信号、デバッグ ⁽²⁾ 、CPU ウォッチドッグ

- (1) 「終了」列に、低消費電力モードを終了させる信号の種類また条件を示します。いずれかの信号が **Low** になると、低消費電力状態は終了します。本デバイスが割り込みを認識できるように、この信号を十分長い間 **Low** に保持する必要があります。さもないと低消費電力モードは終了せず、本デバイスは示された低消費電力モードに戻ります。
- (2) CPU クロック (CLKIN) がオフにされたとしても、JTAG ポートは引き続き機能できます。
- (3) 本デバイスが HALT モードに移行するには、WDCLK が作動している必要があります。

各種低消費電力モードは次のように動作します。

- IDLE モード:** このモードは、プロセッサによって認識された有効な任意の割り込みによって終了します。LPMCR0(LPM) ビットが 0,0 に設定されている限り、このモード中 LPM ブロックはいずれのタスクも実行しません。
- STANDBY モード:** 任意の GPIO ポート A 信号 (GPIO[31:0]) は、本デバイスを STANDBY モードから復帰させることができます。ユーザーは、デバイスをウェークアップする信号を、GPIO_LPMSEL レジスタで選択する必要があります。選択した信号も、デバイスをウェークアップする前に OSCCLK によってフィルタされます。OSCCLK の数は、LPMCR0 レジスタで指定されます。
- HALT モード:** CPU ウォッチドッグ、 $\overline{XRS}$ 、任意の GPIO ポート A 信号 (GPIO[31:0]) は、本デバイスを HALT モードから復帰させることができます。ユーザーは GPIO_LPMSEL レジスタでその信号を選択します。

注

低消費電力モードは、出力ピンの状態に影響を与えません (PWM ピンを含む)。出力ピンは、IDLE 命令が実行された際にコードによって変化した状態になります。詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「システム コントロール」の章を参照してください。

7.8 割り込み

図 7-12 に、各種の割り込みソースがどのように多重化されているかを示します。

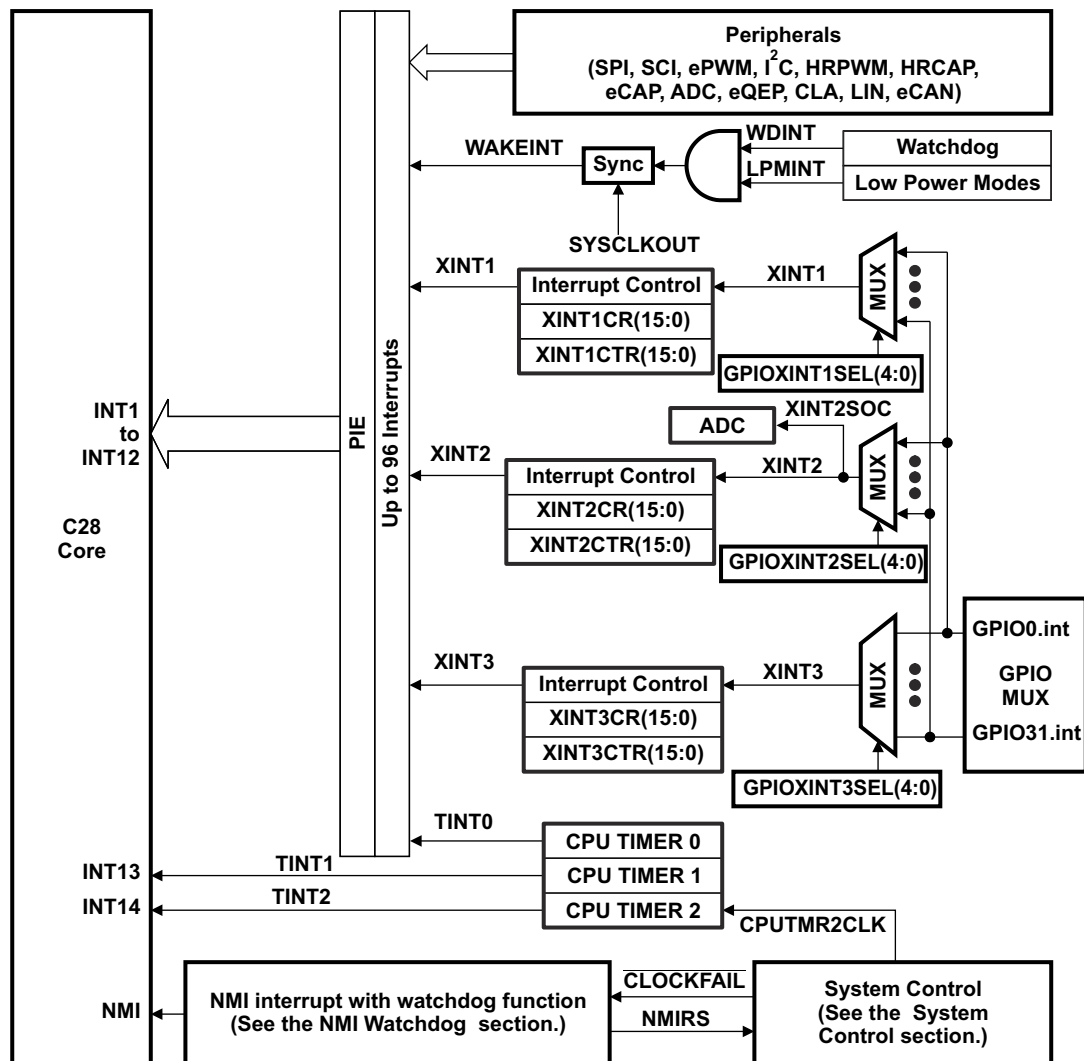


図 7-12. 外部および PIE 割り込みソース

8 つの PIE ブロック割り込みが 1 つの CPU 割り込みグループにまとめられます。合計で 12 の CPU 割り込みグループ (グループごとに 8 つの割り込み) は、あり得る 96 の割り込みに相当します。表 7-19 に、2803x デバイスで使用されている割り込みを示します。

TRAP #VectorNumber 命令は、指定されたベクタに対応する割り込みサービス ルーチンにプログラム制御を渡します。TRAP #0 命令は、リセット ベクタによって示されたアドレスにプログラム制御を渡そうと試みます。しかし、PIE ベクタ テーブルはリセット ベクタを含みません。したがって、PIE が有効化されている場合、TRAP #0 命令を使わないでください。TRAP #0 命令の使用は未定義の挙動につながります。

PIE が有効化されている場合、TRAP #1~TRAP #12 の命令は、PIE グループ内の最初のベクタに対応する割り込みサービス ルーチンにプログラム制御を渡します。たとえば、TRAP #1 命令は INT1.1 からベクタをフェッチし、TRAP #2 命令は INT2.1 からベクタをフェッチします (以下同様)。

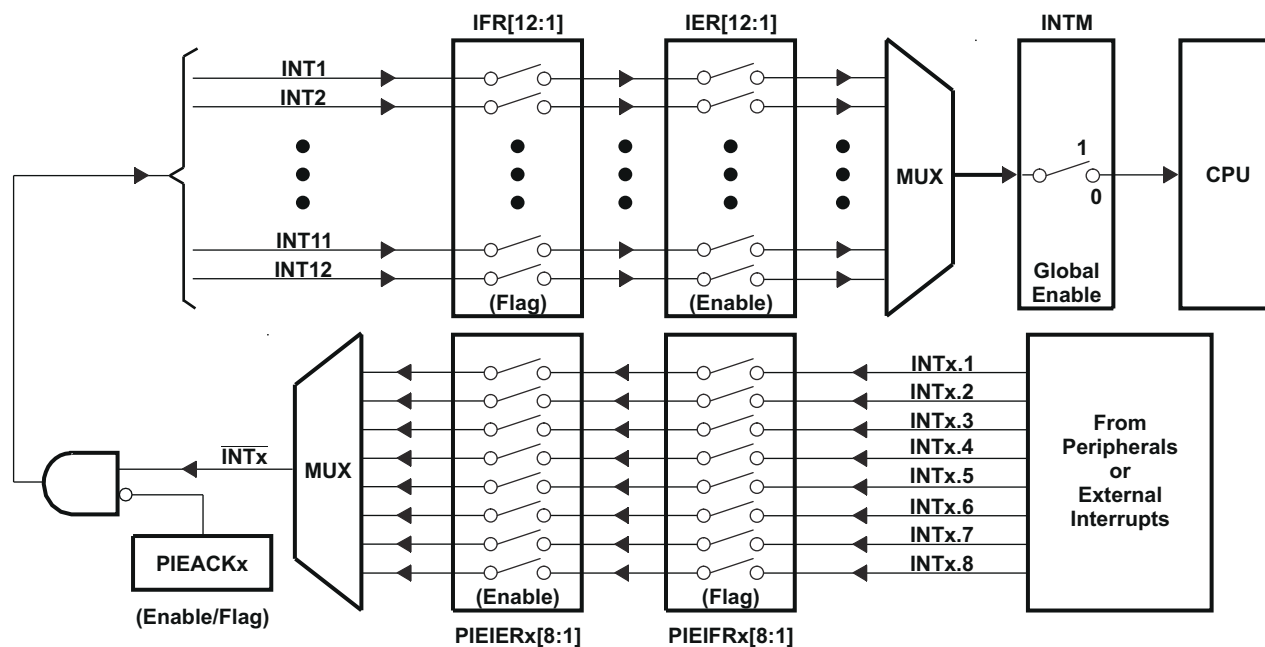


図 7-13. PIE ブロックを使用した割り込みの多重化

表 7-19 では、あり得る 96 の割り込みのうち、一部の割り込みは使われていません。これらの割り込みは、将来のデバイスを想定して予約されています。これらの割り込みが **PIEIFRx** レベルで有効化されており、そのグループ内の割り込みがペリフェラルによって 1 つも使われていない限り、これらの割り込みをソフトウェア割り込みとして使用できます。それ以外の場合、**PIEIFR** を変更するときに偶発的にフラグがクリアされて、ペリフェラルからの割り込みが失われる可能性があります。要約すると、予約済みの割り込みをソフトウェア割り込みとして安全に使用できる場合として以下の 2 つがあります。

1. 割り込みをアサートしているペリフェラルがグループ内に 1 つもない場合。
2. ペリフェラル割り込みがグループ (例: **PIE** グループ 7) に 1 つも割り当てられていない場合。

表 7-19. PIE 多重化ペリフェラル割り込みベクタ テーブル

	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1.y	WAKEINT (LPM/WD) 0xD4E	TINT0 (タイマ 0) 0xD4C	ADCINT9 (ADC) 0xD4A	XINT2 外部割り込み 2 0xD48	XINT1 外部割り込み 1 0xD46	予約済み – 0xD44	ADCINT2 (ADC) 0xD42	ADCINT1 (ADC) 0xD40
INT2.y	予約済み – 0xD5E	EPWM7_TZINT (ePWM7) 0xD5C	EPWM6_TZINT (ePWM6) 0xD5A	EPWM5_TZINT (ePWM5) 0xD58	EPWM4_TZINT (ePWM4) 0xD56	EPWM3_TZINT (ePWM3) 0xD54	EPWM2_TZINT (ePWM2) 0xD52	EPWM1_TZINT (ePWM1) 0xD50
INT3.y	予約済み – 0xD6E	EPWM7_INT (ePWM7) 0xD6C	EPWM6_INT (ePWM6) 0xD6A	EPWM5_INT (ePWM5) 0xD68	EPWM4_INT (ePWM4) 0xD66	EPWM3_INT (ePWM3) 0xD64	EPWM2_INT (ePWM2) 0xD62	EPWM1_INT (ePWM1) 0xD60
INT4.y	HRCAP2_INT (HRCAP2) 0xD7E	HRCAP1_INT (HRCAP1) 0xD7C	予約済み – 0xD7A	予約済み – 0xD78	予約済み – 0xD76	予約済み – 0xD74	予約済み – 0xD72	ECAP1_INT (eCAP1) 0xD70
INT5.y	予約済み – 0xD8E	予約済み – 0xD8C	予約済み – 0xD8A	予約済み – 0xD88	予約済み – 0xD86	予約済み – 0xD84	予約済み – 0xD82	EQEP1_INT (eQEP1) 0xD80
INT6.y	予約済み – 0xD9E	予約済み – 0xD9C	予約済み – 0xD9A	予約済み – 0xD98	SPITXINTB (SPI-B) 0xD96	SPIRXINTB (SPI-B) 0xD94	SPITXINTA (SPI-A) 0xD92	SPIRXINTA (SPI-A) 0xD90
INT7.y	予約済み – 0xDAE	予約済み – 0xDAC	予約済み – 0xDAA	予約済み – 0xDA8	予約済み – 0xDA6	予約済み – 0xDA4	予約済み – 0xDA2	予約済み – 0xDA0
INT8.y	予約済み – 0xDBE	予約済み – 0xDBC	予約済み – 0xDBA	予約済み – 0xDB8	予約済み – 0xDB6	予約済み – 0xDB4	I2CINT2A (I2C-A) 0xDB2	I2CINT1A (I2C-A) 0xDB0
INT9.y	予約済み – 0xDCE	予約済み – 0xDCC	ECAN1_INTA (CAN-A) 0xDCA	ECAN0_INTA (CAN-A) 0xDC8	LIN1_INTA (LIN-A) 0xDC6	LIN0_INTA (LIN-A) 0xDC4	SCITXINTA (SCI-A) 0xDC2	SCIRXINTA (SCI-A) 0xDC0
INT10.y	ADCINT8 (ADC) 0xDDE	ADCINT7 (ADC) 0xDDC	ADCINT6 (ADC) 0xDDA	ADCINT5 (ADC) 0xDD8	ADCINT4 (ADC) 0xDD6	ADCINT3 (ADC) 0xDD4	ADCINT2 (ADC) 0xDD2	ADCINT1 (ADC) 0xDD0
INT11.y	CLA1_INT8 (CLA) 0xDEE	CLA1_INT7 (CLA) 0xDEC	CLA1_INT6 (CLA) 0xDEA	CLA1_INT5 (CLA) 0xDE8	CLA1_INT4 (CLA) 0xDE6	CLA1_INT3 (CLA) 0xDE4	CLA1_INT2 (CLA) 0xDE2	CLA1_INT1 (CLA) 0xDE0
INT12.y	LUF (CLA) 0xDFE	LVF (CLA) 0xDFC	予約済み – 0xDFA	予約済み – 0xDF8	予約済み – 0xDF6	予約済み – 0xDF4	予約済み – 0xDF2	XINT3 外部割り込み 3 0xDF0

表 7-20. PIE 構成および制御レジスタ

名称	アドレス	サイズ (x16)	説明 ⁽¹⁾
PIECTRL	0x0CE0	1	PIE、制御レジスタ
PIEACK	0x0CE1	1	PIE、アクノリッジレジスタ
PIEIER1	0x0CE2	1	PIE、INT1 グループ イネーブル レジスタ
PIEIFR1	0x0CE3	1	PIE、INT1 グループ フラグ レジスタ
PIEIER2	0x0CE4	1	PIE、INT2 グループ イネーブル レジスタ
PIEIFR2	0x0CE5	1	PIE、INT2 グループ フラグ レジスタ
PIEIER3	0x0CE6	1	PIE、INT3 グループ イネーブル レジスタ
PIEIFR3	0x0CE7	1	PIE、INT3 グループ フラグ レジスタ
PIEIER4	0x0CE8	1	PIE、INT4 グループ イネーブル レジスタ
PIEIFR4	0x0CE9	1	PIE、INT4 グループ フラグ レジスタ
PIEIER5	0x0CEA	1	PIE、INT5 グループ イネーブル レジスタ
PIEIFR5	0x0CEB	1	PIE、INT5 グループ フラグ レジスタ
PIEIER6	0x0CEC	1	PIE、INT6 グループ イネーブル レジスタ
PIEIFR6	0x0CED	1	PIE、INT6 グループ フラグ レジスタ
PIEIER7	0x0CEE	1	PIE、INT7 グループ イネーブル レジスタ
PIEIFR7	0x0CEF	1	PIE、INT7 グループ フラグ レジスタ
PIEIER8	0x0CF0	1	PIE、INT8 グループ イネーブル レジスタ
PIEIFR8	0x0CF1	1	PIE、INT8 グループ フラグ レジスタ
PIEIER9	0x0CF2	1	PIE、INT9 グループ イネーブル レジスタ
PIEIFR9	0x0CF3	1	PIE、INT9 グループ フラグ レジスタ
PIEIER10	0x0CF4	1	PIE、INT10 グループ イネーブル レジスタ
PIEIFR10	0x0CF5	1	PIE、INT10 グループ フラグ レジスタ
PIEIER11	0x0CF6	1	PIE、INT11 グループ イネーブル レジスタ
PIEIFR11	0x0CF7	1	PIE、INT11 グループ フラグ レジスタ
PIEIER12	0x0CF8	1	PIE、INT12 グループ イネーブル レジスタ
PIEIFR12	0x0CF9	1	PIE、INT12 グループ フラグ レジスタ
予約済み	0x0CFA – 0x0CFF	6	予約済み

(1) PIE 構成および制御レジスタは、EALLOW モードで保護されません。PIE ベクタ テーブルが保護されます。

7.8.1 外部割り込み

表 7-21. 外部割り込みレジスタ

名称	アドレス	サイズ (x16)	説明
XINT1CR	0x00 7070	1	XINT1 構成レジスタ
XINT2CR	0x00 7071	1	XINT2 構成レジスタ
XINT3CR	0x00 7072	1	XINT3 構成レジスタ
XINT1CTR	0x00 7078	1	XINT1 カウンタ レジスタ
XINT2CTR	0x00 7079	1	XINT2 カウンタ レジスタ
XINT3CTR	0x00 707A	1	XINT3 カウンタ レジスタ

各外部割り込みは有効化 / 無効化でき、または正、負、正と負の両方のエッジを使用してクオリファイできます。詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「システム コントロール」の章を参照してください。

7.8.1.1 外部割り込みの電氣的データ / タイミング

7.8.1.1.1 外部割り込みのタイミング要件

		最小値	最大値	単位
$t_{w(INT)}$ ^{(1) (2)} パルス幅、INT 入力 Low/High	同期	$1t_{c(SCO)}$		サイクル数
	クオリファイア付き	$1t_{c(SCO)} + t_{w(IQSW)}$		サイクル数

(1) 入力フィルタ パラメータの説明については、[セクション 7.9.15.1.2.1](#) を参照してください。

(2) このタイミングは、ADC SOC 機能用に構成された任意の GPIO ピンに適用できます。

7.8.1.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	最大値	単位
$t_{d(INT)}$ ⁽¹⁾ 遅延時間、INT Low/High から割り込みベクタ フェッチまで		$t_{w(IQSW)} + 12t_{c(SCO)}$	サイクル

(1) 入力クオリファイア パラメータの説明については、[セクション 7.9.15.1.2.1](#) を参照してください。

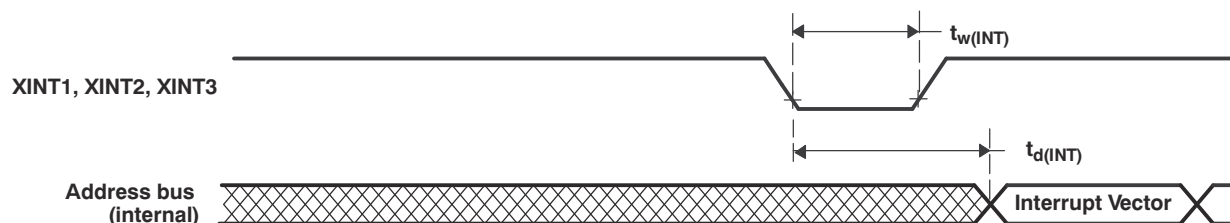


図 7-14. 外部割り込みのタイミング

7.9 ペリフェラル

7.9.1 制御補償器アクセラレータ (CLA) の概要

制御補償アクセラレータは、並列処理を追加することで C28x CPU の機能を拡張します。時間に制約のある制御ループを CLA で処理することにより、ADC のサンプリングから出力までの遅延を低減できます。したがって CLA を使用することで、より速いシステム応答とより高い周波数の制御ループを実現できます。時間に制約のあるタスクに CLA を利用すると、メイン CPU が解放され、その他のシステム機能と通信機能を同時に実行できます。CLA の主な機能を以下に示します。

- メイン CPU (SYSCLKOUT) と同じ速度のクロックで動作
- 独立したアーキテクチャにより、メイン C28x CPU から独立して CLA アルゴリズムを実行
 - 充実したバス アーキテクチャ:
 - プログラム アドレス バスとプログラム データ バス
 - データ アドレス バス、データ読み出しバス、データ書き込みバス
 - 独立した 8 段パイプライン
 - 12 ビット プログラム カウンタ (MPC)
 - 4 つの 32 ビット結果レジスタ (MR0～MR3)
 - 2 つの 16 ビット補助レジスタ (MAR0、MAR1)
 - ステータス レジスタ (MSTF)
- 命令セットの内容:
 - IEEE 単精度 (32 ビット) 浮動小数点演算
 - 並列ロードまたはストア付き浮動小数点演算
 - 並列加減算付き浮動小数点乗算
 - $1/X$ と $1/\sqrt{X}$ の概算
 - データ タイプ変換
 - 条件付き分岐および呼び出し
 - データのロード / ストア操作
- CLA プログラム コードは、最大 8 つのタスクまたは割り込みサービス ルーチンで構成できる。
 - 各タスクの開始アドレスは MVECT レジスタで指定される。
 - CLA プログラム メモリ空間内にタスクが収まる限り、タスク サイズに制限はない。
 - 一度に 1 つのタスクが最後まで処理される。タスクのネスティングはない。
 - タスクが完了すると、PIE 内でタスク固有の割り込みが生成される。
 - 1 つのタスクが完了すると、次に優先度が高い保留タスクが自動的に開始される。
- タスクトリガ機構:
 - IACK 命令経由 C28x CPU
 - タスク 1 からタスク 7: 対応する ADC または ePWM モジュールの割り込み。例を示します。
 - タスク 1: ADCINT1 または EPWM1_INT
 - タスク 2: ADCINT2 または EPWM2_INT
 - タスク 7: ADCINT7 または EPWM7_INT
 - タスク 8: ADCINT8 または CPU タイマ 0 によって
- メモリと共有ペリフェラル:
 - CLA とメイン CPU の間の通信のための 2 つの専用メッセージ RAM。
 - C28x CPU は、CLA プログラムとデータ メモリをメイン CPU 空間または CLA 空間に割り当てることが可能。
 - CLA は、ADC 結果レジスタ、コンパレータ レジスタ、ePWM+HRPWM レジスタに直接アクセス可能。

CLA の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「制御補償器アクセラレータ (CLA)」の章を参照してください。

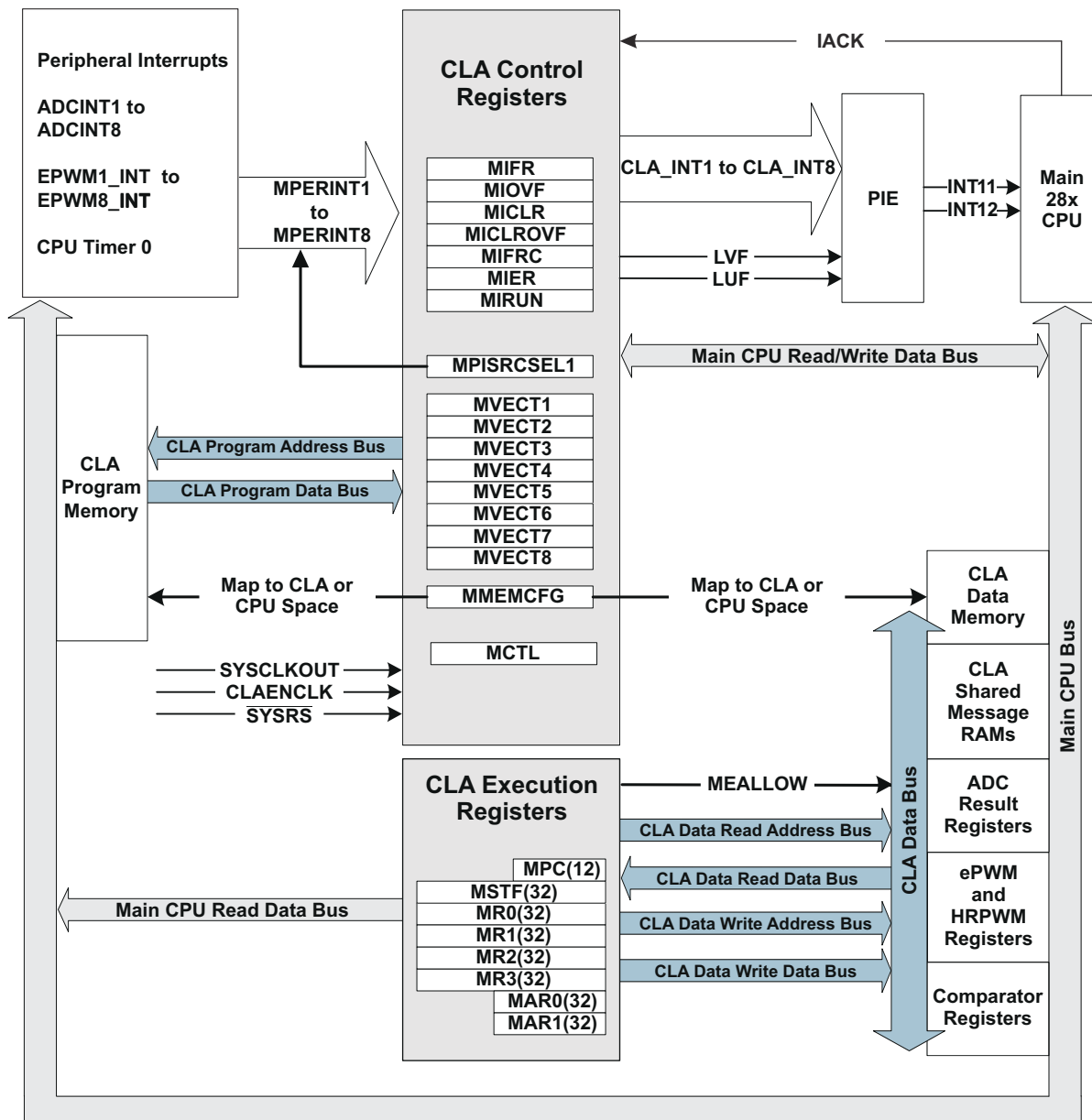


図 7-15. CLA のブロック図

表 7-22. CLA の制御レジスタ

レジスタ名	CLA1 アドレス	サイズ (x16)	EALLOW 保護	説明 ⁽¹⁾
MVECT1	0x1400	1	あり	CLA 割り込み / タスク 1 の開始アドレス
MVECT2	0x1401	1	あり	CLA 割り込み / タスク 2 の開始アドレス
MVECT3	0x1402	1	あり	CLA 割り込み / タスク 3 の開始アドレス
MVECT4	0x1403	1	あり	CLA 割り込み / タスク 4 の開始アドレス
MVECT5	0x1404	1	あり	CLA 割り込み / タスク 5 の開始アドレス
MVECT6	0x1405	1	あり	CLA 割り込み / タスク 6 の開始アドレス
MVECT7	0x1406	1	あり	CLA 割り込み / タスク 7 の開始アドレス
MVECT8	0x1407	1	あり	CLA 割り込み / タスク 8 の開始アドレス
MCTL	0x1410	1	あり	CLA 制御レジスタ
MMEMCFG	0x1411	1	あり	CLA メモリ構成レジスタ
MPISRCSEL1	0x1414	2	あり	ペリフェラル割り込みソース選択レジスタ 1
MIFR	0x1420	1	あり	割り込みフラグ レジスタ
MIOVF	0x1421	1	あり	割り込みオーバーフロー レジスタ
MIFRC	0x1422	1	あり	割り込み強制レジスタ
MICLR	0x1423	1	あり	割り込みクリア レジスタ
MICLROVF	0x1424	1	あり	割り込みオーバーフロー クリア レジスタ
MIER	0x1425	1	あり	割り込みイネーブル レジスタ
MIRUN	0x1426	1	あり	割り込み実行レジスタ
MIPCTL	0x1427	1	あり	割り込み優先度制御レジスタ
MPC ⁽²⁾	0x1428	1	–	CLA プログラム カウンタ
MAR0 ⁽²⁾	0x142A	1	–	CLA 補助レジスタ 0
MAR1 ⁽²⁾	0x142B	1	–	CLA 補助レジスタ 1
MSTF ⁽²⁾	0x142E	2	–	CLA STF レジスタ
MR0 ⁽²⁾	0x1430	2	–	CLA R0H レジスタ
MR1 ⁽²⁾	0x1434	2	–	CLA R1H レジスタ
MR2 ⁽²⁾	0x1438	2	–	CLA R2H レジスタ
MR3 ⁽²⁾	0x143C	2	–	CLA R3H レジスタ

- (1) この表のすべてのレジスタは CSM 保護されています。
(2) メイン C28x CPU は、デバッグ目的でこのレジスタに読み出し専用アクセスできます。メイン CPU は、このレジスタへの CPU またはデバッガ書き込みを実行できません。

表 7-23. CLA メッセージ RAM

アドレス範囲	サイズ (x16)	説明
0x1480 – 0x14FF	128	CLA から CPU へのメッセージ RAM
0x1500 – 0x157F	128	CPU から CLA へのメッセージ RAM

7.9.2 アナログ ブロック

F280x/F2833x で使われている 12 ビット ADC とは異なるタイミングを持つ 12 ビット ADC コアが実装されています。新しいタイミングと、変換開始のタイミング制御を改善するためのその他の拡張機能を組み込むため、ADC ラッパーが変更されています。図 7-16 に、アナログ モジュールと F2803x システムのその他の部分との接続を示します。

ADC の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「A/D コンバータとコンパレータ」の章を参照してください。

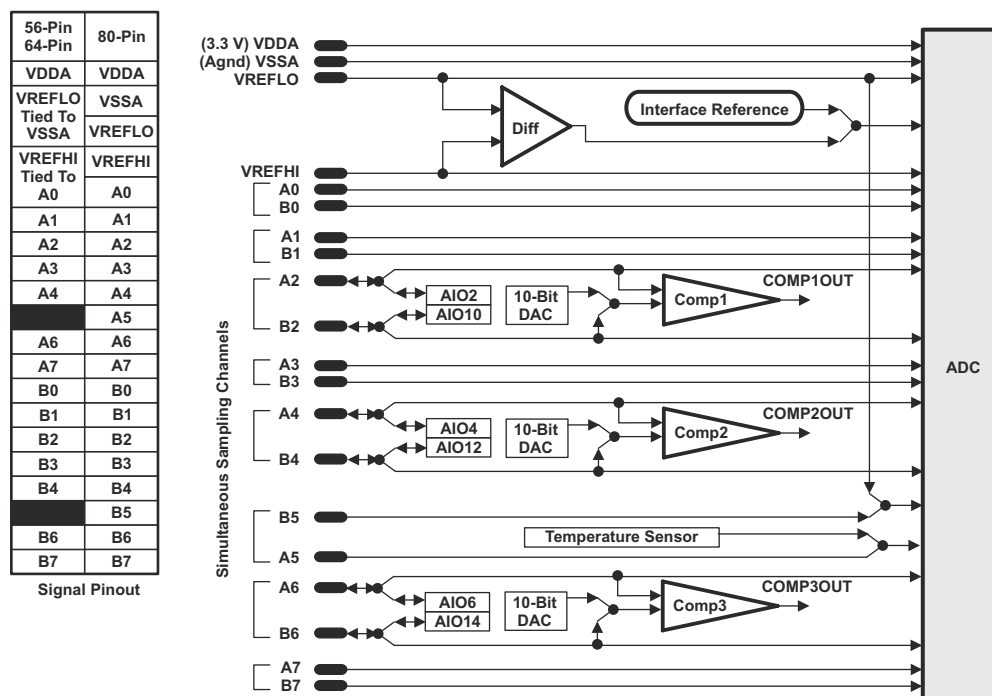


図 7-16. アナログ ピンの構成

7.9.2.1 A/D コンバータ (ADC)

7.9.2.1.1 特長

ADC コアは、2 つのサンプル アンド ホールド回路から入力される 1 つの 12 ビット コンバータを内蔵しています。サンプル アンド ホールド回路は、同時または連続的にサンプリングできます。一方、これらのサンプル アンド ホールド回路には、合計で最大 16 のアナログ入力チャネルからデータが入力されます。本コンバータは、内部バンドギャップ基準電圧で動作させ真の電圧ベース変換を行うように構成することも、一対の外部基準電圧 (V_{REFHI}/V_{REFLO}) を使ってレシオメトリック ベース変換を行うように構成することもできます。

従来の ADC タイプとは異なり、この ADC はシーケンサ ベースではありません。ユーザーは、1 つのトリガから一連の変換を簡単に実行できます。しかし、動作の基本原理は個別の変換 (SOC (変換開始) と呼びます) の構成に基づいています。

ADC モジュールの機能には以下が含まれます。

- 2 つのサンプル アンド ホールド (S/H) を内蔵した 12 ビット ADC コア
- 同時サンプリングまたはシーケンシャル サンプリング モード
- フル レンジ アナログ入力: 0V ~ 3.3V 固定、または V_{REFHI}/V_{REFLO} レシオメトリック。入力アナログ電圧のデジタル値は、次のように求められます。
 - 内部基準電圧 ($V_{REFLO} = V_{SSA}$ 。内部または外部基準電圧モードを使用する場合、 V_{REFHI} は V_{DDA} を超えないようにする必要があります。)

Digital Value = 0, when input ≤ 0 V

Digital Value = $4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{3.3}$ when $0 \text{ V} < \text{input} < 3.3 \text{ V}$

Digital Value = 4095, when input $\geq 3.3 \text{ V}$

- 外部基準電圧 (外部基準電圧に接続された V_{REFHI}/V_{REFLO} 。内部または外部基準電圧モードを使用する場合、 V_{REFHI} は V_{DDA} を超えないようにする必要があります。)

Digital Value = 0, when input ≤ 0 V

Digital Value = $4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{V_{REFHI} - V_{REFLO}}$ when $0 \text{ V} < \text{input} < V_{REFHI}$

Digital Value = 4095, when input $\geq V_{REFHI}$

- 最大 16 チャネルの多重化された入力
- トリガ、サンプル ウィンドウ、チャネルとして構成可能な 16 の SOC
- 変換値を格納するための 16 の結果レジスタ (個別にアドレス指定可能)
- 複数のトリガ ソース
 - S/W – ソフトウェア即時開始
 - ePWM 1 ~ 7
 - GPIO XINT2
 - CPU タイマ 0/1/2
 - ADCINT1/2
- 9 つのフレキシブルな PIE 割り込み、任意の変換後の割り込み要求を構成可能

表 7-24. ADC 構成および制御レジスタ

レジスタ名	アドレス	サイズ (x16)	EALLOW 保護	説明
ADCCTL1	0x7100	1	あり	制御 1 レジスタ
ADCCTL2	0x7101	1	あり	制御 2 レジスタ
ADCINTFLG	0x7104	1	なし	割り込みフラグ レジスタ
ADCINTFLGCLR	0x7105	1	なし	割り込みフラグ クリア レジスタ
ADCINTOVF	0x7106	1	なし	割り込みオーバーフロー レジスタ
ADCINTOVFCLR	0x7107	1	なし	割り込みオーバーフロー クリア レジスタ
INTSEL1N2	0x7108	1	あり	割り込み 1 および 2 選択レジスタ
INTSEL3N4	0x7109	1	あり	割り込み 3 および 4 選択レジスタ
INTSEL5N6	0x710A	1	あり	割り込み 5 および 6 選択レジスタ
INTSEL7N8	0x710B	1	あり	割り込み 7 および 8 選択レジスタ
INTSEL9N10	0x710C	1	あり	割り込み 9 選択レジスタ (割り込み 10 選択は予約済み)
SOCPRCTL	0x7110	1	あり	SOC 優先度制御レジスタ
ADCSAMPLEMODE	0x7112	1	あり	サンプリング モード レジスタ
ADCINTSOCSEL1	0x7114	1	あり	割り込み SOC 選択 1 レジスタ (8 チャンネル分)
ADCINTSOCSEL2	0x7115	1	あり	割り込み SOC 選択 2 レジスタ (8 チャンネル分)
ADCSOCFLG1	0x7118	1	なし	SOC フラグ 1 レジスタ (16 チャンネル分)
ADCSOCFRC1	0x711A	1	なし	SOC 強制 1 レジスタ (16 チャンネル分)
ADCSOCOVF1	0x711C	1	なし	SOC オーバーフロー 1 レジスタ (16 チャンネル分)
ADCSOCOVFCLR1	0x711E	1	なし	SOC オーバーフロー クリア 1 レジスタ (16 チャンネル分)
ADCSOC0CTL~ ADCSOC15CTL	0x7120~ 0x712F	1	あり	SOC0 制御レジスタ~SOC15 制御レジスタ
ADCREFTTRIM	0x7140	1	あり	基準電圧調整レジスタ
ADCOFFTRIM	0x7141	1	あり	オフセット調整レジスタ
COMPHYSTCTL	0x714C	1	あり	コンパレータ ヒステリシス制御レジスタ
ADCREV	0x714F	1	なし	リビジョン レジスタ

表 7-25. ADC 結果レジスタ (PF0 に割り当て)

レジスタ名	アドレス	サイズ (x16)	EALLOW 保護	説明
ADCRESULT0~ADCRESULT15	0xB00~0xB0F	1	なし	ADC 結果 0 レジスタ~ADC 結果 15 レジスタ

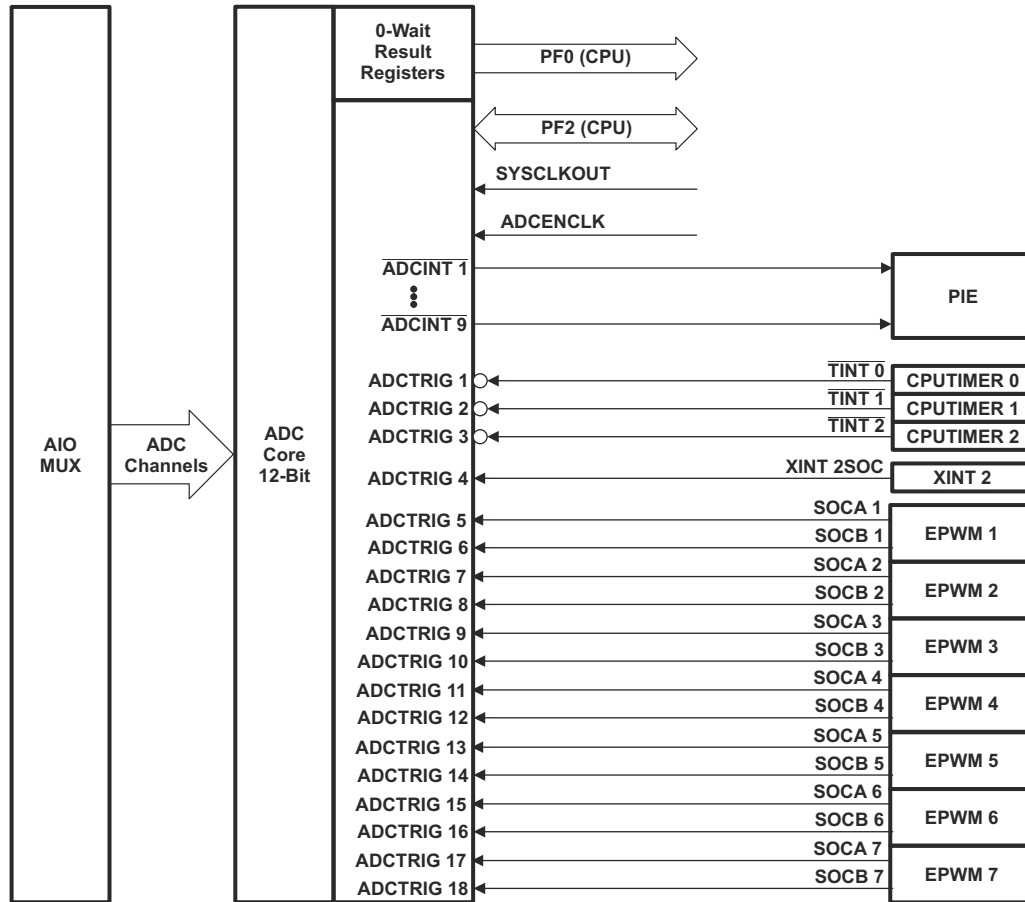


図 7-17. ADC の接続

ADC を使わない場合の ADC の接続

ADC を使わない場合も、アナログ電源ピンの接続を維持することを推奨します。アプリケーションで ADC を使わない場合の ADC ピンの接続方法の概要を以下に示します。

- $V_{DDA} - V_{DDIO}$ に接続
- $V_{SSA} - V_{SS}$ に接続
- $V_{REFLO} - V_{SS}$ に接続
- $ADCINAn, ADCINBn, V_{REFHI} - V_{SSA}$ に接続

アプリケーションで ADC モジュールを使う場合、使っていない ADC 入力ピンをアナログ グランド (V_{SSA}) に接続する必要があります。

注

AIO 機能と多重化された未使用の ADCIN ピンは、アナログ グランドに直接接続しないでください。これらのピンは、 $1k\Omega$ の抵抗を介してグランドに接続する必要があります。これは、誤ったコードによってこれらのピンが AIO 出力として構成され、接地されたピンを論理 High 状態に駆動するのを防止するためです。

ADC を使わない場合、消費電力を節約するため、ADC モジュールへのクロックを確実に停止します。

7.9.2.1.2 ADC 変換開始の電氣的データ / タイミング

7.9.2.1.2.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(ADCSOCL)}$	パルス幅、 $\overline{ADCSOCxO}$ Low	$32t_{c(HCO)}$		サイクル数

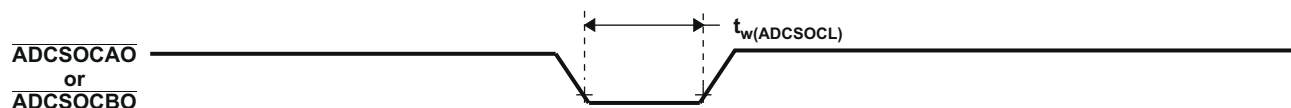


図 7-18. $\overline{ADCSOCAO}$ または $\overline{ADCSOCBO}$ のタイミング

7.9.2.1.3 オンチップ A/D コンバータ (ADC) の電氣的データ / タイミング

7.9.2.1.3.1 ADC の電氣的特性

パラメータ		最小値	標準値	最大値	単位
DC 仕様					
分解能		12			ビット
ADC クロック	60MHz デバイス	0.001		60	MHz
サンプル ウィンドウ	28035/34/33/32	7		64	ADC クロ ック
	28031/30	24		64	
精度					
INL (積分非直線性)、ADC クロック ≤ 30MHz ⁽¹⁾		-4		4	LSB
DNL (微分非直線性)、ADC クロック ≤ 30MHz、 ミッシング コードなし		-1		1	LSB
オフセット誤差 ⁽²⁾	単発の自己再キャリブレーションの実行 ⁽³⁾	-20	0	20	LSB
	定期的な自己再キャリブレーションの実行 ⁽⁴⁾	-4	0	4	
総合ゲイン誤差 (内部基準電圧を使用)		-60		60	LSB
総合ゲイン誤差 (外部基準電圧を使用)		-40		40	LSB
チャンネル間のオフセットばらつき		-4		4	LSB
チャンネル間のゲインばらつき		-4		4	LSB
ADC 温度係数 (内部基準電圧を使用)			-50		ppm/°C
ADC 温度係数 (外部基準電圧を使用)			-20		ppm/°C
V _{REFLO}			-100		μA
V _{REFHI}			100		μA
アナログ入力					
アナログ入力電圧 (内部基準電圧を使用)		0		3.3	V
アナログ入力電圧 (外部基準電圧を使用)		V _{REFLO}		V _{REFHI}	V
V _{REFLO} 入力電圧 ⁽⁵⁾		V _{SSA}		0.66	V
V _{REFHI} 入力電圧 ⁽⁶⁾		2.64		V _{DDA}	V
	V _{REFLO} = V _{SSA} の場合	1.98		V _{DDA}	
入力容量			5		pF
入力リーク電流			±2		μA

- (1) ADC 入力電圧が V_{DDA} を上回ると、INL は劣化します。
- (2) 1LSB は、FSR (フルスケール範囲) / 4096 に相当します。FSR は、内部基準電圧使用時は 3.3V、外部基準電圧使用時は V_{REFHI} - V_{REFLO} です。
- (3) 詳細については、『TMS320F2803x リアルタイム MCU シリコン正誤表』を参照してください。
- (4) 定期的な自己キャリブレーションにより、システム レベルの誤差と ADC ゼロ オフセットの温度依存性誤差を除去します。『TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータとコンパレータ」の章の「ADC ゼロ オフセット キャリブレーション」セクションに記載されている手順を使うことで、アプリケーションの必要に応じて、ADC チャンネルを犠牲にしないでこの自己キャリブレーションを実行できます。
- (5) 64 ピン PAG デバイスでは、V_{REFLO} は常に V_{SSA} に接続されています。
- (6) 内部と外部のどちらの基準電圧モードを使用する場合も、V_{REFHI} は V_{DDA} を超えないようにする必要があります。64 ピン PAG デバイスでは、V_{REFHI} は ADCINA0 に接続されているため、ADCINA0 の入力信号は V_{DDA} を超えないようにする必要があります。

7.9.2.1.3.2 ADC の電力モード

ADC の動作モード	条件	I _{DDA}	単位
モード A – 動作モード	ADC クロック有効 バンド ギャップ オン (ADCBGPWD = 1) 基準電圧オン (ADCREFPWD = 1) ADC 電源オン (ADCPWDN = 1)	13	mA
モード B – クイック ウェイク モード	ADC クロック有効 バンド ギャップ オン (ADCBGPWD = 1) 基準電圧オン (ADCREFPWD = 1) ADC 電源オン (ADCPWDN = 0)	4	mA
モード C – コンパレータのみモード	ADC クロック有効 バンド ギャップ オン (ADCBGPWD = 1) 基準電圧オン (ADCREFPWD = 0) ADC 電源オン (ADCPWDN = 0)	1.5	mA
モード D – オフ モード	ADC クロック有効 バンド ギャップ オン (ADCBGPWD = 0) 基準電圧オン (ADCREFPWD = 0) ADC 電源オン (ADCPWDN = 0)	0.075	mA

7.9.2.1.3.3 内部温度センサ

7.9.2.1.3.3.1 温度センサ係数

パラメータ ⁽¹⁾		最小値	標準値	最大値	単位
T _{SLOPE}	温度センサの測定 ADC LSB 変化あたりの温度変動 (°C)		0.18 ^{(2) (3)}		°C/LSB
T _{OFFSET}	温度センサの 0°Cでの ADC 出力		1750		LSB

- (1) 温度センサの勾配とオフセットは、ADC の内部基準電圧を使用して、ADC LSB 単位で計測されます。外部基準電圧モードでは、外部基準電圧に基づいて値を調整する必要があります。
- (2) 温度センサの出力 (LSB 単位) は、温度変動の方向と符号が同じです。温度が上昇すると、初期値と比べて ADC の値は増加します。温度が低下すると、初期値と比べて ADC の値は減少します。
- (3) ADC の温度係数はこの仕様の中で規定されています。

7.9.2.1.3.4 ADC パワーアップ制御ビットのタイミング

7.9.2.1.3.4.1 ADC パワーアップ遅延

パラメータ ⁽¹⁾		最小値	最大値	単位
t _{d(PWD)}	電源投入後に ADC が落ち着くまでの遅延時間		1	ms

- (1) タイミングは ADC モジュールとの互換性を保っています。2803x の ADC は、最初の変換の t_{d(PWD)} (ms) 前に 3 つのビットをすべて同時に駆動できます。

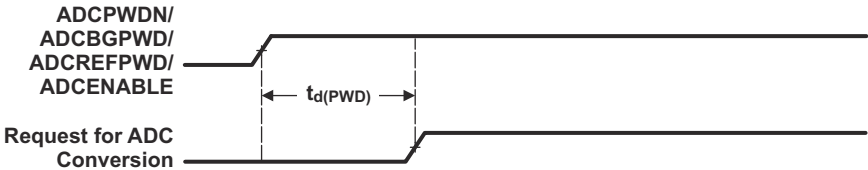
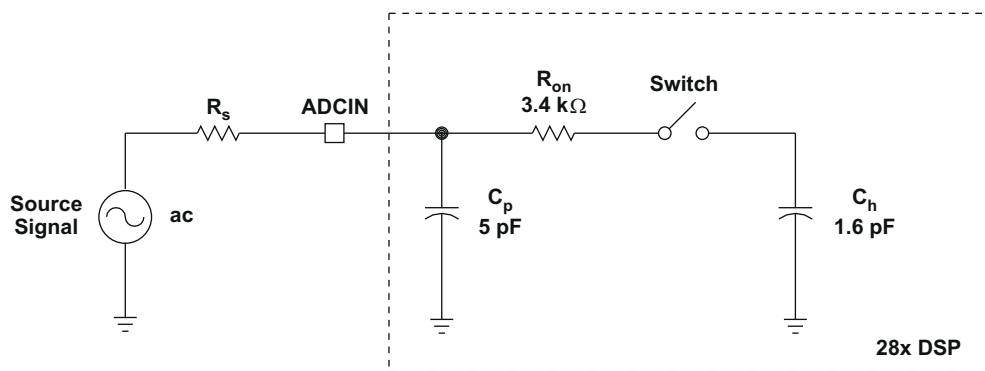


図 7-19. ADC 変換タイミング



Typical Values of the Input Circuit Components:

Switch Resistance (R_{on}): 3.4 kΩ

Sampling Capacitor (C_h): 1.6 pF

Parasitic Capacitance (C_p): 5 pF

Source Resistance (R_s): 50 Ω

図 7-20. ADC の入力インピーダンス モデル

7.9.2.1.3.5 ADC のシーケンシャルおよび同時タイミング

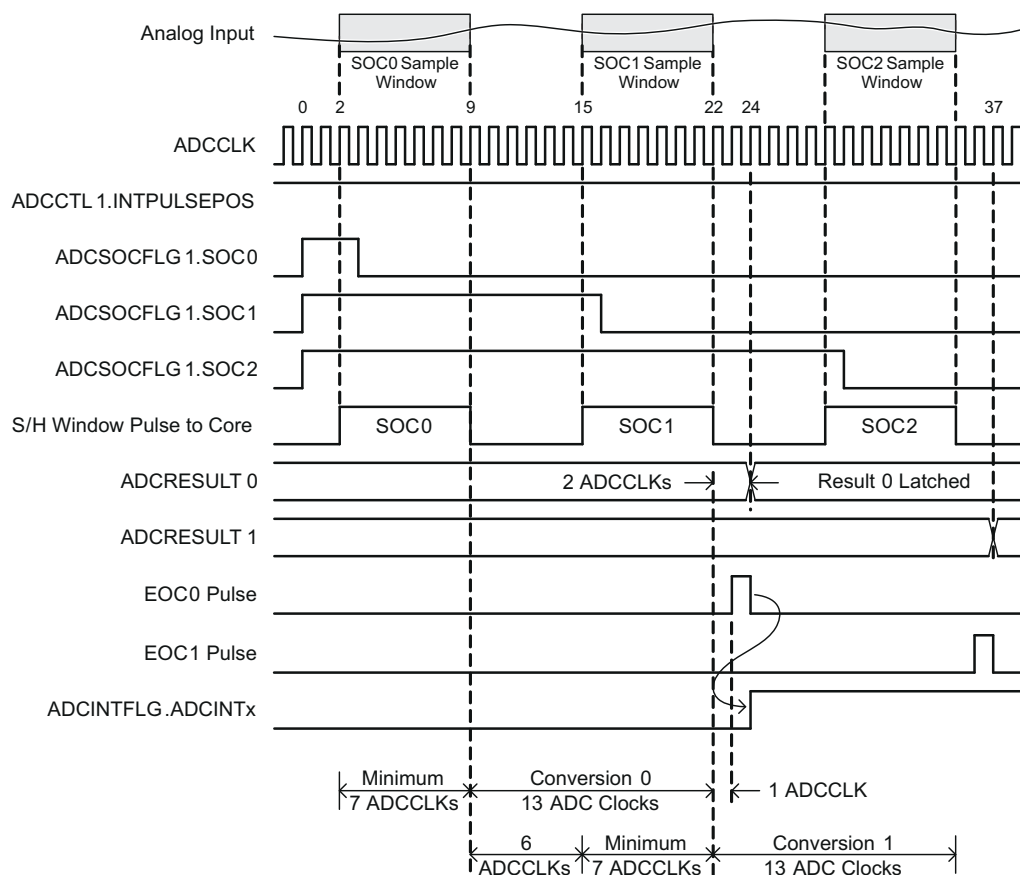


図 7-21. シーケンシャル・モード / 遅延割り込みパルスのタイミング例 :

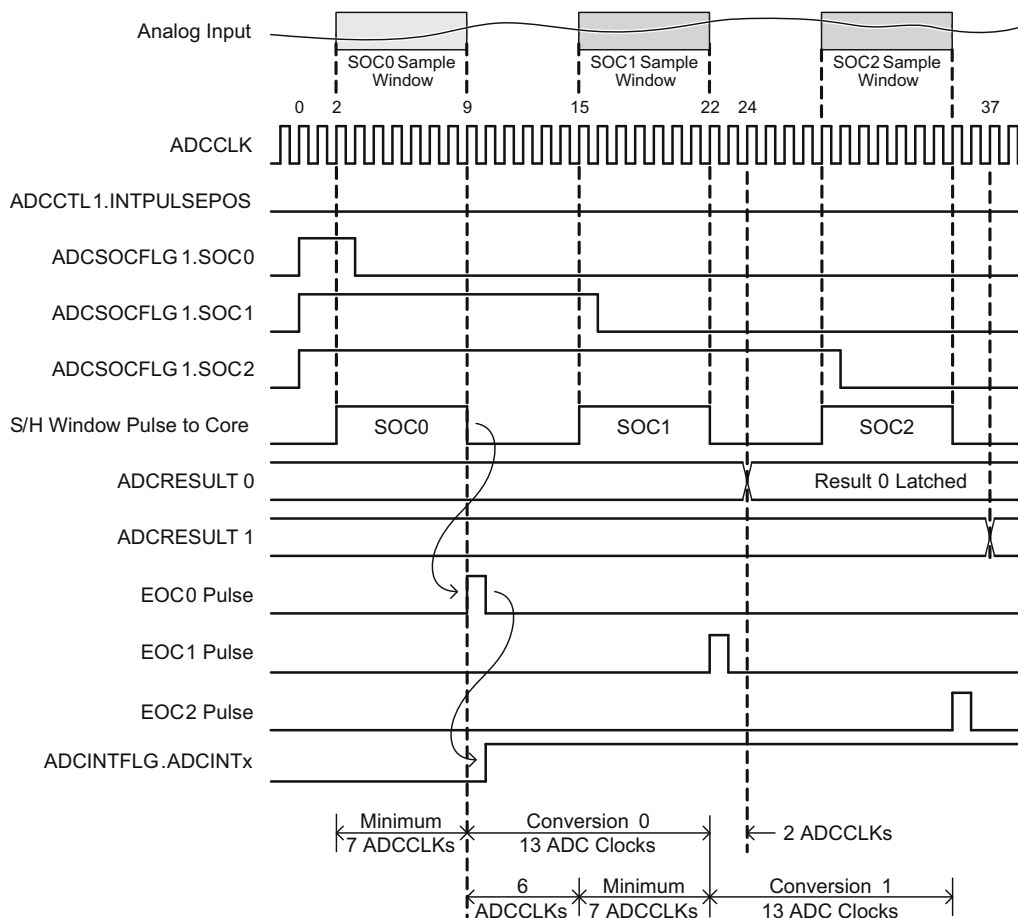


図 7-22. シーケンシャル・モード / 早期割り込みパルスのタイミング例：

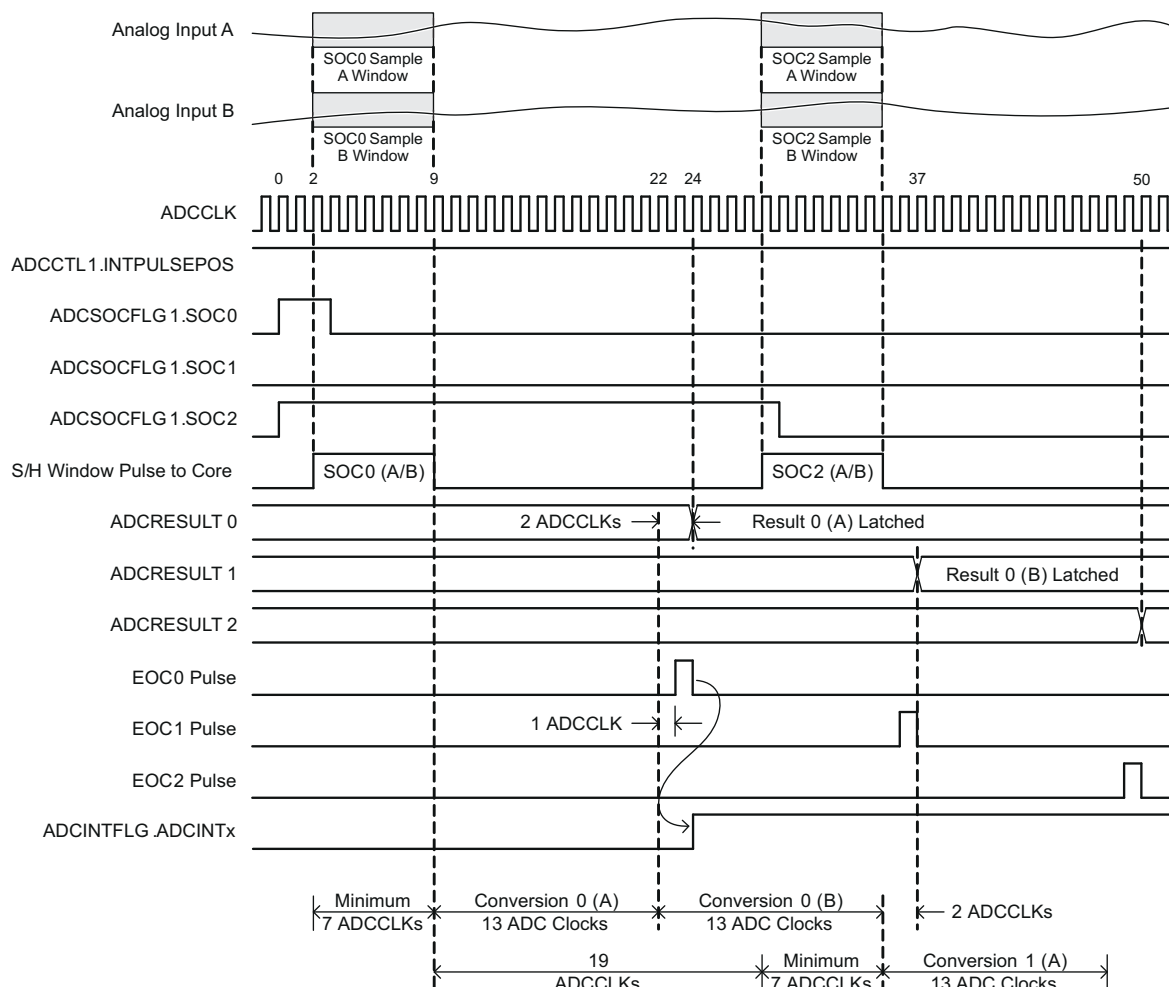


図 7-23. 同時モード / 遅延割り込みパルスのタイミング例 :

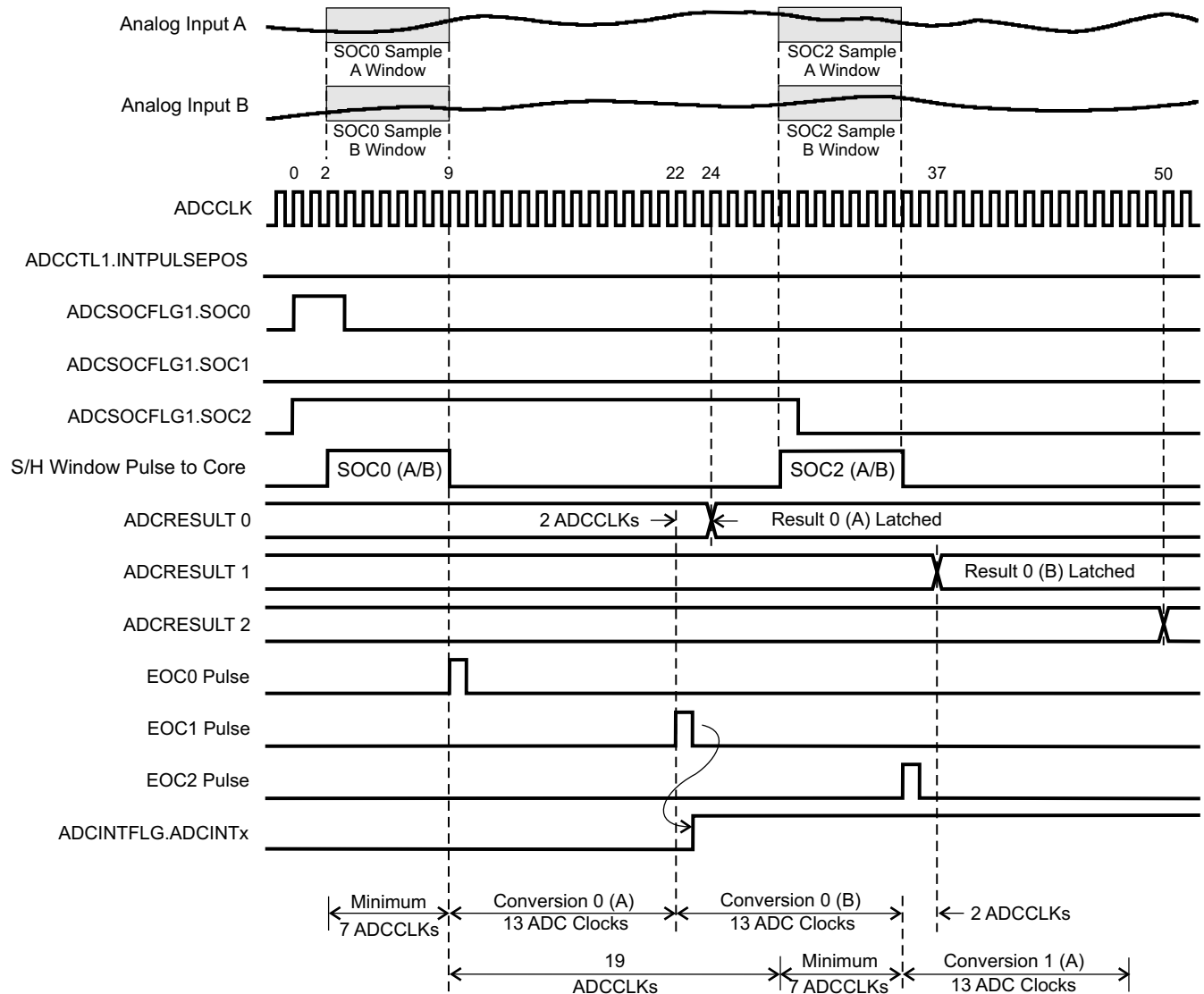


図 7-24. 同時モード / 早期割り込みパルスのタイミング例：

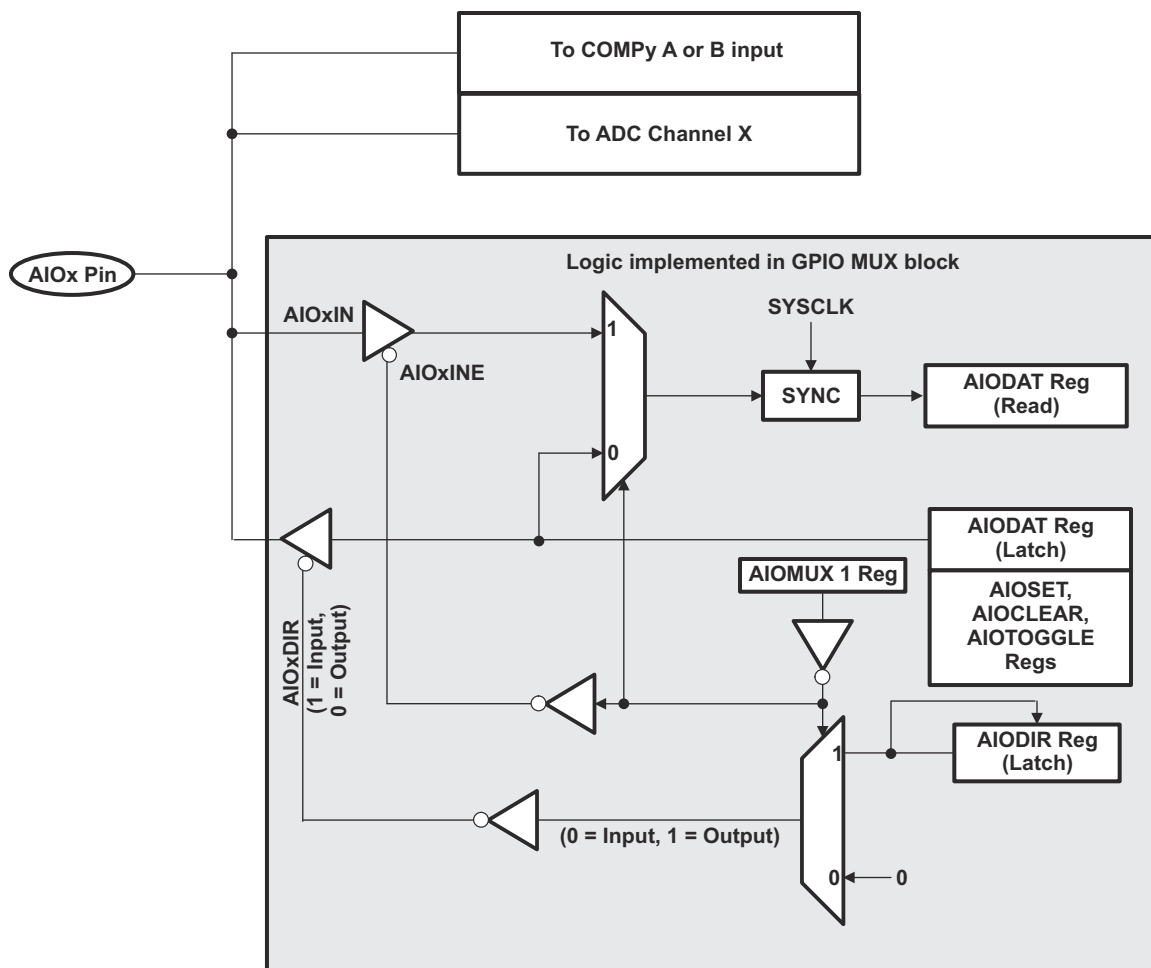


図 7-25. AlO_x ピンの多重化

AIOMUX1 レジスタの各ビットを 1 にすると、デジタル I/O 機能は無効化されます。このモードでは、AIODAT レジスタを読み出すと、AIODAT レジスタの出力ラッチが返されます。また、アナログ信号がノイズを発生させないように、入力デジタル I/O バッファは無効化されます。

リセットと同時に、デジタル機能は無効化されます。アナログ入力としてピンを使用する場合、そのピンの AIO 機能は無効化しておく必要があります。

7.9.2.3 コンパレータ ブロック

図 7-26 に、コンパレータ モジュールとシステムのその他の部分との接続を示します。

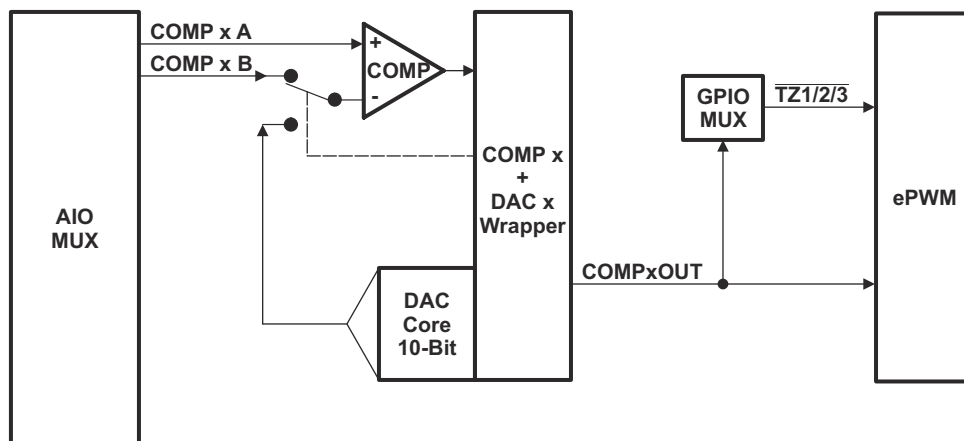


図 7-26. コンパレータのブロック図

表 7-26. コンパレータ制御レジスタ

レジスタ名	COMP1 アドレス	COMP2 アドレス	COMP3 アドレス	サイズ (x16)	EALLOW 保護	説明
COMPCTL	0x6400	0x6420	0x6440	1	あり	コンパレータ制御レジスタ
COMPSTS	0x6402	0x6422	0x6442	1	なし	コンパレータ ステータス レジスタ
DACCTL	0x6404	0x6424	0x6444	1	あり	DAC 制御レジスタ
DACVAL	0x6406	0x6426	0x6446	1	なし	DAC 値レジスタ
RAMPMAXREF_ ACTIVE	0x6408	0x6428	0x6448	1	なし	ランプ ジェネレータ基準電圧最大値 (アクティブ) レジスタ
RAMPMAXREF_ SHDW	0x640A	0x642A	0x644A	1	なし	ランプ ジェネレータ基準電圧最大値 (シャドウ) レジスタ
RAMPDECVAL_ ACTIVE	0x640C	0x642C	0x644C	1	なし	ランプ ジェネレータデクリメント値 (アクティブ) レジスタ
RAMPDECVAL_ SHDW	0x640E	0x642E	0x644E	1	なし	ランプ ジェネレータデクリメント値 (シャドウ) レジスタ
RAMPSTS	0x6410	0x6430	0x6450	1	なし	ランプ ジェネレータ ステータス レジスタ

7.9.2.3.1 オンチップ・コンパレータ / DAC の電氣的データ / タイミング

7.9.2.3.1.1 コンパレータ / DAC の電氣的特性

パラメータ	最小値	標準値	最大値	単位
コンパレータ				
コンパレータ入力範囲	V _{SSA} – V _{DDA}			V
PWMトリップゾーン (非同期) へのコンパレータ応答時間	30			ns
入力オフセット	±5			mV
入力ヒステリシス (1)	35			mV
DAC				
DAC の出力範囲	V _{SSA} – V _{DDA}			V
DAC の分解能	10			ビット数
DAC のセトリング時間	図 7-27 を参照			
DAC のゲイン	-1.5%			
DAC のオフセット	10			mV
単調性	あり			
INL	±3			LSB

(1) コンパレータ入力のヒステリシスは、シュミットトリガ構成を使って実現されます。その結果、コンパレータの出力とコンパレータの非反転入力との間に、実効的に 100kΩ の帰還抵抗が生じます。ヒステリシスを無効化し、かつ帰還抵抗も無効化する方法もあります。お客様のシステムでこの方法が必要とされる場合の詳細については、『TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータとコンパレータ」の章を参照してください。

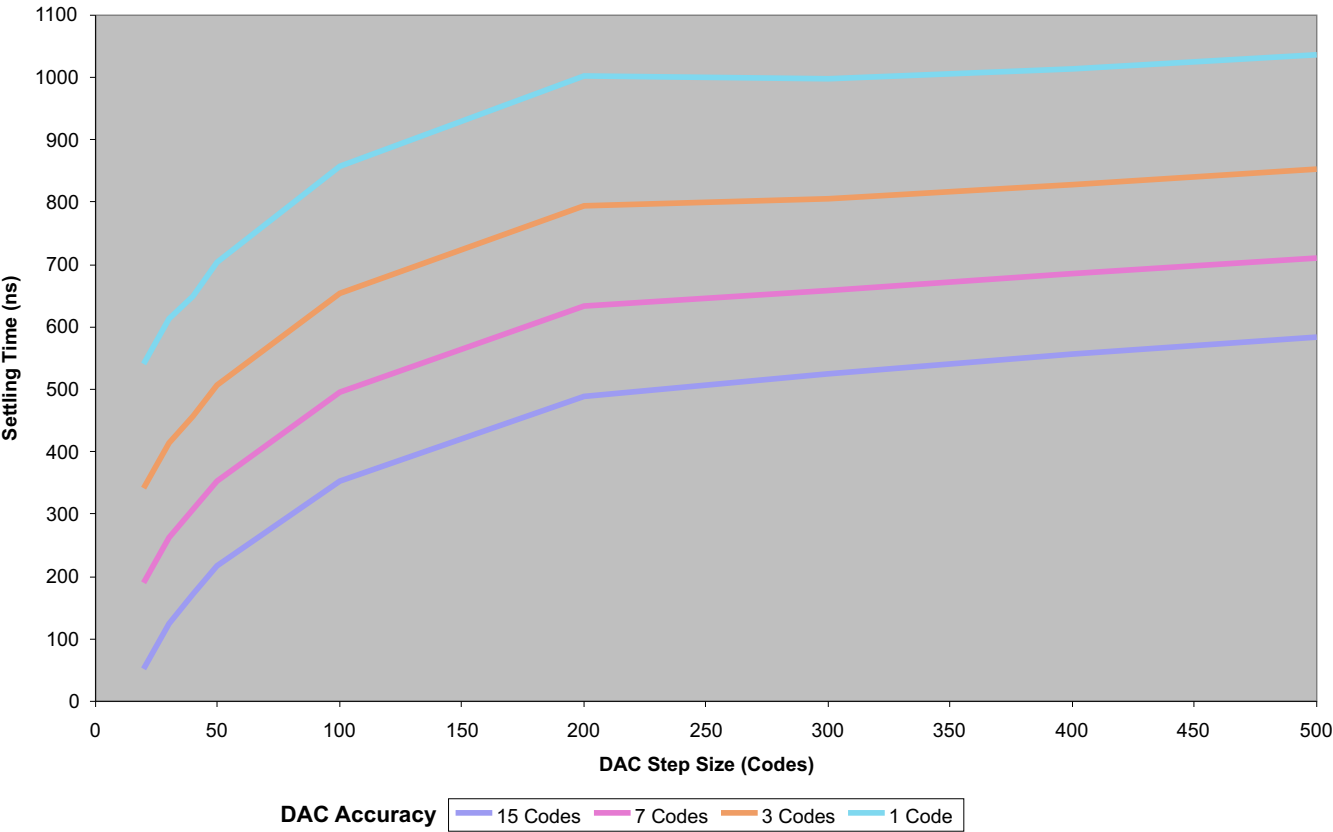


図 7-27. DAC のセトリング タイム

7.9.3 詳細説明

積分非直線性

積分非直線性とは、ゼロからフルスケールに引かれた直線からの各コードの偏差を意味します。ゼロとして使用される点は、最初のコード遷移の 1.5LSB 下のレベルとして定義されます。フルスケールの点は、最後のコード遷移から 1/2 LSB 超えた位置として定義されます。偏差は、それぞれのコードの中心から、これら 2 点間を結ぶ直線まで測定されます。

微分非直線性

理想的な ADC は、厳密に 1 LSB 離れたコード遷移を示します。DNL (微分非直線性) は、この理想値からの偏差です。微分非直線性誤差が ± 1 LSB 未満であれば、ミッシングコードがないことが保証されます。

ゼロ オフセット

メジャー キャリー遷移は、アナログ入力 が 0V のときに発生します。ゼロ誤差は、その点から実際の遷移までの偏差として定義されます。

ゲイン誤差

最初のコード遷移は、負のフルスケールよりも 1/2 LSB 上のアナログ値で発生します。最後の遷移は、公称フルスケールよりも 1.5 LSB 下のアナログ値で発生します。ゲイン誤差は、最初と最後のコード遷移の間の実際の差と、最初と最後のコード遷移の理想的な差との偏差です。

信号対雑音比 + 歪み (SINAD)

SINAD は、ナイキスト周波数以下の他のスペクトル成分 (高調波を含み、DC を除く) の実効値の合計に対する、計測された入力信号実効値の比率です。SINAD の値は、デシベル単位で表されます。

有効ビット数 (ENOB)

正弦波の場合、SINAD はビット数で表すことができます。次の式
$$N = \frac{(\text{SINAD} - 1.76)}{6.02}$$
 を使用すると、有効ビット数 N で表される性能の測定値を得ることができます。したがって、特定の入力周波数における正弦波入力に対するデバイスの有効ビット数は、測定された SINAD から直接計算できます。

全高調波歪み (THD)

THD は、最初の 9 つの高調波成分の実効値合計と、測定された入力信号の実効値との比率であり、パーセントまたはデシベル単位で表されます。

スプリアス フリー ダイナミックレンジ (SFDR)

SFDR とは、入力信号の振幅の実効値とピーク スプリアス信号との差 (単位: dB) です。

7.9.4 シリアル ペリフェラル インターフェイス (SPI) モジュール

本デバイスは 4 ピンのシリアル ペリフェラル インターフェイス (SPI) モジュールを内蔵しています。最大 2 つの SPI モジュールを使用できます。SPI は、設定された長さ (1~16 ビット) のシリアル ビット ストリームを、プログラム可能なビット転送レートで、1 ビットずつ本デバイスに入力または本デバイスから出力できる高速な同期シリアル I/O ポートです。通常、SPI は、MCU と、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的な用途には、シフトレジスタ、ディスプレイドライバ、ADC などのデバイスを使用した外部 I/O またはペリフェラル拡張が含まれます。マルチデバイス通信は、SPI のマスタ / スレーブ動作によってサポートされています。

SPI モジュールの主な特長は次のとおりです。

- 4 本の外部ピン:
 - SPISOMI: SPI スレーブ出力 / マスタ入力ピン
 - SPISIMO: SPI スレーブ入力 / マスタ出力ピン
 - SPISTE: SPI スレーブ送信イネーブルピン
 - SPICLK: SPI シリアル クロックピン

注

SPI モジュールを使用しない場合は、4 本のピンすべてを GPIO として使用できます。

- マスタとスレーブの 2 つの動作モード

ボーレート: プログラム可能な 125 種類のレート

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \quad \text{when SPIBRR} = 3 \text{ to } 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \quad \text{when SPIBRR} = 0, 1, 2$$

- データワード長: 1~16 データビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
 - 位相遅延なしの立ち下がりエッジ: SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
 - 位相遅延付きの立ち下がりエッジ: SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延なしの立ち上がりエッジ: SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延付きの立ち上がりエッジ: SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング アルゴリズムによって実現されます。
- 9 つの SPI モジュール制御レジスタ: アドレス 7040h から始まる制御レジスタ フレーム内。

注

このモジュールのすべてのレジスタは、ペリフェラル フレーム 2 に接続された 16 ビット レジスタです。レジスタにアクセスすると、レジスタ データは下位バイト (ビット 7~0) になり、上位バイト (ビット 15~8) はゼロとして読み取られます。上位バイトに書き込んでも何の影響も及ぼしません。

拡張機能:

- 4 レベルの送信 / 受信 FIFO
- 遅延付き送信制御
- 双方向 3 線式 SPI モードのサポート
- SPISTE 反転によるオーディオ データ受信のサポート

SPI ポートの動作は、表 7-27 と表 7-28 に示すレジスタによって設定および制御されます。

表 7-27. SPI-A レジスタ

名称	アドレス	サイズ (x16)	EALLOW 保護	説明 ⁽¹⁾
SPICCR	0x7040	1	なし	SPI-A 構成制御レジスタ
SPICTL	0x7041	1	なし	SPI-A 動作制御レジスタ
SPISTS	0x7042	1	なし	SPI-A ステータス レジスタ
SPIBRR	0x7044	1	なし	SPI-A ボーレート レジスタ
SPIRXEMU	0x7046	1	なし	SPI-A 受信エミュレーション バッファ レジスタ
SPIRXBUF	0x7047	1	なし	SPI-A シリアル入力バッファ レジスタ
SPITXBUF	0x7048	1	なし	SPI-A シリアル出力バッファ レジスタ
SPIDAT	0x7049	1	なし	SPI-A シリアル データ レジスタ
SPIFFTX	0x704A	1	なし	SPI-A FIFO 送信レジスタ
SPIFFRX	0x704B	1	なし	SPI-A FIFO 受信レジスタ
SPIFFCT	0x704C	1	なし	SPI-A FIFO 制御レジスタ
SPIPRI	0x704F	1	なし	SPI-A 優先度制御レジスタ

(1) この表のレジスタはペリフェラル フレーム 2 に割り当てられています。この空間では、16 ビット アクセスのみが可能です。32 ビット アクセスを行うと、結果は不定になります。

表 7-28. SPI-B レジスタ

名称	アドレス	サイズ (x16)	EALLOW 保護	説明 ⁽¹⁾
SPICCR	0x7740	1	なし	SPI-B 構成制御レジスタ
SPICTL	0x7741	1	なし	SPI-B 動作制御レジスタ
SPISTS	0x7742	1	なし	SPI-B ステータス レジスタ
SPIBRR	0x7744	1	なし	SPI-B ボーレート レジスタ
SPIRXEMU	0x7746	1	なし	SPI-B 受信エミュレーション バッファ レジスタ
SPIRXBUF	0x7747	1	なし	SPI-B シリアル入力バッファ レジスタ
SPITXBUF	0x7748	1	なし	SPI-B シリアル出力バッファ レジスタ
SPIDAT	0x7749	1	なし	SPI-B シリアル データ レジスタ
SPIFFTX	0x774A	1	なし	SPI-B FIFO 送信レジスタ
SPIFFRX	0x774B	1	なし	SPI-B FIFO 受信レジスタ
SPIFFCT	0x774C	1	なし	SPI-B FIFO 制御レジスタ
SPIPRI	0x774F	1	なし	SPI-B 優先度制御レジスタ

(1) この表のレジスタはペリフェラル フレーム 2 に割り当てられています。この空間では、16 ビット アクセスのみが可能です。32 ビット アクセスを行うと、結果は不定になります。

SPI の詳細については、『**TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル**』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

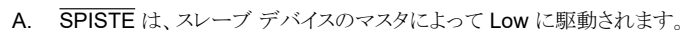


図 7-28. SPI モジュールのブロック図 (スレーブ モード)

7.9.4.1 SPI マスタ モードの電氣的データ / タイミング

セクション 7.9.4.1.1 にマスタ モード (クロック位相 = 0) のタイミングを示し、セクション 7.9.4.1.2 にマスタ モード (クロック位相 = 1) のタイミングを示します。図 7-29 および 図 7-30 に、タイミング波形を示します。

7.9.4.1.1 SPI マスタ モードの外部タイミング (クロック位相 = 0)

NO.	パラメータ ^{(1) (2) (3) (4) (5)}	BRR 偶数		BRR 奇数		単位
		最小値	最大値	最小値	最大値	
1	$t_{c(SPC)M}$ サイクル時間、SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$ パルス幅、SPICLK の最初のパルス	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$ パルス幅、SPICLK の 2 番目のパルス	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
4	$t_{d(SIMO)M}$ 遅延時間、SPICLK から SPISIMO 有効まで		10		10	ns
5	$t_{v(SIMO)M}$ 有効時間、SPICLK から SPISIMO 有効の間	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
8	$t_{su(SOMI)M}$ セットアップ時間、SPICLK の前の SPISOMI	26		26		ns
9	$t_{h(SOMI)M}$ ホールド時間、SPICLK から SPISOMI 有効の間	0		0		ns
23	$t_{d(SPC)M}$ 遅延時間、SPISTE アクティブから SPICLK まで	$1.5t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 10$		$1.5t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 10$		ns
24	$t_{d(STE)M}$ 遅延時間、SPICLK から SPISTE 無効まで	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns

- (1) マスタ / スレーブ ビット (SPICTL.2) はセットされ、クロック位相ビット (SPICTL.3) はクリアされています。
- (2) $t_{c(SPC)} = \text{SPI クロック サイクル時間} = \text{LSPCLK}/4$ または $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) $t_{c(LCO)} = \text{LSPCLK サイクル時間}$
- (4) 内部クロック プリスケールは、SPI クロック速度が以下の SPI クロック レートに制限されるように調整する必要があります。
マスタ モード送信 25MHz 以下、マスタ モード受信 12.5MHz 以下
スレーブ モード送信 12.5MHz 以下、スレーブ モード受信 12.5MHz 以下。
- (5) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPICCR.6) によって制御されます。

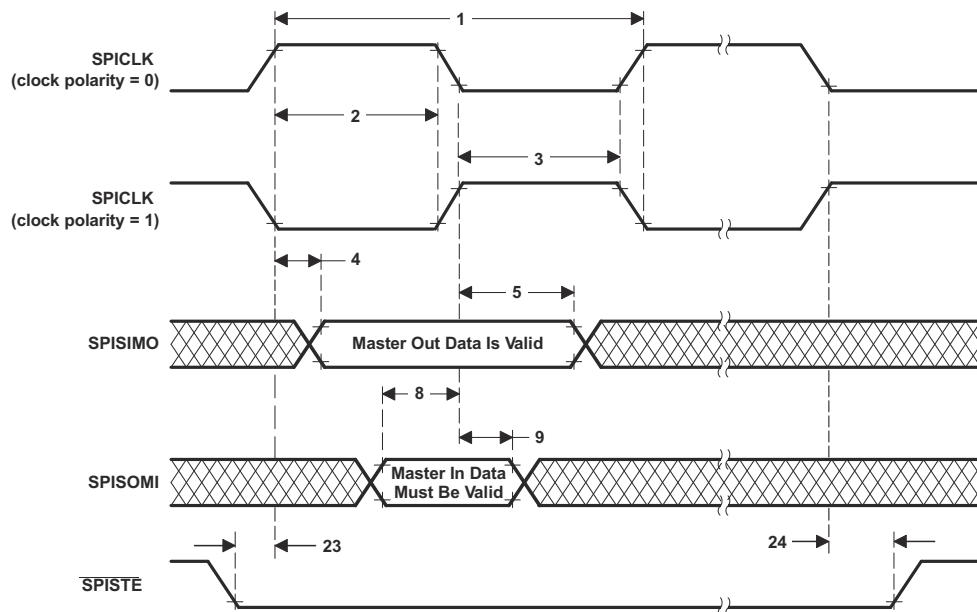


図 7-29. SPI マスタ モードの外部タイミング (クロック位相 = 0)

7.9.4.1.2 SPI マスタ モードの外部タイミング (クロック位相 = 1)

NO.	パラメータ ^{(1) (2) (3) (4) (5)}	BRR 偶数		BRR 奇数		単位
		最小値	最大値	最小値	最大値	
1	$t_{c(SPC)M}$ サイクル時間、SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$ パルス幅、SPICLK の最初のパルス	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$ パルス幅、SPICLK の 2 番目のパルス	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
6	$t_{d(SIMO)M}$ 遅延時間、SPISIMO 有効から SPICLK まで	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$		ns
7	$t_{v(SIMO)M}$ 有効時間、SPICLK から SPISIMO 有効の間	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
10	$t_{su(SOMI)M}$ セットアップ時間、SPICLK の前の SPISOMI	26		26		ns
11	$t_{h(SOMI)M}$ ホールド時間、SPICLK から SPISOMI 有効の間	0		0		ns
23	$t_{d(SPC)M}$ 遅延時間、SPISTE アクティブから SPICLK まで	$2t_{c(SPC)M} - 3t_{c(SYSCLOCK)} - 10$		$2t_{c(SPC)M} - 3t_{c(SYSCLOCK)} - 10$		ns
24	$t_{d(STE)M}$ 遅延時間、SPICLK から SPISTE 無効まで	$0.5t_{c(SPC)} - 10$		$0.5t_{c(SPC)} - 0.5t_{c(LSPCLK)} - 10$		ns

- (1) マスタ / スレーブ ビット (SPICTL.2) とクロック位相ビット (SPICTL.3) はセットされています。
- (2) $t_{c(SPC)} = \text{SPI クロック サイクル時間} = \text{LSPCLK}/4$ または $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) 内部クロック プリスケールは、SPI クロック速度が以下の SPI クロックレートに制限されるように調整する必要があります。
マスタ モード送信 25MHz 以下、マスタ モード受信 12.5MHz 以下
スレーブ モード送信 12.5MHz 以下、スレーブ モード受信 12.5MHz 以下。
- (4) $t_{c(LCO)} = \text{LSPCLK サイクル時間}$
- (5) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPICCR.6) によって制御されます。

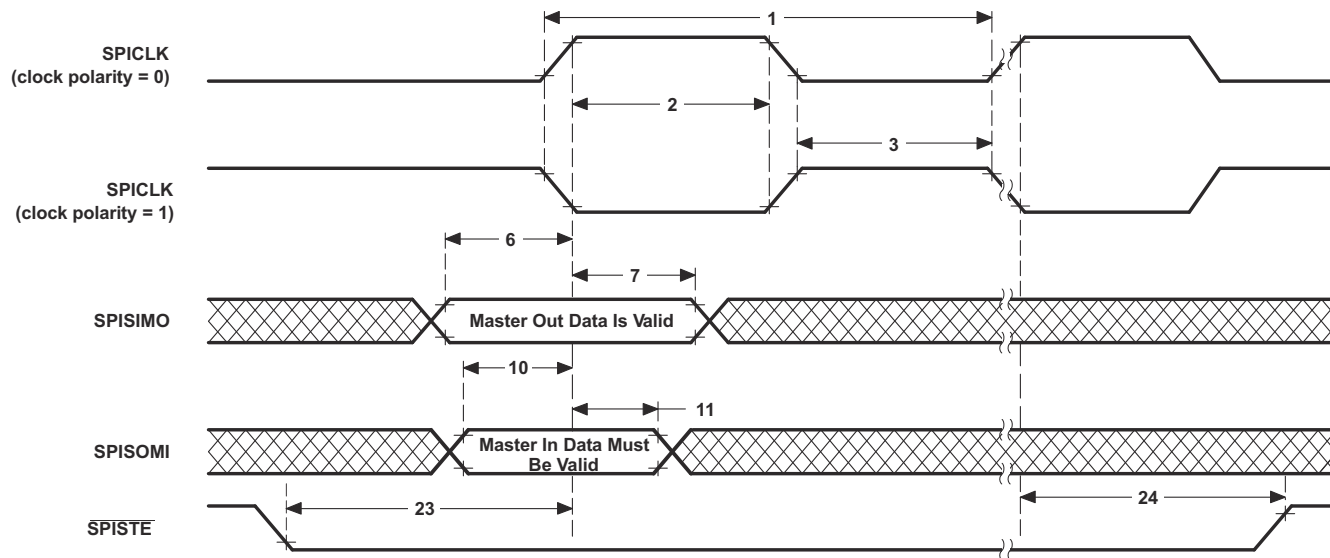


図 7-30. SPI マスタ モードの外部タイミング (クロック位相 = 1)

7.9.4.2 SPI スレーブモードの電気的データ/タイミング

セクション 7.9.4.2.1 にスレーブモード (クロック位相 = 0) のタイミングを示し、セクション 7.9.4.2.2 にスレーブモード (クロック位相 = 1) のタイミングを示します。図 7-31 および 図 7-32 に、タイミング波形を示します。

7.9.4.2.1 SPI スレーブモードの外部タイミング (クロック位相 = 0)

番号	パラメータ ^{(1) (2) (4) (3) (5)}	最小値	最大値	単位
12	$t_{c(SPC)}S$ サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)}S$ パルス幅、SPICLK の最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)}S$ パルス幅、SPICLK の 2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
15	$t_{d(SOMI)}S$ 遅延時間、SPICLK から SPISOMI 有効まで		21	ns
16	$t_{v(SOMI)}S$ 有効時間、SPICLK から SPISOMI データ有効の間	0		ns
19	$t_{su(SIMO)}S$ セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)}S$ ホールド時間、SPICLK から SPISIMO 有効の間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)}S$ セットアップ時間、 $\overline{SPISTE}$ 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)}S$ ホールド時間、SPICLK から $\overline{SPISTE}$ 無効まで	$1.5t_{c(SYSCLK)}$		ns

- (1) マスタ / スレーブ ビット (SPICTL.2) とクロック位相ビット (SPICTL.3) はクリアされています。
- (2) $t_{c(SPC)} = \text{SPI クロック サイクル時間} = \text{LSPCLK}/4$ または $\text{LSPCLK}/(\text{SPIBRR} + 1)$
- (3) $t_{c(LCO)} = \text{LSPCLK サイクル時間}$
- (4) 内部クロック プリスケアラは、SPI クロック速度が以下の SPI クロック レートに制限されるように調整する必要があります。
マスタ モード送信 25MHz 以下、マスタ モード受信 12.5MHz 以下
スレーブ モード送信 12.5MHz 以下、スレーブ モード受信 12.5MHz 以下。
- (5) 基準となる SPICLK 信号のアクティブ エッジはクロック極性ビット (SPICCR.6) によって制御されます。

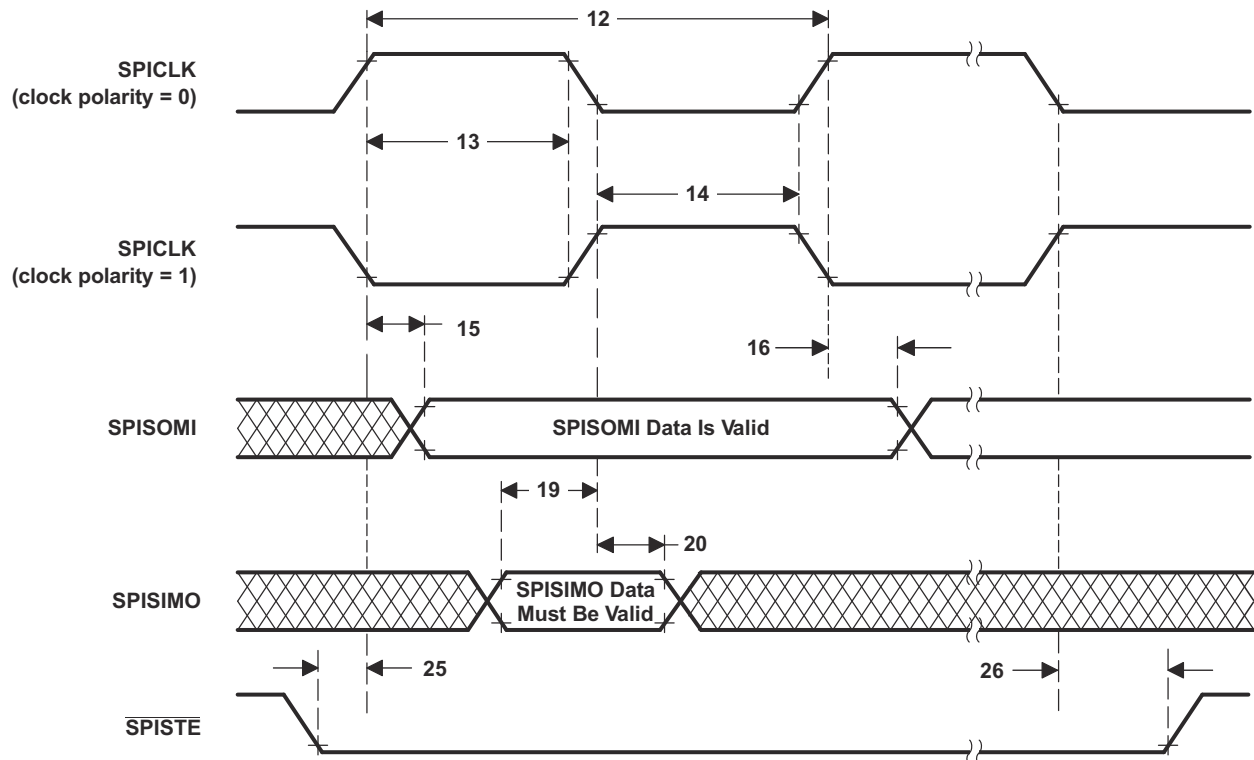


図 7-31. SPI スレーブモードの外部タイミング (クロック位相 = 0)

7.9.5 シリアル通信インターフェイス (SCI) モジュール

本デバイスは、1 つのシリアル通信インターフェイス (SCI) モジュール (SCI-A) を内蔵しています。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。SCI レシーバおよびトランスミッタはダブル バッファ付きであり、それぞれ専用のイネーブル ビットと割り込みビットを持っています。どちらも、半二重通信用に独立して動作するか、または全二重通信用に同時に動作できます。データの整合性を確保するため、ブレイク検出、パリティ、オーバーラン、フレーミングのエラーに関して SCI は受信データをチェックします。16 ビットのボー選択レジスタにより、65000 を超える種類の速度にビットレートを設定できます。

各 SCI モジュールの特長:

- 2 本の外部ピン:
 - SCITXD: SCI 送信出力ピン
 - SCIRXD: SCI 受信入力ピン

注

どちらのピンも、SCI 用に使用しない場合、GPIO として使用できます。

- 64K の異なるレートにプログラム可能なボーレート:

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR} + 1) * 8} \quad \text{when BRR} \neq 0$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{16} \quad \text{when BRR} = 0$$

- データワードフォーマット
 - 1 スタートビット
 - 1~8 ビットのプログラマブルなデータワード長
 - オプションの偶数 / 奇数 / パリティなしビット
 - 1 または 2 ストップビット
- 4 つのエラー検出フラグ: パリティ、オーバーラン、フレーミング、ブレイク検出
- 2 つのウェイクアップ マルチプロセッサ モード: アイドル ラインおよびアドレスビット
- 半二重または全二重動作
- ダブル バッファ付き受信および送信機能
- トランスミッタおよびレシーバの動作は、ステータス フラグによる割り込み駆動、またはポーリング アルゴリズムによって実現できます。
 - トランスミッタ: TXRDY フラグ (トランスミッタ バッファレジスタが次の文字を受信する準備ができた) と TX EMPTY フラグ (トランスミッタ シフトレジスタが空である)
 - レシーバ: RXRDY フラグ (レシーバ バッファレジスタが次の文字を受信する準備ができた)、BRKDT フラグ (ブレイク条件が発生した)、RX エラー フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバ割り込み用の個別のイネーブル ビット (BRKDT を除く)
- NRZ (nonreturn-to-zero) フォーマット

注

このモジュールのすべてのレジスタは、ペリフェラル フレーム 2 に接続された 8 ビットレジスタです。任意のレジスタにアクセスした場合、そのレジスタのデータは下位バイト (7~0) に存在し、上位バイト (15~8) は 0 として読み出されます。上位バイトへの書き込みは、何も影響がありません。

拡張機能:

- 自動ボー検出ハードウェア ロジック
- 4 レベルの送信 / 受信 FIFO

SCI ポートの動作は、表 7-29 に示すレジスタによって設定および制御されます。

表 7-29. SCI-A レジスタ

名称 ⁽¹⁾	アドレス	サイズ (x16)	ALLOW 保護	説明
SCICCR	0x7050	1	なし	SCI-A 通信制御レジスタ
SCICTL1A	0x7051	1	なし	SCI-A 制御レジスタ 1
SCIHBAUDA	0x7052	1	なし	SCI-A ボー レジスタ、上位ビット
SCILBAUDA	0x7053	1	なし	SCI-A ボー レジスタ、下位ビット
SCICTL2A	0x7054	1	なし	SCI-A 制御レジスタ 2
SCIRXSTA	0x7055	1	なし	SCI-A 受信ステータス レジスタ
SCIRXEMUA	0x7056	1	なし	SCI-A 受信エミュレーション データ バッファ レジスタ
SCIRXBUFA	0x7057	1	なし	SCI-A 受信データ バッファ レジスタ
SCITXBUFA	0x7059	1	なし	SCI-A 送信データ バッファ レジスタ
SCIFFTXA ⁽²⁾	0x705A	1	なし	SCI-A FIFO 送信レジスタ
SCIFFRXA ⁽²⁾	0x705B	1	なし	SCI-A FIFO 受信レジスタ
SCIFCTA ⁽²⁾	0x705C	1	なし	SCI-A FIFO 制御レジスタ
SCIPRIA	0x705F	1	なし	SCI-A 優先度制御レジスタ

(1) この表のレジスタは、ペリフェラル フレーム 2 空間に割り当てられています。この空間では、16 ビット アクセスのみが可能です。32 ビット アクセスを行うと、結果は不定になります。

(2) これらのレジスタは、FIFO モード用の新しいレジスタです。

SCI の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「シリアル通信インターフェイス (SCI)」の章を参照してください。

図 7-33 に、SCI モジュールのブロック図を示します。



7.9.6 LIN (Local Interconnect Network)

本デバイスは 1 つの LIN コントローラを備えています。LIN 規格は、SCI (UART) シリアル データ リンク形式に基づいています。本 LIN モジュールは SCI として動作するようにも構成できます。

LIN モジュールの主な機能は次のとおりです。

- LIN 1.3 または 2.0 プロトコルと互換
- 2 本の外部ピン: LINRX と LINTX
- マルチバッファ付き送受信ユニット
- メッセージ フィルタリング用識別マスク
- マスタ ヘッダの自動生成
 - プログラマブルな同期ブレイク フィールド
 - 同期フィールド
 - 識別子フィールド
- スレーブの自動同期
 - 同期ブレイク検出
 - オプションのボーレート更新
 - 同期検証
- 7 つのフラクショナル ビットを使用した 2^{31} 種類のプログラマブルな転送レート
- トランシーバからの、LINRX ドミナント レベルでのウェイクアップ
- 自動ウェイクアップのサポート
 - ウェイクアップ信号の生成
 - 有効期限付きウェイクアップ信号
- バス アイドルの自動検出
- エラー検出
 - ビット エラー
 - バス エラー
 - 無応答エラー
 - チェックサム エラー
 - 同期フィールド エラー
 - パリティ エラー
- 2 本の割り込みライン、優先度エンコード機能付き:
 - 受信
 - 送信
 - ID、エラー、ステータス

注

2803X デバイスは LIN 2.0 適合性試験 (マスタおよびスレーブ) に合格済みです。詳細については テキサス・インスツルメンツまでお問い合わせください。

LIN の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ローカル相互接続ネットワーク (LIN) モジュール」の章を参照してください。

表 7-30 のレジスタは、LIN モジュールの動作を構成および制御します。

表 7-30. LIN-A レジスタ

名称 ⁽¹⁾	アドレス	サイズ (x16)	説明
SCIGCR0	0x6C00	2	グローバル制御レジスタ 0
SCIGCR1	0x6C02	2	グローバル制御レジスタ 1
SCIGCR2	0x6C04	2	グローバル制御レジスタ 2
SCISSETINT	0x6C06	2	割り込みイネーブル レジスタ
SCICLEARINT	0x6C08	2	割り込みディスエーブル レジスタ
SCISSETINTLVL	0x6C0A	2	割り込みレベル設定レジスタ
SCICLEARINTLVL	0x6C0C	2	割り込みレベル クリア レジスタ
SCIFLR	0x6C0E	2	フラグ レジスタ
SCIINTVECT0	0x6C10	2	割り込みベクタ オフセット レジスタ 0
SCIINTVECT1	0x6C12	2	割り込みベクタ オフセット レジスタ 1
SCIFORMAT	0x6C14	2	長さ制御レジスタ
BRSR	0x6C16	2	ボーレート選択レジスタ
SCIED	0x6C18	2	エミュレーション バッファレジスタ
SCIRD	0x6C1A	2	受信データ バッファレジスタ
SCITD	0x6C1C	2	送信データ バッファレジスタ
予約済み	0x6C1E	4	RSVD
SIPIO2	0x6C22	2	ピン制御レジスタ 2
予約済み	0x6C24	10	RSVD
LINCOMP	0x6C30	2	比較レジスタ
LINRD0	0x6C32	2	受信データ レジスタ 0
LINRD1	0x6C34	2	受信データ レジスタ 1
LINMASK	0x6C36	2	アクセプタンス マスク レジスタ
LINID	0x6C38	2	ID バイト、ID-SlaveTask バイト、ID 受信フィールドを含むレジスタ
LINTD0	0x6C3A	2	送信データ レジスタ 0
LINTD1	0x6C3C	2	送信データ レジスタ 1
MBRSR	0x6C3E	2	ボーレート選択レジスタ
予約済み	0x6C40	8	RSVD
IODFTCTRL	0x6C48	2	BLIN 用 IODFT

(1) 一部のレジスタとその他のレジスタの一部のビットは EALLOW 保護されています。詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ローカル相互接続ネットワーク (LIN) モジュール」の章を参照してください。

図 7-34 に、LIN モジュールのブロック図を示します。

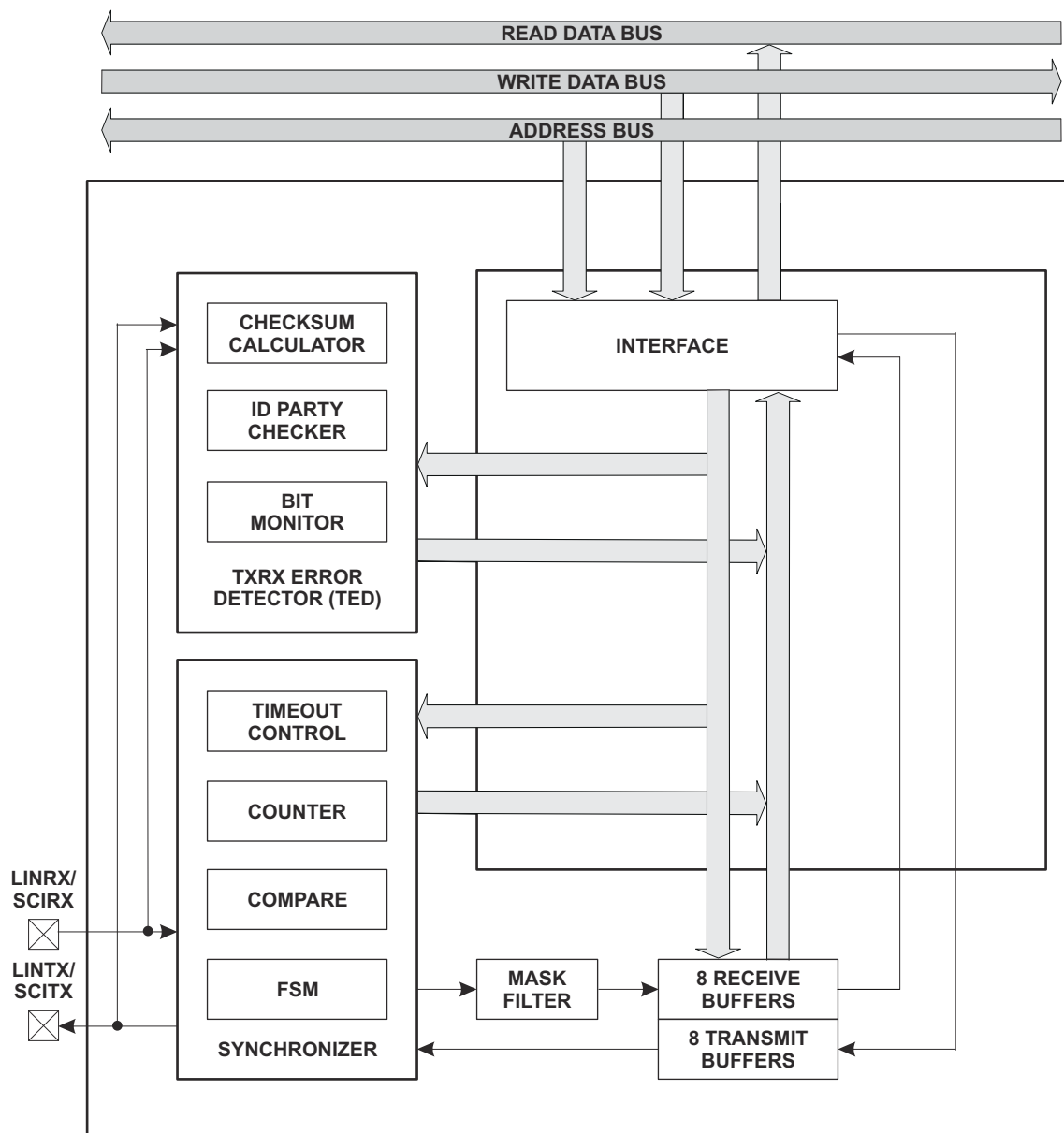


図 7-34. LIN のブロック図

7.9.7 拡張コントローラ エリア ネットワーク (eCAN) モジュール

CAN モジュール (eCAN-A) の主な機能は次のとおりです。

- ISO11898-1 (CAN 2.0B) に完全準拠
- 最大 1Mbps のデータレートをサポート
- 32 個のメールボックス、それぞれに以下のプロパティがあります。
 - 受信または送信として構成可能
 - 標準識別子または拡張識別子で構成可能
 - プログラマブル受信マスクを利用可能
 - データおよびリモートフレームをサポート
 - 0~8 バイトのデータで構成
 - 受信および送信メッセージに 32 ビット タイム スタンプを使用
 - 新しいメッセージの受信に対して保護
 - 送信メッセージについて動的にプログラム可能な優先順位
 - 2 つの割り込みレベルを持つプログラム可能な割り込み方式を採用
 - 送信または受信タイムアウト時のプログラマブル アラームを採用
- 低消費電力モード
- バス動作によるウェークアップをプログラム可能
- リモート要求メッセージへの自動応答
- アービトレーションまたはエラーが発生した場合のフレームの自動再送信
- 特定のメッセージ (メールボックス 16 に関連した通信) によって同期された 32 ビット ローカル ネットワーク時間カウンタ
- 自己テスト モード
 - 自分自身のメッセージを受信するループバック モードで動作する。「ダミー」のアクノリッジが送信されるため、別のノードがアクノリッジ ビットを返す必要はない。

注

SYSCLKOUT が 60MHz の場合、可能な最小のビットレートは 4.6875kbps です。

F2803x CAN は、ISO/DIS 16845 に準拠した適合性試験に合格済みです。テスト レポートおよび例外については、テキサス・インスツルメンツにお問い合わせください。

オンチップのゼロピン発振器と組み合わせて CAN モジュールを使用する方法の詳細については、『[オンチップのゼロピン発振器による MCU CAN モジュールの動作](#)』を参照してください。

CAN の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「コントローラ エリア ネットワーク (CAN)」の章を参照してください。

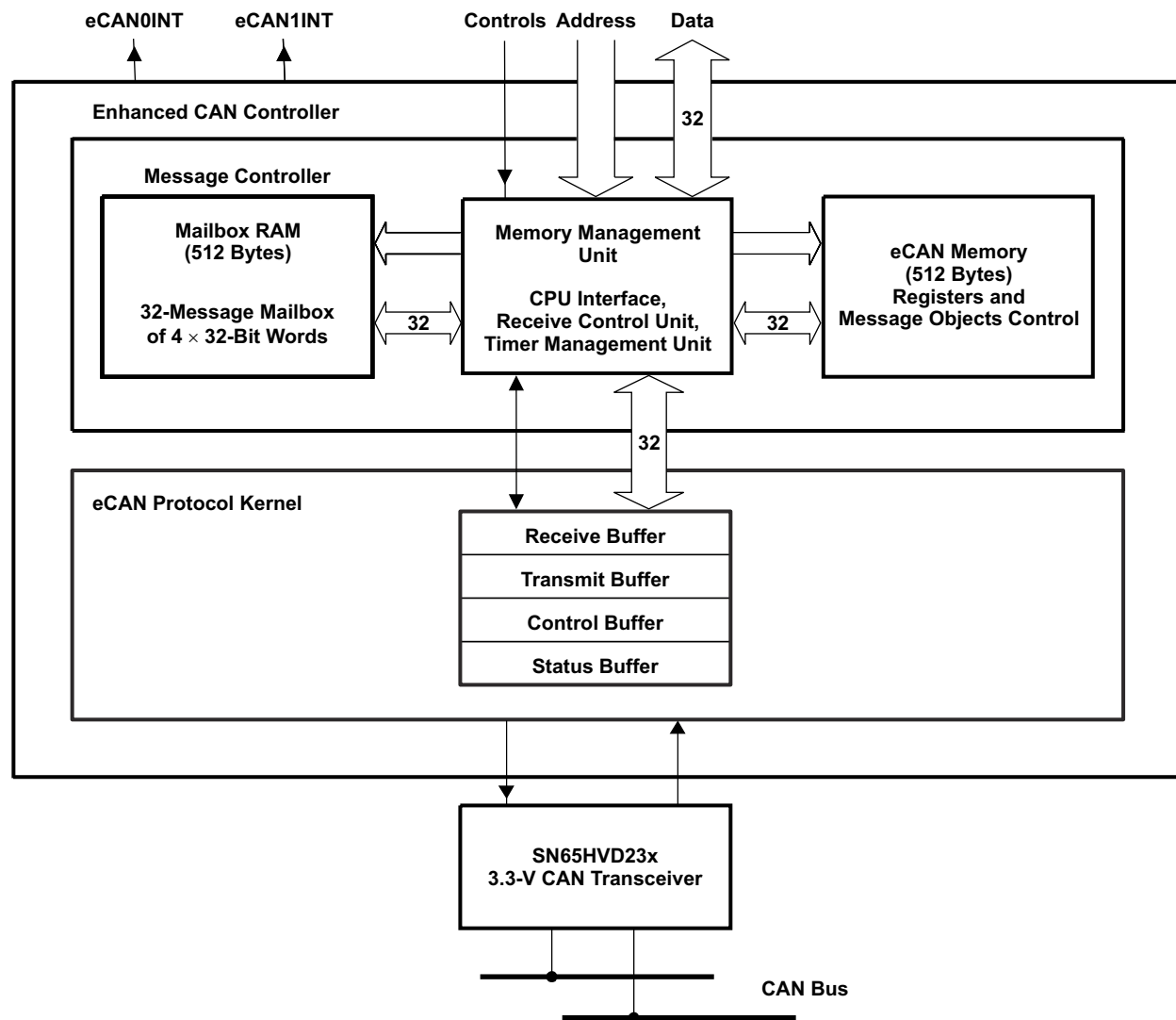


図 7-35. eCAN のブロック図とインターフェイス回路

表 7-31. 3.3V eCAN トランシーバ

部品番号	電源 電圧	低消費電力 モード	スロープ 制御	VREF	その他	T _A
SN65HVD230	3.3V	スタンバイ	可変	あり	—	-40°C～85°C
SN65HVD230Q	3.3V	スタンバイ	可変	あり	—	-40°C～125°C
SN65HVD231	3.3V	スリープ	可変	あり	—	-40°C～85°C
SN65HVD231Q	3.3V	スリープ	可変	あり	—	-40°C～125°C
SN65HVD232	3.3V	なし	なし	なし	—	-40°C～85°C
SN65HVD232Q	3.3V	なし	なし	なし	—	-40°C～125°C
SN65HVD233	3.3V	スタンバイ	可変	なし	診断ループバック	-40°C～125°C
SN65HVD234	3.3V	スタンバイおよびスリープ	可変	なし	—	-40°C～125°C
SN65HVD235	3.3V	スタンバイ	可変	なし	自動ボー ループバック	-40°C～125°C

表 7-31. 3.3V eCAN トランシーバ (続き)

部品番号	電源 電圧	低消費電力 モード	スロープ 制御	VREF	その他	T _A
ISO1050	3~5.5V	なし	なし	なし	内部絶縁 低伝搬遅延 サーマル シャットダウン フェイルセーフ動作 ドミナント タイムアウト	-55°C~105°C

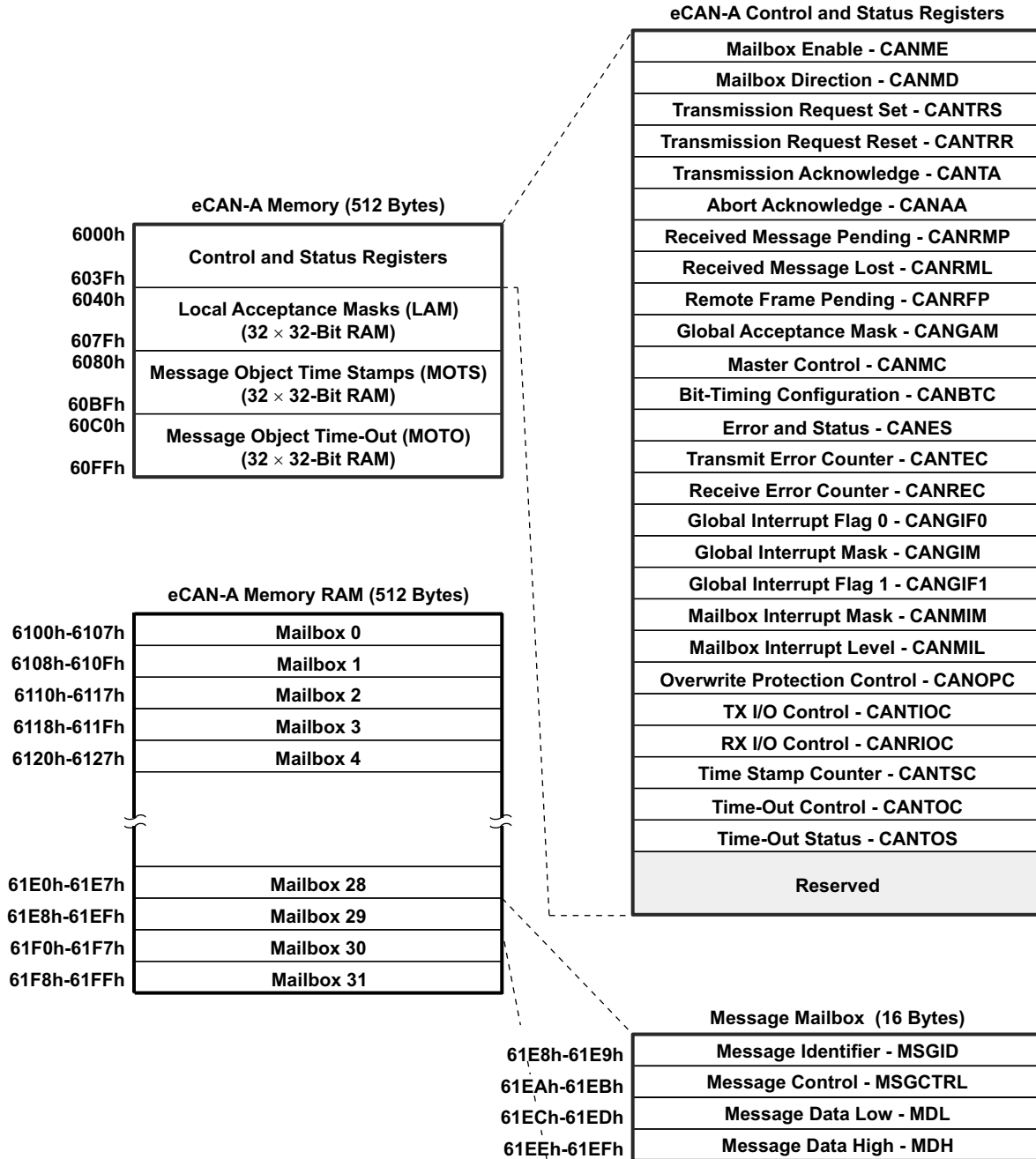


図 7-36. eCAN-A のメモリ マップ

注

eCAN-A モジュールをアプリケーションで使用しない場合は、使用可能な RAM (LAM、MOTS、MOTO、メールボックス RAM) を汎用 RAM として使用できます。この場合、CAN モジュールのクロックを有効化する必要があります。

表 7-32 に示す CAN レジスタは、CAN コントローラとメッセージ オブジェクトの構成と制御のために、CPU によって使用されます。eCAN 制御レジスタは 32 ビット読み出し / 書き込み操作のみをサポートしています。メールボックス RAM には、16 ビットまたは 32 ビットとしてアクセスできます。32 ビット アクセスは偶数境界にアラインされます。

表 7-32. CAN レジスタ マップ

レジスタ名 ⁽¹⁾	eCAN-A アドレス	サイズ (x32)	説明
CANME	0x6000	1	メールボックス有効
CANMD	0x6002	1	メールボックス方向
CANTRS	0x6004	1	送信要求セット
CANTRR	0x6006	1	送信要求リセット
CANTA	0x6008	1	送信アクノリッジ
CANAA	0x600A	1	アクノリッジ中止
CANRMP	0x600C	1	受信メッセージ保留中
CANRML	0x600E	1	受信メッセージ喪失
CANRFP	0x6010	1	保留リモート フレーム
CANGAM	0x6012	1	グローバル アクセプタンス マスク
CANMC	0x6014	1	マスク制御
CANBTC	0x6016	1	ビット タイミング設定
CANES	0x6018	1	エラーおよびステータス
CANTEC	0x601A	1	送信エラー カウンタ
CANREC	0x601C	1	受信エラー カウンタ
CANGIF0	0x601E	1	グローバル 割り込みフラグ 0
CANGIM	0x6020	1	グローバル 割り込みマスク
CANGIF1	0x6022	1	グローバル 割り込みフラグ 1
CANMIM	0x6024	1	メールボックス 割り込みマスク
CANMIL	0x6026	1	メールボックス 割り込みレベル
CANOPC	0x6028	1	上書き保護制御
CANTIOC	0x602A	1	TX I/O 制御
CANRIOC	0x602C	1	RX I/O 制御
CANTSC	0x602E	1	タイム スタンプ カウンタ (SCC モードでは予約済み)
CANTOC	0x6030	1	タイムアウト制御 (SCC モードでは予約済み)
CANTOS	0x6032	1	タイムアウト ステータス (SCC モードでは予約済み)

(1) これらのレジスタはペリフェラル フレーム 1 に割り当てられています。

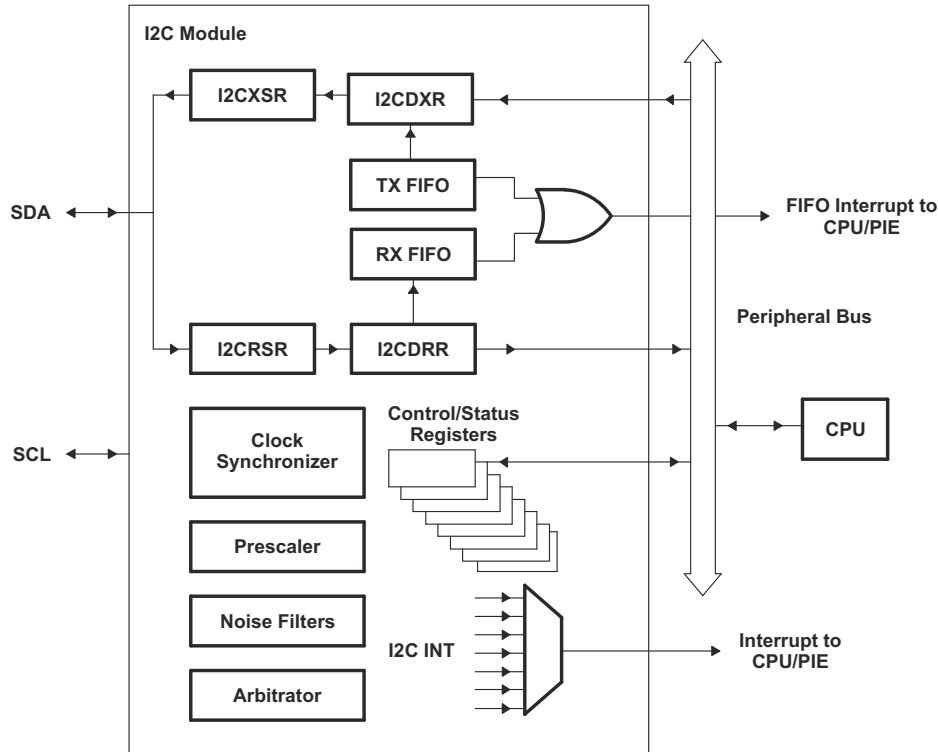
7.9.8 I2C (Inter-Integrated Circuit)

本デバイスは 1 つの I2C シリアル ポートを備えています。図 7-37 に、本デバイス内の I2C ペリフェラル モジュールの接続図を示します。

I2C モジュールの主な機能は次のとおりです。

- Philips Semiconductors の I²C バス規格 (バージョン 2.1) に準拠:
 - 1 ビット～8 ビット形式の転送をサポート
 - 7 ビットおよび 10 ビットのアドレッシング モード
 - ゼネラルコール
 - START バイト モード
 - 複数のマスタトランスミッタとスレーブ レシーバをサポート
 - 複数のスレーブ トランスミッタとマスタ レシーバをサポート
 - マスター送信 / 受信、受信 / 送信の組み合わせモード
 - 10kbps～最大 400kbps (Philips 高速モード) のデータ転送レートをサポート
- 1 つの 4 ワード受信 FIFO と、1 つの 4 ワード送信 FIFO
- CPU が使用できる 1 つの割り込みこの割り込みは、次のいずれかの条件の結果として発生させることができます。
 - 送信データレディ
 - 受信データレディ
 - レジスタ アクセスの準備が完了した
 - アクノリッジ受信なし
 - アービトレーション ロスト
 - ストップ条件検出
 - スレーブとしてアドレス指定
- FIFO モードの場合、もう 1 つの割り込みを CPU が使用可能
- モジュールのイネーブル / ディセーブル機能
- 自由データ フォーマット モード

I2C の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「I2C (Inter-Integrated Circuit Module)」の章を参照してください。



- A. I2C レジスタには SYSCLKOUT レートでアクセスします。I2C ポートの内部タイミングと信号波形も SYSCLKOUT のレートでアクセスされます。
- B. PCLKCRO レジスタのクロック イネーブル ビット (I2CAENCLK) を使うと、低消費電力動作のために I2C ポートへのクロックをオフにできます。リセットと同時に、I2CAENCLK はクリアされます。これは、ペリフェラルの内部クロックがオフであることを示しています。

図 7-37. I2C ペリフェラル モジュール インターフェイス

表 7-33 のレジスタは、I2C ポートの動作を構成および制御します。

表 7-33. I2C-A レジスタ

名称	アドレス	EALLOW 保護	説明
I2COAR	0x7900	なし	I2C 独自アドレス レジスタ
I2CIER	0x7901	なし	I2C 割り込みイネーブル レジスタ
I2CSTR	0x7902	なし	I2C ステータス レジスタ
I2CCLKL	0x7903	なし	I2C クロック Low 時間デバイダ レジスタ
I2CCLKH	0x7904	なし	I2C クロック High 時間デバイダ レジスタ
I2CCNT	0x7905	なし	I2C データ カウント レジスタ
I2CDRR	0x7906	なし	I2C データ受信レジスタ
I2CSAR	0x7907	なし	I2C スレーブ アドレス レジスタ
I2CDXR	0x7908	なし	I2C データ送信レジスタ
I2CMODR	0x7909	なし	I2C モード レジスタ
I2CISRC	0x790A	なし	I2C 割り込みソース レジスタ
I2CPSC	0x790C	なし	I2C プリスケアラ レジスタ
I2CFFTX	0x7920	なし	I2C FIFO 送信レジスタ
I2CFFRX	0x7921	なし	I2C FIFO 受信レジスタ
I2CRSR	–	なし	I2C 受信シフト レジスタ (CPU からはアクセス不可)
I2CXSR	–	なし	I2C 送信シフト レジスタ (CPU からはアクセス不可)

7.9.8.1 I2C の電氣的データ / タイミング

セクション 7.9.8.1.1 に、I2C のタイミング要件を示します。セクション 7.9.8.1.2 に、I2C のスイッチング特性を示します。

7.9.8.1.1 I2C のタイミング要件

			最小値	最大値	単位
$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延		0.6		μs
$t_{su(SCL-SDA)START}$	セットアップ時間、REPEAT-START、SDA 立ち下がり遅延の前の SCL 立ち上がり		0.6		μs
$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ		0		μs
$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ		100		ns
$t_r(SDA)$	立ち上がり時間、SDA	入力許容範囲	20	300	ns
$t_r(SCL)$	立ち上がり時間、SCL	入力許容範囲	20	300	ns
$t_f(SDA)$	立ち下がり時間、SDA	入力許容範囲	11.4	300	ns
$t_f(SCL)$	立ち下がり時間、SCL	入力許容範囲	11.4	300	ns
$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SDA 立ち上がり遅延の前の SCL 立ち上がり		0.6		μs

7.9.8.1.2 I2C のスイッチング特性

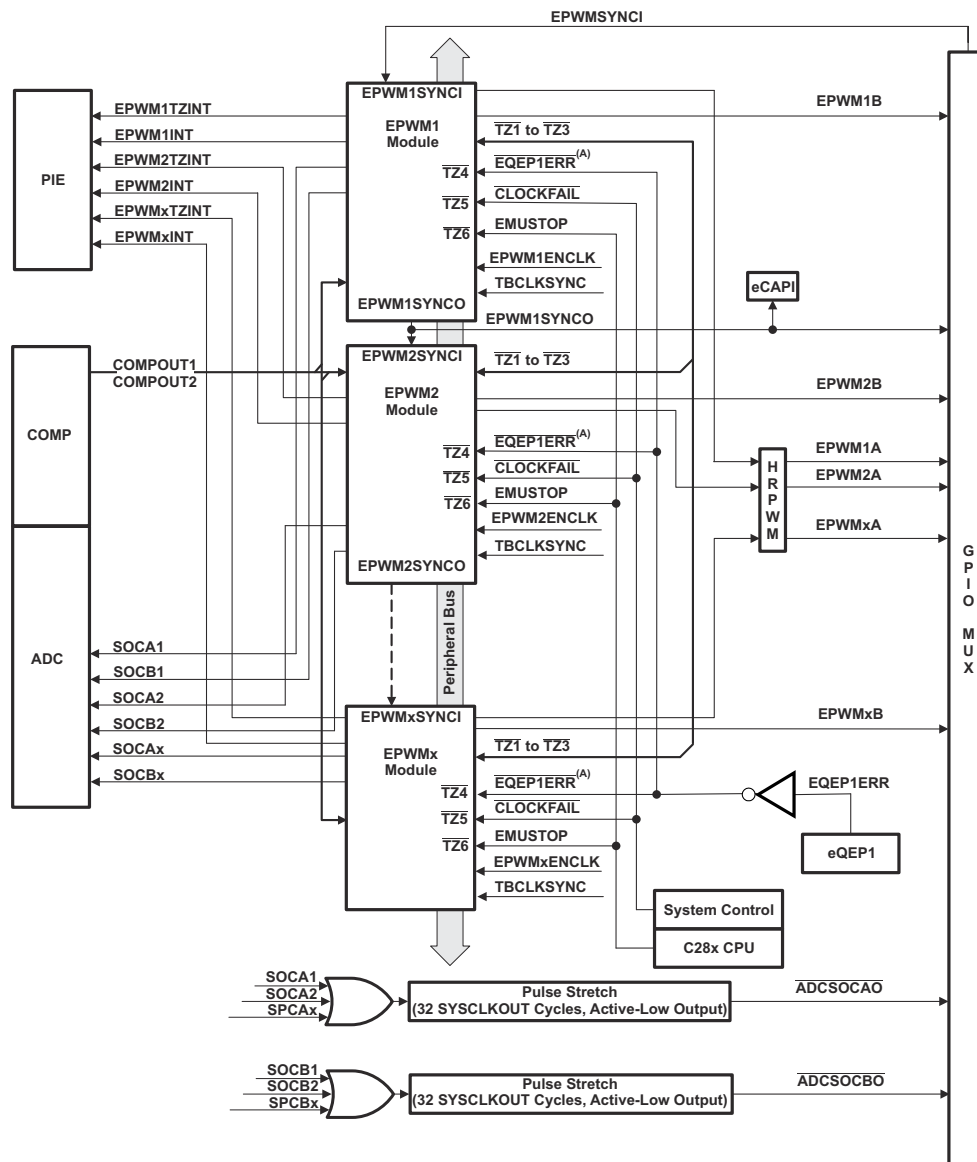
推奨動作条件範囲内 (特に記述のない限り)。

パラメータ	テスト条件	最小値	最大値	単位
f_{SCL} SCL クロック周波数	I2C クロック モジュールの周波数は 7MHz～12MHz であり、I2C プリスケアラおよびクロック デバイダ レジスタは適切に構成されている。		400	kHz
V_{il} Low レベル入力電圧			$0.3V_{DDIO}$	V
V_{ih} HIGH レベル入力電圧		$0.7V_{DDIO}$		V
V_{hys} 入力ヒステリシス		$0.05V_{DDIO}$		V
V_{ol} LOW レベル出力電圧	3mA のシンク電流	0	0.4	V
t_{LOW} SCL クロックの Low 期間	I2C クロック モジュールの周波数は 7MHz～12MHz であり、I2C プリスケアラおよびクロック デバイダ レジスタは適切に構成されている。	1.3		μs
t_{HIGH} SCL クロックの High 期間	I2C クロック モジュールの周波数は 7MHz～12MHz であり、I2C プリスケアラおよびクロック デバイダ レジスタは適切に構成されている。	0.6		μs
I_I 入力電流 (入力電圧: $0.1 V_{DDIO} \sim 0.9 V_{DDIO}$)		-10	10	μA

7.9.9 エンハンスド PWM モジュール (ePWM1/2/3/4/5/6/7)

本デバイスは最大 7 つの拡張 PWM モジュール (ePWM) を内蔵しています。図 7-38 に、DAC アーキテクチャのブロック図を示します。図 7-39 に、ePWM との信号の相互接続を示します。詳細については、『[TMS320F2803x リアルタイムマイクロコントローラ テクニカル リファレンス マニュアル](#)』の「拡張パルス幅変調器 (ePWM)」の章を参照してください。

表 7-34 と表 7-35 に、モジュールごとの ePWM レジスター式を示します。



Copyright © 2017, Texas Instruments Incorporated

A. この信号は、eQEP1 モジュールを備えたデバイスにのみ存在します。

図 7-38. ePWM

表 7-34. ePWM1～ePWM4 制御およびステータス レジスタ

名称	ePWM1	ePWM2	ePWM3	ePWM4	サイズ (x16) / シャドウの数	説明
TBCTL	0x6800	0x6840	0x6880	0x68C0	1 / 0	タイム ベース制御レジスタ
TBSTS	0x6801	0x6841	0x6881	0x68C1	1 / 0	タイム ベース ステータス レジスタ
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	1 / 0	タイム ベース位相 HRPWM レジスタ
TBPHS	0x6803	0x6843	0x6883	0x68C3	1 / 0	タイム ベース位相レジスタ
TBCTR	0x6804	0x6844	0x6884	0x68C4	1 / 0	タイム ベース カウンタ レジスタ
TBPRD	0x6805	0x6845	0x6885	0x68C5	1 / 1	タイム ベース周期レジスタ セット
TBPRDHR	0x6806	0x6846	0x6886	0x68C6	1 / 1	タイム ベース周期高分解能レジスタ ⁽¹⁾
CMPCTL	0x6807	0x6847	0x6887	0x68C7	1 / 0	カウンタ比較制御レジスタ
CMPAHR	0x6808	0x6848	0x6888	0x68C8	1 / 1	タイム ベース比較 A HRPWM レジスタ
CMPA	0x6809	0x6849	0x6889	0x68C9	1 / 1	カウンタ比較 A レジスタ セット
CMPB	0x680A	0x684A	0x688A	0x68CA	1 / 1	カウンタ比較 B レジスタ セット
AQCTLA	0x680B	0x684B	0x688B	0x68CB	1 / 0	出力 A のアクション クオリファイア制御レジスタ
AQCTLB	0x680C	0x684C	0x688C	0x68CC	1 / 0	出力 B のアクション クオリファイア制御レジスタ
AQSFRC	0x680D	0x684D	0x688D	0x68CD	1 / 0	アクション クオリファイア ソフトウェア強制レジスタ
AQCSFRC	0x680E	0x684E	0x688E	0x68CE	1 / 1	アクション クオリファイア連続 S/W 強制レジスタ セット
DBCTL	0x680F	0x684F	0x688F	0x68CF	1 / 1	デッドバンド ジェネレータ制御レジスタ
DBRED	0x6810	0x6850	0x6890	0x68D0	1 / 0	デッドバンド ジェネレータ立ち上がりエッジ遅延カウント レジスタ
DBFED	0x6811	0x6851	0x6891	0x68D1	1 / 0	デッドバンド ジェネレータ立ち下がりエッジ遅延カウント レジスタ
TZSEL	0x6812	0x6852	0x6892	0x68D2	1 / 0	トリップ ゾーン選択レジスタ ⁽¹⁾
TZDCSEL	0x6813	0x6853	0x6893	0x98D3	1 / 0	トリップ ゾーン デジタル比較レジスタ
TZCTL	0x6814	0x6854	0x6894	0x68D4	1 / 0	トリップ ゾーン制御レジスタ ⁽¹⁾
TZEINT	0x6815	0x6855	0x6895	0x68D5	1 / 0	トリップ ゾーン イネーブル割り込みレジスタ ⁽¹⁾
TZFLG	0x6816	0x6856	0x6896	0x68D6	1 / 0	トリップ ゾーン フラグ レジスタ ⁽¹⁾
TZCLR	0x6817	0x6857	0x6897	0x68D7	1 / 0	トリップ ゾーン クリア レジスタ ⁽¹⁾
TZFRC	0x6818	0x6858	0x6898	0x68D8	1 / 0	トリップ ゾーン強制レジスタ ⁽¹⁾
ETSEL	0x6819	0x6859	0x6899	0x68D9	1 / 0	イベントトリガ選択レジスタ
ETPS	0x681A	0x685A	0x689A	0x68DA	1 / 0	イベントトリガ プリスケアラレジスタ
ETFLG	0x681B	0x685B	0x689B	0x68DB	1 / 0	イベントトリガ フラグ レジスタ
ETCLR	0x681C	0x685C	0x689C	0x68DC	1 / 0	イベントトリガ クリア レジスタ
ETFRC	0x681D	0x685D	0x689D	0x68DD	1 / 0	イベントトリガ強制レジスタ
PCCTL	0x681E	0x685E	0x689E	0x68DE	1 / 0	PWM チョップ制御レジスタ
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	1 / 0	HRPWM 構成レジスタ ⁽¹⁾
HRPWR	0x6821	-	-	-	1 / 0	HRPWM 電源レジスタ
HRMSTEP	0x6826	-	-	-	1 / 0	HRPWM MEP ステップ レジスタ
HRPCTL	0x6828	0x6868	0x68A8	0x68E8	1 / 0	高分解能周期制御レジスタ ⁽¹⁾
TBPRDHRM	0x682A	0x686A	0x68AA	0x68EA	1 / W ⁽²⁾	タイム ベース周期 HRPWM レジスタ ミラー
TBPRDM	0x682B	0x686B	0x68AB	0x68EB	1 / W ⁽²⁾	タイム ベース周期レジスタ ミラー
CMPAHRM	0x682C	0x686C	0x68AC	0x68EC	1 / W ⁽²⁾	比較 A HRPWM レジスタ ミラー
CMPAM	0x682D	0x686D	0x68AD	0x68ED	1 / W ⁽²⁾	比較 A レジスタ ミラー
DCTRISEL	0x6830	0x6870	0x68B0	0x68F0	1 / 0	デジタル比較トリップ選択レジスタ ⁽¹⁾

表 7-34. ePWM1～ePWM4 制御およびステータス レジスタ (続き)

名称	ePWM1	ePWM2	ePWM3	ePWM4	サイズ (x16) / シャドウの数	説明
DCACTL	0x6831	0x6871	0x68B1	0x68F1	1 / 0	デジタル比較 A 制御レジスタ ⁽¹⁾
DCBCTL	0x6832	0x6872	0x68B2	0x68F2	1 / 0	デジタル比較 B 制御レジスタ ⁽¹⁾
DCFCTL	0x6833	0x6873	0x68B3	0x68F3	1 / 0	デジタル比較フィルタ制御レジスタ ⁽¹⁾
DCCAPCT	0x6834	0x6874	0x68B4	0x68F4	1 / 0	デジタル比較キャプチャ制御レジスタ ⁽¹⁾
DCFOFFSET	0x6835	0x6875	0x68B5	0x68F5	1 / 1	デジタル比較フィルタ オフセット レジスタ
DCFOFFSETCN T	0x6836	0x6876	0x68B6	0x68F6	1 / 0	デジタル比較フィルタ オフセット カウンタ レジスタ
DCFWINDOW	0x6837	0x6877	0x68B7	0x68F7	1 / 0	デジタル比較フィルタ ウィンドウ レジスタ
DCFWINDOWCN T	0x6838	0x6878	0x68B8	0x68F8	1 / 0	デジタル比較フィルタ ウィンドウ カウンタ レジスタ
DCCAP	0x6839	0x6879	0x68B9	0x68F9	1 / 1	デジタル比較カウンタ キャプチャレジスタ

(1) EALLOW 保護されたレジスタ。

(2) W = シャドウ レジスタへの書き込み

表 7-35. ePWM5～ePWM7 制御およびステータス レジスタ

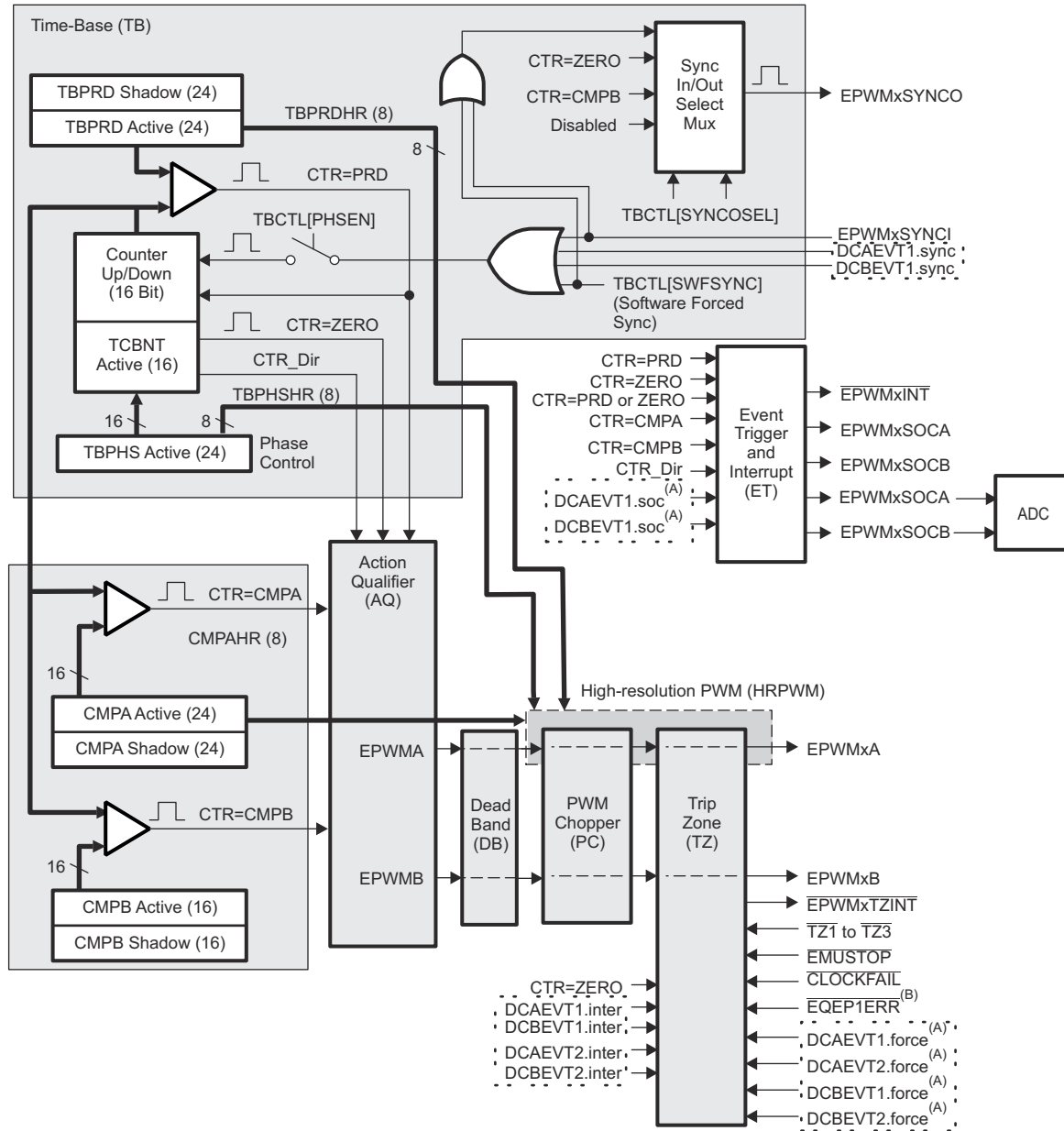
名称	ePWM5	ePWM6	ePWM7	サイズ (x16) / #SHADOW	説明
TBCTL	0x6900	0x6940	0x6980	1 / 0	タイム ベース制御レジスタ
TBSTS	0x6901	0x6941	0x6981	1 / 0	タイム ベース ステータス レジスタ
TBPHSHR	0x6902	0x6942	0x6982	1 / 0	タイム ベース位相 HRPWM レジスタ
TBPHS	0x6903	0x6943	0x6983	1 / 0	タイム ベース位相レジスタ
TBCTR	0x6904	0x6944	0x6984	1 / 0	タイム ベース カウンタ レジスタ
TBPRD	0x6905	0x6945	0x6985	1 / 1	タイム ベース周期レジスタ セット
TBPRDHR	0x6906	0x6946	0x6986	1 / 1	タイム ベース周期高分解能レジスタ ⁽¹⁾
CMPCTL	0x6907	0x6947	0x6987	1 / 0	カウンタ比較制御レジスタ
CMPAHR	0x6908	0x6948	0x6988	1 / 1	タイム ベース比較 A HRPWM レジスタ
CMPA	0x6909	0x6949	0x6989	1 / 1	カウンタ比較 A レジスタ セット
CMPB	0x690A	0x694A	0x698A	1 / 1	カウンタ比較 B レジスタ セット
AQCTLA	0x690B	0x694B	0x698B	1 / 0	出力 A のアクション クオリファイア制御レジスタ
AQCTLB	0x690C	0x694C	0x698C	1 / 0	出力 B のアクション クオリファイア制御レジスタ
AQSFR	0x690D	0x694D	0x698D	1 / 0	アクション クオリファイア ソフトウェア強制レジスタ
AQCSFR	0x690E	0x694E	0x698E	1 / 1	アクション クオリファイア連続 S/W 強制レジスタ セット
DBCTL	0x690F	0x694F	0x698F	1 / 1	デッドバンド ジェネレータ制御レジスタ
DBRED	0x6910	0x6950	0x6990	1 / 0	デッドバンド ジェネレータ立ち上がりエッジ遅延カウント レジスタ
DBFED	0x6911	0x6951	0x6991	1 / 0	デッドバンド ジェネレータ立ち下がりエッジ遅延カウント レジスタ
TZSEL	0x6912	0x6952	0x6992	1 / 0	トリップ ゾーン選択レジスタ ⁽¹⁾
TZDCSEL	0x6913	0x6953	0x6993	1 / 0	トリップ ゾーン デジタル比較レジスタ
TZCTL	0x6914	0x6954	0x6994	1 / 0	トリップ ゾーン制御レジスタ ⁽¹⁾
TZEINT	0x6915	0x6955	0x6995	1 / 0	トリップ ゾーン イネーブル割り込みレジスタ ⁽¹⁾
TZFLG	0x6916	0x6956	0x6996	1 / 0	トリップ ゾーン フラグ レジスタ ⁽¹⁾
TZCLR	0x6917	0x6957	0x6997	1 / 0	トリップ ゾーン クリア レジスタ ⁽¹⁾
TZFRC	0x6918	0x6958	0x6998	1 / 0	トリップ ゾーン強制レジスタ ⁽¹⁾

表 7-35. ePWM5～ePWM7 制御およびステータス レジスタ (続き)

名称	ePWM5	ePWM6	ePWM7	サイズ (x16) / #SHADOW	説明
ETSEL	0x6919	0x6959	0x6999	1 / 0	イベントトリガ選択レジスタ
ETPS	0x691A	0x695A	0x699A	1 / 0	イベントトリガ プリスケール レジスタ
ETFLG	0x691B	0x695B	0x699B	1 / 0	イベントトリガ フラグ レジスタ
ETCLR	0x691C	0x695C	0x699C	1 / 0	イベントトリガ クリア レジスタ
ETFRC	0x691D	0x695D	0x699D	1 / 0	イベントトリガ強制レジスタ
PCCTL	0x691E	0x695E	0x699E	1 / 0	PWM チョップ制御レジスタ
HRCNFG	0x6920	0x6960	0x69A0	1 / 0	HRPWM 構成レジスタ (1)
HRPWR	-	-	-	1 / 0	HRPWM 電源レジスタ
HRMSTEP	-	-	-	1 / 0	HRPWM MEP ステップ レジスタ
HRPCTL	0x6928	0x6968	0x69A8	1 / 0	高分解能周期制御レジスタ (1)
TBPRDHRM	0x692A	0x696A	0x69AA	1 / W (2)	タイム ベース周期 HRPWM レジスタ ミラー
TBPRDM	0x692B	0x696B	0x69AB	1 / W (2)	タイム ベース周期レジスタ ミラー
CMPAHRM	0x692C	0x696C	0x69AC	1 / W (2)	比較 A HRPWM レジスタ ミラー
CMPAM	0x692D	0x696D	0x69AD	1 / W (2)	比較 A レジスタ ミラー
DCTRISEL	0x6930	0x6970	0x69B0	1 / 0	デジタル比較トリップ選択レジスタ (1)
DCACTL	0x6931	0x6971	0x69B1	1 / 0	デジタル比較 A 制御レジスタ (1)
DCBCTL	0x6932	0x6972	0x69B2	1 / 0	デジタル比較 B 制御レジスタ (1)
DCFCTL	0x6933	0x6973	0x69B3	1 / 0	デジタル比較フィルタ制御レジスタ (1)
DCCAPCT	0x6934	0x6974	0x69B4	1 / 0	デジタル比較キャプチャ制御レジスタ (1)
DCFOFFSET	0x6935	0x6975	0x69B5	1 / 1	デジタル比較フィルタ オフセット レジスタ
DCFOFFSETCNT	0x6936	0x6976	0x69B6	1 / 0	デジタル比較フィルタ オフセット カウンタ レジスタ
DCFWINDOW	0x6937	0x6977	0x69B7	1 / 0	デジタル比較フィルタ ウィンドウ レジスタ
DCFWINDOWCNT	0x6938	0x6978	0x69B8	1 / 0	デジタル比較フィルタ ウィンドウ カウンタ レジスタ
DCCAP	0x6939	0x6979	0x69B9	1 / 1	デジタル比較カウンタ キャプチャレジスタ

(1) EALLOW 保護されたレジスタ。

(2) W = シャドウ レジスタへの書き込み



- A. これらのイベントは、COMPxOUT および $\overline{TZ}$ 信号のレベルに基づいて、タイプ 1 ePWM デジタル比較 (DC) サブモジュールによって生成されます。
- B. この信号は、eQEP1 モジュールを備えたデバイスにのみ存在します。

図 7-39. 重要な内部信号の相互接続を示す ePWM サブモジュール

7.9.9.1 ePWM の電氣的データ / タイミング

PWM とは、ePWM1～7 の PWM 出力を指します。セクション 7.9.9.1.1 に PWM のタイミング要件を示し、セクション 7.9.9.1.2 にスイッチング特性を示します。

7.9.9.1.1 ePWM のタイミング要件

		最小値	最大値	単位
$t_{w(SYCIN)}^{(1)}$ 同期入力パルス幅	非同期	$2t_{c(SCO)}$		サイクル
	同期	$2t_{c(SCO)}$		サイクル
	入力クオリファイア付き	$1t_{c(SCO)} + t_{w(IQSW)}$		サイクル数

(1) 入力フィルタ パラメータの説明については、セクション 7.9.15.1.2.1 を参照してください。

7.9.9.1.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

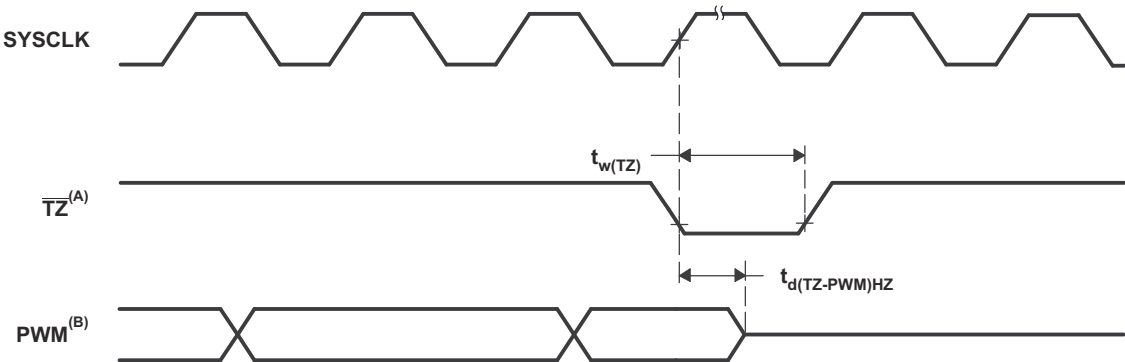
パラメータ	テスト条件	最小値	最大値	単位
$t_{w(PWM)}$ パルス幅、PWMx 出力 High/Low		33.33		ns
$t_{w(SYNCOUT)}$ 同期出力パルス幅		$8t_{c(SCO)}$		サイクル
$t_{d(PWM)Iza}$ 遅延時間、トリップ入力アクティブから PWM 強制 HIGH まで 遅延時間、トリップ入力アクティブから PWM 強制 LOW まで	ピン負荷なし		25	ns
$t_{d(TZ-PWM)HZ}$ 遅延時間、トリップ入力アクティブから PWM ハイ インピーダンスまで			20	ns

7.9.9.2 トリップゾーン入力のタイミング

7.9.9.2.1 トリップゾーン入力のタイミング要件

		最小値	最大値	単位
$t_{w(TZ)}^{(1)}$ パルス幅、 $\overline{TZx}$ 入力 Low	非同期	$2t_{c(TBCLK)}$		サイクル数
	同期	$2t_{c(TBCLK)}$		サイクル数
	入力クオリファイア付き	$2t_{c(TBCLK)} + t_{w(IQSW)}$		サイクル数

(1) 入力クオリファイア パラメータの説明については、セクション 7.9.15.1.2.1 を参照してください。



A. $\overline{TZ} - \overline{TZ1}, \overline{TZ2}, \overline{TZ3}, \overline{TZ4}, \overline{TZ5}, \overline{TZ6}$

B. PWM は、本デバイスのすべての PWM ピンを指します。 $\overline{TZ}$ が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 7-40. PWM Hi-Z 特性

7.9.10 高分解能 PWM (HRPWM)

このモジュールは、複数のディレイラインと、専用のキャリブレーション用ディレイラインを使用することで簡素化されたキャリブレーションシステムとを 1 つのモジュールに統合しています。ePWM モジュールごとに 1 つの HR ディレイラインが備わっています。

HRPWM モジュールは、従来型デジタル PWM 方式で達成可能な分解能よりもはるかに優れた PWM 分解能 (時間粒度) を実現します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル エッジ (デューティ サイクルおよび位相シフト制御) とデュアル エッジ (周波数 / 周期変調制御) の両方で使用できる。
- ePWM モジュールの比較 A レジスタと位相レジスタの拡張機能によって、時間粒度制御またはエッジ位置設定をより細かく制御できる。
- HRPWM 機能は、特定のデバイスで利用可能な場合、ePWM モジュールの A 信号の経路 (つまり EPWMxA 出力) にのみ備わっている。EPWMxB 出力は従来型 PWM 機能を備えている。

注

HRPWM として許容される最小 SYSCLKOUT 周波数は 60MHz です。

注

デュアル エッジ高分解能 (高分解能周期モード) が有効化されている場合、PWMxB 出力は使用できません。

HRPWM の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「高分解能パルス幅変調器 (HRPWM)」の章を参照してください。

7.9.10.1 HRPWM の電氣的データ / タイミング

セクション [7.9.10.1.1](#) に、高分解能 PWM のスイッチング特性を示します。

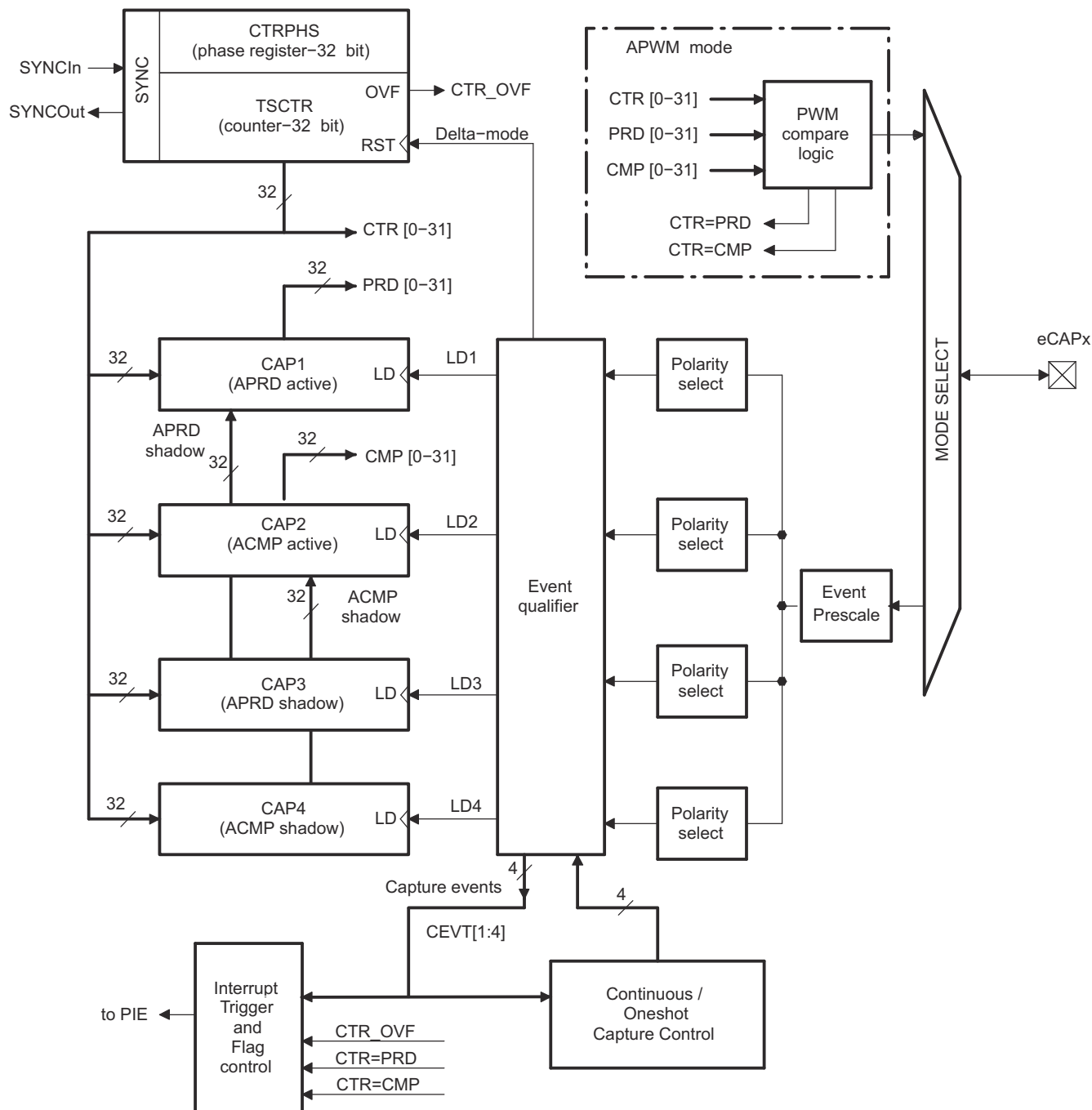
7.9.10.1.1 高分解能 PWM の特性

パラメータ ⁽¹⁾	最小値	標準値	最大値	単位
マイクロ エッジ ポジショニング (MEP) ステップ サイズ ⁽²⁾		150	310	ps

- (1) HRPWM は 60MHz 以上の SYSCLKOUT 周波数で動作します。
- (2) MEP ステップ サイズは、高温かつ V_{DD} 最小電圧で最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ サイズが増加し、温度の低下および電圧の上昇に伴って減少します。
HRPWM 機能を使用するアプリケーションでは、MEP 係数最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使う方法の詳細については、テキサス・インスツルメンツのソフトウェア ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

7.9.11 拡張キャプチャ モジュール (eCAP1)

本デバイスは拡張キャプチャ (eCAP) モジュールを内蔵しています。図 7-41 に、モジュールの機能ブロック図を示します。



Copyright © 2017, Texas Instruments Incorporated

図 7-41. eCAP 機能ブロック図

eCAP モジュールは SYSCLKOUT のレートでクロック駆動されます。

PCLKCR1 レジスタのクロック イネーブル ビット (ECAP1 ENCLK) を使うと、低消費電力動作のために eCAP モジュールを個別にオフできます。リセットと同時に、ECAP1ENCLK が Low に設定され、ペリフェラル クロックがオフであることを示します。

表 7-36. eCAP 制御およびステータス レジスタ

名称	eCAP1	サイズ (x16)	EALLOW 保護	説明
TSCTR	0x6A00	2		タイム スタンプ カウンタ
CTRPHS	0x6A02	2		カウンタ位相オフセット値レジスタ
CAP1	0x6A04	2		キャプチャ 1 レジスタ
CAP2	0x6A06	2		キャプチャ 2 レジスタ
CAP3	0x6A08	2		キャプチャ 3 レジスタ
CAP4	0x6A0A	2		キャプチャ 4 レジスタ
予約済み	0x6A0C~0x6A12	8		予約済み
ECCTL1	0x6A14	1		キャプチャ制御レジスタ 1
ECCTL2	0x6A15	1		キャプチャ制御レジスタ 2
EECEINT	0x6A16	1		キャプチャ割り込みイネーブル レジスタ
ECFLG	0x6A17	1		キャプチャ割り込みフラグ レジスタ
ECCLR	0x6A18	1		キャプチャ割り込みクリア レジスタ
ECFRC	0x6A19	1		キャプチャ割り込み強制レジスタ
予約済み	0x6A1A~0x6A1F	6		予約済み

eCAP の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「拡張キャプチャ (eCAP) モジュール」の章を参照してください。

7.9.11.1 eCAP の電氣的データ/ タイミング

セクション 7.9.11.1.1 に eCAP のタイミング要件を示し、セクション 7.9.11.1.2 に eCAP のスイッチング特性を示します。

7.9.11.1.1 拡張キャプチャ (eCAP) のタイミング要件

		最小値	最大値	単位
$t_{w(CAP)}$ ⁽¹⁾ キャプチャ入力パルス幅	非同期	$2t_{c(SCO)}$		サイクル
	同期	$2t_{c(SCO)}$		サイクル
	入力クオリファイア付き	$1t_{c(SCO)} + t_{w(IQSW)}$		サイクル数

(1) 入力フィルタ パラメータの説明については、セクション 7.9.15.1.2.1 を参照してください。

7.9.11.1.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_{w(APWM)}$ パルス幅、APWMx 出力 High/Low		20		ns

7.9.12 高分解能キャプチャ (HRCAP) モジュール

高分解能キャプチャ (HRCAP) モジュールは、外部パルス間の時間差を 300ps (標準値) の分解能で測定します。

HRCAP の主な用途:

- 静電容量式タッチ・アプリケーション
- パルス・トレイン・サイクルの周期とデューティ・サイクルを高分解能で測定
- 速度の瞬時値測定
- 周波数の瞬時値測定
- 絶縁境界にまたがる電圧測定
- 距離 / ソナーの測定とスキャン

HRCAP モジュールの主な特長:

- 非高分解能モードまたは高分解能モードでのパルス幅キャプチャ
- 差分 (デルタ) モードのパルス幅キャプチャ
- エッジごとに 300ps (標準値) の分解能の高分解能キャプチャ
- 立ち下がりエッジと立ち上がりエッジのどちらかでの割り込み
- 2 ディープ・バッファでのパルス幅の連続モード・キャプチャ
- 高精度高分解能キャプチャのためのキャリブレーション・ロジック
- 上記はすべて、1 つの入力ピンに専用のリソースです。
- テキサス・インスツルメンツが提供する HRCAP キャリブレーション・ソフトウェア・ライブラリは、キャリブレーションとフラスコナル・パルス幅計算の両方に使われます。

HRCAP モジュールは、高分解能キャリブレーション・ブロックに加えて 1 つのキャプチャ・チャンネルを内蔵しています。キャリブレーション時、このキャプチャ・チャンネルは利用可能な最後の ePWMxA HRPWM チャンネルに内部的に接続します (つまり、HRPWM 機能を備えた 8 つの ePWM がある場合、このチャンネルは HRPWM8A に接続します)。

各 HRCAP チャンネルは、以下の独立した主要リソースを備えています。

- 専用の入力キャプチャ・ピン
- 16 ビットの HRCAP クロック (周波数が PLL 出力と同じ (SYSCLK に非同期)、または SYSCLK と同じ (SYSCLK に同期))
- 2 ディープ・バッファでの高分解能パルス幅キャプチャ

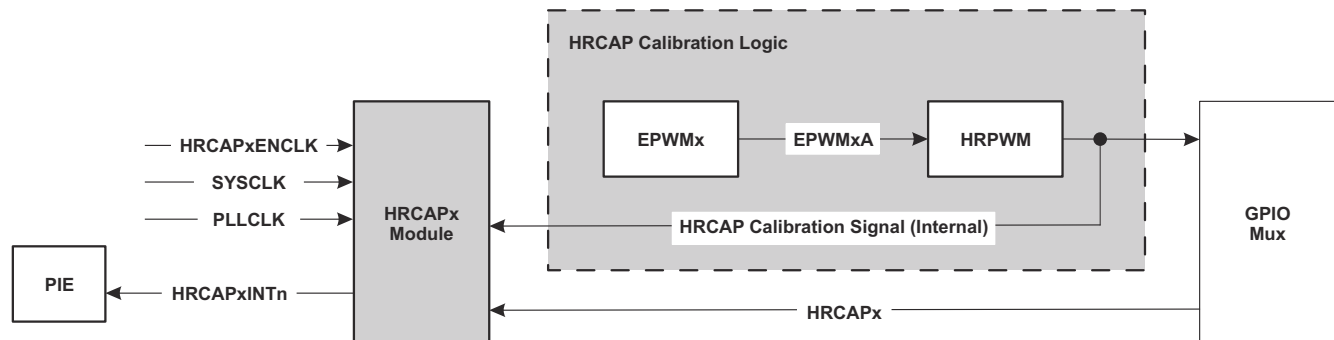


図 7-42. HRCAP の機能ブロック図

表 7-37. HRCAP レジスタ

名称	HRCAP1	HRCAP2	サイズ (x16)	説明
HCCTL	0x6AC0	0x6AE0	1	HRCAP 制御レジスタ ⁽¹⁾
HCIFR	0x6AC1	0x6AE1	1	HRCAP 割り込みフラグ・レジスタ
HCICLR	0x6AC2	0x6AE2	1	HRCAP 割り込みクリア・レジスタ
HCIFRC	0x6AC3	0x6AE3	1	HRCAP 割り込み強制レジスタ
HCCOUNTER	0x6AC4	0x6AE4	1	HRCAP 16 ビット・カウンタ・レジスタ
HCCAPCNTRISE0	0x6AD0	0x6AF0	1	HRCAP キャプチャ・カウンタ (立ち上がりエッジ) 0 レジスタ
HCCAPCNTFALL0	0x6AD2	0x6AF2	1	HRCAP キャプチャ・カウンタ (立ち下がりエッジ) 0 レジスタ
HCCAPCNTRISE1	0x6AD8	0x6AF8	1	HRCAP キャプチャ・カウンタ (立ち上がりエッジ) 1 レジスタ
HCCAPCNTFALL1	0x6ADA	0x6AFA	1	HRCAP キャプチャ・カウンタ (立ち下がりエッジ) 1 レジスタ

(1) レジスタは EALLOW 保護されています。

HRCAP の詳細については、『[TMS320F2803x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』の「高分解能キャプチャ (HRCAP)」の章を参照してください。

7.9.12.1 HRCAP の電氣的データ / タイミング

7.9.12.1.1 高分解能キャプチャ (HRCAP) のタイミング要件

		最小値	公称値	最大値	単位
$t_{c(HCCAPCLK)}$	サイクル時間、HRCAP キャプチャ クロック	8.333		10.204	ns
$t_{w(HRCAP)}$	パルス幅、HRCAP キャプチャ	$7t_{c(HCCAPCLK)}$ ⁽¹⁾			ns
	HRCAP のステップ サイズ ⁽²⁾		300		ps

- (1) 記載された最小パルス幅では、有効なキャプチャ データを確保する上で、すべての関連する HCCAP レジスタが読み出され、かつ立ち上がり / 立ち下がりイベントフラグがクリアされる必要があるという制限は考慮されていません。
- (2) HRCAP のステップ サイズは、低電圧および高温で増加し、高電圧および低温で減少します。高分解能モードで HRCAP を使用するアプリケーションでは、変化する動作条件に対して動的に較正するため、HRCAP キャリブレーション機能を使う必要があります。

7.9.13 拡張直交エンコーダ パルス (eQEP)

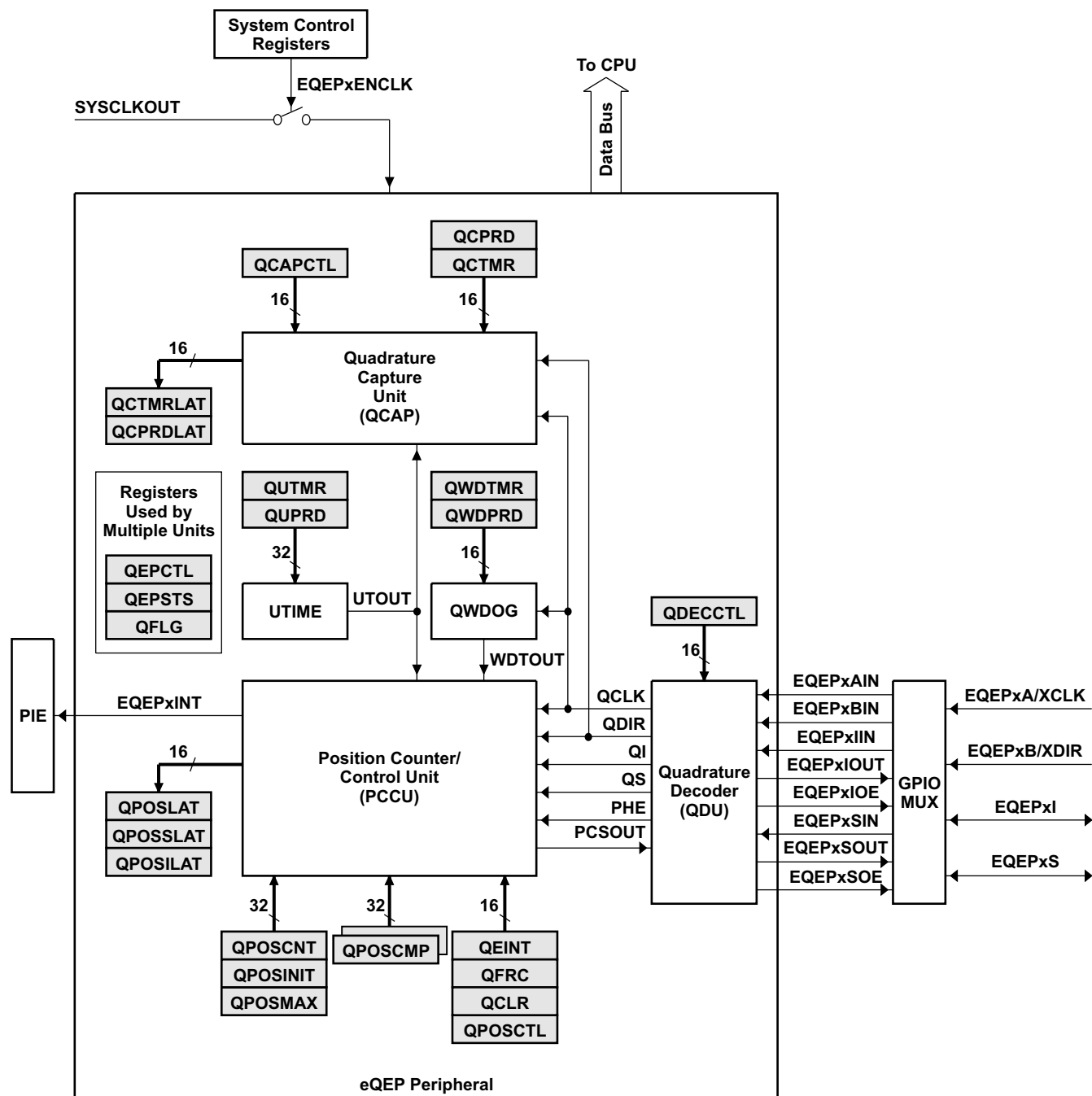
本デバイスは、1 つの拡張直交エンコーダ パルス (eQEP) モジュールを内蔵しています。

表 7-38. eQEP 制御およびステータス レジスタ

名称	eQEP1 アドレス	eQEP1 サイズ (x16)/ #SHADOW	レジスタの説明
QPOSCNT	0x6B00	2/0	eQEP 位置カウンタ
QPOSINIT	0x6B02	2/0	eQEP 初期化位置カウント
QPOSMAX	0x6B04	2/0	eQEP 最大位置カウント
QPOSCMP	0x6B06	2/1	eQEP 位置比較
QPOSILAT	0x6B08	2/0	eQEP インデックス位置ラッチ
QPOSSLAT	0x6B0A	2/0	eQEP ストロブ位置ラッチ
QPOSLAT	0x6B0C	2/0	eQEP 位置ラッチ
QUTMR	0x6B0E	2/0	eQEP ユニット タイマ
QUPRD	0x6B10	2/0	eQEP ユニット周期レジスタ
QWDTMR	0x6B12	1/0	eQEP ウォッチドッグ タイマ
QWDPRD	0x6B13	1/0	eQEP ウォッチドッグ周期レジスタ
QDECCTL	0x6B14	1/0	eQEP デコーダ制御レジスタ
QEPCTL	0x6B15	1/0	eQEP 制御レジスタ
QCAPCTL	0x6B16	1/0	eQEP キャプチャ制御レジスタ
QPOSCTL	0x6B17	1/0	eQEP 位置比較制御レジスタ
QEINT	0x6B18	1/0	eQEP 割り込みイネーブル レジスタ
QFLG	0x6B19	1/0	eQEP 割り込みフラグ レジスタ
QCLR	0x6B1A	1/0	eQEP 割り込みクリア レジスタ
QFRC	0x6B1B	1/0	eQEP 割り込み強制レジスタ
QEPSTS	0x6B1C	1/0	eQEP ステータス レジスタ
QCTMR	0x6B1D	1/0	eQEP キャプチャ タイマ
QCPRD	0x6B1E	1/0	eQEP キャプチャ周期レジスタ
QCTMRLAT	0x6B1F	1/0	eQEP キャプチャ タイマ ラッチ
QCPRDLAT	0x6B20	1/0	eQEP キャプチャ周期ラッチ
予約済み	0x6B21～ 0x6B3F	31/0	

eQEP の詳細については、『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「拡張 QEP (eQEP) モジュール」の章を参照してください。

図 7-43 に、eQEP の機能ブロック図を示します。



Copyright © 2017, Texas Instruments Incorporated

図 7-43. eQEP の機能ブロック図

7.9.13.1 eQEP の電氣的データ / タイミング

セクション 7.9.13.1.1 に eQEP のタイミング要件を示し、セクション 7.9.13.1.2 に eQEP のスイッチング特性を示します。

7.9.13.1.1 拡張直交エンコーダ パルス (eQEP) のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力フィルタあり ⁽²⁾	$2[1t_{c(SCO)} + t_{w(IQSW)}]$		サイクル数
$t_{w(INDEXH)}$	QEP インデックス入力 HIGH 時間	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力クオリファイア付き ⁽²⁾	$2t_{c(SCO)} + t_{w(IQSW)}$		サイクル数
$t_{w(INDEXL)}$	QEP インデックス入力 LOW 時間	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力フィルタあり ⁽²⁾	$2t_{c(SCO)} + t_{w(IQSW)}$		サイクル数
$t_{w(STROBH)}$	QEP ストロブ HIGH 時間	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力フィルタあり ⁽²⁾	$2t_{c(SCO)} + t_{w(IQSW)}$		サイクル数
$t_{w(STROBL)}$	QEP ストロブ LOW 時間	非同期 ⁽¹⁾ / 同期	$2t_{c(SCO)}$		サイクル
		入力クオリファイア付き ⁽²⁾	$2t_{c(SCO)} + t_{w(IQSW)}$		サイクル数

(1) 非同期モードの制約については、『[TMS320F2803x リアルタイム MCU シリコン正誤表](#)』を参照してください。

(2) 入力クオリファイア パラメータの説明については、セクション 7.9.15.1.2.1 を参照してください。

7.9.13.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		$4t_{c(SCO)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$6t_{c(SCO)}$	サイクル

7.9.14 JTAG ポート

2803x デバイスでは、JTAG ポートは 5 ピン ($\overline{\text{TRST}}$ 、TCK、TDI、TMS、TDO) に減らされています。TCK、TDI、TMS、TDO ピンは GPIO ピンでもあります。 $\overline{\text{TRST}}$ 信号は、図 7-44 のピンの動作モード (JTAG と GPIO のどちらか) を選択します。エミュレーション / デバッグ中、これらのピンの GPIO 機能は使用できません。外部クロックを供給するために GPIO38/TCK/XCLKIN ピンを使用する場合、このピンは TCK 機能のために必要とされるため、エミュレーション / デバッグ中に本デバイスをクロック駆動するために代わりのクロックソースを使う必要があります。

注

2803x デバイスでは、JTAG ピンを GPIO ピンとして使用することもできます。これらのピンに接続された回路が JTAG ピン機能のエミュレーション機能に影響しないように、基板設計に注意を払う必要があります。デバッグを成功させるには、これらのピンに接続された回路が、JTAG デバッグプローブによる JTAG ピンの駆動 (または JTAG ピンによる JTAG デバッグプローブの駆動) を妨げないようにする必要があります。

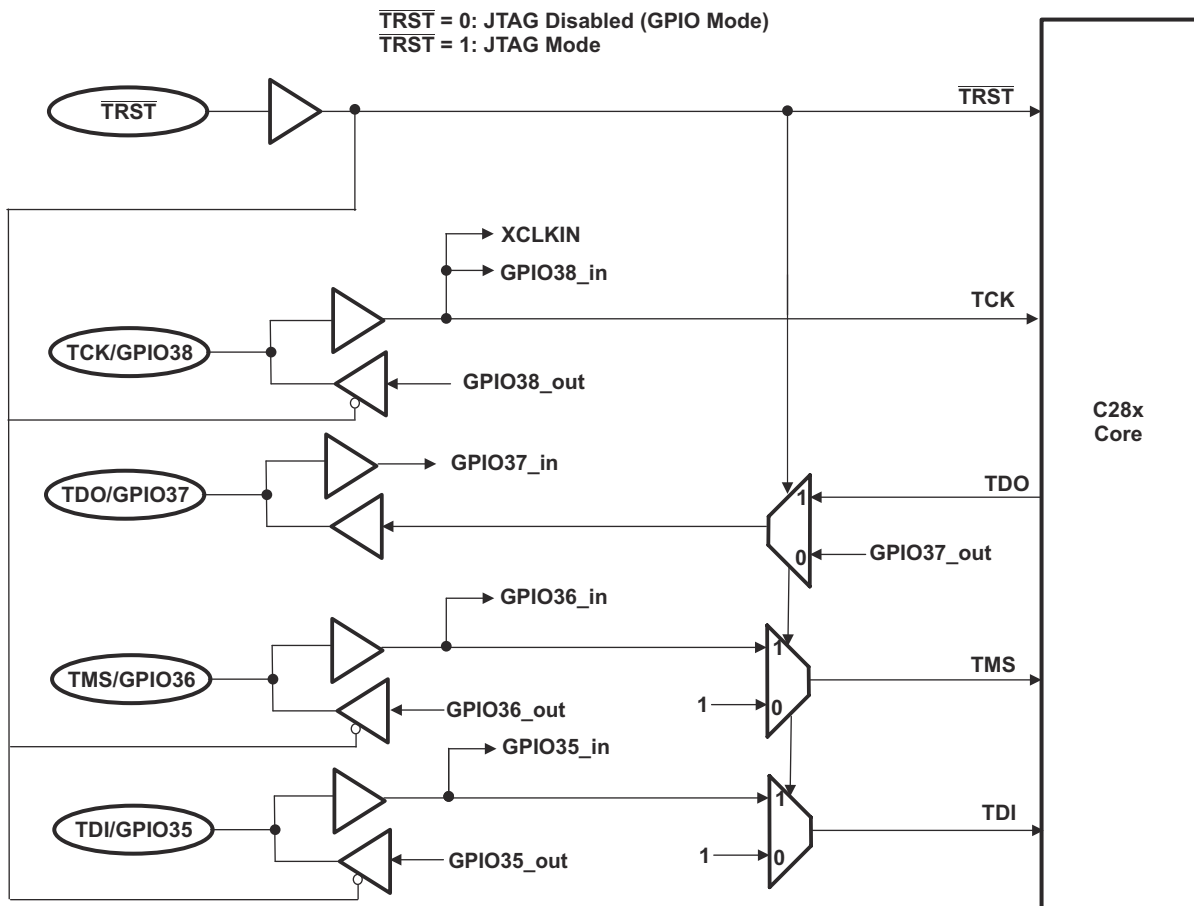


図 7-44. JTAG/GPIO 多重化

7.9.15 汎用入出力 (GPIO) MUX

GPIO MUX は、個別ピン ビットバンギング I/O 機能に加えて、1 つの GPIO ピン上に最大 3 つの独立したペリフェラル信号を多重化できます。

本デバイスは 45 の GPIO ピンをサポートしています。GPIO 制御およびデータ レジスタは、レジスタ上での 32 ビット操作を (16 ビット操作と共に) 可能にするため、ペリフェラル フレーム 1 に割り当てられています。表 7-39 に、GPIO レジスタのマッピングを示します。

表 7-39. GPIO レジスタ

名称	アドレス	サイズ (x16)	説明
GPIO 制御レジスタ (EALLOW 保護)			
GPACTRL	0x6F80	2	GPIO A 制御レジスタ (GPIO0~31)
GPAQSEL1	0x6F82	2	GPIO A フィルタ選択 1 レジスタ (GPIO0~15)
GPAQSEL2	0x6F84	2	GPIO A フィルタ選択 2 レジスタ (GPIO16~31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 レジスタ (GPIO0~15)
GPAMUX2	0x6F88	2	GPIO A MUX 2 レジスタ (GPIO16~31)
GPADIR	0x6F8A	2	GPIO A 方向レジスタ (GPIO0~31)
GPAPUD	0x6F8C	2	GPIO A ブルアップ ディスエーブル レジスタ (GPIO0~31)
GPBCTRL	0x6F90	2	GPIO B 制御レジスタ (GPIO32~44)
GPBQSEL1	0x6F92	2	GPIO B クオリファイア選択 1 レジスタ (GPIO32~44)
GPBMUX1	0x6F96	2	GPIO B MUX 1 レジスタ (GPIO32~44)
GPBDIR	0x6F9A	2	GPIO B 方向レジスタ (GPIO32~44)
GPBPUD	0x6F9C	2	GPIO B ブルアップ ディスエーブル レジスタ (GPIO32~44)
AIOMUX1	0x6FB6	2	アナログ、I/O MUX 1 レジスタ (AIO0~AIO15)
AIODIR	0x6FBA	2	アナログ、I/O 方向レジスタ (AIO0~AIO15)
GPIO データ レジスタ (EALLOW 保護なし)			
GPADAT	0x6FC0	2	GPIO A データ レジスタ (GPIO0~31)
GPASET	0x6FC2	2	GPIO A データ セット レジスタ (GPIO0~31)
GPACLEAR	0x6FC4	2	GPIO A データ クリア レジスタ (GPIO0~31)
GPATOGGLE	0x6FC6	2	GPIO A データ トグル レジスタ (GPIO0~31)
GPBDAT	0x6FC8	2	GPIO B データ レジスタ (GPIO32~44)
GPBSET	0x6FCA	2	GPIO B データ セット レジスタ (GPIO32~44)
GPBCLEAR	0x6FCC	2	GPIO B データ クリア レジスタ (GPIO32~44)
GPBTOGGLE	0x6FCE	2	GPIO B データ トグル レジスタ (GPIO32~44)
AIODAT	0x6FD8	2	アナログ I/O データ レジスタ (AIO0~AIO15)
AIOSET	0x6FDA	2	アナログ I/O データ セット レジスタ (AIO0~AIO15)
AIOCLEAR	0x6FDC	2	アナログ I/O データ クリア レジスタ (AIO0~AIO15)
AIOGGLE	0x6FDE	2	アナログ I/O データ トグル レジスタ (AIO0~AIO15)
GPIO 割り込みおよび低消費電力モード選択レジスタ (EALLOW 保護)			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 入力選択レジスタ (GPIO0~31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 入力選択レジスタ (GPIO0~31)
GPIOXINT3SEL	0x6FE2	1	XINT3 GPIO 入力選択レジスタ (GPIO0~31)
GPIO_LPMSEL	0x6FE8	2	LPM GPIO 選択レジスタ (GPIO0~31)

注

GPxMUXn/AIOMUXn および GPxQSELn レジスタへの書き込みが発生してから動作が有効になるまでに、2
SYSCLKOUT サイクルの遅れが生じます。

表 7-40. GPIOA MUX

	リセット時のデフォルトの 1 次 I/O 機能	ペリフェラル 選択 1 ⁽¹⁾ ⁽²⁾	ペリフェラル 選択 2 ⁽¹⁾ ⁽²⁾	ペリフェラル 選択 3 ⁽¹⁾ ⁽²⁾
GPAMUX1 レジスタ ビット	(GPAMUX1 ビット = 00)	(GPAMUX1 ビット = 01)	(GPAMUX1 ビット = 10)	(GPAMUX1 ビット = 11)
1-0	GPIO0	EPWM1A (O)	予約済み	予約済み
3-2	GPIO1	EPWM1B (O)	予約済み	COMP1OUT (O)
5-4	GPIO2	EPWM2A (O)	予約済み	予約済み
7-6	GPIO3	EPWM2B (O)	SPISOMIA (I/O)	COMP2OUT (O)
9-8	GPIO4	EPWM3A (O)	予約済み	予約済み
11-10	GPIO5	EPWM3B (O)	SPISIMOA (I/O)	ECAP1 (I/O)
13-12	GPIO6	EPWM4A (O)	EPWMSYNCl (I)	EPWMSYNCO (O)
15-14	GPIO7	EPWM4B (O)	SCIRXDA (I)	予約済み
17-16	GPIO8	EPWM5A (O)	予約済み	ADCSOCaO (O)
19-18	GPIO9	EPWM5B (O)	LINTXA (O)	HRCAP1 (I)
21-20	GPIO10	EPWM6A (O)	予約済み	ADCSOCbO (O)
23-22	GPIO11	EPWM6B (O)	LINRXA (I)	HRCAP2 (I)
25-24	GPIO12	TZ1 (I)	SCITXDA (O)	SPISIMOB (I/O)
27-26	GPIO13 ⁽³⁾	TZ2 (I)	予約済み	SPISOMIB (I/O)
29-28	GPIO14 ⁽³⁾	TZ3 (I)	LINTXA (O)	SPICLKB (I/O)
31-30	GPIO15 ⁽³⁾	TZ1 (I)	LINRXA (I)	SPISTEB (I/O)
GPAMUX2 レジスタ ビット	(GPAMUX2 ビット = 00)	(GPAMUX2 ビット = 01)	(GPAMUX2 ビット = 10)	(GPAMUX2 ビット = 11)
1-0	GPIO16	SPISIMOA (I/O)	予約済み	TZ2 (I)
3-2	GPIO17	SPISOMIA (I/O)	予約済み	TZ3 (I)
5-4	GPIO18	SPICLKA (I/O)	LINTXA (O)	XCLKOUT (O)
7-6	GPIO19/XCLKIN	SPISTEA (I/O)	LINRXA (I)	ECAP1 (I/O)
9-8	GPIO20	EQEP1A (I)	予約済み	COMP1OUT (O)
11-10	GPIO21	EQEP1B (I)	予約済み	COMP2OUT (O)
13-12	GPIO22	EQEP1S (I/O)	予約済み	LINTXA (O)
15-14	GPIO23	EQEP1I (I/O)	予約済み	LINRXA (I)
17-16	GPIO24	ECAP1 (I/O)	予約済み	SPISIMOB (I/O)
19-18	GPIO25 ⁽³⁾	予約済み	予約済み	SPISOMIB (I/O)
21-20	GPIO26 ⁽³⁾	HRCAP1 (I)	予約済み	SPICLKB (I/O)
23-22	GPIO27 ⁽³⁾	HRCAP2 (I)	予約済み	SPISTEB (I/O)
25-24	GPIO28	SCIRXDA (I)	SDAA (I/OD)	TZ2 (I)
27-26	GPIO29	SCITXDA (O)	SCLA (I/OD)	TZ3 (I)
29-28	GPIO30	CANRXA (I)	予約済み	予約済み
31-30	GPIO31	CANTXA (O)	予約済み	予約済み

(1) 「予約済み」は、この GPxMUX1/2 レジスタ設定にペリフェラルが割り当てられていないことを意味します。「予約済み」の設定を選択すると、ピン
の状態が未定義となり、ピンが駆動される可能性があります。この選択肢は、将来の拡張のために予約された設定です。

(2) I = 入力、O = 出力、OD = オープンドレイン

(3) これらのピンは、64 ピン パッケージでは利用できません。

表 7-41. GPIOB MUX

	リセット時のデフォルトの 1 次 I/O 機能	ペリフェラル選択 1 ⁽¹⁾	ペリフェラル選択 2 ⁽¹⁾	ペリフェラル選択 3 ⁽¹⁾
GPBMUX1 レジスタ ビット	(GPBMUX1 ビット = 00)	(GPBMUX1 ビット = 01)	(GPBMUX1 ビット = 10)	(GPBMUX1 ビット = 11)
1-0	GPIO32	SDAA (I/OD)	EPWMSYNCl (I)	ADCSOCAO (O)
3-2	GPIO33	SCLA (I/OD)	EPWMSYNCO (O)	ADCSOCBO (O)
5-4	GPIO34	COMP2OUT (O)	予約済み	COMP3OUT (O)
7-6	GPIO35 (TDI)	予約済み	予約済み	予約済み
9-8	GPIO36 (TMS)	予約済み	予約済み	予約済み
11-10	GPIO37 (TDO)	予約済み	予約済み	予約済み
13-12	GPIO38/XCLKIN (TCK)	予約済み	予約済み	予約済み
15-14	GPIO39 ⁽²⁾	予約済み	予約済み	予約済み
17-16	GPIO40 ⁽²⁾	EPWM7A (O)	予約済み	予約済み
19-18	GPIO41 ⁽²⁾	EPWM7B (O)	予約済み	予約済み
21-20	GPIO42 ⁽²⁾	予約済み	予約済み	COMP1OUT (O)
23-22	GPIO43 ⁽²⁾	予約済み	予約済み	COMP2OUT (O)
25-24	GPIO44 ⁽²⁾	予約済み	予約済み	予約済み
27-26	予約済み	予約済み	予約済み	予約済み
29-28	予約済み	予約済み	予約済み	予約済み
31-30	予約済み	予約済み	予約済み	予約済み

- (1) I = 入力、O = 出力、OD = オープンドレイン
(2) これらのピンは、64 ピン パッケージでは利用できません。

表 7-42. 80 ピン PN パッケージのアナログ MUX

		リセット時のデフォルト
	AIOx とペリフェラル選択 1 ⁽¹⁾	ペリフェラル選択 2 とペリフェラル選択 3 ⁽¹⁾
AIOMUX1 レジスタ ビット	AIOMUX1 ビット = 0,x	AIOMUX1 ビット = 1,x
1-0	ADCINA0 (I)	ADCINA0 (I)
3-2	ADCINA1 (I)	ADCINA1 (I)
5-4	AIO2 (I/O)	ADCINA2 (I)、COMP1A (I)
7-6	ADCINA3 (I)	ADCINA3 (I)
9-8	AIO4 (I/O)	ADCINA4 (I)、COMP2A (I)
11-10	ADCINA5 (I)	ADCINA5 (I)
13-12	AIO6 (I/O)	ADCINA6 (I)、COMP3A (I)
15-14	ADCINA7 (I)	ADCINA7 (I)
17-16	ADCINB0 (I)	ADCINB0 (I)
19-18	ADCINB1 (I)	ADCINB1 (I)
21-20	AIO10 (I/O)	ADCINB2 (I)、COMP1B (I)
23-22	ADCINB3 (I)	ADCINB3 (I)
25-24	AIO12 (I/O)	ADCINB4 (I)、COMP2B (I)
27-26	ADCINB5 (I)	ADCINB5 (I)
29-28	AIO14 (I/O)	ADCINB6 (I)、COMP3B (I)
31-30	ADCINB7 (I)	ADCINB7 (I)

- (1) I = 入力、O = 出力

表 7-43. 56 ピン RSH および 64 ピン PAG パッケージのアナログ MUX

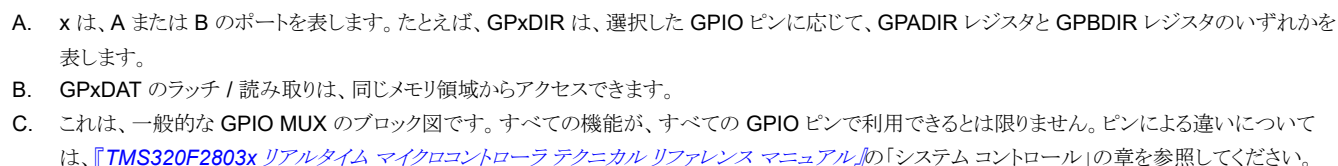
	リセット時のデフォルト
	ペリフェラル選択 2 とペリフェラル選択 3 ⁽¹⁾
AIOx とペリフェラル選択 1 ⁽¹⁾	
AIOMUX1 レジスタ ビット	AIOMUX1 ビット = 0,x
1-0	ADCINA0 (I), V _{REFHI} (I)
3-2	ADCINA1 (I)
5-4	AIO2 (I/O)
7-6	ADCINA3 (I)
9-8	AIO4 (I/O)
11-10	–
13-12	AIO6 (I/O)
15-14	ADCINA7 (I)
17-16	ADCINB0 (I)
19-18	ADCINB1 (I)
21-20	AIO10 (I/O)
23-22	ADCINB3 (I)
25-24	AIO12 (I/O)
27-26	–
29-28	AIO14 (I/O)
31-30	ADCINB7 (I)

(1) I = 入力, O = 出力

ユーザーは、各 GPIO ピンの入力クオリフィケーションのタイプを、GPxQSEL1/2 レジスタを使用して次の 4 つの選択肢から選択できます。

- **SYSCLOCKOUT** への同期のみ (GPxQSEL1/2 = 0, 0): これは、リセット時のすべての GPIO ピンのデフォルト モードであり、入力信号をシステム クロック (SYSCLOCKOUT) に単純に同期させます。
- サンプルング ウィンドウを使用したクオリフィケーション (GPxQSEL1/2 = 0, 1 および 1, 0): このモードでは、入力信号がシステム クロック (SYSCLOCKOUT) に同期した後、指定されたサイクル数でクオリファイされて初めて、入力に変化できます。
- サンプルング周期は、GPxCTRL レジスタの QUALPRD ビットで指定され、8 つの信号のグループとして設定されます。入力信号をサンプルングするために SYSCLOCKOUT サイクルの倍数が指定されます。サンプルング ウィンドウは 3 サンプルと 6 サンプルのどちらかであり、[図 7-47](#) (6 サンプル モードの場合) に示すように、すべてのサンプルが同じ (すべて 0 またはすべて 1) である場合にのみ出力が変更されます。
- 同期なし (GPxQSEL1/2 = 1, 1): このモードは、同期が不要なペリフェラル (ペリフェラル内で同期が実行される) に使用されます。

デバイスではマルチレベルの多重化が必要であるため、ペリフェラル入力信号を複数の GPIO ピンにマッピングできるようになっている場合があります。また、入力信号が選択されていない場合、ペリフェラルの種類に応じて、入力信号はデフォルトで 0 または 1 の状態に設定されます。

English Data Sheet: [SPRS584](#)

7.9.15.1 GPIO の電氣的データ / タイミング

7.9.15.1.1 GPIO - 出力タイミング

7.9.15.1.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High へ変化	全 GPIO		13 ⁽¹⁾	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low へ変化	全 GPIO		13 ⁽¹⁾	ns
f_{GPO}	トグル周波数			15	MHz

(1) 立ち上がりおよび立ち下がり時間は I/O ピンの電氣的負荷によって変化します。セクション 7.9.15.1.1.1 に示す値は、40pF の I/O ピン負荷に対応する値です。

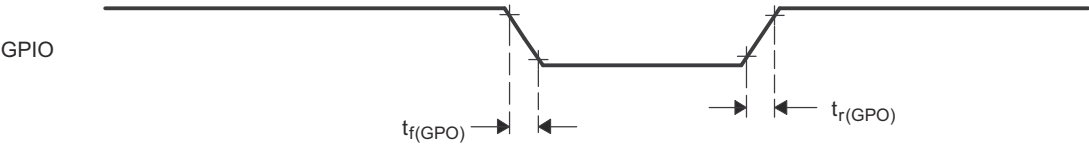


図 7-46. 汎用出力のタイミング

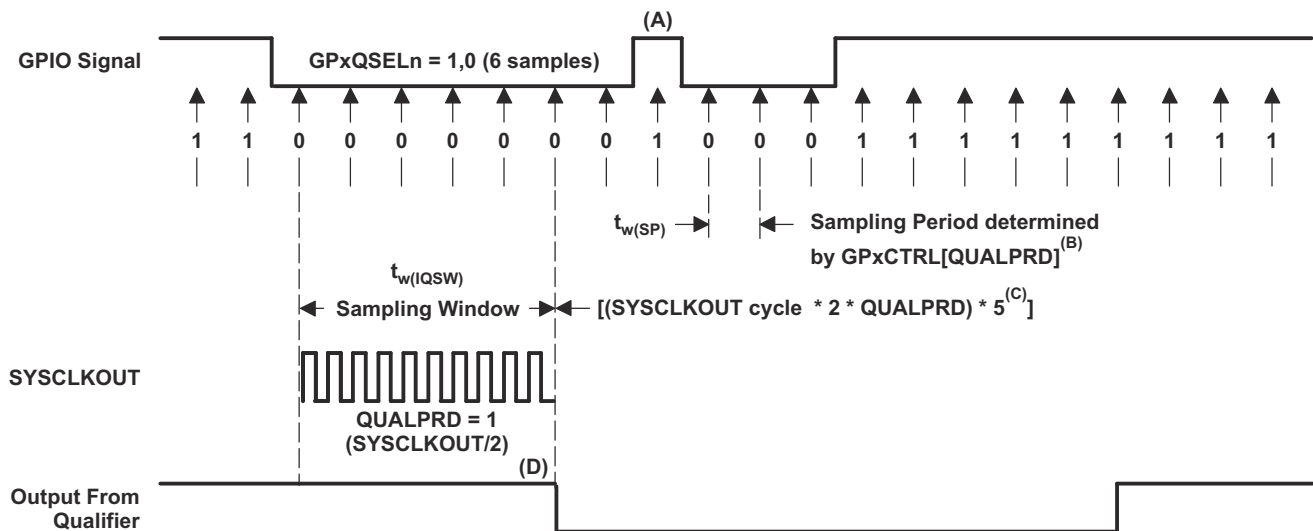
7.9.15.1.2 GPIO - 入力タイミング

7.9.15.1.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SCO)}$		サイクル
		QUALPRD $\neq$ 0	$2t_{c(SCO)} * QUALPRD$		サイクル数
$t_{w(IQSW)}$	入力フィルタ サンプリング ウィンドウ		$t_{w(SP)} * (n^{(1)} - 1)$		サイクル
$t_{w(GPI)}^{(2)}$	パルス幅、GPIO Low/High	非同期モード	$2t_{c(SCO)}$		サイクル
		入力フィルタあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SCO)}$		サイクル数

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ サンプルの数を表します。

(2) $t_{w(GPI)}$ のパルス幅は、アクティブ LOW 信号については V_{IL} から V_{IL} まで、アクティブ HIGH 信号については V_{IH} から V_{IH} までを測定します。



- A. このグリッチは、入力クオリファイヤによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビット フィールドで指定します。この値は、00 ~ 0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLKOUT サイクルです。その他の値「n」の場合、クオリフィケーション サンプリング周期は 2n SYSCLKOUT サイクルです (つまり 2n SYSCLKOUT サイクルごとに GPIO ピンがサンプリングされます)。
- B. GPxCTRL レジスタで選択されたクオリフィケーション サンプリング周期は、8 つの GPIO ピンのグループに適用されます。
- C. クオリフィケーション ブロックは 3 つまたは 6 つのサンプルを取得できます。GPxQSELn レジスタは、使用するサンプル モードの種類を選択します。
- D. 図の例では、クオリファイアが変化を検出するには、入力は 10 SYSCLKOUT サイクル以上にわたって安定している必要があります。言い換えると、(5 x QUALPRD x 2) SYSCLKOUT サイクルにわたって入力が安定している必要があります。これにより、検出のために 5 サンプリング周期が確保されます。外部信号は非同期で駆動されるため、13 SYSCLKOUT 幅のパルスであれば信頼性の高い認識が保証されます。

図 7-47. サンプリング モード

7.9.15.1.3 入力信号のサンプリング ウィンドウ幅

以下のセクションでは、各種の入力クオリファイア構成における入力信号のサンプリング ウィンドウ幅をまとめています。

サンプリング周波数は、SYSCLKOUT に対して信号をサンプリングする頻度を意味します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = $\text{SYSCLKOUT} / (2 \times \text{QUALPRD})$

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLKOUT

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLKOUT サイクル × 2 × QUALPRD

上記の式で、「SYSCLKOUT サイクル」は、SYSCLKOUT の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLKOUT サイクル

与えられたサンプリング ウィンドウ内で、信号の有効性を判定するために入力信号の 3 つまたは 6 つのサンプルが取得されます。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使ったクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング ウィンドウ幅 = (SYSCLKOUT サイクル × 2 × QUALPRD) × 2

QUALPRD = 0 の場合、サンプリング ウィンドウ幅 = (SYSCLKOUT サイクル) × 2

ケース 2:

6 つのサンプルを使ったクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング ウィンドウ幅 = (SYSCLKOUT サイクル × 2 × QUALPRD) × 5

QUALPRD = 0 の場合、サンプリング ウィンドウ幅 = (SYSCLKOUT サイクル) × 5

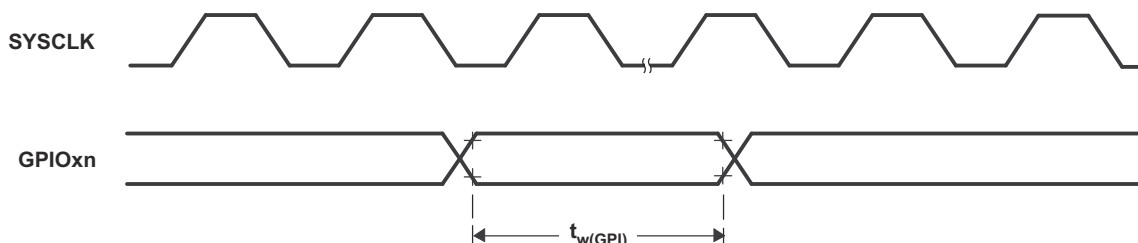


図 7-48. 汎用入力のタイミング：

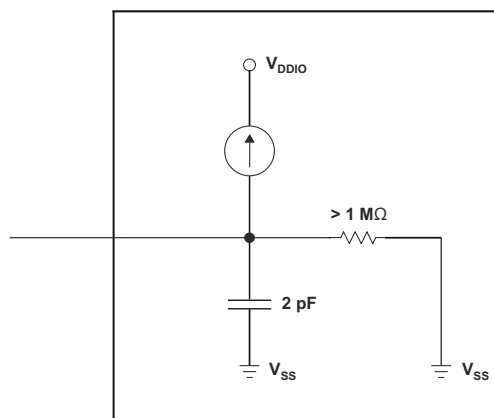


図 7-49. 内部プルアップ付き GPIO ピンの入力抵抗モデル

7.9.15.1.4 低消費電力モードのウェイクアップタイミング

IDLE モードのタイミング要件を[セクション 7.9.15.1.4.1](#) に示し、スイッチング特性を[セクション 7.9.15.1.4.2](#) に示し、タイミング図を[図 7-50](#) に示します。

7.9.15.1.4.1 アイドル モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェイクアップ信号	入力オリアファイアなし	$2t_{c(SCO)}$	サイクル
		入力フィルタあり ⁽¹⁾	$5t_{c(SCO)} + t_{w(IQSW)}$	

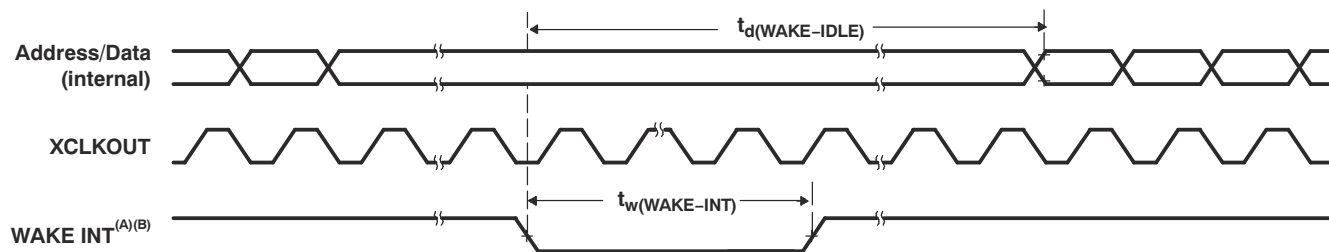
(1) 入力オリアファイア パラメータの説明については、[セクション 7.9.15.1.2.1](#) を参照してください。

7.9.15.1.4.2 IDLE モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
$t_d(WAKE-IDLE)$	遅延時間、外部ウェーク信号からプログラム実行再開まで ⁽¹⁾				サイクル数
	- フラッシュからのウェイクアップ - フラッシュ モジュールはアクティブ状態	入力オリアファイアなし		$20t_{c(SCO)}$	サイクル
		入力フィルタあり ⁽²⁾		$20t_{c(SCO)} + t_{w(IQSW)}$	
	- フラッシュからのウェイクアップ - フラッシュ モジュールはスリープ状態	入力オリアファイアなし		$1050t_{c(SCO)}$	サイクル
		入力フィルタあり ⁽²⁾		$1050t_{c(SCO)} + t_{w(IQSW)}$	
	SARAM からのウェイクアップ	入力オリアファイアなし		$20t_{c(SCO)}$	サイクル
		入力フィルタあり ⁽²⁾		$20t_{c(SCO)} + t_{w(IQSW)}$	

- (1) これは、IDLE 命令の直後の命令の実行が開始されるのに必要な時間です。ISR (ウェイクアップ信号によってトリガ) の実行には、追加の待ち時間が必要です。
- (2) 入力オリアファイア パラメータの説明については、[セクション 7.9.15.1.2.1](#) を参照してください。



- A. WAKE INT には、有効な任意の割り込み、 $\overline{WDINT}$ 、 $\overline{XRS}$ が使えます。IDLE 命令が実行された後、ウェイクアップ信号がアサートされるまでに 5 OSCCLK サイクル以上の遅延が必要です。
- B. 本デバイスを低消費電力モード (LPM) に移行させるために IDLE 命令が実行された時点から、4 OSCCLK サイクル以上が経過するまでウェイクアップを開始しないでください。

図 7-50. IDLE の開始 / 終了タイミング

7.9.15.1.4.3 スタンバイ モードのタイミング要件

			最小値	最大値	単位
t _w (WAKE-INT)	パルス幅、外部ウェークアップ 信号	入力フィルタなし	3t _c (OSCCLK)		サイクル
		入力フィルタあり ⁽¹⁾	(2 + QUALSTDBY) * t _c (OSCCLK)		

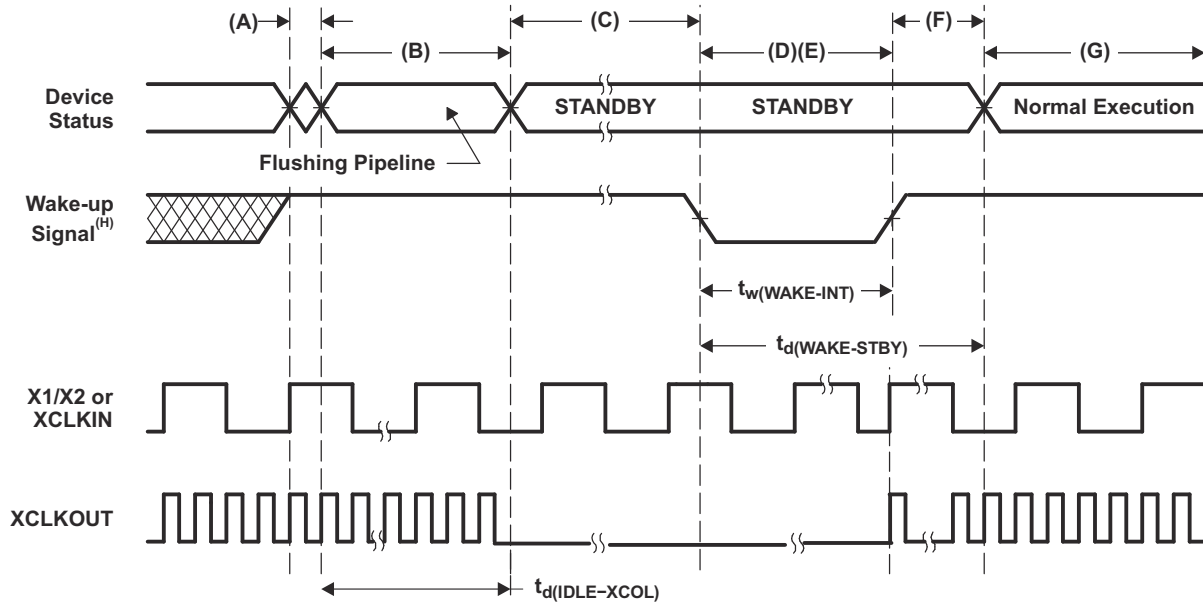
(1) QUALSTDBY は LPMCR0 レジスタの 6 ビット フィールドです。

7.9.15.1.4.4 スタンバイ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
t _d (IDLE-XCOL)	遅延時間、IDLE 命令実行から XCLKOUT LOW まで		32t _{c(SCO)}	45t _{c(SCO)}	サイクル
t _d (WAKE-STBY)	遅延時間、外部ウェーク信号からプログラム実行再開まで ⁽¹⁾				サイクル数
	• フラッシュからのウェークアップ － フラッシュ モジュールはアクテ ィブ状態	入力フィルタなし	100t _{c(SCO)}		サイクル
		入力フィルタあり	100t _{c(SCO)} + t _{w(WAKE-INT)}		
	• フラッシュからのウェークアップ － フラッシュ モジュールはスリー プ状態	入力フィルタなし	1125t _{c(SCO)}		サイクル
		入力フィルタあり	1125t _{c(SCO)} + t _{w(WAKE-INT)}		
	• SARAM からのウェークアップ	入力フィルタなし	100t _{c(SCO)}		サイクル
		入力フィルタあり	100t _{c(SCO)} + t _{w(WAKE-INT)}		

(1) これは、IDLE 命令の直後の命令の実行が開始されるのに必要な時間です。ISR (ウェイクアップ信号によってトリガ) の実行には、追加の待ち時間が必要です。



- A. 本デバイスを STANDBY モードに移行させるために、IDLE 命令が実行されます。
- B. PLL ブロックが STANDBY 信号に応答します。SYSCLKOUT は、以下に示すサイクル数にわたって保持された後、オフになります。
- DIVSEL = 00 または 01 の場合、16 サイクル
 - DIVSEL = 10 の場合、32 サイクル
 - DIVSEL = 11 の場合、64 サイクル

この遅延により、CPU パイプラインとその他の保留中の操作を適切に処理できます。

- C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。これで本デバイスは STANDBY モードに入りました。IDLE 命令が実行された後、ウェイクアップ信号がアサートされるまでに 5 OSCCLK サイクル以上の遅延が必要です。
- D. 外部ウェイクアップ信号がアクティブに駆動されます。
- E. デバイスをウェイクアップするために GPIO ピンに供給されるウェイクアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェイクアップ動作は確定的ではなく、デバイスは後続のウェイクアップ パルスで低消費電力モードを終了できない場合があります。
- F. 一定の待ち時間が経過すると、STANDBY モードが終了します。
- G. 通常動作を再開します。デバイスは割り込みに応答します(割り込みイネーブルの場合)。
- H. デバイスを低消費電力モード (LPM) に移行させるために IDLE 命令を実行した時点から、少なくとも 4 OSCCLK サイクルが経過するまでウェイクアップを開始しないでください。

図 7-51. STANDBY の開始 / 終了タイミング図

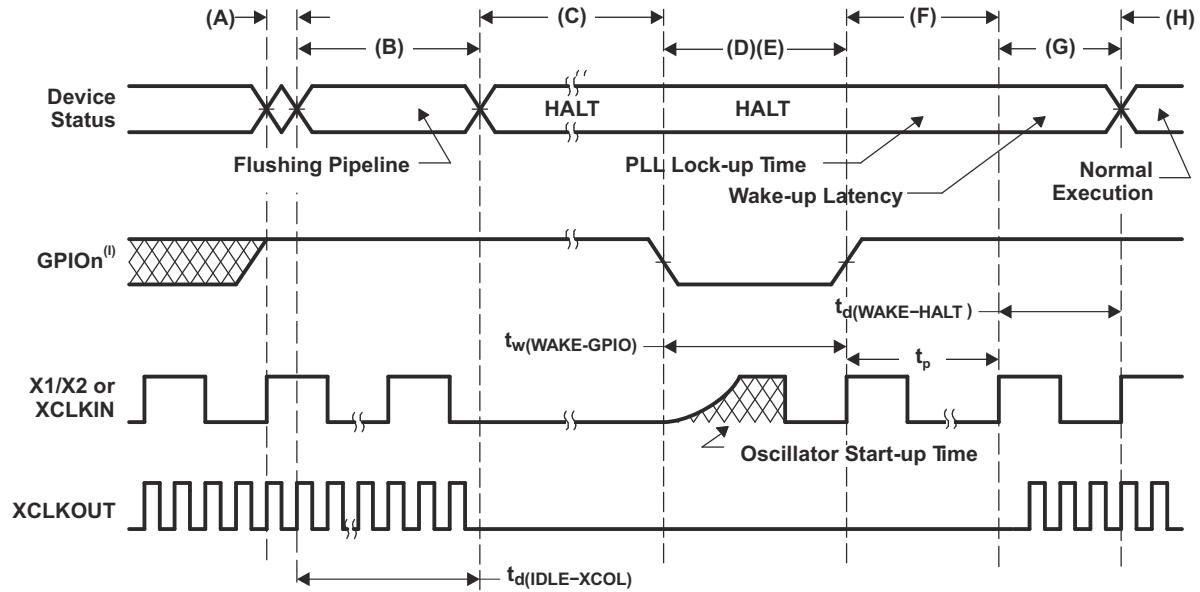
7.9.15.1.4.5 ホールト モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE-GPIO)}$	パルス幅、GPIO ウェイクアップ信号	$t_{oscst} + 2t_{c(OSCCLK)}$		サイクル
$t_{w(WAKE-XRS)}$	パルス幅、 $\overline{XRS}$ ウェイクアップ信号	$t_{oscst} + 8t_{c(OSCCLK)}$		サイクル 数

7.9.15.1.4.6 ホールト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(IDLE-XCOL)}$	遅延時間、IDLE 命令実行から XCLKOUT LOW まで	$32t_{c(SCO)}$	$45t_{c(SCO)}$	サイクル
t_p	PLL ロックアップ時間		1	ms
$t_{d(WAKE-HALT)}$	遅延時間、PLL ロックからプログラム実行再開まで • フラッシュからのウェイクアップ – フラッシュ モジュールはスリープ状態		$1125t_{c(SCO)}$	サイクル
	• SARAM からのウェイクアップ		$35t_{c(SCO)}$	サイクル数



- A. IDLE 命令は、本デバイスを HALT モードに移行させるために実行されます。
- B. PLL ブロックが HALT 信号に応答します。以下に示すサイクル数にわたって SYSCLKOUT が保持された後、発振器がオフになり、コアへの CLKIN が停止します。
- DIVSEL = 00 または 01 の場合、16 サイクル
 - DIVSEL = 10 の場合、32 サイクル
 - DIVSEL = 11 の場合、64 サイクル

この遅延により、CPU パイプラインとその他の保留中の操作を適切に処理できます。

- C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック ソースとして水晶振動子またはセラミック共振器を使用している場合、内部発振器もシャットダウンされます。これで本デバイスは HALT モードに移行し、消費電力が最小化されました。HALT モードでは、ゼロピン内部発振器 (INTOSC1 と INTOSC2) とウォッチドッグを動作状態に維持できます。これは、CLKCTL レジスタの適切なビットに書き込むことで行われます。IDLE 命令が実行された後、ウェイクアップ信号がアサートされるまでに 5 OSCCLK サイクル以上の遅延が必要です。
- D. (本デバイスを HALT から復帰させるために使われる) GPIO pin を Low に駆動すると、発振器がオンになり、発振器のウェイクアップ シーケンスが開始されます。GPIO pin を High に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック シーケンスの間、クリーンなクロック信号を供給できます。GPIO pin の立ち下がりエッジは非同期にウェイクアップ手順を開始するため、HALT モードに移行する前と HALT モード中、低ノイズ環境を維持するように注意する必要があります。
- E. 本デバイスをウェイクアップするために GPIO pin に入力されるウェイクアップ信号は、最小パルス幅要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズが含まれる信号が GPIO pin に入力された場合、本デバイスのウェイクアップ動作は不安定になり、後続のウェイクアップ パルスで低消費電力モードを終了しない可能性があります。
- F. 発振器が落ち着いた時点で PLL ロック シーケンスが開始され、それには 1ms を要します。
- G. コアへの CLKIN が有効化されると、本デバイスは一定の待ち時間の後に割り込み (有効化されている場合) に応答ようになります。これで、HALT モードが終了しました。
- H. 通常動作が再開されます。
- I. デバイスを低消費電力モード (LPM) に移行させるために IDLE 命令を実行した時点から、少なくとも 4 OSCCLK サイクルが経過するまでウェイクアップを開始しないでください。

図 7-52. GPIOn を使用した HALT モード ウェイクアップ

8 アプリケーション、実装、およびレイアウト

注

以下のセクションの情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 テキサス・インスツルメンツのリファレンス・デザイン

テキサス・インスツルメンツ・リファレンス・デザイン・ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス・デザイン・ライブラリです。すべてのリファレンス・デザインは、システム設計を迅速に開始できるようにテキサス・インスツルメンツの専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。[テキサス・インスツルメンツのリファレンス・デザインの選択](#) ページで、リファレンス・デザインを検索およびダウンロードします。

車載用ヘッドライト・アプリケーション向けマルチチャネル高密度 LED 制御

TMS320F2803x マイクロコントローラを採用したこのリファレンス・デザインは、車載用照明システム向けに通常使われる高効率マルチチャネル DC/DC LED 制御システムを実装しています。それぞれ最大 1.2A の電流駆動機能を備えた最大 6 チャネルの LED 制御がサポートされています。降圧、昇圧の 2 段パワー・トポロジにより、8V~20V の広い入力 DC 電圧で動作できるため、オートモーティブ・アプリケーションに適しています。

車載用デジタル制御昇圧電源

このテキサス・インスツルメンツ・リファレンス・デザインは、車載用昇圧コンバータ・モジュールです。このモジュールの目的は、エンジン・クランクなどの電圧ドループ・イベント中に昇圧することで、車両の電子機器に安定した電圧を供給することです。C2000 リアルタイム・マイクロコントローラをベースに設計されており、12V の車載バッテリー・システムから最大 400W の電力供給が可能です。36V のロード・ダンプ保護機能を搭載し 6~16V の連続動作入力電圧をサポートし、逆バッテリー保護機能付きで安定した 12V 出力電圧を供給します。

9 デバイスおよびドキュメントのサポート

9.1 デバイスと開発ツールの命名法

製品開発サイクルの段階を示すために、テキサス・インスツルメンツでは TMS320™ MCU デバイスおよびサポート・ツールのすべての部品番号に接頭辞が割り当てられています。TMS320 MCU 民生用ファミリの各デバイスには TMX、TMP、TMS のいずれかの接頭辞が付いています (例: TMS320F28032)。テキサス・インスツルメンツでは、サポート・ツールに使用可能な 3 つの接頭辞のうち、TMDX と TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング・プロトタイプ (TMX/TMDX) から、完全認定済みの量産デバイス / ツール (TMS/TMDS) まであります。

デバイスの開発進展フロー:

TMX 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

TMP プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

TMS 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

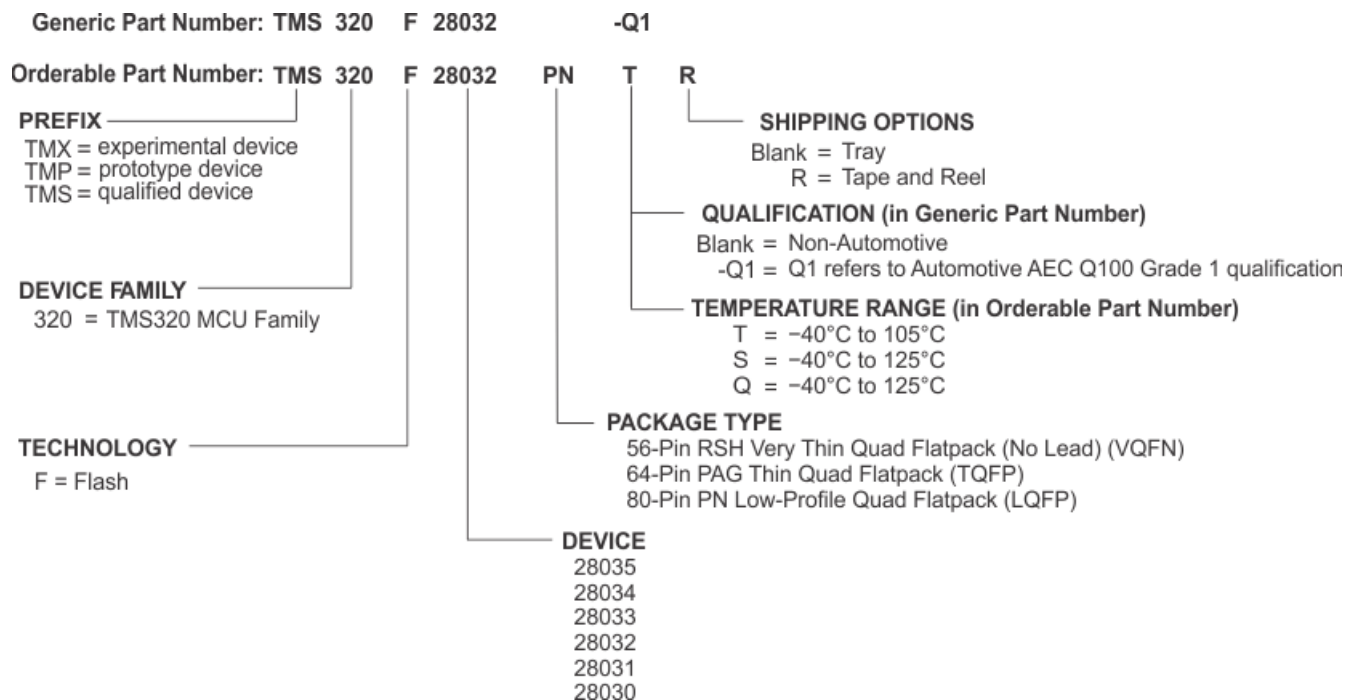
量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が高いと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

テキサス・インスツルメンツ・デバイスの項目表記には、デバイス・ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージ・タイプ (たとえば、PN) と温度範囲 (たとえば、T) を示しています。図 9-1 に、任意のファミリ・メンバについて、完全なデバイス名を読み取るための凡例を示します。

デバイスの部品番号、および注文情報の詳細については、テキサス・インスツルメンツ Web サイト (www.ti.com) を参照するか、またはお近くのテキサス・インスツルメンツの販売代理店にお問い合わせください。

ダイに記されているデバイス項目表記マーキングの詳細説明については、『TMS320F2803x リアルタイム MCU シリコン正誤表』を参照してください。



A. 特定のデバイスに関して利用可能なペリフェラル、温度、パッケージの詳細については、表 4-1 をご覧ください。

図 9-1. デバイスの表記規則

9.2 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能評価、コードの生成、ソリューションの開発のためのツールおよびソフトウェアの一部を以下に示します。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、C2000 リアルタイム制御 MCU - 設計および開発のページをご覧ください。

開発ツール

C2000 マイクロコントローラ用の Code Composer Studio (CCS) 統合開発環境 (IDE)

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよび組み込みプロセッサ ポートフォリオをサポートする統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されます。最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッグ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザーインターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。CCS は、Eclipse ソフトウェアフレームワークと、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の長所を組み合わせ、組み込み分野の開発者に魅力的な、豊富な機能を持つ開発環境を実現します。

ソフトウェア ツール

powerSUITE - C2000™ MCU 用デジタル電源設計ソフトウェア ツール

powerSUITE は、テキサス・インスツルメンツの C2000 リアルタイム マイクロコントローラ (MCU) ファミリのための一連のデジタル電源設計ソフトウェア ツールです。powerSUITE は、C2000 リアルタイム制御 MCU を使ったデジタル制御電源を設計する際に、開発期間を大幅に短縮するのに役立ちます。

C2000 MCU 用 C2000Ware

C2000™ マイクロコントローラ用の C2000Ware は、開発ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるよう設計されています。デバイス固有のドライバやライブラリから、デバイス ペリフェラルのサンプルまで、C2000Ware は製品の開発と評価を開始するための堅牢な土台を提供します。

UniFlash スタンドアロン フラッシュ ツール

UniFlash は、GUI、コマンドライン、スクリプト インターフェイスからオンチップ フラッシュ メモリをプログラムするために使用するスタンドアロンのツールです。

C2000 サード パーティ検索ツール

テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード パーティ各社の概要を手早く参照し、お客様のニーズに適したサード パーティを見つけることができます。

モデル

製品の「ツールとソフトウェア」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリ スキャン記述言語 (BSDL) モデルが含まれます。利用可能なモデルすべてを参照するには、各デバイスの「ツールとソフトウェア」ページの「モデル」セクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるように、テキサス・インスツルメンツは各種のトレーニング リソースを開発しました。オンライントレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、[C2000™ リアルタイム制御マイコン – サポートとトレーニング](#)のサイトを参照してください。

TMS320F2803x 固有の実践的トレーニング資料は、[TI Resource Explorer](#) の [C2000 Academy](#) にあります。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

エラー

『[TMS320F2803x リアルタイム MCU シリコン正誤表](#)』には、シリコンについての既知の勧告事項と回避策が記載されています。

テクニカル リファレンス マニュアル

『[TMS320F2803x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』には、デバイスの各ペリフェラルとサブシステムの統合、環境、機能説明、プログラミング モデルについて詳しく記載されています。

CPU ユーザー ガイド

『[TMS320C28x CPU および命令セット リファレンス ガイド](#)』には、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述されています。これらの DSP で利用可能なエミュレーション機能についても解説しています。

ペリフェラル ガイド

『[C2000 リアルタイム制御ペリフェラル リファレンス ガイド](#)』には、28x デジタル信号プロセッサ (DSP) のペリフェラル リファレンス ガイドが記載されています。

ツール ガイド

『[TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー ガイド](#)』には、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラのディレクティブ、マクロ、一般的なオブジェクト ファイルのフォーマット、シンボリック デバッグ ディレクティブについて記述されています。

『[TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー ガイド](#)』には、TMS320C28x C/C++ コンパイラについて記述されています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

アプリケーション レポート

『[半導体のパッキング手法](#)』には、半導体デバイスをエンド ユーザーへの配送用に準備するためのパッキング手法について記述されています。

『[組み込みプロセッサの有効寿命の計算](#)』には、テキサス・インスツルメンツの組み込みプロセッサ (EP) を電子機器システムで、電力を供給して使用したときの有効寿命を計算するための手法が解説されています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『[半導体と IC パッケージの熱評価基準](#)』は、旧来および新規の熱評価基準を記述し、システム レベルの接合温度見積りに関して、その適用を広い視野から説明します。

『[ミッション プロファイルの FIT の計算](#)』では、テキサス・インスツルメンツの信頼性ディレーティング ツールを使用して、システムのミッション プロファイルについて電源オン状態でのコンポーネント レベル FIT を計算する方法が解説されています。

『[発振器の補償ガイド](#)』には、内蔵発振器について、温度による周波数ドリフトを補償するため工場で行われている方法について記述されています。

『[オンチップのゼロ ピン発振器による MCU CAN モジュールの動作](#)』

TMS320F2803x/TMS320F2805x/TMS320F2806x シリーズのマイクロコントローラには、外付け部品を必要としないオンチップのゼロ ピン発振器があります。このアプリケーション レポートには、この発振器を使用して、CAN モジュールを外周クロック ソースの追加コストなしに、最大のビット速度とバス長で動作させる方法について記述されています。

『[IBIS \(I/O バッファ情報仕様\) モデル作成の概要](#)』では、IBIS について歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『[C2000™ マイクロコントローラのシリアル フラッシュ プログラミング](#)』では、フラッシュ カーネルおよび ROM ロダーを使用したデバイスのシリアル プログラミングについて記載しています。

9.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

TMS320C2000™, TMS320™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

I2C-bus® is a registered trademark of NXP B.V. Corporation.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from JUNE 12, 2021 to JANUARY 31, 2024 (from Revision P (June 2021) to Revision Q (January 2024))

	Page
• 「デバイスの比較」の表: SPI および SCI の行を更新.....	6
• 「60MHz SYSCLKOUT でのフラッシュ パラメータ」の表: プログラム時間と消去時間の単位を更新.....	39
• 「ツールとソフトウェア」セクション: トレーニングのリンクを更新.....	150

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS320F28030PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030PAGQ TMS320
TMS320F28030PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030PAGS TMS320
TMS320F28030PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28030PAGT TMS320
TMS320F28030PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030PNQ TMS320
TMS320F28030PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030PNS TMS320
TMS320F28030PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28030PNT TMS320
TMS320F28030RSHS	Last Time Buy	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28030RSHS S320 980
TMS320F28030RSHT	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28030RSHT S320 980
TMS320F28031PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031PAGQ TMS320
TMS320F28031PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031PAGS TMS320
TMS320F28031PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28031PAGT TMS320
TMS320F28031PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031PNQ TMS320
TMS320F28031PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031PNS TMS320
TMS320F28031PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28031PNT TMS320
TMS320F28031RSHS	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28031RSHS S320 980
TMS320F28032PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032PAGQ TMS320

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS320F28032PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032PAGS TMS320
TMS320F28032PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28032PAGT TMS320
TMS320F28032PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032PNQ TMS320
TMS320F28032PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032PNS TMS320
TMS320F28032PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28032PNT TMS320
TMS320F28032PNTR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28032PNT TMS320
TMS320F28032RSHS	Last Time Buy	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28032RSHS S320 980
TMS320F28032RSHT	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28032RSHT S320 980
TMS320F28033PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033PAGQ TMS320
TMS320F28033PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033PAGS TMS320
TMS320F28033PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28033PAGT TMS320
TMS320F28033PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033PNQ TMS320
TMS320F28033PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033PNS TMS320
TMS320F28033PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28033PNT TMS320
TMS320F28033RSHS	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28033RSHS S320 980
TMS320F28034PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PAGQ TMS320
TMS320F28034PAGQR	Active	Production	TQFP (PAG) 64	1500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PAGQ TMS320

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS320F28034PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PAGS TMS320
TMS320F28034PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28034PAGT TMS320
TMS320F28034PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PNQ TMS320
TMS320F28034PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034PNS TMS320
TMS320F28034PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28034PNT TMS320
TMS320F28034PNTR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28034PNT TMS320
TMS320F28034RSBS	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28034RSBS S320 980
TMS320F28034RSHT	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28034RSHT S320 980
TMS320F28035PAGQ	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PAGQ TMS320
TMS320F28035PAGS	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PAGS TMS320
TMS320F28035PAGT	Active	Production	TQFP (PAG) 64	160 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035PAGT TMS320
TMS320F28035PAGTR	Active	Production	TQFP (PAG) 64	1500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035PAGT TMS320
TMS320F28035PNQ	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PNQ TMS320
TMS320F28035PNQR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PNQ TMS320
TMS320F28035PNS	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035PNS TMS320
TMS320F28035PNT	Active	Production	LQFP (PN) 80	119 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035PNT TMS320
TMS320F28035PNTR	Active	Production	LQFP (PN) 80	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035PNT TMS320

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMS320F28035RSHS	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28035RSHS S320 980
TMS320F28035RSHT	Active	Production	VQFN (RSH) 56	260 JEDEC TRAY (5+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	F28035RSHT S320 980

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F28030, TMS320F28030-Q1, TMS320F28031, TMS320F28031-Q1, TMS320F28032, TMS320F28032-Q1, TMS320F28033, TMS320F28033-Q1, TMS320F28034, TMS320F28034-Q1, TMS320F28035, TMS320F28035-Q1 :

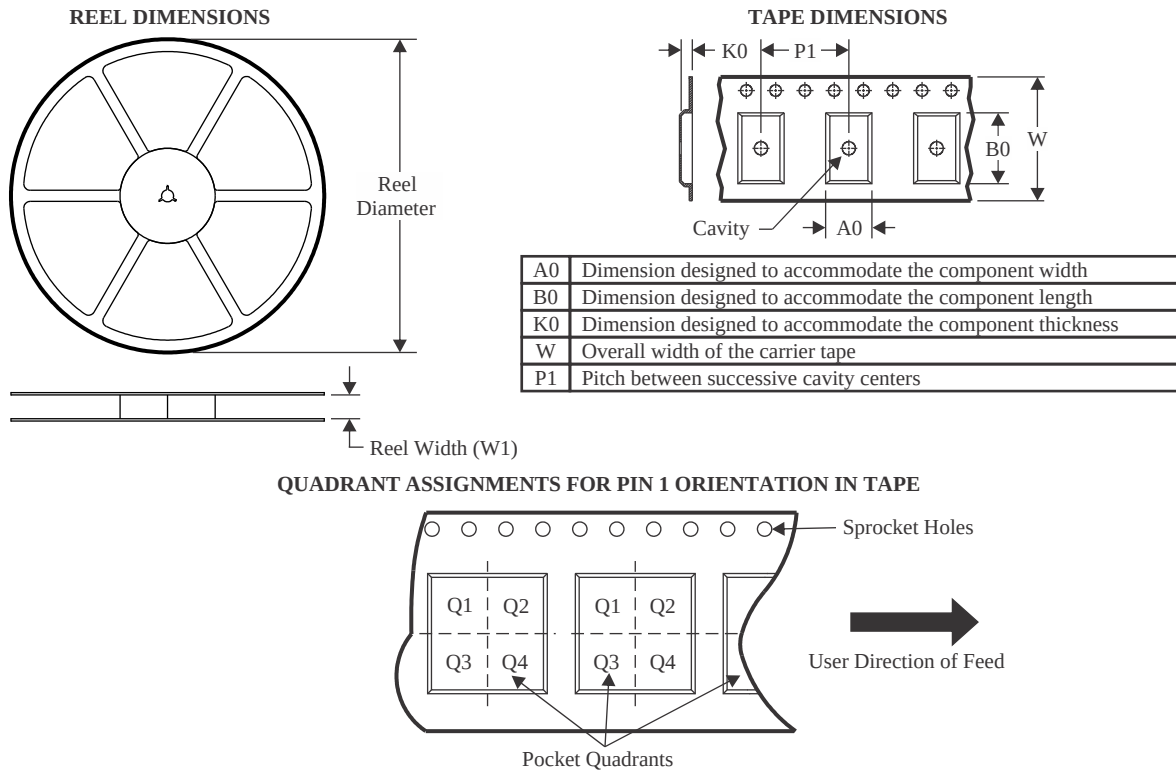
● Catalog : [TMS320F28030](#), [TMS320F28031](#), [TMS320F28032](#), [TMS320F28033](#), [TMS320F28034](#), [TMS320F28035](#)

- Automotive : [TMS320F28030-Q1](#), [TMS320F28031-Q1](#), [TMS320F28032-Q1](#), [TMS320F28033-Q1](#), [TMS320F28034-Q1](#), [TMS320F28035-Q1](#)
- Enhanced Product : [TMS320F28035-EP](#), [TMS320F28035-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

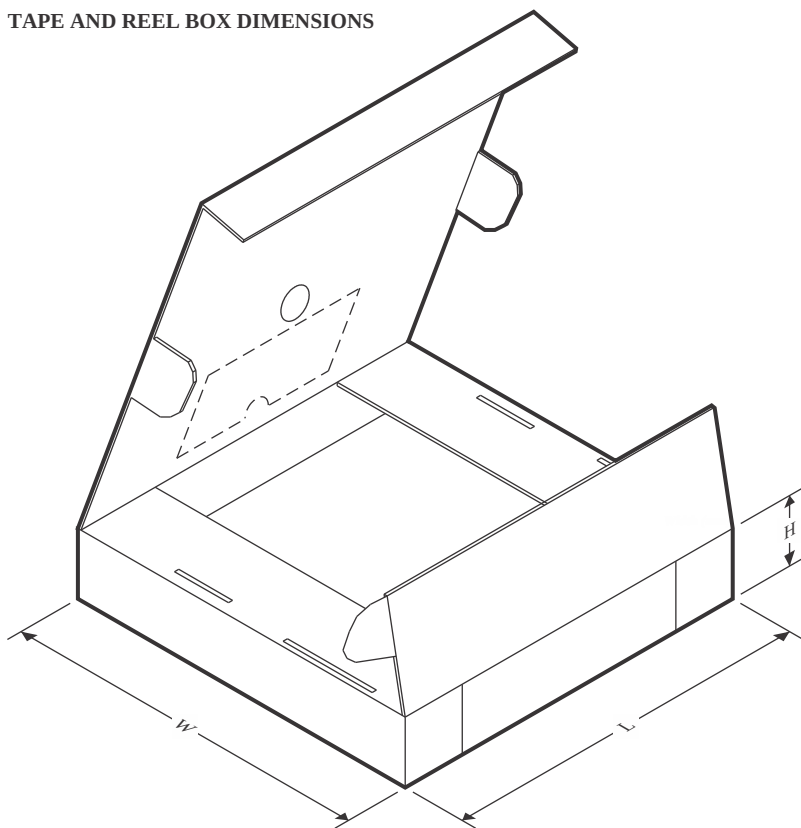
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMS320F28032PNTR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
TMS320F28034PAGQR	TQFP	PAG	64	1500	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
TMS320F28035PAGTR	TQFP	PAG	64	1500	330.0	24.4	13.0	13.0	1.5	16.0	24.0	Q2
TMS320F28035PNQR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2

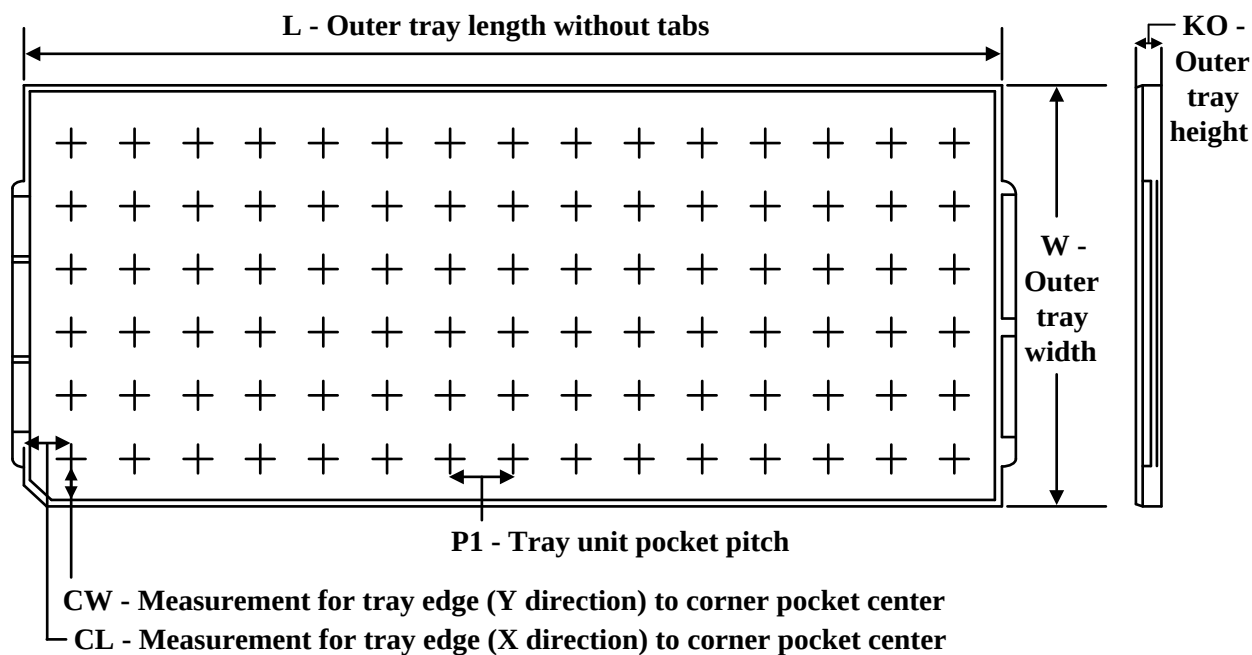
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMS320F28032PNTR	LQFP	PN	80	1000	367.0	367.0	55.0
TMS320F28034PAGQR	TQFP	PAG	64	1500	367.0	367.0	55.0
TMS320F28035PAGTR	TQFP	PAG	64	1500	367.0	367.0	55.0
TMS320F28035PNQR	LQFP	PN	80	1000	367.0	367.0	55.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

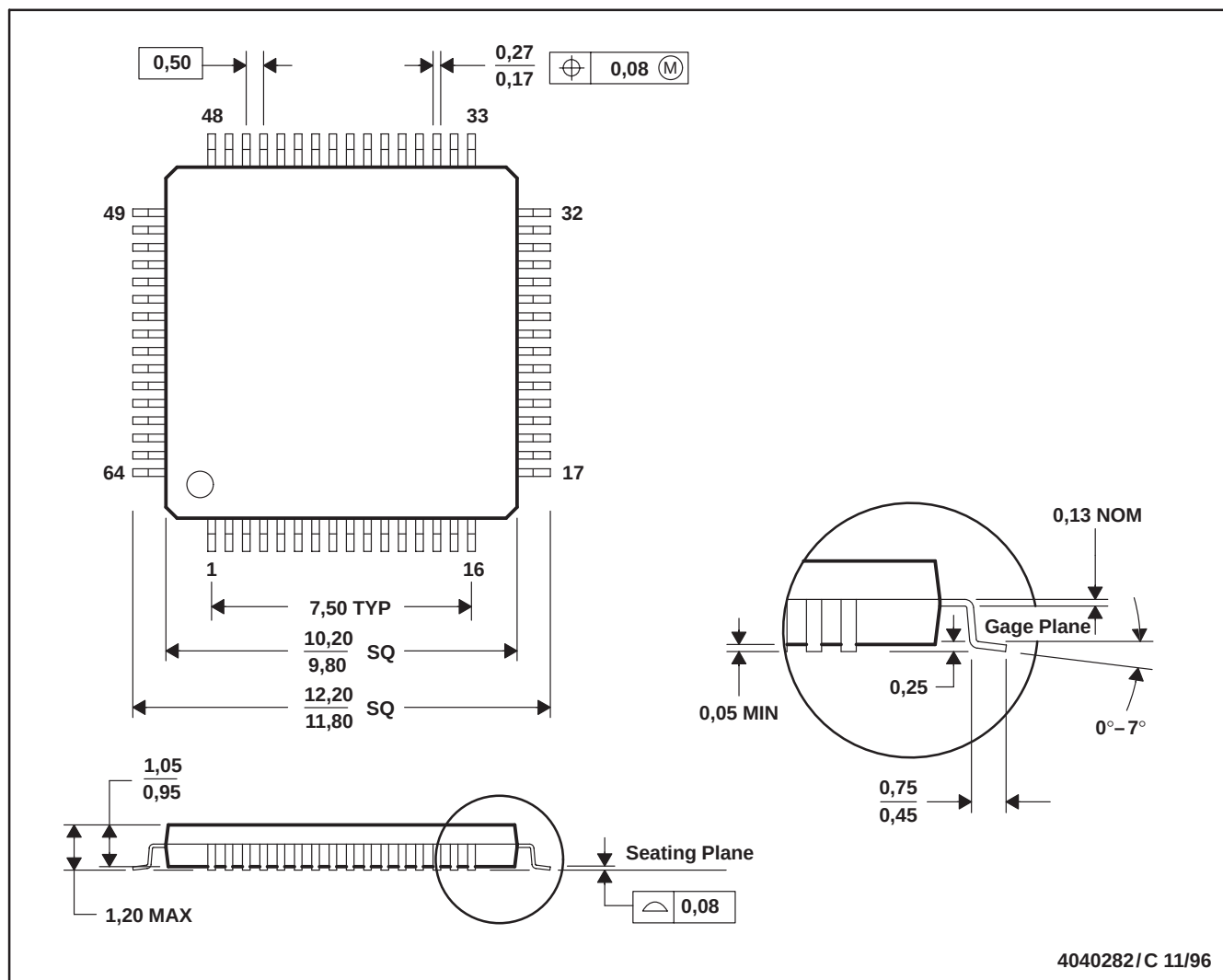
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28030PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28030PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28030PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28030PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28030PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28030PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28030RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28030RSHT	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28031PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28031PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28031PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28031PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28031PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28031PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28031RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28032PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28032PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28032PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28032PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28032PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28032PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28032RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28032RSHT	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28033P1PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28033PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28033PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28033PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28033PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28033PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28033PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28033RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28034PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28034PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28034PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28034PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28034PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28034PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28034RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28034RSHT	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28035PAGQ	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28035PAGS	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28035PAGT	PAG	TQFP	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
TMS320F28035PNQ	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28035PNS	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28035PNT	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
TMS320F28035RSHS	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35
TMS320F28035RSHT	RSH	VQFN	56	260	26 x 10	150	315	135.9	7620	11.8	10	10.35

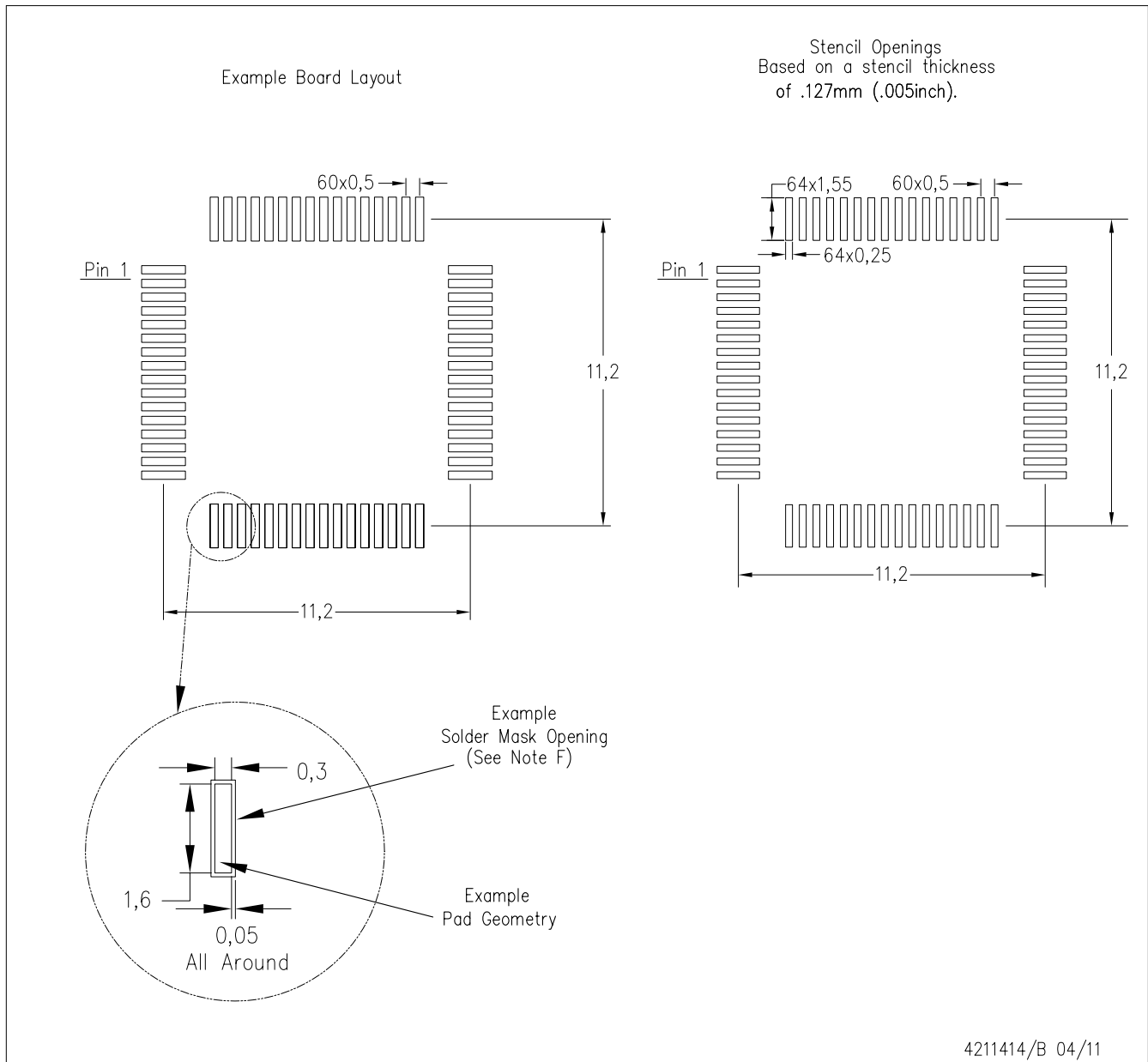
PAG (S-PQFP-G64)

PLASTIC QUAD FLATPACK



PAG (S-PQFP-G64)

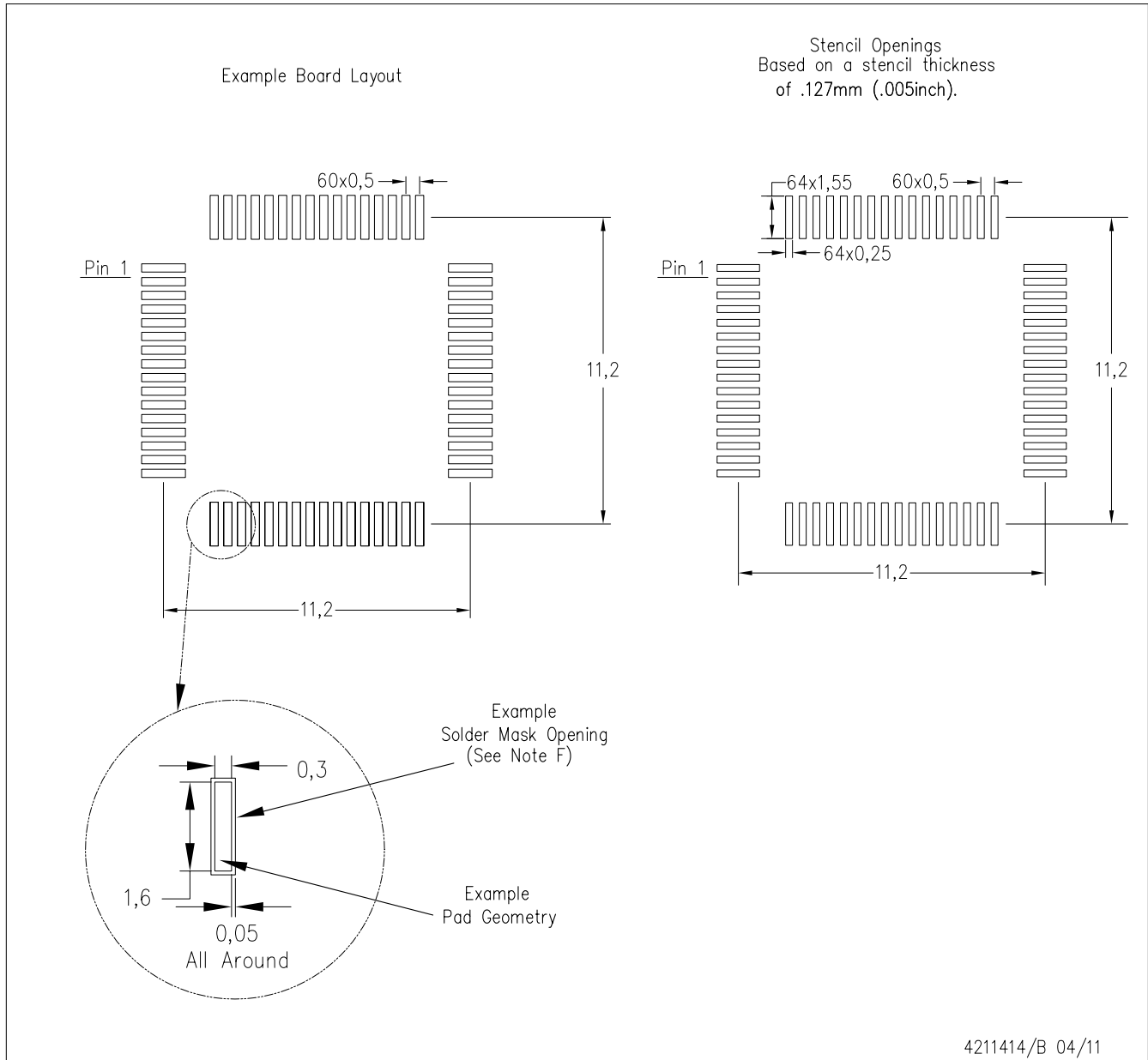
PLASTIC QUAD FLATPACK



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PAG (S-PQFP-G64)

PLASTIC QUAD FLATPACK



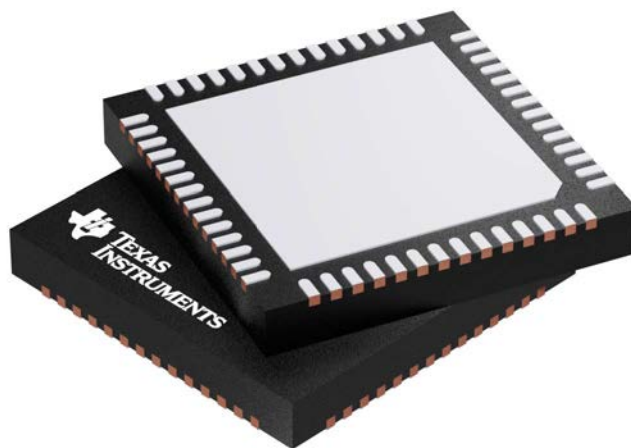
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - D. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

RSH 56

GENERIC PACKAGE VIEW

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



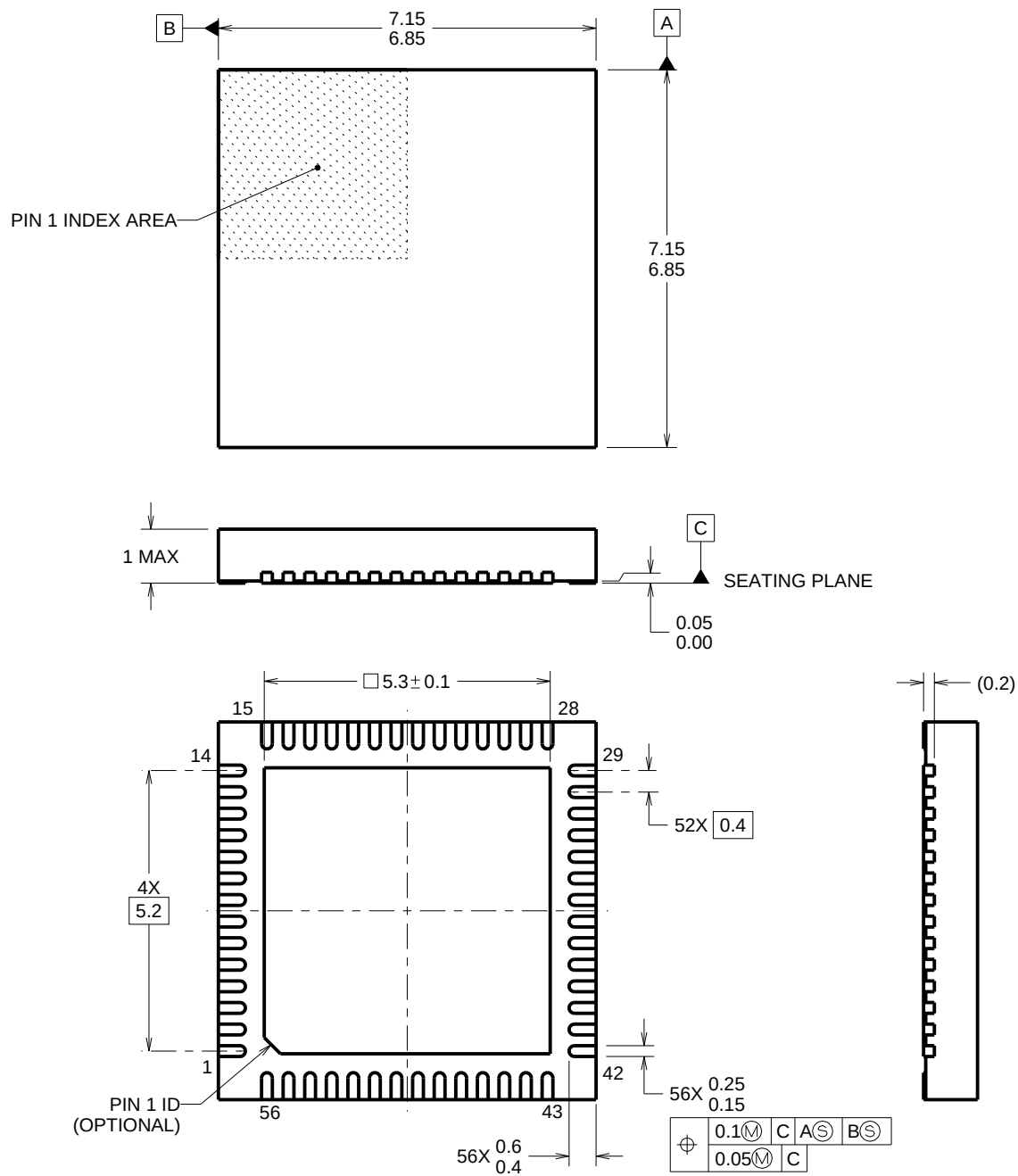
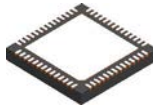
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207513/D

RSH0056D

VQFN - 1 mm max height

VQFN



4218794/A 07/2013

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

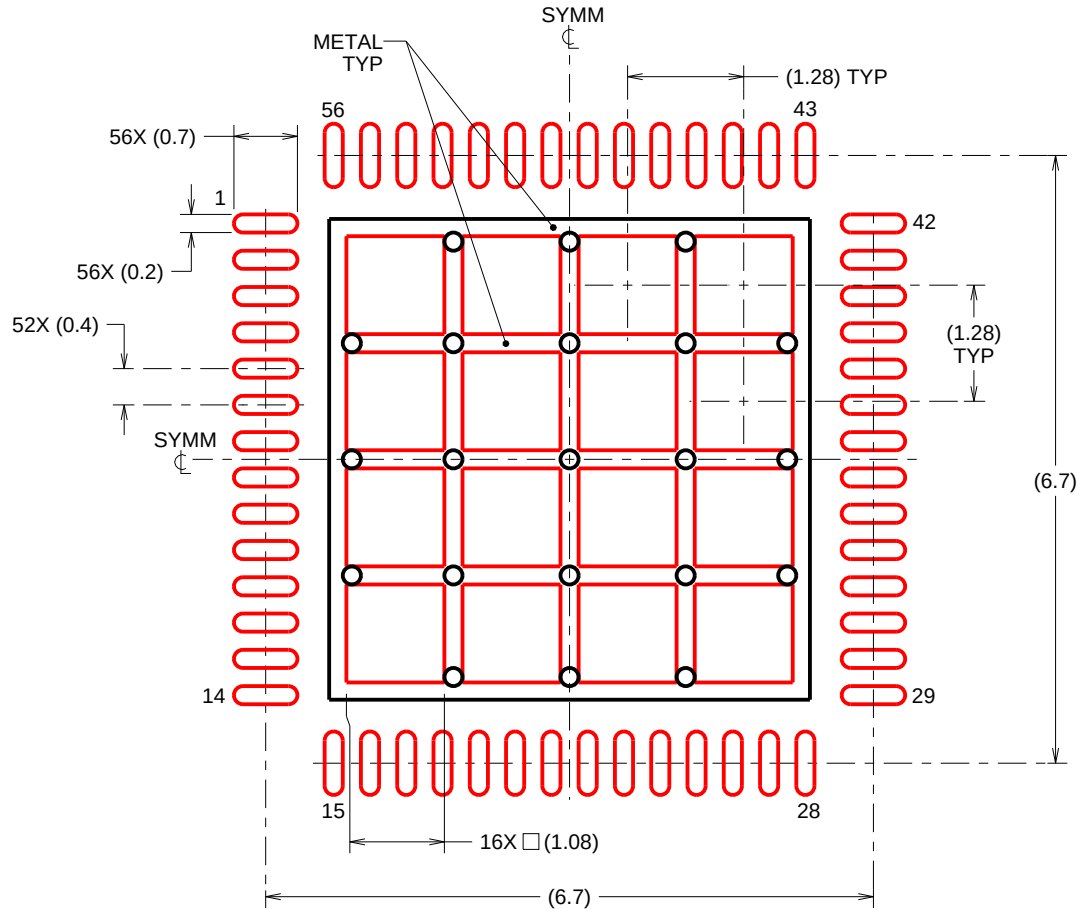


TEXAS
INSTRUMENTS
www.ti.com

RSH0056D

VQFN - 1 mm max height

VQFN



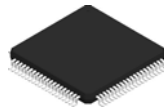
SOLDERPASTE EXAMPLE
 BASED ON 0.1mm THICK STENCIL
 EXPOSED PAD
 67% PRINTED SOLDER COVERAGE BY AREA
 SCALE:12X

4218794/A 07/2013

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

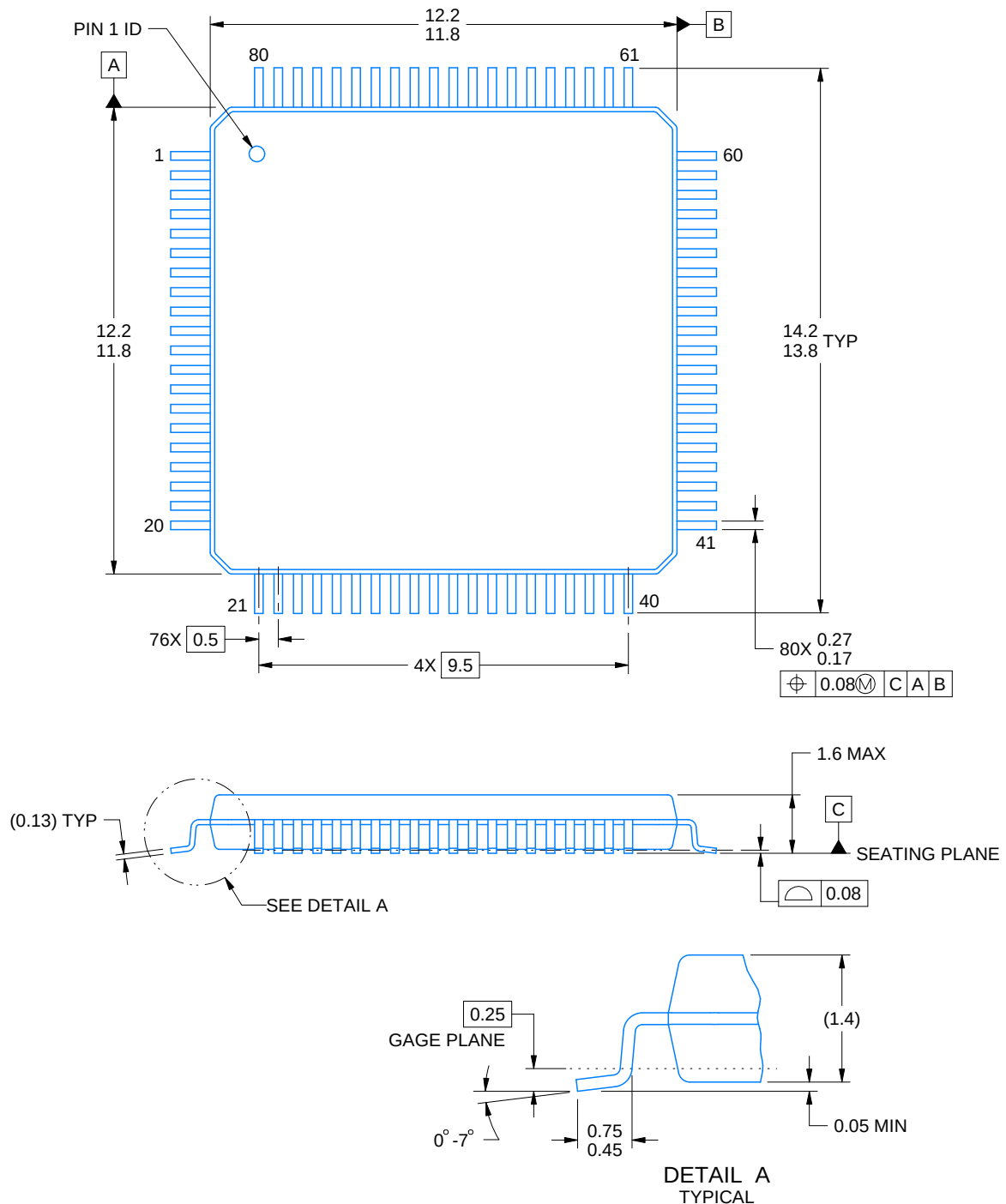
PN0080A



PACKAGE OUTLINE

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



4215166/A 08/2022

NOTES:

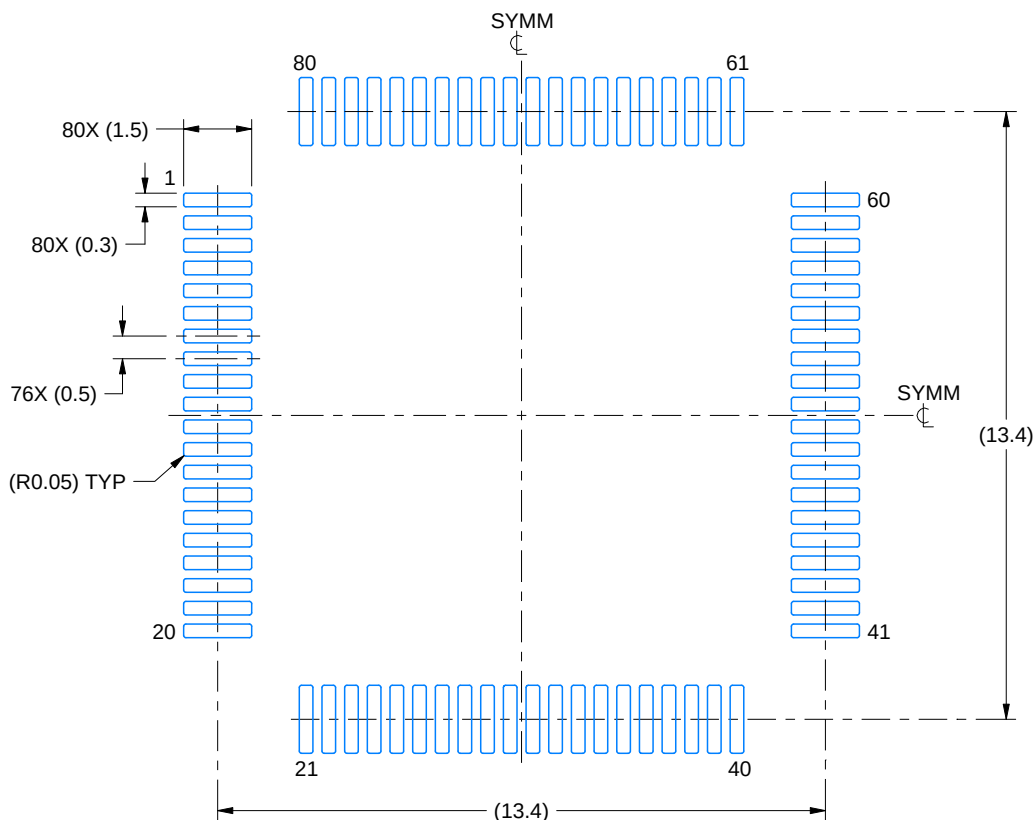
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

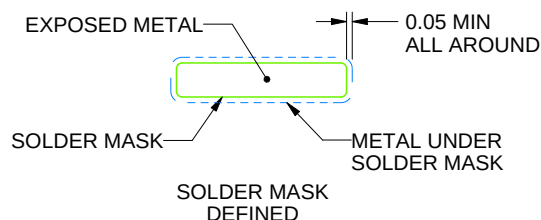
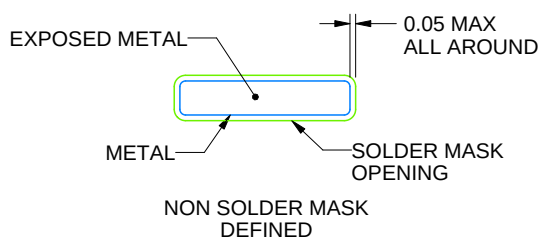
PN0080A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated