

外部リファレンス入力付き、少ピン数、低 V_{IN} (3.0V~5.5V)、同期バックDC/DCコントローラ

特長

- 3.0V~5.5V入力
- 外部リファレンスが必要：0.5V~1.5V
- 出力電圧：REFINからVINの90%まで
- NチャンネルFETのハイサイド駆動
- プリバイアス出力をサポート
- アダプティブ・クロス導通防止ゲート駆動
- 固定スイッチング周波数 (600kHz) による電圧モード制御
- 3つの短絡保護レベルを選択可能
- 障害時のヒックアップ・リスタート
- アクティブ・ローのイネーブル
- 過熱シャットダウン保護：145°C
- 10ピン、3mm × 3mm SON (DRC)

アプリケーション

- DDRメモリ
- ポイント・オブ・ロード (POL)
- 通信機器
- DC / DCモジュール

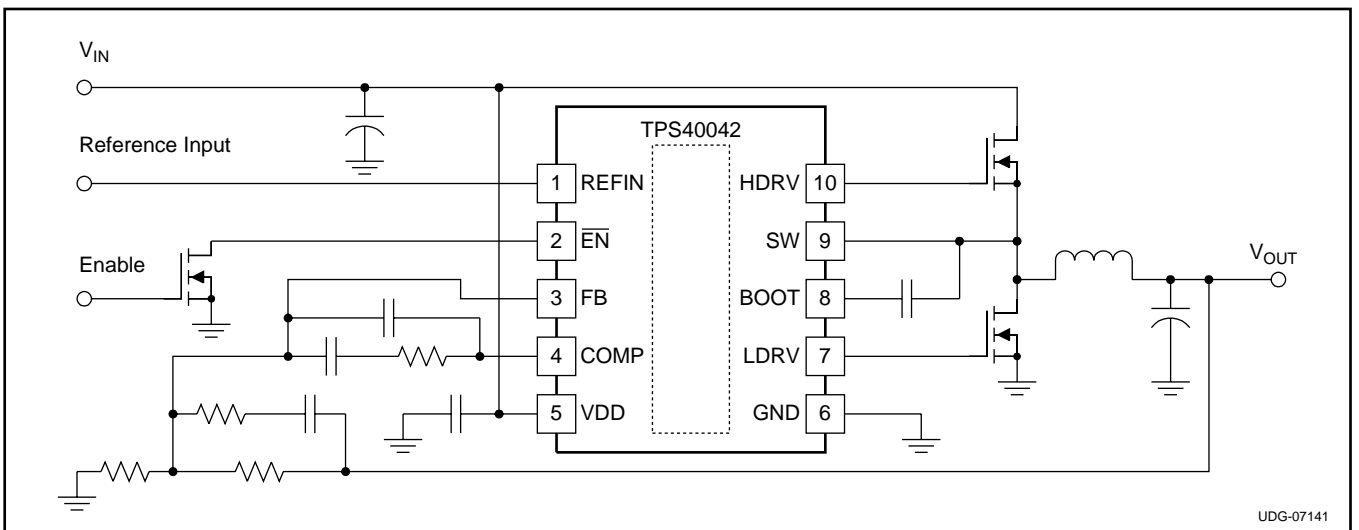
目次

デバイス定格	2
電気的特性	3
デバイス情報	7
アプリケーション情報	9
設計例	16
参考資料	24

概要

TPS40042 DC/DCコントローラは、3.0V~5.5Vの入力ソースで動作するよう設計されています。外部部品数を減らすために、いくつかの動作パラメータが内部で固定されています。例えば、動作周波数は内部で600kHzに設定されています。

COMPピンと回路のグラウンド間に外付け抵抗を追加することで(デフォルト設定では抵抗なし)、3つの短絡スレッショルドレベルのいずれかを選択できます。パワーオン時、内部ソフトスタートにより出力電圧が上昇する前に、TPS40042はキャリブレーション・サイクルに入り、COMPピンからの電流を測定して、内部SCPスレッショルド電圧を選択します。1.5msのキャリブレーション期間が終了すると、出力電圧のソフトスタート



UDG-07141

が開始されます。動作中、選択されたSCPスレッシュホールド値が、上側MOSFETのオン時間中の電圧降下と比較され、過負荷状態が発生しているかどうかを確認されます。MOSFETの電圧がスレッシュホールド電圧を超えた場合、TPS40042は連続7パルスをカウントしてから、ソフトスタート充電/放電サイクル7回の間完全にオフとなり、その後、TPS40042は出力の再起動を試みます。

スタートアップ中は、内部ソフトスタートによって現在の出力電圧より高い出力電圧が指示されるまで、ハイサイドMOSFETスイッチと同期整流器の両方がオフ状態に保持されます。出力が、ゼロより大きく目的のレギュレーション電圧よりも低

い特定の電圧にプリバイアスされているときに、この状態になる場合があります。内部ソフトスタートが最初に出力の上昇を指示すると、同期整流器のパルス幅がゼロから完全な1-D導通時間へと、いくつかのステップを経てゆっくり増加します。このようにして、インダクタ電流が急激に反転されるのを防ぎ、出力がゼロから開始してもプリバイアス・レベルから開始しても単調にスタートアップするようになっています。 $\overline{\text{EN}}$ ピン(“Low”でイネーブル)が“High”にフローティングされた状態でデバイスに電力が印加された場合、TPS40042はオフに保持されます。コントローラは、 $\overline{\text{EN}}$ ピンがグランドにプルダウンされた場合のみ、起動が可能です。

製品情報

動作周波数	パッケージ	テープ/リール数量	部品番号
600kHz	Plastic 10-pin SON (DRC)	250	TPS40042DRCT
600kHz	Plastic 10-pin SON (DRC)	3000	TPS40042DRCR

デバイス定格

絶対最大定格

動作温度範囲内(特に記述のない限り、すべての電圧はGNDを基準)

パラメータ	値	単位
VDD	6.5	V
SW	-3 ~ 10.5	
SW transient (< 50ns)	-5	
BOOT	SW+6.5	
HDRV	SW ~ SW+6.5	
$\overline{\text{EN}}$, FB, LDRV, REFIN	-0.3 ~ 6.5	
COMP	-0.3 ~ 3	°C
Operating junction temperature	-40 ~ 150	
Storage junction temperature	-55 ~ 150	

推奨動作条件

動作温度範囲内(特に記述のない限り)

パラメータ	最小	標準	最大	単位
V _{VDD}	Input voltage to VDD pin	3.0	5.5	V
V _{REFIN}	Voltage applied to REFIN pin during regulation	0.5	1.5	V
T _J	Junction temperature	-40	125	°C

静電放電(ESD)保護

パラメータ	最小	標準	最大	単位
Human body model		2500		V
CDM		1500		V

パッケージ定格消費電力⁽¹⁾

熱インピーダンス、 接合部周囲間	T _A = 25°Cの電力定格	T _A = 85°Cの電力定格
48°C/W	2W	0.8W

(1) DRCパッケージの詳細な情報およびテスト方法については、TIテクニカル・ブリーフ文献番号SZZA017を参照してください。

電気的特性

$T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $V_{VDD} = 5\text{V}$ です (特に記述のない限り)。

パラメータ		測定条件	最小	標準	最大	単位
INPUT SUPPLY						
V_{VDD}	Input voltage range ⁽¹⁾		3.0		5.5	V
IDD_{sd}	Shutdown	$V_{EN} = V_{VDD}$		100	180	μA
IDD_q	Quiescent	$V_{FB} = 0.8\text{V}$		1.0	2.0	mA
IDD_s	Switching current	No load at HDRV/LDRV		3.0		
$UVLO_{ON}$	Minimum turn-on voltage		1.90	2.05	2.2	V
$UVLO_{HYS}$	Hysteresis		80	130	200	mV
OSCILLATOR / RAMP GENERATOR						
f_{PWM}	PWM frequency	$3.0\text{V} < V_{VDD} < 5.5\text{V}$	500	600	700	kHz
f_{PWM}	PWM frequency	$V_{VDD} = 5.0\text{V}$, $0^{\circ}\text{C} < T_J < 70^{\circ}\text{C}$	540	600	660	kHz
V_{RAMP}	Ramp amplitude PP	$V_{PEAK} - V_{VALLEY}$	0.75	0.87	1.0	V
V_{VALLEY}	Ramp valley voltage			0.4		V
PWM						
MAXDUTY	Maximum duty cycle	$V_{FB} = 0\text{V}$, $3.0\text{V} < V_{VDD} < 5.5\text{V}$	88%	95%		
MINDUTY	Minimum duty cycle				0%	
MIN pulse width ⁽²⁾	Minimum controllable pulse width	Minimum width control range before jumping to zero.		90	150	ns
ERROR AMPLIFIER						
V_{OS}	FB to REFIN offset voltage	$0.5\text{V} < V_{REFIN} < 1.5\text{V}$	-5	0	5	mV
I_{FB}	FB, REFIN input bias current			-30	-125	nA
V_{OH}	High level output voltage	$I_{OH} = 0.5\text{mA}$, $V_{FB} = 0\text{V}$, $V_{VDD} = 5.5\text{V}$	2.0	2.5		V
V_{OL}	Low level output voltage	$I_{OL} = 0.5\text{mA}$, $V_{FB} = V_{VDD}$		80	150	mV
I_{OH}	Output source current	$V_{COMP} = 0.7\text{V}$, $V_{FB} = \text{GND}$	1	6		
I_{OL}	Output sink current	$V_{COMP} = 0.7\text{V}$, $V_{FB} = V_{VDD}$	2	8		mA
G_{BW} ⁽²⁾	Gain bandwidth		5	10		
A_{OL}	Open loop gain		55	85		dB
SHORT CIRCUIT PROTECTION						
V_{TH1}	Low short circuit threshold voltage	Resistor COMP to GND = $2.4\text{k}\Omega$, $T_J = 25^{\circ}\text{C}$	80	105	130	mV
V_{TH2}	Medium short circuit threshold voltage	Default : No resistor COMP to GND, $T_J = 25^{\circ}\text{C}$	140	175	210	
V_{TH3}	High short circuit threshold voltage	Resistor COMP to GND = $12\text{k}\Omega$, $T_J = 25^{\circ}\text{C}$	250	310	370	
$V_{TH(tc)}$ ⁽²⁾	Threshold temperature coefficient			3100		ppm
$t_{ON(oc)}$ ⁽²⁾	Minimum HDRV pulse time in over current			190		ns
$t_{SWOCblank}$ ⁽²⁾	SW leading edge blanking pulse in over current detection			100		
t_{HICCUP}	Hiccup time between restarts			40		ms

(1) V_{VDD} 動作は2.25Vまで可能ですが、仕様の一部が劣化します。この状態では、 V_{REFIN} の範囲が0.5V ~ 0.7Vに制限されます。

(2) 設計で確認されています。実製品のテストは行っていません。

電気的特性

$T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $V_{VDD} = 5\text{V}$ です (特に記述のない限り)。

パラメータ		測定条件	最小	標準	最大	単位
SOFT START/ENABLE						
$t_{\text{CAL}}^{(3)}$	Calibration time before softstart begins		1.0	1.6	2.5	ms
$t_{\text{SS}}^{(3)}$	Soft start time ⁽⁴⁾	FB rise time from 0V to $V_{\text{REFIN}} = 1.5\text{V}$	4.5	6.0	7.5	
t_{REG}	Time to voltage regulation	Sum of t_{CAL} plus t_{SS} ; $V_{\text{REFIN}} = 1.5\text{V}$	5.5	7.6	10	
V_{EN}	Enable threshold	$\overline{\text{EN}}$ voltage w.r.t. V_{VDD}	-0.8	-1.2	-1.6	V
V_{ENHYS}	Enable hysteresis			50		mV
BOOTSTRAP						
R_{BOOT3V3}	Bootstrap switch resistances	V_{BOOT} to V_{VDD} , $V_{\text{VDD}} = 3.3\text{V}$		50		Ω
R_{BOOT5V}		V_{BOOT} to V_{VDD} , $V_{\text{VDD}} = 5\text{V}$		30		
OUTPUT DRIVER						
R_{HDI3V3}	HDRV pull-up resistance	$V_{\text{BOOT}} - V_{\text{SW}} = 3.3\text{V}$, $I_{\text{SRCE}} = 100\text{mA}$		3.0	5.5	Ω
R_{HDLO3V3}	HDRV pull-down resistance	$V_{\text{BOOT}} - V_{\text{SW}} = 3.3\text{V}$, $I_{\text{SINK}} = 100\text{mA}$		1.5	3	
R_{LDHI3V3}	LDRV pull-up resistance	$V_{\text{VDD}} = 3.3\text{V}$, $I_{\text{SOURCE}} = 100\text{mA}$		3.0	5.5	
R_{LDLO3V3}	LDRV pull-down resistance	$V_{\text{VDD}} = 3.3\text{V}$, $I_{\text{SINK}} = 100\text{mA}$		1.0	2.0	
$t_{\text{RISE}}^{(5)}$	LDRV, HDRV rise time	$C_{\text{LOAD}} = 1\text{nF}$		15	35	ns
$t_{\text{FALL}}^{(5)}$	LDRV, HDRV fall time	$C_{\text{LOAD}} = 1\text{nF}$		10	25	
$T_{\text{DEAD HL}}$	Adaptive timing HDRV to LDRV	No load	15	30	45	
$T_{\text{DEAD LH}}$	Adaptive timing LDRV to HDRV	No load	5	15	35	
SWITCH NODE						
I_{LEAK}	Leakage current	$V_{\text{EN}} = V_{\text{VDD}}$	-2			μA
THERMAL SHUTDOWN						
$t_{\text{SD}}^{(5)}$	Shutdown temperature			145		$^{\circ}\text{C}$
	Hysteresis			15		

(3) t_{CAL} および t_{SS} は、温度および入力電圧に追従します。

(4) ソフトスタート時間は、 V_{REFIN} の関数です。詳細については、アプリケーション情報を参照してください。

(5) 設計で確認されています。実製品のテストは行っていません。

代表的特性

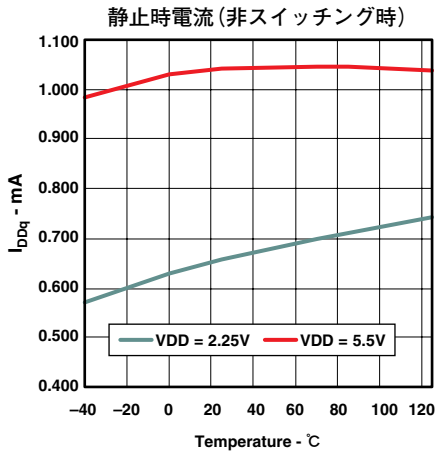


図1

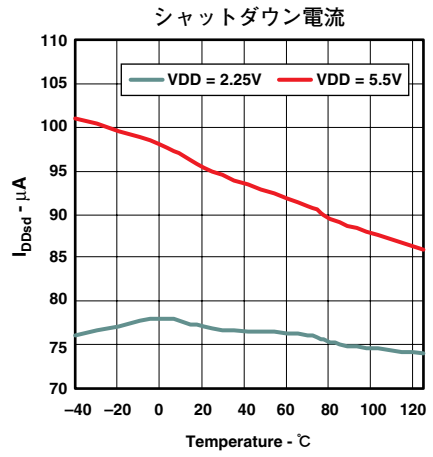


図2

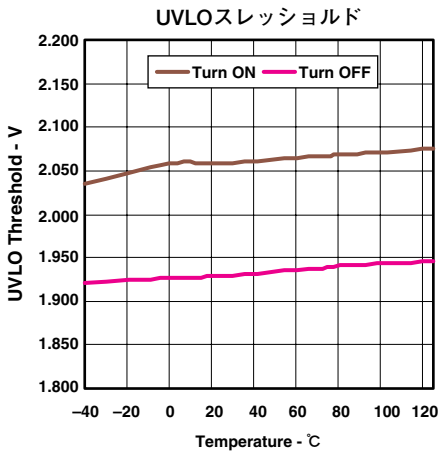


図3

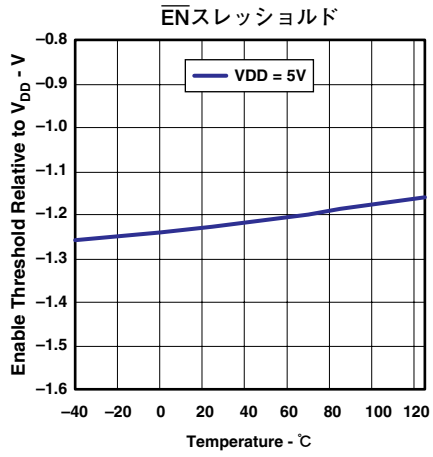


図4

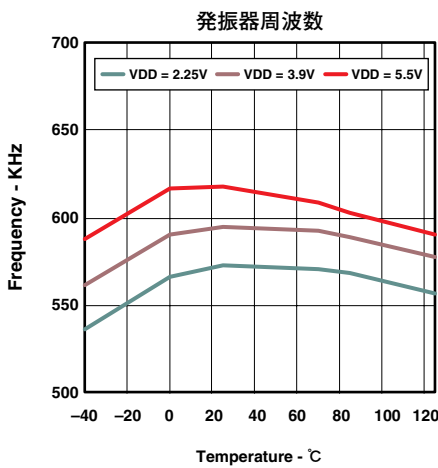


図5

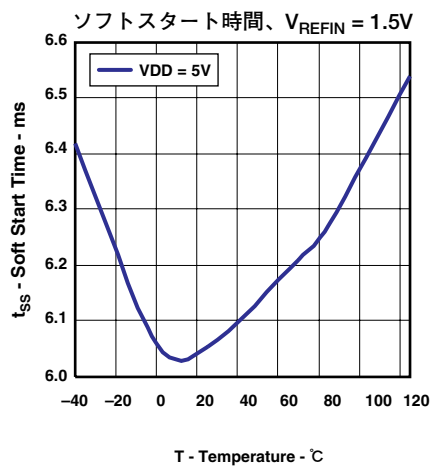
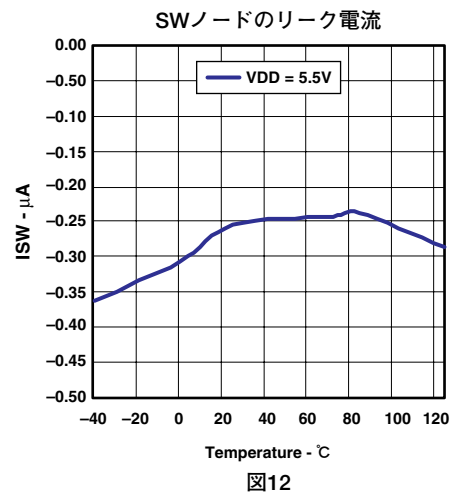
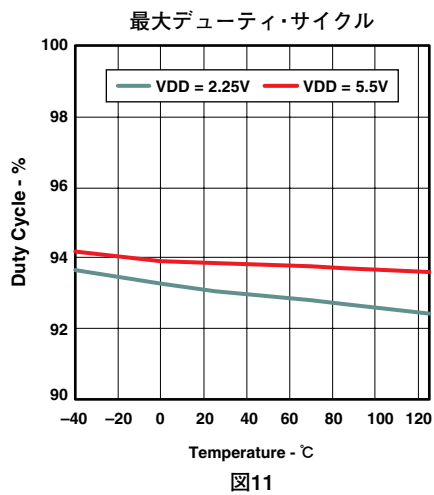
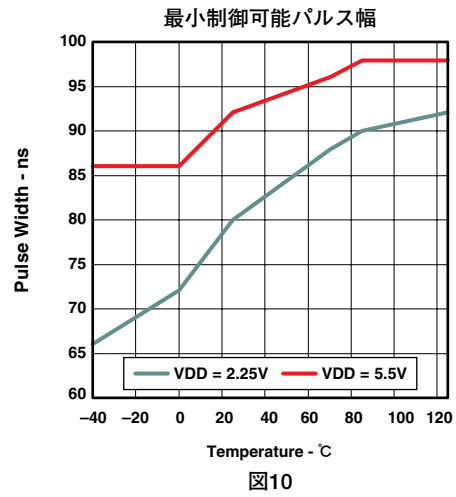
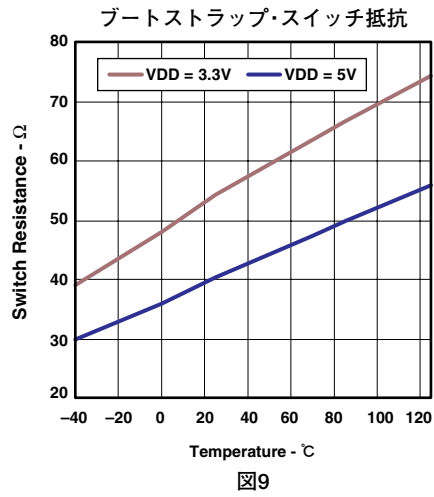
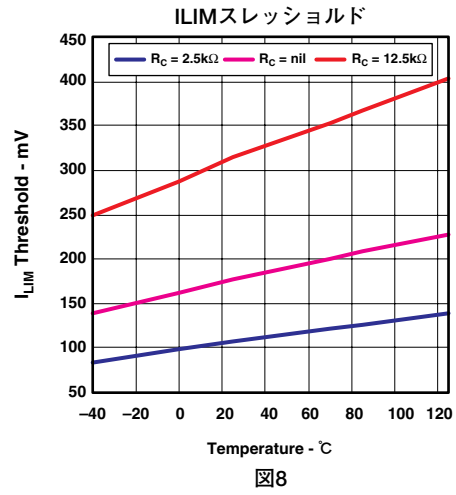
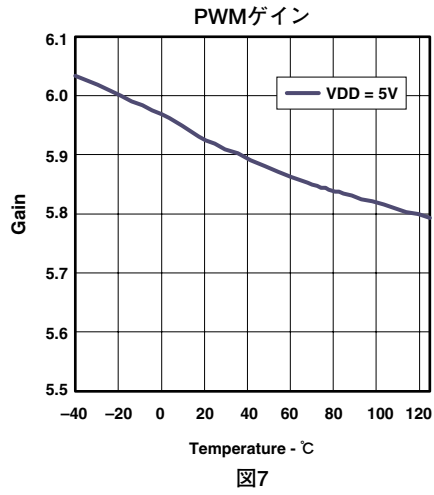


図6

代表的特性



製品情報

端子構成

パッケージは、10ピンのSON (DRC) パッケージです。

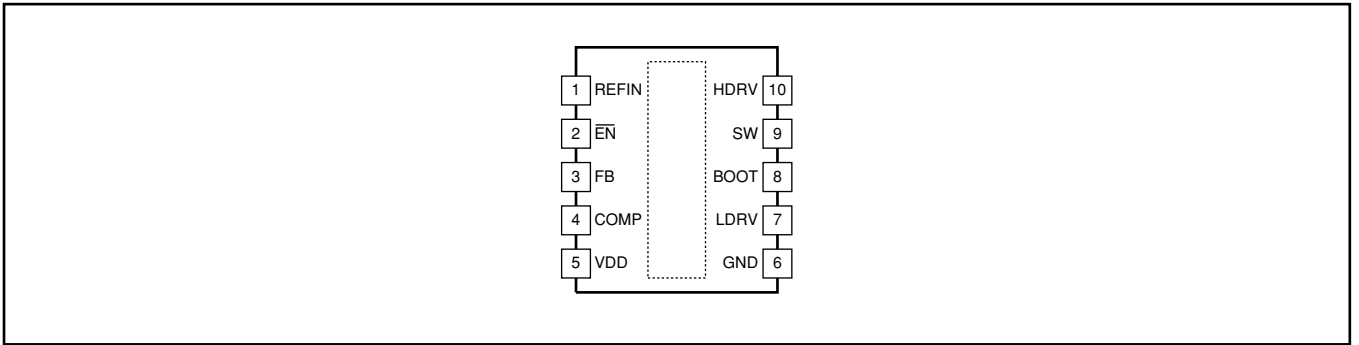
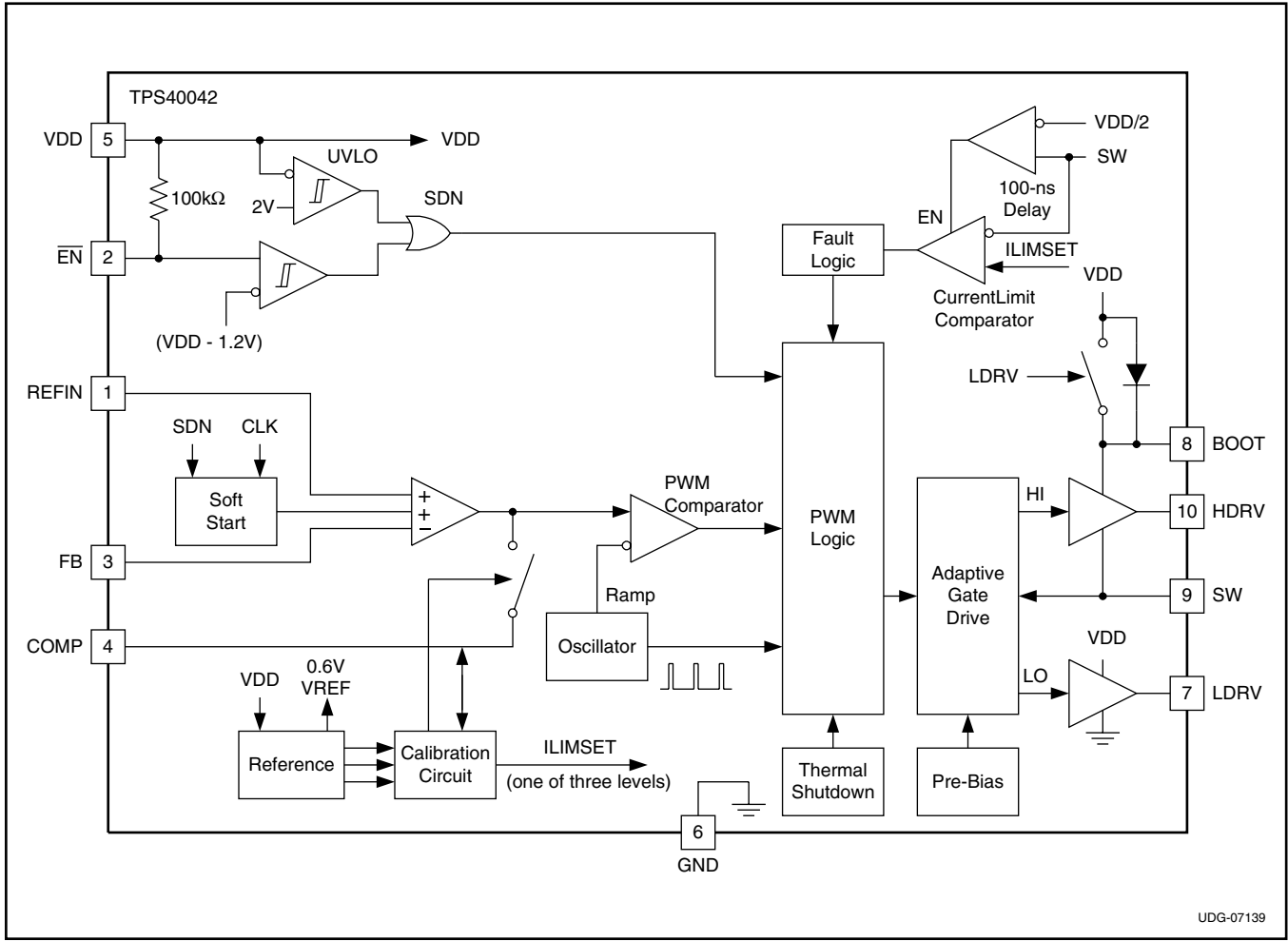


図13. DRCパッケージの端子構成(平面図)

TERMINAL		I/O	説明
NAME	NO.		
BOOT	8	I	PWMのハイサイド・ゲート・ドライバに入力(ブートストラップ)電源を供給し、ハイサイドFETのゲートが入力電源レールより上に駆動されるようにします。このピンとSWの間にセラミック・コンデンサを接続します。このコンデンサは、内部スイッチを通して、VDDピンの電圧により充電されます。コンバータのオフ期間中、このスイッチはオンになります。ブートストラップ・コンデンサと直列に小さな抵抗(1Ω~3Ω)を接続すると、外部MOSFETのターンオンを遅くすることができます。適切な値の計算については、アプリケーション情報を参照してください。
COMP	4	O	誤差増幅器の出力、ループ帰還部品の接続ノード。このピンの電圧によって、PWMのデューティ・サイクルが決定されます。オプションとして、このピンとグラウンドの間に抵抗を接続すると、短絡保護に使用する電圧スレッシュホールドを決定できます。(アプリケーション情報を参照) <ul style="list-style-type: none"> • 低スレッシュホールド: R = 2.4kΩ、±10% • 中スレッシュホールド: R = 未接続 • 高スレッシュホールド: R = 12kΩ、±10%
$\overline{\text{EN}}$	2	I	コントローラのオン/オフ動作を行うアクティブ・ローのイネーブル入力。 $\overline{\text{EN}}$ ピンが“High”にフローティングされた状態でTPS40042に電力が印加された場合、TPS40042はディスエーブル(両方の外部スイッチがオフ)のまま保持されます。TPS40042は、 $\overline{\text{EN}}$ ピンがVDD - 1.2Vまでプルダウンされた場合のみ、起動が可能です。プルアップのために、VDDと $\overline{\text{EN}}$ の間に内部で100kΩの抵抗が接続されています。イネーブル機能をバイパスするには、このピンをGNDに接続します。
FB	3	I	誤差増幅器の反転入力。閉ループ動作では、このピンの電圧がREFINピンと同電位となります。コンバータ出力とグラウンドの間に直列抵抗デバイダを接続し、その接続点をこのピンに接続することで、レギュレーション出力電圧の値を決定できます。このピンは、ループ帰還部品の接続ノードでもあります。
GND	6		デバイスの電氣的グラウンド接続です。
HDRV	10	O	PWMのハイサイドNチャンネルMOSFETスイッチ用ゲート駆動出力です。SWを基準とし、ハイサイド・スイッチの改善のためにブートストラップされます。
LDRV	7	O	ローサイド同期整流用(SR)NチャンネルMOSFETのゲート駆動出力です。
REFIN	1	I	誤差増幅器への非反転入力。TPS40042がイネーブルになる前に、このピンに正確な電圧を印加する必要があります。この入力には誤差増幅器の非反転入力に直接接続されているため、このピンの電圧は、出力電圧の品質に直接影響を与えます。
SW	9	O	コンバータのスイッチング・ノードへの接続、および上側ゲート・ドライバの電源リターンです。上側MOSFETのソースからこのピンへの高電流リターン・パスが必要です。また、このピンは、上側MOSFETの導通から下側MOSFETの導通までの間のデッドタイムを最小限にするアダプティブ・ゲート駆動回路によっても使用されます。
VDD	5	I	デバイスへの電源入力。このピンは、1μF以上の低ESRセラミック・コンデンサを使用して、GNDへローカルにバイパスする必要があります。
PPAD			デバイスからの放熱に使用されるサーマル・パッド。このパッドは、外部でグラウンド・プレーンに接続する必要があります。PC基板レイアウトの詳細については、アプリケーション情報を参照してください。

表1. 端子機能

ブロック図



UDG-07139

図14. 機能ブロック図

アプリケーション情報

機能説明

TPS40042は、固定周波数の電圧モード同期バック・コントローラです。動作中は、同期整流器(SR)によって両方向の電流を導通でき、無負荷状態でもコンバータが連続導通(CCM)モードで動作できるため、帰還ループ補償要件が単純化されます。スタートアップ時には、内部回路によって同期整流器のスイッチングが変調され、プリバイアス状態における出力の放電を防いでいます。

電圧リファレンス入力

外部電圧リファレンス入力が必要です。動作時の電圧は0.5V~1.5Vの範囲内である必要があります。

REFINは、2つの方法のいずれかで使用できます。

- リファレンス入力として使用。この場合、TPS40042がイネーブルになる前にREFINが安定する必要があります。内部ソフトスタートにより、スタートアップ中の出力電圧の上昇レートを制御されます。出力電圧がレギュレーションに達するまでの時間は、REFINピンの電圧に依存します。
- トラッキング入力として使用。ソフトスタートが完了するまで(7.6ms)REFINをゼロに保持した場合、REFINはスタートアップおよびレギュレーション中に出力電圧を制御します。

電圧誤差増幅器

誤差増幅器は5MHzを超える帯域幅を持ち、開ループ・ゲインは55dB以上です。過渡応答向上のため、出力電圧インギは、発振回路のランプ・レベルのすぐ上からすぐ下までの範囲に制限されます。

ループ補償

電圧モードの降圧型コンバータは、一般にタイプIIIネットワークを使用して補償されます。電圧モードのコンバータに対する帰還ループの詳細な設計方法については、「設計例」を参照してください。

設計のヒント：

帰還ループに対する補償を設計する際には、低インピーダンス補償ネットワークと長いネットワーク時定数が組み合わせられると、短絡スレッシュホールド設定が期待通りにならない場合があることに注意してください。短絡スレッシュホールド設定に影響しないことを補償するために、COMPとFBの間に接続されるネットワークの時定数とインピーダンスは、式(1)のようになります。

$$\frac{0.4V}{R_{FB}} \times e^{\left(\frac{t}{R_{FB} \times C_{FB}}\right)} < 10\mu A \quad (1)$$

ここで

- $t = 1ms$ (短絡スレッシュホールド設定回路のサンプリング時間)
- R_{FB} および C_{FB} は、帰還部品値です(例えば、設計例ではR3およびC4)。

発振回路

発振回路の周波数は、内部で固定されています。TPS40042の動作周波数は、公称600kHzです。

UVLO

入力電圧がUVLOスレッシュホールドを下回ると、TPS40042は内部発振回路をオフにし、すべてのゲート駆動出力を“Low”(オフ)に保持します。入力が上昇してUVLOスレッシュホールドを上回り、 \overline{EN} ピンがターンオン・スレッシュホールドを下回っている場合、スタートアップ・シーケンスの開始が可能になります。

イネーブルおよびスタートアップ・シーケンス

TPS40042の \overline{EN} ピンは、内部でVDDにプルアップされています。VDDに電力が印加されると、 \overline{EN} ピンが“High”にフローティング可能になり、TPS40042はオフに保持されます。 \overline{EN} ピンが外部で $(V_{VDD} - 1.2V)$ のスレッシュホールド電圧以下にプルダウンされた場合のみ、TPS40042は起動が可能です。イネーブルになると、TPS40042はキャリブレーション・サイクルに入り、短絡電流スレッシュホールドを決定します。TPS40042はCOMPピンからの電流を監視し、センスした電流値に基づいてスレッシュホールドを選択します。詳細については、「短絡電流制限スレッシュホールドの選択」を参照してください。このキャリブレーション時間が完了すると、ソフトスタート・サイクルを開始できます。下の図15を参照してください。

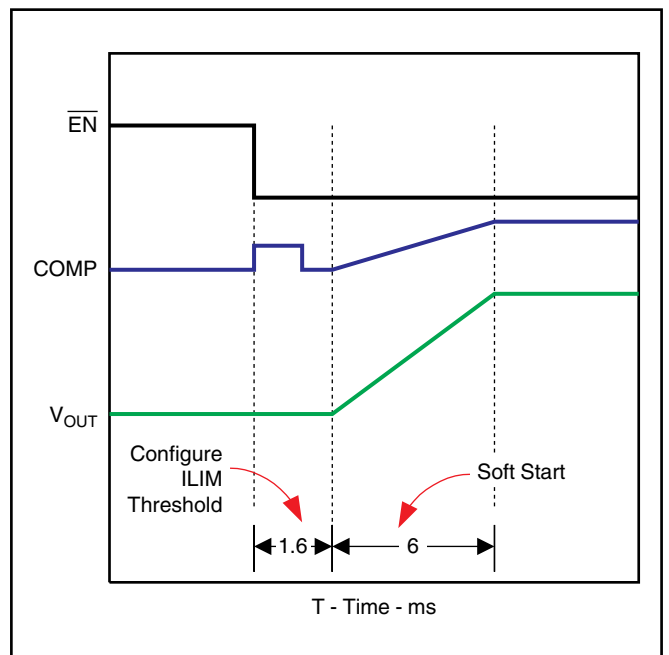


図15. $V_{REFIN} = 1.5V$ でのスタートアップ

設計のヒント：

イネーブル機能を使用しない場合、 $\overline{\text{EN}}$ ピンはグランド (GND) に接続する必要があります。

設計のヒント：

帰還ループ補償を設計する際には、使用するコンデンサがCOMPピンのキャリブレーション波形を歪めるほど大きくないことを確認してください。

ソフトスタート

キャリブレーション期間が終わると、TPS40042は、誤差増幅器の非反転入力への電圧をゆっくり増加させます。このようにして、出力電圧は、誤差増幅器の非反転入力の電圧が外部リファレンス電圧 (V_{REFIN}) に達するまで、ゆっくり上昇します。その後、誤差増幅器の非反転入力の電圧は、印加されたリファレンス電圧に維持されます。

ソフト・スタート期間中は、パルス毎の電流制限が適用されます。電流制限パルスが7回連続して検出されると、過電流が宣言され、7回のキャリブレーション/ソフトスタート・サイクルに等しいタイムアウト期間が開始されます。詳細については、「出力短絡保護」を参照してください。

異なるREFIN電圧レベルに対して出力電圧の上昇レートは一定であるため、実際のソフトスタート時間は、外部リファレンス電圧の値に直接比例します。誤差増幅器の非反転入力の上昇レートは、0.25V/msです。DC/DCコンバータの出力端子で測定される上昇レートは、出力電圧とリファレンス電圧の比だけ増加します。

$$t_{\text{SS}} = \left(\frac{V_{\text{REFIN}}}{1.5\text{V}} \right) \times 6.0\text{ms} \quad (2)$$

例えば、1.5Vの出力DC/DCコンバータに1Vの外部リファレンスを印加した場合、出力電圧レギュレーションまでのソフトスタート時間は4msとなります。

プリバイアス・スタートアップ

TPS40042は、プリバイアス出力電圧アプリケーションをサポートしています。TPS40042がオフの間も外部回路によって出力電圧が保持されている場合、出力電圧のソフトスタートの初期段階では完全な同期整流はディスエーブルされます。ソフトスタート中に最初のPWMパルスが検出されると、コントローラは、短いオン時間で同期整流器を起動することにより、同期整流をゆっくりと開始します。次に、そのオン時間が (1-D) で示される時間と一致するまで (Dは、コンバータのデューティ・サイクル)、オン時間をサイクルごとにインクリメントします。このアプローチにより、電流がプリバイアス出力からシンクされるのを防ぎ、出力電圧のスタートアップとレギュレーションまでの上昇が円滑に制御されるようにしています。

注：出力がプリバイアスされている場合、PWMパルスは、内部ソフトスタート電圧が誤差増幅器の入力 (FBピン) を上回ったときに開始されます。

下の図16は、PWMパルスの開始時のHDRVおよびLDRV出力信号の波形を示しています。HDRVがオフになると、ダイオードの整流がイネーブルになります。次のPWMサイクルを開始する前に、短いパルスの分だけLDRVがオンになります。各クロック・サイクルで、LDRVのリーディング・エッジが変調され、同期整流器のオン時間が増加します。最終的には、LDRVのリーディング・エッジがHDRVの立ち下がりエッジと一致して、完全な同期整流が実現します。コンバータの通常動作中は、TPS40042は完全な2象限ソース/シンク・モードで動作します。

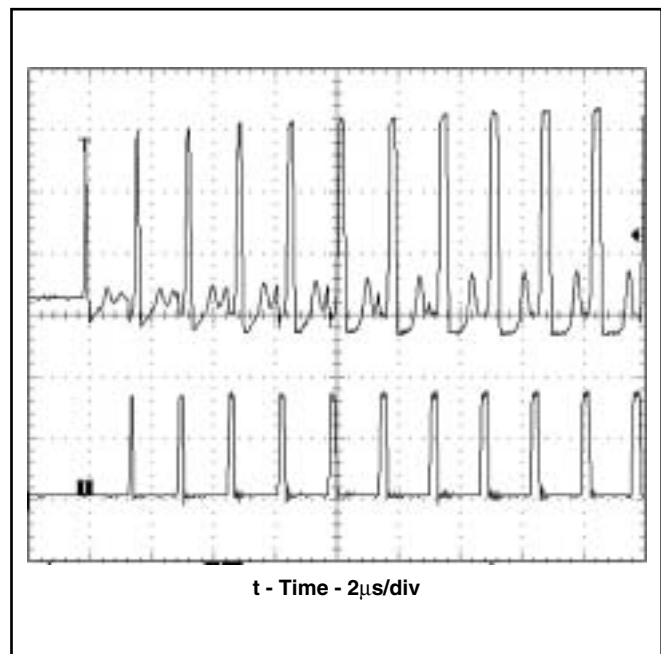


図16. ソフトスタート開始時のMOSFETドライバ

図17は、3つの異なるプリバイアス出力条件における1.2V出力コンバータの起動波形を示しています。一番下の波形は、出力にプリバイアスがない場合です。中央と一番上の波形は、それぞれ0.5Vおよび1.0Vのプリバイアス条件でのコンバータの起動を示しています。

推奨される出力電圧プリバイアス範囲は、最終的なレギュレーション電圧の90%以下です。最終レギュレーションの90%~100%のプリバイアス出力電圧では、プリバイアス・ソースから電流がシンクされる可能性があります。プリバイアス電圧がコンバータの設計レギュレーション電圧より大きい場合、ソフトスタート期間の完了時にTPS40042は同期整流器をオンにし、それにより出力から電流が引き込まれて出力電圧がレギュレーションに達します。この場合、レギュレーションに達する前に出力電圧に多少のアンダーシュートが生じる可能性があることに注意してください。

出力短絡保護

回路損失を最小限に抑えるために、TPS40042では上側MOSFETスイッチの $R_{DS(on)}$ を電流センス素子として使用します。電流制限コンパレータは、各スイッチング・サイクルの最初の部分では無効になっていますが、ハイサイドMOSFETが完全にオンになったときに、その両端の電圧を検知します。この電圧が、内部で選択された短絡電流(SCC)制限スレッショルド電圧と比較されます。コンパレータが、SCC制限スレッショルドより大きいハイサイドMOSFETでの電圧降下を検出する場合は、OCパルスを出力します。これにより、現在のPWMパルスが終了されて以降の電流上昇を防ぎ、次のクロック・サイクルで障害カウンタが1カウント・アップされます。同様に、OCパルスが検出されない場合は、障害カウンタが1カウント・ダウン

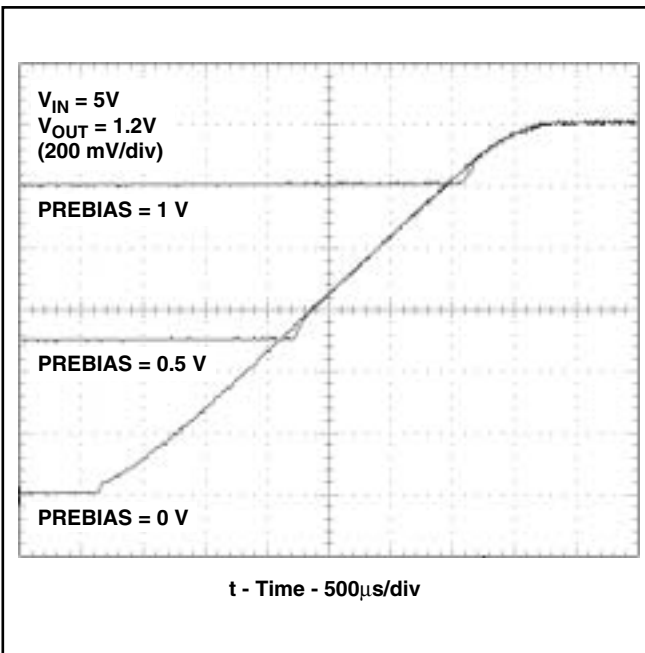


図17. 起動波形、VREFIN = 0.6V

されます。7個のOCパルスがカウントされると、障害状態が宣言され、チップのPWM出力の上側スイッチが直ちにディスエーブル(オフ)になり、障害タイムアウト期間が経過するまで、その状態に保持されます。障害タイムアウト期間中は、HDRVドライバとLDRVドライバの両方がオフに保持されます。

障害タイムアウト期間は、内部のソフトスタート期間を7回繰り返すことで実現されます。障害タイムアウト期間が終了すると、再度スタートアップが試みられます。

この機能の主な目的は、電源スイッチを障害からハード的に保護することです。内部のSCC電圧は、短絡スレッショルド公差の温度による変動を改善するように設計された、正の温度係数を持っています。ただし、電圧スレッショルドの公差とMOSFETの $R_{DS(on)}$ 範囲によって、外部MOSFETを熱的に損傷するような負荷が印加される可能性もあります。

短絡電流制限スレッショルドの選択

TPS40042は、ユーザが選択可能な3つの電圧スレッショルドのいずれかを使用します。パワーオンまたはイネーブル時のキャリブレーション期間中(図15)、TPS40042はCOMPピンからの電流を監視し、センスした値に基づいてスレッショルドを選択します。この電流がゼロ、つまり、COMPとGNDの間に抵抗が接続されていない場合は、スレッショルド電圧レベルが180mVになります。COMPとGNDの間に2.4kΩの抵抗が接続された場合、スレッショルド電圧レベルは105mVになります。COMPとGNDの間に12kΩの抵抗が接続された場合、スレッショルド電圧は310mVになります。

キャリブレーションが完了すると、選択されたSCPスレッショルド値がラッチされ、一定に保持されます。また、キャリブレーション中のCOMPピン上のセンス回路はCOMPピンから切断され、ソフトスタートが開始できるようになります。

同期整流とゲート駆動

バック・コンバータでは、上側スイッチMOSFETがオフになると、負荷への電流がインダクタを流れます。この電流は、無限大の電圧を使用しない限り、直ちに停止することはできません。この電流が流れるパスを提供し、電圧レベルを安全なレベルに保持するために、整流器またはキャッチ・ダイオードが使用されます。これには、ダイオードまたは制御されたアクティブ・デバイスを使用できます。TPS40042は、NチャネルMOSFETを同期整流器(SR)として駆動するための信号を備えています。この制御信号は、メイン・スイッチの駆動信号と慎重に連携され、SRがオフになってから上側スイッチMOSFETがオンになるまでのデッド・タイム、および上側スイッチMOSFETがオフになってからSRがオンになるまでの遅延時間を最小にしています。

注：整流器の導通期間中にダイオードが導通する時間が長いほど、コンバータの効率は低下します。

外部HDRVおよびLDRV MOSFETのドライバは、約5Vのゲート・ソース間電圧を駆動する能力があります。VDD = 5Vのとき、これらのドライバは15Aのコンバータに対して適切なMOSFET

を駆動できます。LDRVドライバはVDDとグラウンドの間で切り替わり、HDRVドライバはSWを基準とし、BOOTとSWの間で切り替わります。ドライバには、同期整流器でのボディ・ダイオード導通を最小限に抑えるために、アダプティブ遅延回路で制御される非オーバーラップ・タイミングが備えられています。

ゲート駆動抵抗

TPS40042のアダプティブ・ゲート遅延回路は、HDRV-SW間およびLDRV-GND間の電圧を監視して、外部MOSFETスイッチの状態を決定します。外部の直列ゲート駆動抵抗での電圧低下は、ターンオフ中のゲート電圧の低下としてセンサされ、MOSFETのタイミングに影響する可能性があります。

設計のヒント：

同期整流器のゲートと直列に抵抗を配置してはなりません。また、ゲートのパターンはレイアウト上可能な範囲でできるだけ短くする必要があります。

合計ゲート電荷

TPS40042がターンオフ・ターンオン間のデッド・タイムを制御するために使用する外部MOSFETゲート電圧の内部電圧センサは、大きなMOSFETゲート電荷に対して敏感です。特に、ハイサイドとローサイドのMOSFETで異なるゲート電荷が使用されている場合には、注意が必要です。ゲート電荷が増加すると、MOSFETのスイッチング時間が長くなり、MOSFETのスイッチング間のデッド・タイムは短くなります。

設計のヒント：

合計ゲート電荷が40nC以下のMOSFETを選択してください。ハイサイドMOSFETとローサイドMOSFETの間でターンオン/ターンオフ遅延のミスマッチを最小限に抑えるため、上側スイッチMOSFETのゲート電荷は、同期整流器のゲート電荷の60%以上とする必要があります。

同期整流器のdV/dtターンオン

上側のスイッチMOSFETがオンになると、スイッチ・ノードの電圧がグラウンド付近からVINまで非常に短い時間（標準で10ns～30ns）で上昇し、結果としてスイッチ・ノードに非常に高い電圧スパイクが生じます。MOSFETの製造時には、その端子間（特にゲート-ドレイン間とゲート-ソース間）に寄生容量が生じるため、ゲートを中点としたドレイン-ソース間の容量性デバイダが形成されます。ゲート-ドレイン間電荷 (Q_{GD}) がゲート-ソース間電荷 (Q_{GS}) より大きい場合、スイッチ・ノード電圧がGNDへのシャントよりも大きく上昇すると、容量性デバイダにより、それに比例して大きな電荷がMOSFETのゲートに蓄積されます。極端な場合には、同期整流器のゲート電圧がMOSFETのターンオン・スレッショルド電圧を超えて上昇し、クロス導通が生じる可能性があります。これを、dV/dtターンオンと呼びます。これは、ハイサイドMOSFETとローサイドMOSFETの両方で消費電力を増加させ、効率の低下につながります。

設計のヒント：

Q_{GD} と Q_{GS} の比が1未満の同期整流MOSFETを選択し、同期整流器のゲート駆動回路には幅の広い、低抵抗/低インダクタンスのループを提供してください。（「レイアウトに関する考慮事項」を参照）

設計のヒント：

ブースト・コンデンサと直列に抵抗を接続すると、ハイサイドMOSFETのターンオンが遅くなり、スイッチ・ノードのdV/dtが小さくなります。「ブースト・コンデンサの直列抵抗」を参照してください。

NチャネルMOSFET駆動のブートストラップ

PWMデューティ・サイクルは最大95%に制限され、各サイクルでブートストラップ・コンデンサを充電することができます。各PWMオフ期間中に、VDDの電圧によってブートストラップ・コンデンサが充電されます。PWMスイッチを次にオンにしたとき、MOSFETを駆動するための電圧が、このコンデンサの電圧から得られます。これは電荷転送回路であるため、サイクル毎にコンデンサに蓄えられるエネルギーが、使用されるMOSFETのゲート電荷要件よりも大きいように、ブートストラップ・コンデンサの値を決める必要があります。詳細については、「設計例」を参照してください。

ブートストラップ・コンデンサの直列抵抗

ハイサイド・ゲートに直列に抵抗を配置することはできないので、メイン・スイッチングMOSFETのターンオンを制御し、スイッチ・ノード電圧のdV/dt上昇レートを小さくするために、ブートストラップ・コンデンサと直列に $1\Omega \sim 3\Omega$ の小さな抵抗の追加が必要になる場合があります。BOOTピンとブートストラップ・コンデンサの間の抵抗は、ハイサイドMOSFETのターンオン中の直列抵抗を増加させ、ハイサイドMOSFETのターンオフ中は何も影響を与えません。これにより、TPS40042が上側スイッチMOSFETのターンオフを早すぎる時点でセンサするのを防ぎ、上側スイッチMOSFETのターンオフからSR MOSFETのターンオンまでの遅延時間が過度に短くなるのを防ぎます。

設計のヒント：

EMIを低減するには、ブースト・コンデンサと直列に $1\Omega \sim 3\Omega$ の小さな抵抗を配置して、メイン・スイッチングFETのオンを制御します。

低入力電圧に対する外部ショットキー・ダイオード

TPS40042は、同期整流器の導通時間中にブートストラップ・コンデンサを充電するために、VDDとBOOTの間に内部PチャネルMOSFETスイッチを使用しています。低入力電圧時には、MOSFETのターンオンが不十分なため、(ゲート電荷の高い)外部のハイサイドMOSFETのターンオンに必要な電荷を急速に補充することができません。このような状況では、VDDピンとBOOTピンの間に外部ショットキー・ダイオードを追加できます。このダイオードに流れる平均電流は非常に小さい($Q_G \times F_{SW}$)ですが、場合により、数百mAのピーク・サージ電流に対処する必要があります。このダイオードには、500mA以上のサージ電流定格が必要です。より入力電圧の高いアプリケーションで、ブースト・コンデンサと直列に抵抗を使用する場合は、抵抗とコンデンサの接合部にダイオードを接続して、コンデンサの充電パスから余分な抵抗を除去します。

設計のヒント：

低入力電圧で、上側スイッチMOSFETのゲート電荷が高い場合には、VDDとBOOTの間に小さなショットキー・ダイオードを配置してください。ブースト・コンデンサと直列に抵抗を配置してはなりません。

VDDのバイパスとフィルタリング

TPS40042の制御回路にスイッチング・ノイズが注入されるのを防ぐため、1 μ F以上のセラミック・コンデンサを、VDDピンとGNDパッドのできるだけ近くに配置する必要があります。

VDDフィルタ抵抗

VDDのノイズをさらに制限するために、入力電圧とVDDピンの間に1 Ω ~ 2 Ω の小さな抵抗を配置して、VDDに対する小さなフィルタを作成できます。この抵抗は、上側MOSFETのドレイン付近に接続し、センスされた電圧降下がパターンでのIR降下によって増大することを防ぎます。この抵抗は、ピン5の近くに配置する必要があります。

この抵抗を流れる電流には、デバイスの無負荷スイッチング電流2mAに加えて、ゲート・スイッチング電流が含まれています。この抵抗での電圧降下によって、デバイス内の電流保護回路でセンスされるVDD-SW間電圧が低下します。その結果、上側スイッチMOSFETでの見かけの電圧降下が増大するため、保護機能が作動する電流値が低くなります。この影響を最小限に抑えるには、電圧降下が25mV未満となるように抵抗値を選択する必要があります。

過熱シャットダウン

デバイスの接合部温度が過熱シャットダウン・レベルに達すると、PWMおよび発振回路がオフになり、HDRVおよびLDRVはオフになります。接合部が所定のレベルまで冷却されると、

PWMは、通常のパワーアップ・サイクル時と同様にソフトスタートを開始します。

パッケージ消費電力

コントローラ内の消費電力は、主にMOSFETドライバ電流と入力電圧に依存します。ドライバ電流は、外部MOSFETの合計ゲート電荷 Q_g とコンバータの動作周波数に比例します。合計消費電力は、次のようになります。

$$P_T = V_{DD} \times (I_q + f_{SW} \times (Q_{SW} + Q_{SR})) \quad (3)$$

ここで

- I_q は、無信号時動作電流です(ドライバは無視)。
- Q_{GSW} は、上側スイッチMOSFETの合計ゲート電荷です。
- Q_{GSR} は、同期整流器MOSFETの合計ゲート電荷です。

PowerPad™ パッケージの最大電力容量は、レイアウトおよびエアフローに依存します。参考文献^[5]では、2オンスの銅パターン、サーマル・パッドに半田付け、エアフローなし、という条件を仮定した、接合部-大気間の熱インピーダンスについて詳述されています。

PCBレイアウトのガイドライン

同期降圧型電源段には、2つの主要な電流ループがあります。高いAC不連続電流が流れる入力電流ループと、高いDC連続電流が流れる出力電流ループです。出力電流ループには、低いACインダクタ・リップル電流も流れます。

電源部品のルーティング

図18に示すように、入力電流ループには、入力コンデンサ、スイッチングMOSFET、インダクタ、出力コンデンサ、および入力コンデンサに戻るグラウンド・パスが含まれます。このループをできるだけ小さく保つためには、メイン・スイッチングMOSFETのドレインと同期整流器(SR)のソースとの間に、MOSFET直下のパワー・グラウンド・プレーンを通して、適切なセラミック・コンデンサを直接配置することを推奨します。

出力電流ループには、フィルタ・インダクタ、出力コンデンサ、および出力コンデンサと同期整流器MOSFETのソースとの間のグラウンド・リターンが含まれます。入力電流ループの場合と同様に、出力コンデンサ・グラウンドとSR MOSFETのソースとの間のグラウンド・リターンは、インダクタおよびMOSFETの下に配線することで、電源ループの面積を最小限に抑えます。

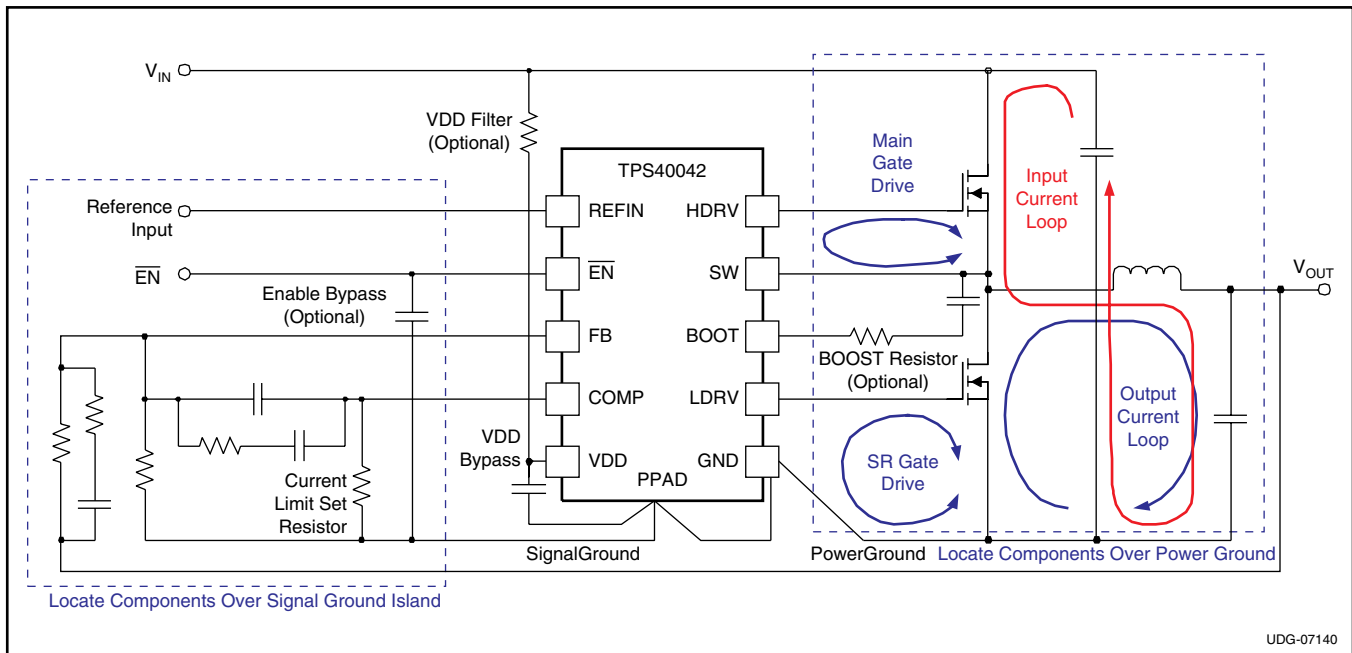


図18. 同期降圧型電源段

デバイスと電源段のインターフェイス

TPS40042では、電力損失を最小限に抑えるために、非常に高速なBreak-Before-Make型のクロス導通防止回路を使用しています。スイッチングMOSFETのゲートと直列に外部インピーダンスを追加することは、コンバータの動作に悪影響を及ぼすため、避ける必要があります。ループインピーダンス (HDRV-ゲート間 + ソース-SW間、およびLDRV-SRゲート間 + SRソース-GND間) は、クロス導通の可能性を避けるため、20nH未満に保持する必要があります。HDRVおよびLDRVの接続は、デバイスのピンから出た後できるだけすぐに、20mil幅に拡張される必要があります。

メイン・スイッチングMOSFETゲート駆動のリターンは、TPS40042のSWピンです。ループインピーダンスを最小限にするため、SWピンは、できるだけHDRVパターンに近接した20mils以上の広いパターンを使用して、メイン・スイッチングFETのソースに配線する必要があります。

SR MOSFETゲート駆動のリターンは、TPS40042のGNDパッドです。このGNDパッドは、LDRVパターン直下の20mil以上の広いパターンを使用して、SRのソースに直接接続する必要があります。複数の層を使用している場合、GNDパッドをSRのソースに接続するには、2つ以上の並列ビアを使用してください。

BOOTピンと直列に3Ω未満の小さな抵抗を追加すると、上側スイッチMOSFETのターンオンが遅くなり、スイッチ・ノードの立ち上がりエッジのスルーレートを小さくできます。その結果、EMIが低減し、上側MOSFETのオフからSRのオンまでのデッド・タイムが増加し、上側スイッチMOSFETのターンオンによるSRのdV/dtターンオンが最小となります。この抵抗を使用するように基板を準備し、MOSFETのゲート・リードと直列の抵抗は使用しないことを推奨します。

VDDフィルタリング

1μF以上のセラミック・コンデンサを、幅15mil以上のパターンで、VDDピンおよびGNDパッドのできるだけ近くに配置する必要があります。入力電圧とVDDピンの間に小さな直列接続抵抗 (1Ω ~ 2Ω) を、TPS40042から100mil未満の近傍に配置すると、VDDピン上のスイッチング・ノイズをさらに低減できます。

注：この抵抗での電圧降下は、センスされたVDD電圧のフィルタリングにより過電流回路が動作するレベルに影響を与えません。

デバイス接続

電流制限抵抗を使用 (COMP-GND間) する場合は、PWMコンパレータへのノイズ注入を制限するため、COMPピンから100mil以内の距離に配置する必要があります。補償部品 (帰還デバイダおよび関連した誤差増幅器部品) は、10mil幅のパターンを通してGNDパッドで電源グラウンドに接続された信号グラウンド・アイランド上に配置してください。複数の層を使用する場合は、同期整流器のソースへの接続に相対した内部の層で、単一のビアを通してGNDに接続します。

PowerPAD™レイアウト

PowerPAD™パッケージは、デバイスからの放熱を助けるために、低い熱インピーダンスを持っています。PowerPAD™の名称と低い熱インピーダンスは、デバイスの底面の大きなボンディング・パッドに由来しています。回路基板上では、パッケージの下に半田錫めっき銅領域が必要です。この領域の大きさは、PowerPAD™パッケージのサイズによって決まります。詳細については、「PCBレイアウトのガイドライン」を参照してください。

サーマル・ビアを使用して、この領域を内部または外部の銅プレーンに接続します。ビアのパレルを銅でめっきしたときにビア・ホールが確実にふさがれるように、ビアのドリル径は十分に小さくしてください。このようにビア・ホールをふさぐのは、半田リフロー中に、パッケージ本体とデバイス下部の半田錫めっき領域との間の界面から半田の這い上がりを防ぐためです。ビアのパレルを同時にめっきしながら基板表面に1オンスの銅をめっきする場合、ドリル径は0.33 mm (13mil) で十分です。銅めっき時にサーマル・ビアがふさがれない場合は、半田マスク材料を使用して、ビア直径より0.1mm以上大きな直径でビアをふさいでください。それにより、サーマル・ビアを通して半田が這い上がるのを防ぎ、パッケージの下に半田空隙が発生しないようにします。PowerPAD™パッケージの詳細については、“PowerPAD™ Thermally Enhanced Package”^[2]を参照してください。

設計例

例1. TPS40042を使用した5Vから1.8VへのDC/DCコンバータ

この例では、5Vから0.9VへのDDR終端同期バック・コンバータに対する設計プロセスおよび部品選択を示します。設計目標パラメータを下の表に示します。この節の終わりに、記号の定義を示しています。

インダクタの選択

インダクタは一般に、30%のピークツーピーク・リップル電流 (I_{RIPPLE}) に対してサイズが選択されます。この目標リップル電流により、必要なインダクタ・サイズは次の式 (4) で計算されます。

$$L = \frac{V_{IN(max)} - V_{OUT}}{0.3 \times I_{OUT}} \times \frac{V_{OUT}}{V_{IN(max)}} \times \frac{1}{F_{SW}} \quad (4)$$

$V_{IN(max)} = 5.5V$ を代入すると、 $0.69\mu H$ のインダクタ値が求められます。標準値として $0.8\mu H$ が選択され、ピークツーピーク・リップルが $1.56A$ となります。インダクタを流れるRMS電流は、次の式 (5) で近似されます。

$$\begin{aligned} I_{L(rms)} &= \sqrt{(I_{L(avg)})^2 + \frac{1}{12}(I_{RIPPLE})^2} \\ &= \sqrt{(I_{OUT})^2 + \frac{1}{12}(I_{RIPPLE})^2} \end{aligned} \quad (5)$$

式(5)により、インダクタ内の最大RMS電流は約6Aとなります。

設計目標パラメータ

記号	パラメータ	測定条件	MIN	TYP	MAX	単位
V_{IN}	Input voltage		4.5		5.5	V
$V_{IN(ripple)}$	Input ripple	$I_{OUT} = 6A$			75	mV
V_{OUT}	Output voltage	$I_{OUT} = 0A, V_{IN} = 5V$		0.9		V
	Line regulation	$V_{IN} = 4.5A \sim 5.5V$		0.5%		
	Load regulation	$I_{OUT} = 0A \sim 6A$		0.5%		
V_{RIPPLE}	Output ripple	$I_{OUT} = 6A$			36	mV
V_{TRANS}	Transient deviation	$I_{OUT} = -2A \sim 2A, I_{OUT} = 2A \sim -2A$		40		
I_{OUT}	Output current	$V_{IN} = 4.5V \sim 5.5V$	-6		6	A
F_{SW}	Switching frequency			600		kHz
	Size				1	ln ²

この例では、図19に示した回路を使用します。

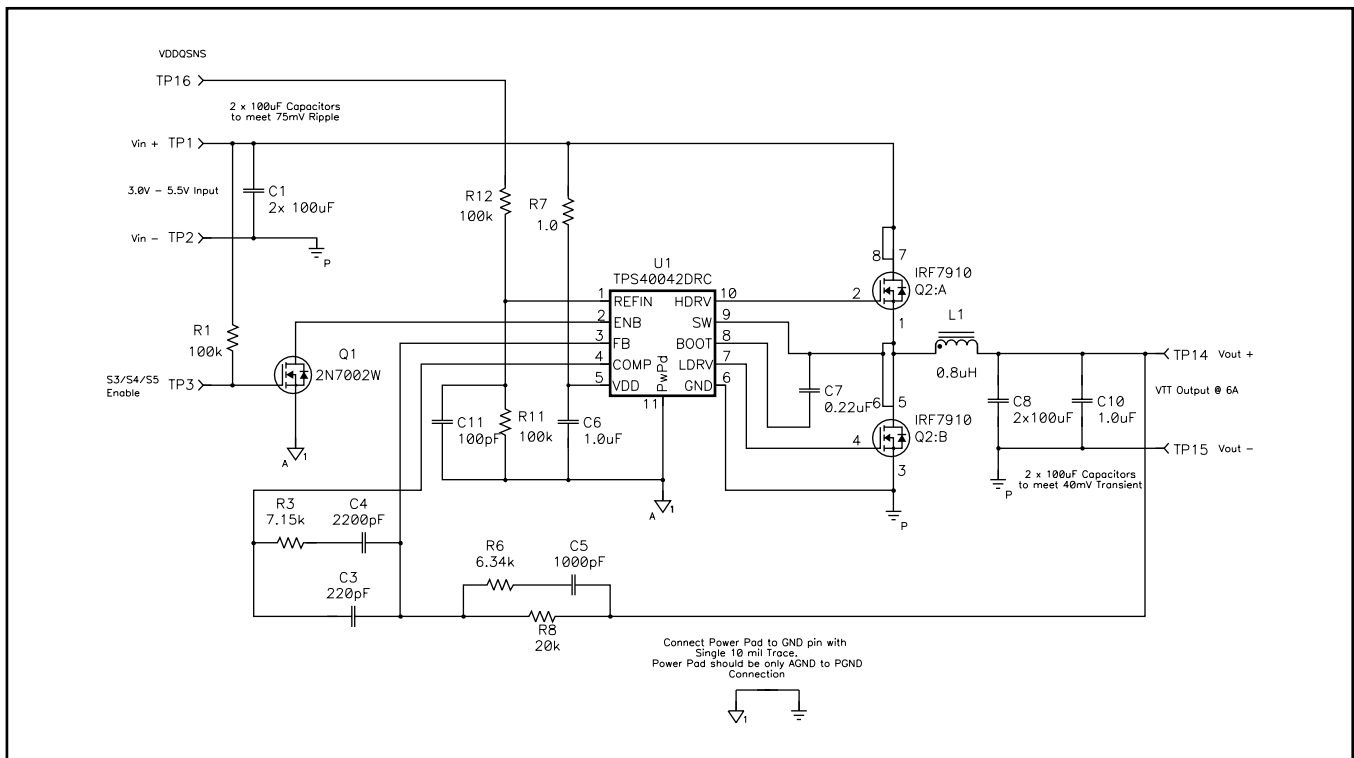


図19. TPS40042の回路例

出力コンデンサの選択 (C8、C9)

出力コンデンサは、一般に出力負荷過渡応答要件に基づいて選択されます。式 (6) と式 (7) を使用して、所定の出力電圧過渡偏差に対して必要な出力容量を見積もります。

$$C_{OUT(min)} = \frac{I_{TRAN(max)}^2 \times L}{(V_{IN(min)} - V_{OUT}) \times V_{TRAN} \times 2} \text{ when } V_{IN(min)} < 2 \times V_{OUT} \quad (6)$$

$$C_{OUT(min)} = \frac{I_{TRAN(max)}^2 \times L}{V_{OUT} \times V_{TRAN} \times 2} \text{ when } V_{IN(min)} > 2 \times V_{OUT} \quad (7)$$

この例では、式 (7) を使用して最小出力容量を計算します。

負荷過渡電流が4A、偏差が最大40mVとして、必要な最小出力容量は177μFとなります。

出力リップルは、2つの成分に分けられます。1つは、出力コンデンサの容量を流れるインダクタ・リップル電流によって生成されるリップル電圧であり、もう1つは、出力コンデンサのESRを流れるリップル電流によって生成される電圧です。許容される最大ESRは、最大リップル電圧によって決まり、次の式 (8) で近似されます。

$$ESR_{MAX} = \frac{V_{RIPPLE(total)} - V_{RIPPLE(cap)}}{I_{RIPPLE}} = \frac{V_{RIPPLE(total)} - \left(\frac{I_{RIPPLE}}{C_{OUT} \times F_{SW}} \right)}{I_{RIPPLE}} \quad (8)$$

177μFの容量、1.56Aのリップル電流、600kHzのスイッチング周波数、および36mVの設計目標リップル電圧に基づいて、最大ESRは13.6mΩと計算されます。2個の1206 (100μF、6.3V) X5Rセラミック・コンデンサを選択することで、13.6mΩよりずっと小さなESRが得られています。

インダクタのピーク電流定格

出力容量が既知であれば、スタートアップ時の充電電流を計算し、インダクタの最小飽和電流定格を決定することが可能です。スタートアップ時の充電電流は、次の式 (9) で近似されます。

$$I_{CHARGE} = \frac{V_{OUT} \times C_{OUT}}{T_{SS}} \quad (9)$$

TPS40042のソフトスタート時間5ms、 $C_{OUT} = 200\mu F$ 、および $V_{OUT} = 0.9V$ に基づいて、 $I_{CHARGE} = 40mA$ となります。これにより、インダクタのピーク電流定格は次の式 (10) で求められます。

$$I_{L(peak)} = I_{OUT(max)} + \frac{1}{2} (I_{RIPPLE}) + I_{CHARGE} \quad (10)$$

インダクタの要件を次の表にまとめます。

インダクタの要件

パラメータ	記号	値	単位
Inductance	L	0.8	μH
RMS current (thermal rating)	$I_{L(rms)}$	6.0	A
Peak current (saturation rating)	$I_{L(peak)}$	7.08	

小さなサイズ、低DCR、および高い電流処理能力により、PG0083.801、0.8μHが選択されています。

入力コンデンサの選択 (C1、C2)

入力電圧リップルは、容量とESRの間で分割されます。この設計では、 $V_{RIPPLE(CAP)} = 50mV$ 、および $V_{RIPPLE(ESR)} = 25mV$ です。最小容量および最大ESRは、次の式 (11)、(12) で見積もることができます。

$$C_{IN(max)} = \frac{I_{LOAD} \times V_{OUT}}{V_{RIPPLE(cap)} \times V_{IN} \times F_{SW}} \quad (11)$$

$$ESR_{MAX} = \frac{V_{RIPPLE(ESR)}}{I_{LOAD} + \frac{1}{2} (I_{RIPPLE})} \quad (12)$$

この設計では、 $C_{IN} > 60\mu F$ 、および $ESR < 3.5m\Omega$ です。入力コンデンサのRMS電流は、次の式 (13) で見積もることができます。

$$I_{RMS(cin)} = I_{IN(rms)} - I_{IN(avg)} = \sqrt{\left[(I_{OUT})^2 + \frac{1}{12} (I_{RIPPLE})^2 \right] \times \frac{V_{OUT}}{V_{IN}}} - \frac{V_{OUT} \times I_{OUT}}{V_{IN}} \quad (13)$$

$V_{IN} = V_{IN(max)}$ のとき、入力コンデンサは1.56A_{RMS}のリップル電流をサポートする必要があります。2mΩのESRおよび2A_{RMS}の電流定格を持つ2個の1206 (100μF) X5Rセラミック・コンデンサが選択されています。コンデンサが動作電圧で十分な容量を提供するように、DCバイアス電圧のディレーティング曲線を確認することが重要です。

MOSFETスイッチの選択 (Q1、Q2)

上側スイッチMOSFETのスイッチング損失は、次の式(14)で見積もることができます。

$$P_{G1SW} = \frac{1}{2} \times V_{IN} \times I_{OUT} \times (T_{RISE} + T_{FALL}) \times F_{SW}$$

$$= V_{IN} \times I_{OUT} \times \frac{Q_{GS2_Q1} + Q_{GD_Q1}}{V_{DD} - V_{TH}} \times \frac{1}{R_{DRIVE}} \times F_{SW} \quad (14)$$

この設計の場合、低入力電圧ではゲート駆動電流が低いいため、スイッチング損失が大きくなります。両方のMOSFETでの合計損失が1Wで、合計MOSFET損失の20%がスイッチング損失となるよう設計する場合、最大のゲート-ドレイン間電荷は次式(15)のように見積もることができます。

$$Q_{GS2_Q1} + Q_{GD_Q1} < \frac{P_{G1SW}}{V_{IN} \times I_{OUT}} \times \frac{V_{DD} - V_t}{R_{DRIVE}} \times \frac{1}{F_{SW}} \quad (15)$$

ゲート・スレッシュホールドの低いMOSFETに対して、TPS40042の駆動抵抗が5Ωおよび3Ωである場合、 $Q_{GS2} + Q_{GD}$ の最大値は10.8nCと見積もられます。

上側スイッチMOSFETでの導通損失は、MOSFETに流れるRMS電流とその $R_{DS(on)}$ との積によって求められます。

$$P_{CON_Q1} = D \times \left[(I_{OUT})^2 + \frac{1}{12} (I_{RIPPLE})^2 \right] \times R_{DS(on)}$$

$$= \frac{V_{OUT}}{V_{IN}} \times I_{L(rms)}^2 \times R_{DS(on_Q1)} \quad (16)$$

MOSFETの合計損失の約30%をハイサイドの導通損失と見積もると、ハイサイドMOSFETの最大 $R_{DS(on)}$ は、次の式(17)によって見積もられます。

$$R_{DS(on_Q1)} = \frac{P_{CON_Q1}}{I_{L(rms)}^2 \times \frac{V_{OUT}}{V_{IN}}} \quad (17)$$

この設計では、 $I_{L_RMS} = 6A_{RMS}$ および4.5V ~ 0.9Vであるため、上側スイッチMOSFETに対して $R_{DS(on_Q1)} < 39m\Omega$ となります。

MOSFETの合計損失の50%をSRの導通損失と見積もり、式(14)を再び使用します。それにより、SRの最大 $R_{DS(on)}$ を次の式(18)で計算します。

$$R_{DS(on_Q2)} = \frac{P_{CON_Q2}}{I_{L(rms)}^2 \times \left(1 - \frac{V_{OUT}}{V_{IN}} \right)} \quad (18)$$

この設計では、5.5V ~ 0.9Vで $I_{L_RMS} = 6A$ であり、 $R_{DS(on_Q2)} < 15.9m\Omega$ となります。MOSFETの要件を次の表にまとめます。

MOSFETの要件

パラメータ	記号	値	単位
High-side FET $R_{DS(on)}$	$R_{DS(on_Q1)}$	39	mΩ
High-side FET turn-on charge	$Q_{GS2_Q1} + Q_{GD_Q1}$	10.8	nC
Low-side FET $R_{DS(on)}$	$R_{DS(on_Q2)}$	15.9	mΩ

IRF7910は4.5Vのゲート駆動で $R_{DS(on_max)}$ が15mΩ、 Q_{GD} が6.2nC、 Q_{GS2} が2nCです。

ブートストラップ・コンデンサ (C7)

上側スイッチFETゲートの適切な充電を確保するために、ブートストラップ・コンデンサのリプル電圧は、最小ゲート駆動電圧3.0Vの5%未満に制限します。

$$C_{BOOST} = \frac{20 \times Q_{GS_Q1}}{V_{IN(min)}} \quad (19)$$

最大合計ゲート電荷が26nCのIRF7910 MOSFETに基づき、最小容量116nFと計算されています。これより大きな最も近い標準値220nFを選択します。

VDDバイパス・コンデンサ (C6)

VDDに対して、1.0μFのセラミック・バイパス・コンデンサを選択します。

VDDフィルタ抵抗 (R7)

VDDと直列にオプションの抵抗を追加すると、デバイスからのスイッチング・ノイズのフィルタリングに役立ちます。2個のIRF7910 MOSFETを駆動し、それぞれの標準合計 Q_G を17nCとすると、最大IDD電流が22mAと計算されます。式(19)の結果により1Ωの抵抗が選択され、この抵抗での電圧降下は25mV未満に制限されます。

$$R_{VDD} < \frac{V_{RVDD(max)}}{I_{DD}} = \frac{25mV}{2mA + (Q_{G_Q1} + Q_{G_Q2})F_{SW}} \quad (20)$$

短絡保護 (R2)

TPS40042は、オン時間中の上側スイッチMOSFETでの順方向電圧降下を使用して、インダクタ電流を測定します。ハイサイドMOSFETでの電圧降下は、次の式 (21) で与えられます。

$$V_{CS} = I_{L(\text{peak})} \times R_{DS(\text{on_Q1})} \quad (21)$$

$V_{IN} = 4.5V \sim 5.5V$ のとき、 $I_{L_PEAK} = 7.2A$ です。IRF7910 MOSFETを使用する場合、ピーク電圧降下は108mVと計算されます。TPS40042内部の3100ppmの温度係数により、MOSFETの $R_{DS(\text{on})}$ 温度係数が補償されます。この設計では、R2 = オープンを選択することで、180mVの短絡保護電圧スレッシュホールドを選択しています。

REFINデバイダ抵抗

DDR2アプリケーションでは、 $V_{IT} = 1/2 V_{DDQ}$ です。R11 = R12 = 100k Ω の2:1抵抗デバイダによって V_{REFIN} が提供されます。バッファを使用して V_{TT_REF} を提供する場合は、バッファの出力をTPS40042の V_{REFIN} に接続して、 V_{TT_REF} から V_{IT} へのオフセットを最小限に抑えます。

REFINバイパス・コンデンサ

V_{TT_REF} とGNDの間にコンデンサを接続することで、REFIN入力から V_{DDQ} ノイズが除去されます。このコンデンサは、式 (22) で選択されます。

$$C_{11} = \frac{\left[\left(\frac{1}{R_{11}} \right) + \left(\frac{1}{R_{12}} \right) \right]}{2\pi \times BW_{REFIN}} \quad (22)$$

帯域幅 $BW_{REFIN} = 30kHz$ の場合、 C_{11} は106pFと計算され、100pFのセラミック・コンデンサを使用します。

帰還ループ設計

帰還回路の設計には、小信号平均モデリングの手法を採用します。この手法の詳細については、参考文献を参照してください。

電源段のモデリング

電气的特性表に示されるピークツーピーク・ランプ電圧により、変調器ゲインを次の式 (23) ように計算できます。

$$A_{MOD} = \frac{V_{IN}}{V_{RAMP(p-p)}} \quad (23)$$

この設計では、変調器ゲインが7.3 (17.3dB) となります。LCフィルタにより、共振周波数で二重極が得られます。

$$F_{RES} = \frac{1}{2 \times \pi \times \sqrt{L \times C}} \quad (24)$$

この設計では、共振周波数が約11.3kHzです。それより低い周波数では、電源段は17.3dBのDCゲインを持ち、それより高い周波数では、電源段のゲインは-40dB/decadeの割合で低下します。ESRゼロは次の式 (25) で近似されます。

$$F_{ESR} = \frac{1}{2 \times \pi \times C_{OUT} \times R_{ESR}} \quad (25)$$

$C_{OUT} = 2 \times 100\mu F$ および $R_{ESR} = 2.5m\Omega$ に対して、 $F_{ESR} = 318kHz$ となります。これはスイッチング周波数の1/5より大きく、誤差増幅器設計の範囲外です。電源段のゲインは、 F_{ESR} 以上で-20dB/decadeに変化します。電源段ゲインの直線近似を図20に示します

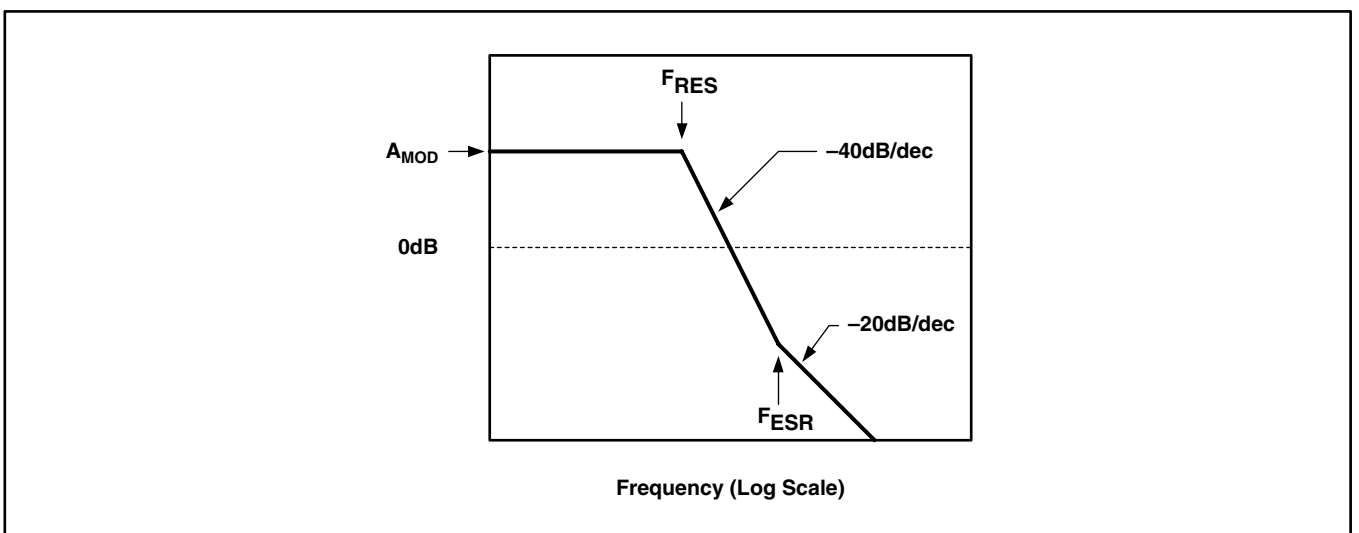


図20. 電源段周波数応答の直線近似

帰還デバイダ

R8は、10kΩ ~ 100kΩの範囲で選択します。この設計では、20kΩを選択します。VTTトラッキング出力 ($V_{OUT} = V_{REFIN}$) では帰還デバイダを必要としませんが、誤差増幅器への入力インピーダンスを提供するためにR8は必要です。

誤差増幅器の極/ゼロの選択

共振周波数の約80%の位置に2つのゼロを配置することにより、実際の共振周波数をLおよびCの公差範囲にわたってこの2つのゼロより上に保持します。F_{RES} = 11.3kHzの場合、F_{Z1} = 9.0kHz、F_{Z2} = 7kHzとなります。制御ループのクロスオーバー周波数 (F_{CO}) は、LCフィルタ共振周波数の3倍~スイッチング周波数の1/5の範囲内で選択します。ほとんどのアプリケーションでは、スイッチング周波数の1/10を選択すれば、設計の容易さと過渡応答の速さとの間で良好なバランスが得られます。

F_{ESR} < F_{CO}の場合、F_{P1} = (1/2) F_{CO}、F_{P2} = 2 × F_{CO}です。

F_{ESR} > 2 × F_{CO}の場合、F_{P1} = F_{CO}、F_{P2} = 4 × F_{CO}です。

この設計では、F_{SW} = 600kHzであるため、F_{RES} = 11.3kHz、F_{ESR} = 318kHzとなります。

F_{CO} = 60kHzであり、F_{ESR} > 2 × F_{CO}であるため、F_{P1} = F_{CO} および F_{P2} = 4 × F_{CO}となります。

F_{CO} < F_{ESR}であるため、必要なクロスオーバーでの電源段ゲインは、次の式 (26) で近似できます。

$$A_{PS(fcc)} = A_{MOD} - 40 \times \text{LOG} \left(\frac{F_{CO}}{F_{RES}} \right) \quad (26)$$

A_{PS} (F_{CO}) = -11.7dBとなり、2つの極間の誤差増幅器ゲインは10^(11.7/20) = 3.84となります。

誤差増幅器のゲインがF_{SW}で0dBより大きい場合、コンバータは安定したバイモダル動作を行う可能性があります。このとき、デューティ・サイクルは2つの安定した値の間で交互に切り替わり、出力は (1/2) F_{SW}の出力リップル成分でレギュレーションされます。この効果を防止するには、次の式 (27) でF_{P2}をチェックします。

$$F_{P2(max)} = \frac{F_{SW}}{A_{MID(band)}} \quad (27)$$

F_{P2} > F_{P2(max)}であるため、この制御ループはバイモダル動作を行う可能性があります。このバイモダル動作を防ぐには、F_{CO}を低くして、A_{PS} (F_{CO})、F_{P1}、F_{P2(max)}を再計算します。

今回はF_{CO} = 40kHzとして、A_{MID-BAND} = 1.48、F_{P1} = 25kHz、F_{P2} = 100kHzとなります。

誤差増幅器の補償ネットワークの設計条件を次の表にまとめます。

誤差増幅器補償ネットワーク

パラメータ	記号	値	単位
First zero frequency	F _{Z1}	9	kHz
Second zero frequency	F _{Z2}	9	
First pole frequency	F _{P1}	25	
Second pole frequency	F _{P2}	100	
Mid-band gain	A _{MID-BAND}	1.48	V/V

帰還部品 (R3、R6、C3、C4、C5)

C5は次の式 (28) で近似します。

$$C5 = \frac{1}{2 \times \pi \times R8 \times F_{Z2}} \quad (28)$$

C5 = 1000pf (計算値884pFより大きな最も近い標準コンデンサ値) であり、R6は次の式 (29) で近似します。

$$R6 = \frac{1}{2 \times \pi \times C5 \times F_{P1}} \quad (29)$$

R6 = 6.34kΩ (計算値6.37kΩに最も近い標準抵抗値) となり、R3は次の式 (30) で計算します。

$$R3 = \frac{A_{MID(band)} \times (R6 \times R8)}{R6 + R8} \quad (30)$$

A_{MID_BAND} = 1.48、R6 = 6.34kΩ、R8 = 20kΩにより、R3 = 7.15kΩ (計算値7.12kΩに最も近い標準抵抗値) となり、C3およびC4は次の式 (31)、(32) で計算します。

$$C4 = \frac{1}{2 \times \pi \times R3 \times F_{Z1}} \quad (31)$$

$$C3 = \frac{1}{2 \times \pi \times R3 \times F_{P2}} \quad (32)$$

R3 = 7.15kΩに対して、C3 = 220pF (222pFに最も近い標準値)、C4 = 2200pF (2473pFに最も近い標準値) となります。

誤差増幅器の直線近似伝達関数は、図21のようになります。

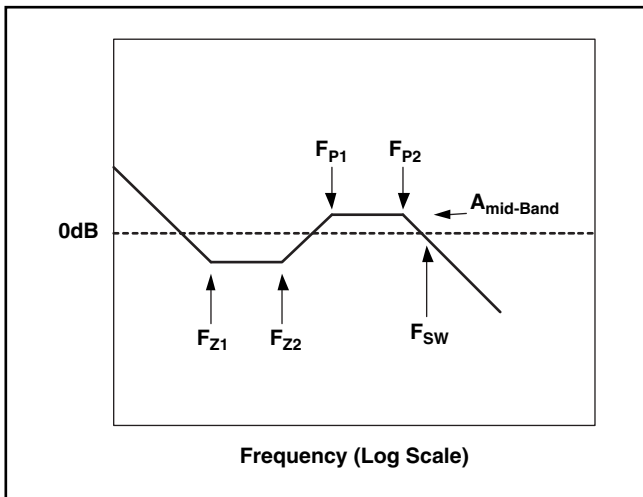


図21. 誤差増幅器周波数応答の直線近似

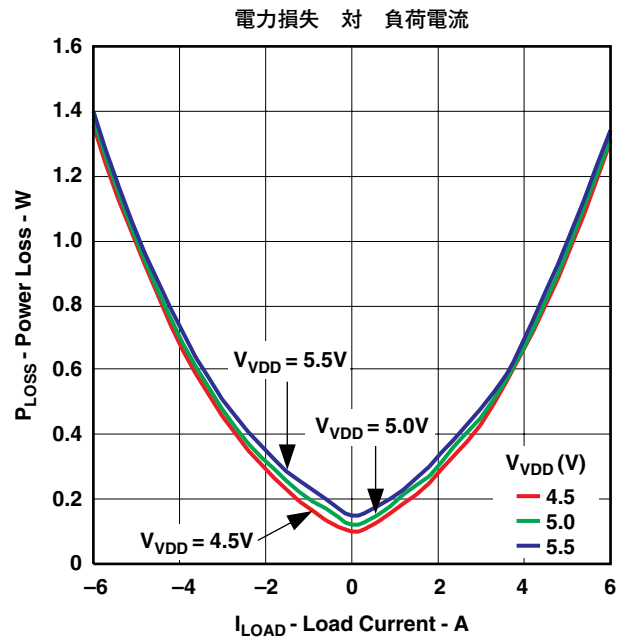


図22

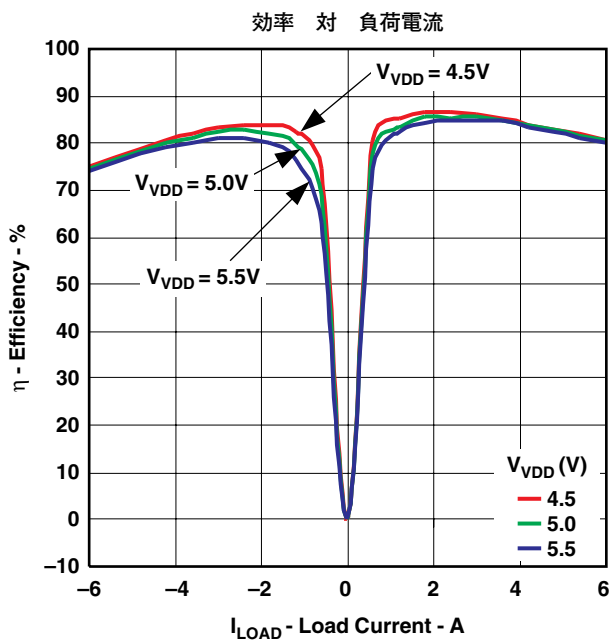


図23

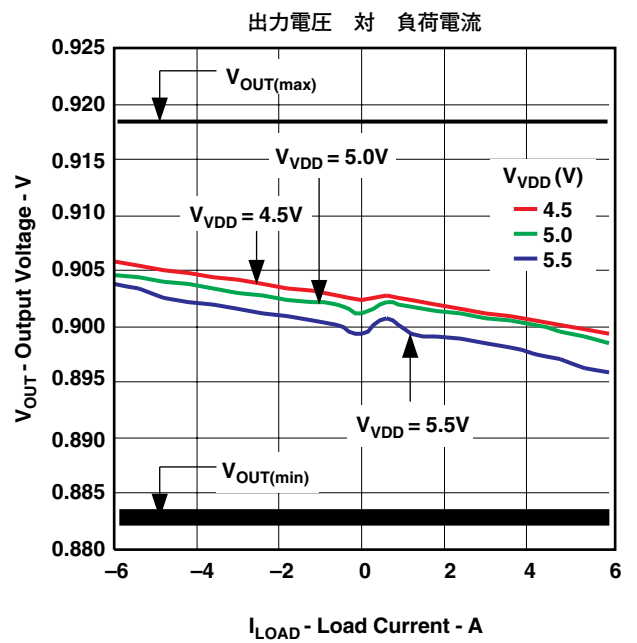


図24

部品表

記号	数量	説明	メーカー	部品番号
C1	2	Capacitor, ceramic, 6.3V, X5R, 20%, 100 μ F, 1210	TDK	C325X5R0J107M
C3	1	Capacitor, ceramic, 50V, X7R, 20%, 220pF, 0402	TDK	C1005C01H221M
C4	1	Capacitor, ceramic, 50V, X7R, 20%, 2200pF, 0402	TDK	C1005X7R1H222M
C5	1	Capacitor, ceramic, 50V, X7R, 20%, 1000pF, 0402	TDK	C1005X7R1H102M
C6	1	Capacitor, ceramic, 6.3V, X5R, 20%, 1.0 μ F, 0402	TDK	C1005X7R0J105M
C7	1	Capacitor, ceramic, 6.3V, X5R, 20%, 0.22 μ F, 0402	TDK	C1005X7R0J224M
C8	2	Capacitor, ceramic, 6.3V, X5R, 20%, 100 μ F, 1210	TDK	C3225X5R0J107M
C10	1	Capacitor, ceramic, 6.3V, X5R, 20%, 1.0 μ F, 0402	TDK	C1005X7R0J105M
C11	1	Capacitor, ceramic, 50V, X7R, 20%, 100pF, 0402	TDK	C1005C01H101M
L1	1	Inductor, SMT, 0.8 μ H, 12A, 6.6m Ω , ED1514, 0.268 x 0.268	Pulse	PG0083.801
Q2	1	MOSFET, dual N-channel, 20V, 6.6A, 29m Ω , 1.0 μ H, SO8	IR	IRF7910
R3	1	Resistor, chip, 1/16W, 1%, 7.15k Ω , 0402	Std	Std
R6	1	Resistor, chip, k 1/1W, 1%, 6.34k Ω , 0402	Std	Std
R7	1	Resistor, chip, k, 1/16W, 1%, 1.0 Ω , 0402	Std	Std
R8	1	Resistor, chip, k 1/16W, 1%, 20k Ω , 0402	Std	Std
R11	1	Resistor, chip, 100k Ω , 1/16W, 1%, 100k Ω , 0402	Std	Std
R12	1	Resistor, chip, 100k Ω , 1/16W, 1%, 100k Ω , 0402	Std	Std
U1	1	Device, Low Voltage DC to DC Synchronous Buck Controller, TPS40042DRC, SON-10P	TPS40042DRC	TI
Active High Enable Circuit				
R1	1	Resistor, chip, 100k Ω , 1/16W, 1%, 100k Ω , 0402	Std	Std
Q1	1	Mosfet, N-channel, VDS 60V, RDS 2 Ω , ID 115mA, 2N7002W, SOT-323 (SC-70)	Diodes Inc	2N7002W-7

記号の定義

記号	説明
$V_{IN(max)}$	最大動作入力電圧
$V_{IN(min)}$	最小動作入力電圧
$V_{INRIPPLE}$	V_{IN} のピークツーピークACリップル電圧
V_{OUT}	目標出力電圧
$V_{OUTRIPPLE}$	V_{OUT} のピークツーピークACリップル電圧
$I_{OUT(max)}$	最大動作負荷電流
I_{RIPPLE}	出力フィルタのインダクタを流れるピークツーピーク・リップル電流
I_{L_PEAK}	出力フィルタのインダクタを流れるピーク・リップル電流
I_{L_RMS}	出力フィルタのインダクタを流れる2乗平均平方根電流
I_{RMS_CIN}	入力コンデンサの2乗平均平方根電流
F_{SW}	スイッチング周波数
F_{CO}	目的の制御ループ・クロスオーバー周波数
A_{MOD}	パルス幅変調器の低周波ゲイン
$V_{CONTROL}$	PWM制御電圧 (誤差増幅器出力電圧 - V_{COMP})
F_{RES}	L-Cフィルタ共振周波数
F_{ESR}	出力コンデンサのESRゼロ周波数
F_{P1}	誤差増幅器補償の最初の極周波数
F_{P2}	誤差増幅器補償の2番目の極周波数
F_{Z1}	誤差増幅器補償の最初のゼロ周波数
F_{Z2}	誤差増幅器補償の2番目のゼロ周波数
Q_{G1_Q1}	上側スイッチMOSFETの合計ゲート電荷
Q_{G2_Q2}	同期整流器MOSFETの合計ゲート電荷
$R_{DS(on_Q1)}$	上側スイッチMOSFETのドレイン-ソース間オン抵抗
$R_{DS(on_Q2)}$	同期整流器MOSFETのドレイン-ソース間オン抵抗
P_{CON_Q1}	上側スイッチMOSFETの導通損失
P_{SW_Q1}	上側スイッチMOSFETのスイッチング損失
P_{CON_Q2}	同期整流器MOSFETの導通損失
Q_{GD_Q1}	上側スイッチMOSFETのゲート-ドレイン間電荷
Q_{GS2_Q1}	上側スイッチMOSFETのスレッシュホールド後のゲート-ソース間電荷 (MOSFETのデータシートに記載がない場合は、QG対VGSから見積もる)
V_{FB}	FBピンで測定された内部リファレンス電圧
V_{RAMP_slope}	内部PWMランプの傾き
$A_{PS(Fco)}$	目的のループ・クロスオーバー周波数での $V_{COMP} - V_{OUT}$ 間ゲイン (dB)
$A_{MID-BAND}$	目的のループ・クロスオーバー周波数での $V_{OUT} - V_{COMP}$ 間ゲイン (V/V)
BW_{REFIN}	REFIN入力での目的の周波数帯域幅

参考資料

関連部品

以下のデバイスは、TPS40042と同様な特性を持っています。

関連部品

デバイス	説明
TPS40007/9	Predictive Gate Drive [®] 対応、低電圧同期バック・コントローラ
TPS40021	Predictive Gate Drive [®] 対応、低電圧同期バック・コントローラ
TPS40040/1	低電圧同期バック・コントローラ

参考文献

以下の参考資料は、Webサイト www.power.ti.com の“Technical Documents”セクションにあります。www.power.ti.com には、多くの設計ツールや、設計ソフトウェアを含む他の参考資料へのリンクもあります。

1. Under The Hood Of Low Voltage DC/DC Converters, SEM1500 Topic 5, 2002 Seminar Series
2. Understanding Buck Power Stages in Switchmode Power Supplies, SLVA057, March 1999
3. Design and Application Guide for High Speed MOSFET Gate Drive Circuits, SEM 1400, 2001 Seminar Series
4. Designing Stable Control Loops, SEM 1400, 2001 Seminar Series
5. PowerPAD[™]に関する詳細情報はアプリケーション・ブリーフ LMA002およびSLMA004に記載されています。
6. QFN/SON PCB Attachment (Texas Instruments文献番号 SLUA271、2002年6月)

パッケージ概要および推奨PCBフットプリント

以降のページに、DRCパッケージの機械的寸法の概要と、PCBレイアウト・フットプリントの推奨事項を記載しています。

パッケージ・オプション

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS40042DRCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS40042DRCRG4	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS40042DRCT	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS40042DRCTG4	ACTIVE	MSOP- Power PAD	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

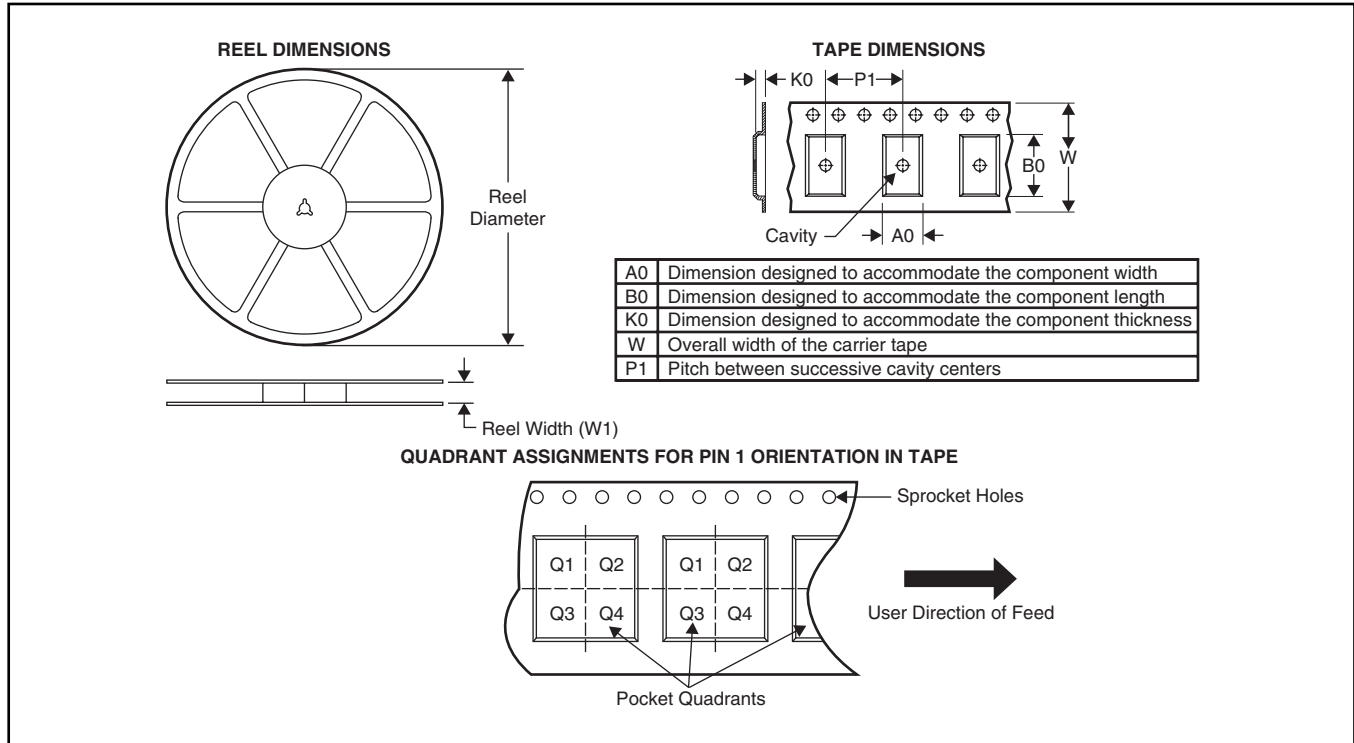
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものとします。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報

テープおよびリール・ボックス情報

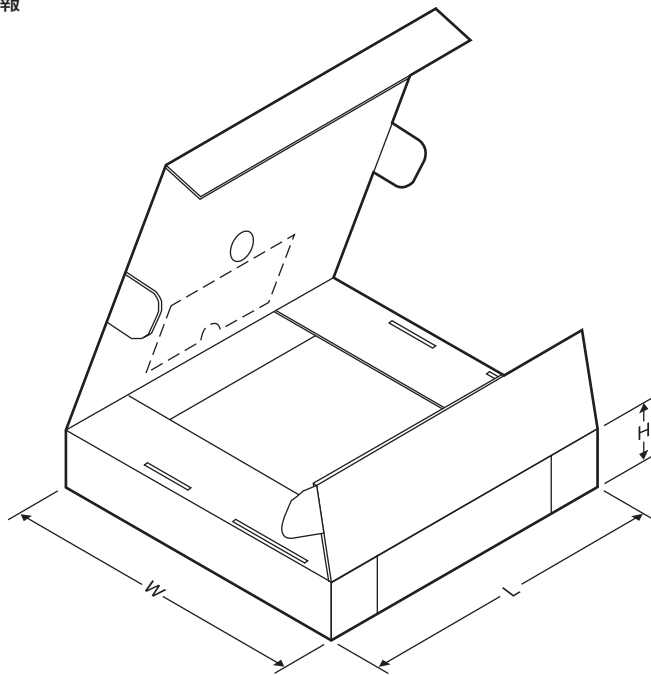


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS40042DRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS40042DRCT	SON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

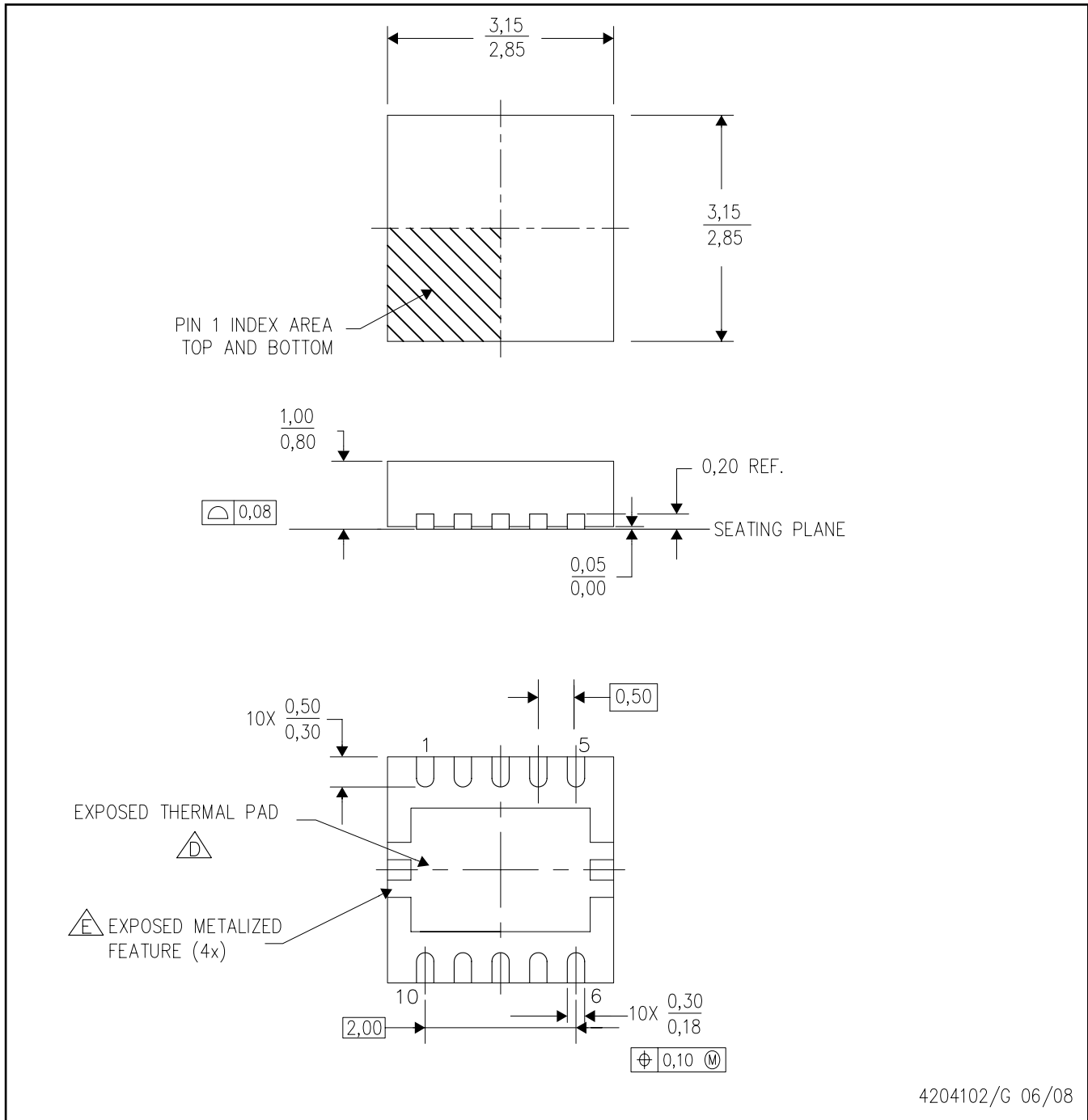
パッケージ・マテリアル情報

テープおよびリール・ボックス情報



*All dimensions are nominal

Device	PackageType	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS40042DRCR	SON	DRC	10	3000	346.0	346.0	29.0
TPS40042DRCT	SON	DRC	10	250	190.5	212.7	31.8



4204102/G 06/08

注：A. 全ての線寸法の単位はミリメートルです。寸法および許容誤差はASME Y14.5M-1994によります。

B. 図は予告なく変更することがあります。

C. SON (Small Outline No-Lead) パッケージ構造

D. パッケージのサーマルパッドは、熱的/機械的特性のためボードにはんだ付けする必要があります。
露出サーマルパッドの寸法の詳細は、データシートを参照してください。

E. サポート・ピン (4ヶ所) の形状が異なるものがあります。

サーマルパッド・メカニカル・データ

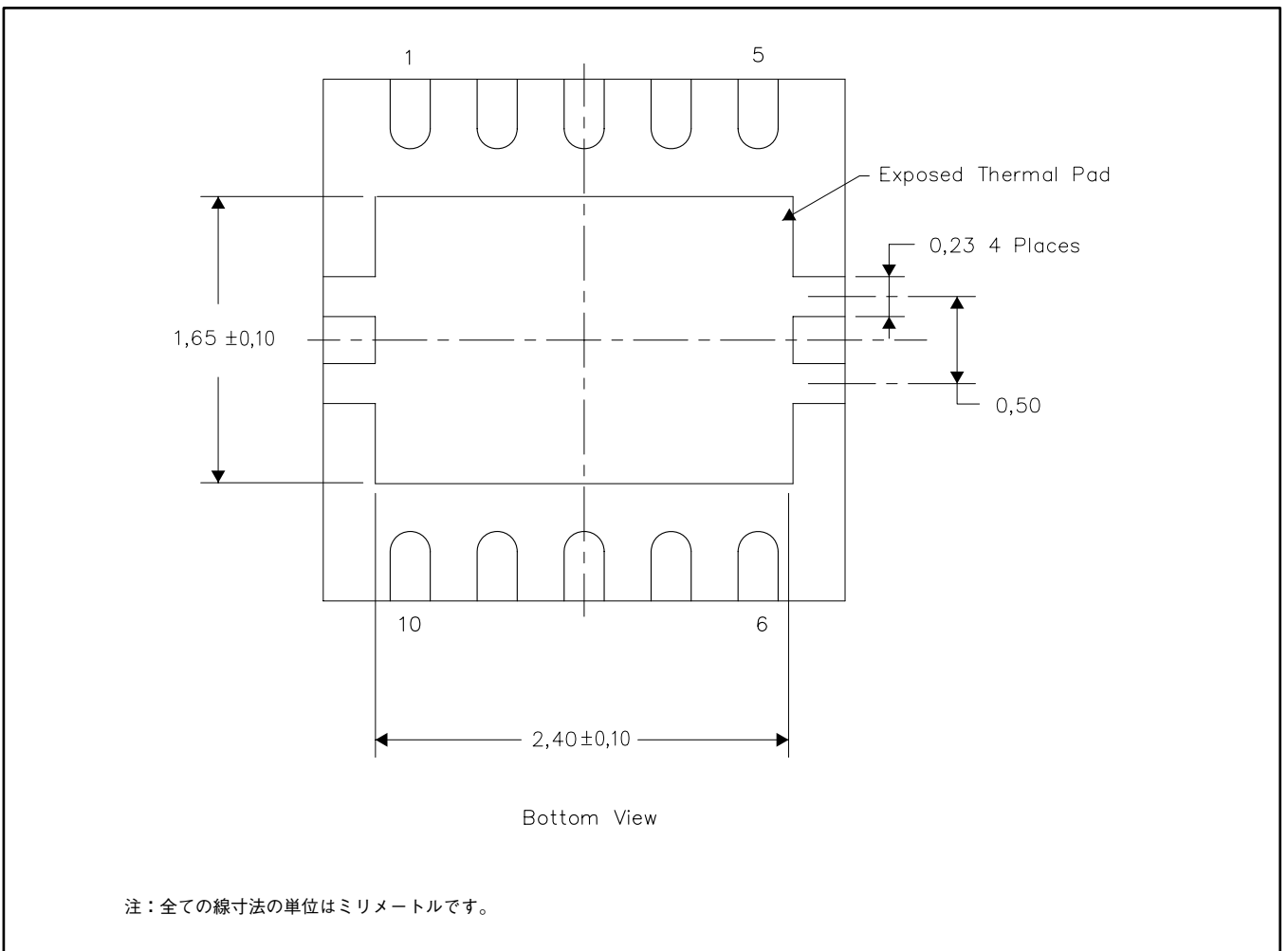
DRC (S-PVSON-N10)

熱的特性の情報

本パッケージは、外付けヒートシンクに直接取り付けられるように設計した、露出サーマルパッドを組み込んでいます。サーマルパッドは必ずプリント基板 (PCB) に直接半田付けする必要があります。また、半田付けをした後は、PCBがヒートシンクとして使用できます。さらに、サーマルビアを使用すると、サーマルパッドはデバイスの電気的特性に示す適当な銅プレーン、またその代わりとしてPCBに設計された特殊なヒートシンク構造物に直接取り付けられます。この設計により、集積回路 (IC) からの熱伝導が最適化されます。

クoad・フラットバック・ノーリード (QFN) パッケージとその長所に関する資料は、アプリケーション・レポート「クoad・フラットバック・ノーリード・ロジック・パッケージ」テキサス・インスツルメンツ文献番号SCBA017を参照願います。この文献はwww.ti.com で入手できます。

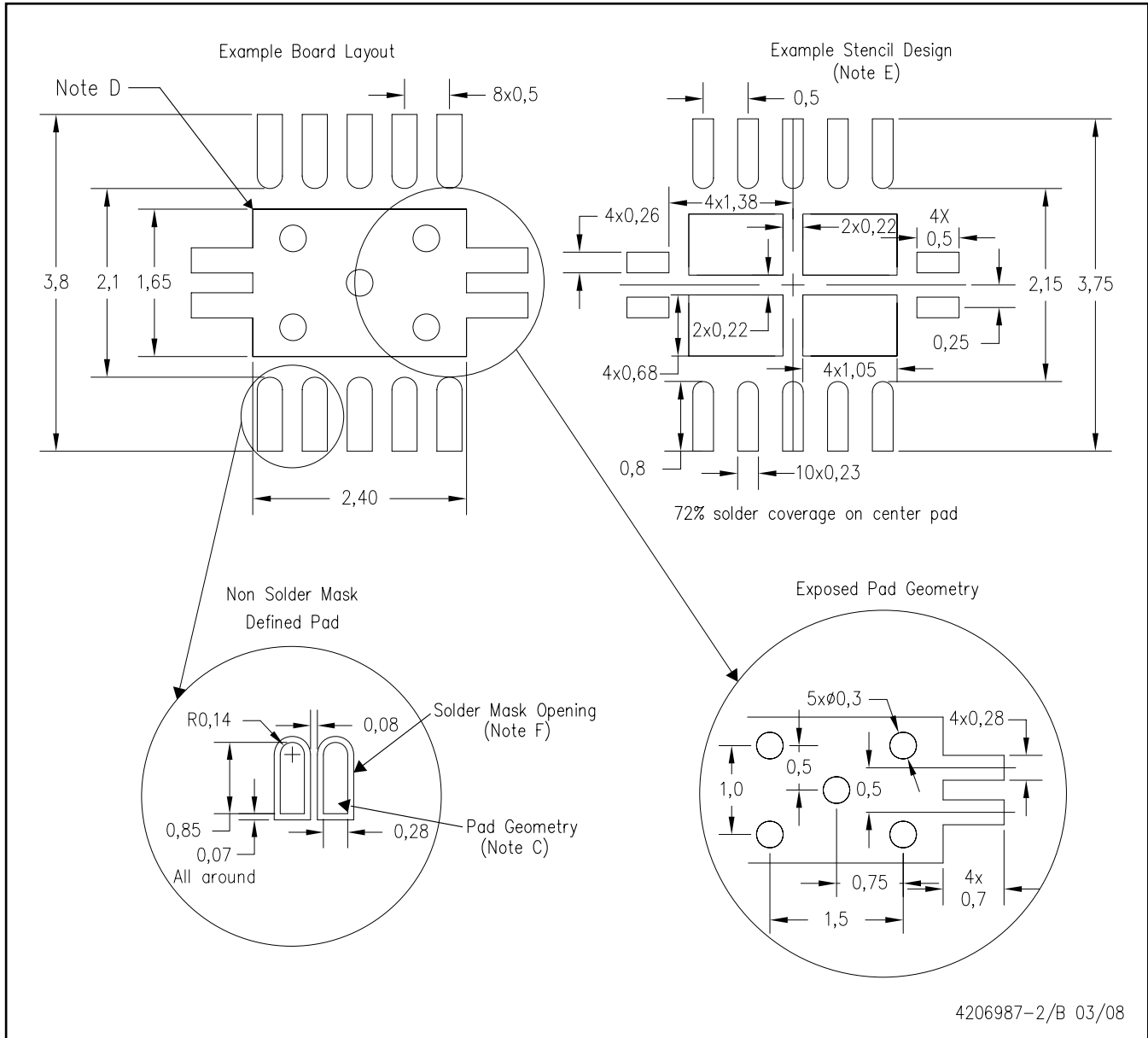
このパッケージの露出サーマルパッドの寸法を下図に示します。



サーマル・パッド寸法図

ランド・パターン

DRC (S-PVSON-N10)



注：A. 全ての線寸法の単位はミリメートルです。寸法および許容誤差はASME Y14.5M-1994によります。

B. 図は予告なく変更することがあります。

C. 代替設計については、資料IPC-7351を推奨します。

D. このパッケージはボードのサーマル・パッドにはんだ付けされるよう設計されています。個別の熱情報、ビアの要件、推奨するボード・レイアウトについてはアプリケーション・ノート“QFN Packages” TI文献番号SCBA017とSLUA271、およびプロダクト・データシートを参照してください。これらの文献はホームページwww.ti.comで入手できます。

E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。

ステンシルに関する考慮事項については、IPC-7525を参照してください。

F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLUS777)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上