

固定周波数 99%デューティ・サイクル ピーク電流モード ノートブック・システム 電源コントローラ

特長

- 入力電圧範囲：4.5V～28V
- 出力電圧範囲：1V～12V
- 選択可能な軽負荷動作（連続電流（CCM）、オート・スキップ、Out-Of-Audio™スキップ）
- 調節可能なドループ補償
- 調節可能な電圧サーボソフトスタート
- 固定周波数PWM：200kHz～1MHz
- 電流モードとD-CAP™モードを選択可能
- チャンネル間180°位相シフト
- 抵抗またはインダクタのDCRによる電流検出
- 各チャンネルごとのパワーグッド出力
- OCL/OVP/UVP/UVLO保護機能（OVPディスエーブルのオプションあり）
- サーマル・シャットダウン（ラッチなし）

- 出力コンデンサ放電機能（ディスエーブルのオプションあり）
- ブートストラップMOSFETスイッチ内蔵
- QFN32（RHB）パッケージ

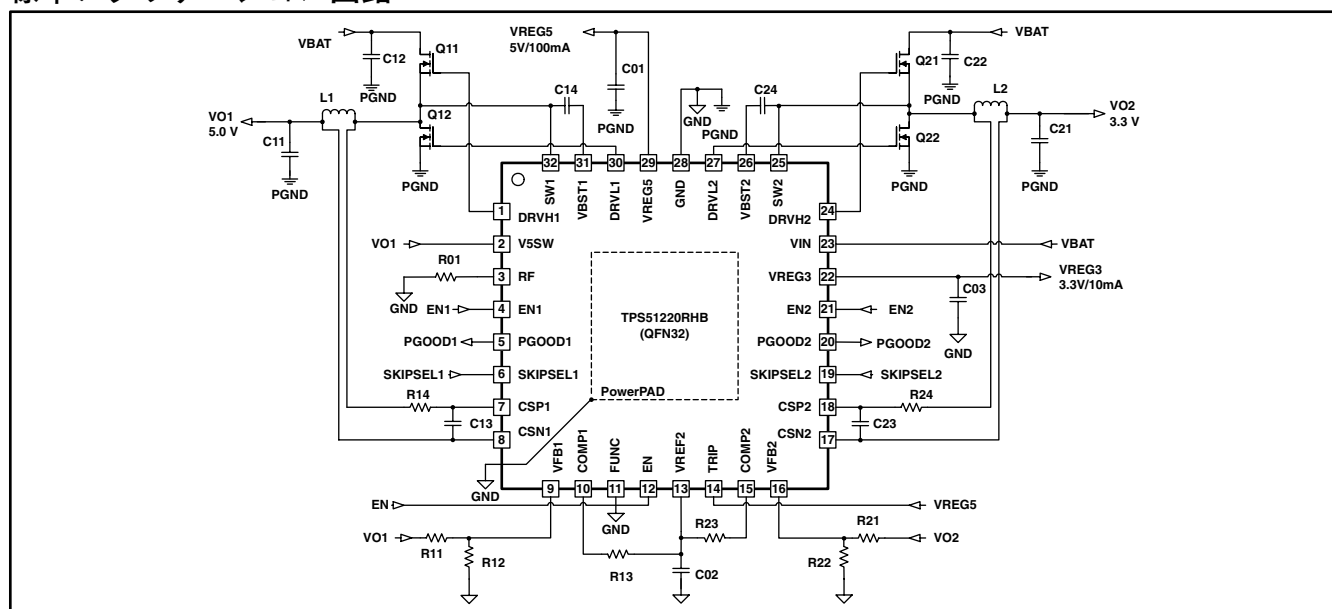
アプリケーション

- ノートブック・コンピュータ・システム及びI/Oバス
- LCD TV、MFPのポイント・オブ・ロード電源

概要

TPS51220は2つのLDOをもつデュアル同期整流式降圧型レギュレータ・コントローラです。このデバイスは5V/3.3Vのシステム・コントローラに最適化されており、設計者は2セルから4セルのノートブック・システムの電源をコスト効率よく完成することができます。TPS51220は、高効率、高速過渡応答、99%

標準アプリケーション回路



Out-Of-Audio, D-CAP, PowerPADは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。

のデューティ・サイクル動作をサポートします。また、このデバイスの入力電圧範囲は4.5Vから28V、出力電圧は1Vから12Vです。アプリケーションに応じて2つのタイプのコントロール方式を選択することができます。ピーク電流モードは低ESRのコンデンサと高出力精度の安定動作に対応します。D-CAPモードは高速過渡応答に対応します。高いデューティ (99%) 動作と広範囲の入力/出力電圧により小型の携帯PCやその他さまざまなアプリケーション用に柔軟な設計が可能です。固定周波数は抵抗により200kHzから1MHzに調整することができ、各チャネルは180°の位相差で動作します。また、TPS51220は外部クロックに同期することもでき、インターリーブ比はそのデュー

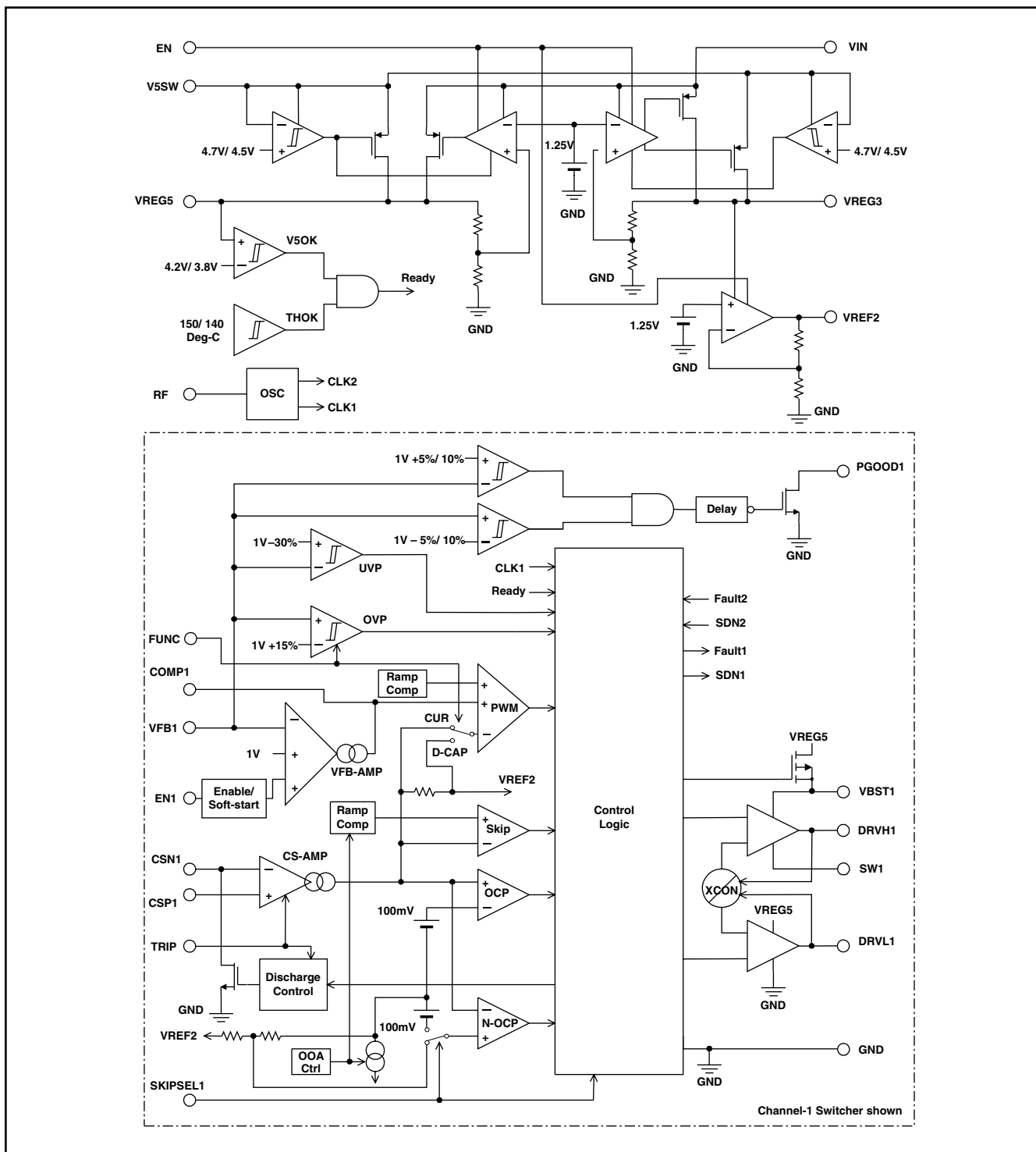
ティで調整することができます。TPS51220のパッケージは5×5mmの32ピンQFNパッケージで動作温度範囲は-40°C～85°Cです。



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

ブロック図



絶対最大定格 (1)

動作温度範囲内 (特に記述のない限り)

		値	単位	
V _I	Input voltage range (2)	VIN	-0.3 to 30	V
		VBST1, VBST2	-0.3 to 35	V
		VBST1, VBST2(3)	-0.3 to 7	V
		SW1, SW2	-2 to 30	V
		CSP1, CSP2, CSN1, CSN2	-1 to 13.5	V
		EN, EN1, EN2, VFB1, VFB2, TRIP, SKIPSEL1, SKIPSEL2, FUNC	-0.3 to 7	V
		V5SW	-0.3 to 7	V
		V5SW (to VREG5)(4)	-7 to 7	V
V _O	Output voltage range(2)	DRVH1, DRVH2	-2 to 35	V
		DRVH1, DRVH2(3)	-0.3 to 7	V
		DRVL1, DRVL2, COMP1, COMP2, VREG5, RF, VREF2, PGOOD1, PGOOD2	-0.3 to 7	V
		VREG3	-0.3 to 3.6	V
T _J	Operating junction temperature range	-40 to 125	°C	
T _{stg}	Storage temperature	-55 to 150	°C	

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

(2) 特記無き場合、全ての電圧値は回路のグランド端子を基準にしています。

(3) 電圧値は対応するSW端子を基準にしています。

(4) ENが“H”レベルでV5SWがグランドに落ちている場合、もしくは、ENが“L”レベルの時V5SWに印加されている電圧です。

消費定格 (2 oz. 銅パターン・パッド半田付け)

パッケージ	T _A < 25°C 電力定格	軽減係数 ABOVE T _A = 25°C	T _A = 85°C 電力定格
32 pin RHB	2.2 W	23 mW/°C	0.9 W

推奨動作条件

		MIN	TYP	MAX	単位
V _{SS}	Supply voltage	VIN	4.5	28	V
		V5SW	-0.8	6	
V _I V _O	I/O voltage	VBST1, VBST2, DRVH1, DRVH2	-0.1	33	V
		DRVH1, DRVH2 (wrt SW1, 2)	-0.1	6	
		SW1, SW2	-1.6	28	
		CSP1, CSP2, CSN1, CSN2	-0.8	13	
		EN, EN1, EN2, VFB1, VFB2, TRIP, DRVL1, DRVL2, COMP1, COMP2, VREG5, RF, VREF2, PGOOD1, PGOOD2, SKIPSEL1, SKIPSEL2, FUNC	-0.1	6	
	VREG3	-0.1	3.5		
T _A	Operating free-air temperature	-40		85	°C

製品情報

T _A	パッケージ(1)	注文番号	供給時の状態	数量
-40°C to 85°C	Plastic Quad Flat Pack (32 Pin QFN)	TPS51220RHBT	Tape and Reel	250
		TPS51220RHBR	Tape and Reel	3000

(1) 最新のパッケージ及び発注情報については、このデータシートの終わりの添付パッケージ・オプションまたは、TIホームページwww.ti.comを参照してください。

電気的特性

動作温度範囲内、EN = 3.3V, VIN = 12V, V5SW = 5V (特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
SUPPLY CURRENT						
$I_{(VINSDN)}$	VIN shutdown current	VIN shutdown current, $T_A = 25^\circ\text{C}$, No Load, EN = 0V, V5SW = 0 V		7	15	μA
$I_{(VINSTBY)}$	VIN Standby Current	VIN standby current, $T_A = 25^\circ\text{C}$, No Load, standby EN1 = EN2 = V5SW = 0 V		80	120	μA
$I_{(VBATSTBY)}$	Vbat Standby Current	Vbat standby current, $T_A = 25^\circ\text{C}$, No Load SKIPSEL2 = 2V, EN2 = open, EN1 = V5SW = 0V ⁽¹⁾		500		μA
$I_{(V5SW)}$	V5SW Supply Current	V5SW current, $T_A = 25^\circ\text{C}$, No Load, ENx = 5V, VFBx = 1.05 V		TRIP = 5 V		
				TRIP = 0 V		
				1.2		mA
				1.4		mA
VREF2 OUTPUT						
$V_{(VREF2)}$	VREF2 Output Voltage	$I_{(VREF2)} < \pm 10 \mu\text{A}$, $T_A = 25^\circ\text{C}$	1.98	2.00	2.02	V
		$I_{(VREF2)} < \pm 100 \mu\text{A}$, $4.5\text{V} < \text{VIN} < 25\text{V}$	1.97	2.00	2.03	
VREG3 OUTPUT						
$V_{(VREG3)}$	VREG3 Output Voltage	V5SW = 0 V, $I_{(VREG3)} = 0\text{ mA}$, $T_A = 25^\circ\text{C}$	3.279	3.313	3.347	V
		V5SW = 0 V, $0\text{ mA} < I_{(VREG3)} < 10\text{ mA}$, $5.5\text{V} < \text{VIN} < 25\text{V}$	3.135	3.300	3.400	
$I_{(VREG3)}$	VREG3 Output Current	VREG3 = 3 V	10	15	20	mA
VREG5 OUTPUT						
$V_{(VREG5)}$	VREG5 Output Voltage	V5SW = 0 V, $I_{(VREG5)} = 0\text{ mA}$, $T_A = 25^\circ\text{C}$	4.99	5.04	5.09	V
		V5SW = 0 V, $0\text{ mA} < I_{(VREG5)} < 100\text{ mA}$, $6\text{V} < \text{VIN} < 25\text{V}$	4.90	5.03	5.15	
		V5SW = 0 V, $0\text{ mA} < I_{(VREG5)} < 100\text{ mA}$, $5.5\text{V} < \text{VIN} < 25\text{V}$	4.50	5.03	5.15	
$I_{(VREG5)}$	VREG5 Output Current	V5SW = 0 V, VREG5 = 4.5 V	100	150	200	mA
		V5SW = 5 V, VREG5 = 4.5 V	200	300	400	
$V_{(THV5SW)}$	Switchover Threshold	Turning on	4.55	4.7	4.8	V
		Hysteresis	0.15	0.20	0.25	
$t_{d(V5SW)}$	Switchover Delay	Turning on		7.7		ms
$R_{(V5SW)}$	5V SW Ron	$I_{(VREG5)} = 100\text{ mA}$		0.5		Ω
OUTPUT						
$V_{(VFB)}$	VFB Regulation Voltage Tolerance	$T_A = 25^\circ\text{C}$, No Load	0.9925	1.000	1.0075	V
		$T_A = -40^\circ\text{C}$ to 85°C , No Load	0.990	1.000	1.010	
$I_{(VFB)}$	VFB Input Current	VFBx = 1.05 V, COMPx = 1.8 V, $T_A = 25^\circ\text{C}$	-50		50	nA
$R_{(Dischg)}$	CSNx Discharge Resistance	ENx = 0 V, CSNx = 0.5 V, $T_A = 25^\circ\text{C}$		20	40	Ω
VOLTAGE TRANSCONDUCTANCE AMPLIFIER						
Gmv	Gain	$T_A = 25^\circ\text{C}$		500		μS
V_{ID}	Differential Input Voltage Range		-30		30	mV
$I_{(COMPSINK)}$	COMP Maximum Sink Current	COMPx = 1.8 V		33		μA
$I_{(COMPSRC)}$	COMP Maximum Source Current	COMPx = 1.8 V		-33		μA

(1) 設計での規定です。詳細な外部条件は図54のアプリケーション回路に従います。

電気的特性

動作温度範囲内、EN = 3.3V, VIN = 12V, V5SW = 5V (特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位	
CURRENT AMPLIFIER							
G _C	Gain	TRIP = 0V/2V, CSN = 5V, T _A = 25°C ⁽²⁾	3.333				
		TRIP = 3.3V/5V, CSN = 5V, T _A = 25°C ⁽²⁾	1.667				
V _{IC}	Common mode Input Voltage Range		0		13	V	
V _{ID}	Differential Input Voltage Range	T _A = 25°C	-75		75	mV	
POWERGOOD							
V _(THPG)	PG threshold	PG in from lower	92.5%	95%	97.5%		
		PG in from higher	102.5%	105%	107.5%		
		PG hysteresis	5%				
I _(PG)	PG sink Current	PGOOD = 0.5 V	5			mA	
t _(PGDLY)	PGOOD Delay	Delay for PG in	0.8	1	1.2	ms	
SOFTSTART							
t _(SSDYL)	Soft Start Delay	Delay for Soft Start, ENx = Hi to SS-ramp starts	200			μs	
t _(SS)	Soft Start Time	Internal Soft Start	960			μs	
FREQUENCY AND DUTY CONTROL							
f _(SW)	Switching Frequency	R _f = 330 kΩ	273	303	333	kHz	
V _(THRF)	RF Threshold	Lo to Hi	0.7	1.3	2	V	
		Hysteresis	0.2			V	
f _(SYNC)	Sync Input Frequency Range ⁽²⁾		200		1000	kHz	
t _{ONmin}	Minimum On Time	V _(DRVH) = 90% to 10%, No Load	120			150	ns
t _{OFFmin}	Minimum Off Time	V _(DRVH) = 10% to 90%, No Load	290			440	ns
t _D	Dead time	DRVH-off to DRVL-on	10	30	50	ns	
		DRVL-off to DRVH-on	30	40	70	ns	
V _(DTH)	DRVH-off threshold	DRVH to GND ⁽²⁾	1			V	
V _(DTL)	DRVL-off threshold	DRVL to GND ⁽²⁾	1			V	
OUTPUT DRIVERS							
R _(DRVH)	DRVH resistance	Source, V _(VBST-DRVH) = 0.1 V	1.7			5	Ω
		Sink, V _(DRVH-SW) = 0.1 V	1			3	
R _(DRVL)	DRVL resistance	Source, V _(VREG5-DRVL) = 0.1 V	1.3			4	Ω
		Sink, V _(DRVL-GND) = 0.1 V	0.7			2	
CURRENT SENSE							
V _(OCL-ULV)	Current limit threshold (ultra-low voltage)	TRIP = 0V/2V, T _A = 25°C	27	31	35	mV	
		TRIP = 0V/2V	25	31	37		
V _(OCL-LV)	Current limit threshold (low voltage)	TRIP = 3.3V/5V, T _A = 25°C	56	60	64	mV	
		TRIP = 3.3V/5V	54	60	66		
V _(ZC)	Zero cross detection comparator Offset	0.95V < CSNx < 12.6V	-4	0	4	mV	
V _(OCLN-ULV)	Negative current limit threshold (ultra-low voltage)	TRIP = 0V/2V, T _A = 25°C	-24	-31	-38	mV	
		TRIP = 0V/2V	-22	-31	-40		
V _(OCLN-LV)	Negative current limit threshold (low voltage)	TRIP = 3.3V/5V, T _A = 25°C	-51	-60	-69	mV	
		TRIP = 3.3V/5V	-49	-60	-71		

(2) 設計での規定です。

電気的特性

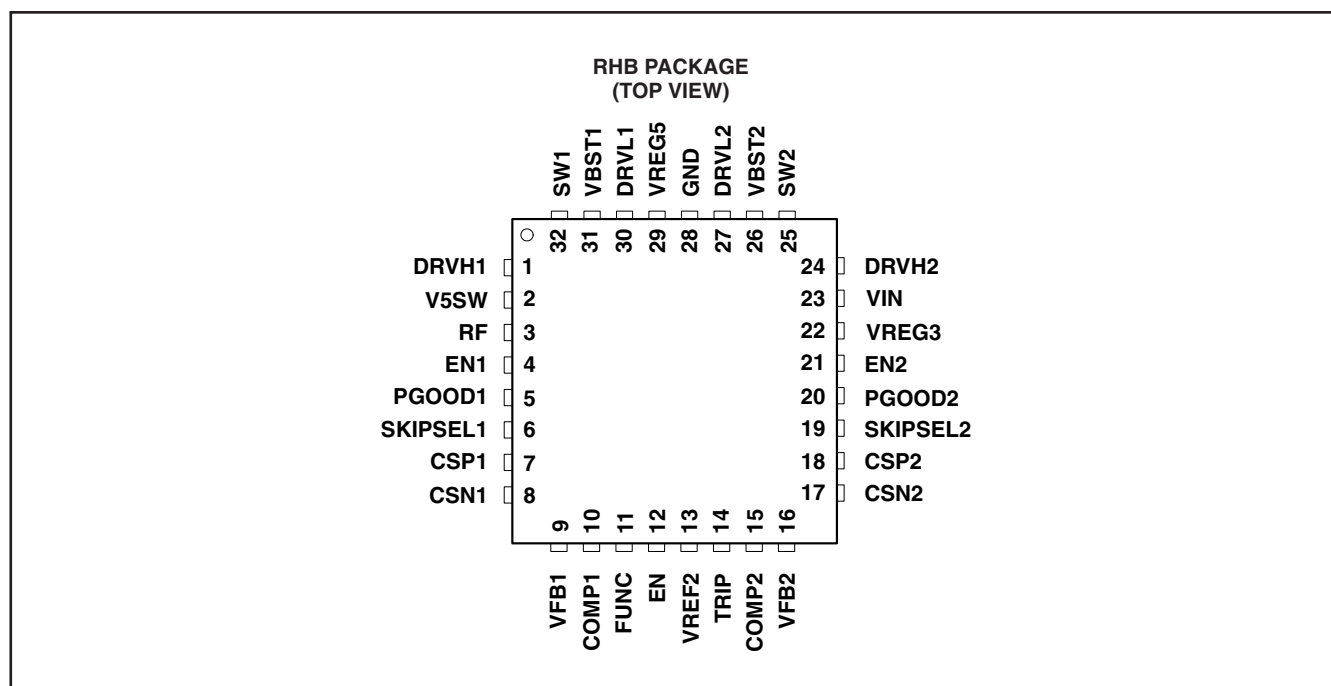
動作温度範囲内、EN = 3.3V, VIN = 12V, V5SW = 5V (特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位	
UVP, OVP AND UVLO							
V _(OVP)	OVP Trip Threshold	OVP detect	110%	115%	120%		
t _(OVPDLY)	OVP Prop Delay			1.5		μs	
V _(UVP)	UVP Trip Threshold	UVP detect	65%	70%	73%		
t _(UVPDLY)	UVP Delay		0.8	1	1.2	ms	
V _(UVREF2)	VREF2 UVLO Threshold	Wake up	1.7	1.8	1.9	V	
		Hysteresis	75	100	125	mV	
V _(UVREG3)	VREG3 UVLO Threshold	Wake up	3	3.1	3.2	V	
		Hysteresis	0.10	0.15	0.20		
V _(UVREG5)	VREG5 UVLO Threshold	Wake up	4.1	4.2	4.3	V	
		Hysteresis	0.35	0.40	0.44	V	
INTERFACE AND LOGIC THRESHOLD							
V _(EN)	EN Threshold	Wake up	0.8	1	1.2	V	
		Hysteresis	0.1	0.2	0.3		
V _(EN12)	EN1/EN2 Threshold	Wake up	0.45	0.50	0.55	V	
		Hysteresis	0.1	0.2	0.3		
V _(EN12SS)	EN1/EN2 SS Start Threshold	SS-ramp start threshold at external soft start		1		V	
V _(EN12SSEND)	EN1/EN2 SS End Threshold	SS-End threshold at external soft start ⁽³⁾		2		V	
I _(EN12)	EN1/EN2 Source Current	VEN1/EN2 = 0V	1.5	2	2.6	μA	
V _(SKIPSEL)	SKIPSEL1/SKIPSEL2 Setting Voltage	Continuous			1.5	V	
		Auto Skip			1.9		2.1
		OOA Skip (min 1/8 Fsw)			3.2		3.4
		OOA Skip (min 1/16 Fsw)			3.8		
V _(TRIP)	TRIP Setting Voltage	V _(OCL-ULV) , Discharge ON			1.5	V	
		V _(OCL-ULV) , Discharge OFF			1.9		2.1
		V _(OCL-LV) , Discharge OFF			3.2		3.4
		V _(OCL-LV) , Discharge ON			3.8		
V _(FUNC)	FUNC Setting Voltage	Current mode, OVP enable			1.5	V	
		D-CAP mode, OVP disable			1.9		2.1
		D-CAP mode, OVP enable			3.2		3.4
		Current mode, OVP disable			3.8		
I _(TRIP)	TRIP Input Current	TRIP = 0 V	-1		1	μA	
		TRIP = 5 V	-1		1		
I _(SKIPSEL)	SKIPSEL Input Current	SKIPSELx = 0 V	-1		1	μA	
		SKIPSELx = 5 V	-1		1		
BOOT STRAP SW							
V _(FBST)	Forward Voltage	V _{VREG5-VBST} , I _F = 10 mA, T _A = 25°C		0.10	0.20	V	
I _(BSTLK)	VBST Leakage Current	VBST = 30 V, SW = 25 V		0.01	1.5	μA	
THERMAL SHUTDOWN							
T _(SDN)	Thermal SDN Threshold	Shutdown temperature ⁽³⁾		150		°C	
		Hysteresis ⁽³⁾		10			

(3) 設計での規定です。

デバイス情報

PINOUT



端子機能

TERMINAL		I/O	説明
NAME	NO.		
DRVH1	1	O	ハイサイドMOSFETゲート・ドライバの出力端子です。ソース1.7Ω、シンク1.0ΩのSWノードを基準としたフローティング・ドライバです。駆動電圧はVBSTとSW端子間電圧です。
DRVH2	24		
SW2	25	I/O	ハイサイドMOSFETゲート・ドライバのリターン端子です。
SW1	32		
VREG3	22	O	常時機能している3.3V、10mAの低ドロップアウトのリニア・レギュレータ出力端子です。1μF以上のセラミック・コンデンサで(シグナル)GNDにバイパスしてください。VIN電源にて動作しますが、VREG5がV5SW入力に切り替わった後はVREG5電源にて動作します。
EN1	4	I	チャンネル1及びチャンネル2のSMPSイネーブル端子です。オンにする時は、0.55より大きく6Vより小さな電圧を印加します。ディスエーブルにするにはグラウンドに接続します。可変ソフトスタート用コンデンサはこの端子に接続します。
EN2	21		
PGOOD1	5	O	チャンネル1及びチャンネル2のパワーグッド・ウィンドウ・コンパレータの出力端子です。印加される電圧は6Vより小さくなくてはならず、推奨プルアップ抵抗値は100kΩ~1MΩです。
PGOOD2	20		
SKIPSEL1	6	I	スキップ・モードの選択端子です。 GND：連続電流 (CCM) VREF2：オート・スキップ VREG3：OOAオート・スキップ、最大7スキップ ($f_{sw} < 400\text{kHz}$ の場合に適しています) VREG5：OOAオート・スキップ、最大15スキップ ($f_{sw} \geq 400\text{kHz}$ の場合に適しています)
SKIPSEL2	19		
CSP1	7	I/O	電流検出コンパレータ入力(+)端子です。DCR端子間電圧を適正にモニタするために高品質のX5RまたはX7Rのセラミック・コンデンサをもつRC回路を使用しなければなりません。設計開始時の妥当な値は0.1μFです。詳細については電流検出方式の項を参照してください。
CSP2	18		
CSN1	8	I	電流検出コンパレータ入力(-)端子です。電流検出方式の項を参照してください。5Vまたはそれより高い出力電圧を設定した場合は、本端子電圧が電流検出回路の電源として使用されます。また、出力コンデンサ放電用端子です。
CSN2	17		
VFB1	9	I	SMPS電圧フィードバック入力端子です。フィードバック抵抗デバイダを接続し、その抵抗は(シグナル)GNDを基準としなければなりません。
VFB2	16		
COMP1	10	I	電流モード用のループ補償端子です(誤差増幅器の出力)。電流モード動作でのループ補償が適切に行われるようこのピンからVREF2に抵抗(必要ならコンデンサも)を接続します。D-CAPモード用ではランプ補償調整ピンとなり、このピンからVREF2に抵抗を接続します。設計開始時の妥当な値は10kΩです。6kΩ~20kΩの値が選択可能です。詳細についてはD-CAPモードの項を参照してください。
COMP2	15		
RF	3	I/O	周波数設定用抵抗を本端子から(シグナル)GNDへ接続し、発振周波数を設定します。外部信号を入力時には発振周波数は外部信号と同一になります。

端子機能

TERMINAL		I/O	説明
NAME	NO.		
FUNC	11	I	コントロール・アーキテクチャとOVP機能の選択端子です。 GND： 電流モード、OVPイネーブル VREF2：D-CAPモード、OVPディスエーブル VREG3：D-CAPモード、OVPイネーブル VREG5：電流モード、OVPディスエーブル
VREF2	13	O	2Vの基準電圧出力端子です。0.22 μ Fのセラミック・コンデンサで(シグナル)GNDにバイパスします。
TRIP	14	I	過電流トリップ・レベルと放電モードの選択端子です。 GND： $V_{(OCL-ULV)}$ 、放電オン VREF2： $V_{(OCL-ULV)}$ 、放電オフ VREG3： $V_{(OCL-LV)}$ 、放電オフ VREG5： $V_{(OCL-LV)}$ 、放電オン
EN	12	I	VREF2とVREG5リニア・レギュレータのイネーブル端子です。オンにする時は、1.2Vより大きく6Vより小さな電圧を印加します。ディスエーブルにするにはグラウンドに接続します。
VBST1	31	I	ハイサイドN-FETドライバ用の電源入力端子です(ブートストラップ端子)。このピンからそれぞれ対応するSW端子にコンデンサ(推奨は0.1 μ F以上)を接続します。オプションとしてVREG5からこのピンにSBダイオードを接続することもできます。
VBST2	26		
DRVL1	30	O	ローサイドMOSFETゲート・ドライバの出力端子です。ソース1.3 Ω 、シンク0.7 Ω のGNDを基準としたドライバです。
DRVL2	27		
V5SW	2	I	VREG5用の切り替え電源入力端子です。
VREG5	29	O	5V、100mAの低ドロップアウトのリニア・レギュレータ出力端子です。10 μ Fのセラミック・コンデンサを用いて(パワー)GNDにバイパスしてください。VIN電源から動作します。内部でVBSTとDRVLに接続されています。ENで停止します。4.8V以上の電圧が供給された時V5SWに切り替えられます。
VIN	23	I	5V及び3.3Vのリニア・レギュレータ用の電源入力端子です。通常はVBATに接続されます。
GND	28	-	グラウンド端子です。

代表的特性

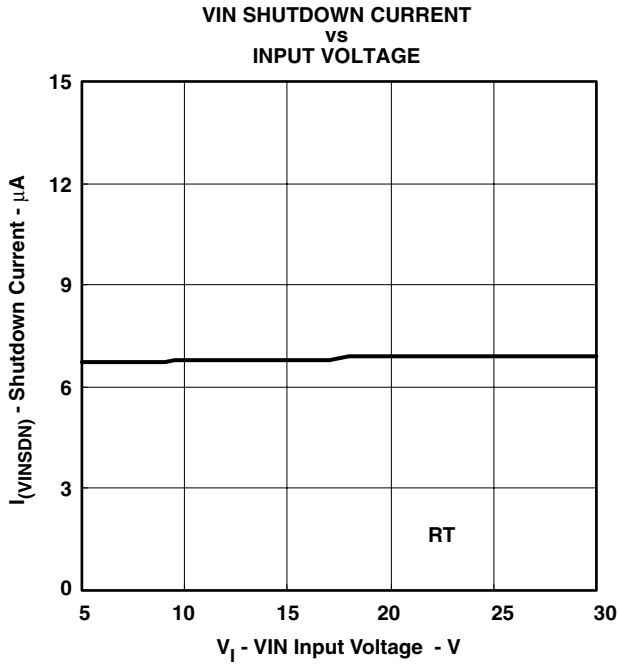


图 1

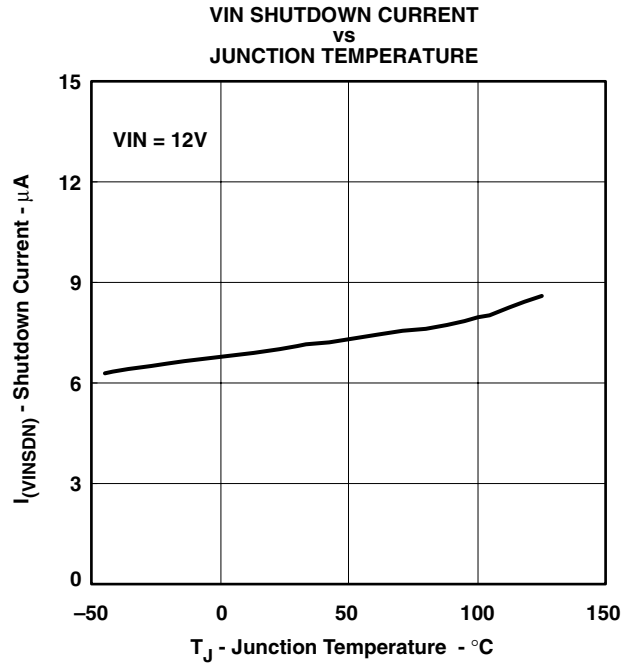


图 2

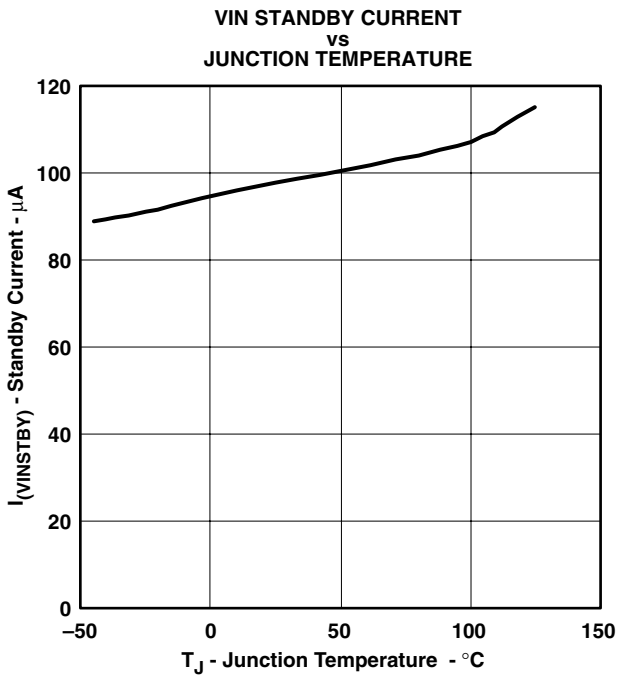


图 3

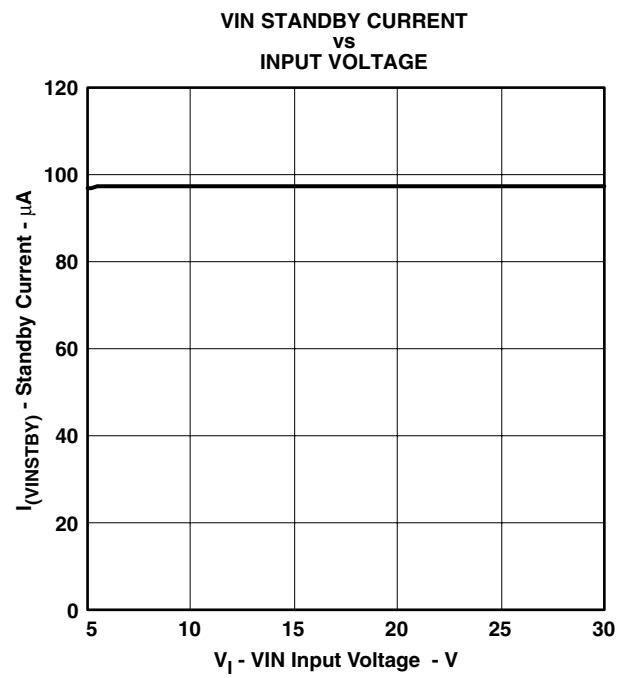


图 4

代表的特性

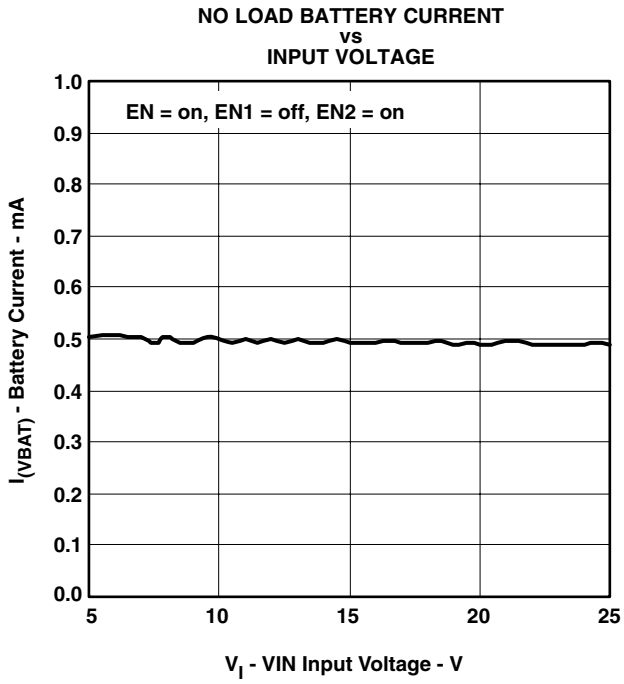


图 5

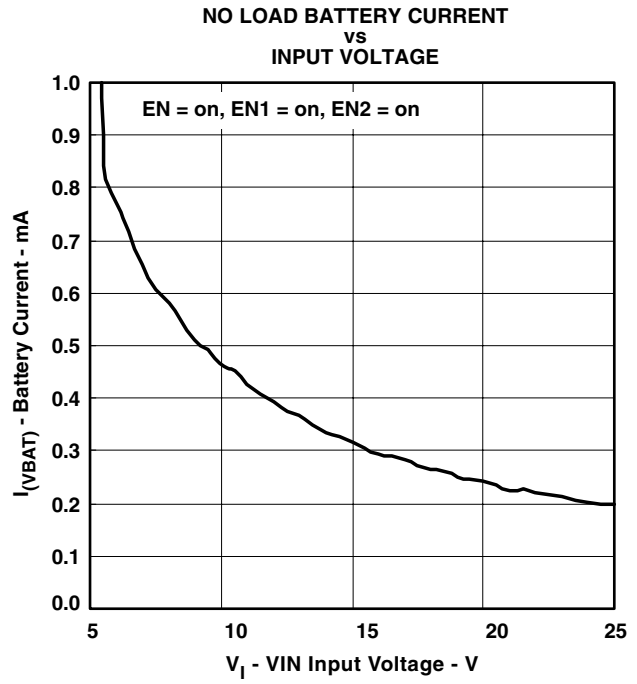


图 6

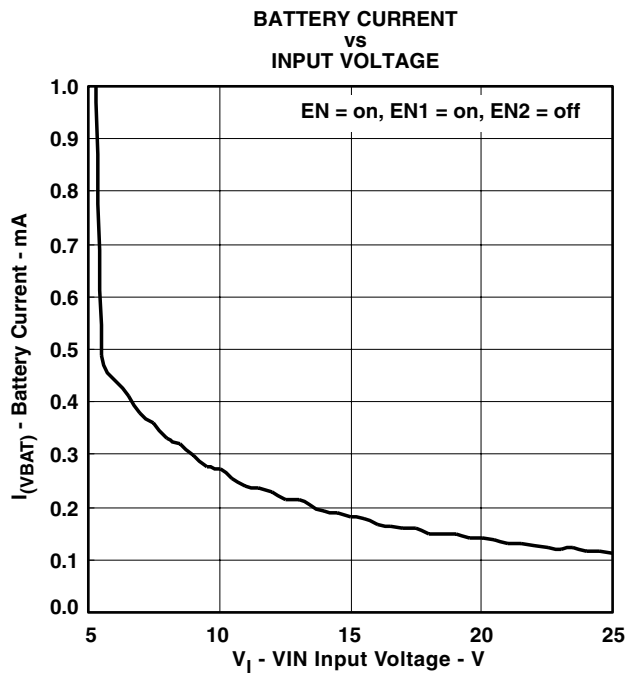


图 7

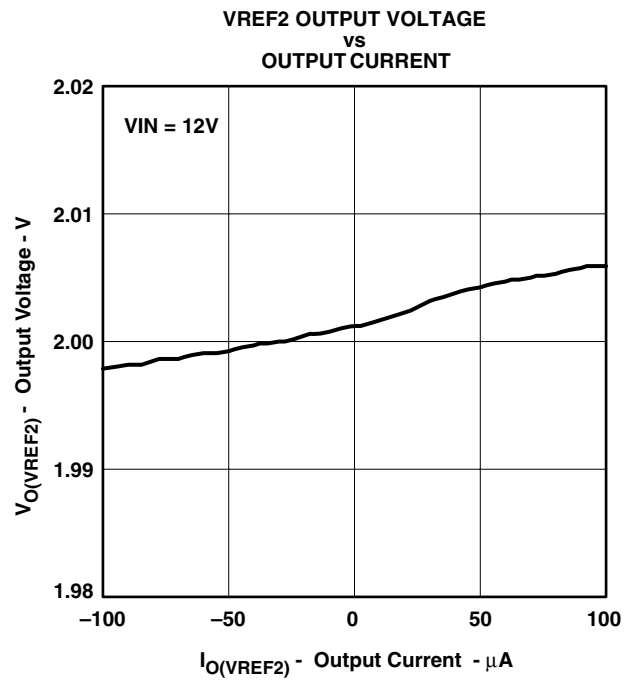


图 8

代表的特性

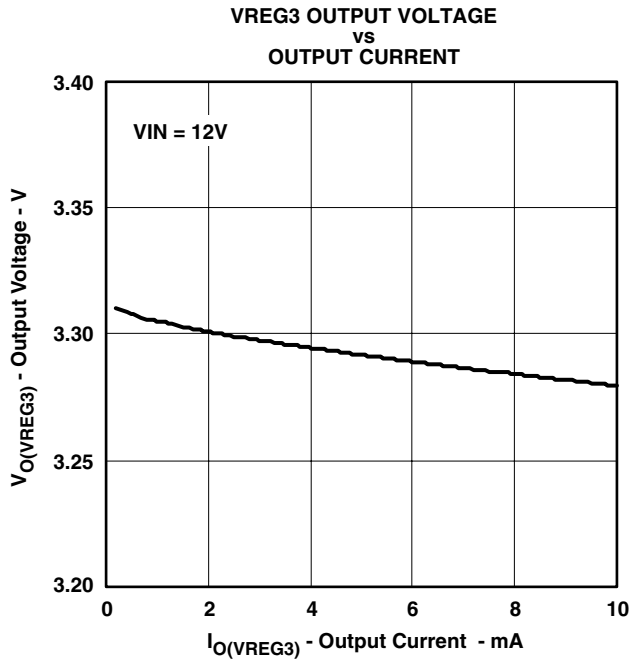


図 9

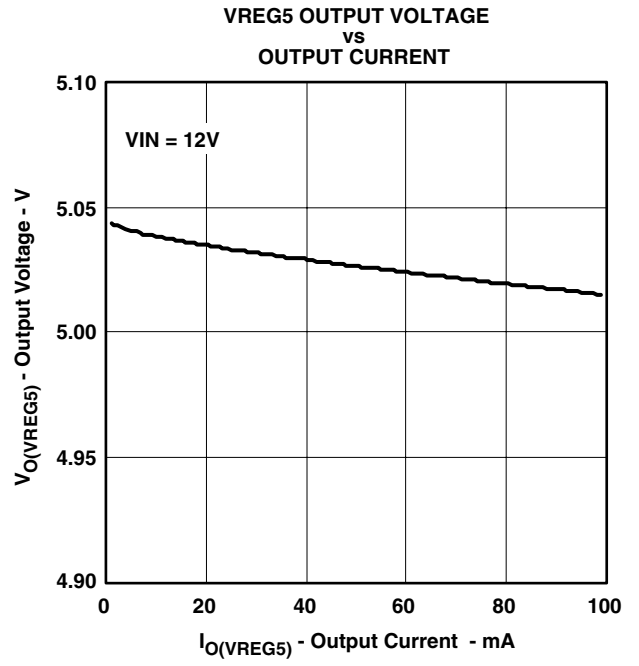


図 10

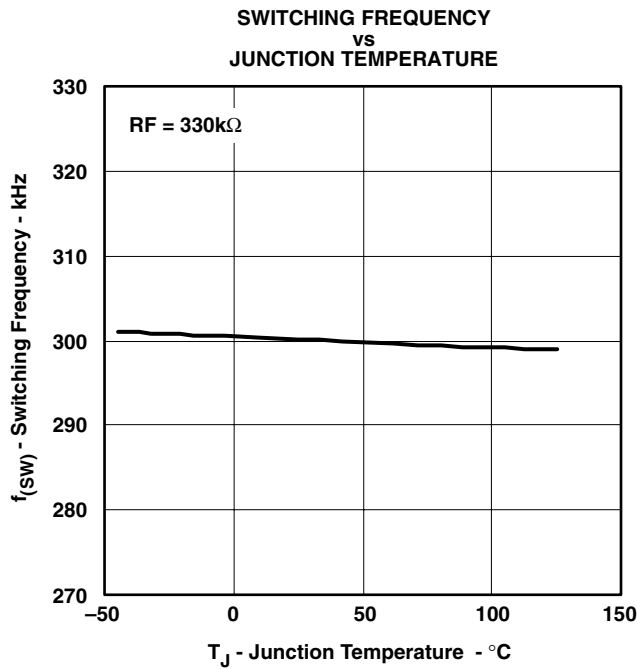


図 11

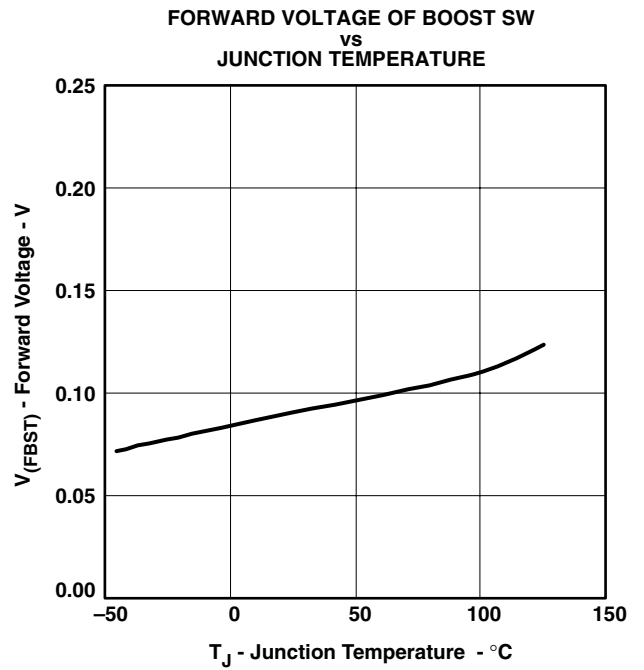


図 12

代表的特性

OVP/UVP THRESHOLD VOLTAGE
vs
JUNCTION TEMPERATURE

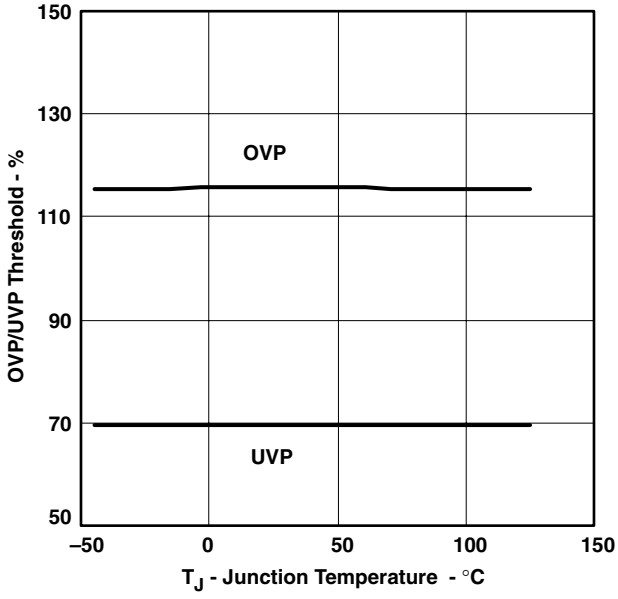


图 13

VBST LEAKAGE CURRENT
vs
JUNCTION TEMPERATURE

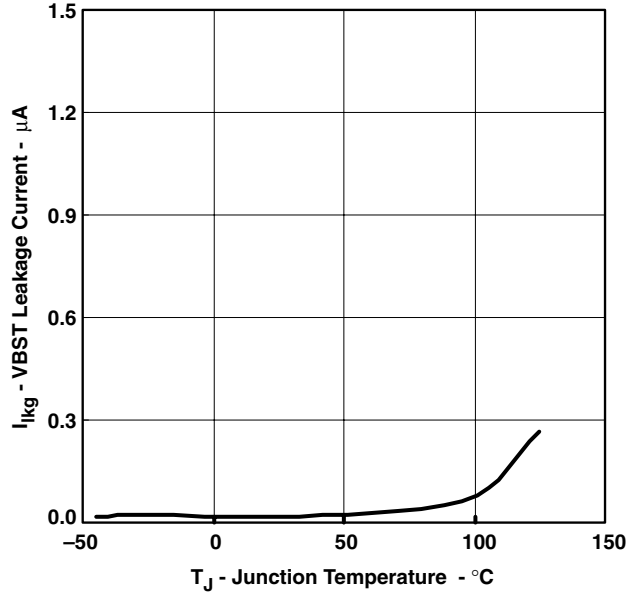


图 14

CURRENT LIMIT THRESHOLD
vs
JUNCTION TEMPERATURE

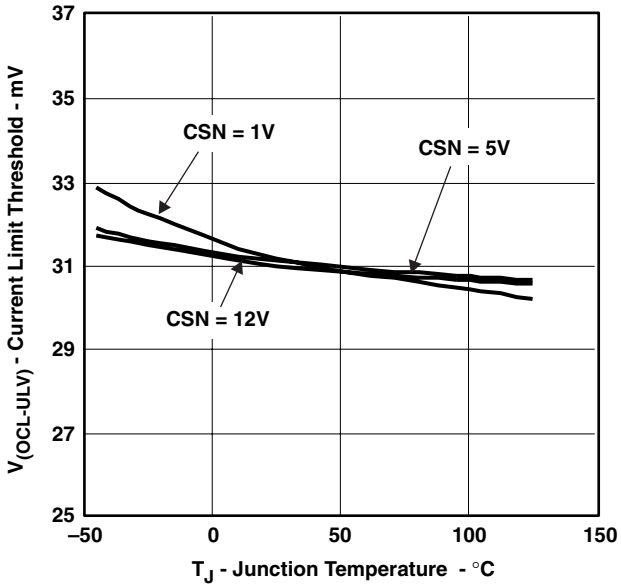


图 15

CURRENT LIMIT THRESHOLD
vs
JUNCTION TEMPERATURE

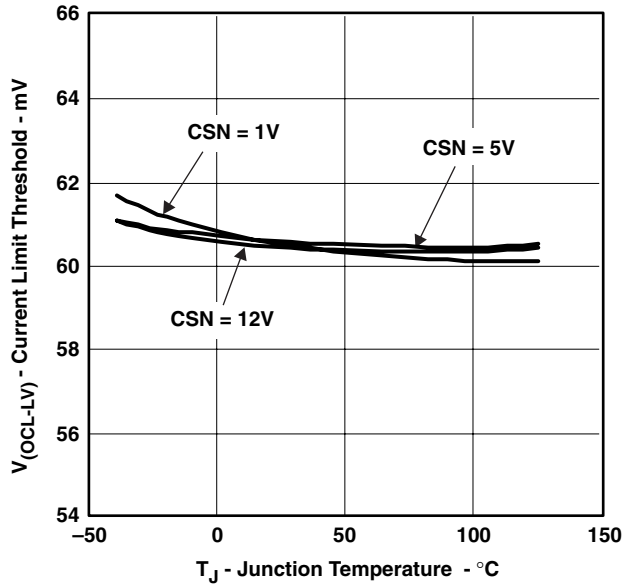


图 16

代表的特性

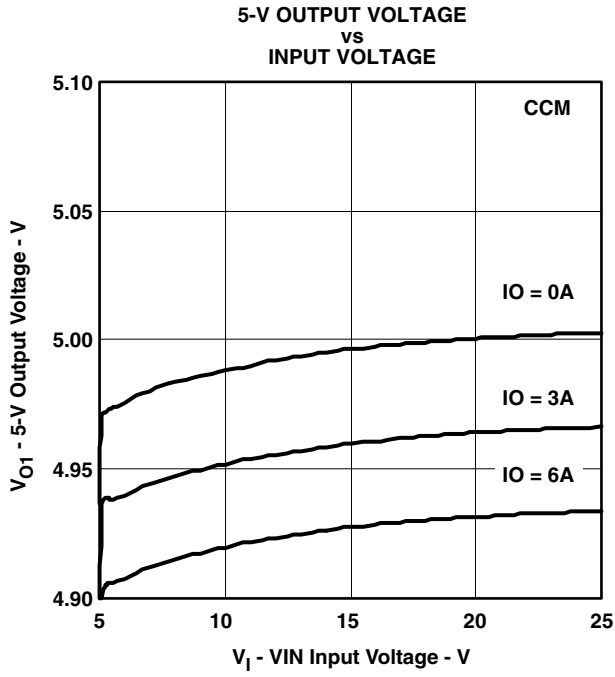


图 17

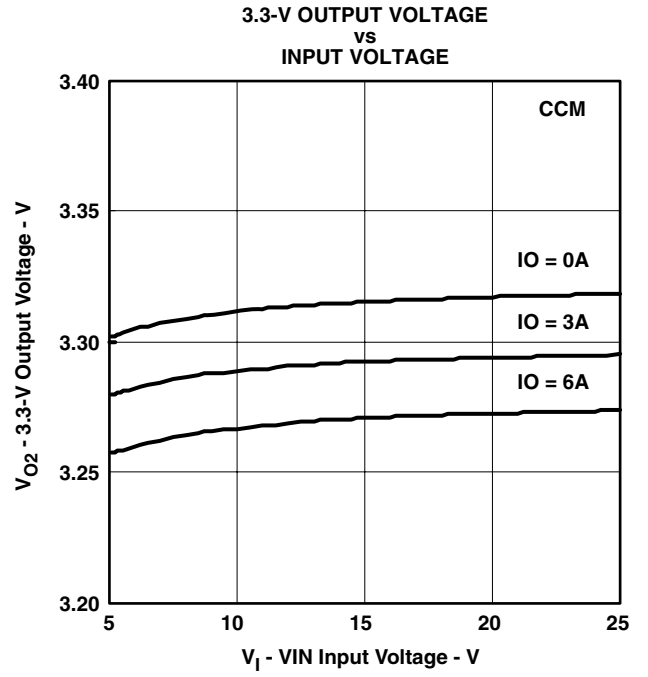


图 18

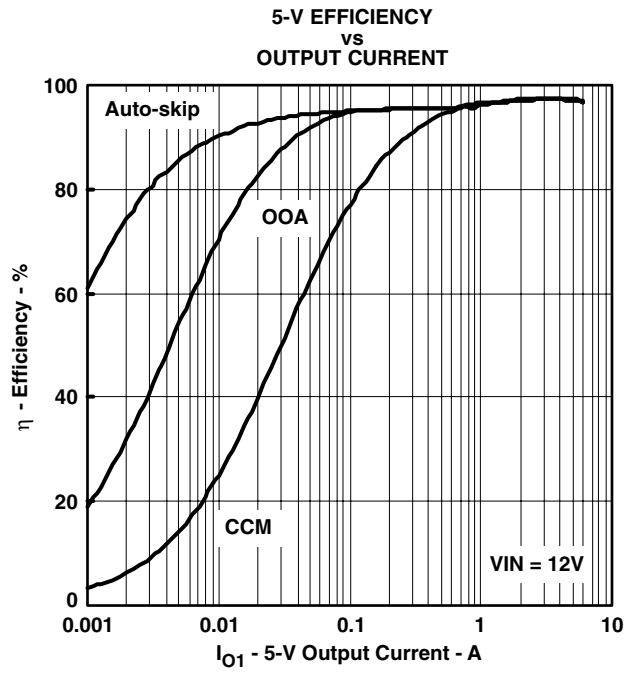


图 19

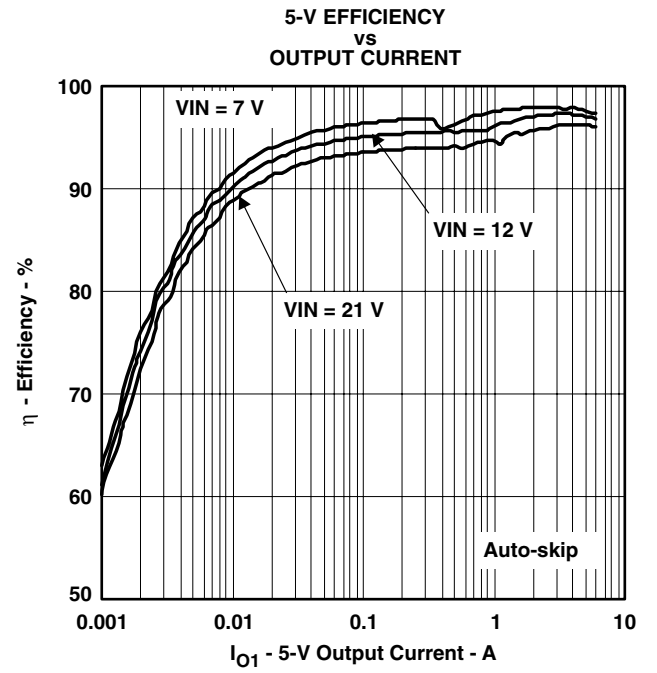


图 20

代表的特性

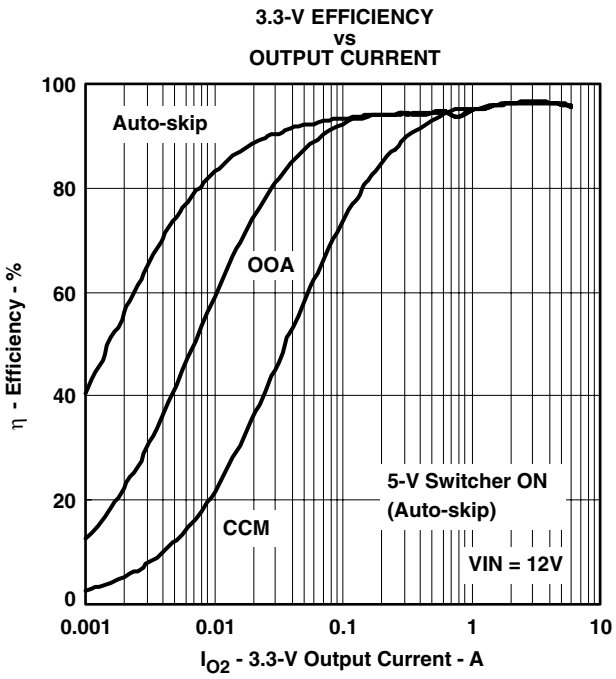


图 21

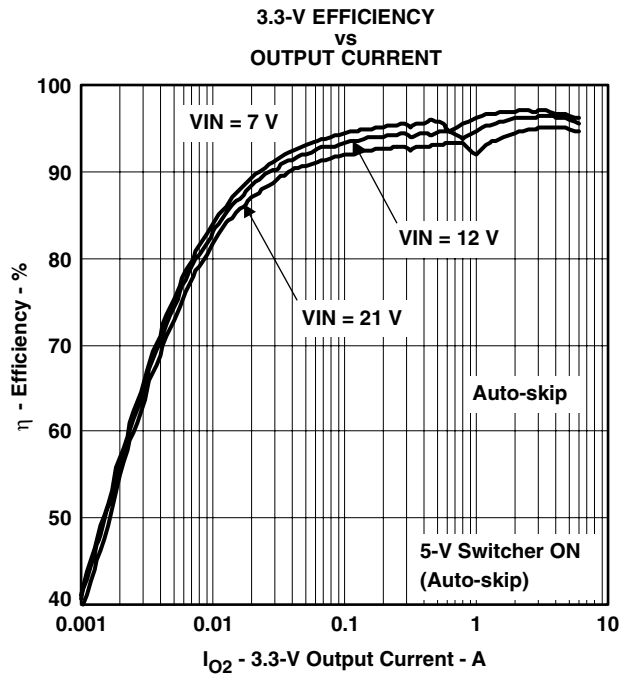


图 22

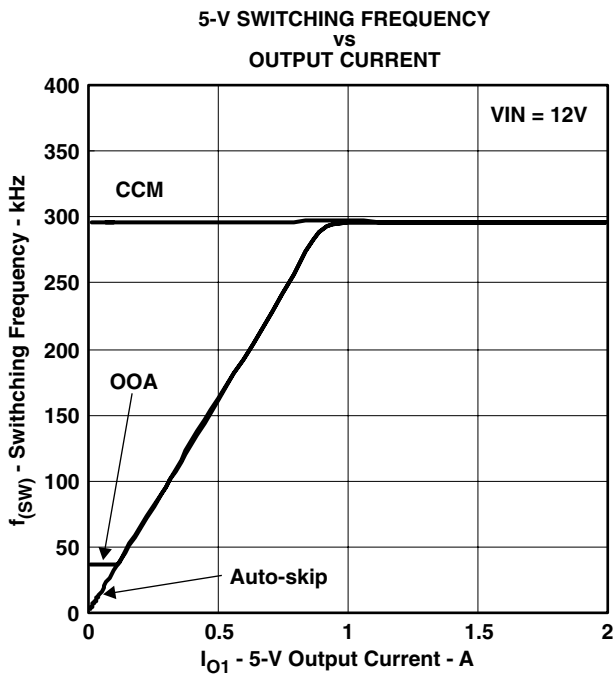


图 23

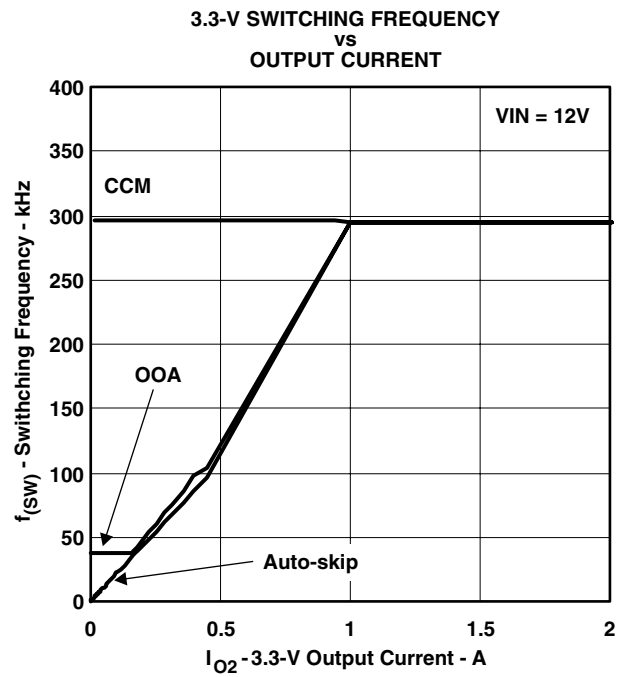


图 24

代表的特性

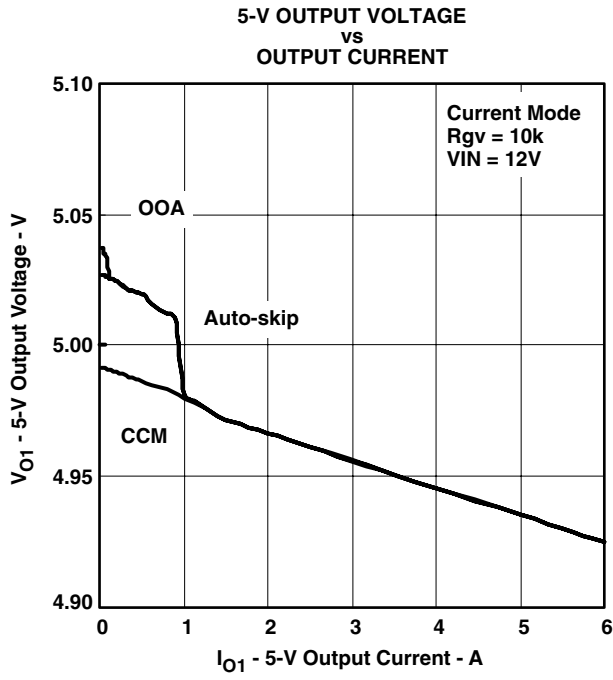


图 25

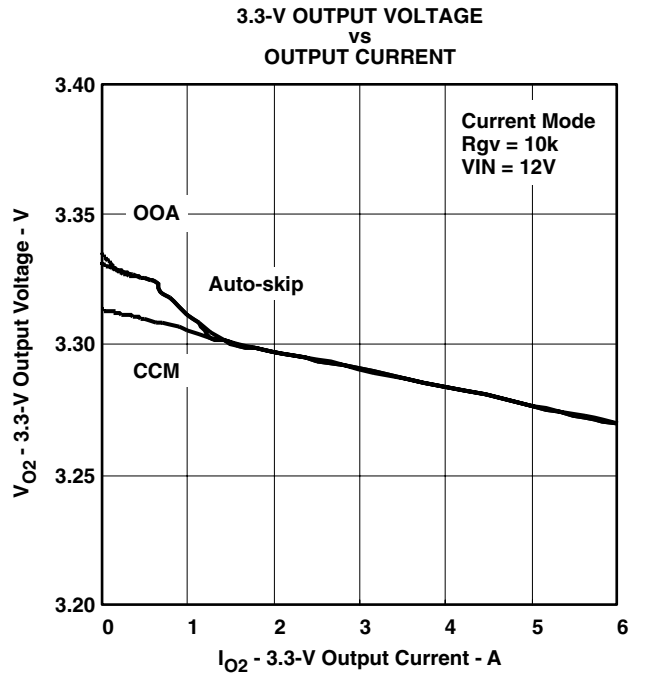


图 26

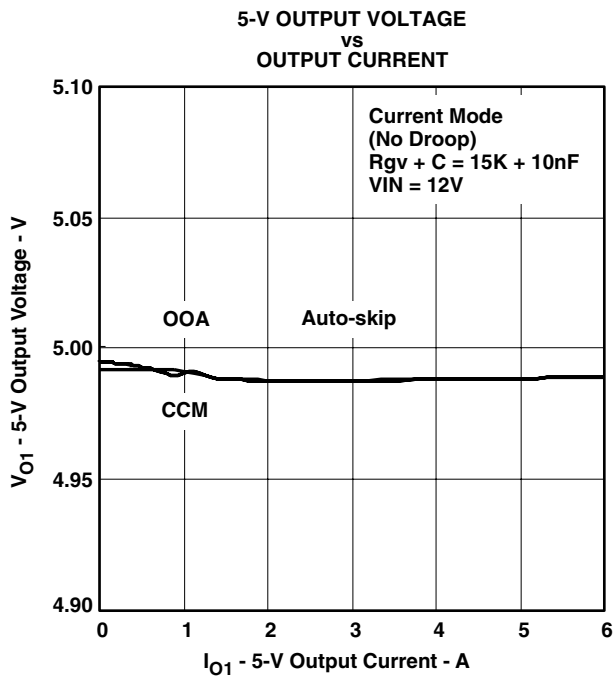


图 27

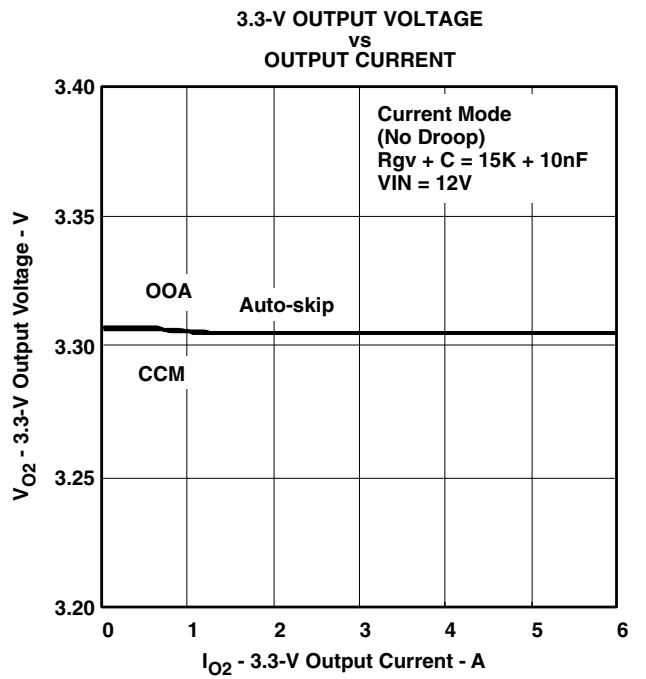


图 28

代表的特性

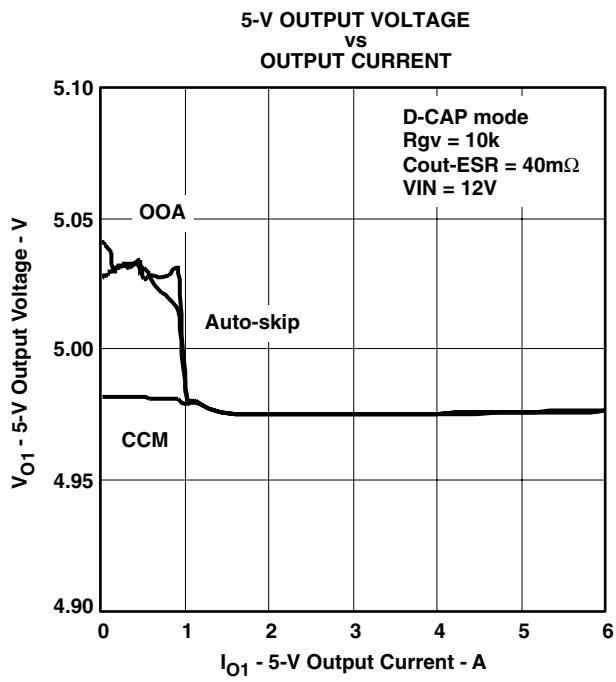


图 29

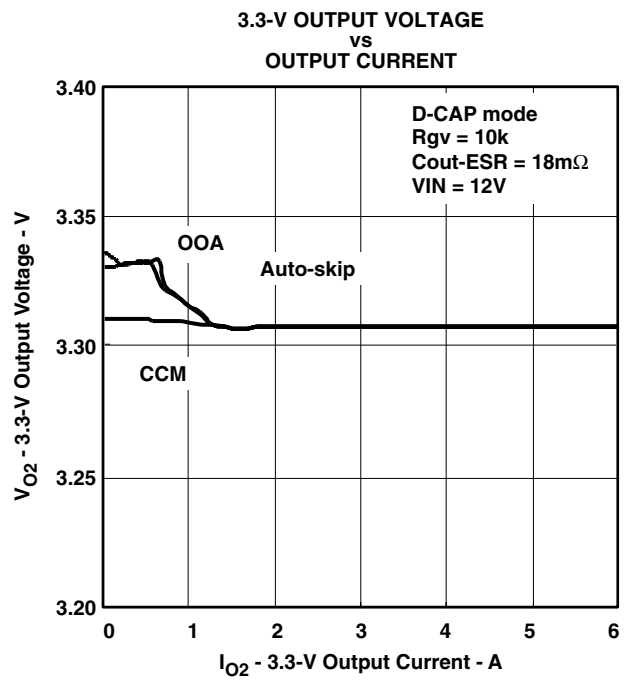


图 30

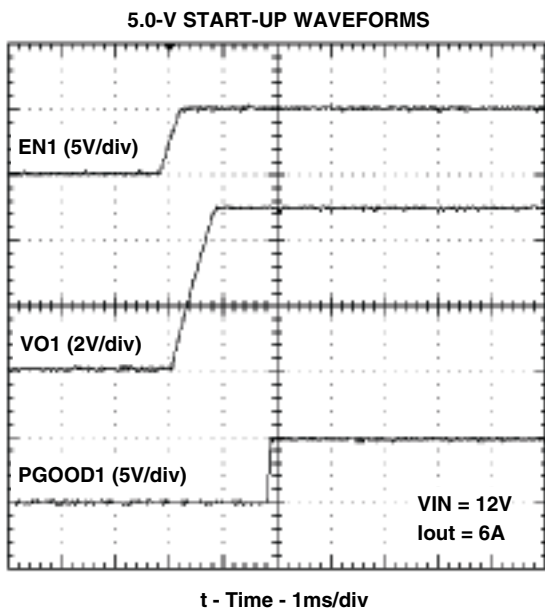


图 31

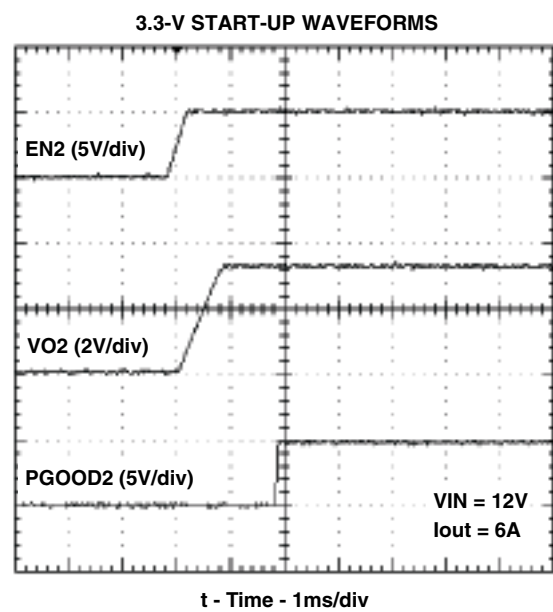
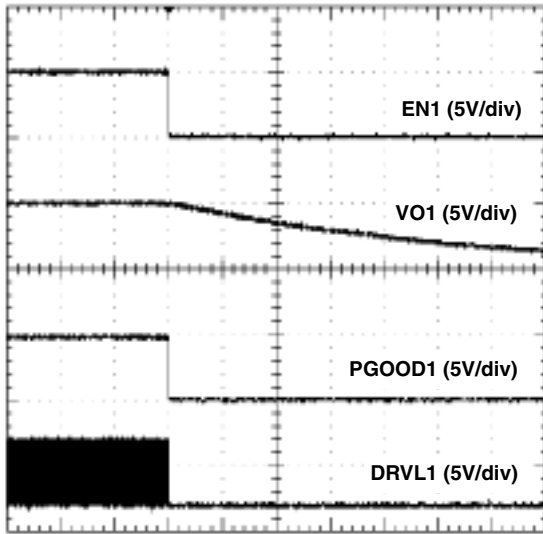


图 32

代表的特性

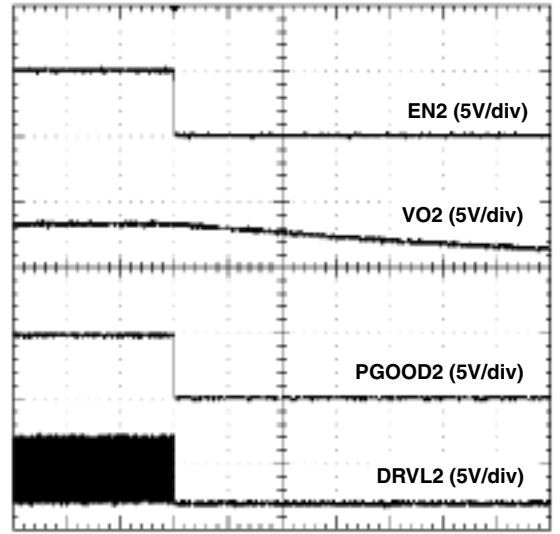
5.0-V SOFT-STOP WAVEFORMS



t - Time - 1ms/div

图 33

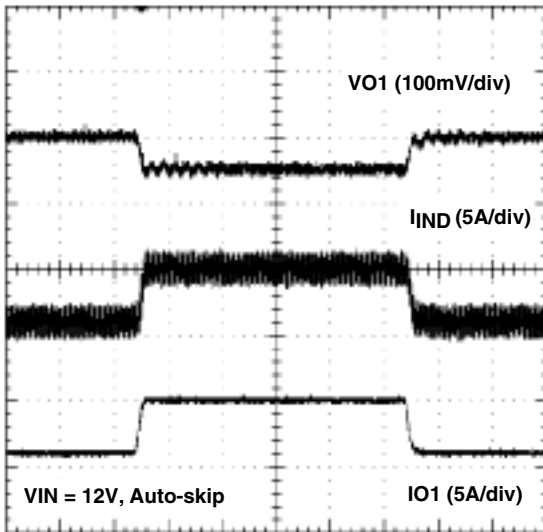
3.3-V SOFT-STOP WAVEFORMS



t - Time - 1ms/div

图 34

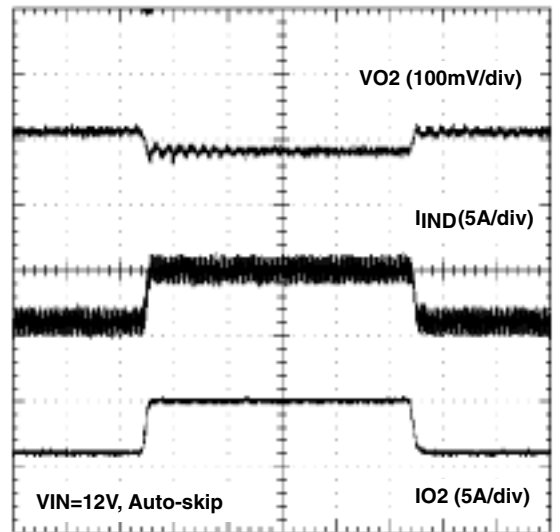
5.0-V LOAD TRANSIENT RESPONSE



t - Time - 100 μ s/div

图 35

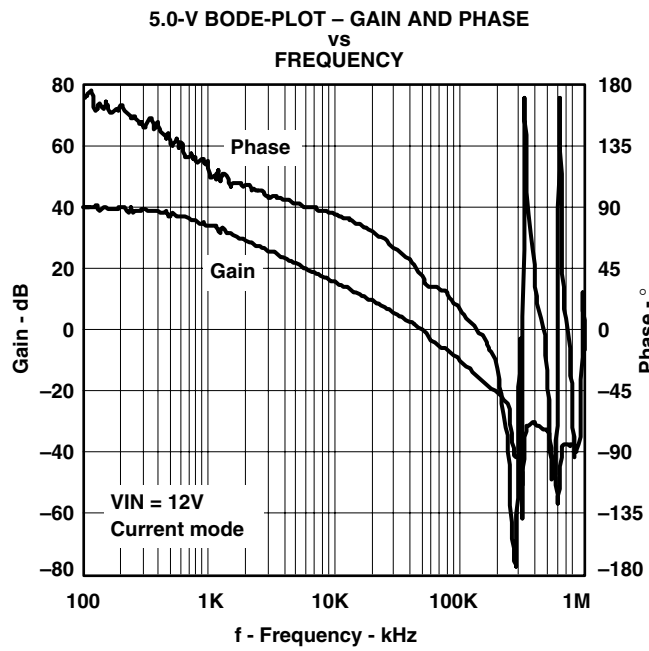
3.3-V LOAD TRANSIENT RESPONSE



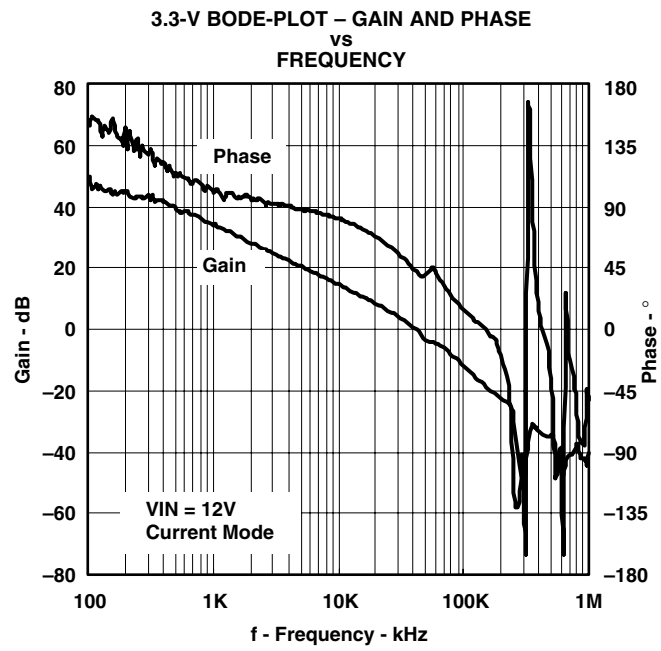
t - Time - 100 μ s/div

图 36

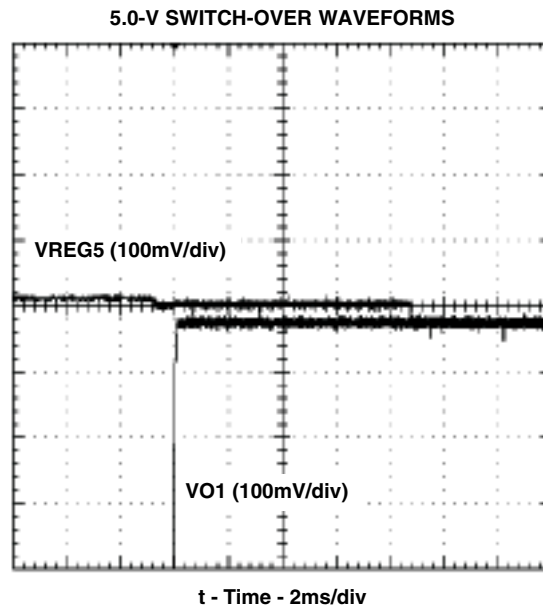
代表的特性



☒ 37



☒ 38



☒ 39

詳細説明

イネーブルとソフトスタート

ENが“L”レベルの時、TPS51220はシャットダウン状態にあります。3.3VのLDOのみが動作し続けており、消費電流は7 μ A(標準)です。ENが“H”レベルになった時、TPS51220はスタンバイ状態です。2Vの基準電圧と5VのLDOがイネーブルになり、この場合の消費電流は無負荷状態で80 μ A、SMPSチャネルをオンにできる状態にあります。各SMPSチャネルはENxが“H”レベルになった時オンになります。ENxが“H”レベルにセットされた後、TPS51220はソフトスタートを開始し、出力電圧を0.96msでゼロから目標電圧まで増加させます。一方、ソフトスタートを遅くする必要がある場合は、外付けのコンデンサをENxピンからGNDに接続することで実現できます。この場合、TPS51220は外付けコンデンサを内蔵されている2 μ Aの電流源で充電します。外付けコンデンサによるおおよそのソフトスタート時間は $t_{EX-SS} = C_{EX}/I_{EN12}$ となり、これはENx = 1VからENx = 2Vまでの時間を意味しています。2.2nFより大きな容量を推奨します。

3.3V、10mAのLDO (VREG3)

3.3V、10mAのリニア・レギュレータがTPS51220に内蔵されています。このLDOは一部IC内部のアナログ回路へ電源を供給し、また、ノートブック・システムで3.3Vの常時オン電圧用

に便利なスタンバイ電源を提供します。2.2 μ F(最小1 μ F)の高品質のX5RまたはX7Rセラミック・コンデンサをICに近づけてVREG3から(シグナル)GNDに接続してください。

2V、100 μ Aのシンク/ソース基準電圧(VREF2)

この電圧はループ補償回路の基準電圧用に用いられます。0.22 μ F(最小0.1 μ F)の高品質のX5RまたはX7Rセラミック・コンデンサをICに近づけてVREF2から(シグナル)GNDに接続してください。

5.0V、100mAのLDO(VREG5)

5.0V、100mAのリニア・レギュレータがTPS51220に内蔵されています。このLDOはIC内部の主要アナログ回路へ電源を供給し、切り替え機能(V5SW)がイネーブルになるまでゲート・ドライバ用に電流を提供します。10 μ F(最小4.7 μ F)の高品質のX5RまたはX7Rセラミック・コンデンサをICに近づけてVREG5から(パワー)GNDに接続してください。

VREG5 スイッチオーバ機能

V5SWの電圧が4.7Vより高くなると、内部の5VのLDOが停止し、VREG5が内部のMOSFETにより7.7msの遅延後V5SWに短絡します。V5SWが4.7Vより低くなった時、内部スイッチがオフになり、内部の5VのLDOが直ちに回復します。

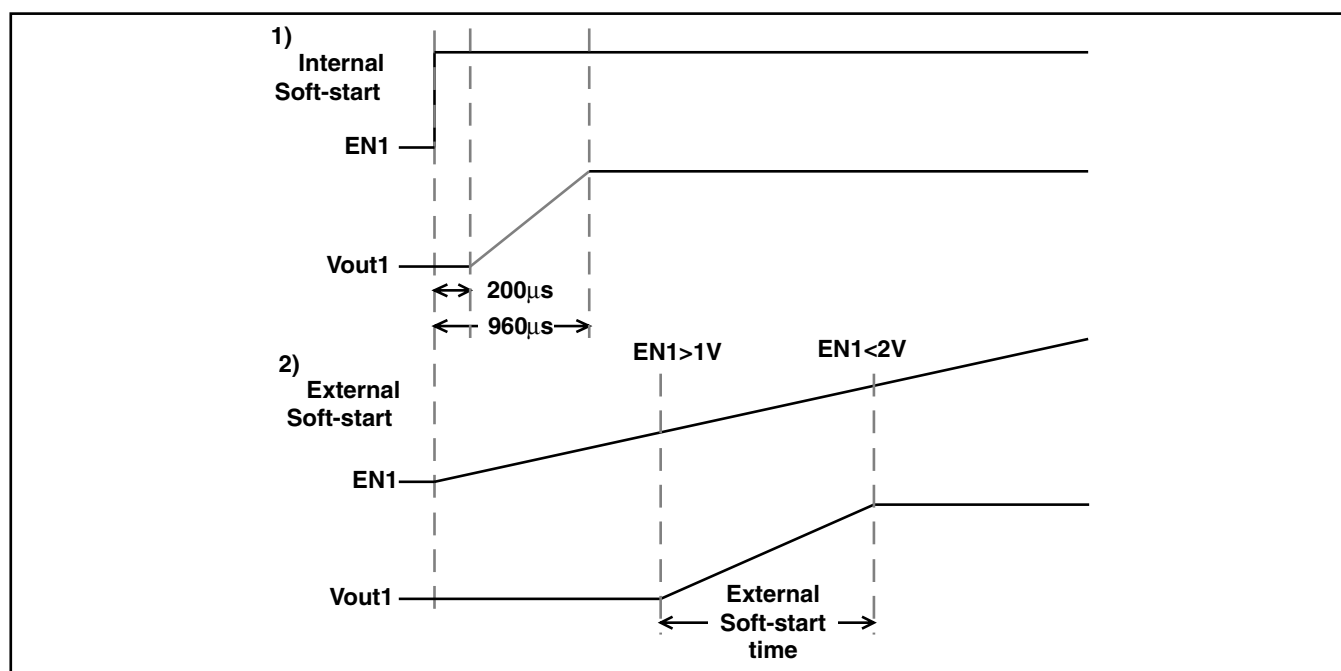


図 40. Enable and Soft-start Timing

EN	EN1	EN2	VREG3	VREF2	VREG5	CH1	CH2
GND	×	×	ON	Off	Off	Off	Off
H	L	L	ON	ON	ON	Off	Off
H	H	L	ON	ON	ON	ON	Off
H	L	H	ON	ON	ON	Off	ON
H	H	H	ON	ON	ON	ON	ON

表 1. イネーブル・ロジックのステータス

PWMの基本動作

SMPSの主要コントロール・ループは固定周波数のパルス幅変調 (PWM) コントローラとして設計されており、ピーク電流モードとTIが所有権を有するD-CAPモードの2つのコントロール体系をサポートしています。電流モードはセラミックまたは機能性高分子コンデンサといった低ESRのコンデンサにおいて安定した動作を実現します。D-CAPモードは外付けの補償回路を必要とせず、比較的大きなESRのコンデンサを使用する回路に適しています。これらのコントロール方式はFUNCピンで選択されます。表4を参照してください。

電流モード

電流モード方式は出力電圧のレギュレーションを行うため出力電圧の情報とインダクタ電流の情報を使用します。出力電圧の情報はVFBxピンで検出されます。この信号は1Vの内部基準電圧と比較され、その電圧差がトランスコンダクタンス・アンプ (VFB-AMP) により増幅されます。インダクタ電流の情報はCSPxピンとCSNxピンで検出されます。その電圧差は別のトランスコンダクタンス・アンプ (CS-AMP) により増幅されます。VFB-AMPの出力は目標のピーク・インダクタ電流を示しています。出力電圧が低下すると、TPS51220は出力電圧を上昇させるため目標のインダクタ電流を増加させ、一方、出力電圧が上昇すると、TPS51220は出力電圧を下げるため目標のインダクタ電流を減少させます。

各クロック・サイクルの始めに、ハイサイドMOSFETはオンまたは“オン”状態になります。インダクタ電流がVFB-AMPとランプ補償信号の結合出力値で決まる目標値になった後ハイサイドMOSFETはオフまたは、“オフ”状態になります。ランプ補償信号はインダクタ電流のコントロール・ループのサブハーモニック発振を防止するのに使用されます。ハイサイドMOSFETは次のクロック・サイクルで再びオンになります。このような動作を繰り返すことで、コントローラは出力電圧のレギュ

レーションを行います。同期式ローサイドまたは整流MOSFETは導通損失を最小限に保持するためオフ状態でそれぞれオンになります。

D-CAP™モード

D-CAPモード動作の場合、PWMコンパレータはVREF2とCOMP電圧、VFB-AMP出力、ランプ補償信号の結合値を比較します。両方の信号が電圧検出信号の最大で等しい時、コンパレータはオフ信号をハイサイドMOSFETドライバに供給します。位相補償回路がICに内蔵され、出力波形それ自身が誤差信号として用いられるため、外付け回路は簡素化されます。もう1つの利点は本質的に過渡応答が高速であることです。トレードオフは出力コンデンサに十分な大きさのESRが必要であることです。D-CAP™モードは比較的大きな出力リップル電圧のアプリケーションに適しています。インダクタ電流の情報は過電流保護や軽負荷動作に使用されます。

PWM周波数コントロール

TPS51220は両チャンネルが180°の位相シフト動作する固定周波数のコントロール方式を備えています。スイッチング周波数はRFピンとGND間に接続される外付け抵抗で決めることができ、式 (1) を用いて計算することができます。

$$f_{sw} [\text{kHz}] = \frac{1 \times 10^5}{RF [\text{k}\Omega]} \quad (1)$$

また、TPS51220は信号をRFピンに加えることで2.5Vより大きな振幅の外部クロックに同期させることも可能です。チャンネル1のセット (ON) タイミングはクロックの立上りエッジ (標準1.3V) で開始し、チャンネル2は立下りエッジ (標準1.1V) で開始します。従って、50%のデューティ信号により両方のチャンネルには180°の位相シフトが生じます。

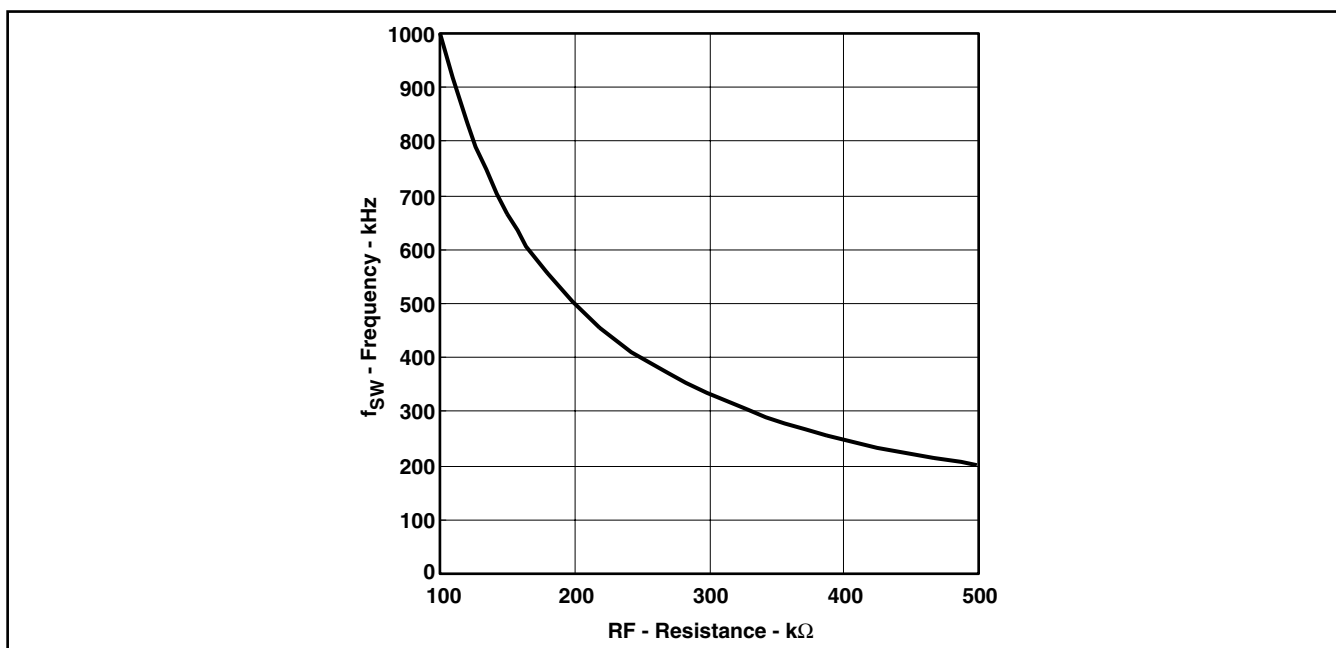


図 41. Switching Frequency vs RF

軽負荷動作

TPS51220は、SKIPSELxピンでオート・スキップまたはOOAモードが選択された場合、高効率を維持するため軽負荷状態時自動的にスイッチング周波数を低下させます。この周波数の低下はパルスを省略することで行われます。出力電流が重負荷状態から減少すると、インダクタ電流も低減し、最終的にはそのピークが既定の電流 $I_{LL(PEAK)}$ に達する点に至り、これが重負荷状態と軽負荷状態の境界に当たります。一度上側MOSFETがオンになると、TPS51220は $I_{LL(PEAK)}$ に達するまでMOSFETがオフになることを許容しません。このことによりやがて出力に過電圧状態が生じ、パルスが省略され始めます。ゼロ・クロス検出後の次のパルスから、 $I_{LL(PEAK)}$ は大きなリップルが生じないように1スイッチング周期間において過電流制限設定 ($I_{OCL(PEAK)}$ ：電流保護の項参照) の25%から $I_{OCL(PEAK)}$ の5%に向かうランプ・ダウン信号によって制限します。軽負荷動作への移行する負荷電流の $I_{LL(DC)}$ は以下のように計算することができます。

$$I_{LL(DC)} = I_{LL(PEAK)} - 0.5 \times I_{IND(RIPPLE)} \quad (2)$$

$$I_{IND(RIPPLE)} = \frac{1}{L \times f_{SW}} \times \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN}} \quad (3)$$

但し、 f_{SW} はRF抵抗の設定または外付けクロックで決まるPWMスイッチング周波数です。軽負荷状態での出力電流に対するスイッチング周波数はL、f、 V_{IN} 、 V_{OUT} の関数ですが、これは上記で求められた $I_{LL(DC)}$ からの出力電流にほぼ比例して低下します。また一方、スイッチング周期はクロックに同期しています。この同期により、境界の負荷状態(ほぼ $I_{LL(DC)}$)におけるスイッチング波形はサブハーモニック発振のように見えますが、この動作は意図したものです。

SKIPSELxがGNDに接続された場合、TPS51220はその負荷電流にかかわらず固定周波数 f_{SW} で動作します。

$$I_{LL(PEAK)Ramp} = (0.25 - 0.2 \times \frac{V_{OUT}}{V_{IN}}) \times I_{OCL(PEAK)} \quad (4)$$

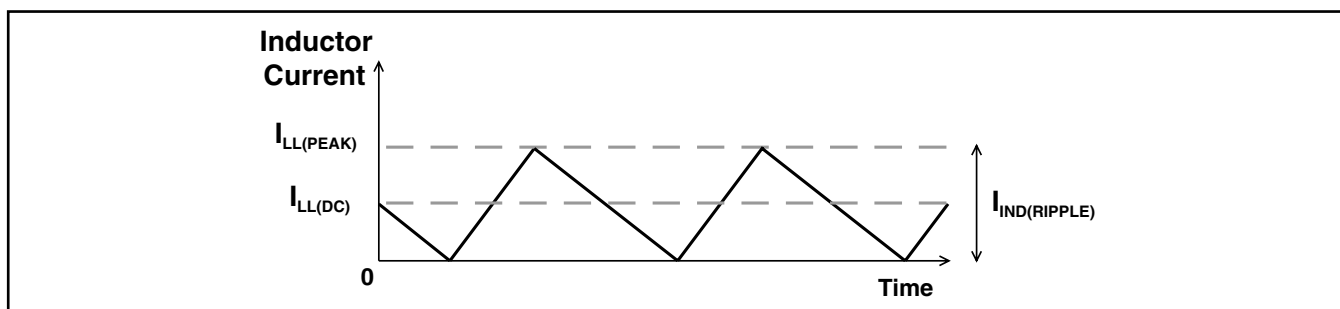


図 42. Boundary Between Pulse Skipping and CCM

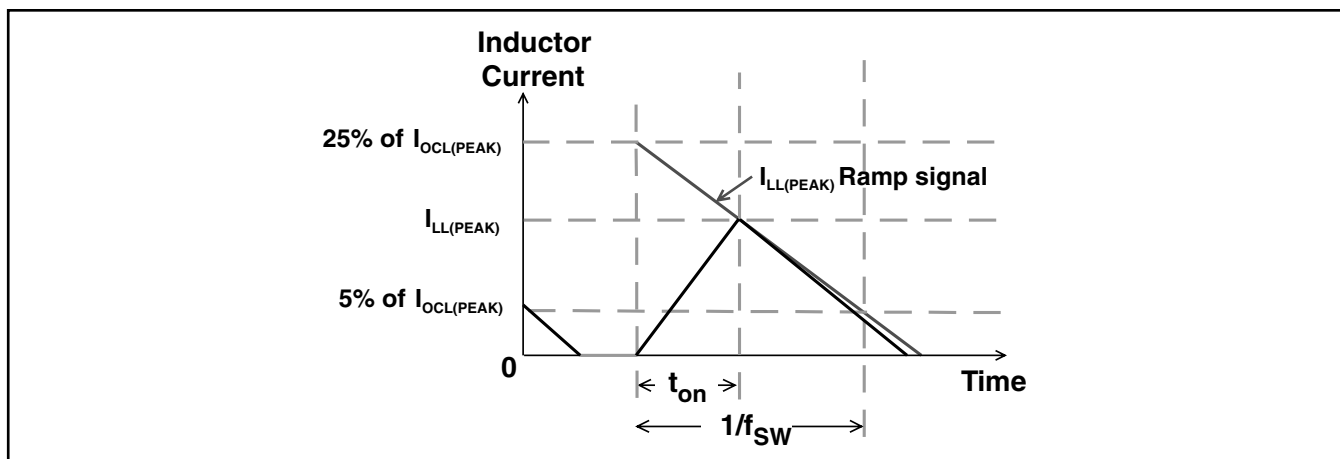


図 43. Inductor Current Limit at Pulse Skipping

SKIPSELx	GND	VREF2	VREG3	VREG5
動作モード	連続電流 (CCM)	オート・スキップ	OOAスキップ (最大7のスキップ、< 400kHz)	OOAスキップ (最大15のスキップ、 \geq 400kHz)

表 2. スキップ・モードの選択

OUT OF AUDIOスキップ動作

Out-Of-Audio™ (OOA) 軽負荷モードは、最高の変換効率を維持しながら、実質的に無負荷状態までスイッチング周波数を可聴周波数より高く保持する独自のコントロール機能です。OOAが選択された時、スイッチング周波数はいかなる負荷状態でも可聴周波数範囲よりも高い周波数に保たれます。TPS51220は軽負荷状態時自動的にスイッチング周波数を低下させます。OOAコントロール回路は両方のMOSFETの状態を監視し、設定されたパルス数をスキップ後に強制的にオン状態にします。このことはハイサイドMOSFETが出力電圧が目標値まで低下する前にオンになるため、いずれは過電圧状態が生じてしまうことを意味しています。OOAコントロール回路はこの過電圧状態を検出し、出力電圧を維持するためにスキップ・モードのオン時間を調節することを開始します。

TPS51220は広いスイッチング周波数範囲に対応しているため、OOAスキップ・モードには2つの選択肢があります。表2を参照してください。300kHzのスイッチング周波数が選択された時、最大7のスキップ (SKIPSEL = 3.3V) で最小周波数が37.5kHzになります。最大15のスキップが選択されると、18.8kHzになります。したがって、400kHzより低い周波数では最大7のスキップが、400kHz以上では最大15のスキップが適していることとなります。

99%のデューティ・サイクル動作

5V入力/5V出力などの低ドロップアウト状態では、基本コントロール・ループは本質的にハイサイドMOSFETを100%オンに保持しようとします。しかし、上側スイッチ用に用いられるN-MOSFETでは、ブートストラップ・コンデンサを充電する時間が必要なため100%オンのサイクルを実現することはできません。TPS51220は100%オンの状態を検出し、適切な時期にオフ状態を挿入します。

ハイサイド・ドライバ

ハイサイド・ドライバは、大電流、低オン抵抗 ($r_{DS(on)}$) のNチャンネルMOSFETを駆動するよう設計されています。駆動能力はその内部抵抗で表され、VBSTxからDRVHxへは1.7Ω、DRVHxからSWxへは1Ωです。フローティング・ドライバとして構成された場合、5Vのバイアス電圧はVREG5電源から供給されます。瞬時駆動電流はVBSTxピンとSWxピン間のフライング・コンデンサにより供給されます。平均駆動電流はVgs = 5V時のゲート電荷にスイッチング周波数を乗じたものです。このゲート駆動電流とローサイド・ドライバのゲート駆動電流を加え5Vを乗じると駆動電力になり、これはTPS51220パッケージの許容消費電力範囲内であることが必要です。シュートスルーを防ぐデッドタイムは、ハイサイドMOSFETのオフからローサイドMOSFETのオンへの間、及びローサイドMOSFETのオフからハイサイドMOSFETのオンへの間で内部生成されます。

ローサイド・ドライバ

ローサイド・ドライバは、大電流、低オン抵抗 ($r_{DS(on)}$) のNチャンネルMOSFETを駆動するよう設計されています。駆動能力はその内部抵抗で表され、VREG5からDRVLxへは1.3Ω、DRVLxからGNDへは0.7Ωです。5Vのバイアス電圧はVREG5電源から供給されます。瞬時駆動電流はVREG5とGND間に接続された入力コンデンサにより供給されます。平均駆動電流もVgs = 5V時のゲート電荷にスイッチング周波数を乗じて計算されます。

電流検出方式

優れた精度とコスト効率の良いソリューションの両方を実現するため、TPS51220は外付け抵抗による電流検出とインダクタのDCRによる電流検出の両方に対応しています。DCR端の電圧降下を適切に検出するために高品質のX5RまたはX7Rセラミック・コンデンサを用いたRC回路を使用しなければなりません。設計開始時の妥当な値は0.1μFです。検出するデバイスの正端子と負端子にそれぞれCSPxとCSNxを接続しなければなりません。TPS51220は電流アンプを内蔵しています。電流アンプのゲインGcはTRIP端子で選択されます。いかなる設定にしたとしても、電流アンプの出力信号はOCL設定点で100mVになります。このことは電流検出アンプがOCLの設定に基づいて電流情報の信号を正規化することを意味します。正確な電流検出を行うため抵抗による検出方式にもRC回路を接続することを推奨します。詳細な構成については外付け部品の選択の項を参照してください。

電流保護

TPS51220はサイクルごとに過電流制限を行います。インダクタ電流が過電流のトリップ・レベルより大きくなると、TPS51220はハイサイドMOSFETをオフに、ローサイドMOSFETをオンにし、次のクロック・サイクルを待ちます。

$I_{OCL(PEAK)}$ はインダクタ電流のピーク・レベルを設定します。従って、過電流スレッシュホールドにおける直流負荷電流 $I_{OCL(DC)}$ は以下のように計算することができます。

$$I_{OCL(DC)} = I_{OCL(PEAK)} - 0.5 \times I_{IND(RIPPLE)} \quad (5)$$

$$I_{OCL(PEAK)} = \frac{V_{OCL}}{R_{SENSE}} \quad (6)$$

但し、RSENSEは電流検出デバイスの抵抗で、 $V_{(OCL)}$ は表3に示されているようにTRIPピンの電圧により決まる過電流トリップ・スレッシュホールド電圧です。

過電流状態では、負荷電流が供給電流を上回り、超過分の電流は出力コンデンサより供給されるため、出力電圧(出力コンデンサ電圧)は次第に減少し、最終的には低電圧保護動作によりシャットダウンします。

TRIP	GND	VREF2	VREG3	VREG5
$V_{(OCL)}$ (OCLトリップ電圧)	$V_{(OCL-ULV)}$ (超低電圧)	$V_{(OCL-LV)}$ (低電圧)		
放電	イネーブル	ディスエーブル	ディスエーブル	イネーブル

表 3. OCLトリップと放電の選択

パワーグッド

TPS51220は両方のスイッチング・チャンネルに対しパワーグッド出力をもっています。パワーグッド機能はソフトスタートが終了した後、有効になります。出力電圧が目標値の±5%以内になると、内部のコンパレータがパワーグッドの状態を検出し、1msの内部遅延の後パワーグッド信号が“H”レベルになります。出力電圧が目標値より±10%以上外れると、1.5μsの内部遅延の後パワーグッド信号は“L”レベルになります。印加する電圧は6Vより低くなくてはならず、推奨するプルアップ抵抗値は100kΩ~1MΩです。

出力の放電コントロール

TPS51220はENxが“L”レベルの時出力コンデンサを放電します。CSNxとGND間に内蔵されたMOSFETにより、出力コンデンサをゆっくり放電します。放電中にENxが“H”レベルになると、MOSFETはオフになり、出力電圧が数V維持された状態で、SMPSはソフトスタートに移行します。維持されている出力電圧がソフトスタート回路の設定電圧と等しくなるとPWMが開始します。この機能は表3に示されているようにディスエーブルにすることができます。

過電圧/低電圧保護

TPS51220は過電圧と低電圧を検出するため出力電圧を監視しています。出力電圧が目標値より15%高くなった時、OVPコンパレータの出力は“H”レベルになり、回路はハイサイドMOSFETのドライバをオフ、ローサイドMOSFETのドライバをオンにラッチし、もう1つのチャンネルを停止します。

フィードバック電圧が目標電圧の70%より低くなると、UVPコンパレータの出力が“H”レベルになり、内部のUVP遅延カウンタがカウントを開始します。1msの後、TPS51220はハイサイドMOSFETとローサイドMOSFETの両方ともオフにラッチし、もう1つのチャンネルを停止します。このUVP機能はソフトスタートが完了した後、有効になります。OVP機能は表4のようにディスエーブルにすることができます。この保護状態から再起動する手順は以下のとおりです。

1. ENを一度オフ後、再度オンにする
2. EN1とEN2両方を一度オフ後、再度オンにする、または
3. いったんUVLO検出状態とした後、非検出状態に復旧させる

UVLO保護

TPS51220はVREG5、VREG3、VREF2に対し低電圧ロックアウト保護(UVLO)機能をもっています。電圧がUVLOのスレッシュホールド電圧以下に下がると、TPS51220は表5のようにそれぞれの出力を停止させます。本保護機能は自動復帰型で、ラッチはしません。

サーマル・シャットダウン

TPS51220はIC内部の温度をモニタしています。温度がスレッシュホールド値を越えると、TPS51220はSMPSと5VのLDOの両方を停止させ、VREG3の電流制限を5mA(標準)に減少させます。これは自動復帰型の保護機能で、ラッチはしません。

FUNC	GND	VREF2	VREG3	VREG5
OVP	イネーブル	ディスエーブル	イネーブル	ディスエーブル
コントロール方式	電流モード	D-CAPモード	D-CAPモード	電流モード

表 4. FUNCのロジック・ステータス

	CH1/ CH2	VREG5	VREG3	VREF2
VREG5 UVLO	Off	—	On	On
VREG3 UVLO	Off	Off	—	Off
VREF2 UVLO	Off	Off	On	—

表 5. UVLO保護

アプリケーション情報

外付け部品の選択

TPS51220を使用した降圧型コンバータはリニア回路とスイッチングモジュレータで構成されます。図44と図45に基本構成図を示します。

外付け部品は以下の方法で選択することができます。

1. 次の式を用いて出力電圧の分割抵抗 (図44に示されている R1とR2) を決めます。

$$R1 = (V_{OUT} - 1.0) \times R2 \quad (7)$$

D-CAPモードでは、R2に10kΩ~20kΩを推奨します。

2. スイッチング周波数を決めます。周波数が高いと出力容量は小さくすることができますが、スイッチング損失の増加により効率が低下します。RFピンの周波数設定抵抗は以下の式で計算することができます。

$$RF[k\Omega] = \frac{1 \times 10^5}{f_{sw} [kHz]} \quad (8)$$

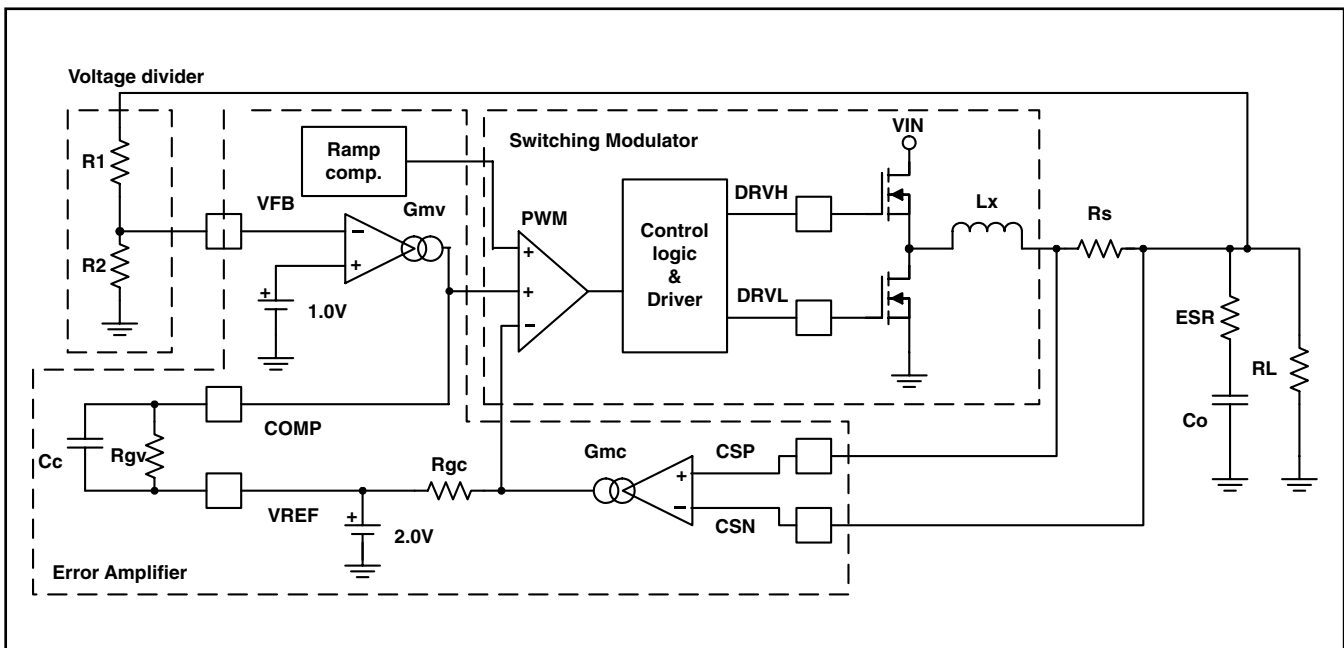


図 44. Simplified Current Mode Functional Blocks

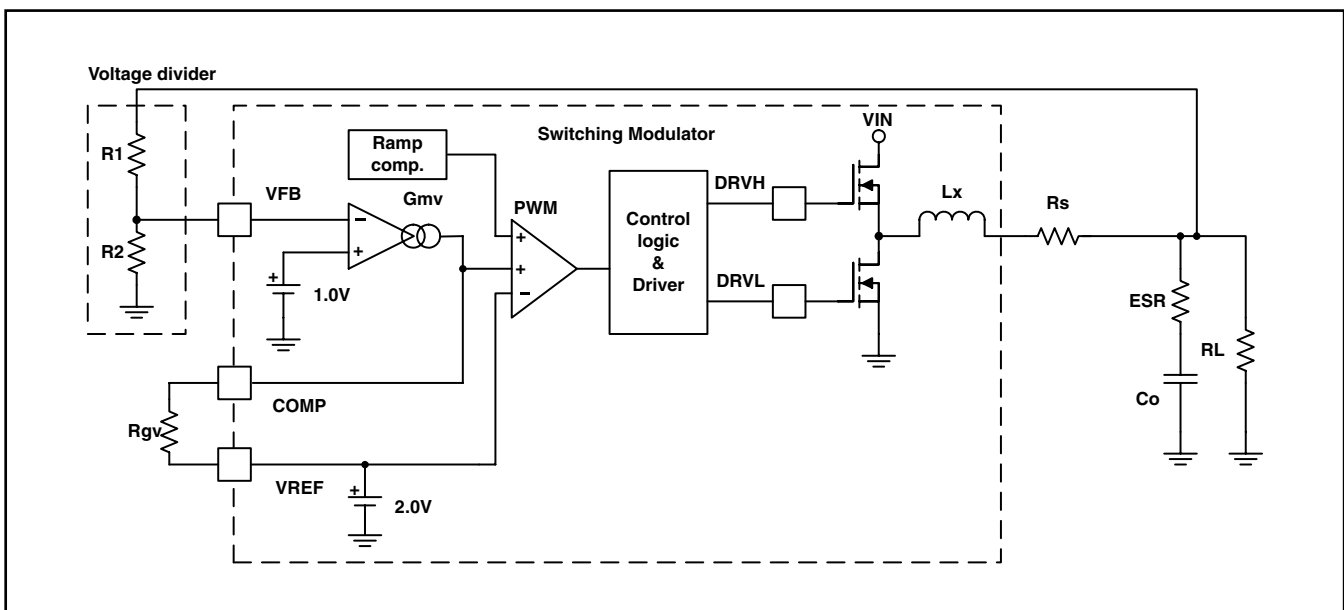


図 45. Simplified D-CAP Mode Functional Blocks

3. インダクタを選択します。インダクタンス値はリップル電流が最大出力電流の約25%から50%となるように決めなければなりません。推奨するリップル電流の割合は標準入力電圧条件で約30%から40%です。以下の式では33%を用いています。

$$L = \frac{1}{0.33 \times I_{OUT(MAX)} \times f_{SW}} \times \frac{(V_{IN(TYP)} - V_{OUT}) \times V_{OUT}}{V_{IN(TYP)}} \quad (9)$$

また、インダクタは、ピーク電流値に対して十分な飽和マージンをもつ部品であることに加え、優れた効率を実現するようDCRが低いことが必要とされます。

4. OCLのトリップ電圧スレッシュホールド $V_{(OCL)}$ を決め、検出抵抗を選択します。

OCLのトリップ電圧スレッシュホールドはTRIPピンの設定により決まります。 $V_{(OCL-LV)}$ を用いるとS/N比が改善します。次の式を用いて検出抵抗を決めます。 $I_{OCL(PEAK)}$ はおおよそ $1.5 \times I_{OUT(MAX)}$ から $1.7 \times I_{OUT(MAX)}$ にしなければなりません。

$$R_{SENSE} = \frac{V_{OCL}}{I_{OCL(PEAK)}} \quad (10)$$

5. R_{gv} を決めます。 R_{gv} は望ましいドループ補償値から決めなければならず、 $G_{mv} = 500\mu s$ の標準値をもとに次の式から求められます。

$$R_{gv} = 0.1 \times \frac{I_{OUT(MAX)}}{I_{OCL(PEAK)}} \times V_{OUT} \times \frac{1}{G_{mv} \times V_{droop}} \quad (11)$$

$$R_{gv}[k\Omega] = 200 \times \frac{I_{OUT(MAX)}}{I_{OCL(PEAK)}} \times \frac{V_{OUT}[V]}{V_{droop}[mV]} \quad (12)$$

ドループのない方式を選ぶ場合は、単一の抵抗の代わりに直列のRC回路を接続します。直列抵抗は式(13)を用いて決められます。直列容量はRC時定数を満たすよう任意に選択することができますが、 f_0 の1/10以下にしておかなければなりません。D-CAPモードでは、 R_{gv} はランプ補償を調整するために使用されます。設計開始時の妥当な値は $10k\Omega$ です。 $6k\Omega \sim 20k\Omega$ を選択することができます。

6. 安定した動作を行うため次の式を用いて出力容量 C_o を決めます。 $0dB$ の周波数 f_0 はスイッチング周波数の1/3以下にしておかなければなりません。

$$f_0 = \frac{5}{\pi} \times I_{OCL(PEAK)} \times \frac{1}{V_{OUT}} \times \frac{G_{mv} \times R_{gv}}{C_o} < \frac{f_{sw}}{3} \quad (13)$$

$$C_o > \frac{15}{\pi} \times I_{OCL(PEAK)} \times \frac{1}{V_{OUT}} \times \frac{G_{mv} \times R_{gv}}{f_{sw}} \quad (14)$$

D-CAPモードでは、 f_0 は以下のように出力コンデンサの特性によって決まります。

$$f_0 = \frac{1}{2\pi \times ESR \times C_o} < \frac{f_{sw}}{3} \quad (15)$$

$$C_o > \frac{3}{2\pi \times ESR \times f_{sw}} \quad (16)$$

優れたジッター性能を実現するには、VFBxピンに十分な量のフィードバック信号が必要とされます。推奨する信号レベルは、1スイッチング周期(t_{sw})あたりの上昇レートで約30mV、ピーク電圧で4mV以上です。

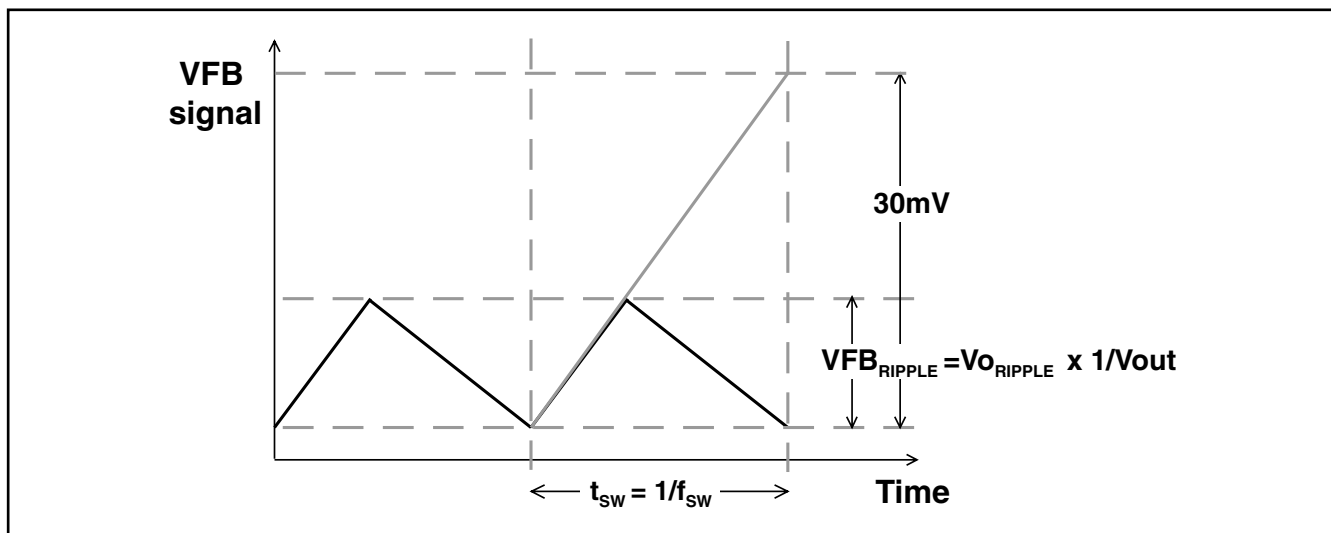


図 46. Required voltage feedback ramp signal

7. **Cc**を計算します。この容量の目的は出力コンデンサのESRにより生じるゼロをキャンセルすることです。セラミック・コンデンサを用いる場合、Ccは必要ありません。さまざまなコンデンサを組み合わせて用いる場合は、出力コンデンサのESRにより生じるゼロと極をキャンセルするため単一の容量の代わりにRC回路を接続します。単一容量Ccは式(17)で求められます。

$$C_c = C_o \times \frac{ESR}{R_{gv}} \quad (17)$$

D-CAPモードでは、基本的にCcは不要です。

8. **MOSFET**を選択します。一般的に、オン抵抗は高負荷状態時導通損失として効率に影響を与えます。低出力電圧のアプリケーションでは、デューティ比は高くなくハイサイドMOSFETのオン抵抗は効率にあまり影響を与えませんが、スイッチング速度 (t_r または t_f) がスイッチング損失として効率に影響を与えます。ローサイドMOSFETについては、スイッチング損失は通常総損失の主要部分ではありません。

抵抗による電流検出

外付け抵抗を用いてより正確な電流検出を行うには、以下の手法を推奨します。抵抗の寄生インダクタンスをキャンセルするためRCフィルタを追加すると、このフィルタ値は式(18)を用いて計算されます。

$$C_x \times R_x = \frac{L_x}{R_s} \quad (18)$$

この式はCxとRxの時定数はLx (ESL) とRsの時定数に一致しなければならないことを意味しています。

インダクタによる電流検出

インダクタのDCRを電流検出抵抗(Rs)として使用するためには、以下のように構成を変更する必要があります。しかし、満足しなければならない式は抵抗による検出の式と同じです。

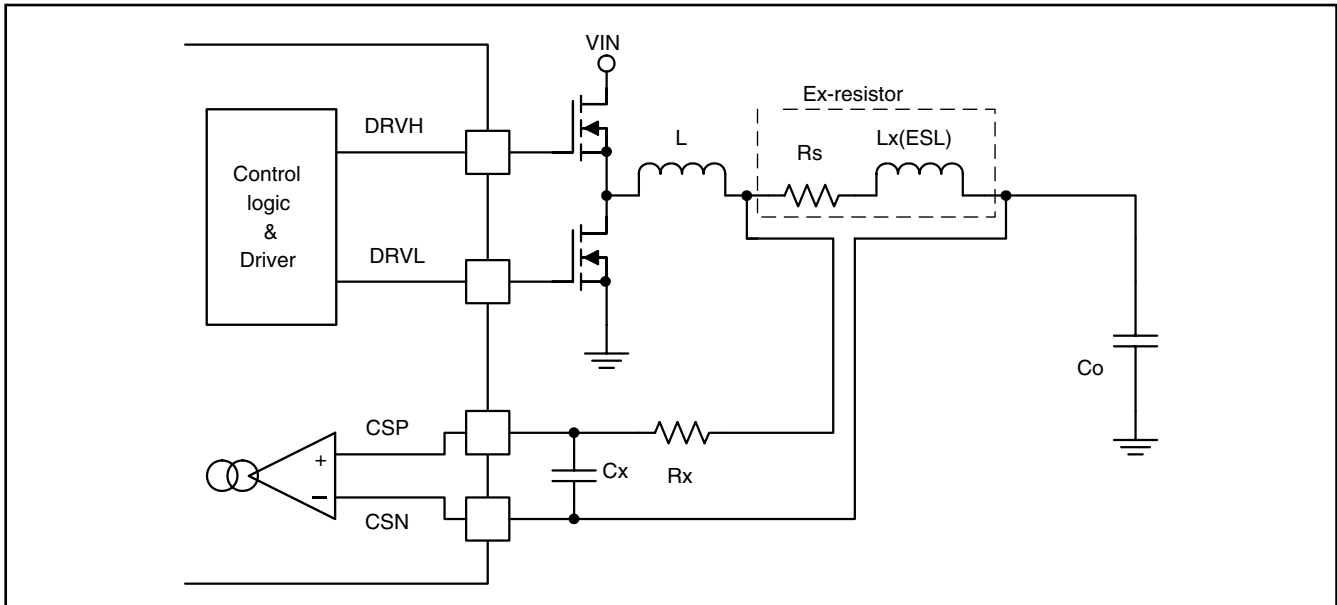


図 47. External Resistor Current Sensing

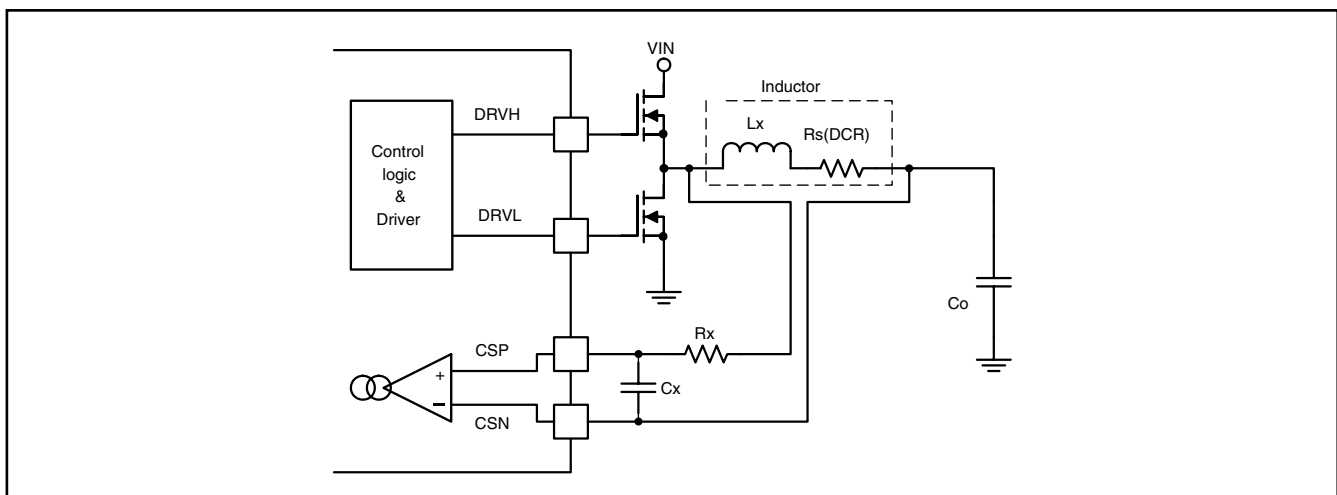


図 48. Inductor DCR Current Sensing

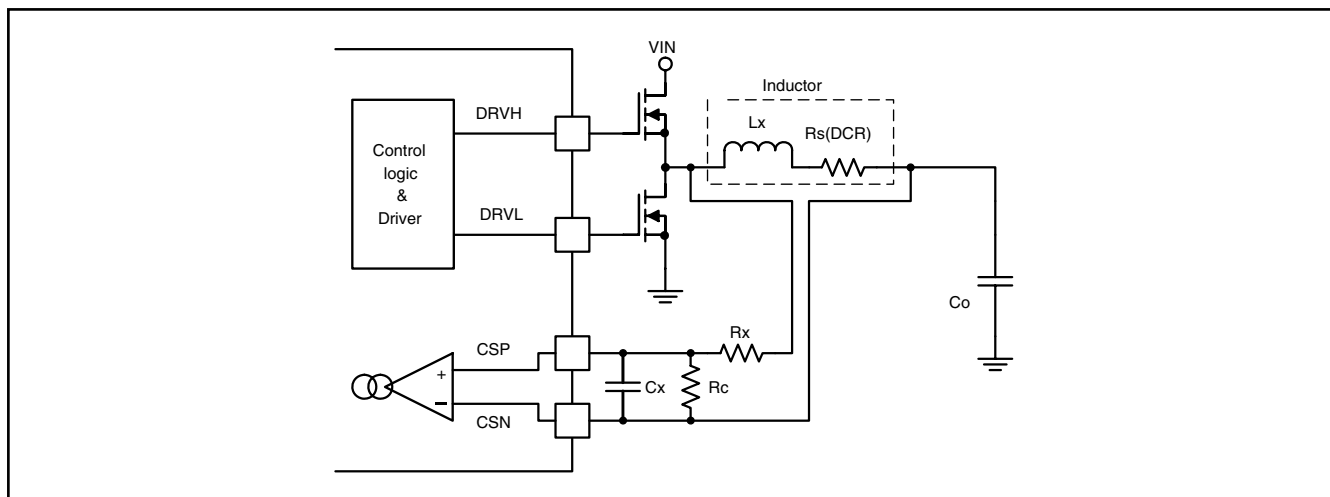


図 49. Inductor DCR Current Sensing With Voltage Divider

TPS51220の $V_{(OCL)}$ 設定電圧は固定値であるため、図49のような抵抗分割構成により、過電流制限値を微調整することができます。DCRを調整するため、 R_x 、 R_c 、 C_x については以下に示されるように計算することができ、過電流制限値も以下のように計算することができます。

$$C_x \times (R_x/R_c) = \frac{L_x}{R_s} \quad (19)$$

$$I_{OCL(PEAK)} = V_{OCL} \times \frac{1}{R_s} \times \frac{R_x + R_c}{R_c} \quad (20)$$

図50にインダクタのDCR値の温度ドリフトを補償する手法を示します。この方式はサーミスタ (R_{NTC}) の温度上昇がインダクタの温度上昇に限りなく同一であるように考慮されている場合に有効です。

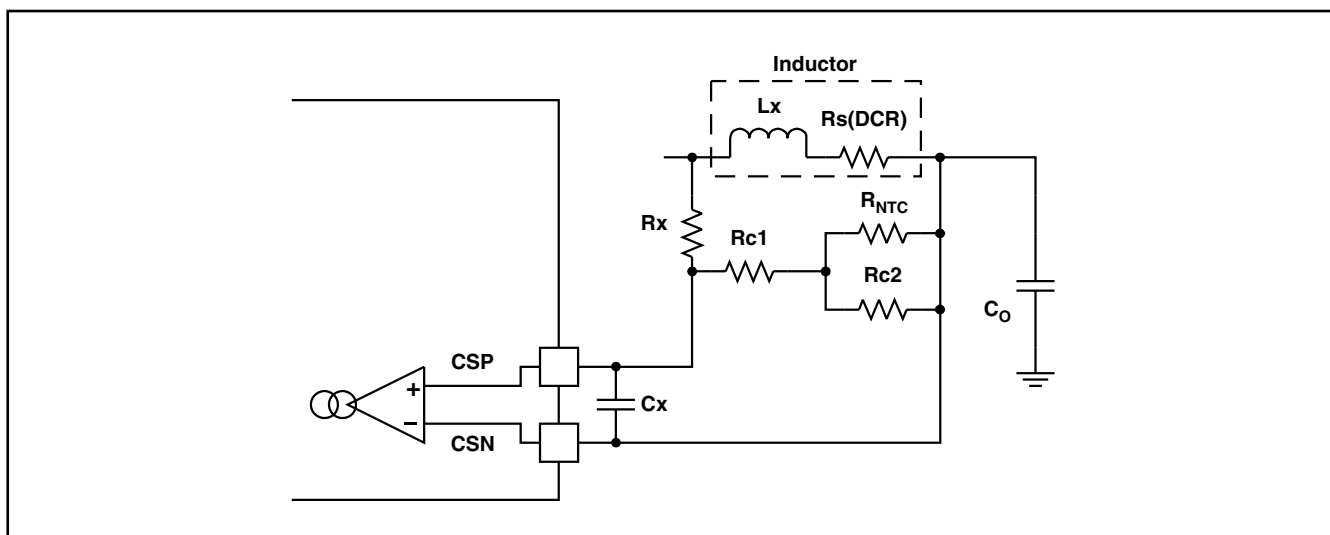


図 50. Inductor DCR Current Sensing With Temperature Compensate

レイアウトについての考察

TPS51220を用いてPCBのレイアウト作業を開始する前に以下の点について考慮しなければなりません。

配置

- CSP1及びCSP2用のRC回路をICピンの近くに配置します。
- VREG5、VREG3、VREF2用のバイパス・コンデンサをICピンの近くに配置します。
- 周波数設定抵抗をICピンの近くに配置します。
- COMP1及びCOMP2用の補償回路をICピンの近くに配置します。
- 電圧設定抵抗をICピンの近くに配置します。D-CAPモードが選択された時は特に重要です。

配線(アナログ回路部)

- 以下については配線を共用せずに、それぞれ専用の配線を使用します(図51参照)。
 - 出力電圧検出を電流検出(負側)から分離
 - 出力電圧検出をV5SW入力から分離($V_{OUT} = 5V$ の時)
 - 電流検出(正側)をスイッチ・ノードから分離

- 電流検出デバイス(インダクタまたは抵抗)のソルダーパッドから電流検出コンパレータの入力(CSPxとCSNx)にケルビン検出配線を用います(図52参照)。
- VFBxの銅配線をノイズ結合を避けるため短く、細い配線とします。
- VFB抵抗の配線を出力コンデンサのプラス端子に接続します。
- VREF2コンデンサ、VREG3コンデンサ、RF抵抗、VFB抵抗、その他アナログ部品にはシグナルGNDを使用します。シールドする目的で内層にシグナルGNDのエリア(IC真下の層に、IC及び周辺部品を完全に覆う広さ)を設けることを推奨します(図53参照)。
- PowerPAD™に対してはサーマル・ランドを用います。放熱を促進するため、サーマル・ランドから内部GNDプレーンに接続する直径0.33mm(13ミル)のピアを5つ以上使用しなければなりません。GNDピンをパッケージ底面で表層にあるこのサーマル・ランドに接続は不可です。

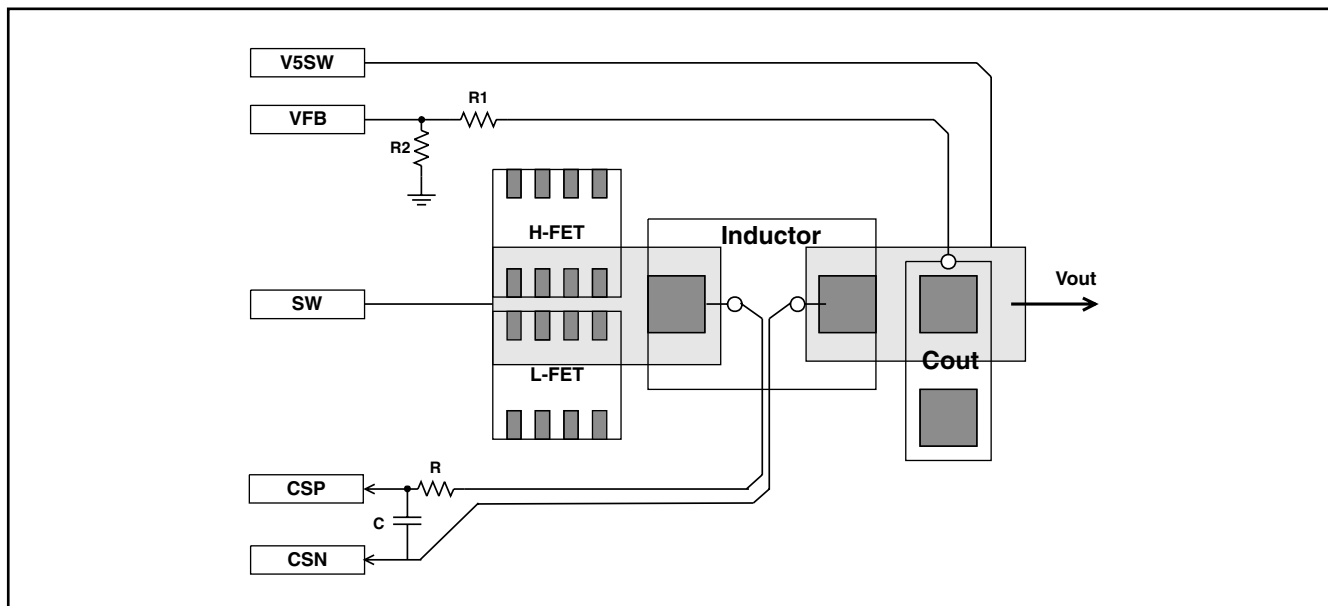


図 51. Sensing Trace Routings

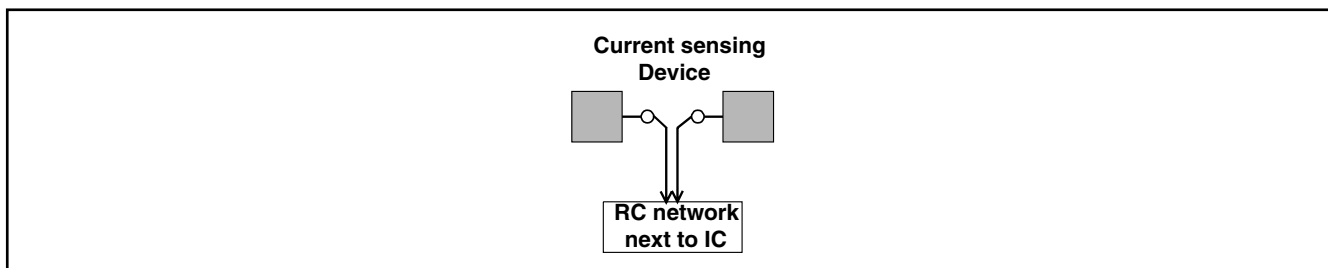


図 52. Current Sensing Traces

配線(パワー部)

- 浮遊インダクタンスを低減するためローサイド・ゲート・ドライバ用DRVVLの配線は幅広く短くします。
- SWとハイサイドMOSFETのゲート駆動用DRVHの配線は並列にし、DRVVLから離しておきます。

- ハイサイドMOSFETのソース端子にSWの配線を接続します。
- VREG5コンデンサ、VINコンデンサ、Voutコンデンサ、ローサイドMOSFETにはパワーGNDを使用します。パワーGNDと信号GNDはICのGND端子の近くで接続しなければなりません(図53参照)。

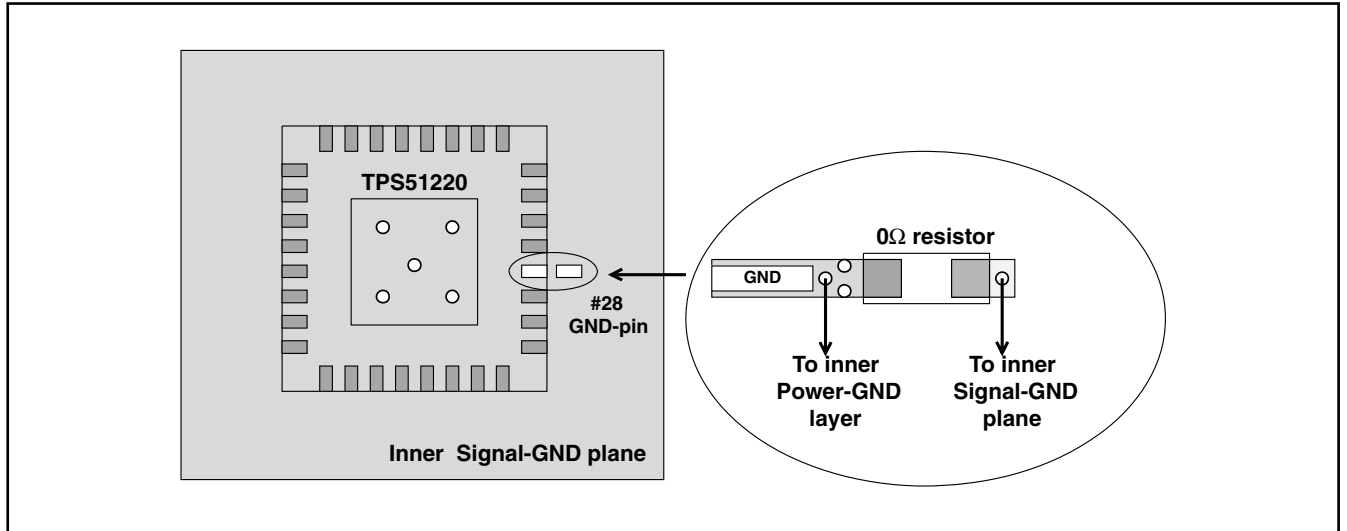


図 53. GND Layout Example

アプリケーション回路

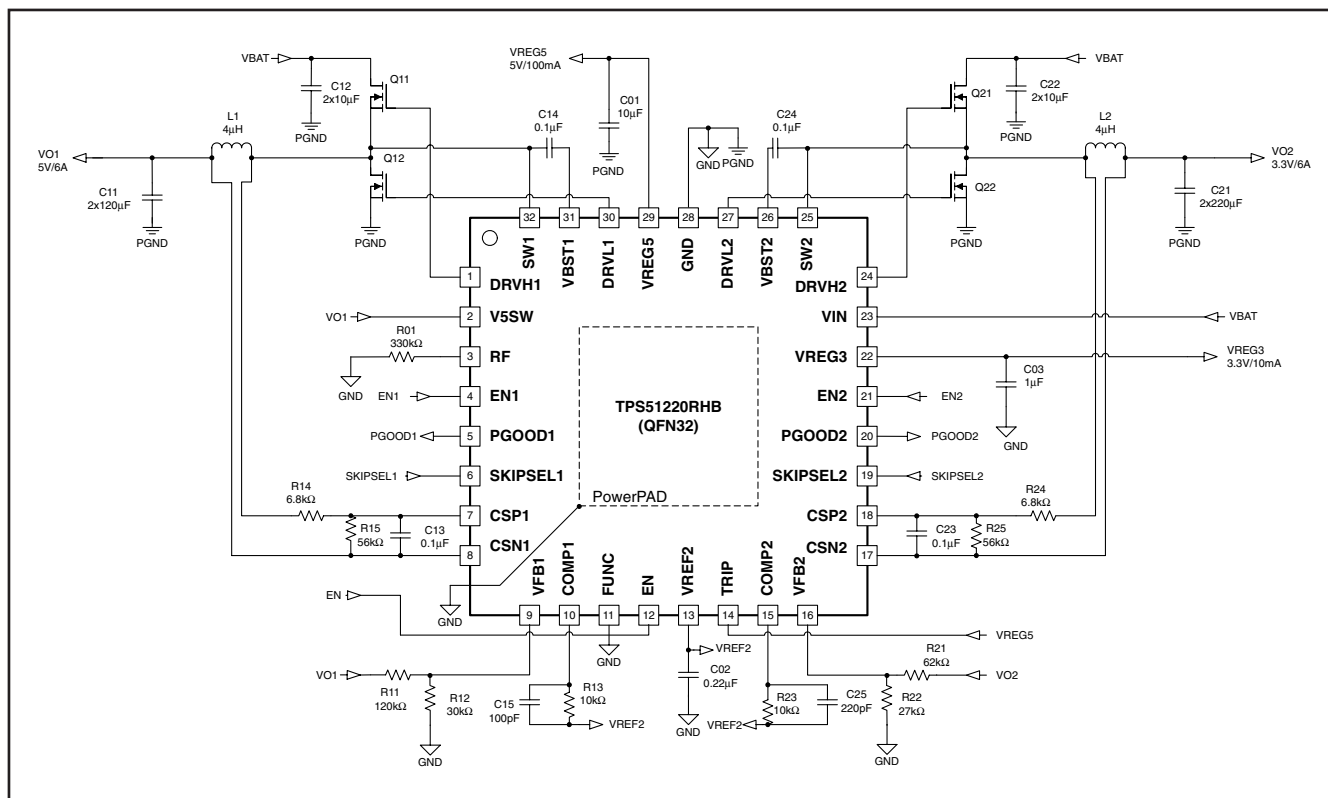


図 54. Current tMode, DCR Sensing, 5.0V/5A, 3.3V/5A, 300kHz

SYMBOL	SPECIFICATION	MANUFACTURER	PART NUMBER
C11	2 × 120 μF/ 6.3 V/15-mΩ	Panasonic	EEFCX0J121R
C12	2 × 10 μF/ 25 V	Murata	GRM32DR71E106K
C21	2 × 220 μF/ 4.0 V/15-mΩ	Panasonic	EEFCX0G221R
C22	2 × 10 μF/ 25 V	Murata	GRM32DR71E106K
L1	4.0 μH, 10.3 A, 6.6-mΩ	Sumida	CEP125-4R0MC-H
L2	4.0 μH, 10.3A, 6.6-mΩ	Sumida	CEP125-4R0MC-H
Q11, Q21	30-V, 13.6-A, 9.5-mΩ	IR	IRF7821
Q12, Q22	30-V, 13.8-A, 5.8-mΩ	IR	IRF8113

表 6. 電流モード、DCRによる電流検出, 5.0V/5A, 3.3V/5A, 300kHz

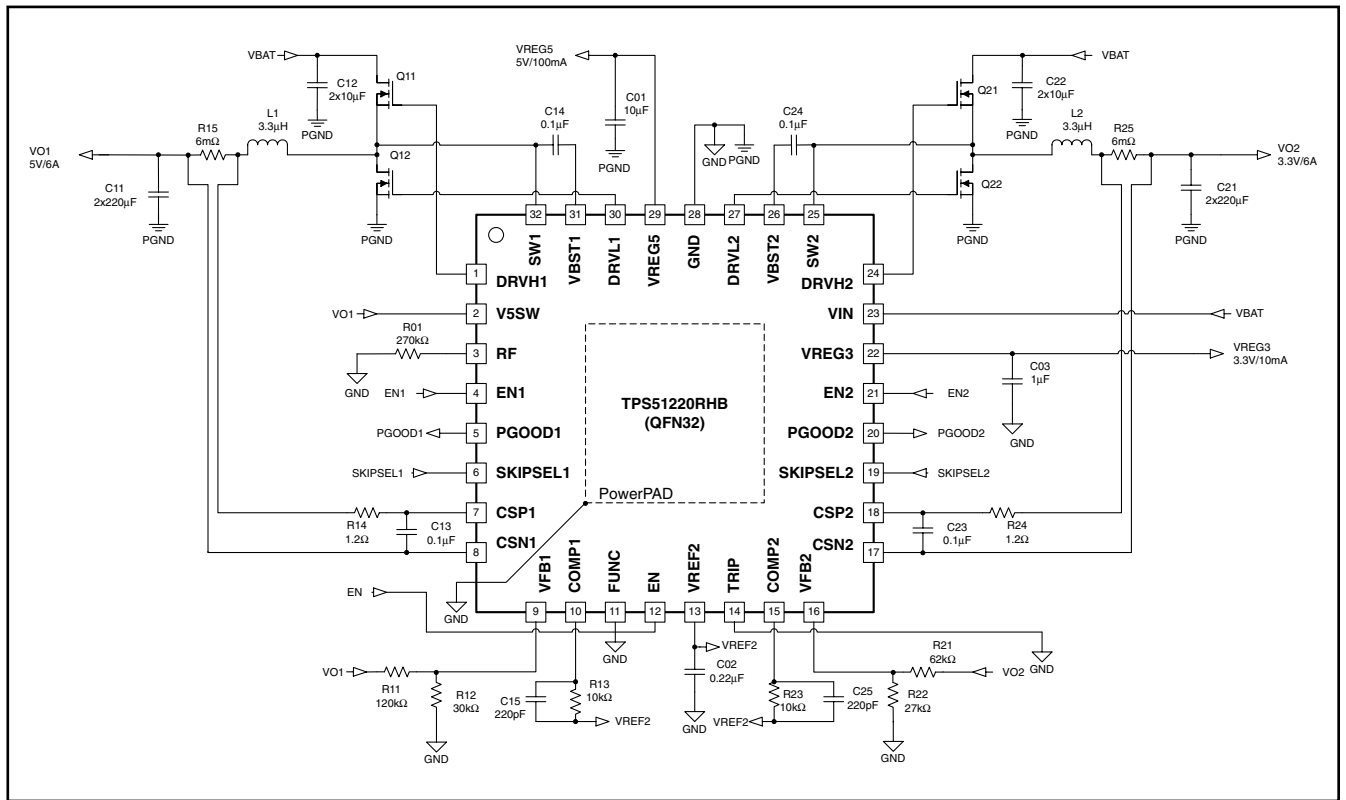


図 55. Current Mode, Ex-Resistor Sensing, 5.0V/5A, 3.3V/5A, 370kHz

SYMBOL	SPECIFICATION	MANUFACTURER	PART NUMBER
C11	2 x 220 µF/ 6.3 V/12-mΩ	Panasonic	EEFUE0J221R
C12	2 x 10 µF/ 25 V	Murata	GRM32DR71E106K
C21	2 x 220 µF/ 4.0 V/12-mΩ	Panasonic	EEFUE0G221R
C22	2 x 10 µF/ 25 V	Murata	GRM32DR71E106K
L1	3.3 µH, 10.3 A, 5.9-mΩ	TOKO	FDA1055-3R3M
L2	3.3 µH, 10.3 A, 5.9-mΩ	TOKO	FDA1055-3R3M
Q11, Q21	30-V, 13.6-A, 9.5-mΩ	IR	IRF7821
Q12, Q22	30-V, 13.8-A, 5.8-mΩ	IR	IRF8113

表 7. 電流モード、外付け抵抗による電流検出, 5.0V/5A, 3.3V/5A, 370kHz

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS51220RHBR	ACTIVE	QFN	RHB	32	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS51220RHBT	ACTIVE	QFN	RHB	32	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

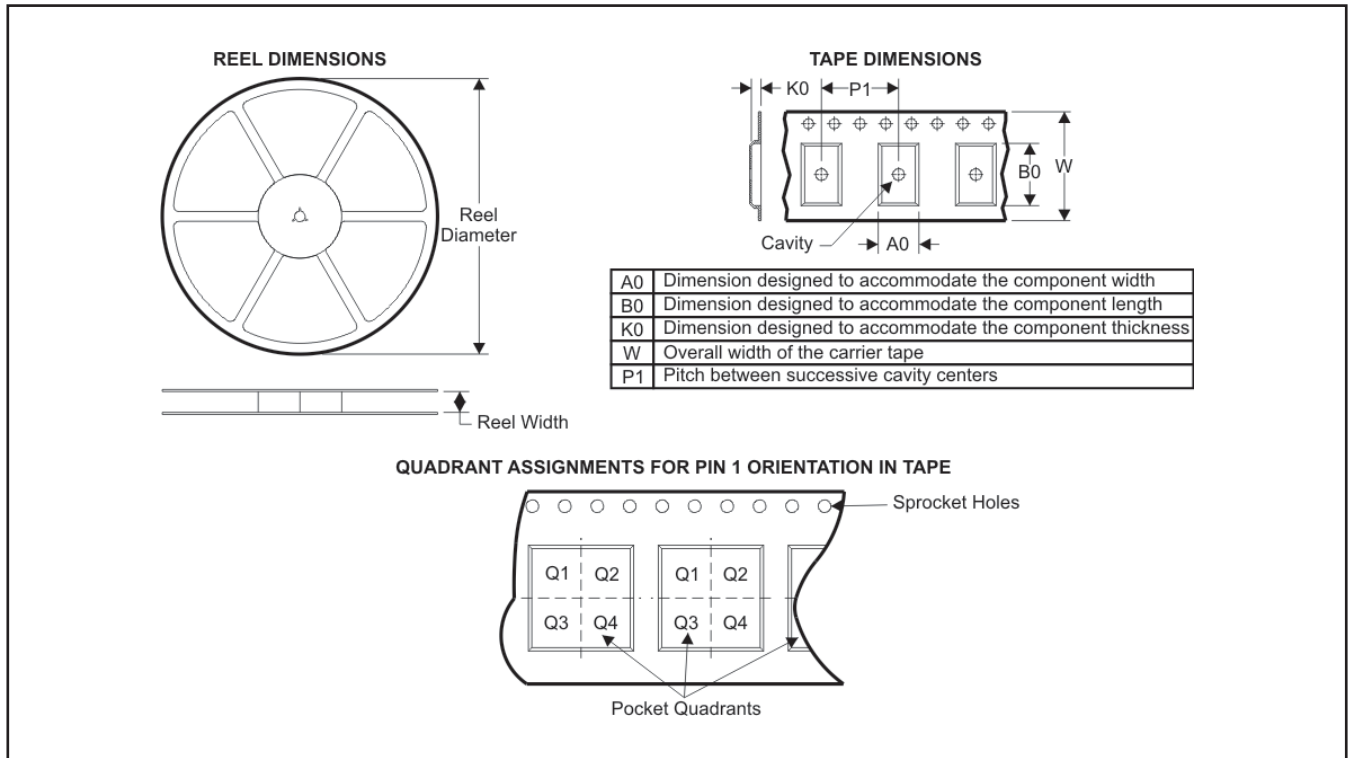
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

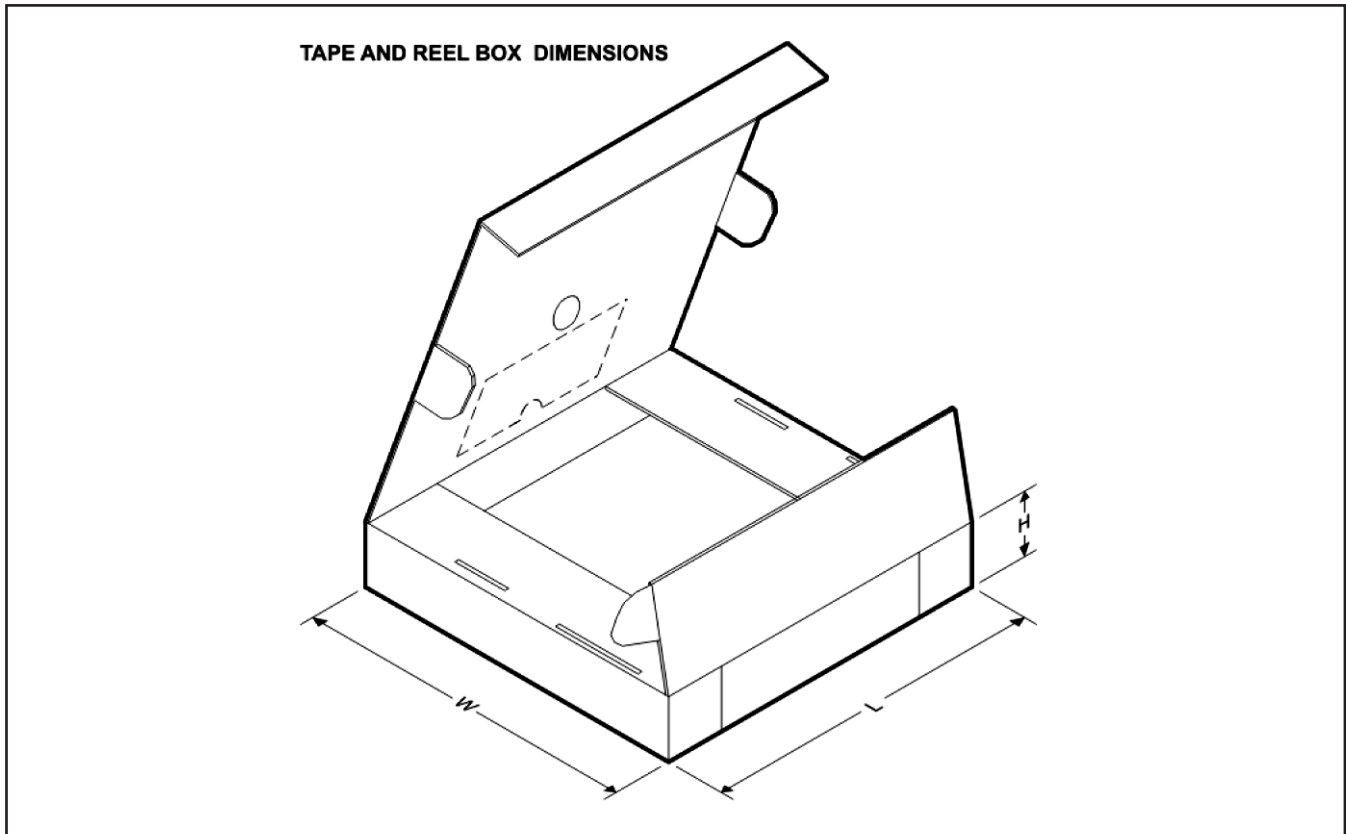
パッケージ・マテリアル情報

テープおよびリール・ボックス

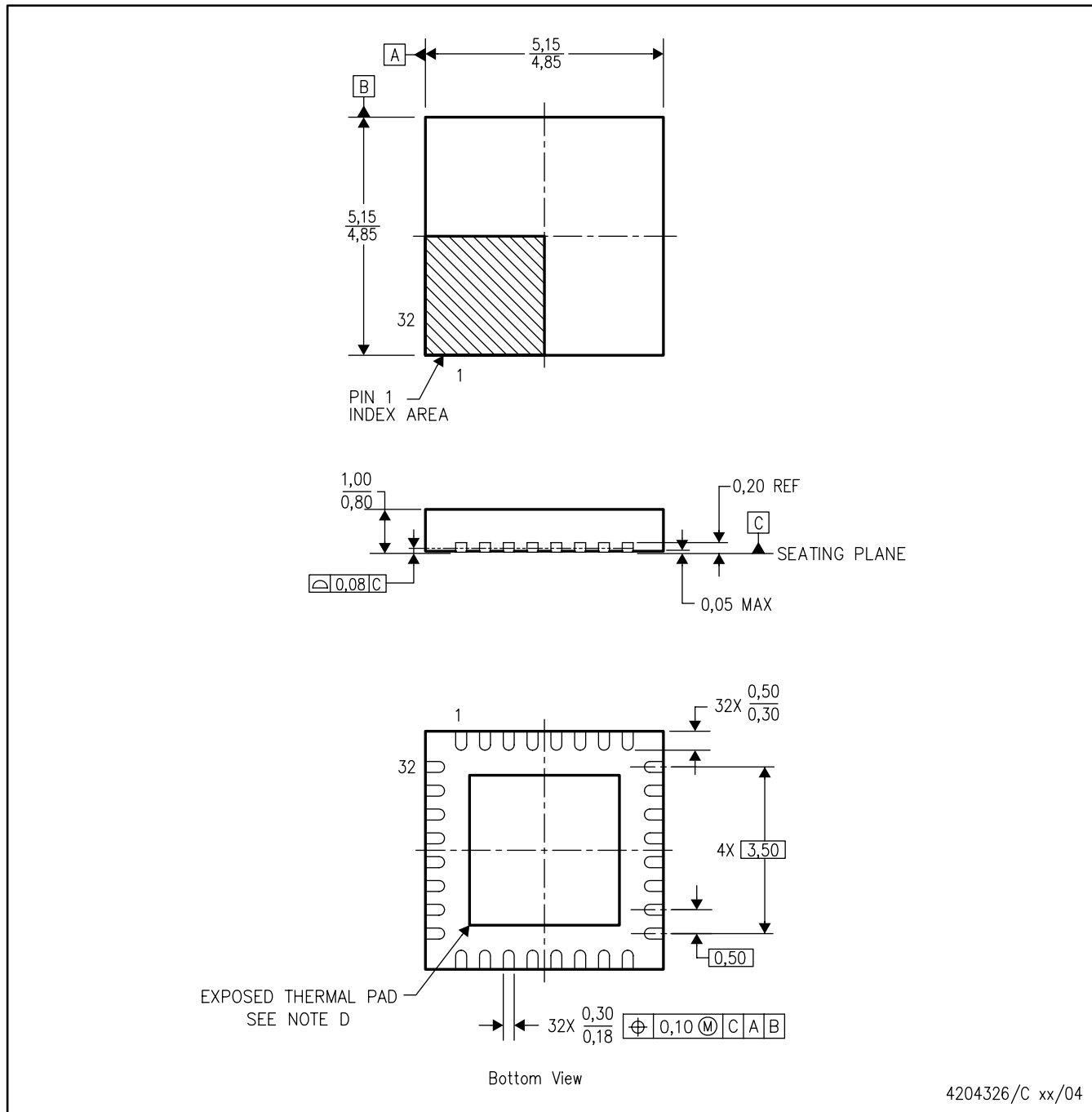


Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS51220RHBR	RHB	32	SITE 41	330	12	5.3	5.3	1.5	8	12	Q2
TPS51220RHBT	RHB	32	SITE 41	180	12	5.3	5.3	1.5	8	12	Q2

パッケージ・材料情報



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
TPS51220RHBR	RHB	32	SITE 41	346.0	346.0	29.0
TPS51220RHBT	RHB	32	SITE 41	190.0	212.7	31.75



4204326/C xx/04

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. QFN(クワッド・フラットバック、ノーリード)パッケージ構成です。
 D. パッケージのサーマル・パッドは熱的/機械的特性のためボードにはんだ付けしなければなりません。
 露出しているサーマル・パッドの寸法についての詳細はデータシートを参照してください。
 E. パッケージはJEDEC MO-220に準拠しています。

サーマルパッド・メカニカル・データ

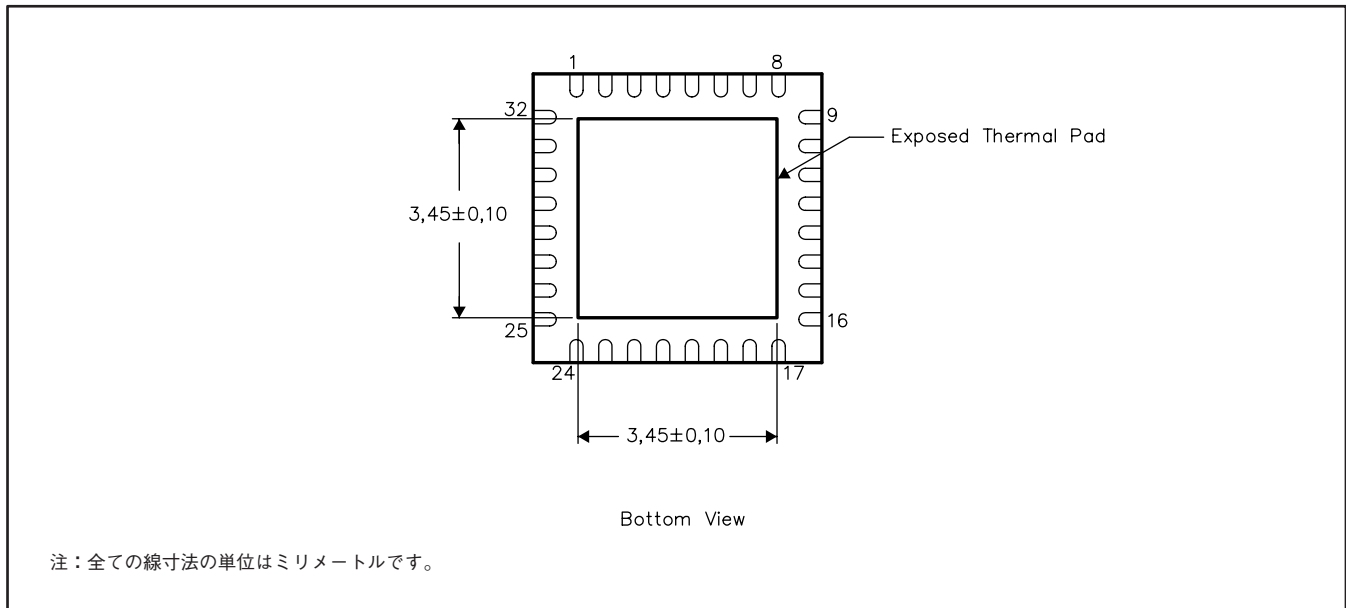
RHB (S-PQFP-N32)

熱特性について

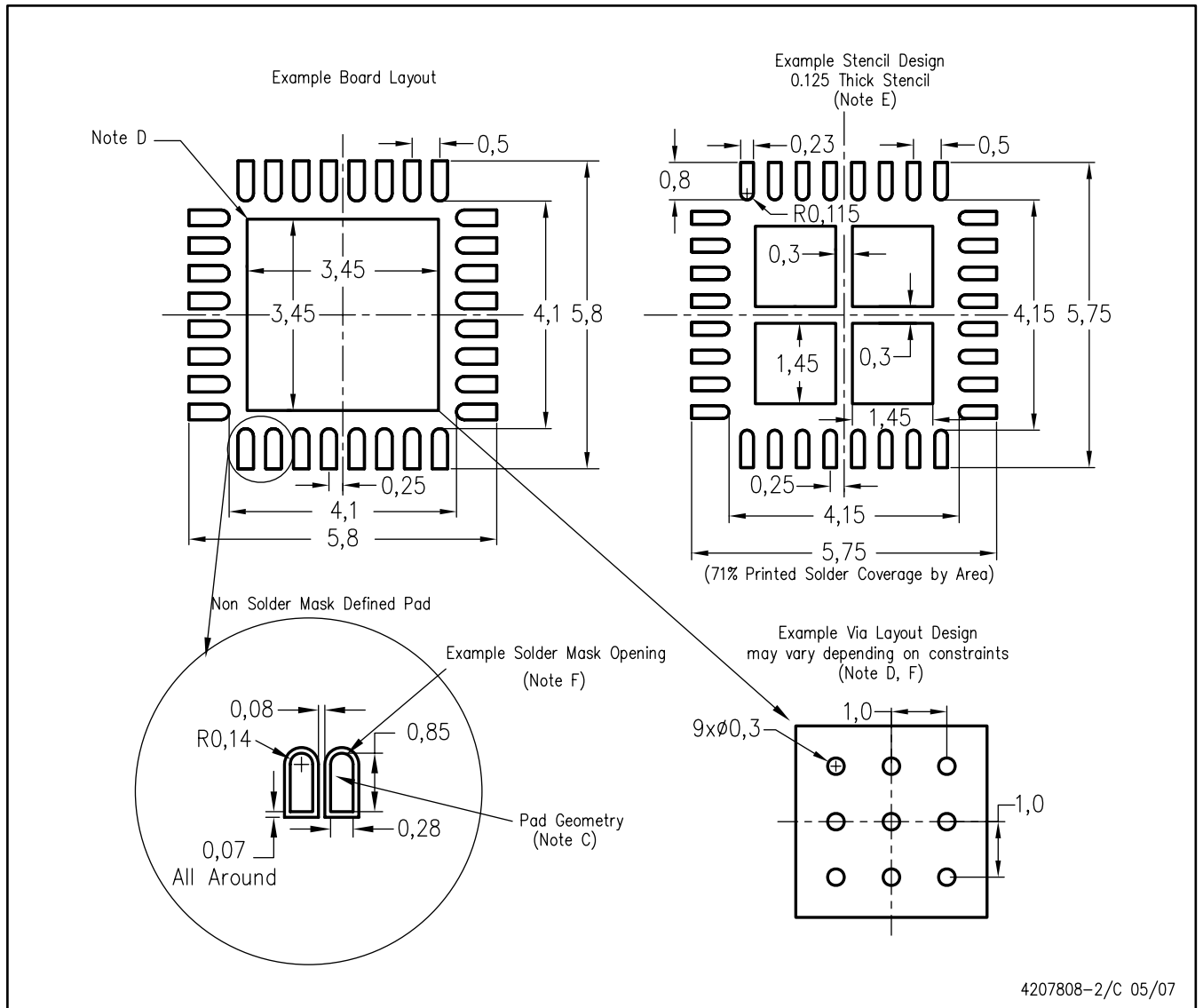
このパッケージは外部のヒートシンクに直接接続できるように設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けの後、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはデバイスの電気回路図に示されている銅プレーンに直接接続するか、あるいは、PCBに設計された特別なヒートシンク構造に接続することができます。この設計により、集積回路 (IC) からの熱移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート “Quad Flatpack No-Lead Logic Packages” TI文献番号SCBA017を参照してください。この文献はホームページ www.ti.com で入手できます。

このパッケージの露出サーマルパッドの寸法は以下の図に示されています



サーマルパッド寸法図



4207808-2/C 05/07

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 出版番号IPC7351は設計代案についての推奨です。
 D. このパッケージはボードのサーマル・パッドにはんだ付けされるよう設計されています。個別の熱情報、ビアの要件、推奨するボード・レイアウトについてはアプリケーション・ノート “Quad Flat-Pack Packages” TI文献番号SCBA017とSLUA271、及びプロダクト・データシートを参照してください。これらの文献はホームページwww.ti.comで入手できます。
 E. レーザークットの開口部に台形の壁をつけ、角に丸みをつけるとペースト離れがよくなります。カスタマはステンシルの設計についてボード製作側に提案しなければなりません。ステンシルを設計する際の考察についてはIPC-7525を参照してください。
 F. カスタマははんだマスクの推奨許容値やサーマル・パッドに置くビアの推奨ビア・テンティングについてボード製作側に連絡しなければなりません。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上