

低電圧電源レール対応、 シングル同期整流降圧型コントローラ

特 長

- D-CAP2™モード制御
 - － 高速過渡応答
 - － ループ補償に外部部品が不要
 - － セラミック出力コンデンサを使用可能
- 高い初期リファレンス精度 (±1%)
- 低出力リップル
- 幅広い入力電圧範囲: 4.5V~24V
- 出力電圧範囲: 0.76V~5.5V
- ローサイド $R_{DS(on)}$ の無損失電流センス
- 昇圧ダイオードを内蔵した適応型ゲート・ドライバ
- 調整可能なソフト・スタート
- プリバイアス付きソフト・スタート
- 選択可能なスイッチング周波数: 350kHz/700kHz
- サイクル毎の過電流制限制御
- 温度補償付きOCP: 4000ppm/°C(I_{TRIP})

アプリケーション

- 広範囲のアプリケーションに対する低電力システムでのポイント・オブ・ロード(POL)レギュレーション
 - － デジタル・テレビ用電源
 - － ネットワーク・ホーム・ターミナル
 - － デジタル・セットトップ・ボックス(STB)
 - － DVDプレーヤー/レコーダー
 - － 家庭用ゲーム機

概 要

TPS53114は、適応型オン時間D-CAP2™モードに対応したシングル同期整流バック・コントローラです。TPS53114を採用することで、各種機器の電源バス・レギュレータに対して、コスト効果が高く、外部部品数の少ない、低スタンバイ電流のソリューションを実現できます。TPS53114の主制御ループではD-CAP2™モード制御を使用し、外部部品なしで非常に高速な過渡応答が得られます。また、TPS53114には、POSCAP/SP-CAPなどの低ESR(等価直列抵抗)出力コンデンサだけでなく、超低ESRのセラミック・コンデンサにも対応できる回路が採用されています。4.5V~24Vの入力電圧、0.76V~5.5Vの出力電圧により、使いやすく効率的な動作を行います。

TPS53114は16ピンのTSSOPおよびHTSSOPパッケージで供給され、-40°C~85°Cの周囲温度範囲で仕様が規定されています。

D-CAP2は、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

標準アプリケーション回路

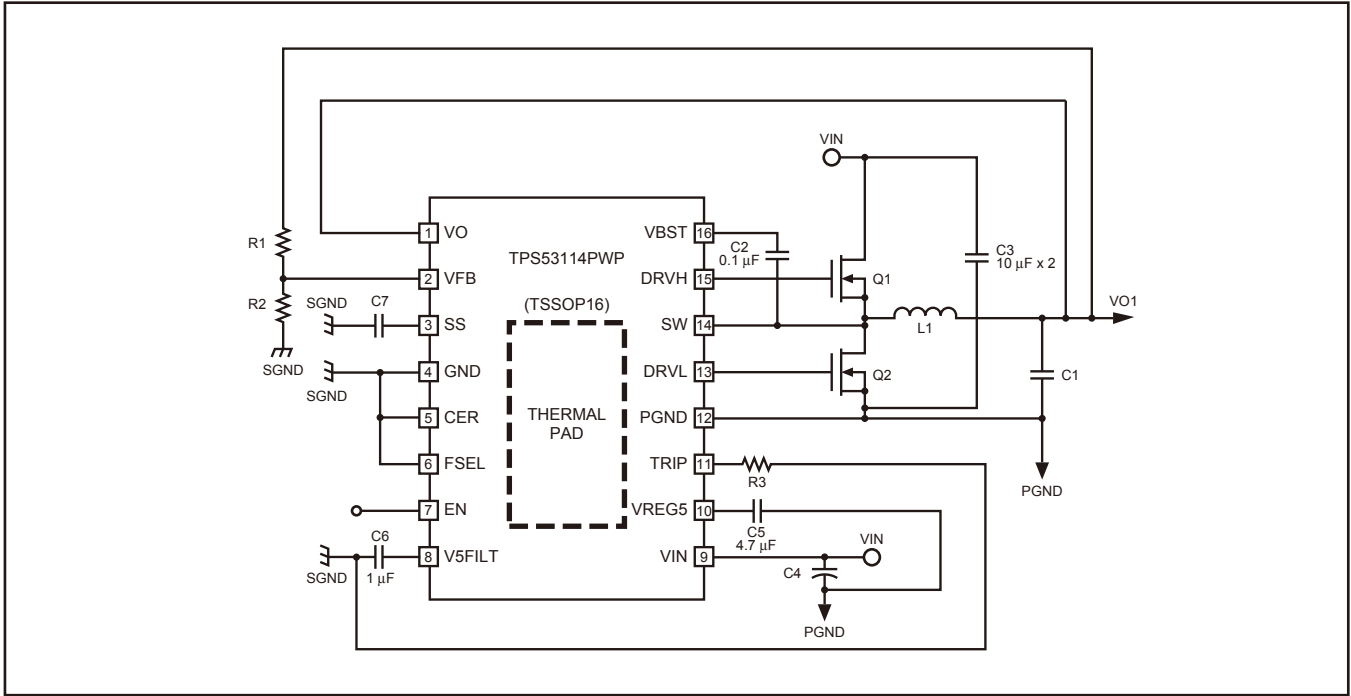


図 1. HTSSOP

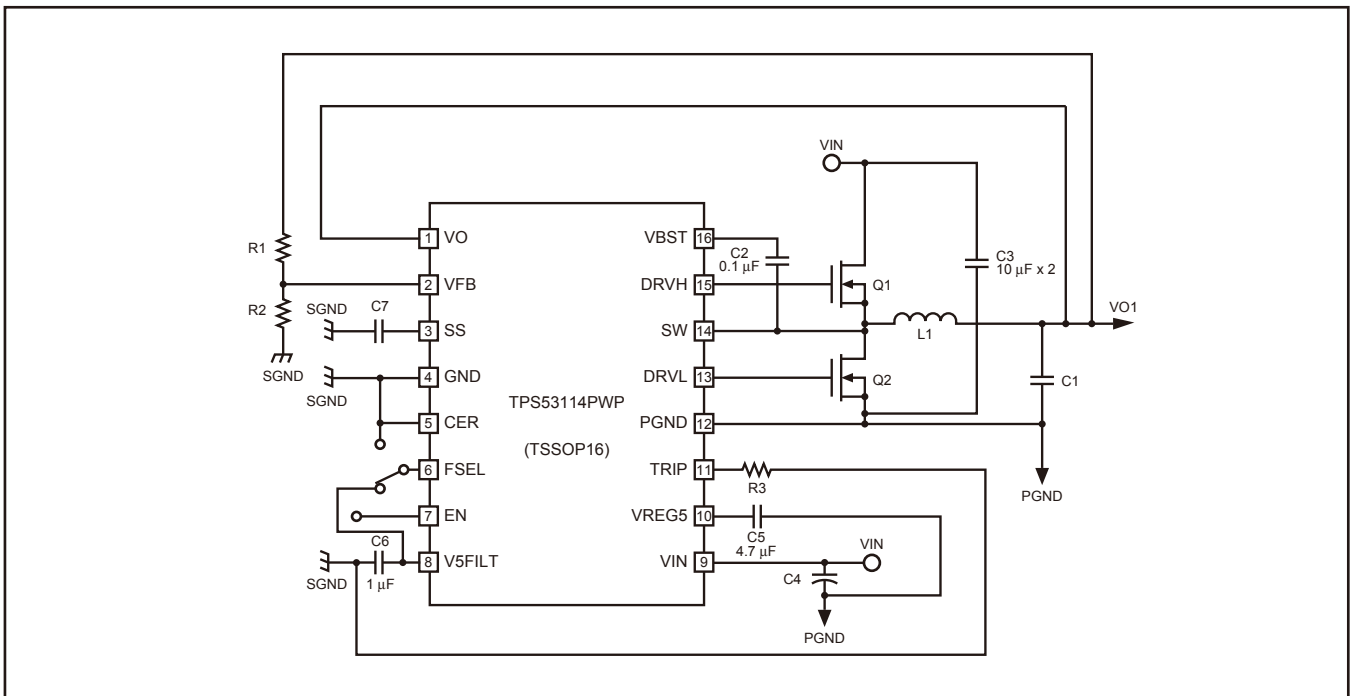


図 2. TSSOP

製品情報⁽¹⁾⁽²⁾

T _A	パッケージ ⁽³⁾	発注用部品番号	ピン数	供給形態	エコ・プラン
-40°C ~ 85°C	HTSSOP (サーマル・パッド)	TPS53114PWPR	16	テープ・リール	Green (RoHS準拠、Sb/Br非含有)
		TPS53114PWP		チューブ	
	TSSOP	TPS53114PWR		テープ・リール	
		TPS53114PW		チューブ	

(1) すべてのパッケージ・オプションがCu NIPdAuリード/ボール仕上げとなっています。

(2) 最新のパッケージ情報とご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト(www.ti.comまたはwww.tij.co.jp)をご覧ください。

(3) パッケージ図面、熱特性データ、記号の意味については、www.ti.com/packagingを参照してください。

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

		値	単位
Input voltage range	VIN, EN	-0.3 ~ 26	V
	VBST	-0.3 ~ 32	
	VBST - SW	-0.3 ~ 6	
	V5FILT, VFB, TRIP, VO, FSEL, CER	-0.3 ~ 6	
Output voltage range	DRVH	-1 ~ 32	V
	DRVH - SW	-0.3 ~ 6	
	SW	-2 ~ 26	
	DRVL, VREG5, SS	-0.3 ~ 6	
	PGND	-0.3 ~ 0.3	
T _A	Operating ambient temperature range	-40 ~ 85	°C
T _{STG}	Storage temperature range	-55 ~ 150	°C
T _J	Junction temperature range	-40 ~ 150	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

パッケージ定格消費電力(2オンス・パターンおよび銅パッド+半田)

パッケージ	T _A < 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 85°C POWER RATING
16-pin HTSSOP (PWP)	2.73 W	27.3 mW/°C	1.09 W
16-pin TSSOP (PW)	0.62 W	6.2 mW/°C	0.25 W

推奨動作条件

		MIN	MAX	単位
Supply input voltage range	VIN	4.5	24	V
	V5FILT	4.5	5.5	
Input voltage range	VBST	-0.1	30	V
	VBST - SW	-0.1	5.5	
	VFB, VO, FSEL, CER	-0.1	5.5	
	TRIP	-0.1	0.3	
	EN	-0.1	24	
Output Voltage range	DRVH	-0.1	30	V
	VBST - SW	-0.1	5.5	
	SW	1.8	24	
	DRVL, VREG5, SS	-0.1	5.5	
	PGND	-0.1	0.1	
T _A	Operating free-air temperature	-40	85	°C
T _J	Operating junction temperature	-40	125	°C

電気的特性

推奨温度範囲内、V_{IN} = 12V(特に記述のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
SUPPLY CURRENT						
I _{IN}	VIN supply current	VIN current, T _A = 25°C, VREG5 tied to V5FLT, EN = 5V, VFB = 0.8V, SW = 0.5V		350	600	μA
I _{VINSDN}	VIN shutdown current	VIN current, T _A = 25°C, No Load, EN = 0V, VREG5 = ON		28	60	μA
VFB VOLTAGE and DISCHARGE RESISTANCE						
V _{BG}	Bandgap Initial regulation accuracy	T _A = 25°C	-1.0		1.0	%
V _{VFBTHL}	VFB threshold voltage	T _A = 25°C, FSEL = 0V, CER = V5FILT	755	765	775	mV
		T _A = -40°C to 85°C, FSEL = 0V, CER = V5FILT	752		778	
V _{VFBTHH}	VFB threshold voltage	T _A = 25°C, FSEL = CER = V5FILT	748	758	768	mV
		T _A = -40°C to 85°C, FSEL = CER = V5FILT	745		771	
I _{VFB}	VFB Input Current	VFB = 0.8V, T _A = 25°C	-100	-10	100	nA
R _{Dischg}	Vo Discharge Resistance	EN = 0V, VO = 0.5V, T _A = 25°C		40	80	Ω
VREG5 OUTPUT						
V _{VREG5}	VREG5 Output Voltage	T _A = 25°C, 5.5V < VIN < 24V, 0 < I _{VREG5} < 10mA	4.8	5.0	5.2	V
V _{LN5}	Line regulation	5.5V < VIN < 24V, I _{VREG5} = 10mA			20	mV
V _{LD5}	Load regulation	1mA < I _{VREG5} < 10mA			40	mV
I _{VREG5}	Output current	VIN = 5.5V, V _{VREG5} = 4.0V, T _A = 25°C		170		mA
OUTPUT: N-CHANNEL MOSFET GATE DRIVERS						
R _{DRVH}	DRVH resistance	Source, I _{DRVH} = -100mA		5.5	11	Ω
		Sink, I _{DRVH} = 100mA		2.5	5	
R _{DRVL}	DRVL resistance	Source, I _{DRVL} = -100mA		4	8	Ω
		Sink, I _{DRVL} = 100mA		2	4	
T _D	Dead time	DRVH-low to DRVL-on	20	50	80	ns
		DRVL-low to DRVH-on	20	40	80	
INTERNAL BST DIODE						
V _{FBST}	Forward Voltage	V _{VREG5} -VBST, IF = 10mA, T _A = 25°C	0.7	0.8	0.9	V
I _{VBSTLK}	VBST Leakage Current	VBST = 29V, SW = 24V, T _A = 25°C		0.1	1	μA

電気的特性

推奨温度範囲内、 $V_{IN} = 12V$ (特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
ON-TIME TIMER CONTROL					
T_{ONL} On Time	SW = 12V, VO = 1.8V, FSEL = 0V		390		ns
T_{ONH} On Time	SW = 12V, VO = 1.8V, FSEL = V5FILT		139		ns
T_{OFFL} Min off time	SW = 0.7V, $T_A = 25^\circ C$, VFB = 0.7V, FSEL = 0V		285		ns
T_{OFFH} Min off time	SW = 0.7V, $T_A = 25^\circ C$, VFB = 0.7V, FSEL = V5FILT		216		ns
SOFT START					
I_{SSC} SS charge current	VSS = 0V, SOURCE CURRENT	1.4	2.0	2.6	μA
I_{SSD} SS discharge current	VSS = 0.5V, SINK CURRENT	100	150		μA
UVLO					
$V_{UV5FILT}$ V5FILT UVLO threshold	V5FILT rising	3.7	4.0	4.3	V
	Hysteresis	0.2	0.3	0.4	
LOGIC THRESHOLD					
V_{ENH} EN H-level threshold voltage	EN	2.0			V
V_{ENL} EN L-level threshold voltage	EN			0.3	V
CURRENT SENSE					
I_{TRIP} TRIP source current	$V_{TRIP} = 0.1V$, $T_A = 25^\circ C$	8.5	10	11.5	μA
TC_{ITRIP} I_{TRIP} temperature coefficient	on the basis of $25^\circ C$		4000		ppm/ $^\circ C$
V_{OCLoff} OCP compensation offset	($V_{TRIP-GND} - V_{PGND-SW}$) voltage, $V_{TRIP-GND} = 60mV$, $T_A = 25^\circ C$	-10	0	10	mV
	($V_{TRIP-GND} - V_{PGND-SW}$) voltage, $V_{TRIP-GND} = 60mV$	-15		15	mV
V_{Rtrip} Current limit threshold setting range	$V_{TRIP-GND}$ voltage	30		200	mV
OUTPUT UNDERVOLTAGE AND OVERVOLTAGE PROTECTION					
V_{OVP} Output OVP trip threshold	OVP detect	110	115	120	%
T_{OVPDEL} Output OVP prop delay			1.5		μs
V_{UVP} Output UVP trip threshold	UVP detect	65	70	75	%
	Hysteresis (recovery $<20\mu s$)		10		%
T_{UVPDEL} Output UVP delay		17	30	40	μs
T_{UVPEN} Output UVP enable delay	UVP enable delay / soft start time	X1.4	X1.7	X2.0	
THERMAL SHUTDOWN					
T_{SDN} Thermal shutdown threshold	Shutdown temperature ⁽¹⁾		150		$^\circ C$
	Hysteresis ⁽¹⁾		20		

(1) 設計で確認されています。実製品のテストは行っていません。

ピン機能

ピン		I/O	説明
名前	番号		
VBST	16	I	ハイサイドNFETドライバの電源入力。0.1 μ Fの高品質セラミック・コンデンサを使用してSWにバイパスします。ハイサイドFETの駆動に順方向降下電圧を抑える必要がある場合は、VREG5との間に外付けショットキー・ダイオードを接続できます。
EN	7	I	イネーブル。“High”にすると、SMPSがイネーブルになります。
SS	3	O	ソフト・スタート・プログラミング・ピン。SSピンとGNDの間にコンデンサを接続して、ソフト・スタート時間をプログラムします。
VO	1	I	オン時間調整および出力放電用の出力電圧入力。出力電圧に直接接続します。
VFB	2	I	D-CAP2帰還入力。抵抗分圧回路を使用して出力電圧に接続します。
GND	4	I	信号グラウンド・ピン。PGNDおよびシステム・グラウンドに1点で接続します。
DRVH	15	O	ハイサイドNチャンネルMOSFETのゲート・ドライバ出力。SWを基準としたドライバがSW電圧（オフ）とVBST電圧（オン）の間で切り替わります。
SW	14	I/O	ハイサイド・ドライバと過電流コンパレータの両方に対するスイッチ・ノード接続。
DRVL	13	O	ローサイドNチャンネルMOSFETのゲート・ドライバ出力。PGNDを基準としたドライバがPGND（オフ）とVREG5電圧（オン）の間で切り替わります。
PGND	12	I/O	ローサイド・ドライバと過電流コンパレータの両方に対するパワー・グラウンド接続。PGNDとGNDは、ICの近くでまとめて確実に接続する必要があります。
TRIP	11	I	過電流スレッシュホールドのプログラミング用ピン。このピンとGNDの間に抵抗を接続して、ローサイドRDS(on)電流制限のスレッシュホールドを設定します。
VIN	9	I	5Vリニア・レギュレータの電源入力。0.1 μ F以上の高品質セラミック・コンデンサを使用してGNDにバイパスします。
V5FILT	8	I	MOSFETドライバを除く制御回路の5V電源入力。1.0 μ F以上の高品質セラミック・コンデンサを使用してGNDにバイパスします。V5FILTは、10 Ω の内部抵抗を介してVREG5に接続されます。
VREG5	10	O	5Vリニア・レギュレータの出力、およびMOSFETドライバの電源。4.7 μ F以上の高品質セラミック・コンデンサを使用してGNDにバイパスします。VREG5は、10 Ω の内部抵抗を介してV5FILTに接続されます。
CER	5	I	出力コンデンサ選択ピン。セラミック出力コンデンサの場合は、GNDに接続します。導電性ポリマー出力コンデンサ（SP-CAP、POS-CAP、PXE）の場合は、V5FILTに接続します。
FSEL	6	I	スイッチング周波数の選択用ピン。低スイッチング周波数の場合はGND、高スイッチング周波数の場合はV5FILTに接続します。

ピン配置 (上面図)

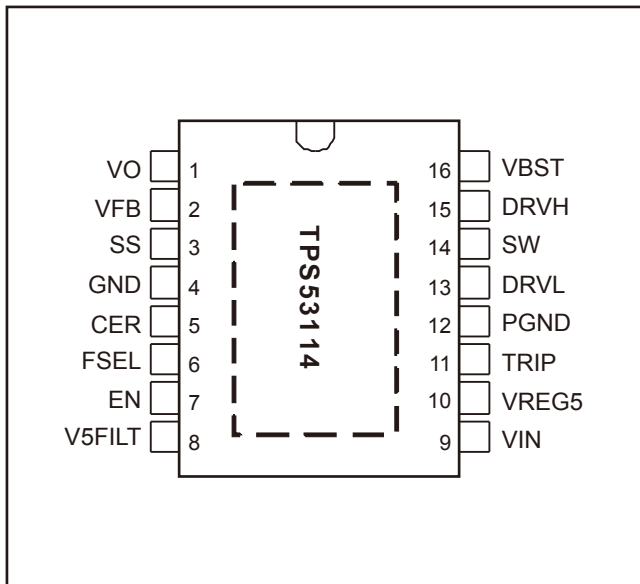


図 3. HTSSOP 16ピンPWP

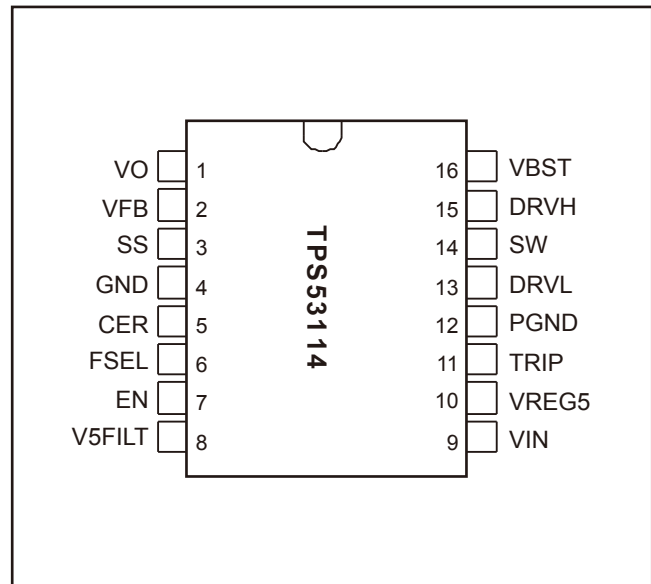
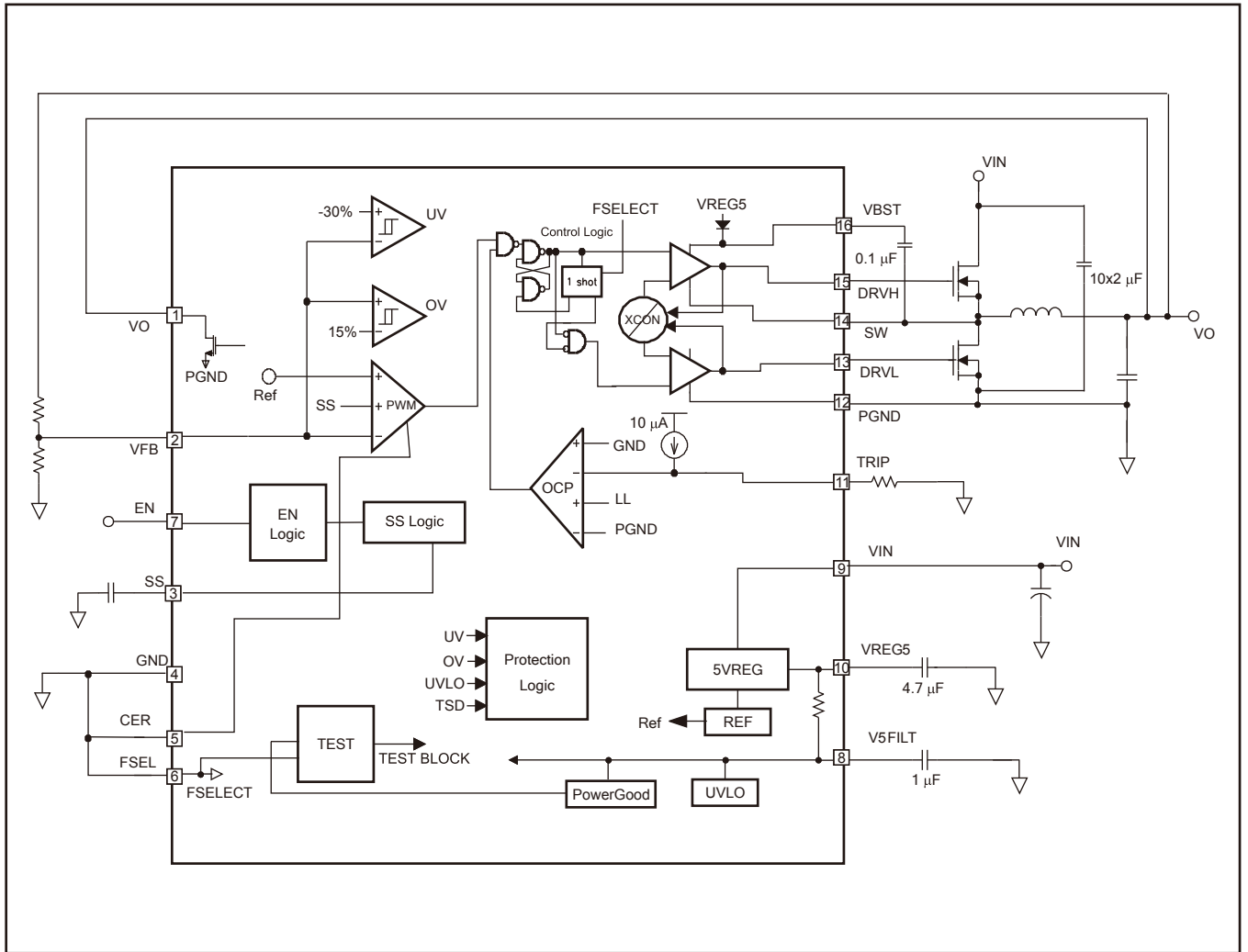


図 4. TSSOP 16ピンPWP

機能ブロック図



詳細説明

PWM動作

TPS53114のメイン制御ループは、独自のD-CAP2™モード制御を使用した適応型オン時間パルス幅変調 (PWM) コントローラとなっています。D-CAP2™モード制御は、一定オン時間制御を、擬似固定周波数で外部部品数の少ない構成を可能にする内部補償回路と組み合わせたもので、低ESRコンデンサとセラミック出力コンデンサの両方を使用できます。出力にほとんどリップルがない状態でも安定して動作します。

各サイクルの開始時に、ハイサイドMOSFETがオンになります。内部のワンショット・タイマが終了すると、このMOSFETがオフになります。帰還電圧がリファレンス電圧を下回ると、ワンショット・タイマがリセットされ、ハイサイドMOSFETが再度オンになります。このワンショット・タイマの時間は、入力電圧範囲内で擬似固定周波数を維持するために、コンバータの入力電圧 (VIN) と出力電圧 (VO) によって設定されます。そのため、これは適応型オン時間制御と呼ばれます。出力リップルをシミュレートするために、リファレンス電圧に内部ランプが追加され、これにより、D-CAP2モード制御からESRによる出力リップルが不要になります。

ドライバ

TPS53114には、2つの高電流対応MOSFETゲート・ドライバが搭載されています。ローサイド・ドライバは、グランド基準でVREG5から電源供給されるドライバであり、ソースがPGNDに接続された、高電流、低 $R_{DS(on)}$ のNチャンネルMOSFETのゲートを駆動するように設計されています。ハイサイド・ドライバは、フローティングでSW基準の、VBSTから電源供給されるドライバであり、高電流、低 $R_{DS(on)}$ のNチャンネルMOSFETのゲートを駆動するように設計されています。ハイサイド・ドライバのオン時間中にVBST電圧を保持するために、SWとVBSTの間にコンデンサが配置されています。各ドライバに流れる平均電流は、ゲート電荷 ($V_{gs} = 5V$ の Q_g) × スイッチング周波数 (f_{SW}) に等しくなります。

クロス導通を防ぐため、各ドライバ遷移間でハイサイドとローサイドの両方のドライバがオフになるときに、短いデッド・タイムが設けられています。このデッド・タイムの間、インダクタ電流はMOSFETのボディ・ダイオードを流れます。

PWM周波数と適応型オン時間制御

TPS53114は、適応型オン時間制御方式を採用し、専用の発振器は内蔵していません。入力電圧および出力電圧を使用してオン時間ワンショット・タイマを設定することにより、擬似定周波数

で動作します。オン時間は、入力電圧に逆比例し、出力電圧に比例します。したがって、デューティ比がVOUT/VINのとき、周波数は一定となります。

5Vレギュレータ

TPS53114には、5Vの低ドロップアウト(LDO)レギュレータが内蔵され、両方のドライバおよびICの内部ロジックに対してレギュレーション電圧を提供します。内部レギュレータの安定化のため、VREG5とGNDの間に4.7μF以上の高品質セラミック・コンデンサが必要です。VREG5に内部で接続された10Ωの抵抗により、レギュレータの出力をICのアナログおよびロジック入力電圧V5FILTへとフィルタリングします。VREG5からのスイッチング・ノイズをフィルタリングするため、V5FILTとGNDの間に1.0μFの高品質セラミック・コンデンサを追加する必要があります。

ソフト・スタート

TPS53114は、プログラミング可能なソフト・スタート機能を備えています。ENピンが“High”になると、SSピンとGNDの間に接続されているコンデンサの充電が2.0μAの電流によって開始されます。スタートアップ中には出力電圧のスムーズな制御が維持されます。

プリバイアスのサポート

TPS53114は、出力コンデンサから電流をシンクしないプリバイアス・スタートアップをサポートしています。イネーブルになると、ローサイド・ドライバはソフト・スタートでプリバイアス・レベルよりも高い電圧が指定される(内部ソフト・スタートが帰還電圧VFBを超える)までオフに保持され、その後TPS53114は、最初のDRV1パルスを狭いオン時間で制限することにより、ゆっくりと同期整流を起動します。この制限されたオン時間は、完全な(1-D)オフ時間に達するまで、サイクル毎に増加されます。この方式により、プリバイアス出力からの電流の初期シンクを防ぐとともに、出力電圧(VOUT)は立ち上がり後スムーズにレギュレーション状態まで上昇し、また、制御ループがプリバイアス・スタートアップから通常モード動作へと遷移するために十分な時間が与えられます。

スイッチング周波数の選択

TPS53114では、FSELピンをGNDまたはV5FILTのいずれかに接続することで、2つの異なるスイッチング周波数を選択できます。FSELをGNDに接続すると、スイッチング周波数(f_{SW})が350kHzになります。FSELをV5FILTに接続すると、スイッチング周波数が700kHzになります。

出力放電の制御

TPS53114では、ENが“Low”の場合、または保護機能(OVP、UVP、UVLO、過熱保護)によってコントローラがオフになった場合、出力が放電されます。VOとPGNDに接続されている内部の40Ω MOSFETを使用して出力を放電します。出力に負電圧が生じることを避けるために、出力放電中は外部ローサイドMOSFETがオンになりません。この放電により、起動時には、レギュレーション電圧が常に0Vから開始されるようになります。

過電流保護

TPS53114には、サイクル毎の過電流制限機能があります。この機能では、ローサイド・ドライバのオン時間中にローサイドMOSFET R_{DS(on)}での電圧降下を監視することにより、インダクタ電流の谷を制限します。インダクタ電流が過電流制限(OCL)を上回ると、TPS53114は、センスされたインダクタ電流がOCL電流を下回るまで、次のスイッチング・サイクルの開始を遅延させます。MOSFET R_{DS(on)}の電流センスは、外部デバイスを使用せずに高精度でコスト効果の高いソリューションを実現するために利用されます。OCLをプログラミングするために、TRIPピンを、トリップ電圧設定抵抗を通してGNDに接続する必要があります(式(1)および式(2)を参照)。

$$V_{TRIP} = I_{OCL} \cdot R_{DS(ON)} - \frac{(V_{IN} - V_O)}{2 \cdot L \cdot I \cdot f_{SW}} \cdot \frac{V_O}{V_{IN}} \quad (1)$$

$$R_{TRIP} (k\Omega) = \frac{V_{TRIP} (mV)}{I_{TRIP} (\mu A)} \quad (2)$$

トリップ電圧は、すべての動作温度にわたって30mV~200mVの範囲内である必要があります。これには、R_{DS(on)}の温度依存性に対する4000ppm/°Cの温度スロープ補償も含まれます。負荷電流が過電流制限を超えた場合、電圧は降下し始めます。過電流状態が続くと、出力電圧が低電圧保護スレッシュホールドを下回り、TPS53114はシャットダウンします。

過電圧保護と低電圧保護

TPS53114では、抵抗で分割された帰還電圧を監視することで、過電圧と低電圧を検出しています。帰還電圧がリファレンス電圧の115%を超えると、OVPコンパレータの出力が“High”になり、ハイサイドMOSFETドライバがオフ、ローサイドMOSFETドライバがオンになるようにラッチされます。帰還電圧がリファレンス電圧の70%より低くなると、UVPコンパレータ出力が“High”になり、内部のUVP遅延カウンタがカウントを開始します。30μs経過後、TPS53114は上側と下側の両方のMOSFETドライバをオフにラッチします。この機能は、パワーオン後約(1.7×T_{SS})後にイネーブルになります。OVPとUVPのラッチ・オフ状態は、ENピンが“Low”になるとリセットされます。

UVLO保護

TPS53114は、V5FILTピンの電圧を監視するV5FILT低電圧ロックアウト保護(UVLO)機能を備えています。V5FILT電圧がUVLOスレッシュホールド電圧を下回ると、デバイスがオフになります。すべての出力ドライバがオフになり、出力放電がオンになります。UVLOは、非ラッチ方式の保護です。

過熱シャットダウン

TPS53114は、過熱保護シャットダウン機能を備えています。TPS53114のチップ温度がOTPスレッシュホールド(標準150°C)を超えると、ハイサイドとローサイドの両方のドライバがオフになり、出力電圧放電機能がイネーブルになって、デバイスはチップ温度が降下するまでオフになります。これは、非ラッチ方式の保護です。

代表的特性

VIN電源電流 対 接合部温度

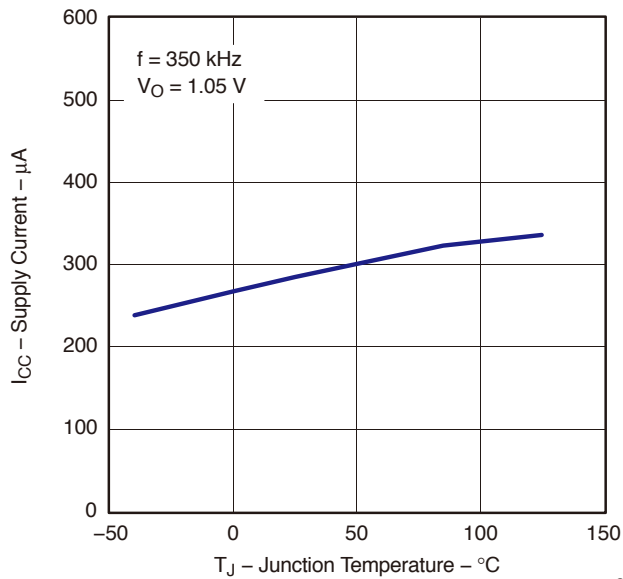


図 5

VINシャットダウン電流 対 接合部温度

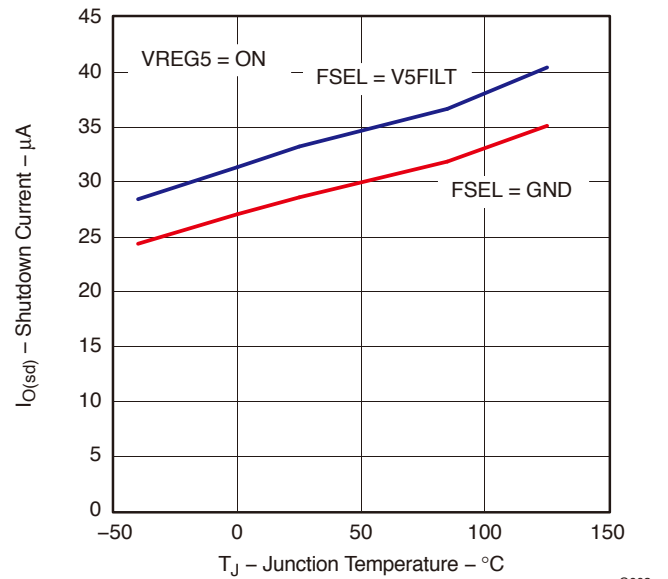


図 6

TRIPソース電流 対 接合部温度

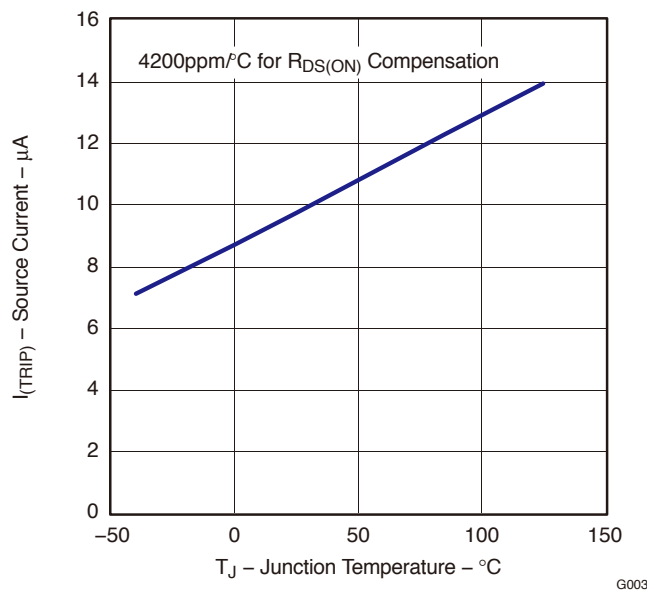


図 7

VREG5電圧

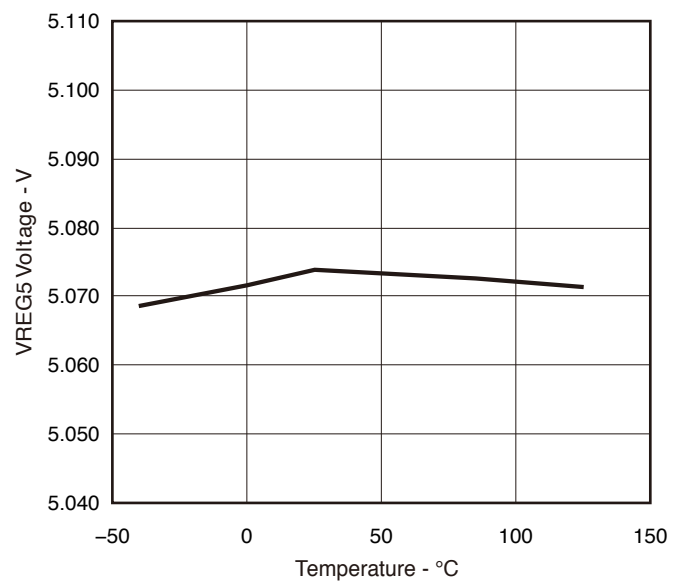


図 8

代表的特性

VREG5電圧 対 入力電圧

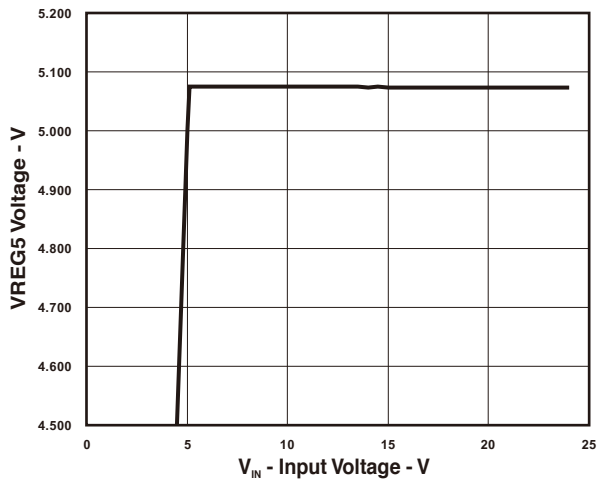


図 9

VFB電圧 対 温度 (V_O = 1.05V, I_O = 4A)

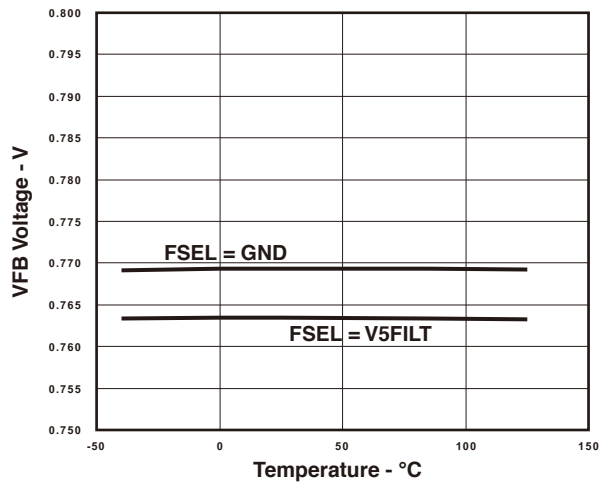


図 10

VFB電圧 対 入力電圧

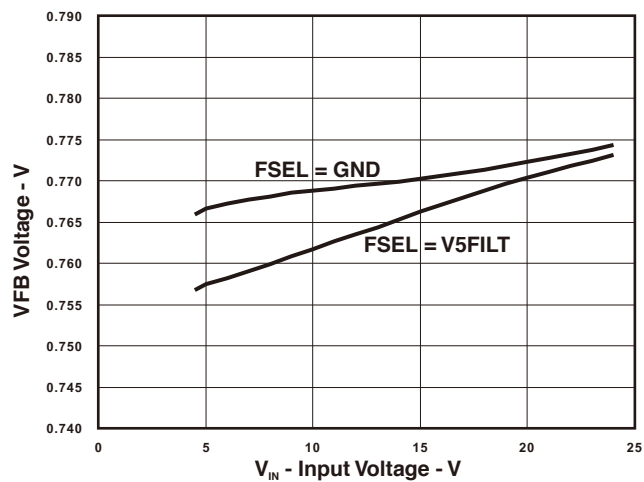


図 11

アプリケーション情報

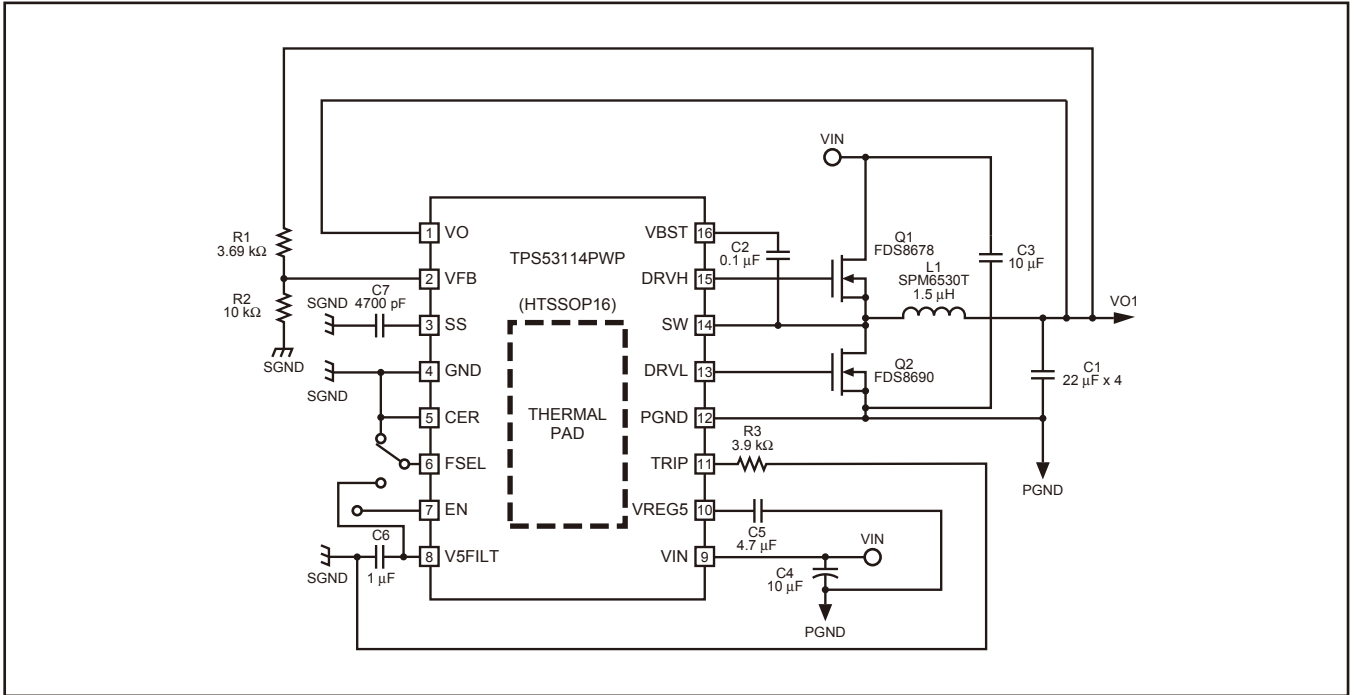


図 12. 350kHzのスイッチング周波数を選択したときの標準アプリケーション回路 (FSELピン = GND)

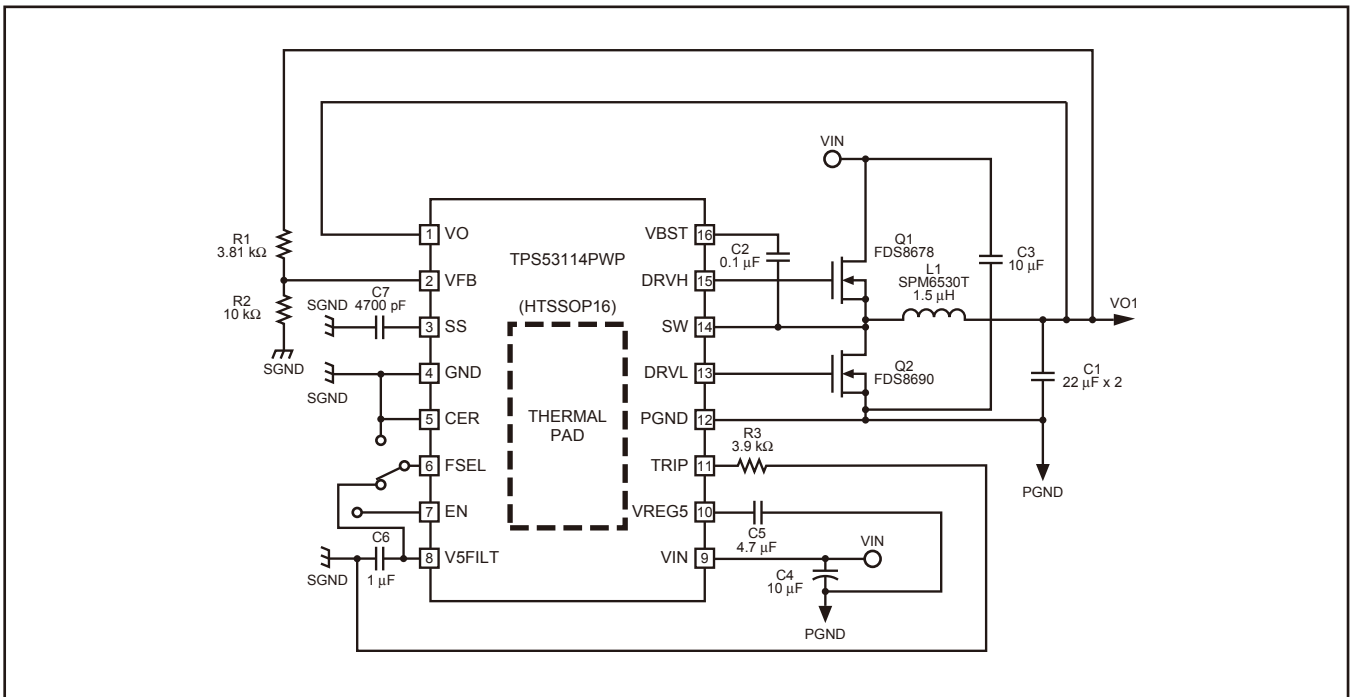


図 13. 700kHzのスイッチング周波数を選択したときの標準アプリケーション回路 (FSELピン = V5FILT)

標準アプリケーション性能

以下に示す標準アプリケーション性能は、図12および図13のアプリケーション回路から得られたものです。

スイッチング周波数 ($I_O = 1A$) 対 入力電圧

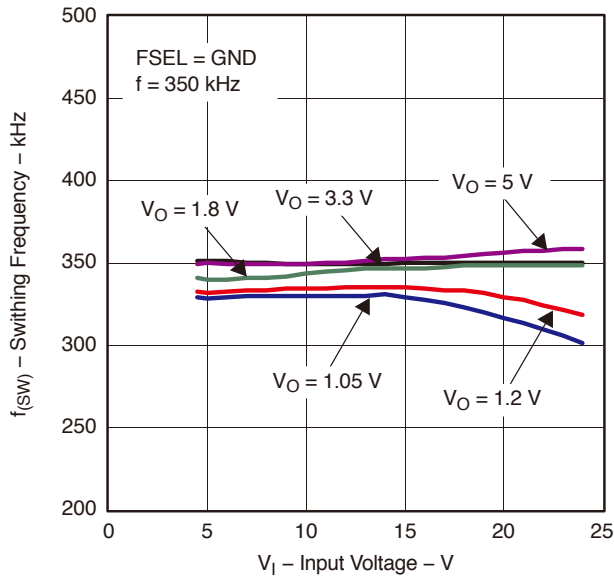


図 14

スイッチング周波数 対 入力電圧

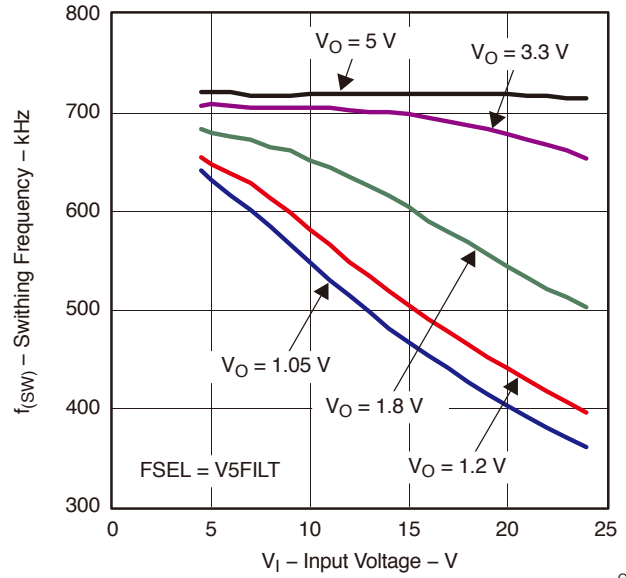


図 15

G005

スイッチング周波数 対 出力電流

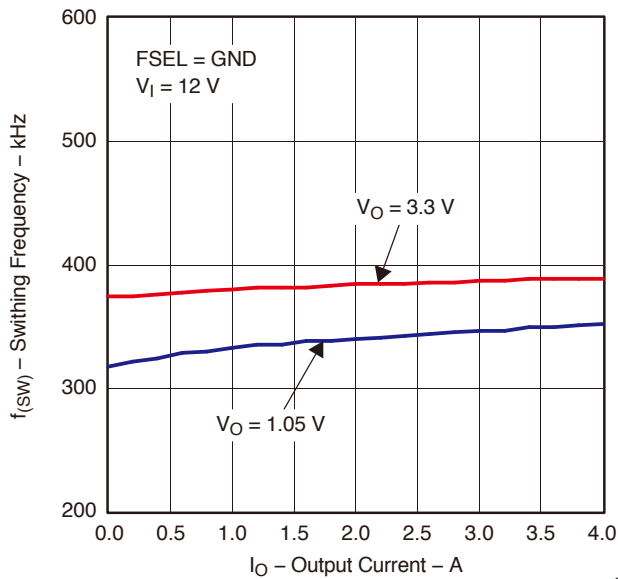


図 16

G006

スイッチング周波数 対 出力電流

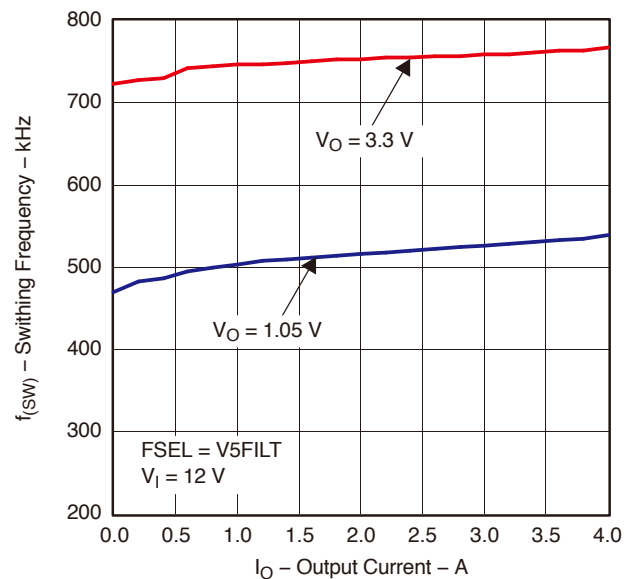
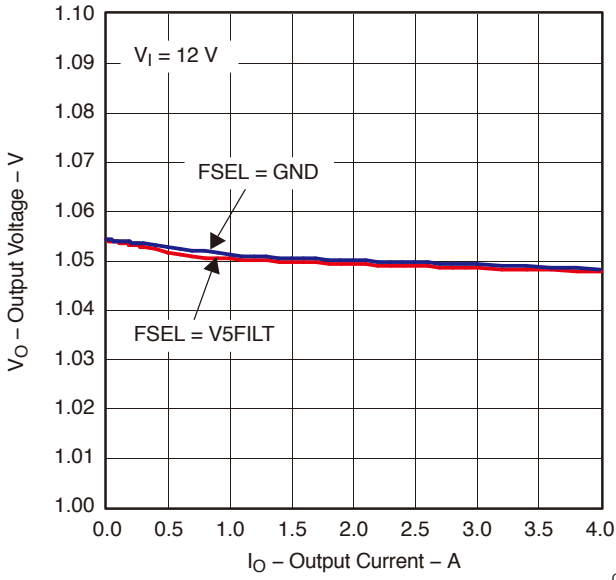


図 17

G007

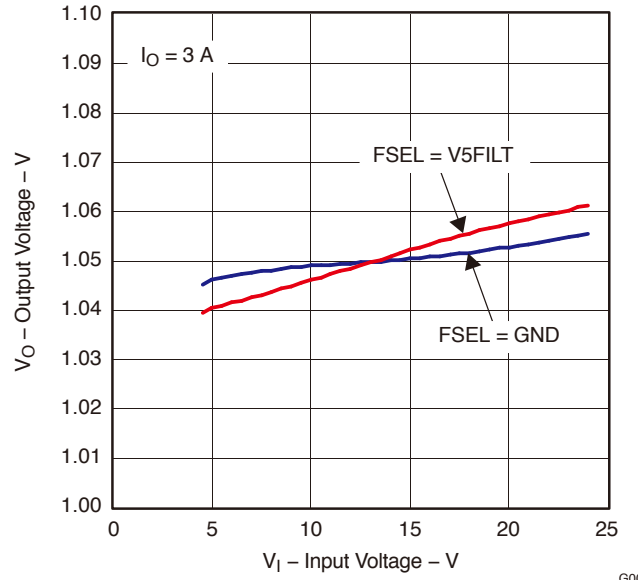
1.05V出力電圧 対 出力電流



G008

図 18

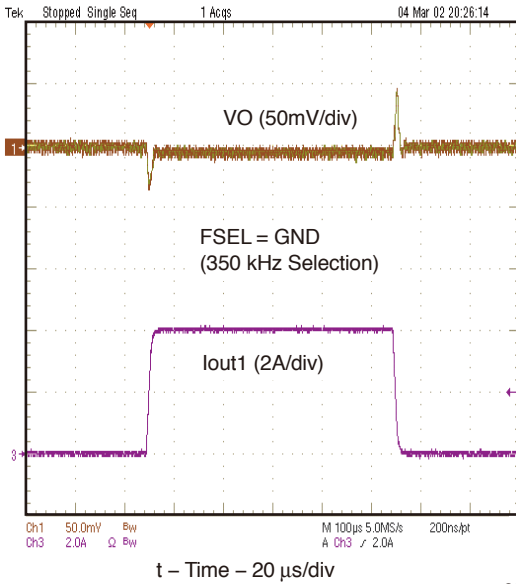
1.05V出力電圧 対 入力電圧



G009

図 19

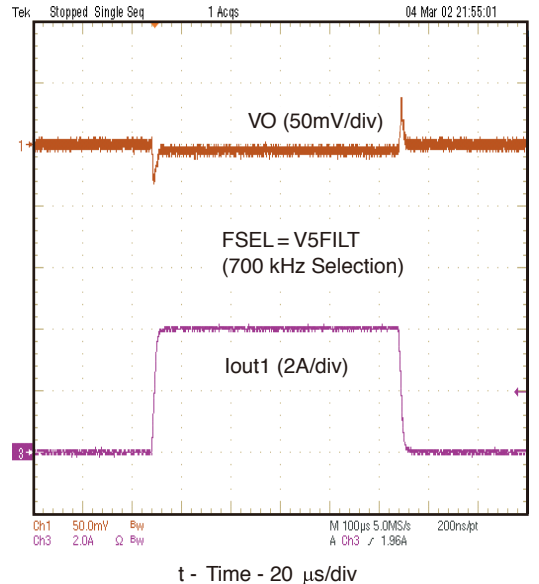
1.05V負荷過渡応答



G010

図 20

1.05V負荷過渡応答



G011

図 21

スタートアップ波形

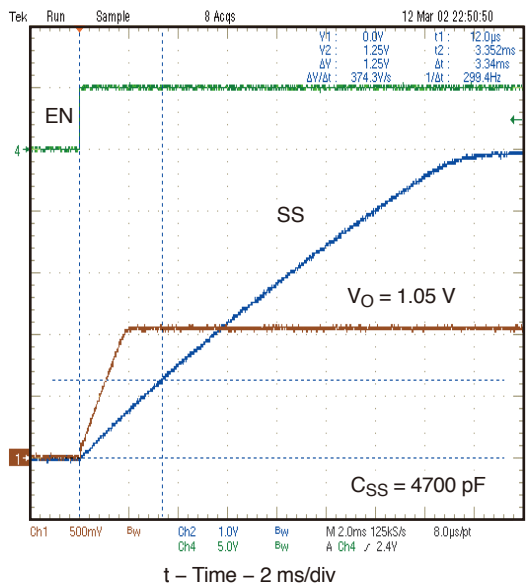


図 22

G012

1.05V効率 対 出力電流

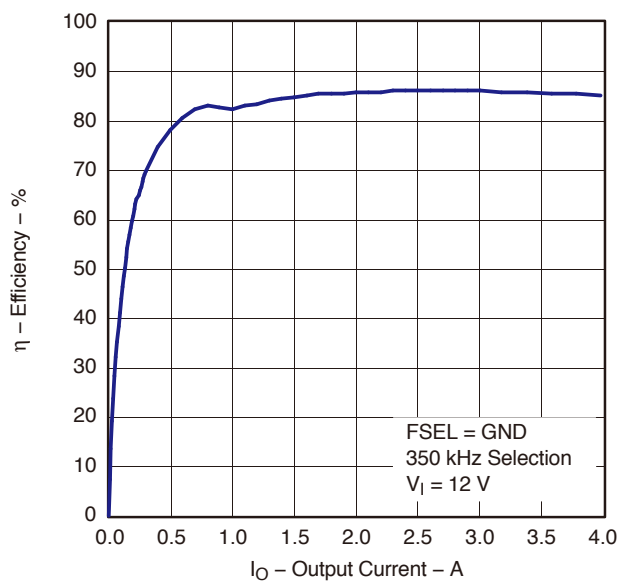


図 23

G013

1.05V効率 対 出力電流

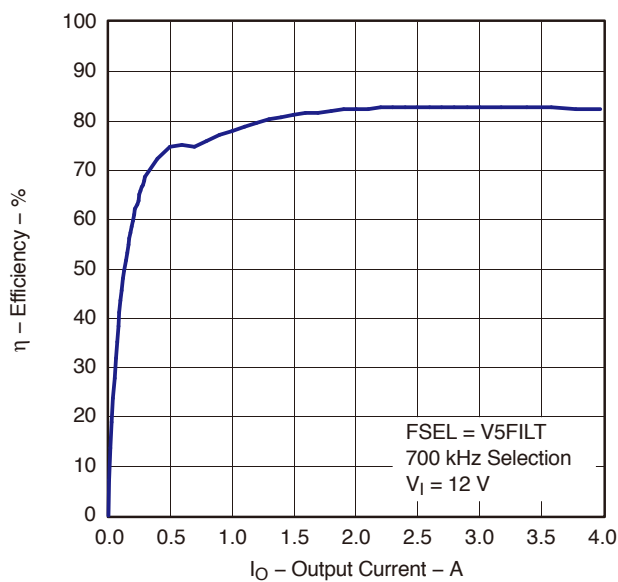


図 24

G014

部品の選択

インダクタの選択

インダクタ値は、最大負荷で約30%のピーク・ツー・ピーク・リップル電流を提供するよう選択されます。リップル電流が大きくなると、出力リップル電圧が増加し、S/N比が向上するため、安定動作につながります。L1は式 (3) を用いて計算できます。

$$\begin{aligned} L1 &= \frac{(V_{IN(max)} - V_{O1})}{I_{L1(ripple)} \cdot f_{SW}} \cdot \frac{V_{O1}}{V_{IN(max)}} \\ &= \frac{3 \cdot (V_{IN(max)} - V_{O1})}{I_{O1} \cdot f_{SW}} \cdot \frac{V_{O1}}{V_{IN(max)}} \end{aligned} \quad (3)$$

インダクタの電流定格は、RMS(熱)電流とピーク(飽和)電流の両方をサポートする必要があります。RMSおよびピーク・インダクタ電流は次の式で見積もることができます。

$$I_{L1(ripple)} = \frac{V_{IN(max)} - V_{O1}}{L1 \cdot f_{SW}} \cdot \frac{V_{O1}}{V_{IN(max)}} \quad (4)$$

$$I_{L1(peak)} = \frac{V_{TRIP}}{R_{DS(ON)}} + I_{L1(ripple)} \quad (5)$$

$$I_{L1(RMS)} = \sqrt{I_{O1}^2 + \frac{1}{12} (I_{L1(ripple)})^2} \quad (6)$$

注: 上の計算は、一般的な基準として利用してください。過渡応答をさらに向上させる場合は、出力インダクタンスをこれより小さくできます。これは、出力コンデンサの選択とともに考慮する必要があります。

出力コンデンサの選択

コンデンサの値とESRによって、出力電圧リップルの大きさおよび負荷過渡応答が決まります。セラミック出力コンデンサの使用を

$$C1 = \frac{\Delta I_{load}^2 \cdot L1}{2 \cdot V_{O1} \cdot \Delta V_{OS}} \quad (7)$$

$$C1 = \frac{\Delta I_{load}^2 \cdot L1}{2 \cdot K \cdot \Delta V_{US}} \quad (8)$$

推奨します。

$$K = (V_{IN} - V_{O1}) \cdot \frac{T_{on}}{T_{ON1} + T_{min(off)}} \quad (9)$$

$$C1 = \frac{I_{L1(ripple)}}{8 \cdot V_{O1(ripple)} \cdot f_{SW}} \cdot \frac{1}{f_{SW}} \quad (10)$$

ここで

式 (7)、式 (8)、および式 (10) から計算された最大値よりも大きな容量値を選択してください。C1の容量は、66μFよりも大きい必要があります。

ここで

- ΔV_{OS} = 負荷過渡時に許容されるオーバーシュート電圧の大きさ
- ΔV_{US} = 負荷過渡時に許容されるアンダーシュート電圧の大きさ
- $T_{min(off)}$ = 最小オフ時間

入力コンデンサの選択

TPS53114には、入力デカップリング・コンデンサと、アプリケーションによってはバルク・コンデンサが必要となります。入力コンデンサには、10μF以上の高品質セラミック・コンデンサを推奨します。コンデンサの電圧定格は、最大入力電圧よりも大きい必要があります。

ブートストラップ・コンデンサの選択

TPS53114では、ハイサイド・ドライバに対してフローティング電源を提供するために、SWとVBSTの間にブートストラップ・コンデンサが必要となります。0.1μF以上の高品質セラミック・コンデンサを推奨します。電圧定格は、10.0Vよりも大きい必要があります。

VREG5およびV5FILTコンデンサの選択

TPS53114では、VREG5レギュレータとV5FILT入力の両方をバイパスする必要があります。適切な動作のためには、VREG5ピンとGNDピンの間に4.7μF以上の高品質セラミック・コンデンサを接続する必要があります。また、V5FILTピンとGNDピンの間に1.0μF以上の高品質セラミック・コンデンサを接続する必要があります。両方のコンデンサについて、電圧定格は10Vよりも大きい必要があります。

出力電圧抵抗の選択

出力電圧は、出力電圧ノードとVFBxピンとの間の抵抗分圧回路によって設定されます。公差1%以内の抵抗を使用することを推奨します。10kΩ~100kΩのR2を選択し、式 (11) または式 (12) を使用してR1を計算します。

$$R1 = \left(\frac{V_{O1}}{0.765 + \frac{V_{FB1(ripple)}}{2}} - 1 \right) \cdot R2 \quad (FSEL = GND) \quad (11)$$

$$R1 = \left(\frac{V_{O1}}{0.758 + \frac{V_{FB1(ripple)}}{2}} - 1 \right) \cdot R2 \quad (FSEL = V5FILT) \quad (12)$$

ここで

$V_{FB1(ripple)}$ = VFB1のリップル電圧

過電流制限の設定抵抗の選択

$$V_{TRIP} = \left(I_{OCL} - \frac{(V_{IN} - V_{O})}{2 \cdot L1 \cdot f_{sw}} \cdot \frac{V_{O}}{V_{IN}} \right) \cdot R_{DS(ON)} \quad (13)$$

$$R_{TRIP} (k\Omega) = \frac{V_{TRIP} (mV) - V_{OCLoff}}{I_{TRIP} (\mu A)} \quad (14)$$

ここで

- $R_{DS(ON)}$ = ローサイドFETのオン抵抗
- I_{TRIP} = TRIPピンのソース電流 (≠ 10μA)
- V_{OCLoff} = 最小過電流制限オフセット電圧 (-20mV)
- I_{OCL} = 過電流制限

ソフト・スタート・コンデンサの選択

ソフト・スタート・タイミングの式を次に示します。

$$T_{SS} = \frac{C_7 \cdot 0.765}{2e^{-6}} (s) \quad (\text{FSEL} = \text{GND}) \quad (15)$$

$$T_{SS} = \frac{C_7 \cdot 0.758}{2e^{-6}} (s) \quad (\text{FSEL} = \text{V5FILT}) \quad (16)$$

パッケージ・オプションの選択

TPS53114の消費電力:

$$P_d = f_{SW} \cdot (C_{iH} + C_{iL}) \cdot V_{REG5} \cdot V_{in(max)} \quad (17)$$

ここで

- C_{iH} = ハイサイドMOSFETの入力コンデンサ
- C_{iL} = ローサイドMOSFETの入力コンデンサ

定格消費電力の表を参照してパッケージを選択します。

推奨レイアウト

- 入力スイッチング電流ループは可能な限り小さくします。
- 入力コンデンサ(C3、C6)は、上側スイッチングFETの近くに配置します。また、出力電流ループは可能な限り小さくします。
- 寄生容量およびインダクタンスを低減し、放射を最小限に抑えるために、SWノードは物理的に可能な限り小さく、かつ短くします。出力とデバイスの帰還ピン(VFB)との間に、ケルビン接続を使用してください。
- アナログ部品と非スイッチング部品は、スイッチング部品から離します。
- 信号グラウンドと電源グラウンドは一点接続します。
- デバイスの下をスイッチング電流が流れないようにしてください。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/ Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS53114PW	ACTIVE	TSSOP	PW	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	Request Free Samples
TPS53114PWP	ACTIVE	HTSSOP	PWP	16	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Purchase Samples
TPS53114PWPR	ACTIVE	HTSSOP	PWP	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	Request Free Samples
TPS53114PWR	ACTIVE	TSSOP	PW	16	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM	Purchase Samples

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

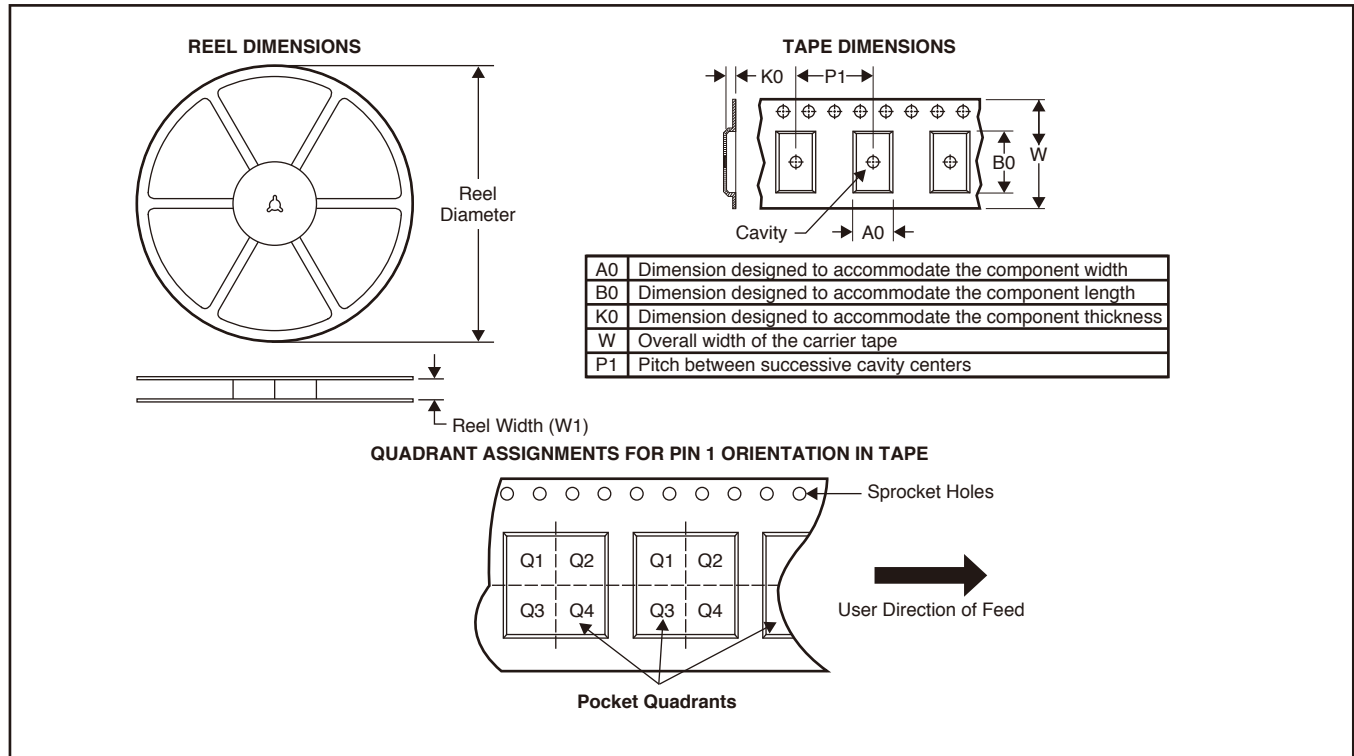
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報

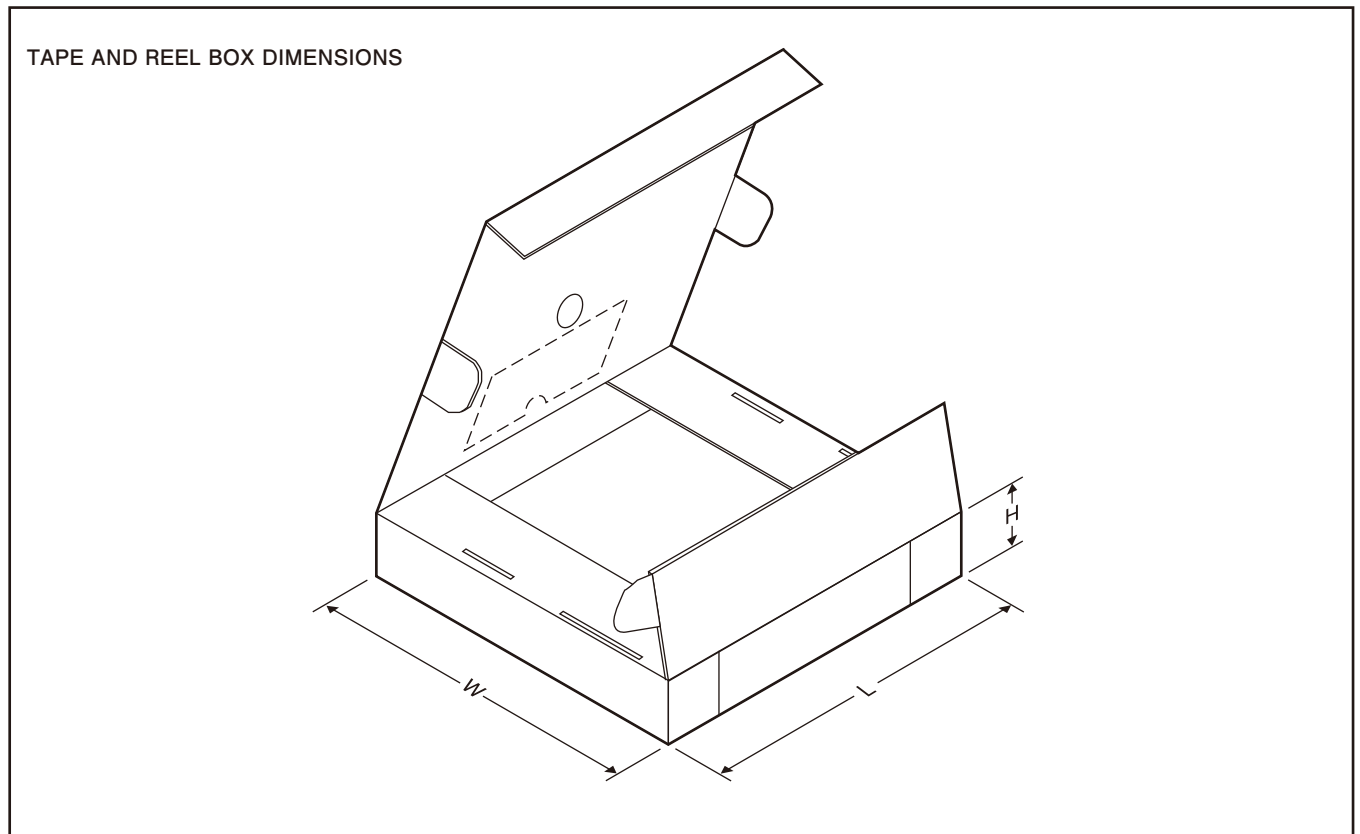
テープおよびリール・ボックス情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS53114PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TPS53114PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

パッケージ・材料情報



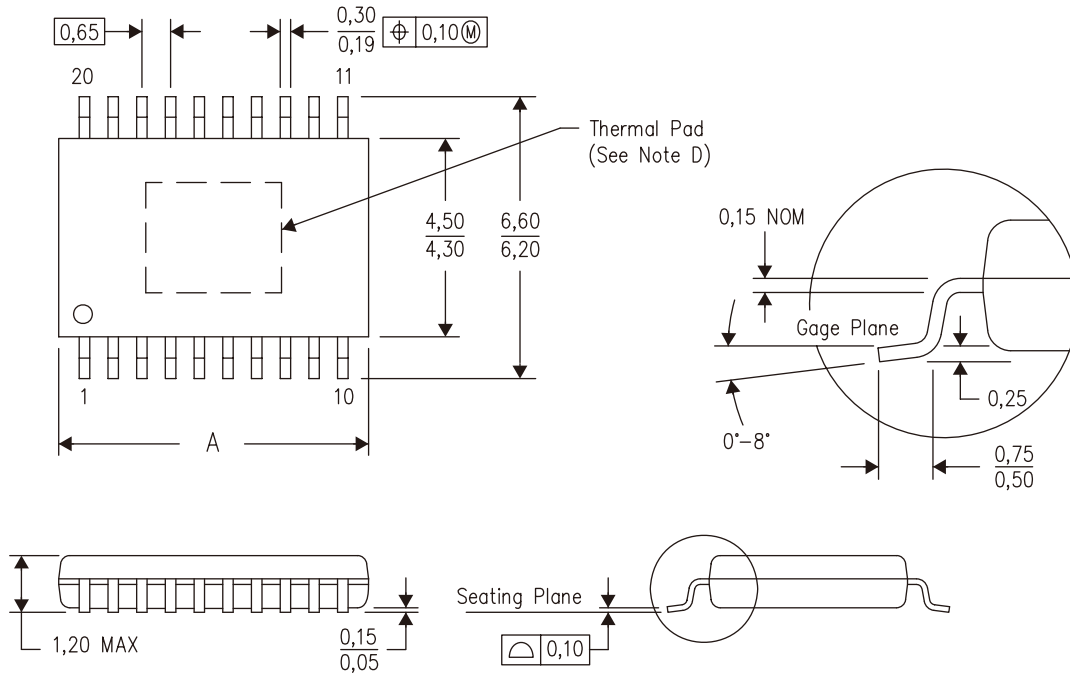
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS53114PWPR	HTSSOP	PWP	16	2000	346.0	346.0	29.0
TPS53114PWR	TSSOP	PW	16	2000	346.0	346.0	29.0

メカニカル・データ

PWP (R-PDSO-G**)
20 PIN SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



DIM \ PINS **	14	16	20	24	28
A MAX	5,10	5,10	6,60	7,90	9,80
A MIN	4,90	4,90	6,40	7,70	9,60

4073225/H 12/05

- 注: A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. JEDEC MO-153に適合しています。

サーマルパッド・メカニカル・データ

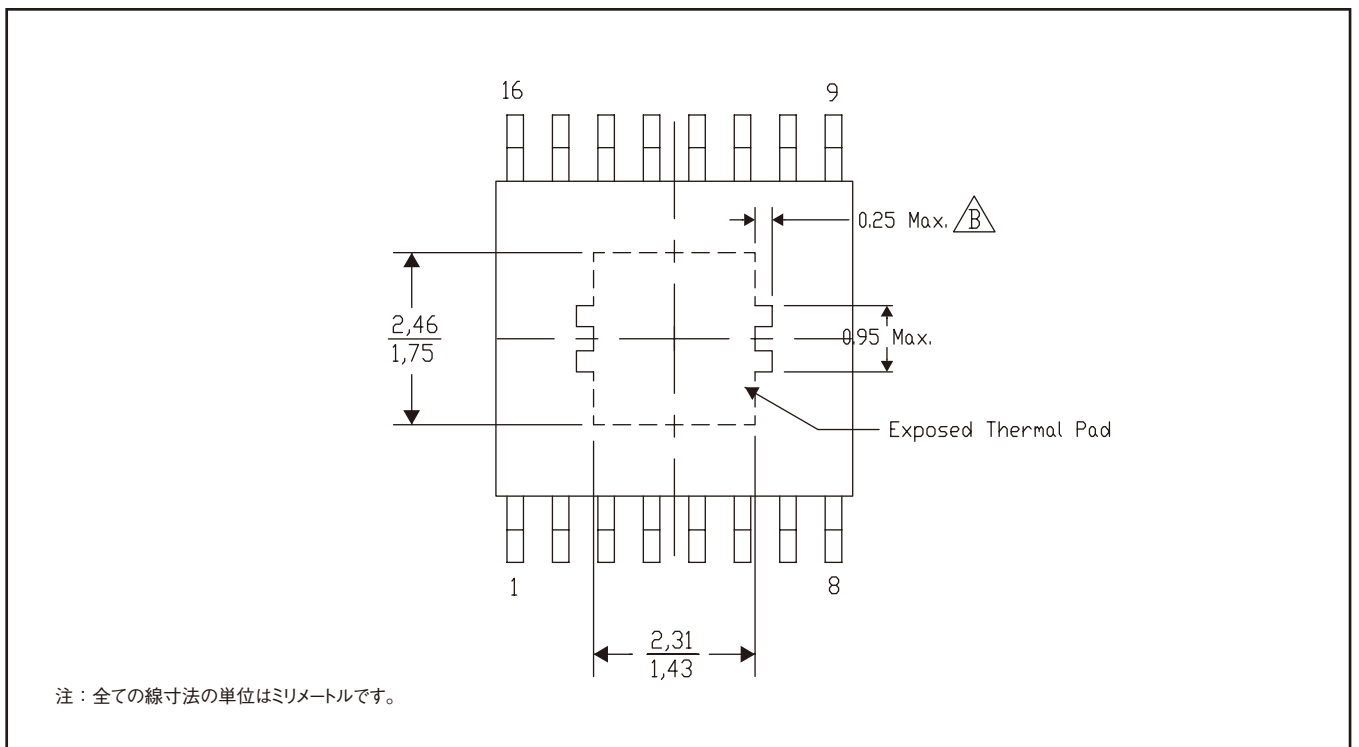
PWP(R-PDSO-G16)

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

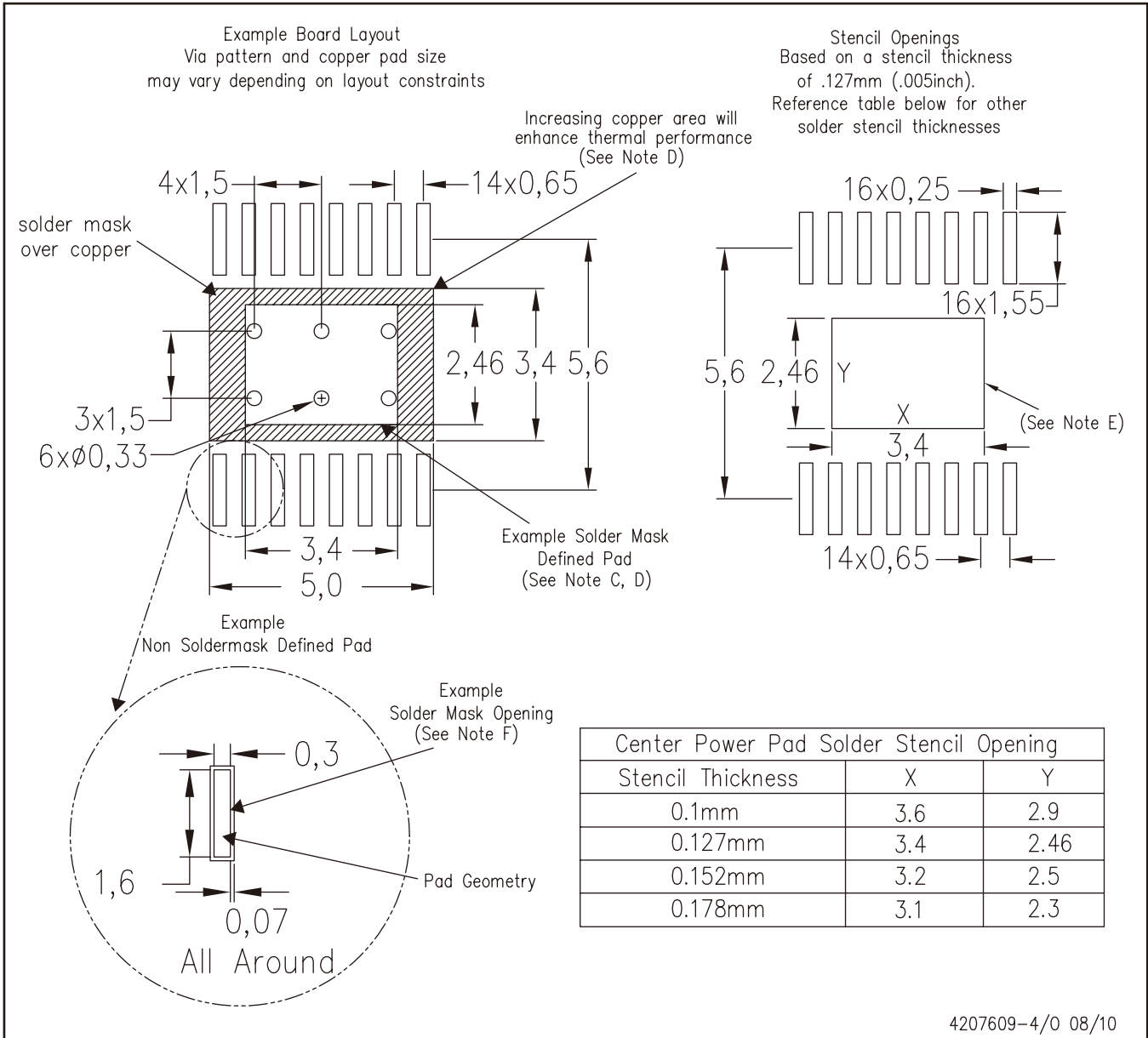
クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLMA004を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。



サーマルパッド寸法図

注：A. 全ての線寸法の単位はミリメートルです。
△ Exposed tie strap features may not be preset.

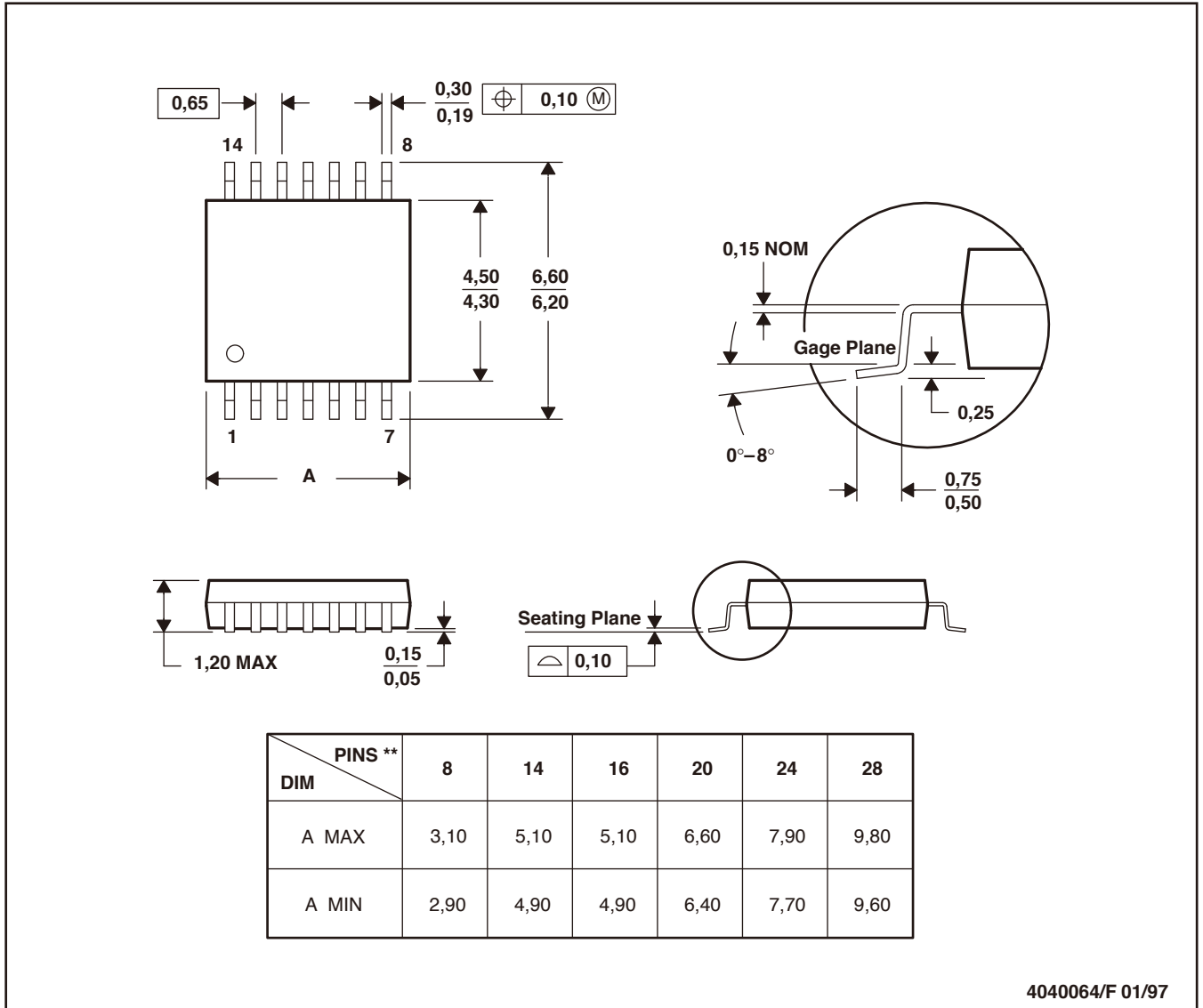


- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上的のサーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002, SLMA004)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

メカニカル・データ

PW(R-PDSO-G**)
14 PIN SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



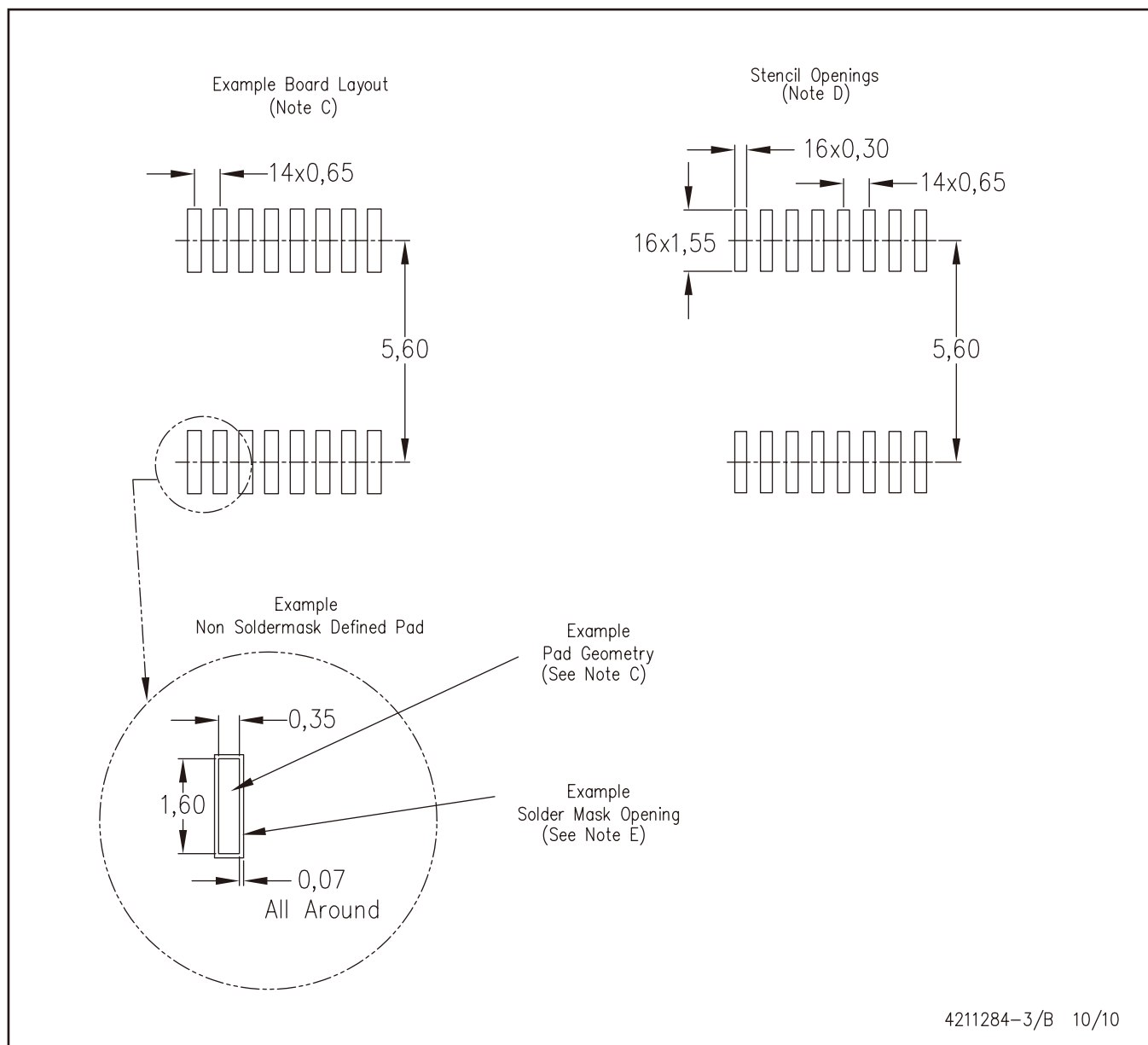
4040064/F 01/97

- 注： A. 寸法はすべてミリメートルです。
 B. 本図は予告なく変更することがあります。
 C. ボディ寸法には、0.15mmを超えるモールド・フラッシュや突起は含まれません。
 D. JEDEC MO-153に準拠

LAND PATTERN DATA

PW(R-PDSO-G16)

PLASTIC SMALL OUTLINE



- 注: A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。
C. 代替設計については、資料IPC-7351を推奨します。
D. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
E. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLVS887B)

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認ということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2010, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様の実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上