



1.6MHz、3V ~ 6V 入力、3A 同期型 ステップダウン SWIFT™ コンバータ

特長

- 60mΩ MOSFETスイッチを内蔵し、3Aの連続出力電流で高効率を実現
- 1%の精度で最小0.9Vまで調整可能な出力電圧
- スイッチング周波数: 280kHz ~ 1600kHzの範囲で調整可能
- 外部補償により設計の柔軟性が向上
- 高速過渡応答
- ピーク電流制限とサーマル・シャットダウン機能による負荷保護
- 集積化によるボード面積と総コストの削減
- 4mm × 5mm のQFNパッケージによる省スペース
- SWIFTのドキュメント、アプリケーション・ノート、および設計ソフトウェアを用意。

(テキサス・インスツルメンツのWebサイト：
www.ti.com/swiftを参照してください。)

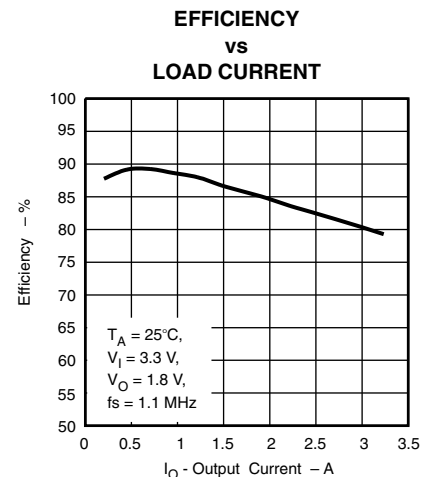
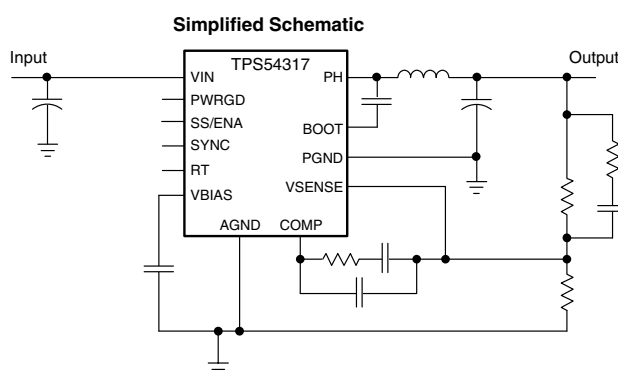
概要

TPS54317は、SWIFT™ ファミリーを構成する、低入力電圧、大電流出力の同期整流式バックPWMコンバータで、必要とされる能動部品を全て内蔵しています。他の特長としては、過渡条件で高い性能と柔軟性を与える高性能な電圧誤差増幅器、入力電圧が3Vに達するまで起動を抑える低電圧ロックアウト回路、突入電流を制限する内部または外部で設定されるスロースタート回路、プロセッサ/ロジックのリセット、障害発生レポート、および電源シーケンシングに有用なパワーグッド出力などがあります。

TPS54317デバイスは、熱特性を改善した24ピンのQFN (RHF) PowerPAD™ パッケージで供給されており、大型のヒートシンクは不要です。TIは評価モジュールとSWIFTデザイナー・ソフトウェア・ツールを提供しており、短期間の開発サイクルで高性能な電源設計が行われることを支援しています。

アプリケーション

- 5V または 3.3Vの低電圧入力、高密度システムの分散型電源
- 高性能DSP、FPGA、ASIC、マイクロプロセッサ用ポイント・オブ・ロード (POL) レギュレーション
- ブロードバンド、ネットワーキング、光通信インフラストラクチャ



TIの半導体製品に関する供給時期、標準保証、重大なアプリケーションでの採用、免責事項については、このデータシートの最後に重要な情報が記載されています。

SWIFT、PowerPADは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的な ESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOS ゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

オーダー情報

T _J	OUTPUT VOLTAGE	PACKAGE	PART NUMBER
-40°C to 125°C	Adjustable Down to 0.9 V	QFN (RHF) ⁽¹⁾ (2)	TPS54317RHF

- (1) 最新のパッケージ情報と発注情報については、このドキュメントの末尾にある「付録：パッケージ・オプション」を参照するか、TIの Web サイト (www.ti.com) を参照してください。
- (2) RHF パッケージは、テープ・アンド・リール形態で、2種類の数量のどちらかを指定して入手できます。3,000 個リールの場合は、デバイス・タイプに「R」サフィックスを追加し (つまり、TPS54317RHFR)、250 個リールの場合は「T」サフィックスを追加 (つまり、TPS54317RHFT) します。

絶対最大定格

特に指定がない限り、全温度範囲に適用⁽¹⁾

		VALUE	UNIT	
V _I	Input voltage range	VIN, SS/ENA, SYNC	-0.3 to 7	V
		RT	-0.3 to 6	V
		VSENSE	-0.3 to 4	V
		BOOT	-0.3 to 17	V
V _O	Output voltage range	VBIAS, PWRGD, COMP	-0.3 to 7	V
		PH (steady state)	-0.6 to 10	V
		PH (transient < 20 ns)	-2 to 10	V
I _O	Output current range	PH	Internally Limited	
		COMP, VBIAS	6	mA
	Sink current	PH	6	A
		COMP	6	mA
		SS/ENA, PWRGD	10	mA
	Voltage differential	AGND to PGND	±0.3	V
Continuous power dissipation		See Power Dissipation Rating Table		
T _J	Operating virtual junction temperature range	-40 to 150	°C	
T _{stg}	Storage temperature	-65 to 150	°C	

- (1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

推奨動作条件

		MIN	NOM	MAX	UNIT
V _I	Input voltage range	3		6	V
T _J	Operating junction temperature	-40		125	°C

パッケージの定格電力損失(1) (2)

PACKAGE	THERMAL IMPEDANCE JUNCTION-TO-AMBIENT	THERMAL IMPEDANCE JUNCTION-TO-CASE
24-Pin RHF with solder	19.7°C/W	1.7°C/W

- (1) 最大電力損失は過電流保護により制限されることがあります。
(2) テスト・ボードの条件は以下の通りです。
- サイズ: 3 インチ × 3 インチ、4 層、厚さ 0.062 インチ
 - 重量 2 オンス の銅配線、PCB の上面
 - 重量 2 オンス の銅のグラウンド・プレーン、PCB の底面
 - 重量 2 オンス の銅のグラウンド・プレーン、内部の 2 層
 - 6 個のサーマル・ビア (推奨ランド・パターンを参照、図12)

電気的特性

特に指定がない限り、 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_I = 3\text{ V} \sim 6\text{ V}$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
SUPPLY VOLTAGE, V_{IN}						
V_I	Input voltage range, V_{IN}		3		6	V
	Quiescent current	$f_S = 350\text{kHz}$, SYNC = 0.8V, RT open		6.2	9.6	mA
		$f_S = 550\text{kHz}$, SYNC $\geq 2.5\text{V}$, RT open, phase pin open		8.4	12.8	
		Shutdown, SS/ENA = 0V		1	1.4	
UNDERVOLTAGE LOCK OUT						
	Start threshold voltage, UVLO			2.95	3	V
	Stop threshold voltage, UVLO		2.7	2.8		
	Hysteresis voltage, UVLO		0.14	0.16		V
	Rising and falling edge deglitch, UVLO ⁽¹⁾			2.5		μs
BIAS VOLTAGE						
V_O	Output voltage, VBIAS	$I_{(VBIAS)} = 0$	2.7	2.8	2.9	V
	Output current, VBIAS ⁽²⁾				100	μA
CUMULATIVE REFERENCE						
V_{ref}	Accuracy		0.882	0.891	0.900	V
REGULATION						
	Line regulation ^{(1) (3)}	$I_L = 1.5\text{A}$, $f_S = 1.1\text{MHz}$, $T_J = 25^{\circ}\text{C}$		0.04		%/V
	Load regulation ^{(1) (3)}	$I_L = 0\text{A}$ to 3A, $f_S = 1.1\text{MHz}$, $T_J = 25^{\circ}\text{C}$		0.09		%/A
OSCILLATOR						
	Internally set free-running frequency range	SYNC $\leq 0.8\text{ V}$, RT open	280	350	420	kHz
		SYNC $\geq 2.5\text{ V}$, RT open	440	550	660	
	Externally set free-running frequency range	RT = 100 k Ω (1% resistor to AGND)	460	500	540	kHz
		RT = 43 k Ω (1% resistor to AGND)	995	1075	1155	
	High-level threshold voltage, SYNC		2.5			V
	Low-level threshold voltage, SYNC				0.8	V
	Pulse duration, SYNC ⁽¹⁾		50			ns
	Frequency range, SYNC		330		1600	kHz
	Ramp valley ⁽¹⁾			0.75		V
	Ramp amplitude (peak-to-peak) ⁽¹⁾			1		V
	Minimum controllable on time				150	ns
	Maximum duty cycle		90%			

- (1) 設計において規定されています。
(2) 静的抵抗性負荷のみの場合です。
(3) 図10の回路での規定です。

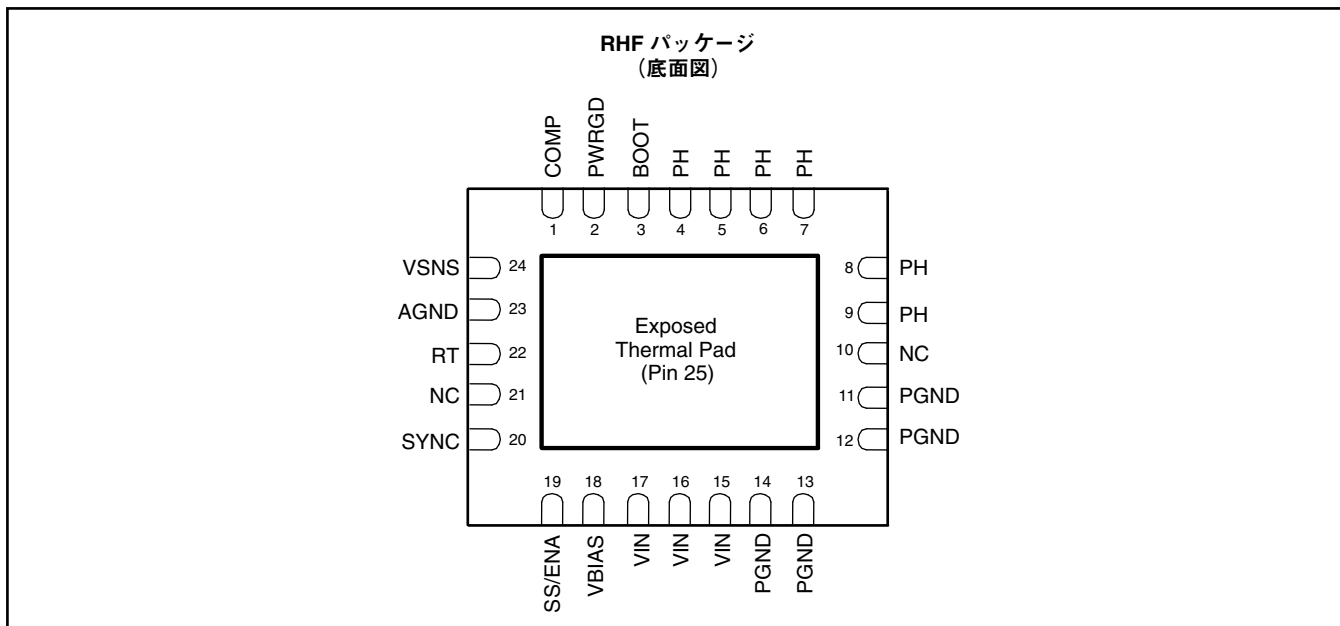
電気的特性

特に指定がない限り、 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_I = 3\text{ V} \sim 6\text{ V}$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
ERROR AMPLIFIER						
Error amplifier open loop voltage gain		1 k Ω COMP to AGND ⁽⁴⁾	90	110		dB
Error amplifier unity gain bandwidth		Parallel 10k Ω , 160pF COMP to AGND ⁽⁴⁾	3	5		MHz
Error amplifier common-mode input voltage range		Powered by internal LDO ⁽⁴⁾	0		VBIAS	V
I_{IB}	Input bias current, VSENSE	VSENSE = V_{ref}		60	250	nA
V_O	Output voltage slew rate (symmetric), COMP		1	1.4		V/ μ s
PWM COMPARATOR						
PWM comparator propagation delay time, PWM comparator input to PH pin (excluding dead time)		10 mV overdrive ⁽⁴⁾		70	85	ns
SLOW-START/ENABLE						
Enable threshold voltage, SS/ENA			0.82	1.2	1.4	V
Enable hysteresis voltage, SS/ENA ⁽⁴⁾				0.03		V
Falling edge deglitch, SS/ENA ⁽⁴⁾				2.5		μ s
Internal slow-start time			2.6	3.35	4.1	ms
Charge current, SS/ENA		SS/ENA = 0V	3	5	8	μ A
Discharge current, SS/ENA		SS/ENA = 0.2V, $V_I = 2.7\text{V}$	1.5	2.3	4	mA
POWER GOOD						
Power good threshold voltage		VSENSE falling		90		% V_{ref}
Power good hysteresis voltage ⁽⁴⁾				3		% V_{ref}
Power good falling edge deglitch ⁽⁴⁾				35		μ s
Output saturation voltage, PWRGD		$I_{(sink)} = 2.5\text{mA}$		0.18	0.3	V
Leakage current, PWRGD		$V_I = 5.5\text{V}$			1	μ A
CURRENT LIMIT						
Current limit trip point		$V_I = 3\text{V}$, output shorted ⁽⁴⁾	4	6.5		A
		$V_I = 6\text{V}$, output shorted ⁽⁴⁾	4.5	7.5		
Current limit leading edge blanking time ⁽⁴⁾				100		ns
Current limit total response time ⁽⁴⁾				200		ns
THERMAL SHUTDOWN						
Thermal shutdown trip point ⁽⁴⁾			135	150	165	$^{\circ}\text{C}$
Thermal shutdown hysteresis ⁽⁴⁾				10		$^{\circ}\text{C}$
OUTPUT POWER MOSFETS						
$r_{DS(on)}$	Power MOSFET switches	$V_I = 6\text{V}$		59	88	m Ω
		$V_I = 3\text{V}$		85	136	

(4) 設計において規定されています。

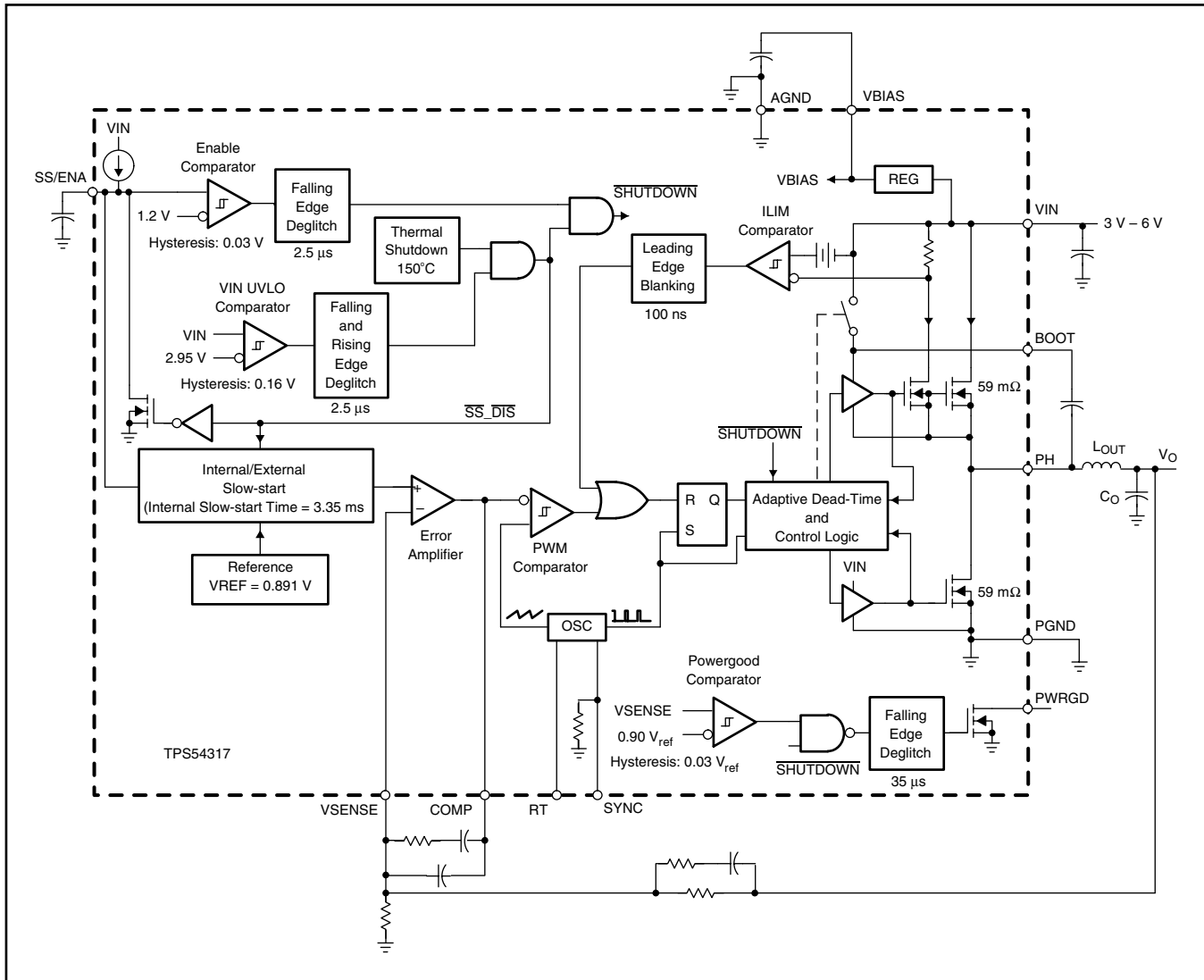
ピン構成



端子機能

TERMINAL		DESCRIPTION
NAME	NO.	
COMP	1	エラー アンプ出力。COMPからVSENSEに対して補償ネットワークが接続されます。
PWRGD	2	パワーグッド・オープンドレイン出力。VSENSE電圧がVREFの90%以上の場合に“H”、それ以外の場合に“L”となります。ただし、SS/ENAが“L”、または内部シャットダウン信号がアクティブのときには、出力は“L”になります。
BOOT	3	ブートストラップ入力。ハイサイドFETのフローティング・ドライバ回路用に、0.022μF~0.1μFの低ESRキャパシタが、BOOST端子からPHに接続されます。
PH	4 - 9	フェーズ端子。ハイサイド/ローサイドFETとインダクタとの接続点。
PGND	11 - 14	パワー・グラウンド。ローサイド・ドライバとパワーMOSFETの大電流リターン端子及び入出力キャパシタのマイナス端子。PGNDは入出力電源リターンに接続されます。
VIN	15 - 17	パワーMOSFETスイッチと内部バイアス・レギュレータの入力電源。高品質/低ESRの1μ~10μFセラミック・キャパシタで、デバイスのできるだけ近くでVINとPGND間をバイパスしてください。
VBIAS	18	内部バイパス・レギュレータ出力。このレギュレータ出力電圧は内部回路用電源として使用され、高品質/低ESRの0.1μF~1μFセラミック・キャパシタでVBIASとAGND間のバイパスをしてください。
SS/ENA	19	スロースタート/イネーブル入力。デバイス動作をイネーブル/ディスエーブルするロジック入力、またはスタートアップ時間を外部設定するキャパシタ入力に使用される兼用ピンです。
SYNC	20	同期入力。外部発振器に同期するためのロジック入力、または2つの内部設定周波数からいずれかを選択するために使用する兼用ピンです。外部信号への同期に使用する場合は、RTピンに抵抗を接続する必要があります。
RT	22	周波数設定用抵抗接続入力。RTとAGND間に抵抗を接続することで、スイッチング周波数が設定されます。
AGND	23, 25	アナログ・グラウンド。補償ネットワーク/出力デバイダ、スロースタート・キャパシタ、RT抵抗、SYNCピンのリターン。PowerPADは、AGNDと接続してください。
VSNS	24	誤差増幅器の反転入力。
NC	10, 21	内部未接続

機能ブロック図



その他の 3A SWIFT デバイス

DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE
TPS54310	Adjustable	TPS54372	DDR/Adjustable
TPS54380	Sequencing/Adjustable	TPS54373	Prebias/Adjustable

関連 DC/DC 製品

- TPS40007 – DC/DC コントローラ
- PTH04070W – 3A プラグイン・モジュール
- UC282-ADJ – 3A 低ドロップアウト・レギュレータ

代表的特性

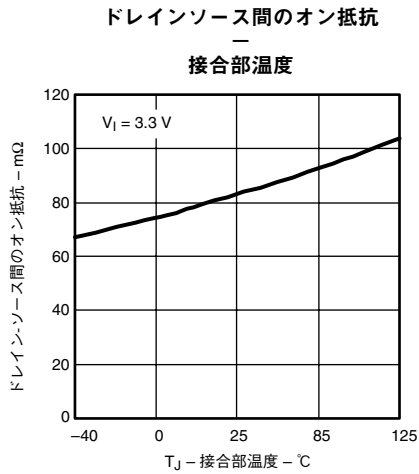


図1.

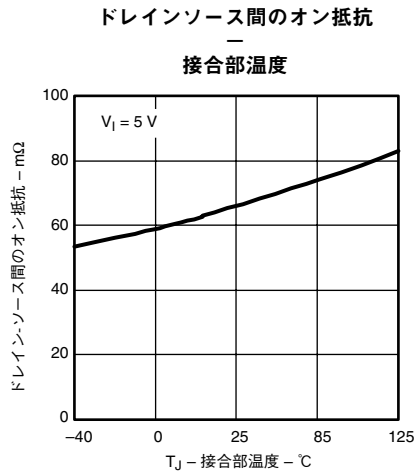


図2.

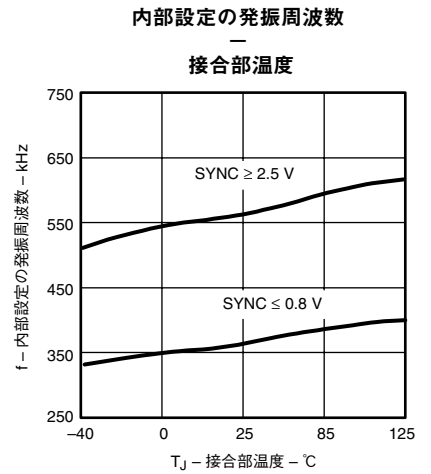


図3.

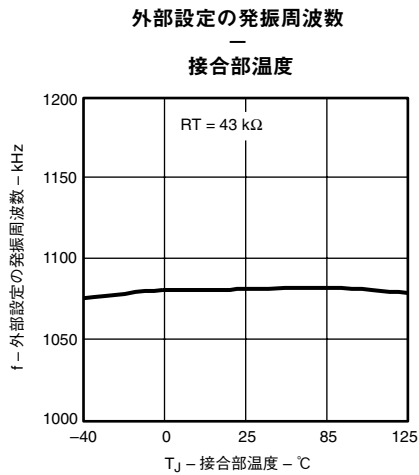


図4.

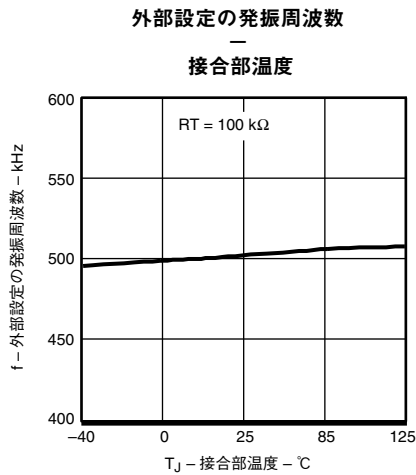


図5.

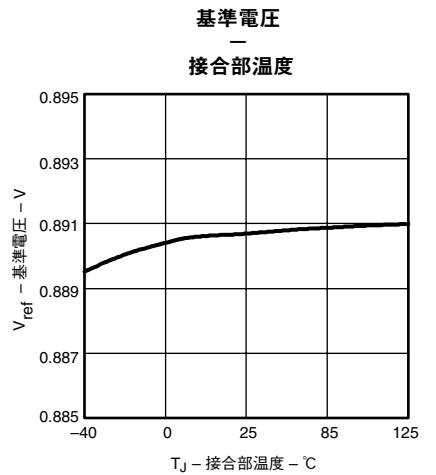


図6.

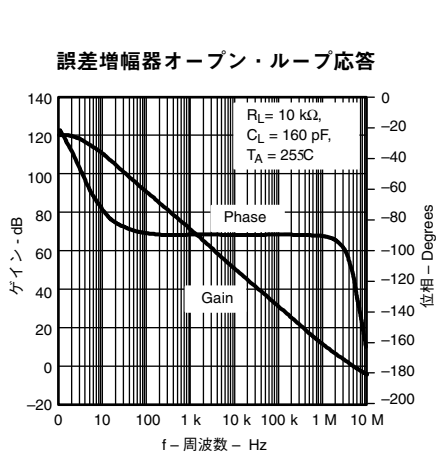


図7.

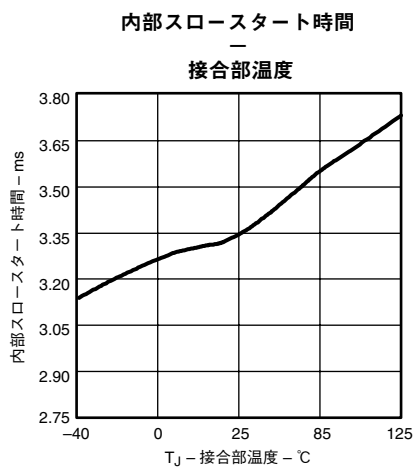


図8.

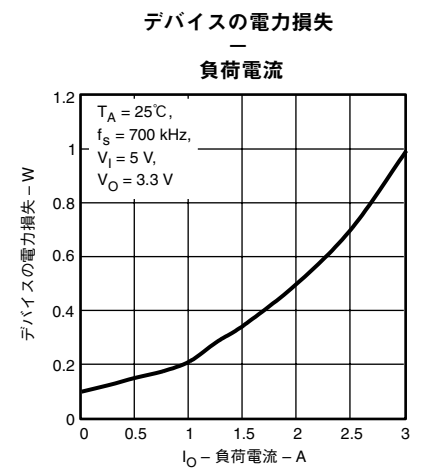


図9.

アプリケーション情報

図10は、TPS54317の代表的なアプリケーションを示します。TPS54317 (U1) は、公称出力電圧 1.8Vで、3Aの出力電流を供給します。適切な熱性能を達成するには、TPS54317 ICの底面にあるパワーパッドをプリント基板 (PCB) に正しく半田付けする必要があります。

入力電圧

この回路への入力は、公称 3.3VDCです。オプションの入力フィルタ (C1) は、150μFのコンデンサで、最大許容リップル電流は3A です。C9は、TPS54317のデカップリング・コンデンサであり、できるだけデバイスの直近に配置する必要があります。

フィードバック回路

抵抗ダイバダ回路R1とR2により回路の出力電圧が1.8Vに設定されています。R1 および R5、R3、C6、C7、C8は回路のループ補償ネットワークを形成しています。この設計ではタイプ3のトポロジが使用されています。

動作周波数

このアプリケーション回路では、1.1 MHzの動作を選択しています。RT (22ピン) とアナログ・グランド間に抵抗を接続すると、スイッチング周波数を280kHz ~ 1.6MHzに設定することができます。この回路では1.1MHzとするために41.2kΩに設定されています。

RT 抵抗を計算するには、式(1) を使用します。

$$R(\Omega) = \frac{51k}{f(\text{MHz})} - 4.7k \quad (1)$$

出力フィルタ

出力フィルタは、1.5μHのインダクタと、2つのコンデンサで構成されています。このインダクタは、Coilcraft社製、型番 DO1813P-122HCで、低 DC抵抗 (0.017Ω) タイプです。フィードバック・ループは単一利得周波数が約 75 kHz となるよう補償されています。

PCB レイアウト

図11に、TPS54317のPCBレイアウトに関する一般的なガイドラインを示します。

すべてのVINピンは、プリント基板 (PCB) 上で同じ領域に接続し、低ESRのセラミック・バイパス・キャパシタを使用してバイパスしてください。バイパス・キャパシタ接続、VINピン、およびTPS54317のグランド・ピンによって形成されるループ領域は最小限に抑えるよう注意が必要です。推奨される最小のバイパス容量は、X5RまたはX7Rクラスの誘電体を使用した10μFのセラミック・キャパシタであり、VINピンおよびPGNDピンにできる限り近づけて配置するのが最適です。

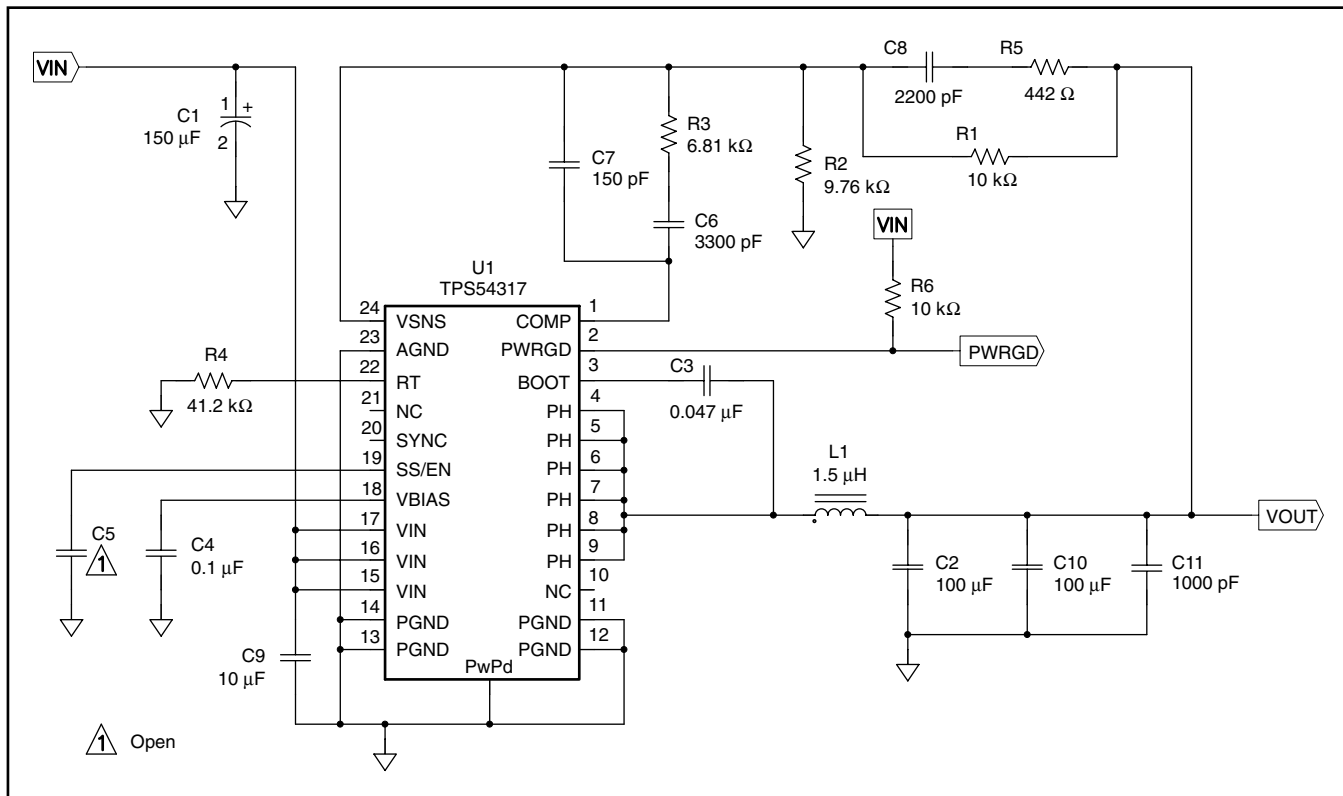


図10. TPS54317 の回路図

TPS54317には内部グランドが2つあります(アナログとパワー)。TPS54317の内部で、アナログ・グランドはノイズに敏感な信号全てに結びついており、一方、パワー・グランドはノイズの大きい電源信号に結びついています。この2つのグランド間に入るノイズが、特に大出力電流時にTPS54317の性能を劣化させてしまいます。アナログ・グランド・プレーン上のグランド・ノイズもコントロールおよびバイアス信号の一部に関連する問題を生じさせます。これらの理由により、アナログ・グランドとパワー・グランドのパターンをそれぞれ分離することを推奨します。IC直下の最上層には、PowerPADへの接続用の露出した領域とともに、グランド領域を設ける必要があります。このグランド領域は、ビアを使用して任意の内部グランド・プレーンに接続してください。入力および出力フィルタ・キャパシタのグランド側にも、追加のビアを使用します。AGNDおよびPGNDピンは、PCBのグランドに接続する必要があります。これは、図に示すように、各ピンをデバイス下のグランド領域に接続することで行います。パワー・グランドのプレーンに直接接続しなければならない部品は、入力キャパシタ、出力キャパシタ、入力電圧デカップリング・キャパシタ、TPS54317のPGND端子です。アナログ・グランド信号パスには、別の広いパターンを使用してください。このアナログ・グランドは、電圧設定デバイダ、タイミング抵抗RT、スロースタート・キャパシタ、およびバイアス・キャパシタのグランド用に使用します。このパターンはAGND(ピン1)に直接接続してください。

PHピンはすべて同じ領域に接続し、出力インダクタに接続する必要があります。PH接続はスイッチング・ノードであるため、インダクタはPHピンにごく近づけて配置し、過度の容量性カップリングを避けるためにPCB導体の面積はできるだけ小さくしてください。

図に示すように、フェーズノードとBOOTピンの間にはブート・キャパシタを接続します。ブート・キャパシタはICに近づけて配置し、導体パターンはできるだけ短くしてください。

VOUTパターンとPGNDの間には、図に示すように出力フィルタ・キャパシタを接続します。PHピン、Lo、Co、およびPGNDによって形成されるループは、実用上適切な範囲となるべく小さくすることが重要です。

VOUTパターンとVSENSEおよびCOMPピンの間に、補償部品を配置します。これらの部品は、PHパターンにあまり近づけないようにしてください。ICパッケージのサイズとデバイスのピン配置の関係で、近づけて配置することになりますが、レイアウトのコンパクトさを維持できる範囲で、できるだけ離して配置してください。

VBIASピンとアナログ・グランドの間に、独立したアナログ・グランド電圧パターンを使用してバイアス・キャパシタを接続します。バイアス・キャパシタは、VBIASピンとアナログ・グランドにできるだけ近づける必要があります。スロースタート・キャパシタまたはRT抵抗を使用する場合や、SYNCピンを使用して350kHzの動作周波数を選択する場合は、これらをこのパターンに接続します。

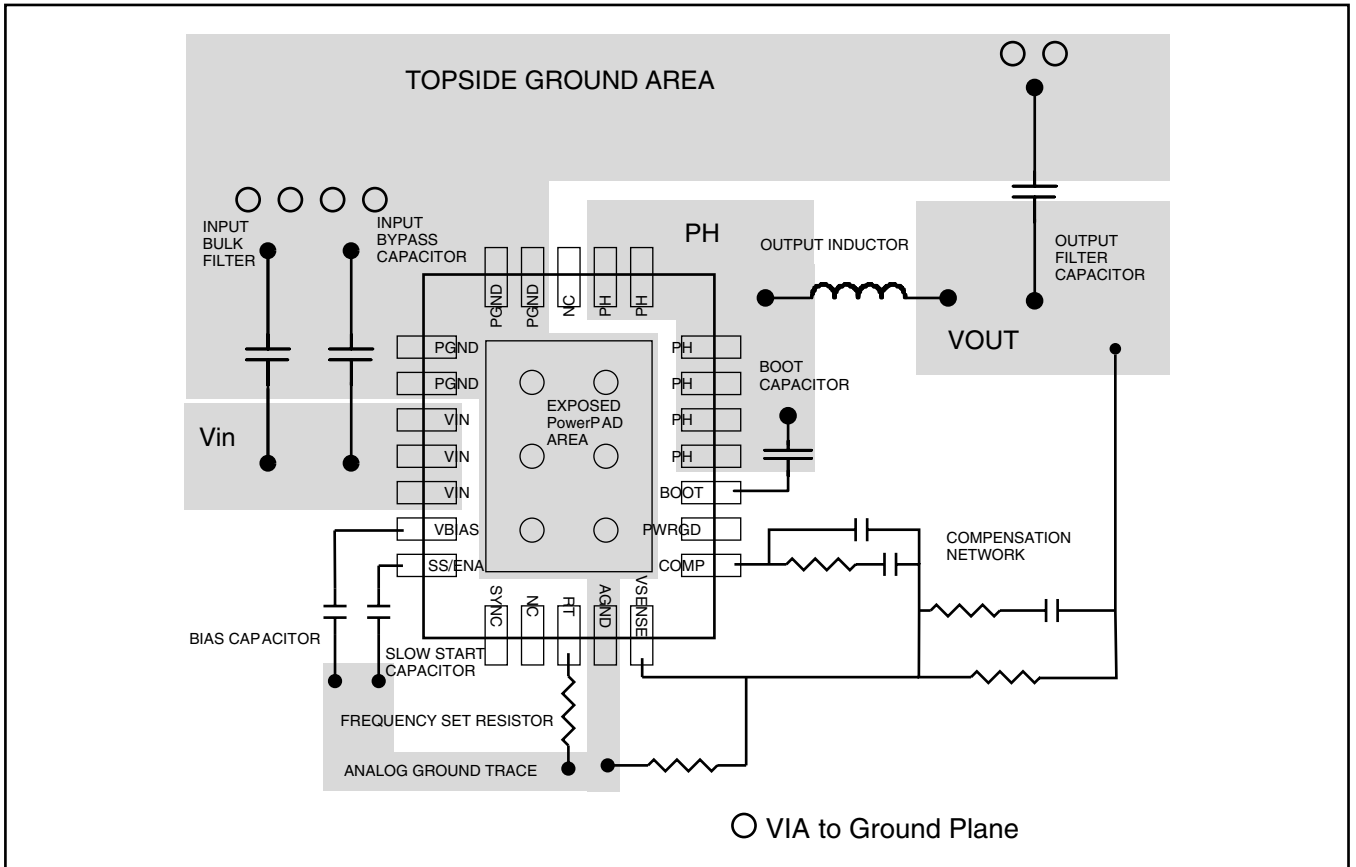


図11. TPS54317 PCB レイアウト

熱設計のためのレイアウト考察

全定格負荷電流で動作を行うには、アナログ・グラウンドのプレーンは十分な放熱面積を備えていなければなりません。周囲の温度とエアフローにもより、強制ではありませんが、重量1オンスの銅で3インチ×3インチの大きさを推奨します。ほとんどのアプリケーションでは内部に大きな領域のグラウンド・プレーンをもつことができ、PowerPADはこの利用可能な最大領域に接続する必要があります。上層または下層の追加領域も放熱の手助けとなり、3Aまたはそれ以上での動作が求められる場合には利用可能な領域はすべて使用する必要があります。

PowerPADのむき出しの領域からアナログ・グラウンド・プレーン層へはビアの中での半田のウィッキング(ボイド)を避けるため直径0.013インチのビアを使って接続する必要があります。

PowerPAD領域に6つのビアを配置する必要があります。また、熱特能を向上させるために、デバイス・パッケージの下に設置されるビアグラウンドを追加することもできます。むき出しの熱パッド領域では不可能ですが、パッケージの下のビア寸法は0.018インチまで増やすことができます。

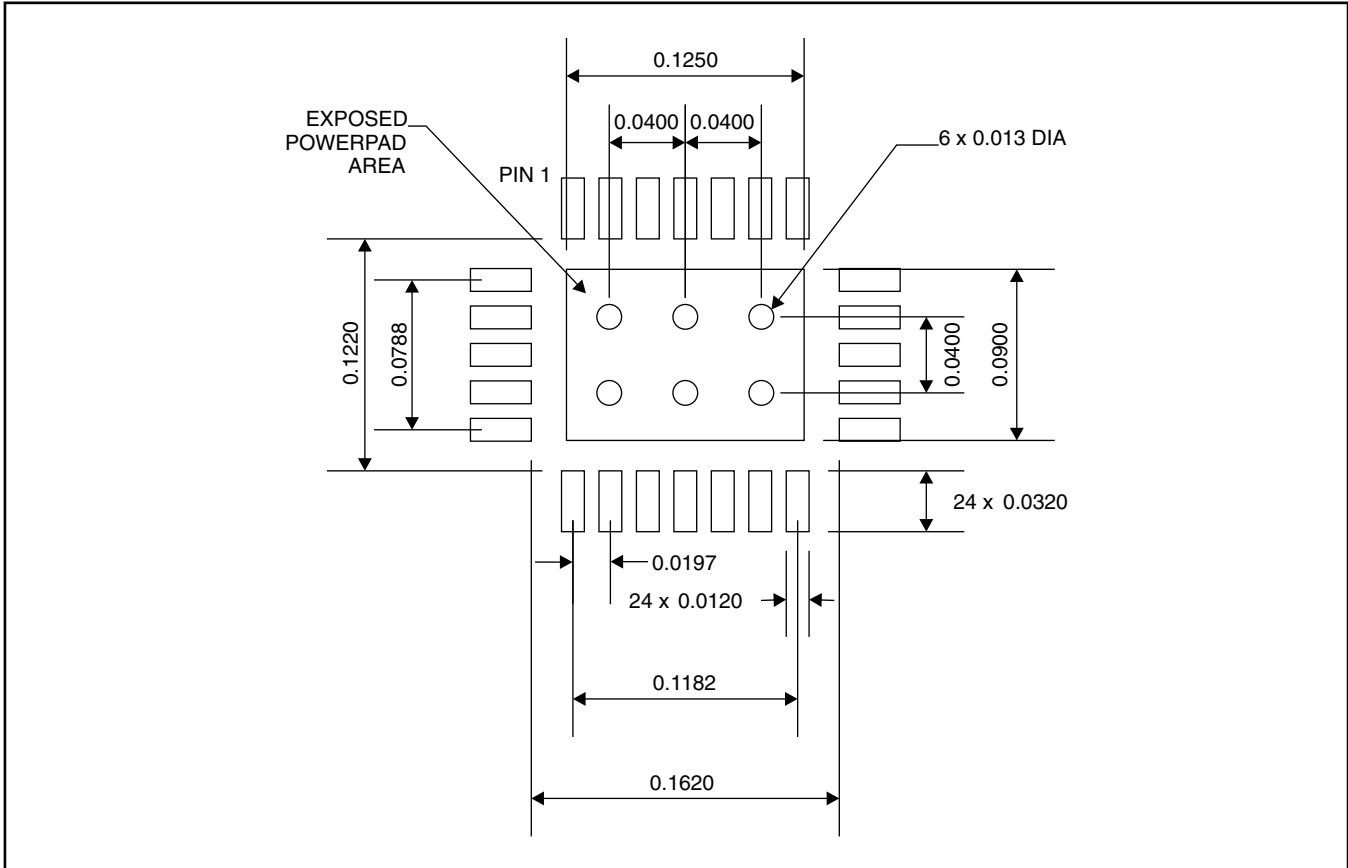


図12. 24ピンQFN PowerPADの推奨ランド・パターン

特性グラフ

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $f_s = 1.1\text{MHz}$ 、 $V_I = 3.3\text{V}$ 、 $V_O = 1.8\text{V}$

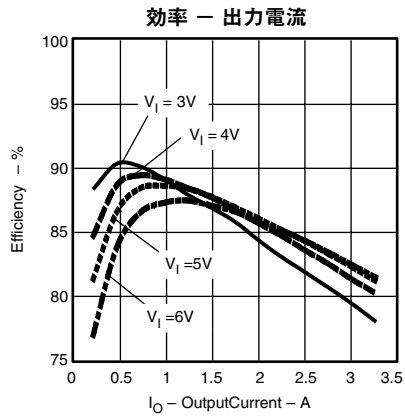


図13.

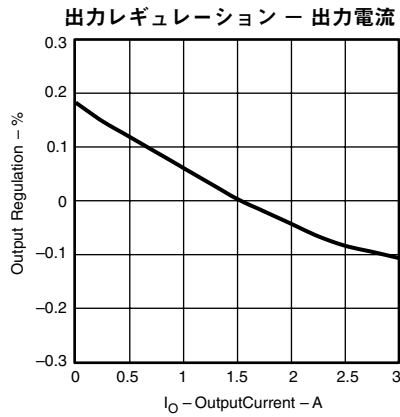


図14.

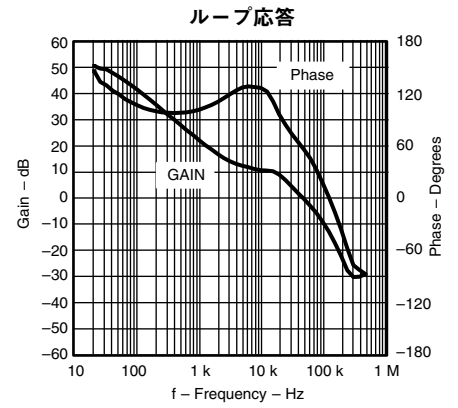


図15.

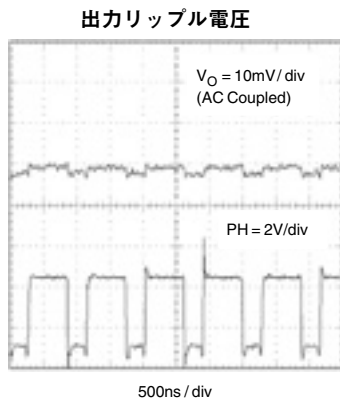


図16.

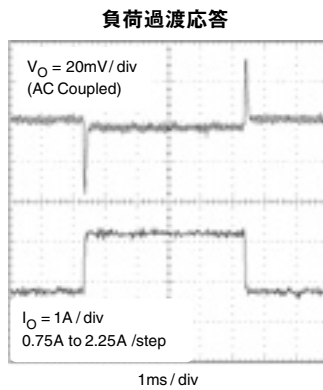


図17.

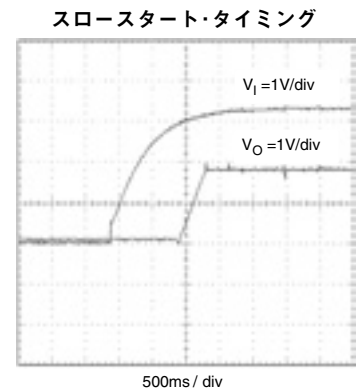


図18.

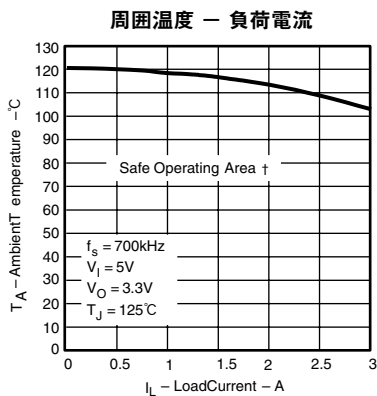


図19.

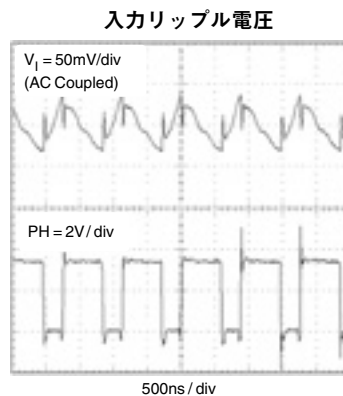


図20.

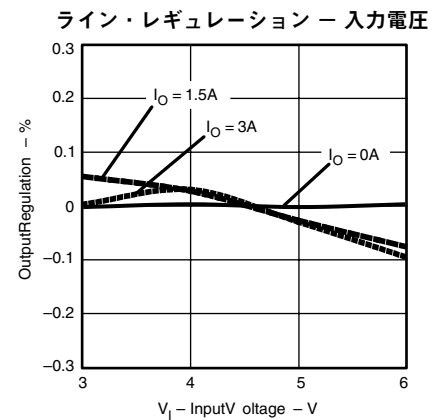


図21.

詳細説明

低電圧ロックアウト機能 (UVLO)

TPS54317には入力電圧が(VIN)が不足している場合にデバイスをディスエーブルしておく低電圧ロックアウト回路が内蔵されています。電源の立ち上がり時、内部回路はVINが標準のUVLOスレッシュホールド電圧である2.95Vを超えるまでインアクティブに保持されます。UVLOスタート・スレッシュホールド電圧に達するとデバイスの起動が始まります。デバイスはVINが標準のUVLOストップ・スレッシュホールド電圧である2.8V以下に低下するまで動作します。VINのノイズによりデバイスが停止してしまう可能性はUVLOコンパレータのヒステリシスおよび2.5 μ sの立ち上がり/立ち下がりエッジ・デグリッチ回路により低く抑えられています。

スロースタート/イネーブル (SS/ENA)

スロースタート/イネーブル (SS/ENA) ピンには、2つの機能があります。第1に、このピンはイネーブル(シャットダウン)制御機能を果たし、電圧が約1.2Vのスタート・スレッシュホールド電圧を上回るまでは、デバイスをオフに保ちます。SS/ENAの電圧がイネーブルのスレッシュホールドを上回った時点で、デバイスのスタートアップが開始します。誤差増幅器に対して供給される基準電圧は、3.35msで0Vから0.891Vに直線的に上昇します。同様に、コンバータの出力電圧は、約3.35msで、レギュレーションに達します。ヒステリシスおよび2.5 μ sの立ち下がりデグリッチ回路により、ノイズによりイネーブルがトリガされるのを防止しています。

SS/ENAピンの2番目の機能は、SS/ENAとAGNDの間に小容量のキャパシタ(コンデンサ)を接続し、スロースタート時間を外部から延長することができます。SS/ENAピンにキャパシタを追加すると、スタートアップ時に2つの効果が得られます。第1に、SS/ENAピンのリリースから出力の立ち上がりまでの間に遅延が発生します。この遅延は、スロースタート・キャパシタの値に比例し、SS/ENAピンがイネーブルのスレッシュホールドに達するまで持続します。スタートアップ遅延は、およそ次のようになります。

$$t_d = C_{(SS)} \times \frac{1.2V}{5\mu A} \quad (2)$$

第2に、出力がアクティブになった時点で、内部のスロースタート・レートで短いランプ上昇が観測されることがあります。その後、外部で設定されたスロースタート・レートによる制御が始まり、スロースタート・キャパシタに比例したレートで出力が上昇します。キャパシタによって設定されるスロースタート時間は、およそ次のようになります。

$$t_{(SS)} = C_{(SS)} \times \frac{0.7V}{5\mu A} \quad (3)$$

実際のスロースタートは、内部レートによる短いランプ上昇が原因で、通常は上記の概算より短くなります。

VBIASレギュレータ (VBIAS)

VBIASレギュレータは内部のアナログおよびデジタル・ブロックにジャンクション温度や入力電圧の変動にかかわらず安定した電源電圧を供給します。高品質で低ESRのセラミックのバイパス・キャパシタをVBIASピンに接続することが必要です。温度に対し特性値が安定しているため、X7RまたはX5Rクラスの特性の誘電体を推奨します。バイパス・キャパシタはVBIASピンの近くに置き、AGNDに帰還させる必要があります。VBIASに外部負荷を接続することは、内部回路がVBIASの最小電圧2.70Vを必要とすること、およびVBIASに接続する外部負荷がACまたはデジタル・スイッチング・ノイズを持ち性能を劣化させるかもしれない、という点に注意すれば可能です。VBIASピンは外付け回路への基準電圧としても有用です。

基準電圧

基準電圧回路は温度に対し安定なバンドギャップ回路の出力をスケールリングすることで高精度のV_{ref}信号を生成します。製造時、バンドギャップ回路とスケールリング回路は、ボルテージ・フォロウのように接続されたアンプにより誤差増幅器の出力で0.891Vが出力されるようトリミングされます。このトリミングは、スケールリング回路および誤差増幅器の回路のオフセット誤差をキャンセルするため、TPS54317での高精度のレギュレーションが可能となります。

発振器およびPWMランプ

SYNCピンを静的なデジタル入力として使用する方法で、発振器の周波数は内部の固定値である350kHzまたは550kHzに設定できます。アプリケーションでそれ以外の周波数での動作が必要な場合は、RTピンとAGND間に抵抗を接続し、SYNCピンをオープンにすることで、発振器の周波数を280kHz~1,600kHzの範囲で外部から調整できます。スイッチング周波数は以下の式で概算することができます。ここで、RはRTピンからAGNDに接続される抵抗です。

$$\text{SWITCHING FREQUENCY (MHz)} = \frac{51k}{R(\Omega) + 4.7k} \quad (4)$$

同期信号をSYNCに供給し、RTとAGNDの間に抵抗を接続することにより、330kHz~1,600kHzの周波数範囲でPWMランプを外部同期させることも可能です。RTの抵抗値は、フリーランニング周波数を同期信号の80%に設定するものを選択します。表1は、周波数選択の構成をまとめたものです。

SWITCHING FREQUENCY	SYNC PIN	RT PIN
350kHz, internally set	Float or AGND	Float
550kHz, internally set	≥2.5V	Float
Externally set 280kHz to 1600kHz	Float	R = 27.4k to 180k
Externally synchronized frequency	Synchronization signal	R = RT value for 80% of external synchronization frequency

表1. 周波数選択の構成の要約

誤差増幅器

高性能で広い帯域幅をもつ誤差増幅器により、TPS54317はほとんどのDC/DCコンバータより際立って優れています。ユーザーは特殊なアプリケーションのニーズに適応するようLとCから成る出力フィルタ部品を広範囲に選択使用することができます。外付けの補償部品によりタイプ2または3の補償を用いることができます。

PWM コントロール

誤差増幅器の出力、発振器、電流制限回路からの信号はPWM コントロール・ロジックで処理されます。内部ブロック図を参照すると、このコントロール・ロジックにはPWMコンパレータ、OR ゲート、PWMラッチ、およびアダプティブ・デッドタイムとコントロール・ロジックのブロックの一部が含まれます。電流制限スレッシュホールド電圧以下の定常状態動作では、PWMコンパレータの出力と発振器の連続パルスが交互にPWMラッチのリセットとセットを行います。PWMラッチがセットされると、ローサイドFETは発振器のパルス持続時間で設定される最小期間の間オン状態のままです。この期間で、PWMランプはその下限電圧まで急速に放電します。ランプが再充電し始めると、ローサイドFETはオフになり、ハイサイドFETがオンになります。PWMランプ電圧が誤差増幅器の出力電圧を超えると、PWMコンパレータはラッチをリセットするため、ハイサイドFETがオフ、ローサイドFETはオンになります。ローサイドFETは、発振器の次のパルスがPWMランプを放電するまでオン状態を保持します。

過渡状態では、誤差増幅器の出力はPWMランプの下限電圧以下またはPWMピーク電圧以上である可能性があります。誤差増幅器の出力が高くと、PWMラッチはリセットされず、ハイサイドFETは発振器のパルスがハイサイドFETをオフに、ローサイドFETをオンにするようコントロール・ロジックに信号を送るまでオン状態を保持します。このデバイスは出力電圧がレギュレーションの設定点に達し、VSENSEの電圧がVREFとほ

ぼ同じ電圧に設定されるまで、その最大デューティ・サイクルで動作します。一方、誤差増幅器の出力が低いと、PWMラッチは絶えずリセットされ、ハイサイドFETはオンになりません。ローサイドFETは、VSENSE電圧がPWMコンパレータに状態を変えさせる程度に減少するまでオン状態を保持します。TPS54317は出力がレギュレーションの設定点に達するまで連続して電流をシンクすることができます。

電流制限コンパレータが100ns以上トリップしている場合、PWMラッチはPWMランプが誤差増幅器の出力を超える前にリセットされます。ハイサイドFETはオフに、ローサイドFETはオンになり、出力インダクタのエネルギーは減少し、その結果出力電流は減少します。このプロセスは電流制限コンパレータがトリップするたびに各サイクルで繰り返し行われます。

デッドタイム・コントロールおよびMOSFETドライバ

アダプティブ・デッドタイム・コントロールにより、MOSFETドライバのターンオン時間が能動的にコントロールされ、スイッチング過渡時シュートスルー電流が両方のNチャンネル・パワーMOSFETに流れることが防止されます。ハイサイド・ドライバはローサイドFETのゲート駆動電圧が2V以下になるまでオンになりません。ローサイド・ドライバはハイサイドMOSFETのゲート電圧が2V以下になるまでオンになりません。ハイサイド・ドライバおよびローサイド・ドライバはパワーMOSFETのゲートを駆動するため300mAのソース/シンク能力をもつよう設計されています。ローサイド・ドライバはVINから電源を供給され、一方、ハイサイド・ドライバはBOOTピンから電源が供給されます。ブートストラップ回路は外付けのBOOTキャパシタと、VINとBOOTピン間に接続された2.5Ωの内蔵ブートストラップ・スイッチを利用しています。この内蔵ブートストラップ・スイッチにより、駆動効率が改善し、また外付け部品点数も削減します。

過電流保護

ハイサイドMOSFETと差動増幅器を流れる電流を検出し、この信号をあらかじめ設定された過電流スレッシュホールドと比較することでサイクルごとの電流制限が実行されます。ハイサイドMOSFETは電流制限のスレッシュホールドに達した後200ns以内でオフになります。100nsのリーディング・エッジ・ブランキング回路は電流制限が誤ってトリップすることを防止します。電流制限の検出は出力フィルタへの電流をソースしている場合に電流がVINからPHに流れる時のみ起こります。電流シンクの動作時に負荷を保護することはサーマル・シャットダウンにより行われます。

サーマル・シャットダウン

このデバイスはジャンクション温度が150℃を超えるとサーマル・シャットダウンによりパワーMOSFETをオフにしコントローラをディセーブにします。デバイスはサーマル・シャットダウンのトリップ点より10℃下がるとシャットダウンが解除され、スロースタート回路のコントロールの下で起動を開始します。サーマル・シャットダウンは過負荷の状態が数ミリ秒間続いた時保護を行います。異常が続いていると、デバイスは連続して以下のサイクルを繰り返します。つまり、ソフトスタート回路のコントロールにより起動し、異常状態により熱をもち、その結果サーマル・シャットダウン点に達した時シャットダウンします。

パワーグッド (PWRGD)

パワーグッド回路はVSENSEが低電圧状態かどうかをモニタします。VSENSEの電圧が基準電圧より10%低くなると、PWRGDのオープン・ドレイン出力が“Low”レベルになります。また、VINがUVLOスレッシュホールド電圧以下またはSS/ENAが“Low”レベル、あるいはサーマル・シャットダウンが発生した場合にも、PWRGDは“Low”レベルになります。VINがUVLOスレッシュホールド電圧より大きく、ENAがイネーブル・スレッシュホールド電圧以上で、VSENSEがV_{ref}の90%より大きい場合は、PWRGDピンのオープン・ドレイン出力は“High”レベルになります。V_{ref}の3%のヒステリシス電圧と35μsの立ち下がりエッジのデグリッチ回路により、高周波ノイズでパワーグッド・コンパレータがトリップするのを防止しています。

出力電圧の制限

TPS54317の内部設計により、どのような入力電圧が与えられた場合でも、出力電圧には上限と下限があります。さらに、出力電圧の設定ポイント・レンジのうち、下限は動作周波数にも依存します。出力電圧の設定ポイント・レンジのうち、上限は最大デューティ・サイクル90%によって制限され、式(5)で表されます。

$$V_{Omax} = 0.9 \times V_{Imin} - I_{Omax} [(-0.016 \times V_{Imin} + 0.184) + RL] \quad (5)$$

V_{Imin} = 最小入力電圧

I_{Omax} = 最大負荷電流

RL = 出力インダクタの直列抵抗

式(5)では、内部のハイサイドFETとローサイドFETの最大オン抵抗を想定しています。

下限は、制御可能な最小限のオン時間によって制限を受けます。このオン時間は、最大で150nsです。特定の入力電圧、動作周波数、および最小負荷電流に対応する概算の最小出力電圧は、式(6)で表されます。

$$V_{Omin} = (150E-9 \times V_{Imax} \times F_s \times 1.08) - I_{Omin} \times \left[\left(\frac{-0.026}{3} \times V_{Imax} + 0.111 \right) + RL \right] \quad (6)$$

V_I = 最大入力電圧

F_s = プログラムされた動作周波数

I_O = 最小負荷電流

RL = 出力インダクタの直列抵抗

式(6)では、ハイサイドFETとローサイドFETの公称オン抵抗を想定し、動作周波数設定ポイントの変動に関して8%の係数を使用しています。デバイスの動作限度付近での動作を想定した設計をするときは、正常な機能が補償されているかどうか注意深く確認する必要があります。

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS54317RHFR	ACTIVE	QFN	RHF	24	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54317RHFRG4	ACTIVE	QFN	RHF	24	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54317RHFT	ACTIVE	QFN	RHF	24	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54317RHFTG4	ACTIVE	QFN	RHF	24	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Exempt: RoHS 適用除外)、およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、均質な材質内で鉛の重量が 0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

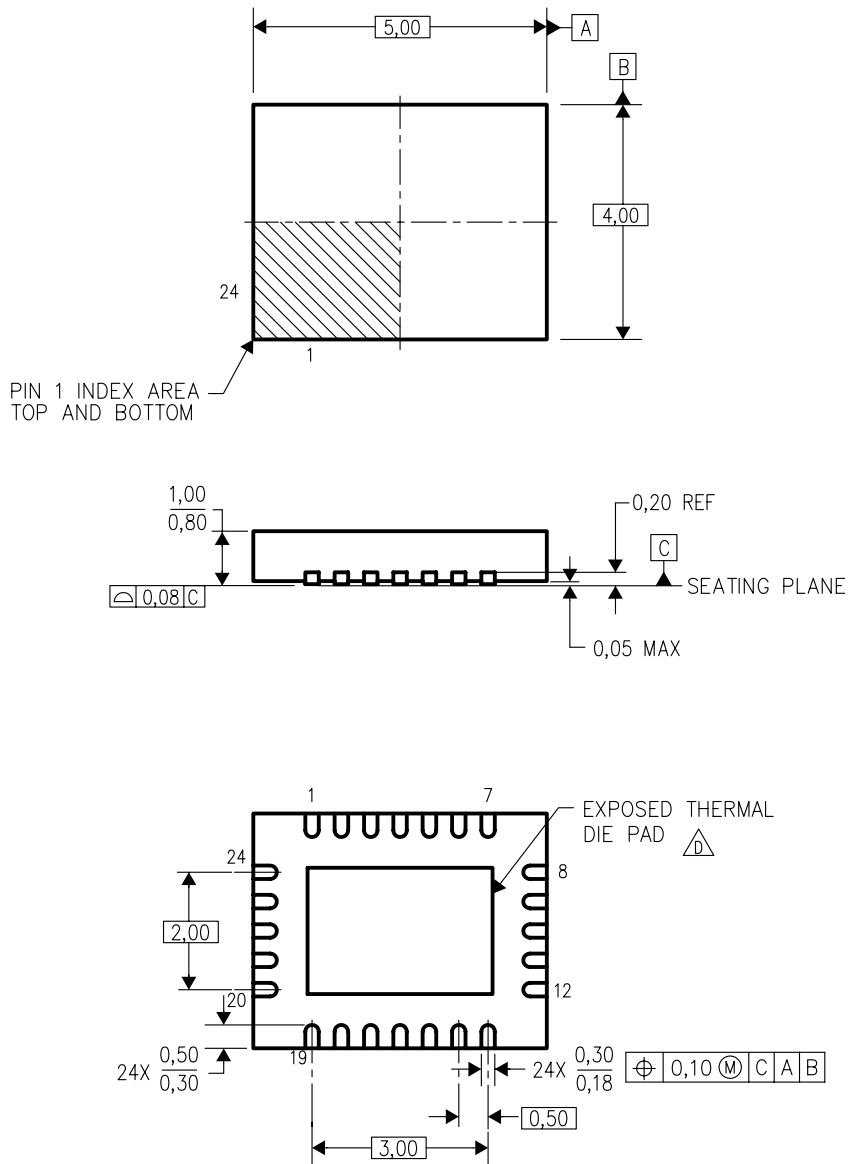
Pb-Free (RoHS Exempt): このコンポーネントは、次の理由のいずれかにより、RoHS指令を適用除外されています。1)ダイとパッケージの間で、鉛ベースのフリップチップ半田突起が使用されている、または 2)ダイとリードフレームの間で鉛ベースのダイ接着剤が使用されている。それ以外には、このコンポーネントは上記の定義のとおり、Pb-Free (RoHS準拠) であると考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free” (RoHS 互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が 0.1%を超えない) ことを意味しています。

(3) MSL、ピーク温度 - JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点での TIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じるTIの責任は、TIによって年次ベースで顧客に販売される、このドキュメント発行時点でのTI製品の合計購入価格を超えることはありません。



4204845/C 11/04

- 注：A. すべての寸法は、ミリメートル (mm) 単位です。
 B. この図は、通知なく変更されることがあります。
 C. QFN (クワッド・フラット・バック、リード端子なし) パッケージの構成です。
 D. 熱性能および機械的性能を重視する場合は、パッケージの熱パッドをボードにハンダ付けする必要があります。
 E. JEDEC MO-220に分類されます。

熱パッドのメカニカル・データ

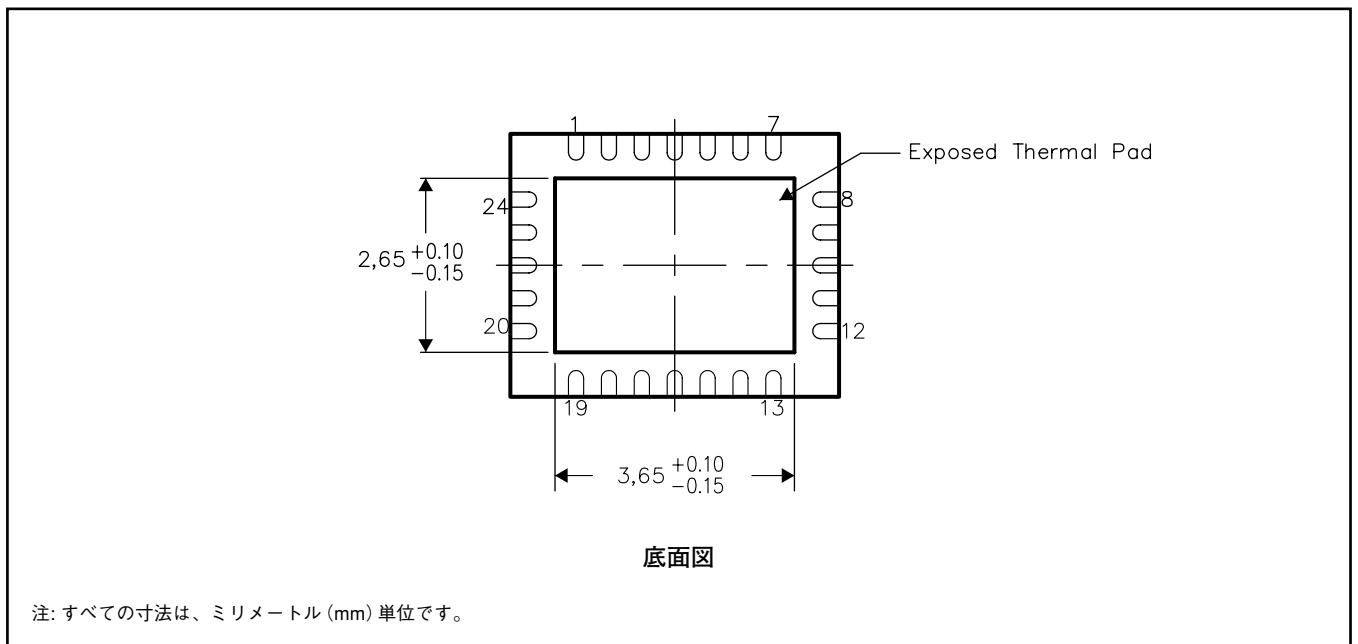
RHF (R-PQFP-N24)

サーマル情報

このパッケージには、外部のヒートシンクに直接取り付けられるむき出しの熱パッドがあります。熱パッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付けをした後、PCBをヒートシンクとして使用できます。さらに、サーマル・ビアを使用することで、熱パッドを、PCB内部のグラウンド・プレーンまたは電源プレーン (該当する場合)、もしくは特別に準備されたヒートシンク・エリアにも直接接続可能です。このような設計によって、ICからの熱伝導を最適化することが出来ます。

QFN (Quad Flatpack No-Lead: クワッド・フラットパック、リード端子なし) パッケージとその利点については、アプリケーション・レポート「Quad Flatpack No-Lead Logic Packages」(クワッド・フラットパック、リード線のないロジック・パッケージ) (TI 文献番号 SCBA017) を参照してください。このドキュメントは、www.ti.comで入手できます。

このパッケージのむき出しの熱パッドの寸法は、次の図のとおりです。



Exposed Thermal Pad Dimensions

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上