

6,4 mm X 9,7 mm

FET内蔵 (SWIFT™)、4V~6V入力、8A出力、 同期整流式バックPWMスイッチャ

特長

- 30mΩ MOSFETにより8A連続出力で高効率を実現
- 可変出力電圧範囲：0.9V~3.3V (精度1%基準電圧)
- 外部補償
- 高速過渡応答
- 広いPWM周波数範囲：固定350kHz、550kHzまたは可変280kHz~700kHz
- ピーク電流制限による負荷保護および過熱保護機能
- FET内蔵により、基板面積と合計コストを低減

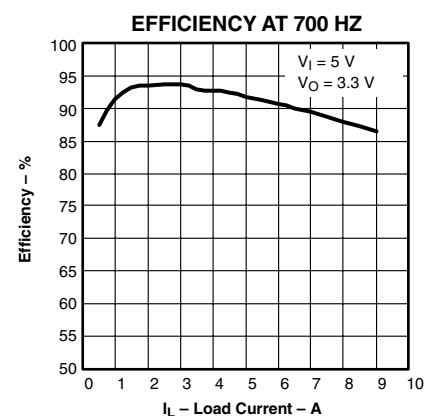
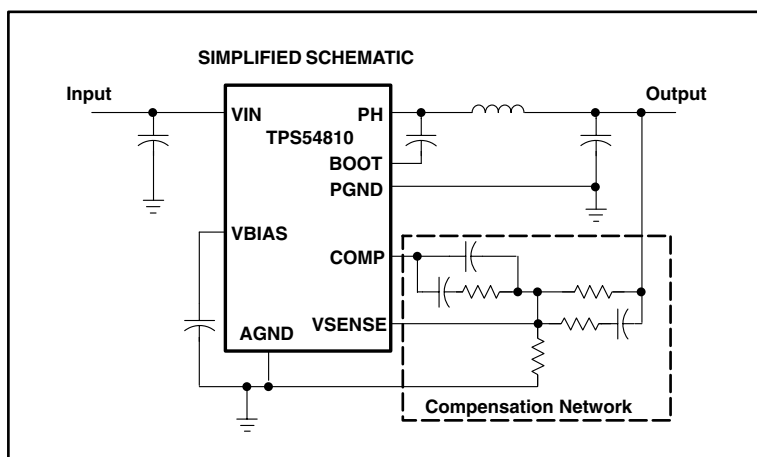
アプリケーション

- 低電圧、高密度の5V分散型電源システム
- 高性能DSP、FPGA、ASIC、マイクロプロセッサ用ポイント・オブ・ロード (POL) レギュレーション
- ブロードバンド、ネットワーキング、光通信インフラストラクチャ
- ポータブル・コンピュータ、ノート・パソコン

概要

TPS54810は、SWIFT™ファミリーのDC/DCレギュレータ製品の1つであり、必要な能動部品をすべて内蔵した、低入力電圧、大電流出力の同期整流式バックPWMコンバータです。他の特長としては、過渡状態での性能を最大限に高め、出力フィルタのL, C部品選択に柔軟性を与える真に高性能な電圧誤差増幅器、入力電圧が3.8Vに達するまで起動を抑える低電圧ロックアウト回路、突入電流を制限する内部設定または外部設定のスロースタート回路、およびプロセッサ/ロジックのリセットや障害通知、電源シーケンシングに有用なパワー・グッド出力などがあります。

TPS54810は、熱特性を改善した28ピンのTSSOP (PWP) PowerPAD™パッケージで供給され、大型のヒートシンクは不要です。TIでは評価モジュールとSWIFT™デザイナーソフトウェア・ツールを提供し、装置の短期間の開発サイクルに適した迅速な高性能電源設計を支援しています。



PowerPAD, SWIFTは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報

T _A	出力電圧	パッケージ	製品型番
-40°C ~ 85°C	0.9 V ~ 3.3V	PLASTIC HTSSOP (PWP) ⁽¹⁾	TPS54810PWP

- (1) PWPパッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(すなわち、TPS54810PWPR)。
PowerPAD™の図面およびレイアウト情報についてはこのデータシートの「アプリケーション情報」の節を参照してください。
- (2) 最新のパッケージおよびご注文情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト(www.ti.com)をご覧ください。

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

		TPS54810	単位
Input voltage range, V _I	VIN, SS/ENA, SYNC	-0.3 ~ 7	V
	RT	-0.3 ~ 6	
	VSENSE	-0.3 ~ 4	
	BOOT	-0.3 ~ 17	
Output voltage range, V _O	VBIAS, COMP, PWRGD	-0.3 ~ 7	V
	PH	-0.6 ~ 10	
Source current, I _O	PH	Internally Limited	
	COMP, VBIAS	6	mA
Sink current, I _S	PH	12	A
	COMP	6	mA
	SS/ENA, PWRGD	10	
Voltage differential	AGND to PGND	±0.3	V
Operating virtual junction temperature range, T _J		-40 ~ 125	°C
Storage temperature, T _{stg}		-65 ~ 150	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		300	°C

- (1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

推奨動作条件

	MIN	NOM	MAX	単位
Input voltage range, V _I		4	6	V
Operating junction temperature, T _J	-40		125	°C

定格消費電力 (1) (2)

PACKAGE	THERMAL IMPEDANCE JUNCTION-TO-AMBIENT	T _A 25°C POWER RATING	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
28-Pin PWP with solder	18.2 °C/W	5.49 W ⁽²⁾	3.02 W	2.20 W
28-Pin PWP without solder	40.5 °C/W	2.48 W	1.36 W	0.99 W

- (1) PWPパッケージの詳細な情報についてはTIテクニカル・ブリーフ文庫番号SLMA002を参照してください。

(2) テスト・ボードの条件は以下の通りです。

- サイズ：3インチ×3インチ、4層、厚さ0.062インチ
- PCBの上面に重量1.5オンスの銅配線
- PCBの底面に重量1.5オンスの銅のグラウンド・プレーン
- 内部の2層に重量0.5オンスの銅のグラウンド・プレーン
- サーマル・ビアは12個(このデータシートのアプリケーション情報の「推奨ランド・パターン」を参照してください)

- (3) 最大消費電力は過電流保護により制限されることがあります。

電気的特性

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_I = 4\text{V} \sim 6\text{V}$ (特に記述のない限り)

パラメータ		測定条件	MIN	TYP	MAX	単位
SUPPLY VOLTAGE, VIN						
Input voltage range, VIN			4.0		6.0	V
$I_{(Q)}$	Quiescent current	$f_s = 350\text{ kHz}$, SYNC $\leq 0.8\text{ V}$, RT open, PH pin open		11	15.8	mA
		$f_s = 550\text{ kHz}$, SYNC $\geq 2.5\text{ V}$, RT open, PH pin open		16	23.5	
		Shutdown, SS/ENA = 0 V		1.0	1.4	
UNDER VOLTAGE LOCK OUT						
Start threshold voltage, UVLO				3.8	3.85	V
Stop threshold voltage, UVLO			3.40	3.50		V
Hysteresis voltage, UVLO			0.14	0.16		V
Rising and falling edge deglitch, UVLO ⁽¹⁾				2.5		μs
BIAS VOLTAGE						
Output voltage, VBIAS		$I_{(VBIAS)} = 0$	2.70	2.80	2.90	V
Output current, VBIAS ⁽²⁾					100	μA
CUMULATIVE REFERENCE						
V_{ref}	Accuracy		0.882	0.891	0.900	V
REGULATION						
Line regulation ⁽¹⁾ (3)		$I_L = 4\text{ A}$, $f_s = 350\text{ kHz}$, $T_J = 85^{\circ}\text{C}$			0.04	%V
		$I_L = 4\text{ A}$, $f_s = 550\text{ kHz}$, $T_J = 85^{\circ}\text{C}$			0.04	
Load regulation ⁽¹⁾ (3)		$I_L = 0\text{ A to }8\text{ A}$, $f_s = 350\text{ kHz}$, $T_J = 85^{\circ}\text{C}$			0.03	%A
		$I_L = 0\text{ A to }8\text{ A}$, $f_s = 550\text{ kHz}$, $T_J = 85^{\circ}\text{C}$			0.03	
OSCILLATOR						
Internally set-free running frequency range		SYNC $\leq 0.8\text{ V}$, RT open	280	350	420	kHz
		SYNC $\geq 2.5\text{ V}$, RT open	440	550	660	
Externally set-free running frequency range		RT = 180 k Ω (1% resistor to AGND)	252	280	308	kHz
		RT = 100 k Ω (1% resistor to AGND)	460	500	540	
		RT = 68 k Ω (1% resistor to AGND)	663	700	762	
High level threshold, SYNC			2.5			V
Low level threshold, SYNC					0.8	V
Pulse duration, external synchronization, SYNC ⁽¹⁾			50			ns
Frequency range, SYNC ⁽¹⁾			330		700	kHz
Ramp valley ⁽¹⁾				0.75		V
Ramp amplitude (peak-to-peak) ⁽¹⁾				1		V
Minimum controllable on time ⁽¹⁾					200	ns
Maximum duty cycle ⁽¹⁾			90%			

(1) 設計で規定されています。

(2) 抵抗性静負荷のみの場合です。

(3) 図9の回路での規定です。

電気的特性

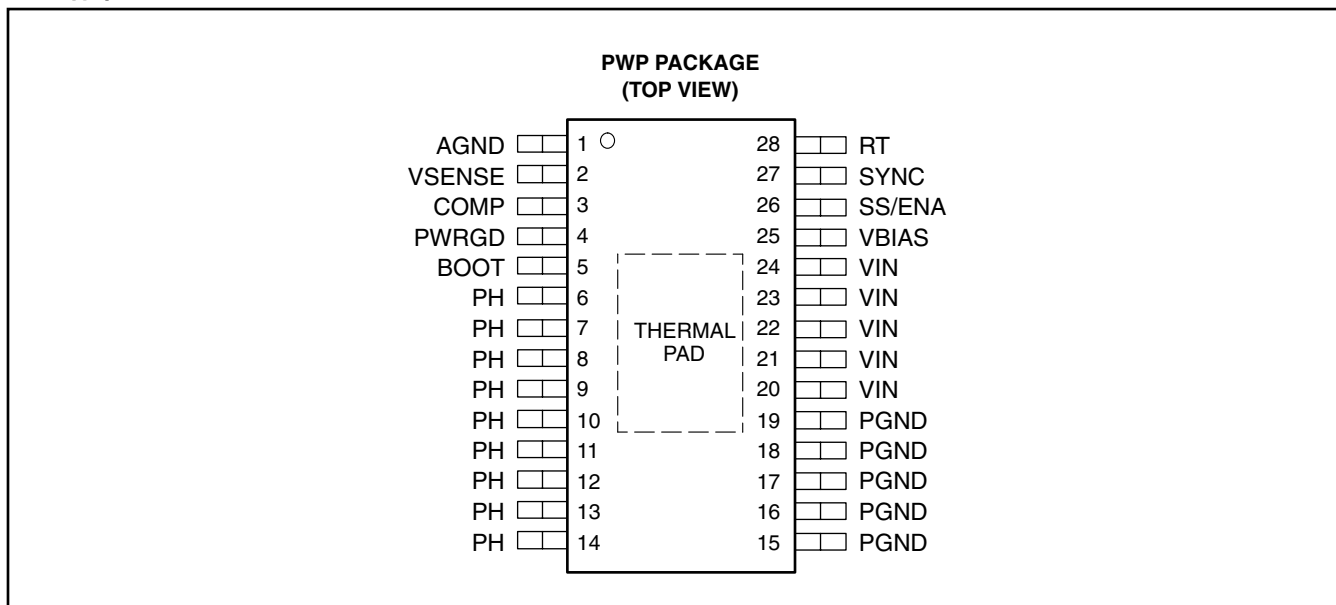
$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_I = 4\text{V} \sim 6\text{V}$ (特に記述のない限り)

パラメータ		測定条件	MIN	TYP	MAX	単位
ERROR AMPLIFIER						
Error amplifier open loop voltage gain	1 k Ω COMP to AGND ⁽¹⁾		90	110		dB
Error amplifier unity gain bandwidth	Parallel 10 k Ω , 160 pF COMP to AGND ⁽¹⁾		3	5		MHz
Error amplifier common mode input voltage range	Powered by internal LDO ⁽¹⁾		0		VBIAS	V
Input bias current, VSENSE	VSENSE = V_{ref}			60	250	nA
Output voltage slew rate (symmetric), COMP			1.0	1.4		V/ μ s
PWM COMPARATOR						
PWM comparator propagation delay time, PWM comparator input to PH pin (excluding dead-time)	10-mV overdrive ⁽¹⁾			70	85	ns
SLOW-START/ENABLE						
Enable threshold voltage, SS/ENA			0.82	1.20	1.40	V
Enable hysteresis voltage, SS/ENA ⁽¹⁾				0.03		V
Falling edge deglitch, SS/ENA ⁽¹⁾				2.5		μ s
Internal slow-start time			2.6	3.35	4.1	ms
Charge current, SS/ENA	SS/ENA = 0V		3	5	8	μ A
Discharge current, SS/ENA	SS/ENA = 1.3 V, $V_I = 1.5$ V		1.5	2.3	4.0	mA
POWER GOOD						
Power good threshold voltage	VSENSE falling			90		% V_{ref}
Power good hysteresis voltage ⁽¹⁾				3		% V_{ref}
Power good falling edge deglitch ⁽¹⁾				35		μ s
Output saturation voltage, PWRGD	$I_{(sink)} = 2.5$ mA			0.18	0.3	V
Leakage current, PWRGD	$V_I = 3.6$ V				1	μ A
CURRENT LIMIT						
Current limit	$V_I = 4.5$ V ⁽¹⁾ , output shorted		9	11		A
	$V_I = 6$ V ⁽¹⁾ , output shorted		10	12		
Current limit leading edge blanking time				100		ns
Current limit total response time				200		ns
THERMAL SHUTDOWN						
Thermal shutdown trip point ⁽¹⁾			135	150	165	$^{\circ}\text{C}$
Thermal shutdown hysteresis ⁽¹⁾				10		$^{\circ}\text{C}$
OUTPUT POWER MOSFETS						
$r_{DS(on)}$	Power MOSFET switches	$V_I = 6$ V ⁽²⁾		26	47	m Ω
		$V_I = 4.5$ V ⁽²⁾		30	60	

(1) 設計で規定されています。

(2) 一対のMOSFETのうち、ローサイド側の $r_{DS(on)}$ は製品テスト済み、ハイサイド側の $r_{DS(on)}$ も製品テスト済みです。

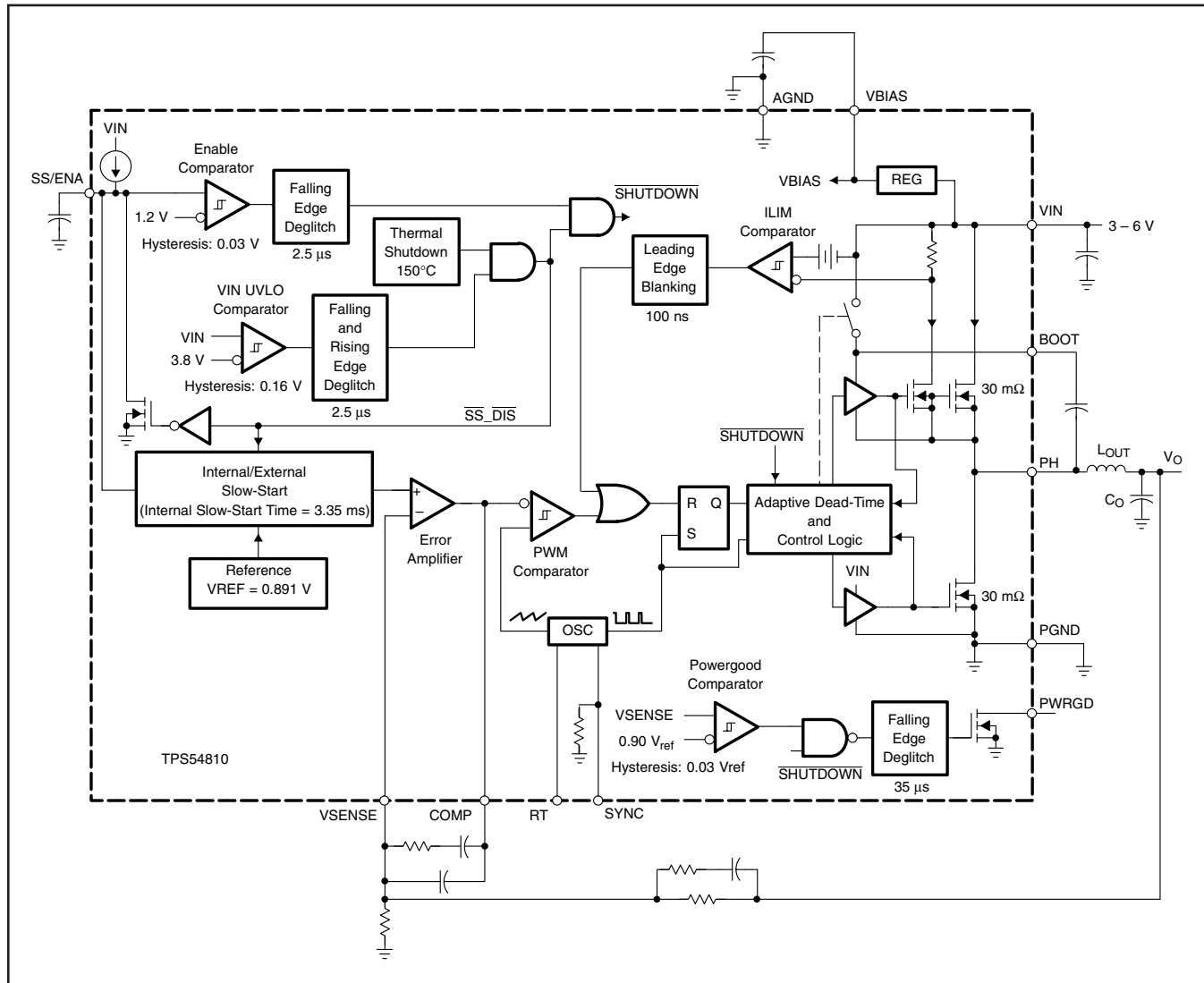
ピン配置



ピン機能

TERMINAL NAME	NO.	説明
AGND	1	アナログ・グランド。補償ネットワーク/出力デバイダ、スロースタート・コンデンサ、VBIASコンデンサ、RT抵抗、およびSYNCピンのリターン。PowerPADは、AGNDと接続してください。
BOOT	5	ブートストラップ入力。ハイサイドFETのフローティング・ドライバ回路用に、0.022μF~0.1μFの低ESRコンデンサがBOOTとPHの間に接続されます。
COMP	3	誤差増幅器出力。COMPとVSENSEの間に周波数補償ネットワークを接続します。
PGND	15-19	パワー・グランド。ローサイド・ドライバとパワー・MOSFETの大電流リターン端子。PGNDは広い銅領域を使用して入出力電源リターンおよび入出力コンデンサの負端子に接続します。AGNDとの接続は一点接続が推奨されます。
PH	6-14	フェーズ入力/出力。内部のハイサイド/ローサイド・パワー・MOSFETと出力インダクタとの接続点。
PWRGD	4	パワー・グッド用オープン・ドレイン出力。VSENSE電圧が V_{ref} の90%以上の場合はHigh-Z、その範囲外の場合は“Low”となります。ただし、SS/ENAが“Low”、または内部シャットダウン信号がアクティブのときには、出力は“Low”になります。
RT	28	周波数設定用抵抗接続入力。RTとAGND間に抵抗を接続することで、発振周波数が設定されます。SYNCピンを使用する場合は、周波数のRT値を外部発振器周波数と同じか、やや低く設定してください。
SS/ENA	26	スロースタート/イネーブル入力/出力。デバイス動作をイネーブル/ディスエーブルするロジック入力、またはスタートアップ時間を外部設定するコンデンサ入力に使用される兼用ピンです。
SYNC	27	同期入力。外部発振器に同期するためのロジック入力、または2つの内部設定周波数からいずれかを選択するために使用する兼用ピンです。外部信号への同期に使用する場合は、RTピンに抵抗を接続する必要があります。
VBIAS	25	内部バイアス・レギュレータ出力。このレギュレータ出力電圧は内部回路用電源として使用されます。0.1μF~1.0μFの高品質/低ESRセラミック・コンデンサでVBIASとAGND間をバイパスしてください。
VIN	20-24	パワー・MOSFETスイッチと内部バイアス・レギュレータの入力電源。高品質/低ESRの10μFセラミック・コンデンサを使用し、デバイスのできるだけ近くでVINとPGND間をバイパスしてください。
VSENSE	2	誤差増幅器反転入力端子。この端子と出力電圧間に、補償ネットワーク/出力デバイダを接続します。

機能ブロック図



関連DC/DC製品

- TPS56300—DC/DCコントローラ
- PT6600シリーズ—9Aプラグイン・モジュール

代表的特性

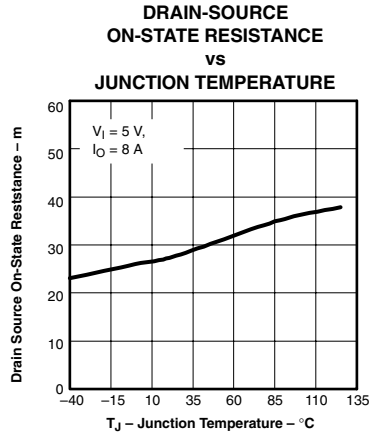


図 1

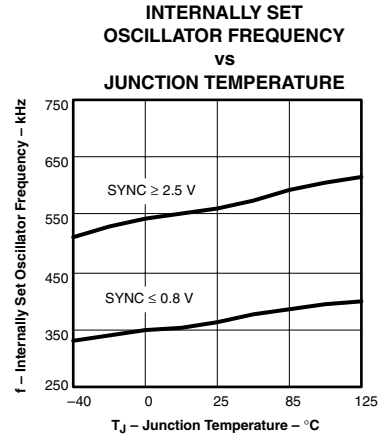


図 2

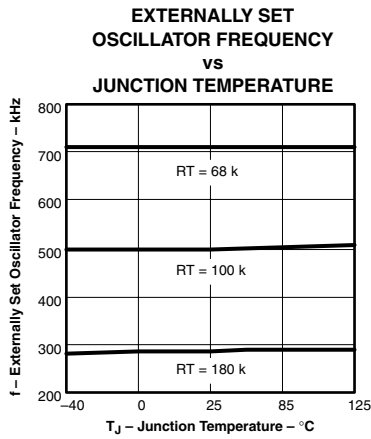


図 3

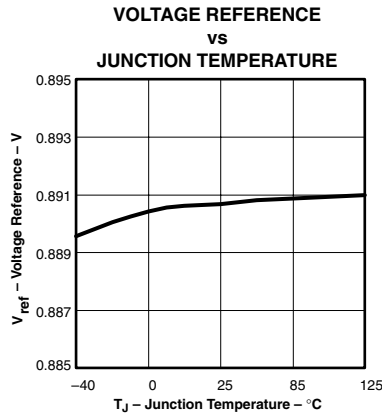


図 4

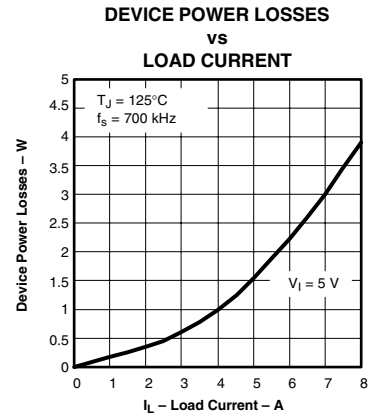


図 5

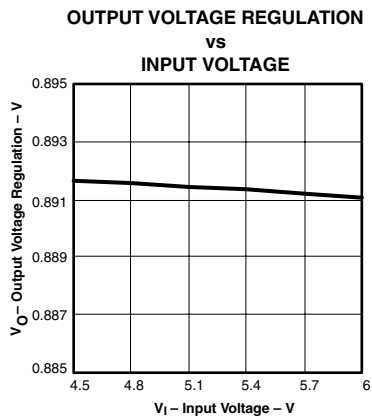


図 6

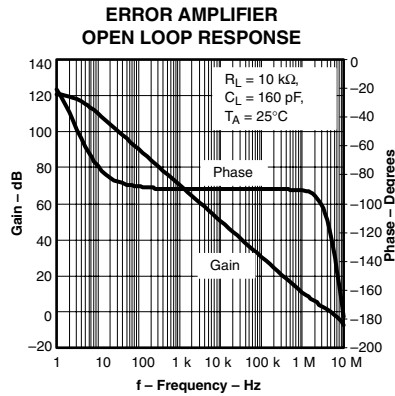


図 7

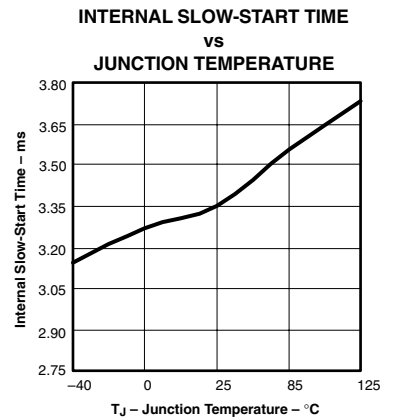


図 8

アプリケーション情報

図9にTPS54810の代表的なアプリケーション回路図を示します。TPS54810 (U1) は公称出力電圧1.8V時最大8Aの出力電流を供給することができます。適切な熱特性を実現するには、TPS54810の下にあるPowerPADを、プリント基板に適切に半田付けしなければなりません。

部品の選択

この設計例で使用された部品の値は、出力リップル電圧が小さく、またPCB面積が小さくなるよう選択しています。設計情報の補足部分についてはホームページwww.ti.comを参照してください。

入力フィルタ

入力電圧は公称5VDCです。入力フィルタC10は10μFのセラミック・コンデンサ(メーカー：太陽誘電)です。また、C12も10μFのセラミック・コンデンサ(メーカー：太陽誘電)であり、入力電源からTPS54810への高周波結合を防止するために使用されます。これは、できるだけデバイスの近くに配置する必要があります。リップル電流はC10とC12の両方に流れます。PGNDへのリターン・パスは、電流が出力コンデンサC5、C7、C8に循環しないよう配慮する必要があります。

帰還回路

これらの部品値は出力リップル電圧が小さくなるよう選択されています。抵抗デバイダ回路R1とR4により回路の出力電圧が1.8Vに設定されています。R1およびR2、R3、C1、C2、C4は回路のループ補償ネットワークを形成しています。この設計ではタイプ3のトポロジが使用されています。

動作周波数

このアプリケーション回路では、RTが71.5kΩの抵抗を介して接地され、700kHzの動作周波数を選択しています。異なる周波数を設定する場合は、68kΩ~180kΩの抵抗をRT (28ピン) とアナログ・グランド間に接続するか、またはRTをフローティングにしてデフォルトの350kHzを選択します。この抵抗は、次の式で概算できます。

$$R = \frac{500 \text{ kHz}}{\text{スイッチング周波数}} \times 100 \text{ [k}\Omega\text{]} \quad (1)$$

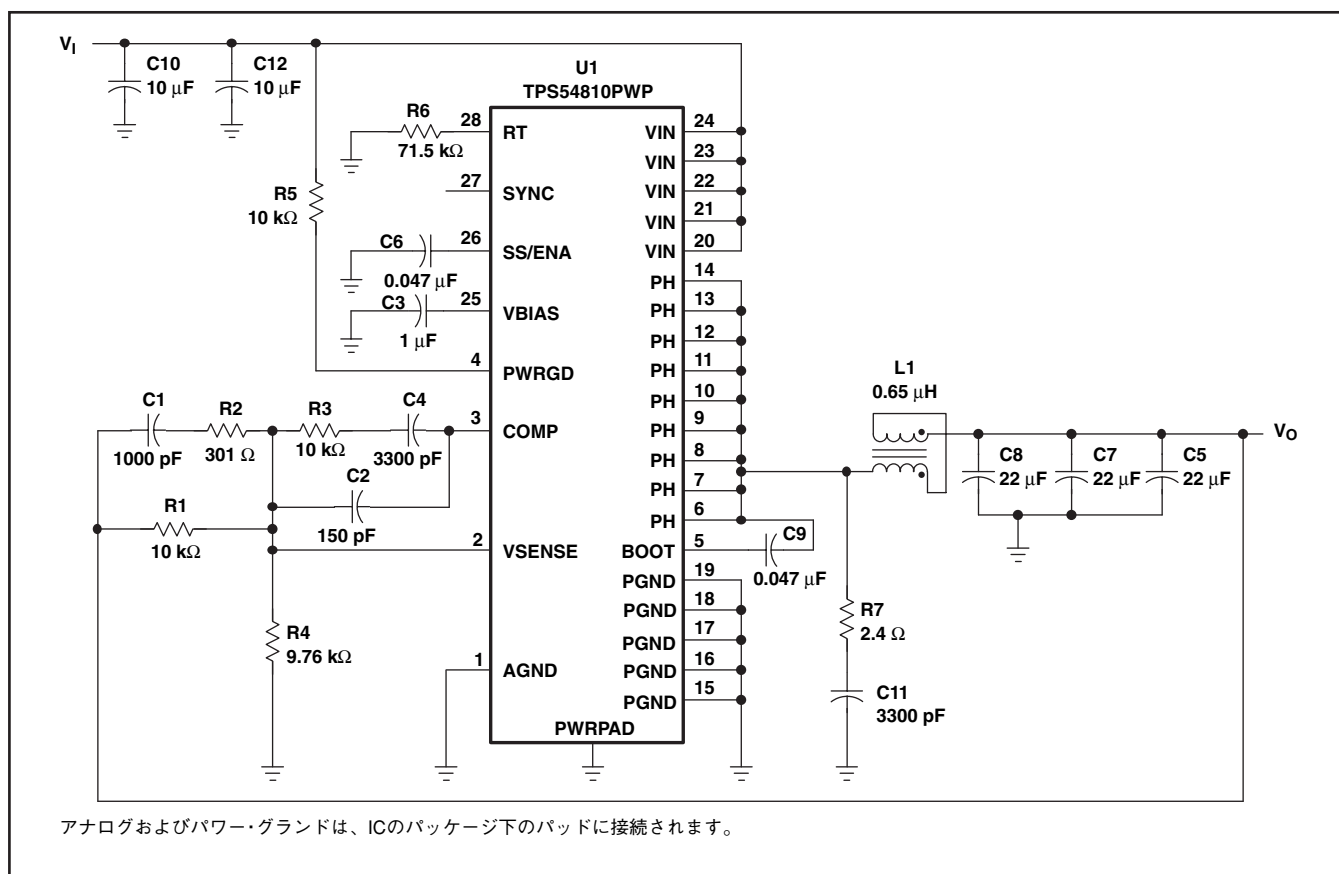


図 9. アプリケーション回路

出力フィルタ

出力フィルタは0.65 μ Hのインダクタと22 μ Fのコンデンサ3個で構成されています。インダクタは低DC抵抗 (0.017 Ω) タイプのPulse Engineering社型番PA0277です。使用コンデンサはX5R特性を持つ22 μ F/6.3Vのセラミック・タイプです。帰還ループはユニティ・ゲイン周波数が約75kHzとなるよう補償されています。

PCBレイアウト

図10に、TPS54810のPCBレイアウトに関する一般的なガイドラインを示します。

すべてのVINピンは、プリント基板(PCB)上で同じ領域に接続し、低ESRのセラミック・バイパス・コンデンサを使用してバイパスします。バイパス・コンデンサ接続、VINピン、およびTPS54810のグランド・ピンによって形成されるループ領域は最小限に抑えるよう注意が必要です。推奨される最小のバイパス容量は、X5RまたはX7R誘電体を使用した10 μ Fのセラミック・コンデンサであり、VINピンおよびPGNDピンにできる限り近づけて配置するのが最適です。

TPS54810には内部グランドが2つあります(アナログとパワー)。TPS54810の内部で、アナログ・グランドはノイズに敏感な信号すべてに結びついており、一方、パワー・グランドはノイズの大きい電源信号に結びついています。この2つのグランド間に入るノイズが、特に大出力電流時にTPS54810の性能を劣化させてしまいます。アナログ・グランド・プレーン上のグランド・ノイズも、制御信号およびバイアス信号の一部に対して問題を生じさせます。これらの理由により、アナログ・グランドとパワー・グランドのパターンをそれぞれ分離することを推奨します。IC直下の最上層には、PowerPADへの接続用の露出した領域とともに、グランド領域を設けます。このグランド領域は、ビアを使用して任意の内部グランド・プレーンに接続してください。入力および出力フィルタ・コンデンサのグランド側

にも、追加のビアを使用します。AGNDおよびPGNDピンは、PCBのグランドに接続します。これは、図に示すように、各ピンをデバイスの下側のグランド領域に接続することで行います。パワー・グランドのプレーンに直接接続する部品は、入力コンデンサ、出力コンデンサ、入力電圧デカップリング・コンデンサ、TPS54810のPGND端子です。アナログ・グランド信号パスには、別の広いパターンを使用してください。このアナログ・グランドは、電圧設定点デバイダ、タイミング抵抗RT、スロースタート・コンデンサ、およびバイパス・コンデンサのグランド用に使用します。このパターンはAGND(ピン1)に直接接続してください。

PHピンはすべて同じ領域に接続し、出力インダクタに接続します。PH接続はスイッチング・ノードであるため、インダクタはPHピンの近くに配置します。過度の容量性カップリングを避けるためにPCB導体の面積はできるだけ小さくしてください。

図に示すように、位相ノードとBOOTピンの間にはブート・コンデンサを接続します。ブート・コンデンサはICに近づけて配置し、導体パターンはできるだけ短くしてください。

VOUTパターンとPGNDの間には、図に示すように出力フィルタ・コンデンサを接続します。PHピン、L_{OUT}、C_{OUT}、およびPGNDによって形成されるループは、実用上適切な範囲でなるべく小さくすることが重要です。

VOUTパターンとVSENSEおよびCOMPピンの間に、補償部品を配置します。これらの部品は、PHパターンにあまり近づけないようにしてください。ICパッケージのサイズとデバイスのピン配置の関係で、近づけて配置することになりますが、レイアウトのコンパクトさを維持できる範囲で、できるだけ離して配置してください。

VBIASピンとアナログ・グランドの間に、独立したアナログ・グランド・パターンを使用してバイアス・コンデンサを接続します。スロースタート・コンデンサまたはRT抵抗を使用する場合、またはSYNCピンを使用して350kHzの動作周波数を選択する場合は、それらをこのパターンに接続してください。

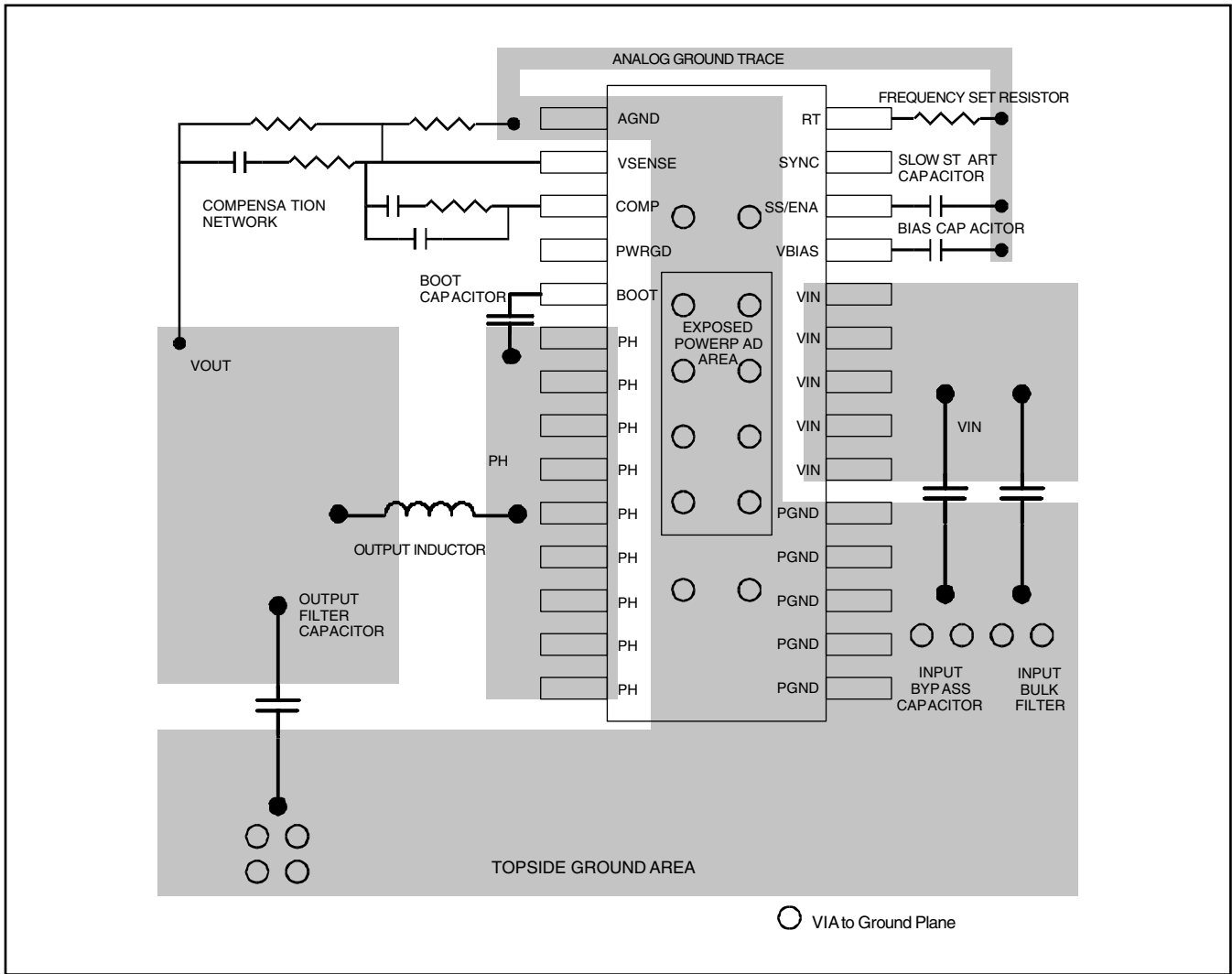


図 10. PCBレイアウト

熱特性のためのレイアウトの考察

全定格負荷電流で動作を行うには、アナログ・グラウンドのプレーンが十分な熱放散面積を備えていなければなりません。周囲の温度とエアフローにもより、強制ではありませんが、重量1オンスの銅で3インチ×3インチの大きさを推奨します。ほとんどのアプリケーションでは内部に大きな領域のグラウンド・プレーンを持つことができ、PowerPADはこの利用可能な最大領域に接続しなければなりません。上層または下層の別の領域も熱放散の手助けとなり、8Aまたはそれ以上での動作が求められる場合には利用可能な領域はすべて使用しなければなりません。

PowerPADのむき出しの領域からアナログ・グラウンド・プレーン層へはビアの中での半田のウィッキング(ボイド)を避けるため直径0.013インチのビアを使って接続する必要があります。PowerPAD領域に8つのビアと、デバイス・パッケージの下に設置される4つの追加ビアが必要です。むき出しのサーマル・パッド領域では不可能ですが、パッケージの下のビア寸法は0.018インチまで増やすことができます。熱特性を向上させるのに推奨される12個以上の追加ビアはデバイス・パッケージの下以外の領域に置く必要があります。

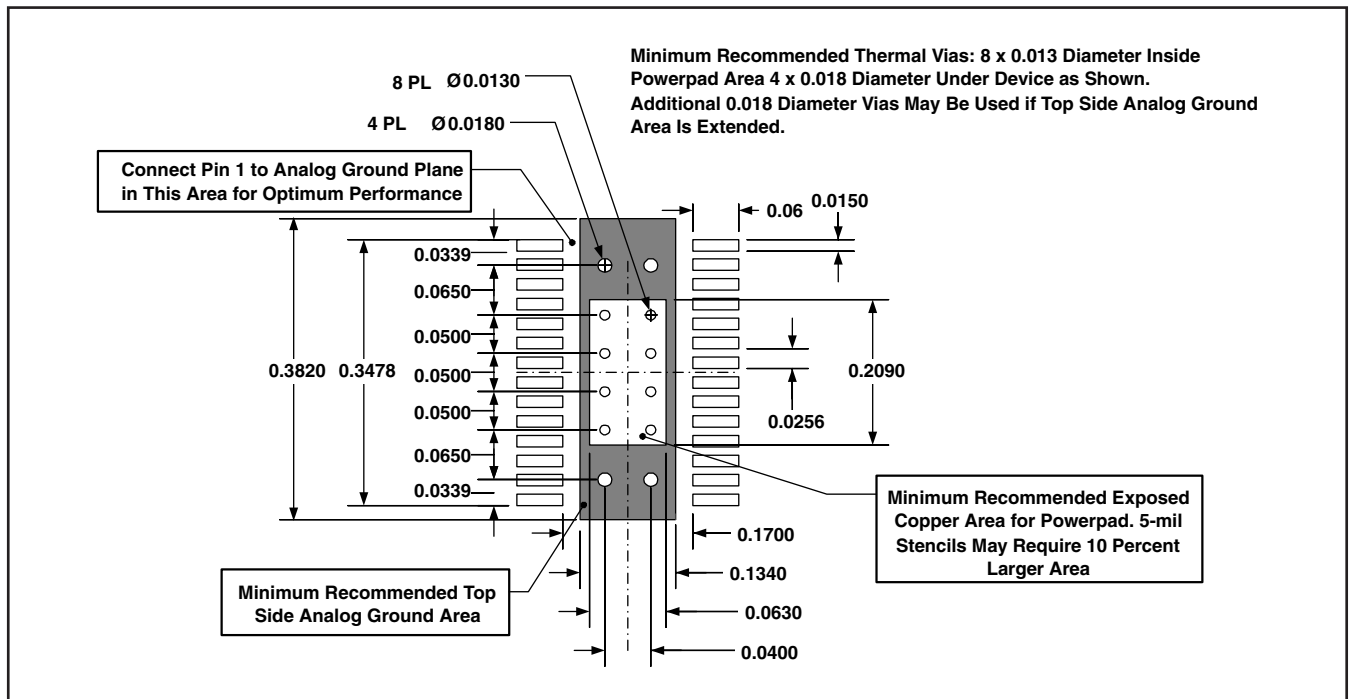


図 11. 28ピンPWP PowerPADの推奨ランド・パターン

特性グラフ (図9のアプリケーション回路図より)

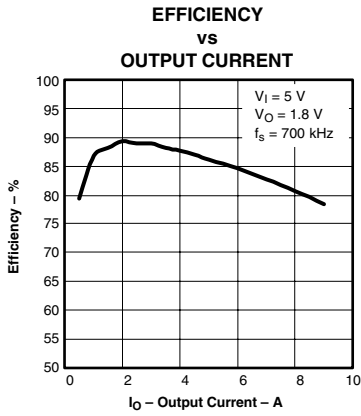


図 12

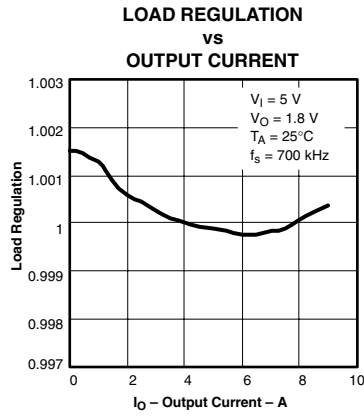


図 13

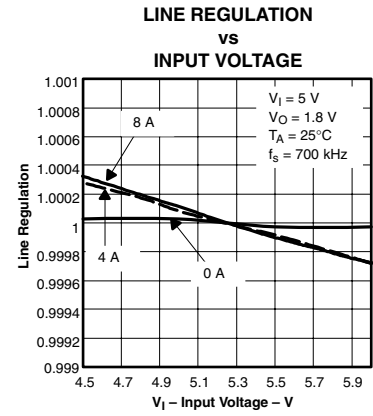


図 14

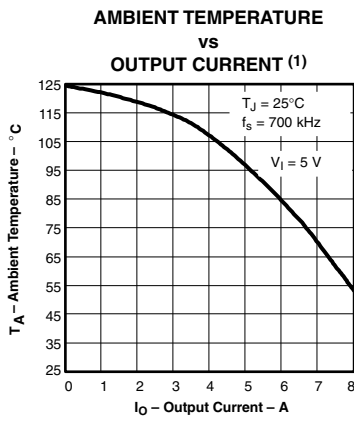


図 15

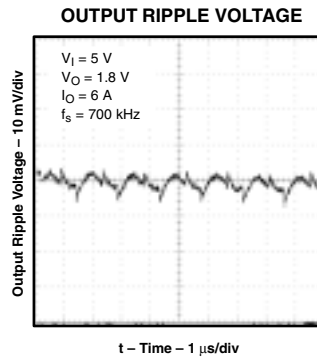


図 16

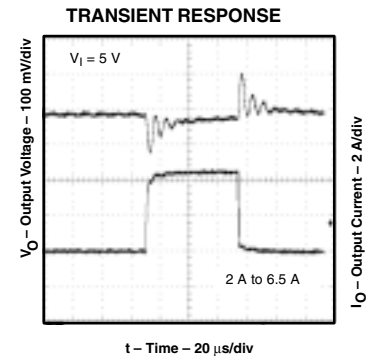


図 17

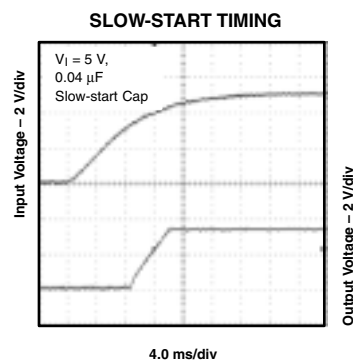


図 18

(1) “Safe operating area” は、定格消費電力でのテスト・ボード条件に該当します。

詳細説明

低電圧ロックアウト (UVLO)

TPS54810には入力電圧 (VIN) が不足している場合にデバイスをディスエーブルにしておく低電圧ロックアウト回路が内蔵されています。電源の立ち上がり時、内部回路はVINが公称UVLOスレッシュホールド電圧である3.80Vを超えるまでインアクティブに保持されます。UVLO起動スレッシュホールド電圧に達するとデバイスの起動が始まります。デバイスはVINが公称UVLO停止スレッシュホールド電圧である3.5V以下に低下するまで動作します。VINのノイズによりデバイスが停止してしまうような事が起きないように、UVLOコンパレータのヒステリシスおよび2.5μsの立ち上がり/立ち下がりエッジ・デグリッチ回路が内蔵されています。

スロースタート/イネーブル (SS/ENA)

スロースタート/イネーブル・ピンには、2つの機能があります。1つはイネーブル(シャットダウン)制御であり、電圧が約1.2Vの起動スレッシュホールド電圧を超えるまで、デバイスをオンにしないようにします。SS/ENAがイネーブル・スレッシュホールドを超えると、デバイスのスタートアップが開始されます。誤差増幅器に供給される基準電圧は、3.35msの間に0Vから0.891Vまで直線的に上昇します。同様に、コンバータ出力電圧は、約3.35msでレギュレーションに達します。電圧ヒステリシスおよび2.5μsの立ち下がりエッジのデグリッチ回路により、ノイズによってイネーブルがトリガされるのを防止しています。

SS/ENAピンのもう1つの機能として、SS/ENAとAGNDの間に低容量コンデンサを接続し、スロースタート時間を外部から延長することができます。

SS/ENAピンにコンデンサを追加すると、スタートアップに関して2つの影響があります。まず、SS/ENAピンが解除されてから出力がスタートアップするまでの間に、遅延が生じます。この遅延時間は、スロースタート・コンデンサの値に比例し、SS/ENAピンがイネーブル・スレッシュホールドに達するまで続きます。スタートアップ遅延時間は、次の式で概算できます。

$$t_d = C_{(SS)} \times \frac{1.2 V}{5 \mu A} \quad (2)$$

また、出力がアクティブになると、外部で設定されたスロースタート・レートが適用される前に短時間、内部スロースタート・レートでの上昇が見られる場合があります、その後出力はスロースタート・コンデンサに比例したレートで上昇します。コンデンサにより設定される上昇時間は、次の式で概算できます。

$$t_{(d)} = C_{(SS)} \times \frac{0.7 V}{5 \mu A} \quad (3)$$

内部レートでのわずかな上昇により、実際の上昇時間はこの概算値より小さくなります。

VBIASレギュレータ (VBIAS)

VBIASレギュレータは内部のアナログおよびデジタル・ブロックに対して、接合部温度や入力電圧の変動により影響を受けない安定した電源電圧を供給します。高品質で低ESRのセラミックのバイパス・コンデンサをVBIASピンに接続することが必要です。温度に対し特性値が安定しているため、X7RまたはX5Rクラスの特性の誘電体を推奨します。バイパス・コンデンサはVBIASピンの近くに配置し、AGNDに帰還させる必要があります。

VBIASに外部負荷を接続することは可能ですが、その場合、内部回路がVBIASの最小電圧2.70Vを必要とすること、およびVBIASに接続する外部負荷がACまたはデジタル・スイッチング・ノイズを持ち性能を劣化させるかもしれない、という点に注意する必要があります。VBIASピンは外付け回路への基準電圧としても有用です。

電圧リファレンス

電圧リファレンス・システムは、温度に対し安定なバンドギャップ回路の出力をスケールリングすることで、高精度のV_{ref}信号を生成します。製造時、バンドギャップ回路とスケールリング回路は、誤差増幅器を電圧フォロワとして接続したときに、誤差増幅器の出力が0.891Vとなるようトリミングされています。このトリミングにより、スケールリング回路および誤差増幅器回路のオフセット誤差がキャンセルされるため、TPS54810での高精度のレギュレーションがさらに向上します。

発振器およびPWMランプ

発振器の周波数は、SYNCピンを静的デジタル入力として使用し、内部で350kHzまたは550kHzの固定値に設定できます。アプリケーションでそれ以外の周波数での動作が必要な場合、発振器の周波数は、RTピンとAGND間に抵抗を接続し、SYNCピンをフローティングにすることにより、280kHz~700kHzの範囲で外部から調整することができます。スイッチング周波数は以下の式で概算できます。この式中のRはRTピンからAGNDに接続される抵抗です。

$$\text{スイッチング周波数} = \frac{100 \text{ k}\Omega}{R} \times 500 \text{ [kHz]} \quad (4)$$

SYNCに同期信号を入力し、RTとAGNDの間に抵抗を接続することにより、330kHz~700kHzの周波数範囲でPWMランプを外部同期させることが可能です。RT抵抗は、フリー・ランニング周波数が同期信号の80%に設定されるように選択します。次の表に、周波数選択設定を示します

SWITCHING FREQUENCY	SYNC PIN	RT PIN
350 kHz, internally set	Float or AGND	Float
550 kHz, internally set	=2.5 V	Float
Externally set 280 kHz to 700 kHz	Float	R = 68 k to 180 k
Externally synchronized frequency	Synchronization signal	R = RT value for 85% of external synchronization frequency

誤差増幅器

TPS54810には、高性能で広い帯域幅を持つ誤差増幅器が内蔵されています。ユーザは特殊なアプリケーションのニーズに適応するようLとCから成る出力フィルタ部品を広範囲に選択使用することができます。外付けの補償部品には、タイプ2または3の補償を用いることができます。

PWM制御

誤差増幅器の出力、発振器、電流制限回路からの信号はPWM制御ロジックで処理されます。内部ブロック図を参照すると、この制御ロジックにはPWMコンパレータ、ORゲート、PWMラッチ、および適応型デッドタイム制御ロジックの一部が含まれます。電流制限スレッシュホールド電圧以下の定常状態動作では、PWMコンパレータの出力と発振器の連続パルスが交互にPWMラッチのリセットとセットを行います。PWMラッチがリセットされると、ローサイドFETは発振器のパルス幅で設定される最小期間の間オン状態のままです。この期間で、PWMランプはその下限電圧まで急速に放電します。ランプが再充電し始めると、ローサイドFETはオフになり、ハイサイドFETがオンになります。PWMランプ電圧が誤差増幅器の出力電圧を超えると、PWMコンパレータはラッチをリセットするため、ハイサイドFETがオフ、ローサイドFETはオンになります。ローサイドFETは、発振器の次のパルスがPWMランプを放電するまでオン状態を保持します。

過渡状態では、誤差増幅器の出力はPWMランプの下限電圧以下またはPWMピーク電圧以上である可能性があります。誤差増幅器の出力が高いと、PWMラッチはリセットされず、ハイサイドFETは発振器のパルスがハイサイドFETをオフに、ローサイドFETをオンにするよう制御ロジックに信号を送るまでオン状態を保持します。このデバイスは出力電圧がレギュレーションの設定点に達し、VSENSEの電圧がVREFとほぼ同じ電圧に設定されるまで、その最大デューティ・サイクルで動作します。一方、誤差増幅器の出力が低いと、PWMラッチは絶えずリセットされ、ハイサイドFETはオンになりません。ローサイドFETは、VSENSE電圧がPWMコンパレータに状態を変えさせる程度に減少するまでオン状態を保持します。TPS54810は出力がレギュレーションの設定点に達するまで連続して電流をシンクすることができます。

電流制限コンパレータが100ns以上にわたってトリップした場合、PWMラッチはPWMランプが誤差増幅器の出力を超える前にリセットされます。ハイサイドFETはオフに、ローサイドFETはオンになり、出力インダクタのエネルギーは減少し、その結果出力電流は減少します。このプロセスは電流制限コンパレータがトリップするたびに各サイクルで繰り返されます。

デッドタイム制御およびMOSFETドライバ

適応型デッドタイム制御により、MOSFETドライバのターンオン時間が能動的にコントロールされ、スイッチング過渡時にシュートスルー電流が両方のNチャネル・パワーMOSFETに流れることが防止されます。ハイサイド・ドライバはローサイド

FETのゲート電圧が2V以下になるまでオンになりません。一方、ローサイド・ドライバはハイサイドMOSFETのゲート電圧が2V以下になるまでオンになりません。

ハイサイド・ドライバおよびローサイド・ドライバはパワーMOSFETのゲートを高速に駆動するため300mAのソース/シンク能力を持つよう設計されています。ローサイド・ドライバはVINから電源を供給され、一方、ハイサイド・ドライバはBOOTピンから電源が供給されます。ブートストラップ回路は外付けのBOOTコンデンサと、VINとBOOTピン間に接続された2.5Ωの内部ブートストラップ・スイッチを利用しています。この内蔵ブートストラップ・スイッチにより、駆動効率が改善し、また外付け部品点数も削減します。

過電流保護

ハイサイドMOSFETを流れる電流を検出し、この信号をあらかじめ設定された過電流スレッシュホールドと比較することでサイクルごとの電流制限が行われます。ハイサイドMOSFETは電流制限のスレッシュホールドに達した後200ns以内でオフになります。100nsのリーディング・エッジ・ブランキング回路は、ハイサイド・スイッチのオン時に電流制限が誤ってトリップすることを防止します。電流制限の検出は、出力フィルタへ電流をソースしている場合に電流がVINからPHに流れるときのみ行われます。電流シンクの動作時に負荷を保護することは過熱保護により行われます。

過熱保護

このデバイスは接合部温度が150°Cを超えると過熱保護によりパワーMOSFETをオフにしコントローラをディスエーブルにします。デバイスは過熱保護のトリップ点より10°C下がると自動的にシャットダウンが解除され、スロースタート回路の制御下で起動を開始します。

過熱保護は過負荷の状態が数ミリ秒間続いたときに保護を行います。異常状態が続いていると、デバイスは連続して以下のサイクルを繰り返します。つまり、ソフトスタート回路の制御下で起動し、異常状態により熱を持ち、その結果過熱保護のトリップ点に達したときシャットダウンします。このシーケンスは異常状態が解除されるまで繰り返されます。

パワー・グッド (PWRGD)

パワー・グッド回路はVSENSEが低電圧状態かどうかをモニタします。VSENSEの電圧が基準電圧より10%低くなると、PWRGDのオープン・ドレイン出力が“Low”レベルになります。PWRGDは、VINがUVLOスレッシュホールドより低い場合、またはSS/ENAが“Low”のときにも“Low”になります。VINがUVLOスレッシュホールド電圧以上、SS/ENAがイネーブル・スレッシュホールド電圧以上で、VSENSEがV_{ref}の90%より大きい場合は、PWRGDピンのオープン・ドレイン出力は“High”レベルになります。V_{ref}の3%のヒステリシス電圧と35usの立ち下がりエッジのデグリッチ回路により、高周波ノイズでパワー・グッド・コンパレータがトリップするのを防止しています。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS54810PWP	ACTIVE	HTSSOP	PWP	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54810PWPG4	ACTIVE	HTSSOP	PWP	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54810PWPR	ACTIVE	HTSSOP	PWP	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS54810PWPRG4	ACTIVE	HTSSOP	PWP	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

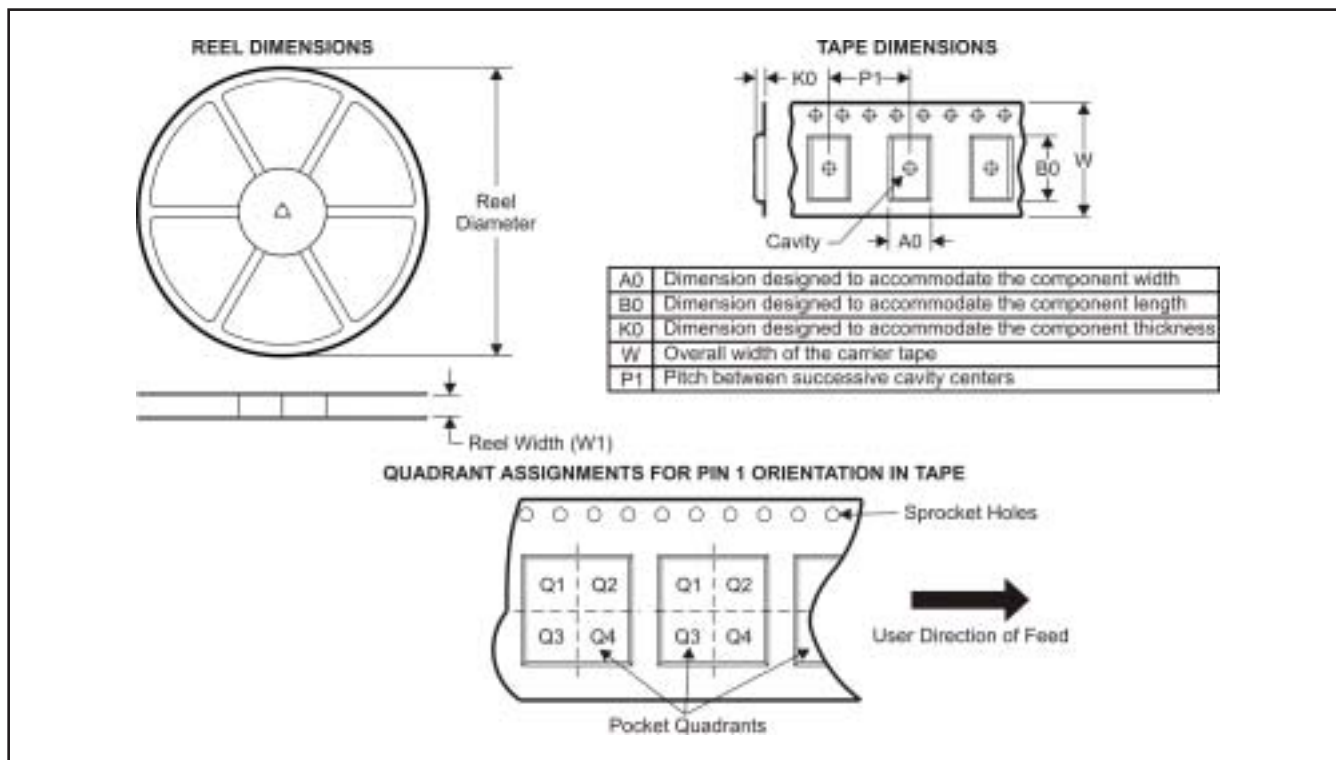
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・材料情報

テープおよびリール・ボックス情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54810PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1

パッケージ・マテリアル情報



*All dimensions are nominal

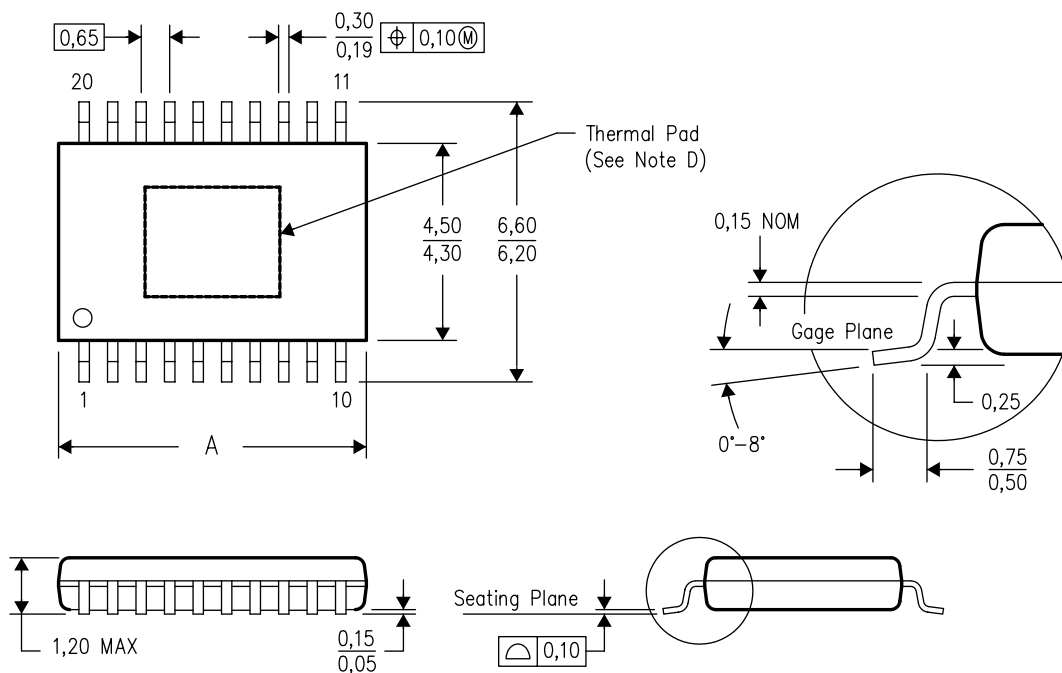
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54810PWPR	HTSSOP	PWP	28	2000	346.0	346.0	33.0

メカニカル・データ

PWP (R-PDSO-G**)

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE

20 PINS SHOWN



DIM \ PINS **	14	16	20	24	28
A MAX	5,10	5,10	6,60	7,90	9,80
A MIN	4,90	4,90	6,40	7,70	9,60

4073225/H 12/05

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法にはバリや突起を含みません。バリおよび突起は、各辺0.15を超えてはなりません。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. JEDEC MO-153に適合しています。

サーマルパッド・メカニカル・データ

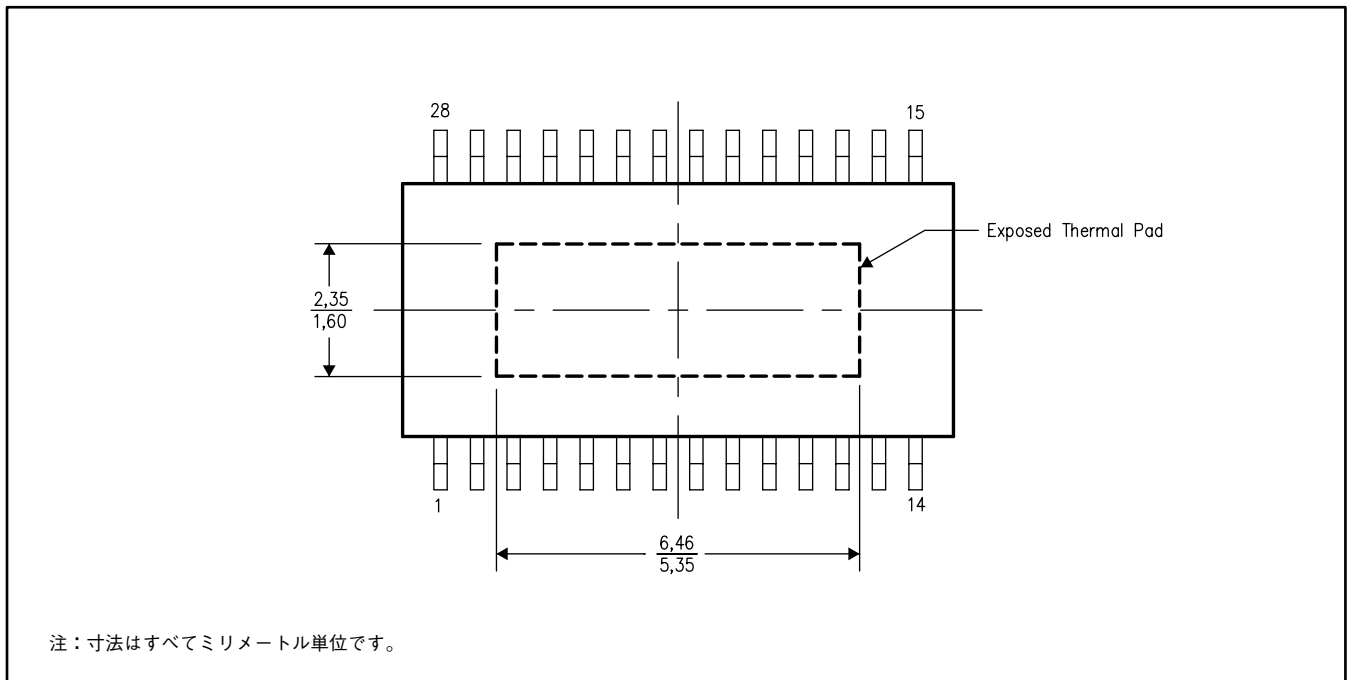
PWP (R-PDSO-G28)

熱特性について

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.com で入手できます。

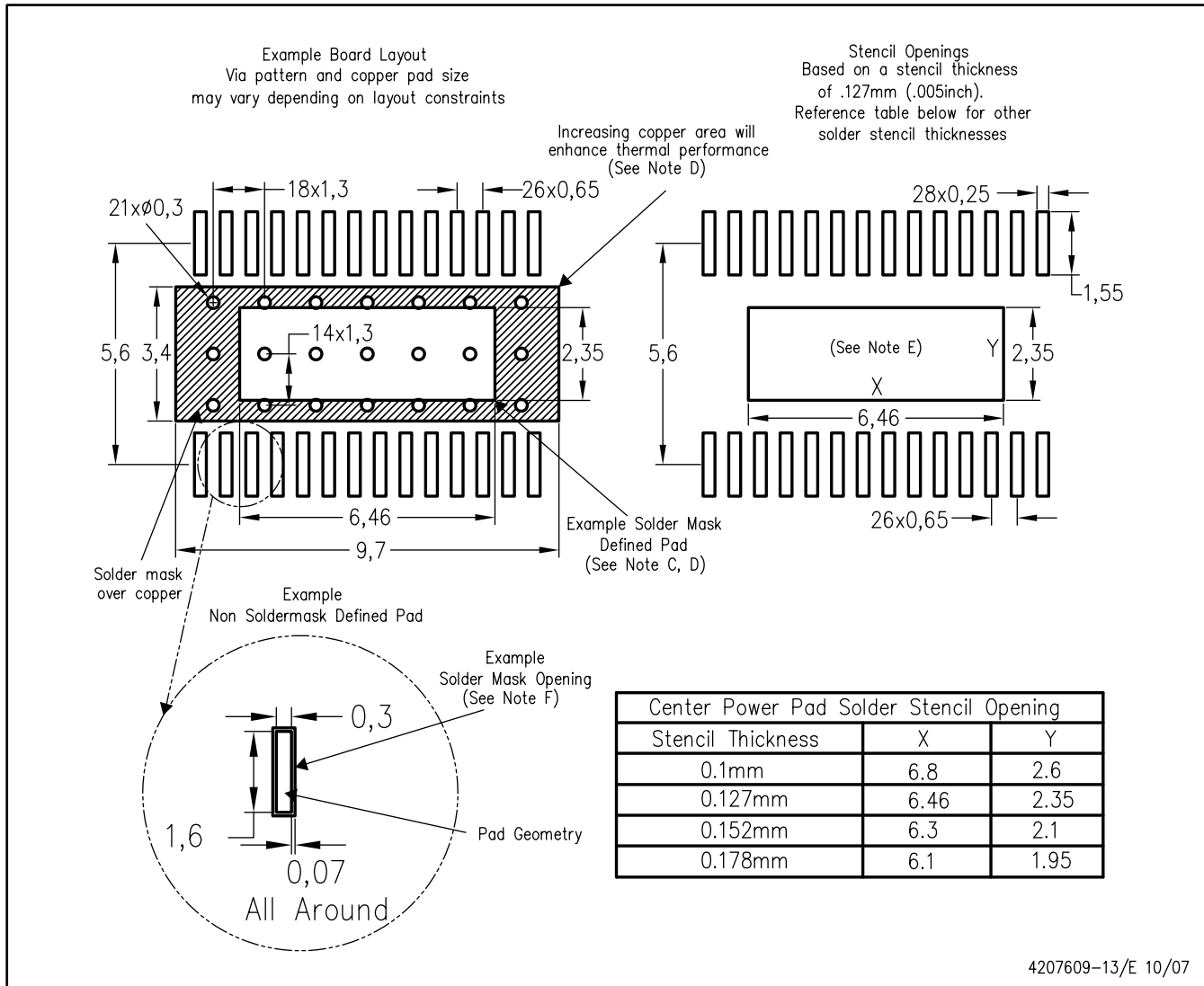
このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



露出サーマル・パッドの寸法

ランド・パターン

PWP (R-PDSO-G28) PowerPAD™



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLVS420B)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIJの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認を意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIJのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIJの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIJの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2008, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上