

# ADC141S626

*ADC141S626 14-Bit, 50 kSPS to 250 kSPS, Differential Input, Micro Power  
A/D Converter*



Literature Number: JAJSA4

## ADC141S626

### 14ビット、50kSPS ~ 250kSPS、差動入力、マイクロパワー A/D コンバータ

#### 概要

ADC141S626 は、14ビット、50kSPS ~ 250kSPS のサンプリング A/D コンバータです。このコンバータは、逐次比較レジスタ・アーキテクチャを採用しており、内蔵トラック / ホールド回路から A/D コンバータ全体にわたってアナログ入力の差動特性が保持されることにより、優れたコモンモード信号除去性能を提供します。ADC141S626 は、1.0V ~  $V_A$  の範囲で変動させることができる外部リファレンスを備えており、また、ゼロパワー・トラック・モードでは、内蔵サンプリング・コンデンサが印加されたアナログ入力電圧を追跡する際に ADC の消費電流を最小にします。

シリアル・データ出力は 2 の補数バイナリで、SPI™、QSPI™、MICROWIRE™ などの標準や、主要な DSP シリアル・インタフェースと互換です。変換結果はシリアル・クロック入力によって同期出力され、現在処理中の変換の結果を示します。

ADC141S626 は、アナログ系 ( $V_A$ ) とデジタル系入力 / 出力 ( $V_{IO}$ ) に個別の電源電圧を与えて動作できます。 $V_A$  および  $V_{IO}$  は 2.7V ~ 5.5V の範囲で、相互に独立的に設定できます。そのためユーザーは ADC のアナログ部分を  $V_A = 5V$  で処理し、デジタル側で 3V コントローラと通信することによって、性能を最大限に引き出し、電力消費を最小限に抑えられます。3V の単一電源を使用する場合、200kSPS で動作するときの電力消費は 2.0mW です。5V の単一電源を使用する場合、250kSPS で動作するときの電力消費は 4.8mW です。ADC141S626 がアキュイジション・モードになると、電力消費はそれぞれ 4 $\mu$ W および 13 $\mu$ W に減少します。差動入力、低消費電力、小型パッケージを特長とする ADC141S626 は、バッテリー動作システムやリモート・データ・アキュイジション・アプリケーションで、ブリッジ・センサおよびトランスデューサとの直接接続に最適です。

- 40 ~ + 85 の温度範囲と、0.9MHz ~ 4.5MHz のクロック・レート範囲での動作が保証されています。ADC141S626 は 10 ピンの MSOP パッケージで提供されます。

#### 特長

- 完全な差動入力
- 50kSPS ~ 250kSPS の範囲で保証された性能
- 外部リファレンス電圧源
- ゼロパワー・トラック・モード
- 広い範囲の入力コモンモード電圧
- 動作温度範囲 - 40 ~ + 85
- SPI™/QSPI™/MICROWIRE™/DSP と互換性のあるシリアル・インタフェース

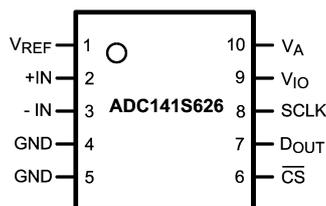
#### 主な仕様

変換レート	50kSPS ~ 250kSPS
INL	$\pm 0.95$ LSB (max)
DNL	$\pm 0.95$ LSB (max)
S/N 比	82LSB (max)
THD	- 90dBc (typ)
有効分解能	13.3 ビット (min)
消費電力	
200kSPS、3V	2.0mW (typ)
250kSPS、5V	4.8mW (typ)
パワーダウン時、3V	4 $\mu$ W (typ)
パワーダウン時、5V	13 $\mu$ W (typ)

#### アプリケーション

- 自動車のナビゲーション・システム
- ポータブル・システム
- 医療機器
- 計測器や制御システム
- モータ制御
- ダイレクト・センサ・インタフェース

#### ピン配置図

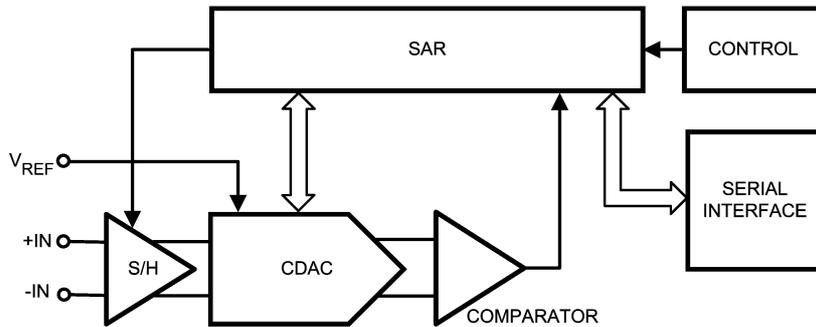


TRI-STATE® はナショナル セミコンダクターの登録商標です。  
MICROWIRE™ はナショナル セミコンダクターの商標です。  
QSPI™ および SPI™ はモトローラ (株) の商標です。

製品情報

Order Code	Temperature Range	Description	Top Mark
ADC141S626C1MM	-40°C to +85°C	10-Lead MSOP Package, 1000 Units Tape & Reel	X94C
ADC141S626C1MMX	-40°C to +85°C	10-Lead MSOP Package, 3500 Units Tape & Reel	X94C
ADC141S626EB		Evaluation Board	

ブロック図



ピン説明および等価回路

ピン番号	シンボル	説明
1	$V_{REF}$	リファレンス電圧入力ピン。この入力ピンに $1V \sim V_A$ の範囲のリファレンス電圧を印加する必要があります。 $V_{REF}$ を $0.1\mu F$ の最小セラミック・コンデンサ値で GND にデカップリングする必要があります。性能を高めるために、 $1.0 \sim 10\mu F$ の大容量コンデンサを $0.1\mu F$ コンデンサと並列に接続することを推奨します。
2	+ IN	非反転入力ピン。 + IN は、ADC141S626 に印加される差動信号の正のアナログ入力ピンです。
3	- IN	反転ピン。 - IN は、ADC141S626 に印加される差動信号の負のアナログ入力ピンです。
4	GND	グラウンド。 GND は、ADC141S626 に印加されるすべての信号のグラウンド基準点です。
5	GND	グラウンド。 GND は、ADC141S626 に印加されるすべての信号のグラウンド基準点です。
6	$\overline{CS}$	チップ・セレクト・バー $\overline{CS}$ はアクティブ Low です。 $\overline{CS}$ ピンの立ち下がりエッジで変換処理が開始されます。 $\overline{CS}$ が High のとき、ADC141S626 はアキュイジション・モードです。
7	$D_{OUT}$	シリアルデータ出力。変換結果は $D_{OUT}$ で提供されます。シリアル・データ出力ワードは、2つの null ビットと、そのあとの 14 のデータ・ビット (MSB が先頭) で構成されています。変換中、データは SCLK の立ち下がりエッジで出力され、後の立ち上がりエッジでは有効です。
8	SCLK	シリアル・クロック SCLK はデータ転送を制御するために使用され、変換クロックとして機能します。
9	$V_{IO}$	デジタル入 / 出力電源入力。この入力ピンに $2.7V \sim 5.5V$ の範囲の電圧を印加する必要があります。 $V_{IO}$ を $1.0 \sim 10\mu F$ のバルク・コンデンサと並列に接続されている $0.1\mu F$ のセラミック・コンデンサで GND にデカップリングする必要があります。
10	$V_A$	アナログ電源入力。この入力ピンに $2.7V \sim 5.5V$ の範囲の電圧を印加する必要があります。 $V_A$ を $1.0 \sim 10\mu F$ のバルク・コンデンサと並列に接続されている $0.1\mu F$ のセラミック・コンデンサで GND にデカップリングする必要があります。

**絶対最大定格** (Note 1, 2)

本データシートには軍用・航空宇宙用の規格は記載されていません。  
関連する電氣的信頼性試験方法の規格を参照ください。

アナログ電源電圧 $V_A$	- 0.3V ~ 6.5V
デジタル I/O 電源電圧 $V_{IO}$	- 0.3V ~ 6.5V
任意のアナログ入力ピンの対 GND 電圧	- 0.3V ~ ( $V_A + 0.3V$ )
任意のデジタル入力ピンの対 GND 電圧	- 0.3V ~ ( $V_{IO} + 0.3V$ )
任意のピンの入力電流 (Note 3)	$\pm 10\text{mA}$
パッケージの入力電流 (Note 3)	$\pm 50\text{mA}$
消費電力 ( $T_A = 25$ )	(Note 4 参照)
ESD 耐性 (Note 5)	
人体モデル	4000V
マシン・モデル	300V
デバイス帯電モデル	1250V
接合部温度	+ 150
保存温度範囲	- 65 ~ + 150

**動作定格** (Note 1, 2)

動作温度範囲	- 40 $T_A$ + 85
電源電圧 ( $V_A$ )	+ 2.7V ~ + 5.5V
電源電圧 ( $V_{IO}$ )	+ 2.7V ~ + 5.5V
リファレンス電圧 ( $V_{REF}$ )	1.0V ~ $V_A$
アナログ入力ピン電圧範囲	0 ~ $V_A$
差動アナログ入力電圧	- $V_{REF}$ ~ + $V_{REF}$
入力コモンモード電圧 ( $V_{CM}$ )	Figure 10 (セクション 2.3) を参照
デジタル入力ピン電圧範囲	0 ~ $V_{IO}$
クロック周波数	0.9MHz ~ 4.5MHz

**パッケージ熱抵抗**

Package	$\theta_{JA}$
10-lead MSOP	240°C / W

ハンダ付けのプロセスは、National Semiconductor's Reflow Temperature Profile 規格に準拠してください。  
www.national.com/JPN/packaging をご覧ください (Note 6)。

**ADC141S626 コンバータの電氣的特性** (Note 7)

以下の仕様は、特記のない限り、 $V_A = V_{IO} = V_{REF} = +2.7V \sim 5.5V$  および  $f_{SCLK} = 0.9 \sim 3.6\text{MHz}$  または  $V_A = V_{IO} = V_{REF} = +4.5V \sim 5.5V$  および  $f_{SCLK} = 3.6 \sim 4.5\text{MHz}$ 、 $f_{IN} = 20\text{kHz}$  および  $C_L = 25\text{pF}$  に対して適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units	
<b>STATIC CONVERTER CHARACTERISTICS</b>						
	Resolution with No Missing Codes			<b>14</b>	Bits	
INL	Integral Non-Linearity		$\pm 0.5$	<b><math>\pm 0.95</math></b>	LSB (max)	
DNL	Differential Non-Linearity		$\pm 0.5$	<b><math>\pm 0.95</math></b>	LSB (max)	
OE	Offset Error		-1	<b><math>\pm 5</math></b>	LSB (max)	
FSE	Positive Full-Scale Error		-3	<b><math>\pm 7</math></b>	LSB (max)	
	Negative Full-Scale Error		0.5	<b><math>\pm 4</math></b>	LSB (max)	
GE	Positive Gain Error		-1.5	<b><math>\pm 6</math></b>	LSB (max)	
	Negative Gain Error		1.5	<b><math>\pm 6</math></b>	LSB (max)	
<b>DYNAMIC CONVERTER CHARACTERISTICS</b>						
SINAD	Signal-to-Noise Plus Distortion Ratio	$V_A = V_{IO} = V_{REF} = +3V, -0.1 \text{ dBFS}$	81.9	<b>80.1</b>	dBc (min)	
		$V_A = V_{IO} = V_{REF} = +5V, -0.1 \text{ dBFS}$	84.2	<b>82</b>	dBc (min)	
SNR	Signal-to-Noise Ratio	$V_A = V_{IO} = V_{REF} = +3V, -0.1 \text{ dBFS}$	82	<b>80.2</b>	dBc (min)	
		$V_A = V_{IO} = V_{REF} = +5V, -0.1 \text{ dBFS}$	84.3	<b>82</b>	dBc (min)	
THD	Total Harmonic Distortion	$V_A = V_{IO} = V_{REF} = +3V, -0.1 \text{ dBFS}$	-102		dBc	
		$V_A = V_{IO} = V_{REF} = +5V, -0.1 \text{ dBFS}$	-102		dBc	
SFDR	Spurious-Free Dynamic Range	$V_A = V_{IO} = V_{REF} = +3V, -0.1 \text{ dBFS}$	97		dBc	
		$V_A = V_{IO} = V_{REF} = +5V, -0.1 \text{ dBFS}$	101		dBc	
ENOB	Effective Number of Bits	$V_A = V_{IO} = V_{REF} = +3V, -0.1 \text{ dBFS}$	13.3	<b>13.0</b>	bits (min)	
		$V_A = V_{IO} = V_{REF} = +5V, -0.1 \text{ dBFS}$	13.7	<b>13.3</b>	bits (min)	
FPBW	-3 dB Full Power Bandwidth	Output at 70.7%FS with FS Input	Differential Input	26		MHz
			Single-Ended Input	22		MHz

**ADC141S626 コンバータの電気的特性** (Note 7) (つづき)

以下の仕様は、特記のない限り、 $V_A = V_{IO} = V_{REF} = +2.7V \sim 5.5V$  および  $f_{SCLK} = 0.9 \sim 3.6MHz$  または  $V_A = V_{IO} = V_{REF} = +4.5V \sim 5.5V$  および  $f_{SCLK} = 3.6 \sim 4.5MHz$ 、 $f_{IN} = 20kHz$  および  $C_L = 25pF$  に対して適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
<b>ANALOG INPUT CHARACTERISTICS</b>					
$V_{IN}$	Differential Input Range			$-V_{REF}$	V (min)
				$+V_{REF}$	V (max)
$I_{DCL}$	DC Leakage Current	$V_{IN} = V_{REF}$ or $V_{IN} = -V_{REF}$		$\pm 1$	$\mu A$ (max)
$C_{INA}$	Input Capacitance	In Acquisition Mode	30		pF
		In Conversion Mode	3		pF
CMRR	Common Mode Rejection Ratio	See the Specification Definitions for the test condition	76		dB
<b>DIGITAL INPUT CHARACTERISTICS</b>					
$V_{IH}$	Input High Voltage	$V_{IO} = +2.7V$ to $5.5V$	1.9	<b>2.3</b>	V (min)
$V_{IL}$	Input Low Voltage	$V_{IO} = +2.7V$ to $5.5V$	1.0	<b>0.7</b>	V (max)
$I_{IN}$	Input Current	$V_{IN} = 0V$ or $V_A$		$\pm 1$	$\mu A$ (max)
$C_{IND}$	Input Capacitance		2	<b>4</b>	pF (max)
<b>DIGITAL OUTPUT CHARACTERISTICS</b>					
$V_{OH}$	Output High Voltage	$I_{SOURCE} = 200 \mu A$	$V_A - 0.05$	<b><math>V_A - 0.2</math></b>	V (min)
		$I_{SOURCE} = 1 mA$	$V_A - 0.16$		V
$V_{OL}$	Output Low Voltage	$I_{SINK} = 200 \mu A$	0.01	<b>0.4</b>	V (max)
		$I_{SINK} = 1 mA$	0.05		V
$I_{OZH}, I_{OZL}$	TRI-STATE Leakage Current	Force 0V or $V_A$		$\pm 1$	$\mu A$ (max)
$C_{OUT}$	TRI-STATE Output Capacitance	Force 0V or $V_A$	2	<b>4</b>	pF (max)
	Output Coding		Binary 2'S Complement		
<b>POWER SUPPLY CHARACTERISTICS</b>					
$V_A$	Analog Supply Voltage Range			<b>2.7</b>	V (min)
				<b>5.5</b>	V (max)
$V_{IO}$	Digital Input/Output Supply Voltage Range	(Note 9)		<b>2.7</b>	V (min)
				<b>5.5</b>	V (max)
$V_{REF}$	Reference Voltage Range			<b>1.0</b>	V (min)
				<b><math>V_A</math></b>	V (max)
$I_{VA}$ (Conv)	Analog Supply Current, Conversion Mode	$f_{SCLK} = 3.6 MHz, V_A = 3V, f_S = 200 kSPS, f_{IN} = 20 kHz$	540	<b>760</b>	$\mu A$ (max)
		$f_{SCLK} = 4.5 MHz, V_A = 5V, f_S = 250 kSPS, f_{IN} = 20 kHz$	740	<b>970</b>	$\mu A$ (max)
$I_{VIO}$ (Conv)	Digital I/O Supply Current, Conversion Mode	$f_{SCLK} = 3.6 MHz, V_A = 3V, f_S = 200 kSPS, f_{IN} = 20 kHz$	90	<b>190</b>	$\mu A$ (max)
		$f_{SCLK} = 4.5 MHz, V_A = 5V, f_S = 250 kSPS, f_{IN} = 20 kHz$	170	<b>260</b>	$\mu A$ (max)
$I_{VREF}$ (Conv)	Reference Current, Conversion Mode	$f_{SCLK} = 3.6 MHz, V_A = 3V, f_S = 200 kSPS, f_{IN} = 20 kHz$	25	<b>60</b>	$\mu A$ (max)
		$f_{SCLK} = 4.5 MHz, V_A = 5V, f_S = 250 kSPS, f_{IN} = 20 kHz$	45	<b>80</b>	$\mu A$ (max)
$I_{VA}$ (PD)	Analog Supply Current, Power Down Mode ( $\overline{CS}$ high)	$f_{SCLK} = 4.5 MHz, V_A = 5V$	8		$\mu A$
		$f_{SCLK} = 0$ (Note 8)	2	<b>3</b>	$\mu A$ (max)
$I_{VIO}$ (PD)	Digital I/O Supply Current, Power Down Mode ( $\overline{CS}$ high)	$f_{SCLK} = 4.5 MHz, V_A = 5V$	3		$\mu A$
		$f_{SCLK} = 0$ (Note 8)	0.1	<b>0.3</b>	$\mu A$ (max)
$I_{VREF}$ (PD)	Reference Current, Power Down Mode ( $\overline{CS}$ high)	$f_{SCLK} = 4.5 MHz, V_A = 5V$	0.1		$\mu A$
		$f_{SCLK} = 0$ (Note 8)	0.1	<b>0.2</b>	$\mu A$ (max)

### ADC141S626 コンバータの電気的特性 (Note 7) (つづき)

以下の仕様は、特記のない限り、 $V_A = V_{IO} = V_{REF} = +2.7V \sim 5.5V$  および  $f_{SCLK} = 0.9 \sim 3.6MHz$  または  $V_A = V_{IO} = V_{REF} = +4.5V \sim 5.5V$  および  $f_{SCLK} = 3.6 \sim 4.5MHz$ 、 $f_{IN} = 20kHz$  および  $C_L = 25pF$  に対して適用されます。太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  にわたって適用され、その他のすべてのリミット値は  $T_A = 25$  に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
PWR (Conv)	Power Consumption, Conversion Mode	$f_{SCLK} = 3.6 MHz, f_S = 200 kSPS, f_{IN} = 20 kHz, V_A = V_{IO} = V_{REF} = 3.0V$	2.0	<b>3.0</b>	mW
		$f_{SCLK} = 4.5 MHz, f_S = 250 kSPS, f_{IN} = 20 kHz, V_A = V_{IO} = V_{REF} = 5.0V$	4.8	<b>6.5</b>	mW
PWR (PD)	Power Consumption, Power Down Mode ( $\overline{CS}$ high)	$f_{SCLK} = 0, V_A = V_{IO} = V_{REF} = 3.0V$ (Note 8)	3	<b>4</b>	$\mu W$ (max)
		$f_{SCLK} = 0, V_A = V_{IO} = V_{REF} = 5.0V$ (Note 8)	13	<b>17</b>	$\mu W$ (max)
PSRR	Power Supply Rejection Ratio	See the Specification Definitions for the test condition	-85		dB

#### AC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Conditions	Typical	Limits	Units
$f_{SCLK}$	Maximum Clock Frequency	$V_A = V_{IO} = V_{REF} = +2.7V$ to 5.5V	4.8	<b>4.5</b>	MHz (min)
$f_{SCLK}$	Minimum Clock Frequency			<b>0.9</b>	MHz (max)
$f_S$	Maximum Sample Rate			<b>250</b>	kSPS (min)
$t_{ACQ}$	Acquisition/Track Time			<b>667</b>	ns (min)
$t_{CONV}$	Conversion/Hold Time			<b>15</b>	SCLK cycles
$t_{AD}$	Aperture Delay	See the Specification Definitions	6		ns

### ADC141S626 タイミング仕様 (Note 7)

以下の仕様は、 $V_A = V_{IO} = V_{REF} = +2.7V \sim 5.5V$  および  $f_{SCLK} = 0.9 \sim 4.5MHz$ 、 $C_L = 25pF$  に対して適用され、太文字表記のリミット値は  $T_A = T_{MIN} \sim T_{MAX}$  に対して適用されます。その他のリミット値は  $T_A = 25$  に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
$t_{CSS}$	$\overline{CS}$ Setup Time prior to an SCLK rising edge		3	<b>6</b>	ns (min)
			$1/f_{SCLK} - 3$	<b><math>1/f_{SCLK} - 6</math></b>	ns (max)
$t_{DH}$	$D_{OUT}$ Hold Time after an SCLK falling edge		10	<b>6</b>	ns (min)
$t_{DA}$	$D_{OUT}$ Access Time after an SCLK falling edge		28	<b>40</b>	ns (max)
$t_{DIS}$	$D_{OUT}$ Disable Time after the rising edge of $\overline{CS}$ (Note 11)		10	<b>20</b>	ns (max)
$t_{CS}$	Minimum $\overline{CS}$ Pulse Width		5	<b>20</b>	ns (min)
$t_{EN}$	$D_{OUT}$ Enable Time after the falling edge of $\overline{CS}$		32	<b>51</b>	ns (max)
$t_{CH}$	SCLK High Time		67	<b>89</b>	ns (min)
$t_{CL}$	SCLK Low Time		67	<b>89</b>	ns (min)
$t_r$	$D_{OUT}$ Rise Time		7		ns
$t_f$	$D_{OUT}$ Fall Time		7		ns

**Note 1:** 絶対最大定格とは、デバイスに破壊が発生する可能性のある制限値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様はリストに示された試験条件でのみ適用されます。リストに示されている試験条件の下で動作していない場合には、いくつかの性能特性は低下することがあります。最大動作定格を超えた状態でデバイスを動作させてはなりません。

**Note 2:** 特記のない限り、すべての電圧は  $GND = 0V$  を基準にして測定されています。

**Note 3:** いずれかのピンで入力電圧が電源電圧を超えた場合 ( $V_{IN} < GND$  または  $V_{IN} > V_A$ )、そのピンの入力電流を 10mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 10mA の電流を流せるピン数は 5 本に制限されます。

**Note 4:** 温度上昇時の動作では、最大消費電力の定格を  $T_{jmax}$  (最大接合部温度: このデバイスの場合、 $T_{jmax}$  は 150 )、 $J_A$  (接合部・周囲温度間熱抵抗)、 $T_A$  (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_{D(MAX)} = (T_{jmax} - T_A) / J_A$  または「絶対最大定格」で示される値のうち、いずれか低い方の値です。上記の最大許容消費電力の値にまで上がる場合は、ADC141S626 が何らかの異常な状態で動作しているときのみです (例えば、入力ピンまたは出力ピンを電源電圧を超えて駆動させている場合や電源の極性を逆転させている場合など)。このような条件での動作は必ず避けるようにしてください。

**Note 5:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルでは 220pF のコンデンサから直列抵抗 0 を通して、各ピンに放電させます。デバイス帯電モデルは、ピンがゆっくりと電荷を取り込んだあと、急速に放電する状態 (例えば、自動組立て装置内でフィードを滑り落ちるデバイス) をシミュレートします。

**Note 6:** リフロー温度プロファイルは、鉛フリー・パッケージの場合と非鉛フリー・パッケージの場合では異なります。

**Note 7:** 代表値は、 $T_j = 25$  で、得られる最も標準的な数値です。テスト・リミット値はナショナル・セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。

**Note 8:** このパラメータは設計と特性評価によって保証されています。製造時の試験は行っていません。

**Note 9:**  $V_{IO}$  の値は、 $V_A$  の値に依存しません。例えば、 $V_{IO}$  を 5V で処理し、 $V_A$  を 3V で処理したり  $V_{IO}$  を 3V で処理し、 $V_A$  を 5V で処理することができます。

**Note 10:** サンプリング・レートの最高は  $f_{SCLK}/18$  ですが、 $\overline{CS}$  レートを  $f_{SCLK}/18$  より先低く設定すれば実際のサンプリング・レートは下がります。

**Note 11:**  $t_{DIS}$  は、 $D_{OUT}$  がタイミング試験回路によって負荷を与えられたときに、変化量が 10% に到達するまでの時間です。

タイミング図

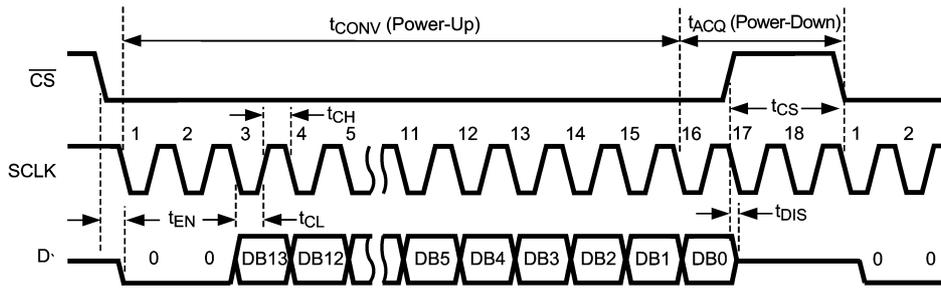


FIGURE 1. ADC141S626 Single Conversion Timing Diagram

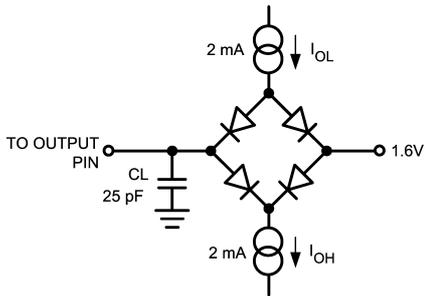


FIGURE 2. Timing Test Circuit



FIGURE 3. D<sub>OUT</sub> Rise and Fall Times

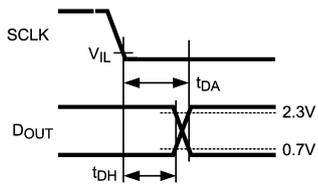


FIGURE 4. D<sub>OUT</sub> Hold and Access Times

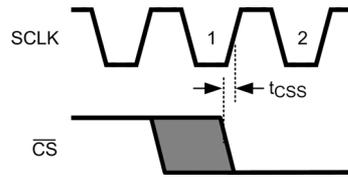


FIGURE 5. Valid  $\overline{CS}$  Assertion Times

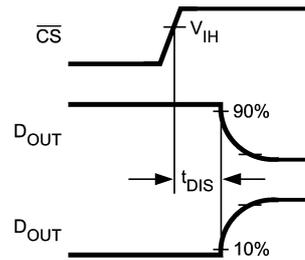


FIGURE 6. Voltage Waveform for t<sub>DIS</sub>

## 用語の定義

アパーチャ・ディレイ (**APERTURE DELAY**) は、SCLK の最初の立ち下がりエッジから、変換を行なうために入力信号がサンプリングされるまでの時間です。

コモンモード除去比 (**COMMON MODE REJECTION RATIO: CMRR**) とは、両方の入力ピンに与えられた同位相の信号を除去する性能指標です。

CMRR を計算するには、コモンモード入力電圧が 2V ~ 3V に変化する間の出力オフセットの変化を測定します。

$$\text{CMRR} = 20 \text{LOG} ( \text{コモン入力} / \text{出力オフセット} )$$

変換時間 (**CONVERSION TIME**) とは、入力電圧を取り込んだ後、A/D コンバータが入力電圧をデジタル・ワードに変換するために必要な時間のことです。

微分非直線性 (**DIFFERENTIAL NON-LINEARITY: DNL**) は、理想的なステップである 1LSB からの最大偏差として表されます。

デューティ・サイクル (**DUTY CYCLE**) とは、繰り返し波形の周期に対する High 期間の割合です。本データシートでは SCLK に適用されます。

有効分解能 (**EFFECTIVE NUMBER OF BITS: ENOB, or EFFECTIVE BITS**) は、信号 / (ノイズ + 歪み) 比または SINAD の別の規定方法です。ENOB は  $(\text{SINAD} - 1.76)/6.02$  として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー入力帯域 (**FULL POWER BANDWIDTH**) は、フルスケール入力に対して再現される出力の基本周波数が低周波数における値に対して 3dB 低下した部分の帯域幅です。

ゲイン誤差 (**GAIN ERROR**) は、伝達関数の実測値と理想カーブとの偏差のことです。これは正側フルスケール誤差と負側フルスケール誤差の差で、次のように計算します。

$$\text{ゲイン誤差} = \text{正側フルスケール誤差} - \text{負側フルスケール誤差}$$

積分非直線性 (**INTEGRAL NON-LINEARITY: INL**) は、最初のコード遷移の 1/2LSB 下から最後のコード遷移の 1/2LSB 上まで引いた直線からのそれぞれのコードとの偏差として表されます。この直線と任意のコードとの偏差は、各コード値の中央から測定します。

ミッシング・コード (**MISSING CODES**) は、A/D コンバータから出力されない出力コードです。ADC141S626 は、ミッシング・コードのないことが保証されています。

負のフルスケール誤差 (**NEGATIVE FULL-SCALE ERROR**) は、出力コードが負のフルスケールから次のコードに遷移する差動入力電圧と、 $-V_{\text{REF}} + 1\text{LSB}$  との差です。

負のゲイン誤差 (**NEGATIVE GAIN ERROR**) は、負のフルスケール誤差とオフセット誤差との差です。

オフセット誤差 (**OFFSET ERROR**) は、出力がコード 0000h からコード 0001h に遷移する差動入力電圧と、1LSB との差です。

正のフルスケール誤差 (**POSITIVE FULL-SCALE ERROR**) は、出力コードが正のフルスケールに遷移する差動入力電圧と、 $V_{\text{REF}} - 1\text{LSB}$  との差です。

正のゲイン誤差 (**POSITIVE GAIN ERROR**) は、正のフルスケール誤差とオフセット誤差との差です。

電源電圧除去比 (**POWER SUPPLY REJECTION RATIO: PSRR**) とは、アナログ電源電圧の変化をどの程度除去できるかを表す指標です。PSRR は、電源電圧の変動に対応するオフセット誤差の変化の割合を、dB 値で示します。ADC141S626 では、 $V_A$  は、4.5V から 5.5V に変動します。

$$\text{PSRR} = 20 \text{LOG} ( \text{出力オフセット} / V_A )$$

信号 / ノイズ比 (**SIGNAL TO NOISE RATIO: SNR**) は、クロック信号の 1/2 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比で、dB で表されます。

信号 / (ノイズ + 歪み) 比 (**SIGNAL TO NOISE PLUS DISTORTION: S/N + D** または **SINAD**) は、クロック信号の 1/2 以下のサンプリング周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の実効値の比として、dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (**SPURIOUS FREE DYNAMIC RANGE : SFDR**) は、サンプリング周波数の 1/2 以下における対象信号の振幅とピーク・スプリアス・スペクトラル成分との差で、dB で表します。ここでスプリアス・スペクトラル成分とは、入力には存在しない他の出力スペクトラムに含まれるあらゆる信号を指し、高調波かどうかは問いません。

全高調波歪み (**TOTAL HARMONIC DISTORTION: THD**) は、出力に現れる 2 次から 6 次までの高調波成分の実効値と、出力に現れる入力周波数の実効値の比で、dB で表されます。全高調波歪み THD は次式から求めます。

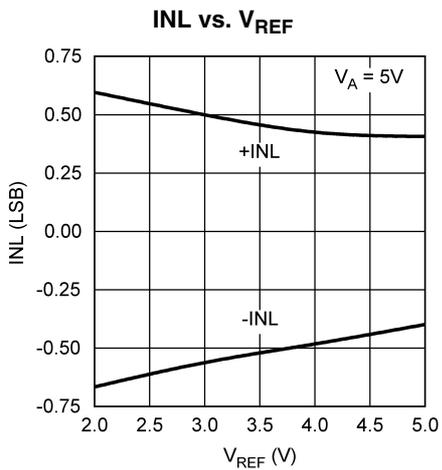
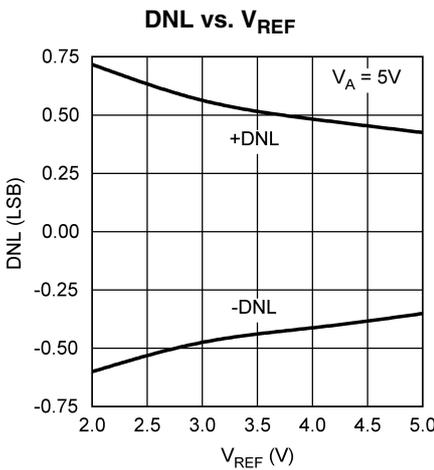
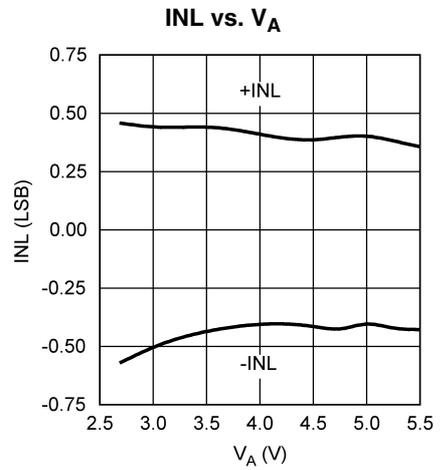
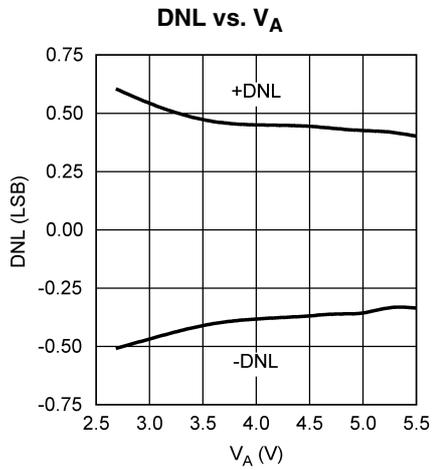
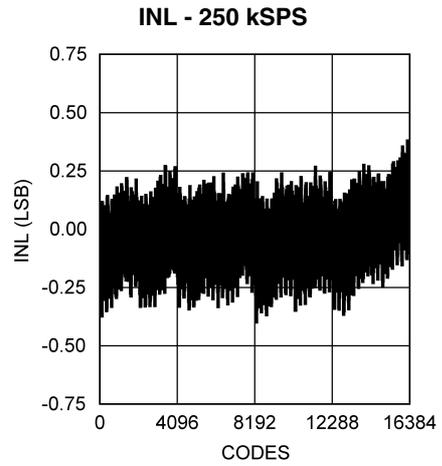
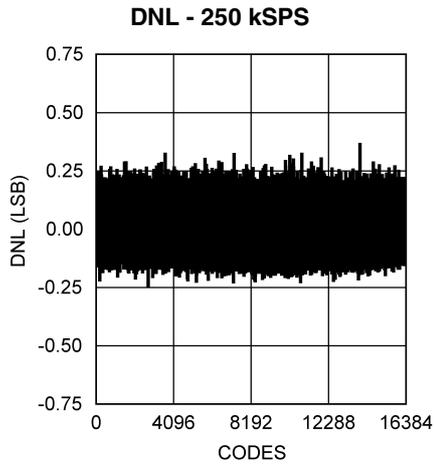
$$\text{THD} = 20 \cdot \log_{10} \sqrt{\frac{A_{f2}^2 + \dots + A_{f6}^2}{A_{f1}^2}}$$

$A_{f1}$  は基本周波数 (出力) パワーの実効値 (RMS 値)、 $A_{f2}$  から  $A_{f6}$  は高調波のうち 2 次から 6 次までの高調波のパワーです。

スループット時間 (**THROUGHPUT TIME**) は、連続した 2 回の変換を開始するために必要な最小の時間です。

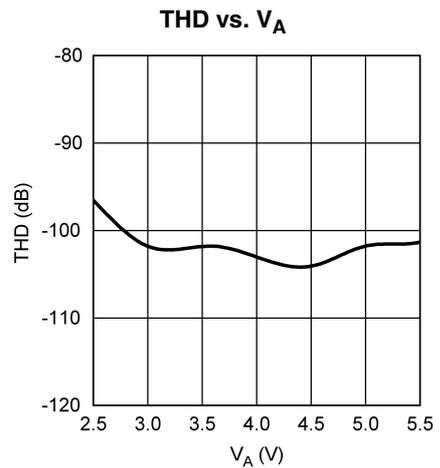
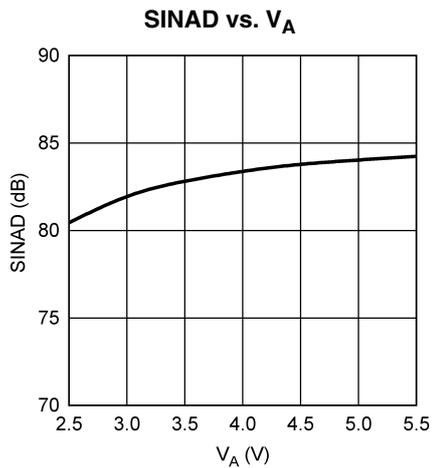
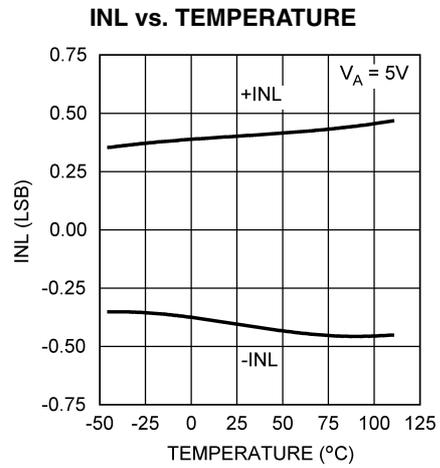
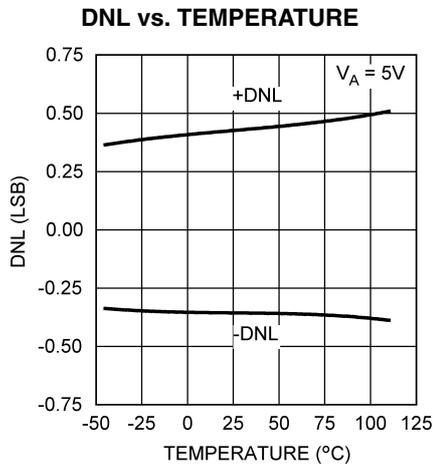
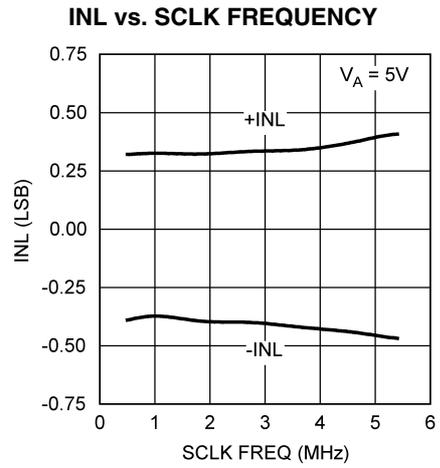
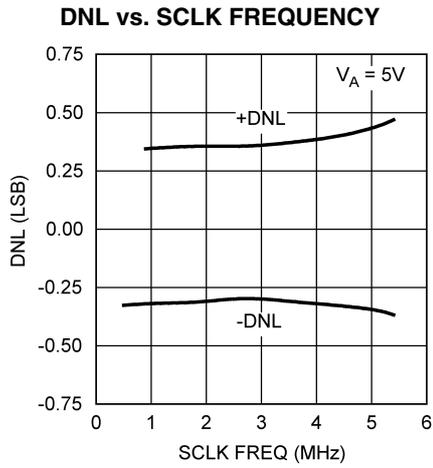
代表的な性能特性

特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 4.5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25$ 、 $f_{IN} = 20kHz$ 。



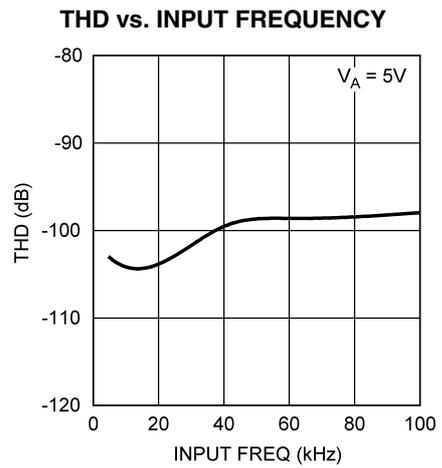
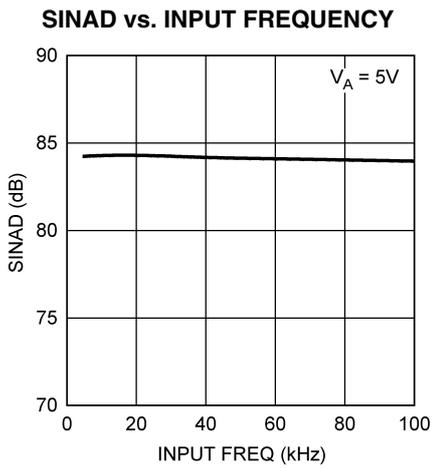
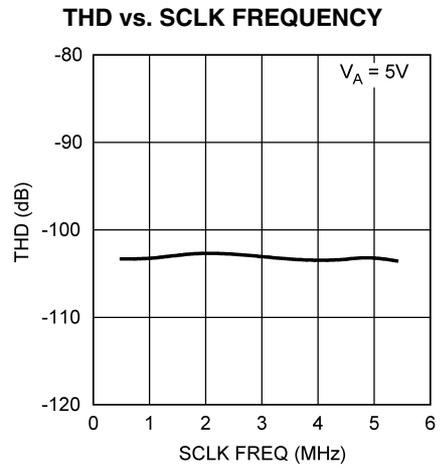
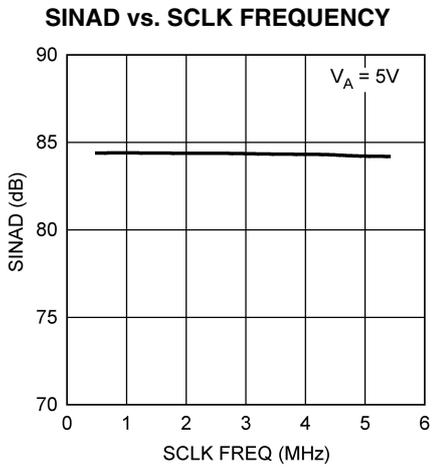
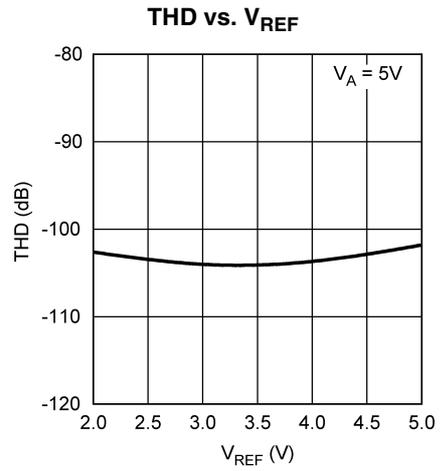
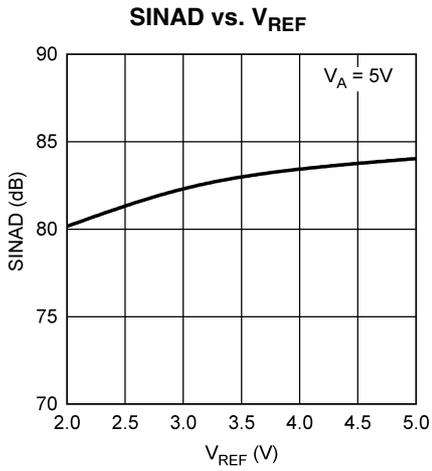
代表的な性能特性

特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 4.5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25$ 、 $f_{IN} = 20kHz$ 。



代表的な性能特性

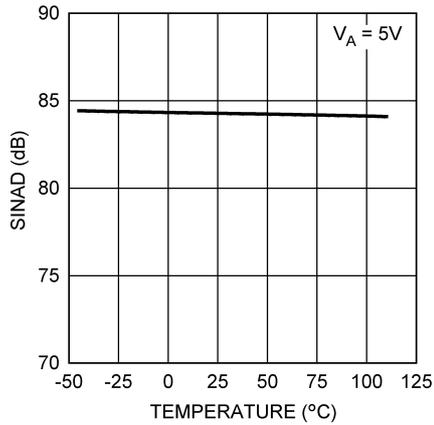
特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 4.5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25$ 、 $f_{IN} = 20kHz$ 。



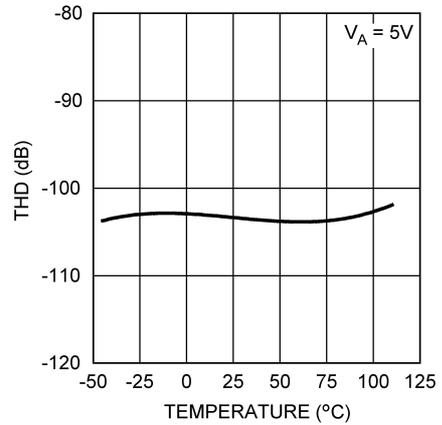
代表的な性能特性

特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 4.5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25$ 、 $f_{IN} = 20kHz$ 。

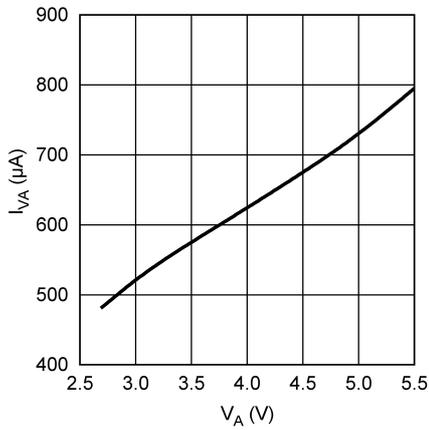
SINAD vs. TEMPERATURE



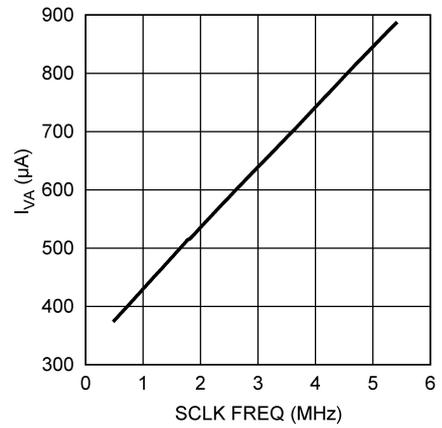
THD vs. TEMPERATURE



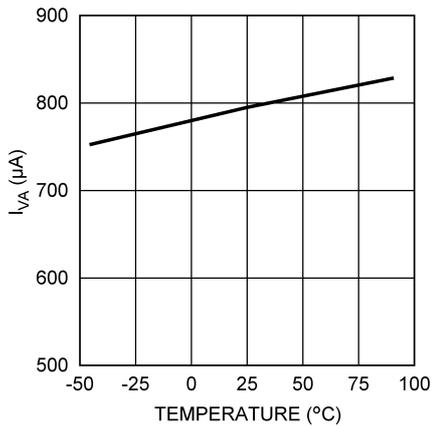
$V_A$  CURRENT vs.  $V_A$



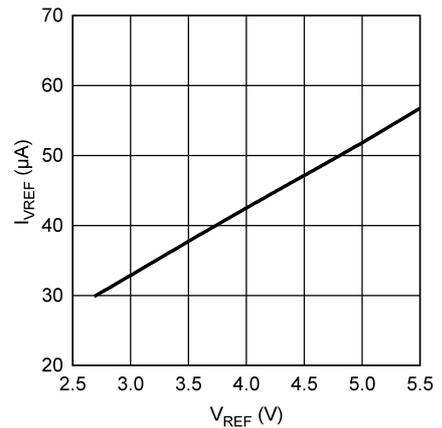
$V_A$  CURRENT vs. SCLK FREQUENCY



$V_A$  CURRENT vs. TEMPERATURE



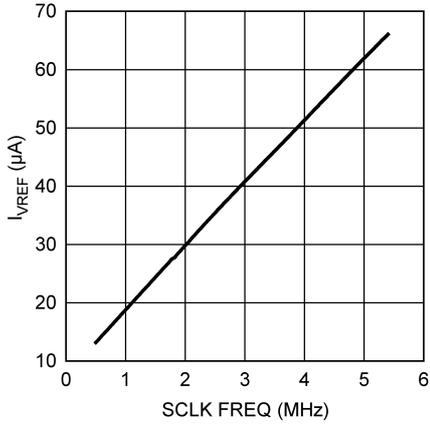
$V_{REF}$  CURRENT vs.  $V_{REF}$



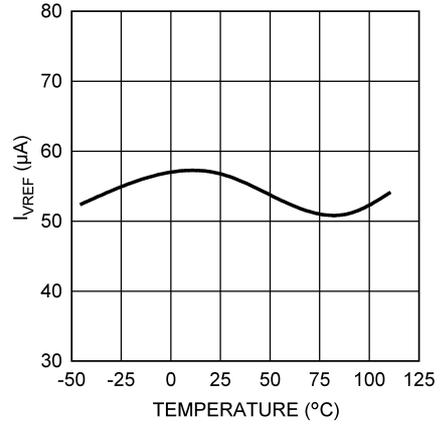
代表的な性能特性

特記のない限り、 $V_A = V_{IO} = V_{REF} = +5V$ 、 $f_{SCLK} = 4.5MHz$ 、 $f_{SAMPLE} = 250kSPS$ 、 $T_A = +25$ 、 $f_{IN} = 20kHz$ 。

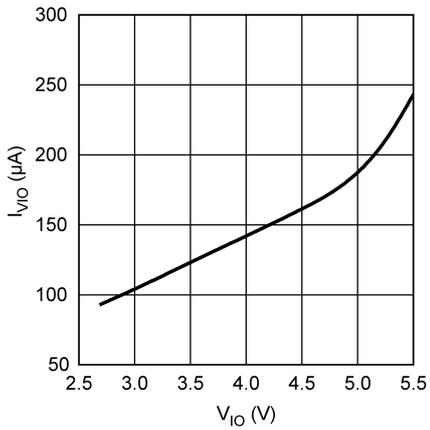
**$V_{REF}$  CURRENT vs. SCLK FREQUENCY**



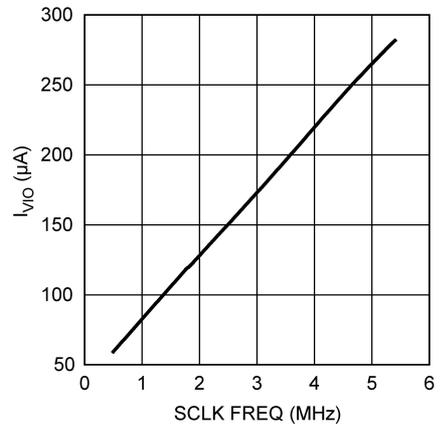
**$V_{REF}$  CURRENT vs. TEMPERATURE**



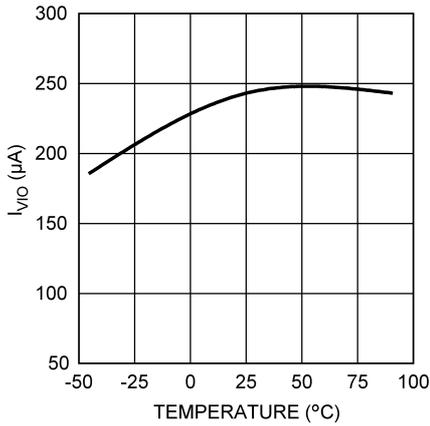
**$V_{IO}$  CURRENT vs.  $V_{IO}$**



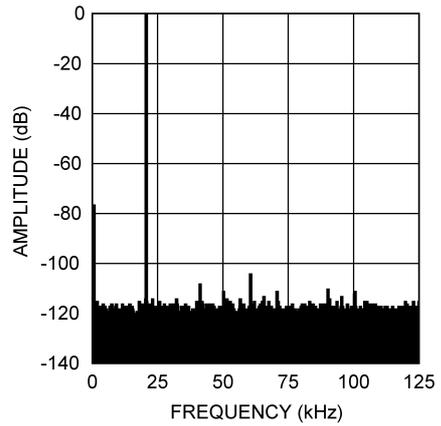
**$V_{IO}$  CURRENT vs. SCLK FREQUENCY**



**$V_{IO}$  CURRENT vs. TEMPERATURE**



**SPECTRAL RESPONSE - 250 kSPS**



## 機能説明

ADC141S626 は、14 ビット、50kSPS ~ 250kSPS のサンプリング A/D コンバータです。コンバータは、逐次比較型レジスタ (SAR) アーキテクチャを使用した A/D コンバータで、回路自体が原理的にサンプル / ホールド機能を持つ電荷再分配方式を採用しています。内蔵トラック / ホールド回路から A/D コンバータ全体にわたってアナログ入力 of 差動特性が保持されることにより、優れた共通モード信号除去性能を提供します。

ADC141S626 は、アナログ系とデジタル系に個別の電源電圧を与えて動作します。アナログ電源 ( $V_A$ ) の電圧範囲は 2.7V から 5.5V まで、デジタル入 / 出力電源 ( $V_{IO}$ ) の電圧範囲は 2.7V から 5.5V までです。ADC141S626 は、外部リファレンスを使用します。外部リファレンスの電圧範囲は 1V から  $V_A$  です。リファレンス電圧値によってアナログ入力の電圧範囲が決まります。また、リファレンス入力電流は変換レートによって変わります。

アナログ入力は + IN と - IN の 2 本の入力ピンに与えます。このピンに与えられている差動入力は、変換の開始時点において、内部コンデンサ・アレイにサンプリングされます。変換処理中は入力は内部回路から切り離されます。ADC141S626 のゼロパワー・トラック・モードでは、内蔵サンプリング・コンデンサが印加されたアナログ入力電圧を追跡する際に ADC の消費電流を最小にします。ゼロパワー・トラック・モードは、チップ選択バー (CS) を High にすることによって、または変換が完了した後 (シリアル・クロックの 16 番目の立ち下がりがエッジの後) に CS が Low に保持されたときに有効になります。

外部シリアル・クロック (SCLK) は、データ転送を制御し、変換クロックとして機能します。最小クロック High 時間と Low 時間を満たしていれば、SCLK のデューティ・サイクルはあまり重要ではありません。最低 SCLK 周波数は内部コンデンサの漏れ電流により決まります。1 回の変換処理には 18 SCLK サイクルが必要です。必要な変換データが 14 ビット未満である場合、変換中の任意の時点で CS を High にすることができます。このように変換を完了前に終了する手続きを、一般的に、ショート・サイクリングと言います。

デジタル変換結果は、SCLK クロックに同期して、D<sub>OUT</sub> ピンから最上位ビット (MSB) を先頭にシリアル・データとして出力されます。D<sub>OUT</sub> ピンから出力されるデジタル・データは現在処理中の変換の結果であるため、パイプライン遅延はありません。

### 1.0 リファレンス入力

外部から与えるリファレンス電圧によってアナログ入力範囲が決まります。ADC141S626 は 1V から  $V_A$  のリファレンス電圧範囲で動作します。

1V 未満のリファレンス電圧での動作も可能ですが、性能が少し低下します。リファレンス電圧 ( $V_{REF}$ ) を下げると、許容可能なアナログ入力電圧の範囲が小さくなります。共通モード入力電圧が適切であることを前提とすると、差動ピーク・ツー・ピーク入力範囲は  $V_{REF}$  の 2 倍に制限されます。詳細はセクション 2.3 を参照してください。  $V_{REF}$  の値を小さくすると、最下位ビット (LSB) のサイズも小さくなります。1LSB の大きさは、リファレンス電圧の 2 倍を 16,384 で除算した値です。LSB の大きさが ADC141S626 のノイズ・フロアを下回れば、ノイズが影響する範囲はより多くの出力コードに広がり、全体の性能が低下します。例えば、ダイナミック信号の SNR が低下し、DC 信号のコード不確実性が高まります。ノイズはガウス分布特性を有するため、変換を複数回連続して行って結果を平均すれば、ノイズの影響は小さくなります。

また、オフセット誤差とゲイン誤差は LSB を単位として規定されているため、リファレンス電圧を下げて LSB の大きさが小さくなればなるほど、A/D コンバータが原理的に持っているオフセット誤差とゲイン誤差は相対的に大きく見えるようになります。

リファレンス入力とアナログ入力は、入力がサンプリングされるときに、スイッチ・マトリックスを介してコンデンサ・アレイに接続されます。そのため、リファレンス入力およびアナログ入力における電流要件として、一連の瞬間的なスパイク電流が必要になります。その頻度は ADC141S626 の動作サンプリング・レートに依存します。

リファレンス電流の温度変化はわずかです。詳細については、「代表的な性能特性」の「Reference Current vs. SCLK Frequency」および「Reference Current vs. Temperature」を参照してください。

### 2.0 アナログ信号入力

ADC141S626 には、デジタイズされる実効入力電圧が (+ IN) - (- IN) になる差動入力があります。この差動入力を使用することによって、両方の入力に共通する小信号が除去されます。Figure 7 を参照してください。他の差動入力 A/D コンバータと同じように、入力信号はシングルエンドで取り扱っても先完全な差動方式で取り扱ったほうが高い性能が得られます。ただし、ADC141S626 はシングルエンド入力にも対応しています。

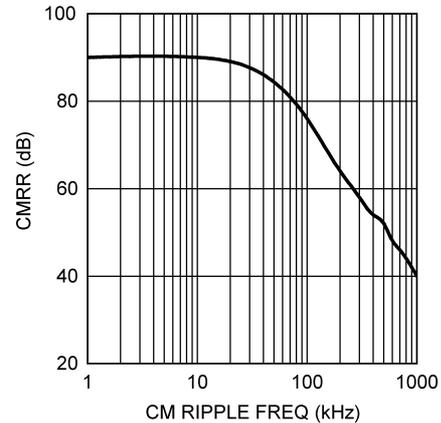


FIGURE 7. Analog Input CMRR vs. Frequency

入力サンプリング・コンデンサを充電するために必要な電流によって、+ IN および - IN で電圧スパイクが発生します。フィルタ回路を設けてこれらのノイズ・スパイクを除去しようとしてはなりません。それより先、アキュジション期間中に変動を落ち着かせるようにしてください。

機能説明 (つづき)

2.1 差動入力動作

完全差動入力電圧または信号では、正のフルスケール出力コード (01 1111 1111 1111b または 1FFFh) は、 $(+ IN) - (- IN)$  が  $V_{REF} - 1 \text{ LSB}$  以上であるときに得られます。負のフルスケール・コード (10 0000 0000 0000b または 2000h) は、 $(+ IN) - (- IN)$  が  $- V_{REF} + 1 \text{ LSB}$  以下であるときに得られます。ここではゲイン誤差、オフセット誤差、およびリニアリティ誤差を無視していますが、これらの誤差は出力コードと差動入力電圧との正確な対応に影響を与えます。Figure 8 では ADC141S626 はフルスケール差動電源によって駆動されます。

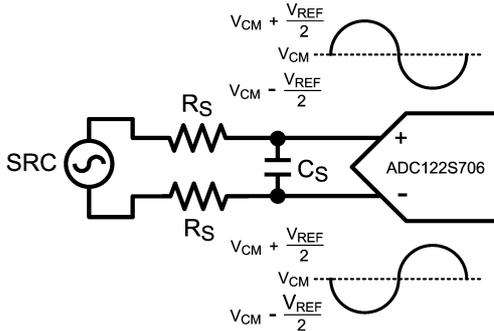


FIGURE 8. Differential Input

2.2 シングルエンド入力動作

シングルエンド動作の場合、ADC141S626 の非反転入力 (+ IN) は、最大電圧と最小電圧の振幅幅がリファレンス電圧の 2 倍以下となる信号で駆動してください。反転入力 (- IN) は、最大電圧と最小電圧の間となる安定した電圧にバイアスしてください。ADC141S626 のダイナミックレンジ全体を活用できるように、リファレンス電圧は  $V_A / 2$  に制限されています。それによって非反転入力のグラウンドから  $V_A$  へのスイング範囲を最大にすることができます。Figure 9 では、ADC141S626 はフルスケール・シングルエンド電源によって駆動されます。

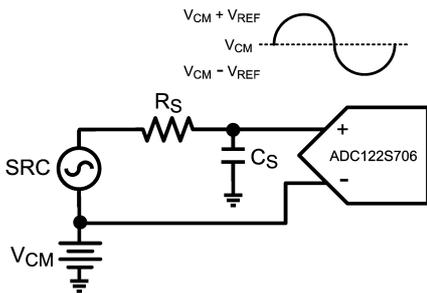


FIGURE 9. Single-Ended Input

ADC141S626 の設計は差動入力用に最適化されているため、シングルエンド入力でも駆動すると性能が少し低下します。INL や DNL などの直線性特性は一般的に 0.1LSB ほど低下し、SINAD などのダイナミック特性は一般的に 2dB ほど低下します。シングルエンド動作は差動動作に比べた性能低下が許容可能な場合にのみ使用してください。

2.3 入力コモンモード電圧

入力コモンモード電圧 ( $V_{CM}$ ) の許容範囲は ADC141S626 に与える電源電圧とリファレンス電圧に依存します。 $V_{CM}$  の範囲を Figure 10 と Figure 11 に示しています。差動動作およびシングルエンド動作におけるそれぞれの最小コモンモード電圧と最大コモンモード電圧の計算式を Table 1 に示しています。

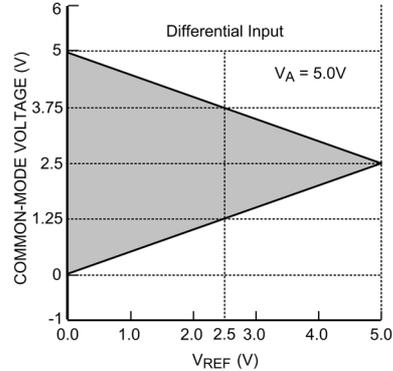


FIGURE 10.  $V_{CM}$  range for Differential Input operation

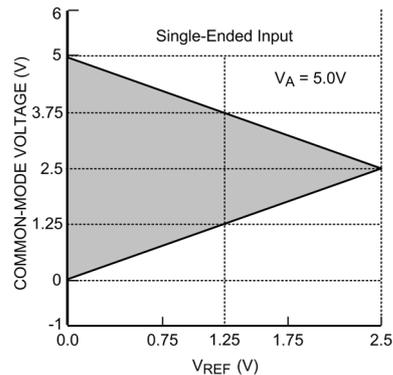


FIGURE 11.  $V_{CM}$  range for single-ended operation

TABLE 1. Allowable  $V_{CM}$  Range

Input Signal	Minimum $V_{CM}$	Maximum $V_{CM}$
Differential	$V_{REF} / 2$	$V_A - V_{REF} / 2$
Single-Ended	$V_{REF}$	$V_A - V_{REF}$

3.0 シリアル・デジタル・インタフェース

ADC141S626 は、タイミング図のセクションに示すように、同期式の 3 線シリアル・インタフェースを介してデータを出力します。 $\overline{CS}$  はチップ・セレクトを表し、変換サイクルとシリアル・データ転送フレームの開始をトリガします。また SCLK (シリアル・クロック) は、変換処理とシリアル・データ・タイミングの両方を制御します。 $D_{OUT}$  はシリアル・データ出力ピンで、変換結果がシリアル・データ・ストリーム (MSB が先頭) として出力されます。

シリアル・フレームは  $\overline{CS}$  の立ち下がりがエッジで始まり、 $\overline{CS}$  の立ち上がりエッジで終わります。ADC141S626 の  $D_{OUT}$  ピンは、 $\overline{CS}$  が High のときハイ・インピーダンス状態になり、 $\overline{CS}$  が Low のときアクティブ状態になります。そのため、 $\overline{CS}$  は出力イネーブル信号として機能します。単一の変換サイクルのタイミング図を Figure 1 に示しています。

### 機能説明 (つづき)

ADC141S626 は、 $\overline{CS}$  がアサートされたときに差動入力をサンプリングします。アサートとは、 $\overline{CS}$  ピンが Low 状態になることを言います。 $\overline{CS}$  がアサートされた後の最初の 15 SCLK 周期の間は、ADC141S626 はアナログ入力電圧を変換しています。SCLK の 16 番目の立ち下がりエッジで、ADC141S626 は、アキュイジション / トラック・モードになります。次の SCLK の 3 周期の間、ADC141S626 はアキュイジション・モードで動作し、ADC 入力が + IN と - IN の間に印加されたアナログ入力信号を追跡します。アキュイジション・モードの間、ADC141S626 の電力消費は最小になります。

ADC141S626 が変換モードになる条件が 3 通りあります。最初の条件は、SCLK が High のときに  $\overline{CS}$  が Low になる (アサートされる) ことです。この場合、ADC141S626 は、 $\overline{CS}$  がアサートされた後の SCLK の最初の立ち下がりエッジで変換モードになります。2 つ目の条件は、SCLK が Low のときに  $\overline{CS}$  が Low になることです。この条件では、ADC141S626 は自動的に変換モードに入り、 $\overline{CS}$  の立ち下がりエッジが、SCLK の最初の立ち下がりエッジと同じ条件とみなされます。3 つ目の条件は、 $\overline{CS}$  と SCLK が同時に Low となることです。このとき ADC141S626 は変換モードに入ります。 $\overline{CS}$  と SCLK の立ち下がりエッジに関してタイミング制約がなければ、SCLK の立ち上がりエッジに関連する  $\overline{CS}$  の立ち下がりエッジに対する最小および最大セットアップ要件に関しては、Figure 5 を参照してください。

### 3.1 $\overline{CS}$ 入力

$\overline{CS}$  (チップ選択バー) 入力はアクティブ Low で、TTL および CMOS 互換です。SCLK ピンが Low 状態のときに  $\overline{CS}$  がアサートされると、ADC141S626 は変換モードになります。ADC141S626 は常にアキュイジション・モードなので、 $\overline{CS}$  が High のとき、電力消費は最小になります。変換を開始するには  $\overline{CS}$  をアサートする必要があるため、ADC141S626 のサンプリング・レートは  $\overline{CS}$  のアサート・レートと等しくなります。

適切な動作を得るには、 $\overline{CS}$  の立ち下がりエッジが SCLK の立ち上がりエッジと同時に起こらないように、タイミング設計を行う必要があります。 $\overline{CS}$  の立ち下がりエッジが SCLK の立ち上がりエッジ中に起こった場合、データは 1 ビット分早く出力されます。いずれにせよ、 $\overline{CS}$  遷移と SCLK 遷移のタイミングが近い場合、デバイス温度や個々のデバイスのばらつきに依存して、データが早く出力されることがあります。MSB が常に同じタイミング (SCLK の 3 番目の立ち下がりエッジ) で出力されるようにするには、 $\overline{CS}$  の立ち下がりエッジが「タイミング仕様」の表で指定されているタイミング要件に一致していなければなりません。

### 3.2 SCLK 入力

SCLK (シリアル・クロック) は変換クロックとして、および変換結果をシフト出力するために使用します。SCLK は TTL および CMOS 互換です。内部セットアップ時間の要件によって最高クロック周波数が決まり、内部コンデンサの漏れ電流によって最低クロック周波数が決まります。ADC141S626 の性能は電気的特性の表記載のクロック・レートによって保証されています。

変換フレーム中に、ADC141S626 は SCLK の 16 番目の立ち下がりエッジでアキュイジション・モードになります。SCLK の 16 番目の立ち上がりエッジで LSB がコントローラにクロック出力される場合、新しい変換フレームを開始する前に最小のアキュイジション時間が必要です。SCLK の 16 番目の立ち上がりエッジが LSB をコントローラにラッチするために使用されることを除いて、アキュイジション・モードでの SCLK の遷移に関する要件はありません。したがって、LSB がコントローラにラッチされた後、SCLK をアイドルにしても構いません。

### 3.3 データ出力

ADC141S626 のデータ出力フォーマットは 2 の補数です。Table 2 を参照してください。この表は与えられた入力電圧に対する理想出力を示し、オフセット誤差、ゲイン誤差、リニアリティ誤差、ノイズの影響は考慮していません。各データ出力ビットは SCLK の立ち下がりエッジで出力されます。SCLK の立ち下がりエッジ 1 および 2 で先頭のゼロがクロック出力され、立ち下がりエッジ 3 ~ 16 では変換結果が、MSB を先頭にして、クロック出力されます。

TABLE 2. Ideal Output Code vs. Input Voltage

Analog Input (+IN) - (-IN)	2's Complement Binary Code	2's Comp. Hex Code	2's Comp. Dec Code
$V_{REF} - 1 \text{ LSB}$	01 1111 1111 1111	1FFF	8191
+ 1 LSB	00 0000 0000 0001	0001	1
0V	00 0000 0000 0000	0000	0
0V - 1 LSB	11 1111 1111 1111	3FFF	-1
$-V_{REF} + 1 \text{ LSB}$	10 0000 0000 0000	2000	-8192

一般に後段のシステムは SCLK の立ち上がりエッジでデジタル出力ビットをキャプチャしますが、 $D_{OUT}$  の最小ホールド時間 ( $t_{DH}$ ) が許容されるなら、SCLK の立ち下がりエッジで変換結果をキャプチャしても構いません。 $D_{OUT}$  のホールド時間とアクセス時間については、Figure 4 を参照してください。

$D_{OUT}$  は、 $\overline{CS}$  の立ち下がりエッジでイネーブルになり、 $\overline{CS}$  の立ち上がりエッジでディスエーブルになります。SCLK の 16 番目の立ち下がりエッジより前に  $\overline{CS}$  が High になった場合、現在の変換が中断され、 $D_{OUT}$  がハイ・インピーダンス状態になります。新しい変換は  $\overline{CS}$  が Low になったとき開始します。

### アプリケーション情報

#### 動作条件

ADC141S626 の動作条件としては次の各値を推奨します。

- 40  $T_A$  + 85
- + 2.7V  $V_A$  + 5.5V
- + 2.7V  $V_{IO}$  + 5.5V
- 1V  $V_{REF}$   $V_A$
- 0.9MHz  $f_{SCLK}$  4.5MHz
- $V_{CM}$ : セクション 2.3 参照。

#### 4.0 消費電力

ADC141S626 は、アーキテクチャ、回路、製造プロセスの工夫により、低消費電力と最高変換レート 250kSPS で動作します。ADC141S626 は、アキュイジション・モードで動作するとき、消費電力は最小です。消費電力が非常に重要な要件となるアプリケーションでは、アプリケーションによって許容される限り、ADC141S626 をアキュイジション・モードで動作させます。電力消費をさらに減らすには、 $\overline{CS}$  が High の間 SCLK を停止します。

## アプリケーション情報 (つづき)

### 4.1 ショート・サイクリング制御

ショート・サイクリングとは、必要とされる最後のビットが出力された後、変換を停止するプロセスを言います。ショート・サイクリングは、14 ビットすべての分解能を必要としないアプリケーションや、特定の条件が起こるまでアナログ信号を監視するアプリケーションで、消費電力を低減する方法として有効です。状況によっては、変換を最初の数ビットだけで終了することができます。これによって ADC141S626 がアキュイジション・モードで動作する時間が増えて、変換モードで動作する時間が減るため、コンバータの電力消費を抑制できます。

ショート・サイクリングを行うには、ADC141S626 出力から必要な最後のビットを受信した後、 $\overline{CS}$  を High にします。ADC141S626 は生成された順番で最後に変換されたデータ・ビットを  $D_{OUT}$  ピンに出力するため、このような制御が可能です。例えば、10 ビット分の変換結果のみが必要な場合、10 番目のビットが出力された後で  $\overline{CS}$  を High にすれば変換動作は終了します。

### 4.2 バースト・モード動作

ADC141S626 の通常の動作では、SCLK にはサンプリング・レートの 18 倍の周波数のクロックを与え、 $\overline{CS}$  にはサンプリング・レートと同じレートの信号を与える必要があります。しかし、250kSPS 以下のサンプリング・レートを必要とするアプリケーションで消費電力を最小限に抑えるには、ADC141S626 に 4.5MHz の SCLK 周波数を与え、 $\overline{CS}$  にシステムが必要とできるだけ低いレートを与えて動作させてください。この条件が満たされたとき、ADC141S626 はバースト・モードで動作します。ADC141S626 は各変換の終了でアキュイジション・モードに移行するため、消費電力は最小限に抑えられます。このような制御を行うことで、コンバータを可能な限り長い時間にわたってアキュイジション・モードに保持することができます。消費電力は変換レートに直接比例するので、消費電力を最小限に抑えるために、変換レートはシステム要件を満たす最低の値に設定してください。

## 5.0 PCB レイアウトと回路の考慮事項

最高の性能を実現するために、プリント回路基板の物理的レイアウトに十分な配慮が必要です。これは特に、リファレンス電圧が低い場合や、変換レートが高い場合に重要です。クロック・レートが高い場合は入力波形がセトリングする時間が十分にありません。そのため精度を確保するには、変換を開始する前に、いかなるノイズに対しても入力を安定させることが重要です。

### 5.1 アナログおよびデジタル電源

ADC アーキテクチャは電源ピン、リファレンス・ピン、およびグラウンド・ピン上のスパイクに敏感です。スパイクは、スイッチング電源、デジタル回路、大電力デバイスその他の原因によって発生します。ADC141S626 に与える電源はクリーンでなければならず、あわせて適切なバイパスが必要です。0.1  $\mu\text{F}$  のセラミック・バイパス・コンデンサと 1  $\mu\text{F}$  ~ 10  $\mu\text{F}$  のコンデンサを ADC141S626 の電源バイパスに使用し、このうち 0.1  $\mu\text{F}$  は ADC141S626 パッケージのできるだけ近くに実装してください。

ADC141S626 にはアナログとデジタルの両方の入 / 出力電源ピンがあるため、ユーザーには 3 つのオプションがあります。最初のオプションでは、アナログ電源ピンとデジタル電源ピンを接続し、それらのピンを同じ電源に接続します。これは ADC141S626 への電力供給の最も費用効率が高い方法ですが、多くの問題があります。すでに述べたように、デジタル電源ピンからのノイズがアナログ電源ピンと結合し、性能を低下させることがあります。他の 2 つのオプションでは、アナログ電源ピンとデジタル電源ピンに別の電源電圧を供給します。これらの電源電圧の振幅は同じでも、異なっても構いません。それぞれ独立して 2.7V ~ 5.5V の範囲の任意の値に設定できます。

一般に、アナログ電源が 5V で動作し、デジタル電源が 3V で動作するとき最高の性能が得られます。アナログ電源を 5V で動作させると、リファレンス電圧ピンも 5V に設定したときに最高の直線性およびダイナミック特性が得られます。デジタル電源を 3V で動作させると、デジタル回路の消費電力が抑制されます。また、デジタル・インタフェースを 3V で動作させると、デジタル・インタフェース・ピンの容量を充放電するときに生成されるノイズが抑制されるとい追加的な利点が得られます。

### 5.2 電圧リファレンス

リファレンス電源は出力インピーダンスを小さくしなければならず、最小の容量値のコンデンサ (0.1  $\mu\text{F}$ ) でバイパスする必要があります。大きな容量値のコンデンサ (1  $\mu\text{F}$  ~ 10  $\mu\text{F}$ ) を 0.1  $\mu\text{F}$  と並列に接続することを推奨します。ADC141S626 はリファレンス・ピンから平均ではわずかな電流しか引き込みませんが、リファレンス入力に高い瞬間的な電流スパイクが発生します。

一般の A/D コンバータと同様に、ADC141S626 のリファレンス入力にはノイズや電圧変動を除去する機能はありません。リファレンス電圧を電源電圧から生成する場合はこの点に注意してください。外部リファレンスの回路では除去されない電源起因のノイズやリップルは変換結果に現れます。アクティブなリファレンス電源を使用することを推奨します。LM4040/LM4050 ショット・リファレンス・ファミリや LM4132/LM4140 シリーズ・リファレンス・ファミリがリファレンス電圧源として最適です。

### 5.3 PCB レイアウト

ノイズの多いデジタル回路とノイズに高感度なアナログ回路との間の S/E により、変換性能が低下する可能性があります。解決方法として、アナログ回路をデジタル回路から十分に分離させたレイアウトを行い、クロック信号の配線パターンを最短にします。デジタル回路は非常に大きな電源トランジエントやグラウンド・トランジエントを生じます。このようなロジックノイズがシステムのノイズ特性に大きく影響を及ぼします。電源ノイズによる ADC141S626 の性能低下を避けるため、基板上でデジタル回路に使用する ADC141S626 の  $V_A$  と  $V_{REF}$  に同じ電源を使用しないでください。

一般に、アナログとデジタルの配線パターンどうしのクロストークを防ぐには、両者の配線パターンを互いに 90° で交差させるのが望ましいとされています。高周波 / 高分解能のシステムで精度を最大限にするためには、アナログ信号ラインとデジタル信号ラインが互いに交差する配線は避けなければなりません。クロック・ラインは最短にし、他のデジタル・ラインを含むすべてのその他のラインからアイソレートすることが重要です。さらに、クロック・ラインは伝送ラインとして扱い、正しく終端してください。スプリアス信号が入力にカップリングするのを避けるために、アナログ入力は、ノイズの多い信号経路から十分にアイソレートしてください。コンバータの入力ピンとグラウンドの間、またはリファレンス入力ピンとグラウンドに接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の非常にクリーンなノイズの少ない 1 点で接続してください。

単一の均等なグラウンド層と、電源層を専用に設ける層構成を推奨します。電源層は同一の基板層に配置してください。すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) は、アナログ・グラウンド層を覆うように配置してください。すべてのデジタル回路は、デジタル電源層の上に置く必要があります。さらに、ADC141S626 上の GND ピンと、グラウンドに接続されているリファレンス回路および入力信号チェーンに含まれているすべての部品は、グラウンド層のノイズのない点に接続する必要があります。これらのピンは、マイクロプロセッサ、マイクロコントローラ、デジタル・シグナル・プロセッサなどの高パワー・デジタル・デバイスに近いグラウンド点に接続してはなりません。

アプリケーション情報 (つづき)

6.0 アプリケーション回路

以降の図は ADC141S626 の代表的なアプリケーション回路例です。これらの回路は基本的なものであり、実用化には修正が必要です。

6.1 データ・アキュイジション

Figure 12 は、+ 5V の電源電圧で動作する ADC141S626 の代表的なピン配置図です。リファレンス・ピン、 $V_{REF}$  は、4.1V シェント・リファレンス、LM4040-4.1 に接続されています。このピンは、

+ 5V 電源ラインの電源変動とは独立して ADC141S626 のアナログ入力範囲を定義します。 $V_{REF}$  ピンは、0.1  $\mu$ F セラミック・コンデンサおよび 10  $\mu$ F タンタル・コンデンサによってグラウンド層にデカップリングする必要があります。0.1  $\mu$ F コンデンサをできるだけ  $V_{REF}$  ピンの近くに配置することが重要です。タンタル・コンデンサの配置はそれほど重要ではありません。また、ADC141S626 のアナログおよびデジタル電源ピンを、10  $\mu$ F タンタル・コンデンサと並列に接続されている 0.1  $\mu$ F セラミック・コンデンサによってグラウンドにデカップリングすることを推奨します。

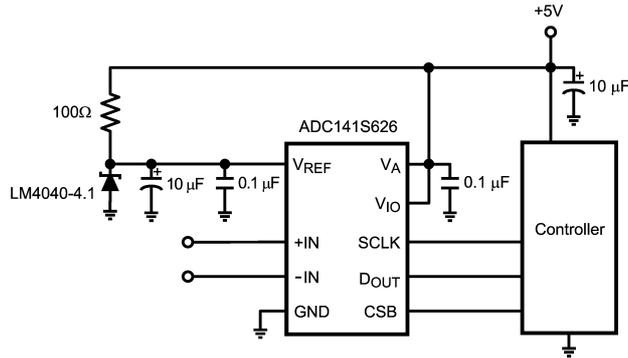


FIGURE 12. Low cost, low power Data Acquisition System

6.2 ブリッジ・センサ・アプリケーション

Figure 13 の例では、ADC141S626 にブリッジ・センサを接続しています。このアプリケーションは、ブリッジ・センサが ADC のダイナミック・レンジをフルに活用するためにバッファリングと増幅を必要としている想定で、信号パス全体の性能を最適化します。増幅段は、LMP7702、デュアル高精度アンプ、およびいくつかのゲイン設定用の受動部品で構成されています。増幅段は、高い入力インピーダンスと高い増幅能力の利点を提供します。しかし、コモンモード・ノイズまたはブリッジ・センサから供給される DC 電圧に対するコモンモード除去を提供しません。

DAC081S101、D/A コンバータ (DAC) は、ブリッジ・センサにバイアスをかけるために使用します。DAC は、ブリッジ・センサの

ゲインを実際の最大および最小出力条件との関係で動的に調整する手段を提供します。ブリッジ・センサにバイアスをかけるもう 1 つの方法は、ブリッジ・センサに ADC141S626 上のアナログ電源ピンと同じ + 5V 電源電圧から電力を供給することです。このオプションには、ADC141S626 のための理想的なコモンモード入力電圧を提供し、しかも設計の複雑さや経費を最小限に抑えられるという利点があります。しかし、依然として + 5V 電源のすべての変動が変換結果に現れます。LM4132-4.1、4.1V シリーズ・リファレンスは、アプリケーション内でリファレンス電圧として使用されます。ADC141S626、DAC081S101、LM4132-4.1 はすべて、同じ + 5V 電圧源から電力を供給されます。

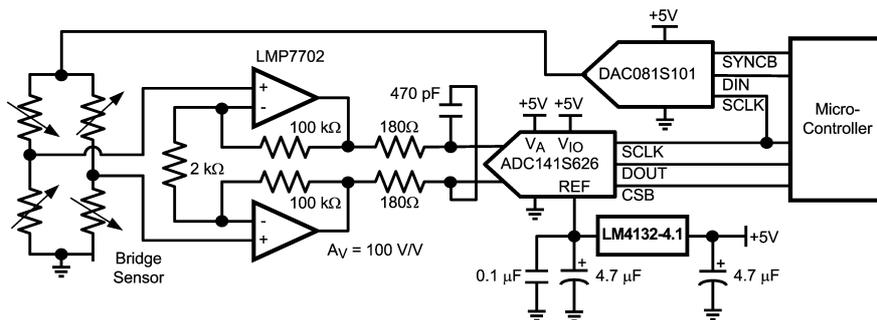


FIGURE 13. Interfacing the ADC141S626 to a Bridge Sensor

アプリケーション情報 (つづき)

6.3 電流センサ・アプリケーション

Figure 14 の例では、電流トランスデューサを ADC141S626 に接続しています。電流トランスデューサは、入力電流を、ADC が変換する電圧に変換します。電流トランスデューサの出力電圧はシングルエンドで、2.5V の共通モード電圧を中心電圧とするので、ADC141S626 は、トランスデューサの出力が非反転入力を駆動し、トランスデューサの共通モード出力電圧が反転入力を

駆動するように構成されています。トランスデューサの出力は、共通モード電圧 2.5V を中心に  $\pm 2V$  の範囲です。その結果、2.0V のシリーズ・リファレンス電圧が ADC141S626 に接続されます。それによってアプリケーションでは ADC141S626 のすべてのコードを利用できます。ADC141S626 のこの構成を差動 ADC のシングルエンド・アプリケーションと言います。アプリケーション内のすべての要素は同じ +5V 電源から電源を供給されるため、回路の複雑さとコストが最小限に抑えられます。

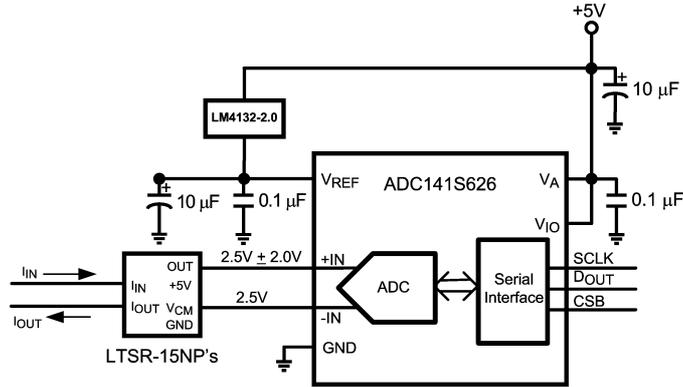
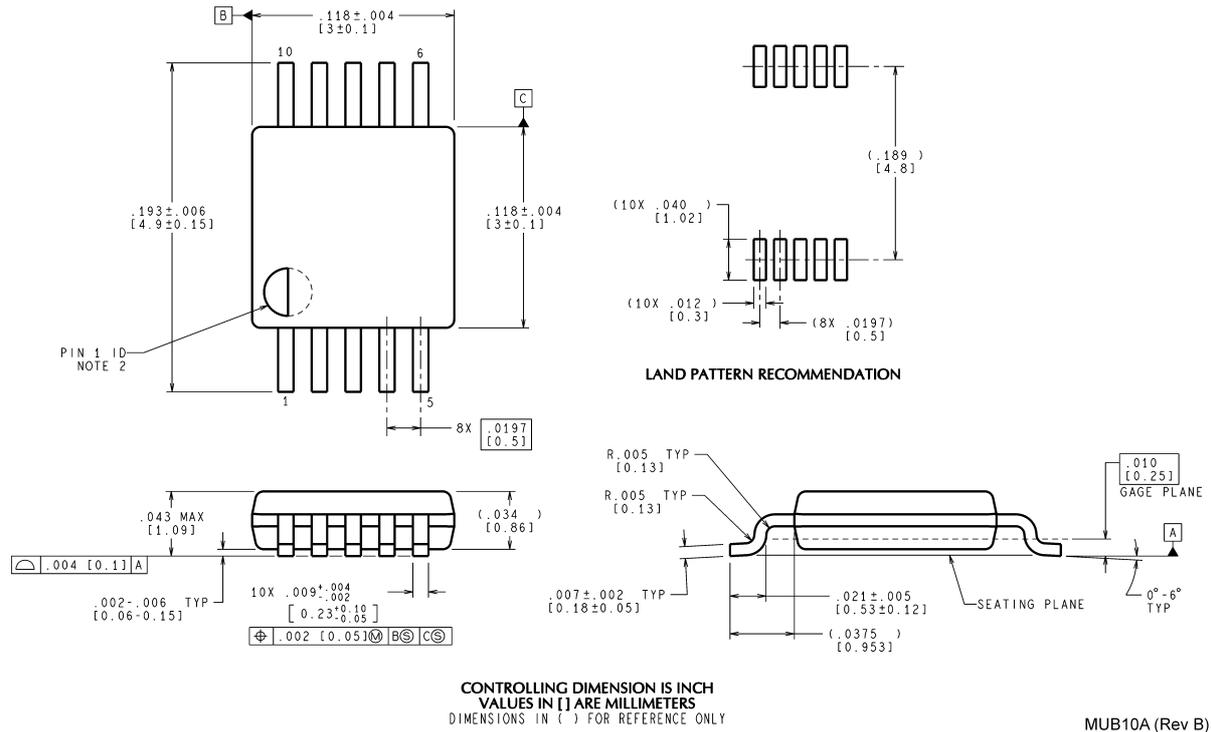


FIGURE 14. Interfacing the ADC141S626 to a Current Transducer

外形寸法図 特記のない限り inches (millimeters)



**10-Lead MSOP**  
**Order Number ADC141S626CIMM**  
**NS Package Number MUB10A**

このドキュメントの内容はナショナル セミコンダクター社 (以下ナショナル) 製品の関連情報として提供されます。ナショナルは、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナルがナショナルの製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナルは製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナルの部品を使用した製品および製品適用の責任は購入者にあります。ナショナルの製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナルとの取引条件で規定される場合を除き、ナショナルは一切の義務を負わないものとし、また、ナショナルの製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

**生命維持装置への使用について**

ナショナルの製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。ここで、

生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター社の商標または登録商標です。一部のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation  
 製品の最新情報については [www.national.com](http://www.national.com) をご覧ください。

**ナショナル セミコンダクター ジャパン株式会社**

本社 / 〒 135-0042 東京都江東区木場 2-17-16      TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

**[www.national.com/jpn/](http://www.national.com/jpn/)**

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上