

CD74HC4051-Q1 車載用アナログ マルチプレクサ / デマルチプレクサ

1 特長

- 車載アプリケーション認定済み
- 広いアナログ入力電圧範囲: 最大 $\pm 5V$
- 低い ON 抵抗
 - 70Ω ($V_{CC} - V_{EE} = 4.5V$ での標準値)
 - 40Ω ($V_{CC} - V_{EE} = 9V$ での標準値)
- スイッチ間の低いクロストーク
- 高速なスイッチングおよび伝搬速度
- ブレイク ビフォー メイクのスイッチング動作
- 動作制御電圧: $2V \sim 6V$
- スイッチ電圧: $0V \sim 10V$
- 高いノイズ耐性、 $N_{IL} = V_{CC}$ の 30%、 $N_{IH} = V_{CC}$ の 30% ($V_{CC} = 5V$ の場合)

2 アプリケーション

- デジタル ラジオ
- 信号ゲーティング
- ファクトリ オートメーション
- テレビ
- 電化製品
- プログラマブル ロジック回路
- センサ

3 概要

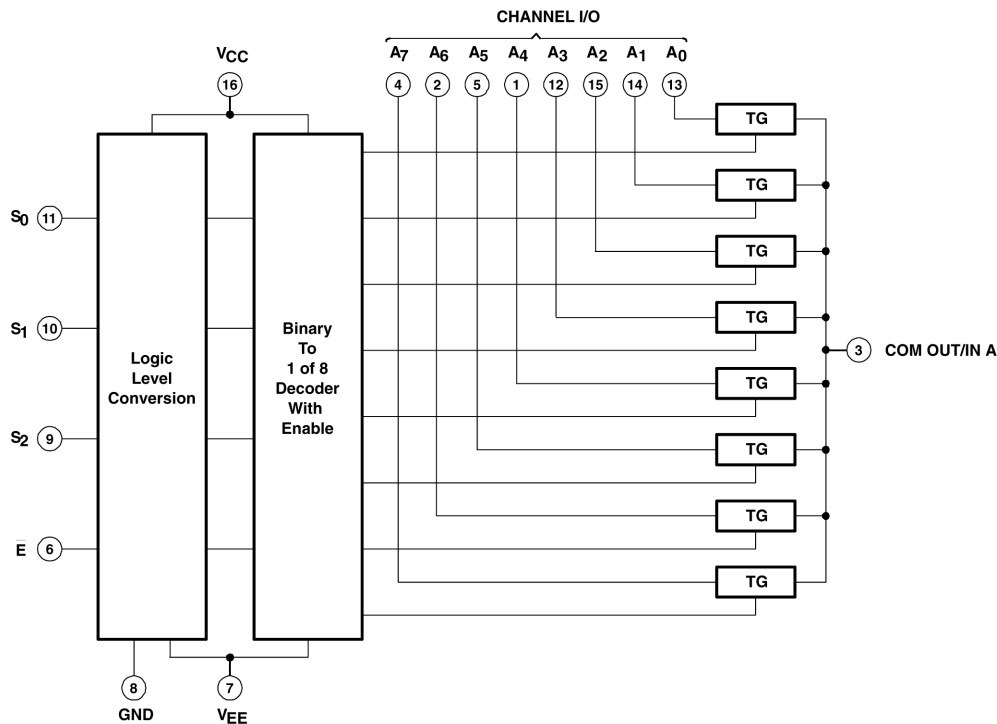
このデバイスは、シリコン ゲート CMOS テクノロジーを使って、標準 CMOS IC の低い消費電力で LSTTL と同様の動作速度を実現したデジタル制御アナログ スイッチです。

これらのアナログ マルチプレクサおよびデマルチプレクサは、電源電圧範囲にわたって変化する可能性があるアナログ電圧を制御します (例: V_{CC} から V_{EE} まで)。これらの双方向スイッチを使うと、任意のアナログ入力を出力として使用でき、その逆も行えます。スイッチはオン抵抗が低く、オフ時のリーク電流が小さい特長があります。また、本デバイスは、High のときにすべてのスイッチをオフ状態に無効化するイネーブル制御 ($\bar{E}$) を備えています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
CD74HC4051-Q1	PW (TSSOP, 16)	5mm × 6.4mm
	D (SOIC, 16)	9.9mm × 3.9mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



論理図 (正論理)



Table of Contents

1 特長	1	6 Parameter Measurement Information	7
2 アプリケーション	1	7 Detailed Description	9
3 概要	1	7.1 Functional Block Diagram.....	9
4 Pin Configuration and Functions	2	7.2 Device Functional Modes.....	9
5 Specifications	3	8 Device and Documentation Support	10
5.1 Absolute Maximum Ratings.....	3	8.1 ドキュメントの更新通知を受け取る方法.....	10
5.2 Recommended Operating Conditions.....	3	8.2 サポート・リソース.....	10
5.3 Recommended Operating Area as a Function of Supply Voltages.....	4	8.3 Trademarks.....	10
5.4 Electrical Characteristics.....	4	8.4 静電気放電に関する注意事項.....	10
5.5 Switching Characteristics.....	5	8.5 用語集.....	10
5.6 Operating Characteristics.....	5	9 Revision History	10
5.7 Analog Channel Characteristics.....	5	10 Mechanical, Packaging, and Orderable Information	11
5.8 Typical Characteristics.....	6		

4 Pin Configuration and Functions

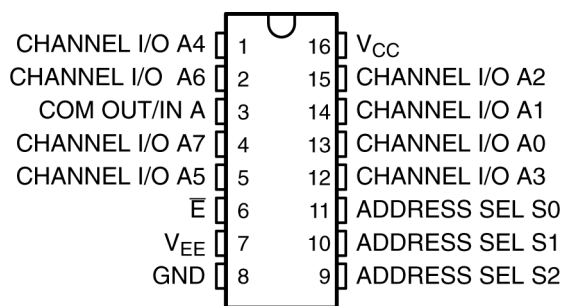


図 4-1. PW, D Package, 16-Pin TSSOP, SOIC (Top View)

表 4-1. Function Table

INPUTS				ON CHANNEL(S)
E	S ₂	S ₁	S ₀	
L	L	L	L	A0
L	L	L	H	A1
L	L	H	L	A2
L	L	H	H	A3
L	H	L	L	A4
L	H	L	H	A5
L	H	H	L	A6
L	H	H	H	A7
H	X	X	X	None

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

			MIN	MAX	UNIT
$V_{CC} - V_{EE}$ (see ⁽²⁾)	Supply voltage range		-0.5	10.5	V
V_{CC}	Supply voltage range		-0.5	7	V
V_{EE}	Supply voltage range		+0.5	-7	V
I_{IK} ($V_I < -0.5V$ or $V_I > V_{CC} + 0.5V$)	Input clamp current			±20	mA
I_{OK} ($V_O < V_{EE} - 0.5V$ or $V_O > V_{CC} + 0.5V$)	Output clamp current			±20	mA
($V_I > V_{EE} - 0.5V$ or $V_I < V_{CC} + 0.5V$)	Switch current			±25	mA
	Continuous current through V_{CC} or GND			±50	mA
I_{EE}	V_{EE} current			-20	mA
$R_{\theta JA}$	Package thermal impedance	D package		91.6	°C/W
		PW package		116.5	°C/W
T_J	Maximum junction temperature			150	°C
Lead temperature (during soldering):		At distance 1/16 ± 1/32 inch (1,59 ± 0,79 mm) from case for 10 s max		300	°C
T_{stg}	Storage temperature range		-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages referenced to GND unless otherwise specified.

5.2 Recommended Operating Conditions

(see ⁽¹⁾)

			MIN	MAX	UNIT
V_{CC}	Supply voltage (see ⁽²⁾)		2	6	V
	Supply voltage, $V_{CC} - V_{EE}$ (see § 5-1)		2	10	V
V_{EE}	Supply voltage, (see ⁽²⁾ and § 5-2)		0	-6	V
V_{IH}	High-level input voltage	$V_{CC} = 2V$	1.5		V
		$V_{CC} = 4.5V$	3.15		
		$V_{CC} = 6V$	4.2		
V_{IL}	Low-level input voltage	$V_{CC} = 2V$		0.5	V
		$V_{CC} = 4.5V$		1.35	
		$V_{CC} = 6V$		1.8	
V_I	Input control voltage		0	V_{CC}	V
V_{IS}	Analog switch I/O voltage		V_{EE}	V_{CC}	V
t_i	Input transition (rise and fall) time	$V_{CC} = 2V$	0	1000	ns
		$V_{CC} = 4.5V$	0	500	
		$V_{CC} = 6V$	0	400	
T_A	Operating free-air temperature		-40	125	°C

- (1) All unused inputs of the device must be held at V_{CC} or GND for proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

- (2) In certain applications, the external load resistor current may include both V_{CC} and signal-line components. To avoid drawing V_{CC} current when switch current flows into the transmission gate inputs, the voltage drop across the bidirectional switch must not exceed 0.6V (calculated from r_{on} values shown in electrical characteristics table). No V_{CC} current flows through R_L if the switch current flows into the COM OUT/IN A terminal.

5.3 Recommended Operating Area as a Function of Supply Voltages

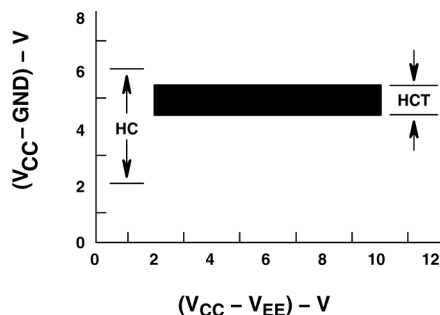


図 5-1. $(V_{CC} - V_{EE}) - V$

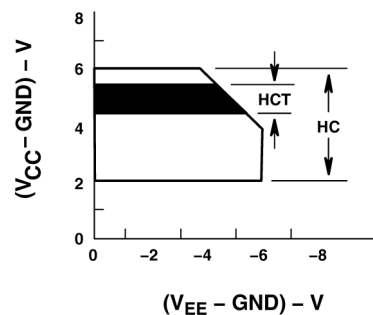


図 5-2. $(V_{EE} - GND) - V$

5.4 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

For recommended operating free air temperature range (unless otherwise noted)										
PARAMETER	TEST CONDITIONS		V _{EE}	V _{CC}	T _A = 25 °C			T _A = -40 °C TO 125°C		UNIT
					MIN	TYP	MAX	MIN	MAX	
r _{on}	I _O = 1 mA, V _I = V _{IH} or V _{IL} , See FIG 5-3	V _{IS} = V _{CC} or V _{EE}	0V	4.5V		70	160		240	Ω
			0V	6V		60	140		210	
			-4.5 V	4.5V		40	120		180	
		V _{IS} = V _{CC} to V _{EE}	0V	4.5V		90	180		270	
			0V	6V		80	160		240	
			-4.5 V	4.5V		45	130		195	
Δr _{on}	Between any two channels	0V	4.5V		10				Ω	
		0V	6V		8.5					
		-4.5 V	4.5V		5					
I _{IZ}	For switch OFF: When V _{IS} = V _{CC} , V _{OS} = V _{EE} ; When V _{IS} = V _{EE} , V _{OS} = V _{CC} For switch ON: All applicable combinations of V _{IS} and V _{OS} voltage levels, V _I = V _{IH} or V _{IL}	0V	6V			±0.2		±2	μA	
		-5V	5V			±0.4		±4		
I _{IL}	V _I = V _{CC} or GND		0V	6V			±0.1		±1	μA
I _{CC}	I _O = 0, V _I = V _{CC} or GND	When V _{IS} = V _{EE} , V _{OS} = V _{CC}	0V	6V			12		160	μA
		When V _{IS} = V _{CC} , V _{OS} = V _{EE}	-5V	5V			32		320	

5.5 Switching Characteristics

over recommended operating free-air temperature range (unless otherwise noted) (see [Figure 6-5](#))

PARAMETER	FROM (INPUT)	TO (OUTPUT)	LOAD CAPACITANCE	V _{EE}	V _{CC}	T _A = 25°C			T _A = -40 °C TO 125°C		UNI T
						MIN	TYP	MAX	MIN	MA X	
t _{pd}	IN	OUT	C _L = 15pF		5V			4			ns
			C _L = 50pF	0V	2V			60		90	ns
					4.5V			12		18	
					6V			10		15	
				-4.5 V	4.5V			8		12	
t _{en}	ADDRESS SEL or $\bar{E}$	OUT	C _L = 15pF		5V			19			ns
			C _L = 50pF	0V	2V			325		490	
					4.5V			45		68	
					6V			38		57	
				-4.5 V	4.5V			32		48	
t _{dis}	ADDRESS SEL or $\bar{E}$	OUT	C _L = 15pF		5V			27			ns
			C _L = 50pF	0V	2V			250		400	
					4.5V			50		68	
					6V			44		57	
				-4.5 V	4.5V			44		55	
C _I	Control		C _L = 50pF					10		10	pF

5.6 Operating Characteristics

V_{CC} = 5V, T_A = 25°C, Input t_r, t_f = 6 ns

PARAMETER		TYP	UNIT
C _{pd}	Power dissipation capacitance (see ⁽¹⁾)	50	pF

(1) C_{pd} is used to determine the dynamic power consumption, per package.

- $P_D = C_{pd} V_{CC}^2 f_I + \Sigma (C_L + C_S) V_{CC}^2 f_O$
- f_O = output frequency
- f_I = input frequency
- C_L = output load capacitance
- C_S = switch capacitance
- V_{CC} = supply voltage

5.7 Analog Channel Characteristics

T_A = 25°C

PARAMETER		TEST CONDITIONS	V _{EE}	V _{CC}	MIN	TYP	MA X	UNI T
C _I	Switch input capacitance					5		pF
C _{COM}	Common output capacitance					25		pF
f _{max}	Minimum switch frequency response at -3 dB	See Figure 6-1 and Figure 5-4 , and ⁽¹⁾ and ⁽²⁾	-2.25V	2.25V		145		MHz
			-4.5V	4.5V		180		

5.7 Analog Channel Characteristics (続き)

$T_A = 25^\circ\text{C}$

PARAMETER		TEST CONDITIONS	V_{EE}	V_{CC}	MIN	TYP	MAX	UNIT
THD	Sine-wave distortion	See Figure 6-2	-2.25V	2.25V	0.03	5		%
			-4.5V	4.5V	0.01	8		
O_{ISO}	Switch OFF signal feed through	See Figure 6-4 and Figure 5-5 , and (2) and (3)	-2.25V	2.25V	-73			dB
			-4.5V	4.5V	-75			

- (1) Adjust input voltage to obtain 0 dBm at V_{OS} for $f_{IN} = 1\text{MHz}$.
- (2) V_{IS} is centered at $(V_{CC} - V_{EE})/2$.
- (3) Adjust input for 0 dBm.

5.8 Typical Characteristics

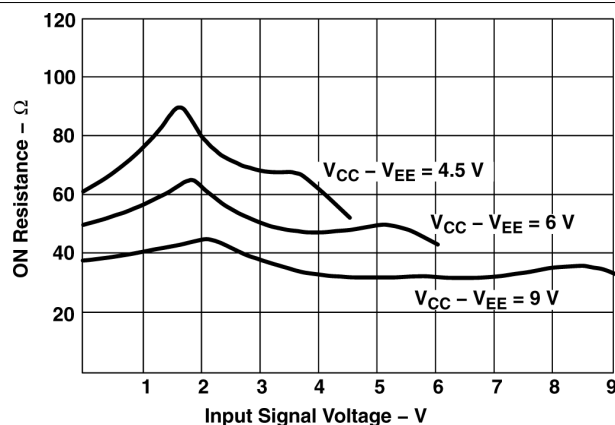


Figure 5-3. Typical on Resistance vs Input Signal Voltage

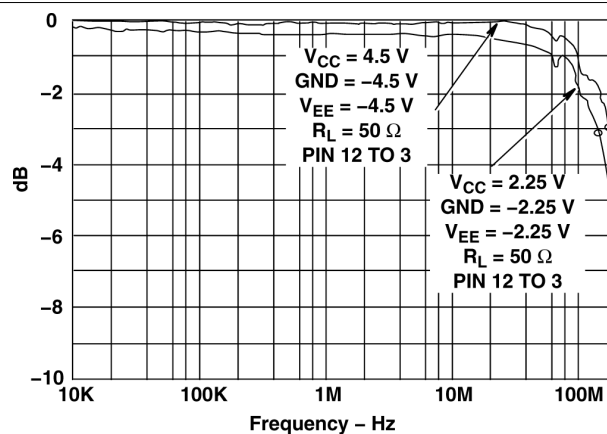


Figure 5-4. Channel on Bandwidth

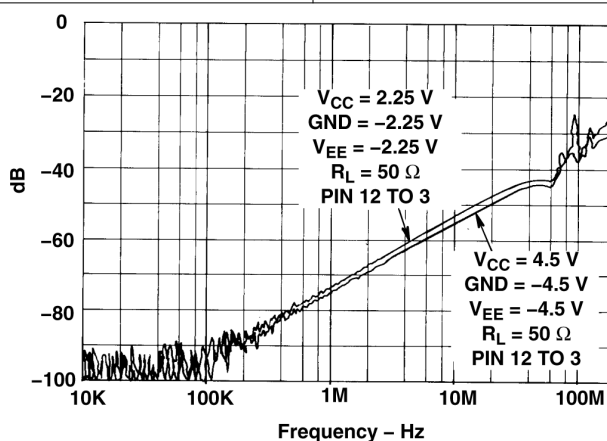


Figure 5-5. Channel off Feed-through

6 Parameter Measurement Information

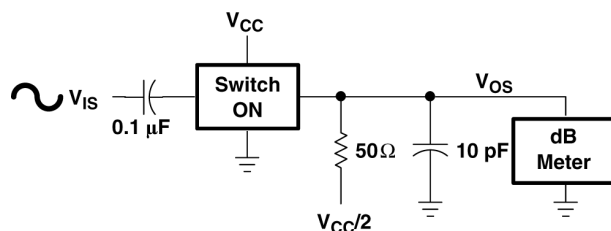


図 6-1. Frequency-Response Test Circuit

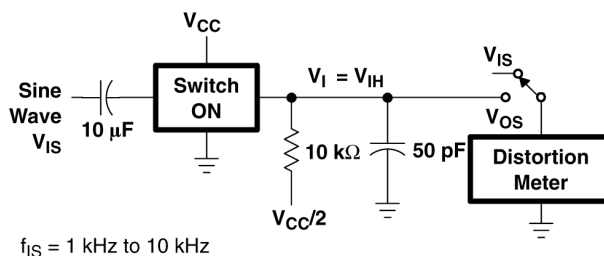


図 6-2. Sine-Wave Distortion Test Circuit

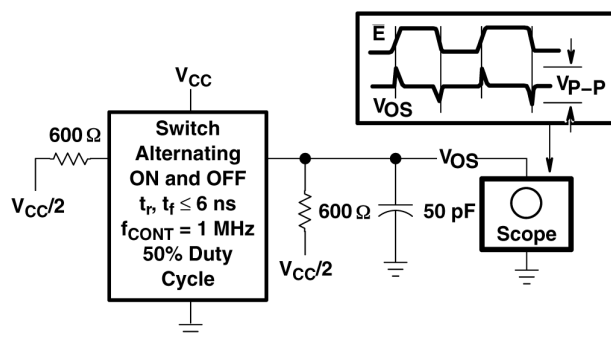


図 6-3. Control to Switch Feed-through Noise Test Circuit

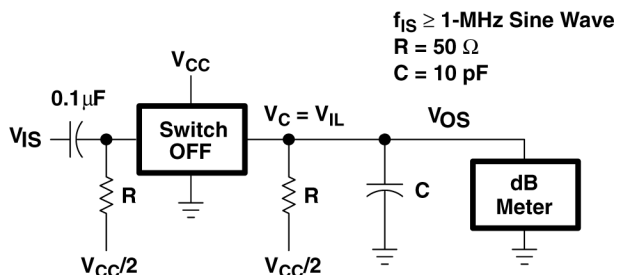
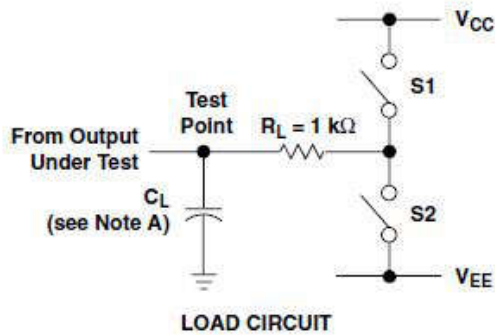
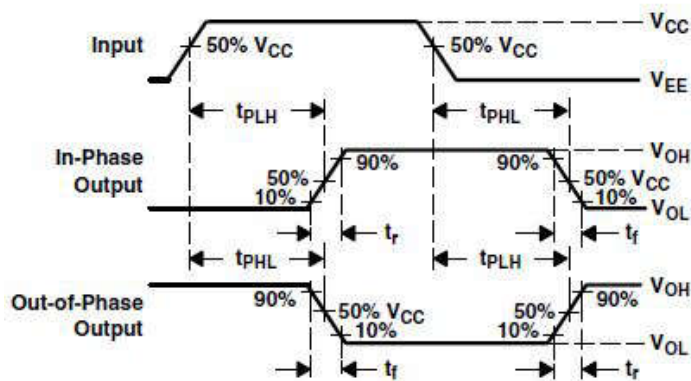


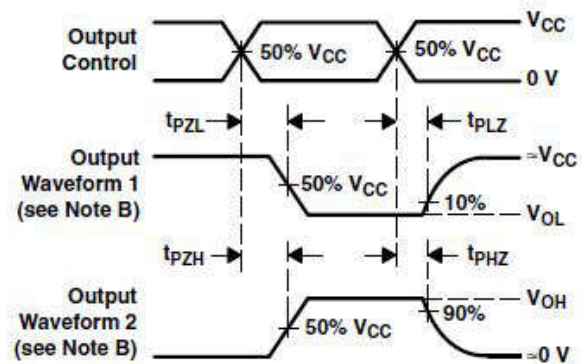
図 6-4. Switch off Signal Feed-through Test Circuit



PARAMETER	S1	S2
t_{en}	t_{pZH}	Open
	t_{pZL}	Closed
t_{dis}	t_{pHZ}	Open
	t_{pLZ}	Closed
t_{pd}	Open	Open



**VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES**



**VOLTAGE WAVEFORMS
OUTPUT ENABLE AND DISABLE TIMES**

- A. C_L includes probe and test-fixture capacitance.
- B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
- C. Phase relationships between waveforms were chosen arbitrarily. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1\text{MHz}$, $Z_O = 50\Omega$, $t_r = 6\text{ns}$, $t_f = 6\text{ns}$.
- D. For clock inputs, f_{max} is measured with the input duty cycle at 50%.
- E. The outputs are measured one at a time with one input transition per measurement.
- F. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
- G. t_{PZL} and t_{PZH} are the same as t_{en} .
- H. t_{PLH} and t_{PHL} are the same as t_{pd} .

✎ 6-5. Load Circuit and Voltage Waveforms

7 Detailed Description

7.1 Functional Block Diagram

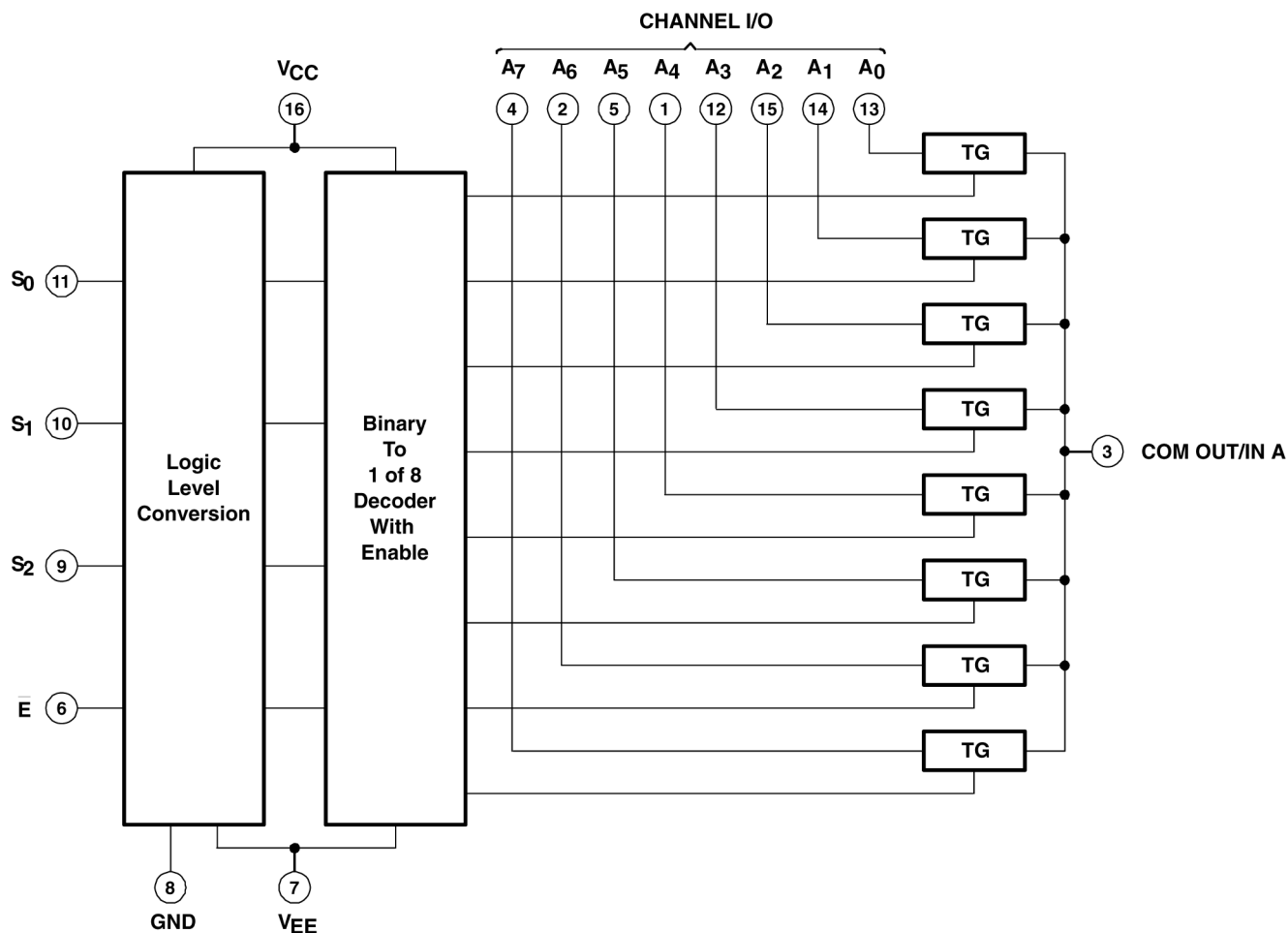


図 7-1. Logic Diagram (Positive Logic)

7.2 Device Functional Modes

表 7-1. Function Table

INPUTS				ON CHANNEL(S)
E	S ₂	S ₁	S ₀	
L	L	L	L	A0
L	L	L	H	A1
L	L	H	L	A2
L	L	H	H	A3
L	H	L	L	A4
L	H	L	H	A5
L	H	H	L	A6
L	H	H	H	A7
H	X	X	X	None

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (April 2008) to Revision B (April 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
パッケージ図を正確に反映するように M (SOIC, 16) を D (SOIC, 16) に変更.....	1
Changed the package thermal impedance for the D package from: 73°C/W to: 91.6°C/W	3
Changed the package thermal impedance for the PW package from: 108°C/W to: 116.5°C/W	3
Changed I _{CC} MAX from: 8μA to: 12μA when V _{IS} = V _{EE} , V _{OS} = V _{CC} at a TA = 25°C	4
Changed I _{CC} MAX from: 16μA to: 32μA when V _{IS} = V _{CC} , V _{OS} = V _{EE} at a TA = 25°C	4
Changed t _{en} MAX from: 225ns to: 325ns when C _L = 50pF at a TA = 25°C and from: 340ns to: 490ns when C _L = 50pF at a TA = -40°C to 125°C.....	5
Changed t _{dis} TYP from: 19ns to: 27ns when C _L = 15pF at a TA = 25°C.....	5
Changed t _{dis} MAX from: 225ns to: 250ns when C _L = 50pF, V _{EE} = 0V, and V _{CC} = 2V at a TA = 25°C, and from: 340ns to: 400ns at a TA = -40°C to 125°C.....	5
Changed t _{dis} MAX from: 45ns to: 50ns when C _L = 50pF, V _{EE} = 0V, and V _{CC} = 4.5V at a TA = 25°C.....	5
Changed t _{dis} MAX from: 38ns to: 44ns when C _L = 50pF, V _{EE} = 0V, and V _{CC} = 6V at a TA = 25°C.....	5
Changed t _{dis} MAX from: 32ns to: 44ns when C _L = 50pF, V _{EE} = -4.5V, and V _{CC} = 4.5V at a TA = 25°C, and from: 48ns to: 55ns at a TA = -40°C to 125°C.....	5
Removed the TBD $\bar{E}$ or ADDRESS SEL to switch feed-through noise parameter.....	5

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CD74HC4051QM96G4Q1	LIFEBUY	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4051Q	
CD74HC4051QM96Q1	ACTIVE	SOIC	D	16	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4051Q	Samples
CD74HC4051QPWRG4Q1	LIFEBUY	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HJ4051Q	
CD74HC4051QPWRQ1	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HJ4051Q	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD74HC4051-Q1 :

- Catalog : [CD74HC4051](#)
- Enhanced Product : [CD74HC4051-EP](#)
- Military : [CD54HC4051](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4051QPWRG4Q1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HC4051QPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4051QPWRG4Q1	TSSOP	PW	16	2000	356.0	356.0	35.0
CD74HC4051QPWRQ1	TSSOP	PW	16	2000	367.0	367.0	35.0

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.



4220204/A 02/2017

NOTES:

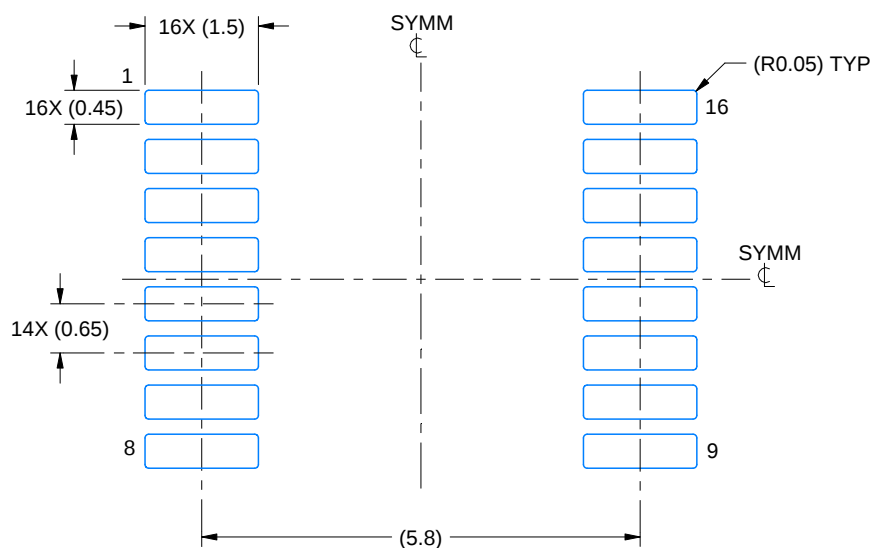
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

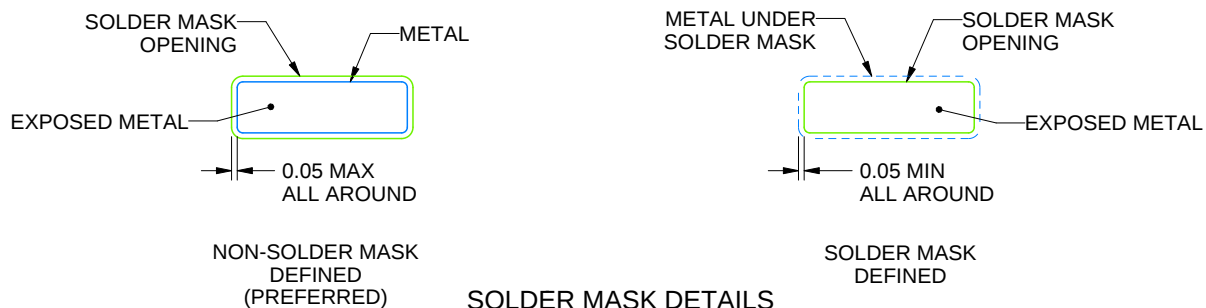
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated