



CSD19538Q2 100V、NチャネルNexFET™ パワーMOSFET

1 特長

- 非常に低い Q_g および Q_{gd}
- 低い熱抵抗
- アバランシェ定格
- 鉛不使用
- RoHS準拠
- ハロゲン不使用
- SON 2mm×2mm プラスチック・パッケージ

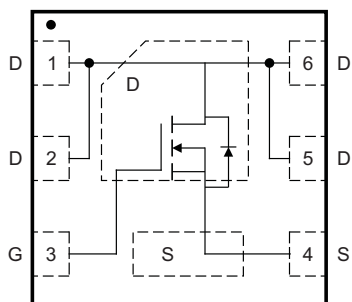
2 アプリケーション

- PoE (Power Over Ethernet)
- PSE (Power Sourcing Equipment)
- モータ制御

3 概要

この100V、49mΩ、SON 2mm×2mm NexFET™ パワーMOSFETは、電力変換アプリケーションにおいて損失を最小限に抑えるよう設計されています。

上面図



P0108-01

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン・ソース間電圧	100	V
Q_g	総ゲート電荷量(10V)	4.3	nC
Q_{gd}	ゲート・ドレイン間ゲート電荷量	0.8	nC
$R_{DS(on)}$	ドレイン・ソース間オン抵抗	$V_{GS} = 6V$	58 mΩ
		$V_{GS} = 10V$	49 mΩ
$V_{GS(th)}$	スレッショルド電圧	3.2	V

製品情報⁽¹⁾

デバイス	メディア	数量	パッケージ	出荷
CSD19538Q2	7インチ・リール	3000	SON 2.00mm×2.00mm プラスチック・パッケージ	テー プ・ア ンド・ リール
CSD19538Q2T	7インチ・リール	250		

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

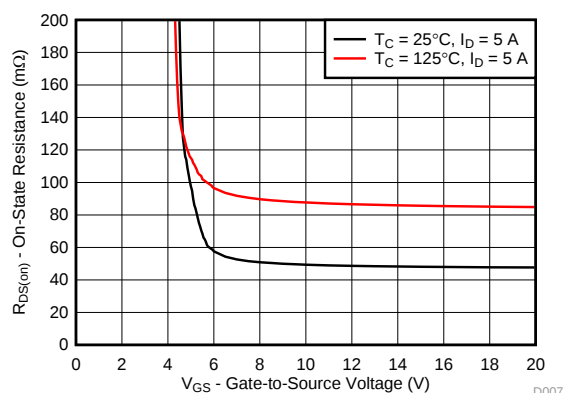
絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン・ソース間電圧	100	V
V_{GS}	ゲート・ソース間電圧	±20	V
I_D	連続ドレイン電流(パッケージ制限)	14.4	A
	連続ドレイン電流(シリコン制限)、 $T_C = 25^\circ\text{C}$	13.1	
	連続ドレイン電流 ⁽¹⁾	4.6	
I_{DM}	パルス・ドレイン電流 ⁽²⁾	34.4	A
P_D	消費電力 ⁽¹⁾	2.5	W
	消費電力、 $T_C = 25^\circ\text{C}$	20.2	
T_J , T_{stg}	動作時の接合部温度、 保管温度	−55~150	°C
E_{AS}	アバランシェ・エネルギー、単一パルス $I_D = 12.6A$, $L = 0.1mH$, $R_G = 25\Omega$	8	mJ

(1) 厚さ0.06inのFR4 PCB上に構築された面積1in²、2オンスのCuパッド上で、標準値 $R_{\theta JA} = 50^\circ\text{C/W}$ です。

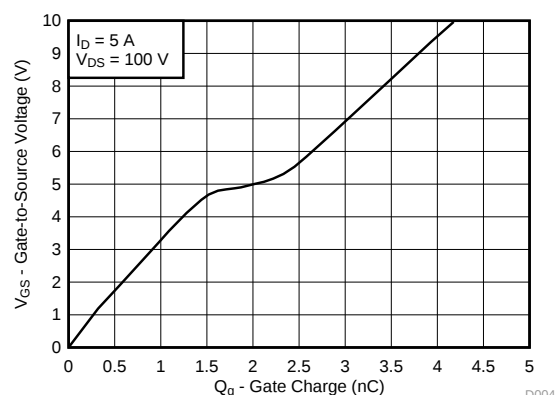
(2) 最大 $R_{\theta JC} = 6.2^\circ\text{C/W}$ 、パルス期間 ≤ 100μs、デューティ・サイクル ≤ 1%。

$R_{DS(on)}$ と V_{GS} との関係



D007

ゲート電荷



D004



目次

1	特長	1	6	デバイスおよびドキュメントのサポート	7
2	アプリケーション	1	6.1	ドキュメントの更新通知を受け取る方法	7
3	概要	1	6.2	コミュニティ・リソース	7
4	改訂履歴	2	6.3	商標	7
5	Specifications	3	6.4	静電気放電に関する注意事項	7
5.1	Electrical Characteristics	3	6.5	Glossary	7
5.2	Thermal Information	3	7	メカニカル、パッケージ、および注文情報	8
5.3	Typical MOSFET Characteristics	4	7.1	Q2パッケージの寸法	8
			7.2	Q2のテープ・アンド・リール情報	11

4 改訂履歴

日付	改訂内容	注
2016年7月	*	初版

5 Specifications

5.1 Electrical Characteristics

 $T_A = 25^\circ\text{C}$ (unless otherwise stated)

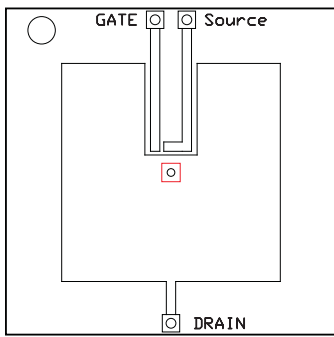
PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-source voltage	V _{GS} = 0 V, I _D = 250 μA	100			V
I _{DSS}	Drain-to-source leakage current	V _{GS} = 0 V, V _{DS} = 80 V			1	μA
I _{GSS}	Gate-to-source leakage current	V _{DS} = 0 V, V _{GS} = 20 V			100	nA
V _{GS(th)}	Gate-to-source threshold voltage	V _{DS} = V _{GS} , I _D = 250 μA	2.8	3.2	3.8	V
R _{DS(on)}	Drain-to-source on-resistance	V _{GS} = 6 V, I _D = 5 A		58	72	mΩ
		V _{GS} = 10 V, I _D = 5 A		49	59	
g _{fs}	Transconductance	V _{DS} = 10 V, I _D = 5 A		19		S
DYNAMIC CHARACTERISTICS						
C _{iss}	Input capacitance	V _{GS} = 0 V, V _{DS} = 50 V, f = 1 MHz		349	454	pF
C _{oss}	Output capacitance			69	90	pF
C _{rss}	Reverse transfer capacitance			12.6	16.4	pF
R _G	Series gate resistance			4.6	9.2	Ω
Q _g	Gate charge total (10 V)	V _{DS} = 50 V, I _D = 5 A		4.3	5.6	nC
Q _{gd}	Gate charge gate-to-drain			0.8		nC
Q _{gs}	Gate charge gate-to-source			1.6		nC
Q _{g(th)}	Gate charge at V _{th}			1.0		nC
Q _{oss}	Output charge	V _{DS} = 50 V, V _{GS} = 0 V		12.3		nC
t _{d(on)}	Turnon delay time	V _{DS} = 50 V, V _{GS} = 10 V, I _{DS} = 5 A, R _G = 0 Ω		5		ns
t _r	Rise time			3		ns
t _{d(off)}	Turnoff delay time			7		ns
t _f	Fall time			2		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage	I _{SD} = 5 A, V _{GS} = 0 V		0.85	1.0	V
Q _{rr}	Reverse recovery charge	V _{DS} = 50 V, I _F = 5 A, di/dt = 300 A/μs		94		nC
t _{rr}	Reverse recovery time			32		ns

5.2 Thermal Information

 $T_A = 25^\circ\text{C}$ (unless otherwise stated)

THERMAL METRIC		MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Junction-to-case thermal resistance ⁽¹⁾			6.2	$^\circ\text{C}/\text{W}$
$R_{\theta JA}$	Junction-to-ambient thermal resistance ⁽¹⁾⁽²⁾			65	

- $R_{\theta JC}$ is determined with the device mounted on a 1-in² (6.45-cm²), 2-oz (0.071-mm) thick Cu pad on a 1.5-in $\times$ 1.5-in (3.81-cm $\times$ 3.81-cm), 0.06-in (1.52-mm) thick FR4 PCB. $R_{\theta JC}$ is specified by design, whereas $R_{\theta JA}$ is determined by the user's board design.
- Device mounted on FR4 material with 1-in² (6.45-cm²), 2-oz (0.071-mm) thick Cu.



M0161-01

Max $R_{\theta JA} = 65^{\circ}\text{C/W}$
when mounted on 1-in²
(6.45-cm²) of 2-oz
(0.071-mm) thick Cu.

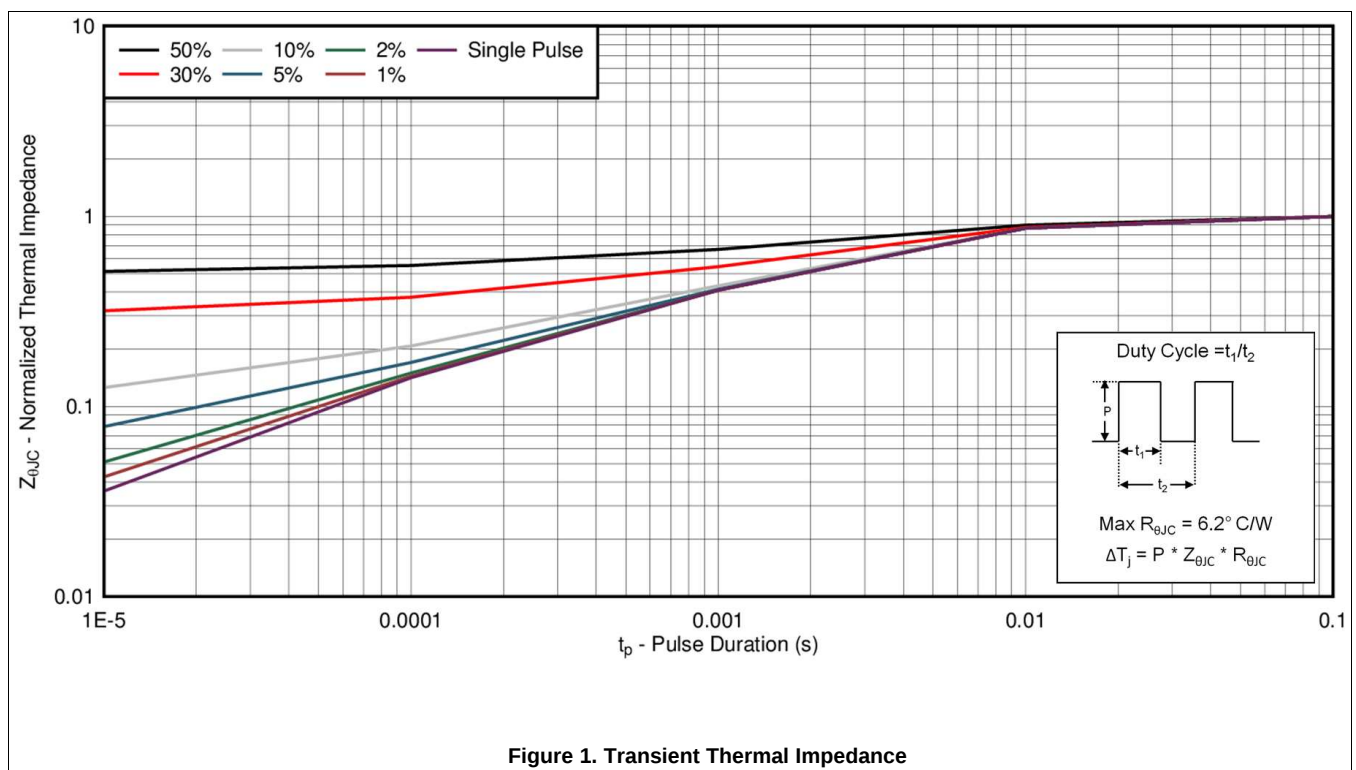


M0161-02

Max $R_{\theta JA} = 250^{\circ}\text{C/W}$
when mounted on a
minimum pad area of
2-oz (0.071-mm) thick
Cu.

5.3 Typical MOSFET Characteristics

$T_A = 25^{\circ}\text{C}$ (unless otherwise stated)



Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

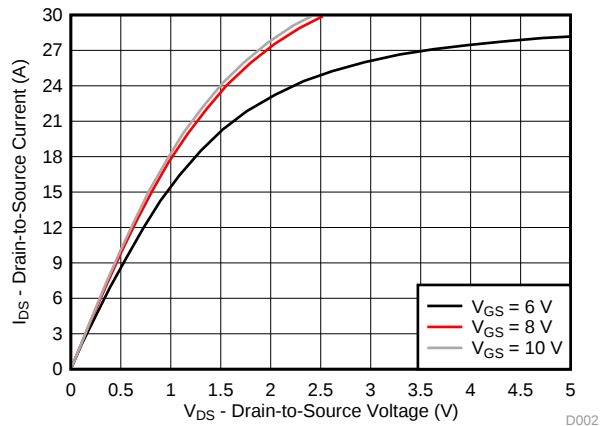


Figure 2. Saturation Characteristics

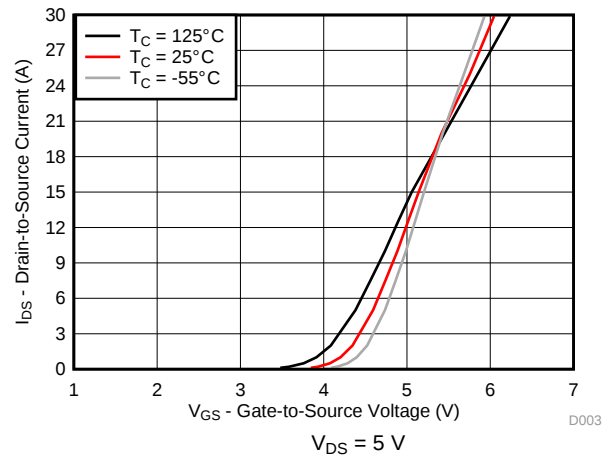


Figure 3. Transfer Characteristics

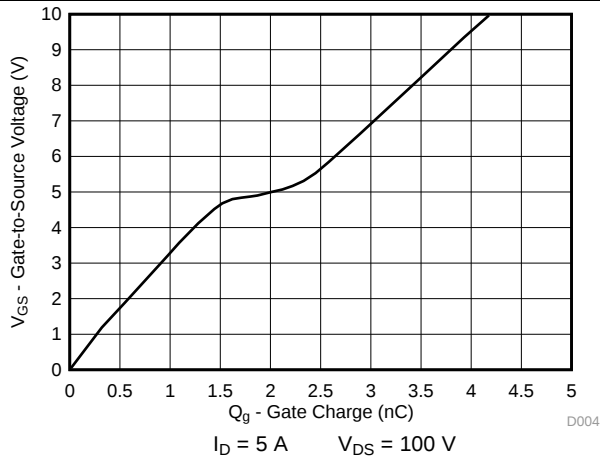


Figure 4. Gate Charge

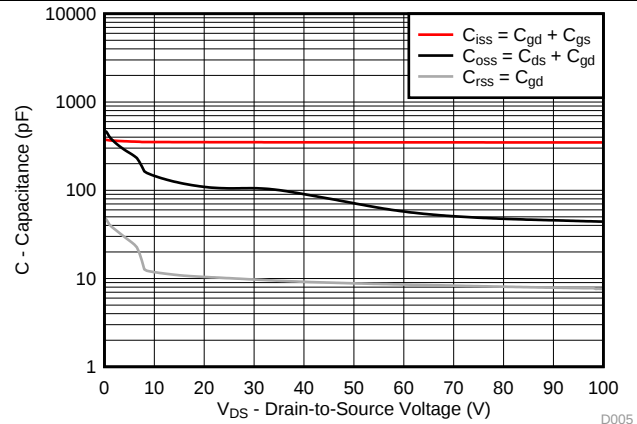


Figure 5. Capacitance

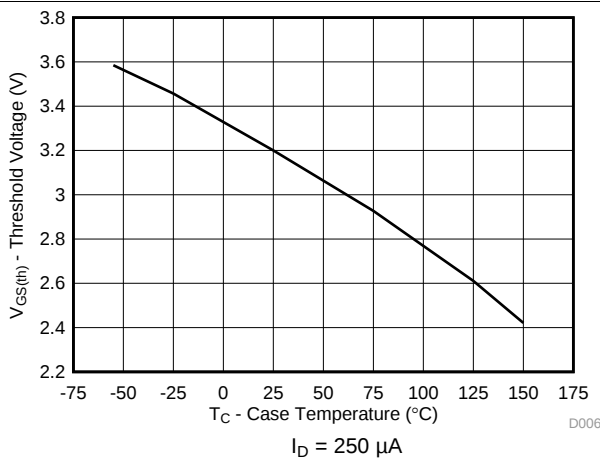


Figure 6. Threshold Voltage vs Temperature

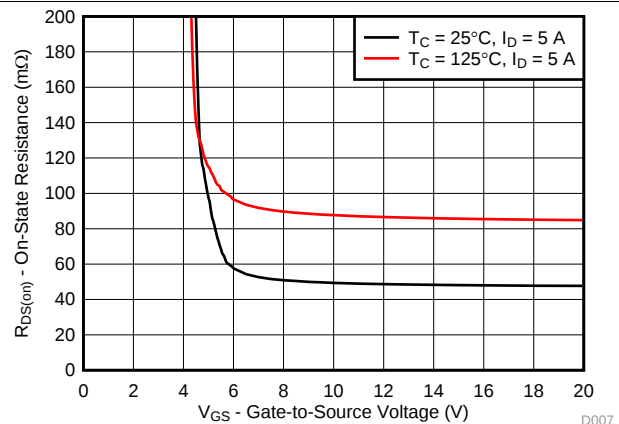


Figure 7. On-State Resistance vs Gate-to-Source Voltage

Typical MOSFET Characteristics (continued)

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

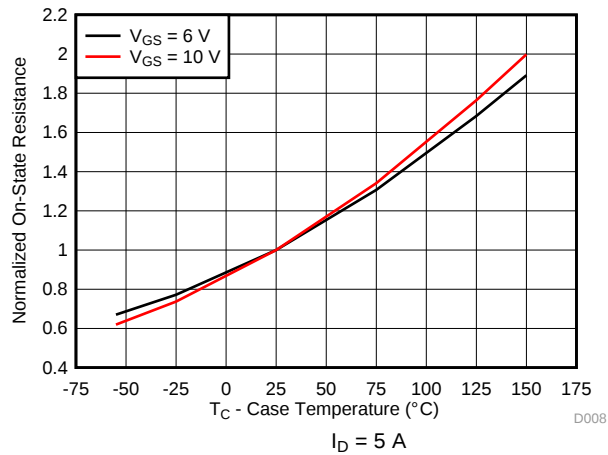


Figure 8. Normalized On-State Resistance vs Temperature

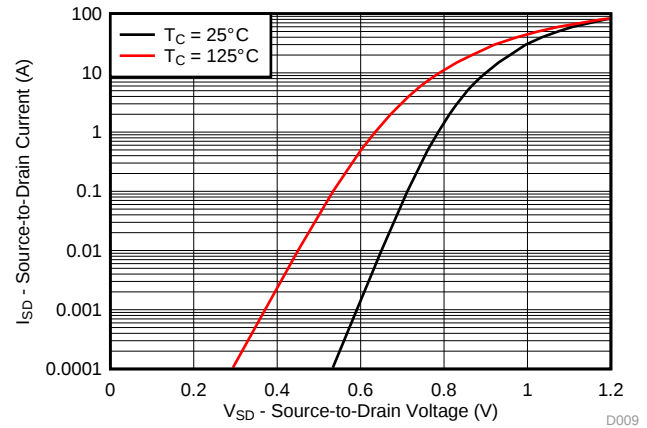


Figure 9. Typical Diode Forward Voltage

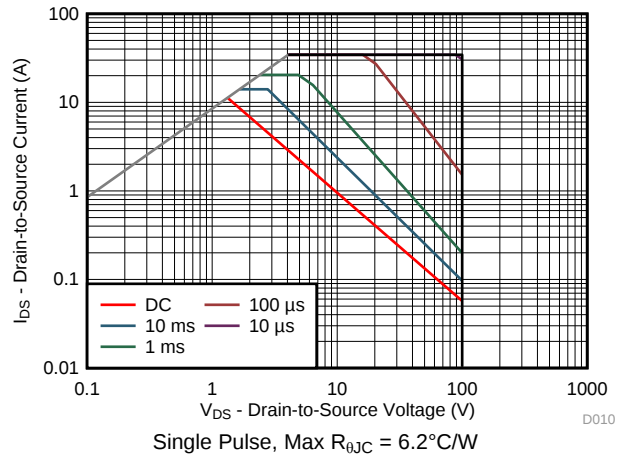


Figure 10. Maximum Safe Operating Area

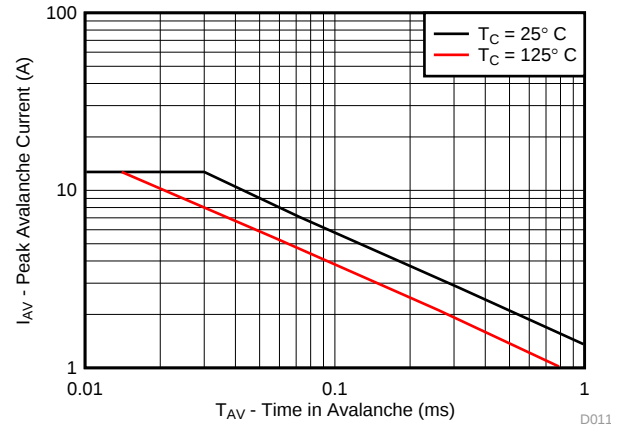


Figure 11. Single Pulse Unclamped Inductive Switching

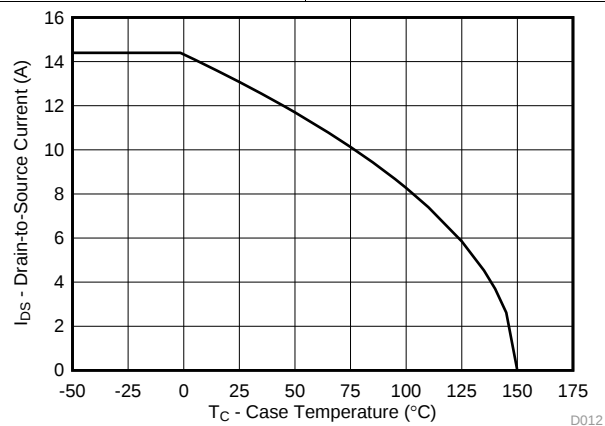


Figure 12. Maximum Drain Current vs Temperature

6 デバイスおよびドキュメントのサポート

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の隅にある「通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

TI E2E™ Online Community *TI's Engineer-to-Engineer (E2E) Community*. Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support *TI's Design Support* Quickly find helpful E2E forums along with design support tools and contact information for technical support.

6.3 商標

NexFET, E2E are trademarks of Texas Instruments.
All other trademarks are the property of their respective owners.

6.4 静電気放電に関する注意事項



これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

6.5 Glossary

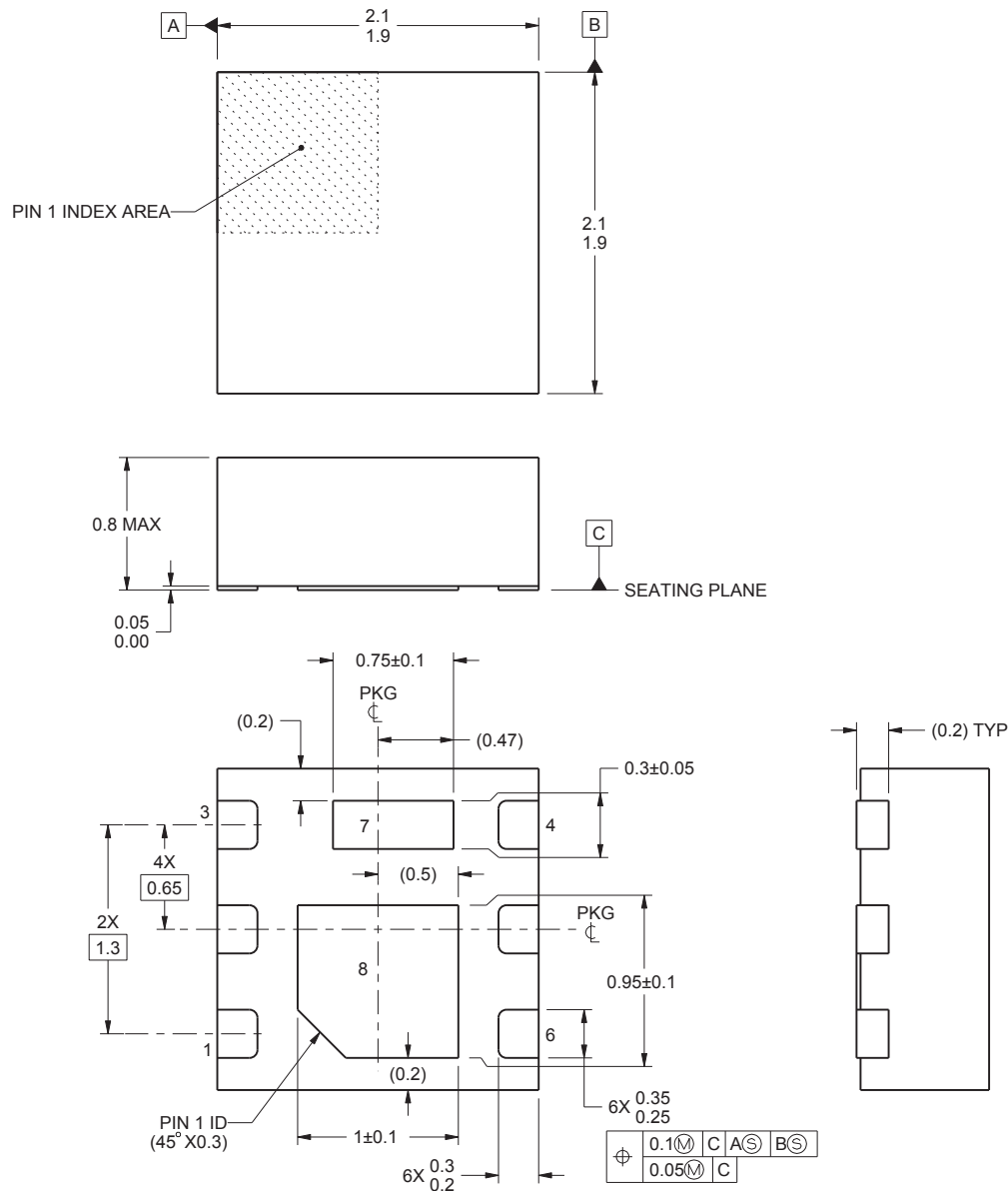
SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

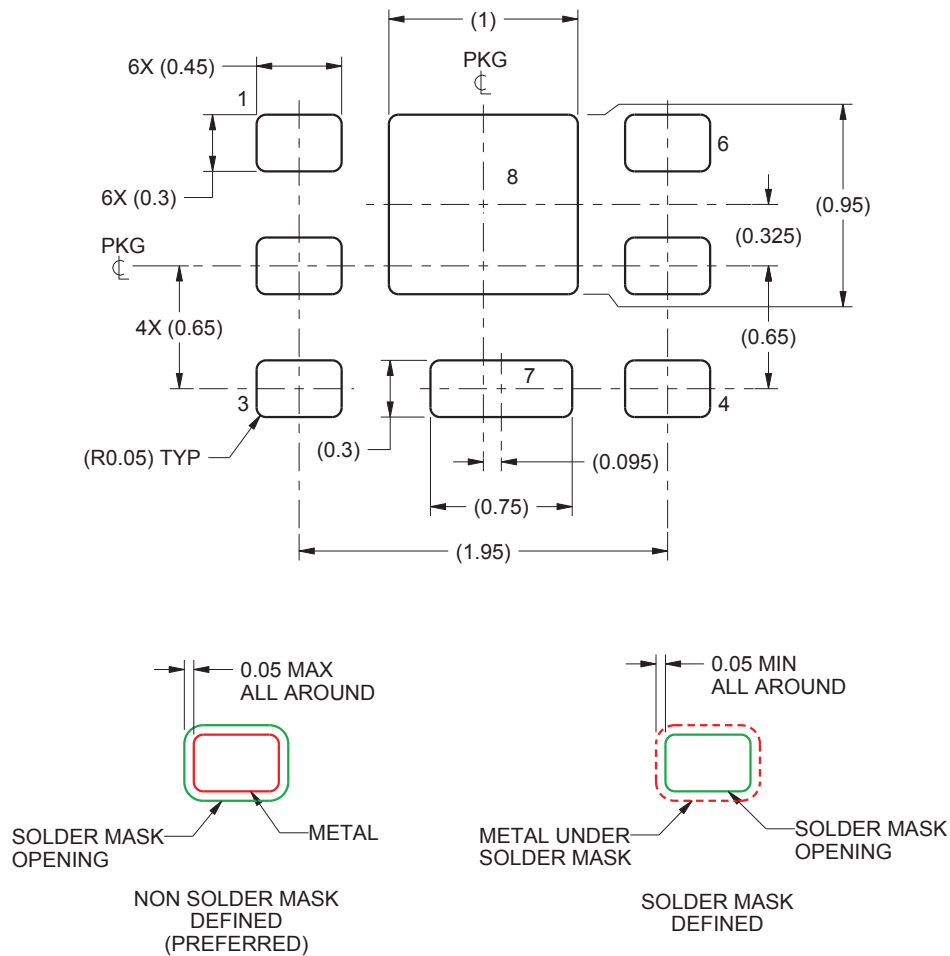
7.1 Q2パッケージの寸法



- すべての直線寸法はミリメートル(mm)単位です。括弧内のすべての寸法は、参照のみを目的としたものです。寸法と許容誤差は、ASME Y14.5M準拠です。
- この図面は、予告なく変更される可能性があります。
- 熱特性および機械的な性能を実現するため、パッケージのサーマル・パッドはプリント基板にハンダ付けする必要があります。

Q2パッケージの寸法 (continued)

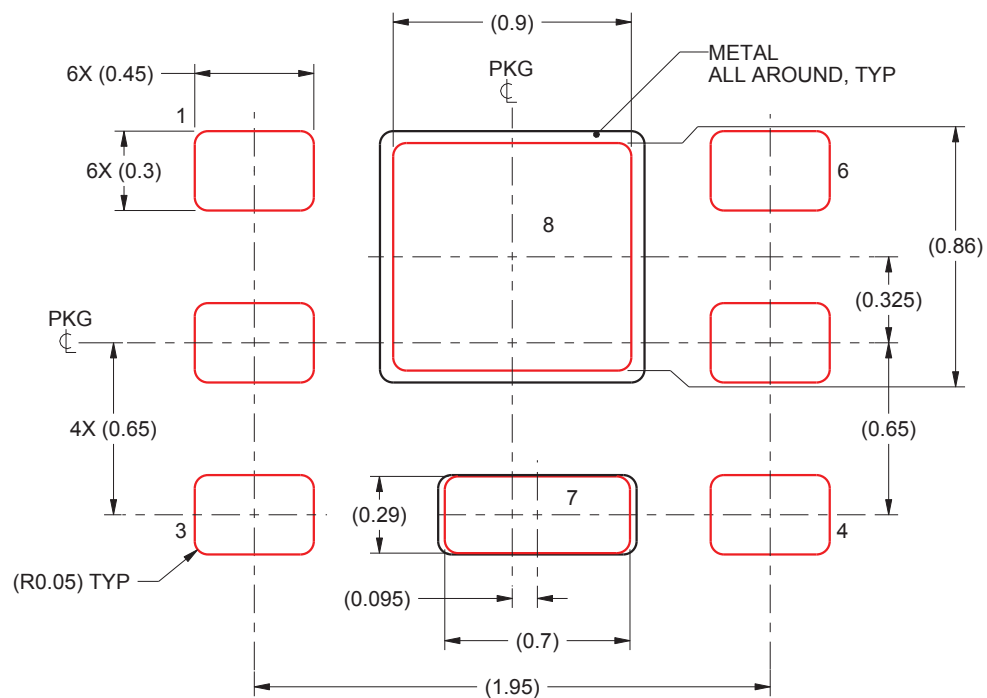
7.1.1 推奨のPCBパターン



1. PCBデザインの推奨回路レイアウトについては、アプリケーション・ノート [SLPA005『PCBレイアウト技法によるリンギングの低減』](#)を参照してください。
2. このパッケージは、基板上のサーマル・パッドにハンダ付けされるよう設計されています。詳細については、テキサス・インスツルメンツの文書番号 [SLUA271 \(SLUA271\)](#)を参照してください。

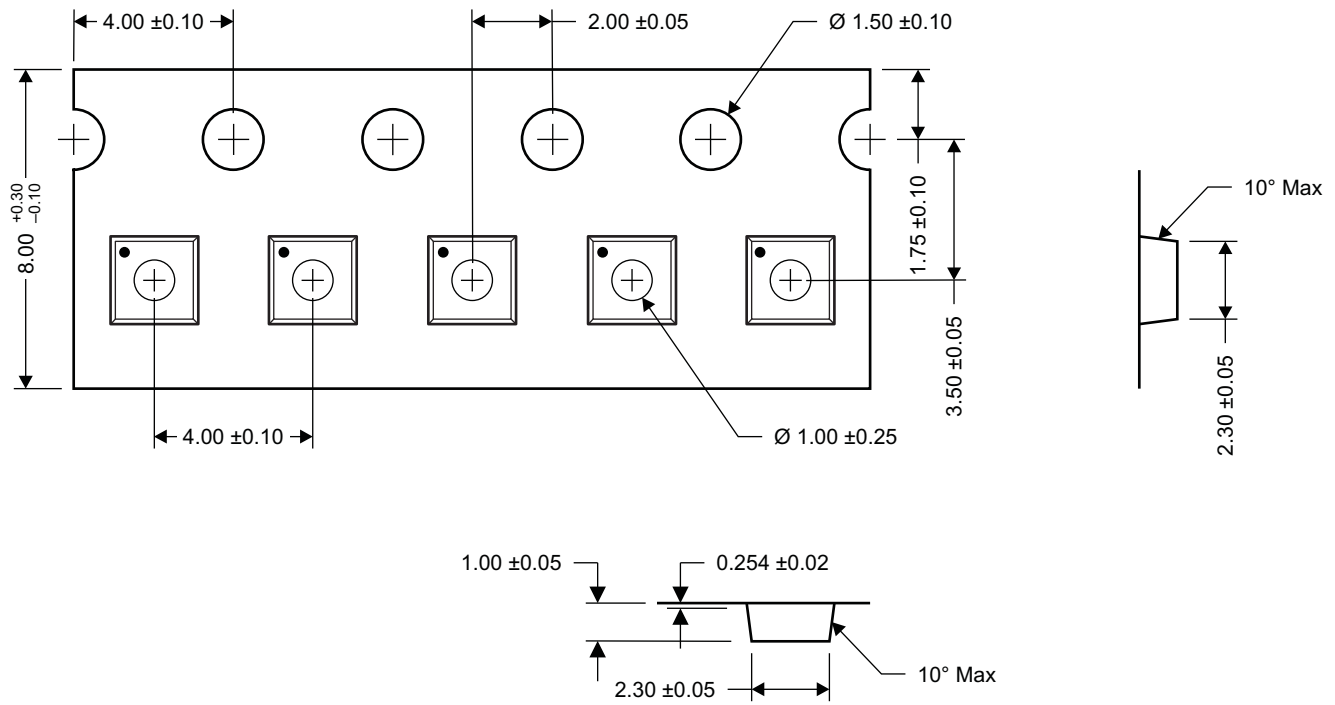
Q2パッケージの寸法 (continued)

7.1.2 推奨のステンシル・パターン



1. すべての直線寸法はミリメートル(mm)単位です。
2. レーザ・カット・アパーチャの壁面を台形にし、角に丸みを付けることで、ペースト離れが良くなります。IPC-7525には、別の設計推奨事項が存在する可能性があります。

7.2 Q2のテープ・アンド・リール情報



- Notes:
1. スプロケット・ホールの中心線から、ポケットの中心線までを測定します。
 2. 10個のスプロケット・ホールの累積許容誤差は±0.20です。
 3. 他の材料も利用可能です。
 4. フォーム・テープの標準SRは最大 10^9 OHM/SQです。
 5. すべての寸法は、特記されていないかぎりmm単位です。

M0168-01

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD19538Q2	ACTIVE	WSON	DQK	6	3000	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-55 to 150	1958	Samples
CSD19538Q2T	ACTIVE	WSON	DQK	6	250	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-55 to 150	1958	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

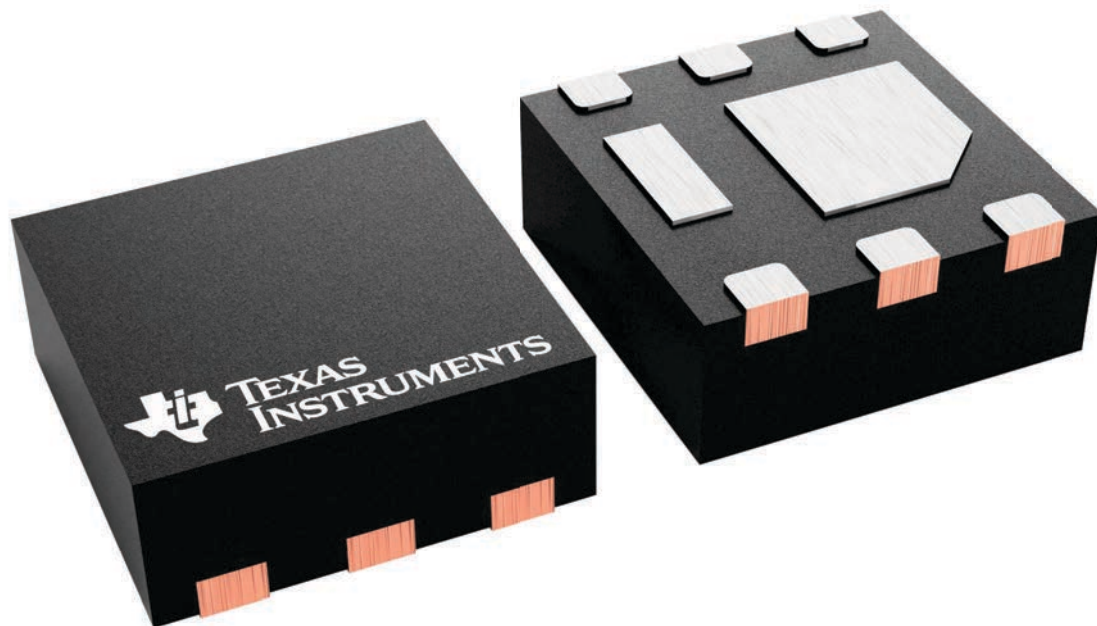
DQK 6

WSON - 0.8 mm max height

2 x 2, 0.65 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

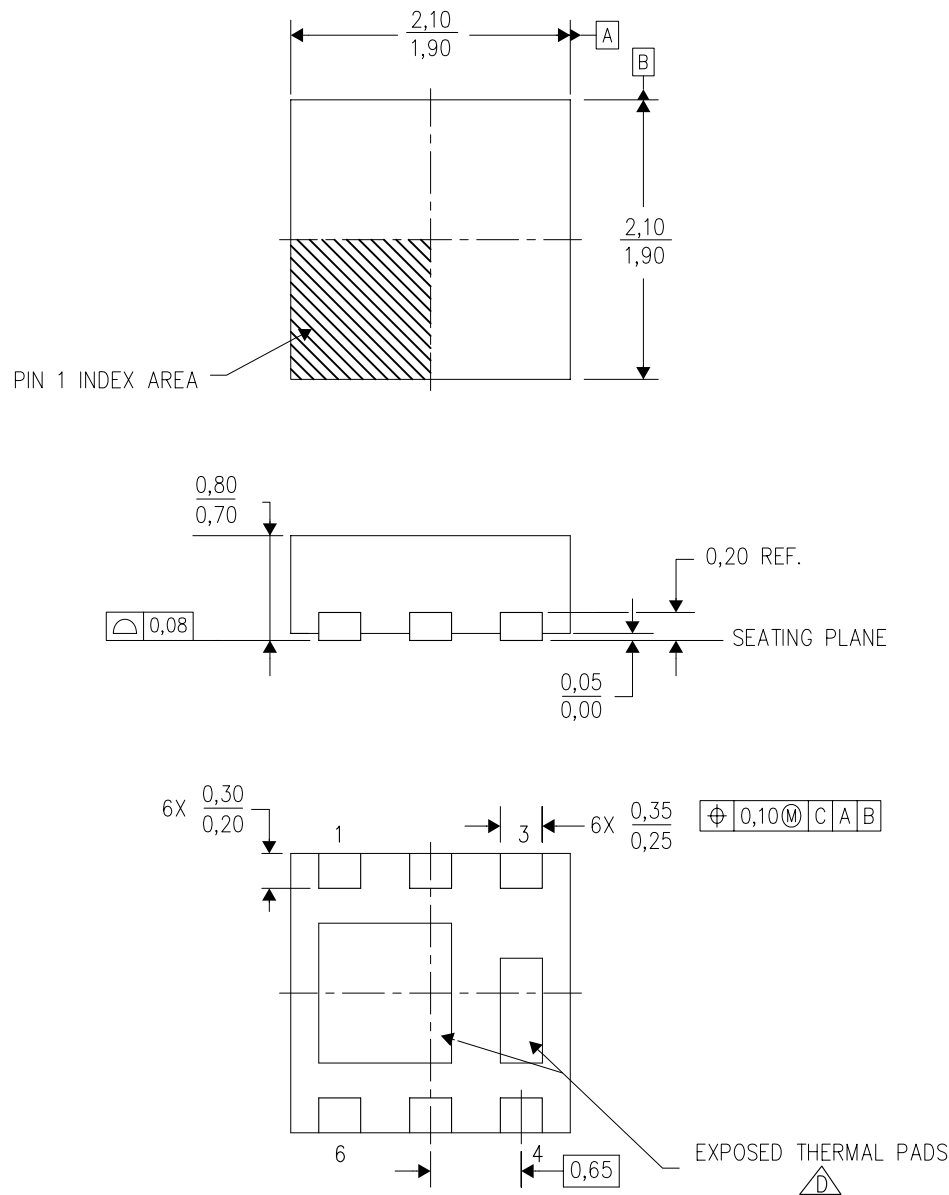
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229807/A

DQK (S-PWSON-N6)

PLASTIC SMALL OUTLINE NO-LEAD



4210192/B 01/10

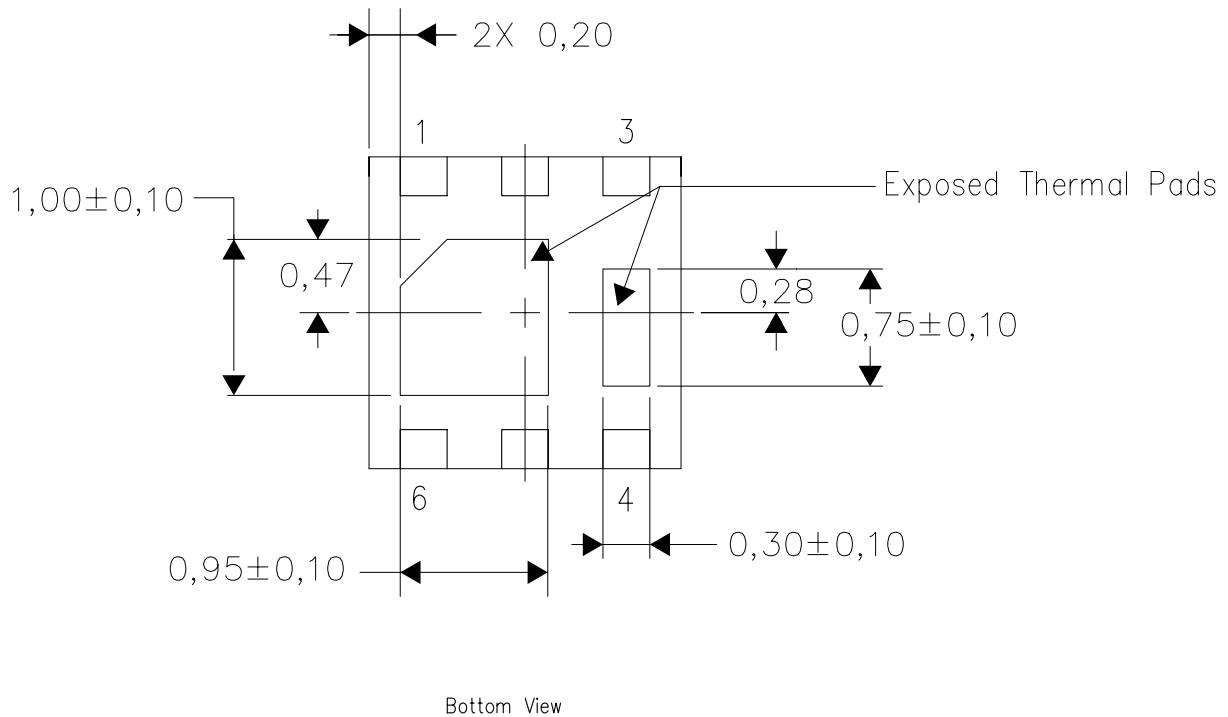
- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Small Outline No-Lead (SON) package configuration.
 -  D. The package thermal pads must be soldered to the board for thermal and mechanical performance.

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

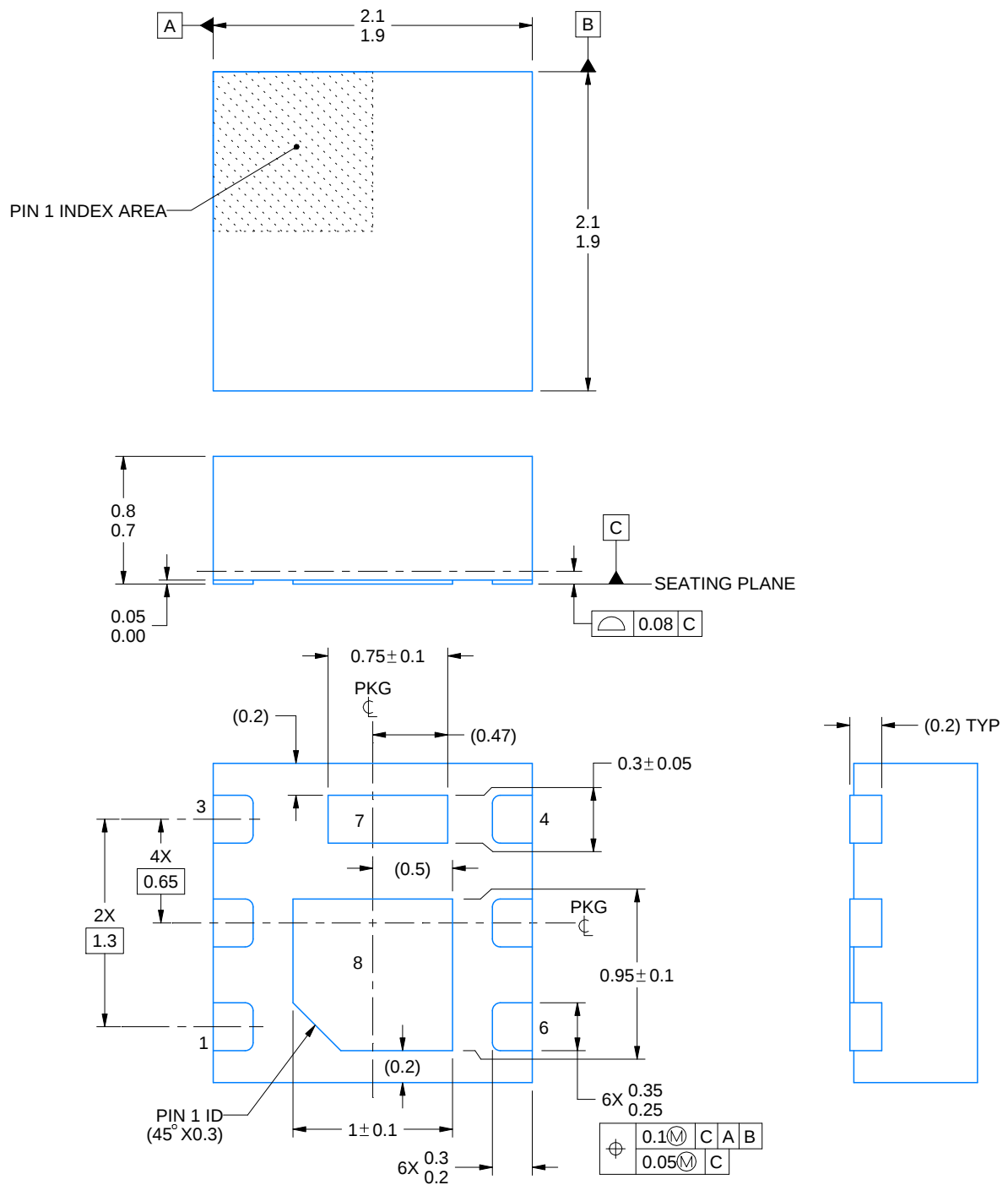
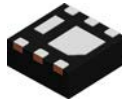
For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, Quad Flatpack No-Lead Logic Packages, Texas Instruments Literature No. SCBA017. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



NOTE: All linear dimensions are in millimeters

Exposed Thermal Pad Dimensions



4222322/B 04/2019

NOTES:

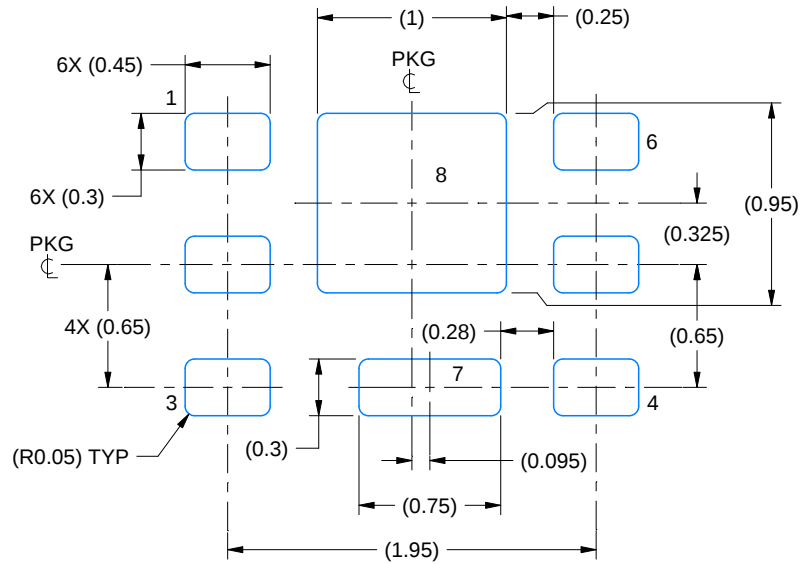
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

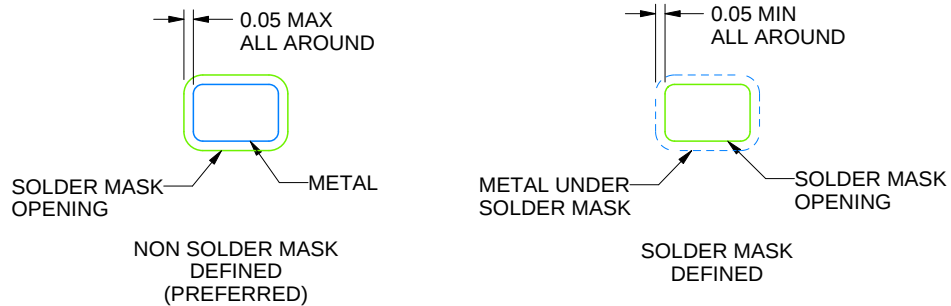
DQK0006C

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:25X



SOLDER MASK DETAILS

4222322/B 04/2019

NOTES: (continued)

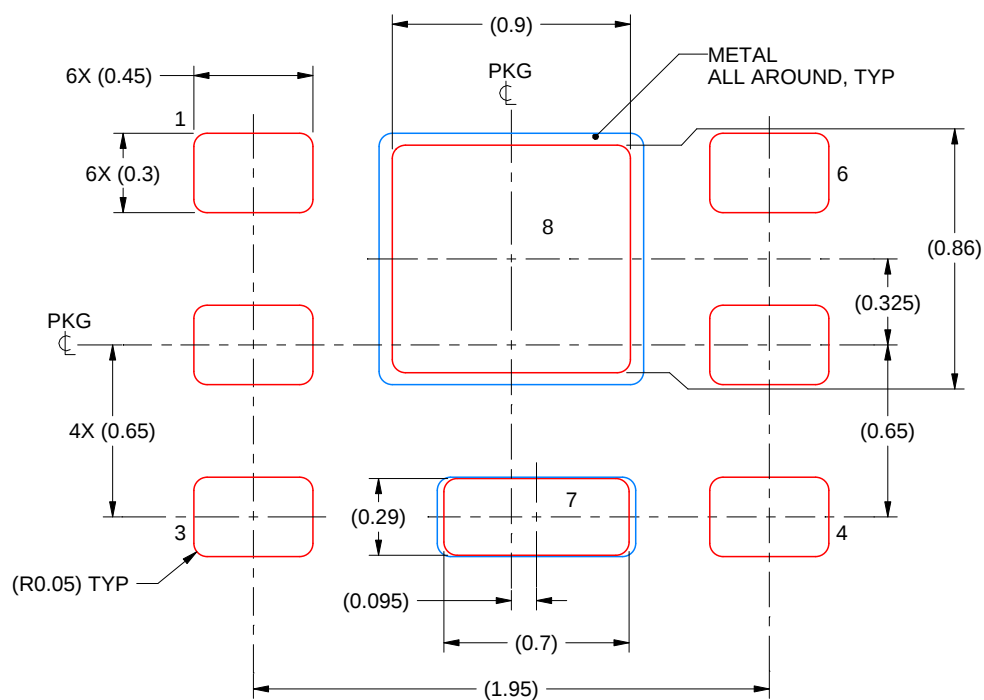
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

DQK0006C

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
PRINTED SOLDER COVERAGE BY AREA
PAD 7: 90%, PAD 8: 81%
SCALE:35X

4222322/B 04/2019

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated