DRV8847 デュアル H ブリッジ・モータ・ドライバ

1 特長

- デュアル H ブリッジ・モータ・ドライバ
  - シングルまたはデュアルのブラシ付き DC モーター
  - 1 つのバイポーラ・ステッパ・モータ
  - ソレノイド負荷
- 2.7V ～ 18V の動作電圧範囲
- H ブリッジごとの大きな出力電流
  - T_A = 25℃で RMS ドライバ電流 1A
  - T_A = 25℃、並列モードで RMS ドライバ電流 2A
- VM > 5V 時の低いオン抵抗
  - T_A = 25℃で 1000mΩ の $R_{DS(ON)}$ (HS + LS)
- 複数の制御インターフェイス・オプション
  - 4 ピン・インターフェイス
  - 2 ピン・インターフェイス
  - 並列ブリッジ・インターフェイス
  - 独立のブリッジ・インターフェイス
- 20µs 固定オフ時間の電流レギュレーション
- トルク・スカラーにより出力電流を 50% にスケーリング
- 1.8V、3.3V、5V のロジック入力をサポート
- 低消費電力のスリープ・モード
  - V_{VM} = 12V、T_A = 25℃のとき 1.7µA のスリープ・モード消費電流
- I^2C のデバイス・バリエーションを供給 (DRV8847S)
  - I^2C レジスタでの詳細な診断
  - マルチスレーブ動作のサポート
  - 標準およびファースト I^2C モードをサポート
- 小さなパッケージと占有面積
  - 16 ピン TSSOP (サーマル・パッドなし)
  - 16 ピン HTSSOP PowerPAD™ パッケージ
  - 16 ピン WQFN サーマル・パッケージ
- 保護機能を搭載
  - VM 低電圧誤動作防止
  - 過電流保護
  - 開放負荷検出
  - サーマル・シャットダウン
  - フォルト状況表示ピン (nFAULT)

2 アプリケーション

- 冷蔵庫のダンパーおよび製氷室
- 洗濯機、乾燥機 、食器洗浄機
- ePOS (Electronic Point-of-Sale) プリンタ
- ステージ照明機器
- 小型の回路ブレーカーおよびスマート メータ

3 概要

DRV8847 デバイスは、産業アプリケーション、家電機器、ePOS プリンタ、その他のメカトロニクス用途を対象としたデュアル H ブリッジ・モータ・ドライバです。このデバイスは 2 つの DC モータ、1 つのバイポーラ・ステップ・モータ、およびリレーなど他の負荷を駆動するため使用できます。単純な PWM インターフェイスにより、コントローラと簡単に接続できます。DRV8847 デバイスは単一電源で動作し、2.7～18V の広い入力電源電圧範囲に対応します。

ドライバの出力段は N チャネル パワー MOSFET から成り、モータの巻線を駆動する 2 つのフル H ブリッジ、または 4 つの独立したハーフ ブリッジ (独立ブリッジ インターフェイス内) として構成されています。ブリッジ内のピーク電流は固定オフ時間で制御され、1A の負荷を駆動できます(25℃ T_A で適切なヒートシンクがある場合、並列モードで 2A)。

低消費電力のスリープ・モードがあり、内部回路の多くをシャットダウンして、静止電流を低減できます。さらに、トルクスカラーが用意されており、デジタル入力ピンによって出力電流を動的にスケーリングできます。この機能により、コントローラは電流を減らし、消費電力を低減できます。

低電圧誤動作防止、各 FET の過電流保護、短絡保護、開放負荷検出、過熱に対する保護機能が内蔵されています。フォルト条件は、nFAULT ピンで通知されます。I^2C デバイス バリアント (DRV8847S) には、詳細な診断機能があります。

製品情報(1)

部品番号	パッケージ	本体サイズ (公称)
DRV8847	HTSSOP (16)	5.00mm × 4.40mm
	TSSOP (16)	5.00mm × 4.40mm
	WQFN (16)	3.00mm × 3.00mm
DRV8847S	TSSOP (16)	5.00mm × 4.40mm
DRV88471	WQFN (16)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....3
5 ピン構成および機能.....4
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 熱に関する情報.....8
6.5 電気的特性.....8
6.6 I2C のタイミング要件.....10
6.7 代表的特性.....13
7 詳細説明.....15
7.1 概要.....15
7.2 機能ブロック図.....16
7.3 機能説明.....18
7.4 デバイスの機能モード.....43
7.5 プログラミング.....45
7.6 レジスタ・マップ.....47
8 アプリケーションと実装.....52
8.1 アプリケーション情報.....52
8.2 代表的なアプリケーション.....52
9 レイアウト.....71
9.1 レイアウトのガイドライン.....71
9.2 レイアウト例.....71
9.3 熱に関する注意事項.....73
9.4 電力散逸.....73
10 デバイスおよびドキュメントのサポート.....74
10.1 デバイス・サポート (オプション).....74
10.2 ドキュメントのサポート.....74
10.3 ドキュメントの更新通知を受け取る方法.....74
10.4 コミュニティ・リソース.....74
10.5 商標.....74
11 メカニカル、パッケージ、および注文情報.....74

Copyright © 2024 Texas Instruments Incorporated

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2019) to Revision C (December 2023) **Page**

- DRV88471 バリアントのピン配置とピン機能の表を追加 4
- DRV88471 ブリッジ制御モードの動作説明を追加 21
- DRV88471 トルク スカラー TRQ の動作説明を追加 30

Changes from Revision A (July 2018) to Revision B (April 2019) **Page**

- VM > 5V 時の低いオン抵抗が表示されるように変更 1
- nFAULT ピンのタイプを OD/I に変更 4
- VM の説明を変更し、0.1uF コンデンサはセラミックであるべきことを明記 4
- デジタル ピンの電圧 (IN1、IN2、IN3、IN4、TRQ、nSLEEP、nFAULT、SCL、SDA) の最大電圧を 5.5V から 5.75V に変更 7
- 位相ノード ピンの電圧仕様名を、連続位相ノード ピン電圧に変更 7
- ISEN12、ISEN34 仕様に、25ns 未満の ±1V の過渡電圧が許容されるという脚注を追加 7
- 両方のピーク駆動電流 (OUT1、OUT2、OUT3、OUT4) 仕様に、消費電力および温度の制限に従う必要があるという脚注を追加 7
- V (ESD) 仕様値を 4000V に変更 7
- テスト条件 VM < 7V および VM >= 7V に基づいて、V_{IL} 仕様を 2 つの仕様に変更 8
- I_{IH} 仕様の最小値を、テスト条件 IN1、IN2、IN3、IN4、TRQ、VIN = 5V の場合は 18uA に変更、テスト条件 nSLEEP、V_{IN} = 最小値 (VM、5V) の場合は 10uA に変更 8
- I_{OCP} 仕様に最小値を追加 8
- DRV8847S のブロック図のピン名を変更 16
- C_{VM1} からセラミックを削除 18
- 明確化するために、リレー コイルやソレノイド コイルの負荷の箇条書きを変更 26
- 開放負荷が検出された場合の nFAULT ピンの動作を明確化する文章を追加 39
- 電源投入時の nFAULT ピンの動作を明確化する文章を追加 43
- 「開放負荷の実装」セクションを追加 61
- 「2 層基板の 16 ピン QFN パッケージのレイアウトに関する推奨事項」の図を追加 71

Changes from Revision * (July 2018) to Revision A (August 2018) **Page**

- データシートのステータスを「事前情報」から「量産データ」に変更 1
- 「2 層基板の 16 ピン HTSSOP パッケージのレイアウトに関する推奨事項」の図のピン名を変更 71

5 ピン構成および機能

図 5-1. DRV8847 PW パッケージ 16 ピン TSSOP 上面図

図 5-2. DRV8847 PWP PowerPAD™ パッケージ 16 ピン HTSSOP 上面図

図 5-3. DRV8847 RTE パッケージ 16 ピン WQFN (露出サーマル パッド付き) 上面図

図 5-4. DRV8847S PW パッケージ 16 ピン TSSOP 上面図

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピンの機能

ピン				種類 (1)	説明
名称	DRV8847		DRV8847S		
	TSSOP HTSSOP	WQFN	TSSOP		
GND	13	11	13	PWR	デバイスのグランド。GND ピンとデバイスのサーマル パッド (HTSSOP パッケージおよび WQFN パッケージ) をグランドに接続することを推奨します。
IN1	16	14	16	I	ハーフ ブリッジ入力 1
IN2	15	13	15	I	ハーフ ブリッジ入力 2
IN3	9	7	9	I	ハーフ ブリッジ入力 3
IN4	10	8	10	I	ハーフ ブリッジ入力 4
ISEN12	3	1	3	O	フル ブリッジ 12 のセンス。このピンはフル ブリッジ 12 の電流センス抵抗に接続します。電流レギュレーションが必要ない場合は、このピンは GND ピンに接続します。
ISEN34	6	4	6	O	フル ブリッジ 34 のセンス。このピンは フル ブリッジ 34 の電流センス抵抗に接続します。電流レギュレーションが必要ない場合は、このピンは GND ピンに接続します。
モード	14	12	—	I	ドライバ動作モード選択用のトライステート ピン
nFAULT	8	6	8	OD/I	フォルト通知ピン。このピンは、フォルト条件によってロジック Low にプルされます。オープン ドレイン出力には、外付けのプルアップ抵抗が必要です。このピンは、DRV8847S デバイスで I^2C バスを解放するための入力ピンとしても使用されます。
nSLEEP	1	15	1	I	スリープ・モード入力。このピンをロジック High に設定すると、デバイスがイネーブルになります。このピンをロジック Low に設定すると、低消費電力スリープ モードに移行します。
OUT1	2	16	2	O	ハーフ ブリッジ出力 1
OUT2	4	2	4	O	ハーフブリッジ出力 2
OUT3	7	5	7	O	ハーフブリッジ出力 3
OUT4	5	3	5	O	ハーフ ブリッジ出力 4
SCL	—	—	11	I	I^2C クロック信号
SDA	—	—	14	OD	I^2C データ信号。SDA ピンはプルアップ抵抗を必要とします。
TRQ	11	9	—	I	トルク電流スカラー
VM	12	10	12	PWR	電源。VM ピンはモーター電源に接続します。VM 定格 0.1μF (セラミック) と 10μF (最小値) コンデンサでこのピンはグランドにバイパスします。

(1) I = 入力、O = 出力、OD = オープン ドレイン出力、PWR = 電源

図 5-5. DRV88471 RTE パッケージ 16 ピン WQFN (露出サーマル パッド付き) 上面図

表 5-2. 新しいピンの機能

ピン		種類 (1)	説明
DRV8471 WQFN	番号		
GND	11	PWR	デバイスのグランド。GND ピンとデバイスのサーマル パッドをグランドに接続することを推奨します。
IN1	14	I	ハーフ ブリッジ入力 1
IN2	13	I	ハーフ ブリッジ入力 2
IN3	7	I	ハーフ ブリッジ入力 3
IN4	8	I	ハーフ ブリッジ入力 4
ISEN12	1	O	フル ブリッジ 12 のセンス。このピンはフル ブリッジ 12 の電流センス抵抗に接続します。電流レギュレーションが必要ない場合は、このピンは GND ピンに接続します。
ISEN34	4	O	フル ブリッジ 34 のセンス。このピンは フル ブリッジ 34 の電流センス抵抗に接続します。電流レギュレーションが必要ない場合は、このピンは GND ピンに接続します。
NC	9	-	無接続
NC	12	-	無接続
nFAULT	6	OD	フォルト通知ピン。このピンは、フォルト条件によってロジック Low にプルされます。オープン ドレイン出力には、外付けのプルアップ抵抗が必要です。
nSLEEP	15	I	スリープ・モード入力。このピンをロジック High に設定すると、デバイスがイネーブルになります。このピンをロジック Low に設定すると、低消費電力スリープ・モードに移行します。
OUT1	16	O	ハーフ ブリッジ出力 1
OUT2	2	O	ハーフ ブリッジ出力 2
OUT3	5	O	ハーフ ブリッジ出力 3
OUT4	3	O	ハーフ ブリッジ出力 4
VM	10	PWR	電源。VM ピンはモーター電源に接続します。VM 定格 0.1μF (セラミック) と 10μF (最小値) コンデンサでこのピンはグランドにバイパスします。

(1) I = 入力、O = 出力、OD = オープン ドレイン出力、PWR = 電源

Copyright © 2024 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) [(1)]

	最小値	最大値	単位
電源ピン電圧 (VM)	-0.3	20	V
電源電圧ランプレート (VM)	0	2	V/µs
デジタル ピン電圧 (IN1、IN2、IN3、IN4、TRQ、nSLEEP、nFAULT、SCL、SDA)	-0.3	5.75	V
巻線出力ピン電圧 (連続) (OUT1、OUT2、OUT3、OUT4)	-0.7	VM + 0.6	V
シャント アンプ入力ピン電圧 (ISEN12、ISEN34) [(2)]	-0.6	0.6	V
ピーク駆動電流 (OUT1、OUT2、OUT3、OUT4)、V_{VM} <= 16.5V [(3)]	内部的に制限		A
ピーク駆動電流 (OUT1、OUT2、OUT3、OUT4)、V_{VM} > 16.5V [(3)]	0	4	A
周囲温度、T_A	-40	125	℃
接合部温度、T_J	-40	150	℃
保管温度、T_{stg}	-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 25ns 未満の ±1V の過渡電圧は許容されます。
(3) 消費電力および温度の制限に従う必要があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン[(1)]	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン [(2)]	±500	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)。標準値には TA = 25℃、V_{VM} = 12V が適用されます。

		最小値	公称値	最大値	単位
V_{VM}	電源電圧 (VM)	2.7		18	V
V_{IN}	ロジック入力電圧 (IN1、IN2、IN3、IN4、TRQ、nSLEEP、SCL、SDA)	0		5	V
I_{RMS}	ブリッジごとのモータ RMS 電流 (OUT1、OUT2、OUT3、OUT4)	0		1[(1)]	A
f_{PWM}	PWM 周波数 (IN1、IN2、IN3、IN4)	0		250[(1)]	kHz
V_{OD}	オープン ドレイン プルアップ電圧 (nFAULT)	0		5	V
I_{OD}	オープン・ドレイン出力電流 (nFAULT)	0		5	mA
T_A	動作時の周囲温度	-40		85	℃
T_J	動作時の接合部温度	-40		150	℃

(1) 消費電力および温度の制限に従う必要があります。パッケージの放熱性能に依存します。

6.4 熱に関する情報

熱評価基準 (1)		DRV8847、DRV8847S	DRV8847	DRV8847	単位
		PW (TSSOP)	PWP (HTSSOP)	RTE (QFN)	
		16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	107.9	46.5	46.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	38.5	40.1	47.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	54.2	18.8	21.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.1	1.3	0.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	53.6	19.0	21.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	5.9	6.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

推奨動作条件範囲内 (特に記述のない限り)。標準値には T_A = 25°C、V_{VM} = 12V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VM)						
I_{VM}	VM 動作電源電流	VM = 2.7V、nSLEEP = 1、INx = 0		2	2.5	mA
		VM = 5V、nSLEEP = 1、INx = 0		3	3.5	mA
		VM = 12V、nSLEEP = 1、INx = 0		3	3.5	mA
I_{VMQ}	VM スリープ・モード電流	VM = 2.7V、nSLEEP = 0、TA = 25°C		0.1		µA
		VM = 2.7V、nSLEEP = 0、TA = 85°C			0.5	µA
		VM = 5V、nSLEEP = 0、TA = 25°C		0.2		µA
		VM = 5V、nSLEEP = 0、TA = 85°C			1	µA
		VM = 12V、nSLEEP = 0、TA = 25°C		1.7		µA
		VM = 12V、nSLEEP = 0、TA = 85°C			2.5	µA
t_{SLEEP}	スリープ時間	nSLEEP = 0 でスリープ モード		2		µs
t_{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移			1.5	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移 (nSLEEP = 1)			1.5	ms
ロジック レベル入力 (IN1、IN2、IN3、IN4、NSLEEP、TRQ、SCL、SDA)						
V_{IL}	入力ロジック Low 電圧	VM < 7 V	0		0.6	V
		VM >= 7V (1)	0		1.0	V
V_{IH}	入力ロジック High 電圧		1.6		5.5	V
V_{HYS}	入力ロジック・ヒステリシス	nSLEEP ピン	40			mV
V_{HYS}	入力ロジック・ヒステリシス	IN1 ピン、IN2 ピン、IN3 ピン、IN4 ピン、TRQ ピン、SCL ピン	100			mV
VIL	nSLEEP		0		0.6	V
VIH	nSLEEP		1.6		5.5	V
VHYS	nSLEEP		40			mV
I_{IL}	入力ロジック Low 電流	V_{IN} = 0V	-1		1	µA
I_{IH}	入力ロジック High 電流	IN1、IN2、IN3、IN4、TRQ、V_{IN} = 5V	18		35	µA
		nSLEEP、V_{IN} = 最小値 (VM、5V)	10		25	µA
t_{PD}	伝搬遅延	INx エッジで出力	100	400	600	ns
$t_{DEGLITCH}$	入力ロジックのグリッチ除去			50		ns
トライレベル入力 (MODE)						

Copyright © 2024 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 12V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	トライレベル入力論理 Low 電圧		0		0.6	V
V_{IZ}	トライレベル入力 Hi-Z 電圧			1.2		V
V_{IH}	トライレベル入力論理 High 電圧		1.6		5.5	V
I_{IL}	トライレベル入力論理 Low 電流	V_{IN} = 0V	-9		-4	µA
I_{IH}	トライレベル入力論理 High 電流	V_{IN} = 5V	8		25	µA
オープン・ドレイン出力 (nFAULT)						
V_{OL}	出力論理 Low 電圧	I_{OD} = 5mA			0.5	V
I_{OH}	出力ロジック High 電流	V_{OD} = 3.3V	-1		1	µA
オープン ドレイン出力 (SDA)						
V_{OL}	出力論理 Low 電圧	I_{OD} = 5mA			0.5	V
I_{OH}	出力ロジック High 電流	V_{OD} = 3.3V	-1		1	µA
C_B	各バス・ラインの容量性負荷				400	pF
ドライバ出力 (OUT1、OUT2、OUT3、OUT4)						
$R_{DS(ON)_HS}$	ハイサイド MOSFET オン抵抗	V_{VM} = 2.7V、I_{OUT} = 0.5A、T_A = 25℃		690		mΩ
		V_{VM} = 2.7V、I_{OUT} = 0.5A、T_A = 85℃			950	mΩ
		V_{VM} = 5V、I_{OUT} = 0.5A、T_A = 25℃		530		mΩ
		V_{VM} = 5V、I_{OUT} = 0.5A、T_A = 85℃			740	mΩ
		V_{VM} = 12V、I_{OUT} = 0.5A、T_A = 25℃		520		mΩ
		V_{VM} = 12V、I_{OUT} = 0.5A、T_A = 85℃			700	mΩ
$R_{DS(ON)_LS}$	ローサイド MOSFET オン抵抗	V_{VM} = 2.7V、I_{OUT} = 0.5A、T_A = 25℃		570		mΩ
		V_{VM} = 2.7V、I_{OUT} = 0.5A、T_A = 85℃			900	mΩ
		V_{VM} = 5V、I_{OUT} = 0.5A、T_A = 25℃		460		mΩ
		V_{VM} = 5V、I_{OUT} = 0.5A、T_A = 85℃			690	mΩ
		V_{VM} = 12V、I_{OUT} = 0.5A、T_A = 25℃		450		mΩ
		V_{VM} = 12V、I_{OUT} = 0.5A、T_A = 85℃			680	mΩ
I_{OFF}	オフ状態のリーク電流	V_{VM} = 5V、T_J = 25℃、V_{OUT} = 0V	-1		1	µA
t_{RISE}	出力立ち上がり時間	V_{VM} = 12V、I_{OUT} = 0.5A		150		ns
t_{FALL}	出力立ち下がり時間	V_{VM} = 12V、I_{OUT} = 0.5A		150		ns
t_{DEAD}	出力デッドタイム	内部デッドタイム		200		ns
V_{SD}	ボディダイオード順方向電圧	I_{OUT} = 0.5A		1.1		V
PWM 電流制御 (ISEN12、SEN34)						
V_{TRIP}	ISENxx トリップ電圧	100% でのトルク (TRQ = 0)	140	150	160	mV
		50 パーセント でのトルク (TRQ = 1)	63.75	75	86.25	mV
t_{BLANK}	電流センス ブランキング時間			1.8		µs
t_{OFF}	電流制御一定オフ時間			20		µs
保護回路						
V_{UVLO}	電源低電圧誤動作防止	電源立ち上がり			2.7	V
		電源立ち下がり	2.4			V
V_{UVLO_HYS}	電源低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		50		mV
t_{UVLO}	電源低電圧グリッチ除去時間	VM 立ち下がり、UVLO 通知		10		µs
I_{OCP}	過電流保護トリップ ポイント (2)		1.6	2		A
t_{OCP}	過電流保護グリッチ除去時間	V_{VM} < 15 V		3		µs
		V_{VM} >= 15V		1		µs

推奨動作条件範囲内 (特に記述のない限り)。標準値には T_A = 25℃、V_{VM} = 12V が適用されます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{RETRY}	過電流保護リトライ時間			1		ms
I_{OL_PU}	開放負荷プルアップ電流	OUTx ピンで 15nF 未満、V_{VM} = 2.7V		100		μA
I_{OL_PU}	開放負荷プルアップ電流	OUTx ピンで 15nF 未満		200		μA
I_{OL_PD}	開放負荷プルダウン電流	OUTx ピンで 15nF 未満、V_{VM} = 2.7V		130		μA
I_{OL_PD}	開放負荷プルダウン電流	OUTx ピンで 15nF 未満		230		μA
I_{OL}	開放負荷プルアップおよびプルダウン電流			230		μA
V_{OL_HS}	開放負荷検出スレッショルド (ハイサイド)	V_{VM} = 2.7 V		1.3		V
V_{OL_HS}	開放負荷検出スレッショルド (ハイサイド)			2.3		V
V_{OL_LS}	開放負荷検出スレッショルド (ローサイド)	V_{VM} = 2.7 V		0.67		V
V_{OL_LS}	開放負荷検出スレッショルド (ローサイド)			1.2		V
V_{OL}	開放負荷検出スレッショルド電圧			1.1		V
T_{TSD}	サーマル・シャットダウン温度		150	160	180	℃
T_{HYS}	サーマル・シャットダウン・ヒステリシス			40		℃
VB_BJT_27C	OTS における BJT のベース電圧 (12V 電源でのテストパッド出力)					

(1) 設計と特性評価により規定されています。
(2) V_M > 16.5V の場合、OUTx の出力電流を 4A に制限する必要があります。

6.6 I2C のタイミング要件

		最小値	公称値	最大値	単位
標準モード					
f_{SCL}	SCL クロック周波数	0		100	kHz
$t_{HD,STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック・パルスが生成されます。	4			μs
t_{LOW}	SCL クロック Low 期間	4.7			μs
t_{HIGH}	SCL クロックの High の時間	4			μs
$t_{SU,STA}$	反復開始条件のセットアップ時間	4.7			μs
$t_{HD,DAT}$	データ・ホールド時間:I2C バス デバイスの場合	0		3.45	μs
$t_{SU,DAT}$	データ・セットアップ時間	250			ns
t_R	SDA と SCL の立ち上がり時間			1000	ns
t_F	SDA と SCL の立ち下がり時間			300	ns
$t_{SU,STO}$	STOP 条件のセットアップ時間	4			μs
t_{BUF}	STOP 条件と START 条件の間のバス・フリー時間	4.7			μs
ファスト・モード					
f_{SCL}	SCL クロック周波数	0		400	kHz
$t_{HD,STA}$	(反復) 開始条件のホールド時間。この時間が経過すると、最初のクロック パルスが生成されます。	0.6			μs
t_{LOW}	SCL クロックの Low の時間	1.3			μs
t_{HIGH}	SCL クロックの High の時間	0.6			μs
$t_{SU,STA}$	反復開始条件のセットアップ時間	0.6			μs
$t_{HD,DAT}$	データ・ホールド時間:I2C バス デバイスの場合	0		0.9	μs
$t_{SU,DAT}$	データ・セットアップ時間	250			ns
t_R	SDA と SCL の立ち上がり時間			300	ns
t_F	SDA と SCL の立ち下がり時間			300	ns

Copyright © 2024 Texas Instruments Incorporated

		最小値	公称値	最大値	単位
$t_{SU,STO}$	STOP 条件のセットアップ時間	0.6			µs
t_{BUF}	STOP 条件と START 条件の間のバス・フリー時間	1.3			µs
t_{SP}	入力ノイズ フィルタにより抑制されるスパイクのパルス幅		50		ns

図 6-1. タイミング図

図 6-2. I²C のタイミング図

Copyright © 2024 Texas Instruments Incorporated

6.7 代表的特性

図 6-3. 動作電源電流 (I_{VM}) と電源電圧 (V_{VM}) との関係

図 6-4. 動作電源電流 (I_{VM}) と周囲温度 (T_A) との関係

図 6-5. スリープ モード電源電流 (I_{VMQ}) と電源電圧 (V_{VM}) との関係

図 6-6. スリープ モード電源電流 (I_{VMQ}) と周囲温度 (T_A) との関係

図 6-7. ハイサイド オン抵抗 ($R_{DS(ON)_HS}$) と電源電圧 (V_{VM}) との関係

図 6-8. ハイサイド オン抵抗 ($R_{DS(ON)_HS}$) と周囲温度 (T_A) との関係

図 6-9. ローサイド オン抵抗 ($R_{DS(ON)_LS}$) と電源電圧 (V_{VM}) との関係

図 6-10. ローサイド オン抵抗 ($R_{DS(ON)_LS}$) と周囲温度 (T_A) との関係

図 6-11. 開放負荷プルアップ電流 (I_{OL_PU}) と電源電圧 (V_{VM}) との関係

図 6-12. 開放負荷プルダウン電流 (I_{OL_PD}) と電源電圧 (V_{VM}) との関係

図 6-13. 開放負荷ハイサイド スレッショルド電圧 (V_{OL_HS}) と電源電圧 (V_{VM}) との関係

図 6-14. 開放負荷ローサイド スレッショルド電圧 (V_{OL_LS}) と電源電圧 (V_{VM}) との関係

Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

DRV8847 は、産業用途のおいて、ブラシ付きモーターやステッピング モーターを駆動するための 2.7V～18V 内蔵デュアル モーター ドライバで、2 つの DC モーター、1 つのバイポーラ ステッピング モーター、またはソレノイド負荷を駆動できます。このデバイスには、NMOS ローサイド ドライバとハイサイド ドライバ、および電流センス レギュレーション回路を使用する 2 つの H ブリッジが内蔵されています。DRV8847 デバイスは、低 $R_{DS(ON)}$ 集積 MOSFET を使用して、H ブリッジ 1 つあたり 1A RMS の大出力電流をサポートしています。

シンプルな PWM インターフェイス オプションにより、H ブリッジ出力と簡単に接続できます。インターフェイス オプションは、DRV8847 デバイスの MODE ピンと IN3 ピンを使用して構成できます。I^2C デバイス バリアント (DRV8847S) では、I^2C インターフェイスによってインターフェイス オプションを構成できます。

電流レギュレーションでは、固定オフ時間 (t_{OFF}) PWM 方式を採用しています。電流レギュレーションのトリップ ポイントは、センス抵抗の値と内部 V_{TRIP} の固定値によって制御されます。

また、低消費電力スリープ モードを内蔵しているため、モーターを駆動していないときにシステムの電力を節約できます。

DRV8847 デバイスは、3 つのパッケージで供給されます。

- 16 ピン TSSOP (サーマル パッドなし)
- 16 ピン HTSSOP (PowerPAD)
- 16 ピン WQFN (サーマル パッドあり)

DRV8847 デバイスの I^2C バリアントは、I^2C バス上でマルチスレーブ動作を制御することで、詳細な診断要件やマルチスレーブ動作に対応することもできます。

DRV8847S デバイス バリアントは、16 ピン TSSOP (サーマル パッドなし) の 1 つのパッケージで供給されます。

DRV8847 デバイスには、広範な保護機能が内蔵されており、電源低電圧誤動作防止、開放負荷検出、過電流フォルト、サーマル シャットダウンが含まれます。

7.2 機能ブロック図

図 7-1. DRV8847 のブロック図

Copyright © 2024 Texas Instruments Incorporated

図 7-2. DRV8847S のブロック図

7.3 機能説明

表 7-1 に、ゲートドライバの外付け部品の推奨値を示します。

表 7-1. DRV8847 の外付け部品

部品	ピン 1	ピン 2	推奨
C_{VM1}	VM	GND	10µF (最小値) VM 定格コンデンサ
C_{VM2}	VM	GND	0.1µF VM 定格セラミック コンデンサ
R_{nFAULT}	VEXT (1)	nFAULT	>1kΩ
R_{ISEN12}	ISEN12	GND	センス抵抗、サイズについては *セクション 8.2* を参照
R_{ISEN34}	ISEN34	GND	センス抵抗、サイズについては *セクション 8.2* を参照

(1) VEXT は DRV8847 デバイスのピンではありませんが、オープン ドレイン出力 nFAULT には VEXT 外部電源電圧のプルアップ抵抗が必要です。

7.3.1 PWM モーター・ドライバ

DRV8847 デバイスには、電流制御 PWM 回路を備えた 2 つの同じ H ブリッジ モーター ドライバが搭載されています。図 7-3 に、この回路のブロック図を示します。

インターフェイスのオプションによっては、この 2 つの H ブリッジは 4 つの独立したハーフ ブリッジとして使用することもできます。ISENxx ピンは、2 つのハーフ ブリッジと一緒でのみ使用できます。

図 7-3. PWM モーター ドライバ回路

Copyright © 2024 Texas Instruments Incorporated

7.3.2 ブリッジ動作

フル ブリッジは、順方向、逆方向、コースト (高速減衰)、ブレーキ (低速減衰) の 4 つの動作モードで動作できます。

7.3.2.1 順方向動作

この動作モードは、図 7-4 に示すように、電流が端子 A (OUT1 または OUT3) から端子 B (OUT2 または OUT4) に流れるようなモーターの順方向の回転を指します。このモードでは、端子 A は VM に接続され、端子 B はグランドに接続されます。

図 7-4. 順方向動作

7.3.2.2 逆方向動作

この動作モードは、図 7-5 に示すように、電流が端子 B (OUT2 または OUT4) から端子 A (OUT1 または OUT3) に流れるようなモーターの逆方向の回転を指します。このモードでは、端子 A はグランドに接続され、端子 B は VM に接続されます。

図 7-5. 逆方向動作

7.3.2.3 コースト動作 (高速減衰)

この動作モードでは、フル ブリッジのすべての FET がハイ インピーダンス (Hi-Z) 状態になり、モーターも Hi-Z 状態になって、コーストが開始されます。この動作モードは、モーター電流をより速く減衰させる効果もあるため、高速減衰モードとも呼ばれます。図 7-6 に示すように、モーターが最初に順方向動作 (電流は端子 A から端子 B に流れる) で接続されていた場合、コースト動作が適用されると、モーター負荷の誘導性により、電流は同じ方向 (A から B) に流れ続け、代替の FET の逆並列ダイオードが導通し始めます。この逆並列ダイオードを介した電流の流れによって、電源電圧 (VM) によって生成される高い負電位が電流を急速に減少させます。

図 7-6. コースト動作 (高速減衰)

7.3.2.4 ブレーキ動作 (低速減衰)

この動作モードは、図 7-7 に示すように、フル ブリッジの両方のローサイド FET をオンにすることで成立します。両方のローサイド FET がオンになると、電流循環経路が形成され、この経路によって、電流はモーターの抵抗とローサイド FET の抵抗を使用してグランドに向かうように減衰します。電位差が小さいことから、この電流減衰はコースト動作に比べて緩やかであることから、このモードは低速減衰モードとも呼ばれます。

図 7-7. ブレーキ動作 (低速減衰)

Copyright © 2024 Texas Instruments Incorporated

7.3.3 ブリッジ制御

DRV8847 デバイスは、ユーザー要件に応じて 4 つの動作モードに構成できます。MODE ピンと IN3 ピンを使用して、DRV8847 は 4 種類のインターフェイス (4 ピン インターフェイス、2 ピン インターフェイス、並列ブリッジ インターフェイス、独立ブリッジ インターフェイス) のいずれかに構成されます。モードの選択は、DRV8847S デバイス バリアントの I^2C レジスタを使用して行います (セクション 7.5 セクションを参照)。表 7-2 に、ブリッジの動作モードを選択するための各種構成を示します。

注

DRV88471 では、ブリッジ制御モードは 4 ピン インターフェイスに固定されています。

表 7-2. ブリッジ モードの選択 (DRV8847 ハードウェア デバイス バリアント)

nSLEEP	モード	IN3	インターフェイス
0	X	X	スリープ・モード
1	0	X	4 ピン インターフェイス
1	1	0	2 ピン インターフェイス
1	1	1	並列ブリッジ・インターフェイス
1	Z	X	独立のブリッジ・インターフェイス

注

ドライバ動作中は MODE ピンはラッチされません。したがって、テキサス・インスツルメンツでは、いかなる場合でもこのピンをコントローラに接続して使用することは推奨していません。

7.3.3.1 4 ピン・インターフェイス

4 ピン インターフェイスでは、DRV8847 デバイスは、1 つのステッピング モーターまたは 2 つの BDC モーターをフル機能モードで駆動するように構成されます。4 ピン インターフェイスの動作を構成するには、MODE ピンをグランドに接続し、IN1 ピン、IN2 ピン、IN3 ピン、IN4 ピンを使用してドライバを制御します。このモードでは、ステッピング モーターやブラシ付き DC モーターは 4 つのモード (順方向、逆方向、コースト、ブレーキ) のすべてで動作し、さらに、ステッピング モーターはフル ステッピング モードまたは非循環ハーフ ステッピング モードで動作可能です。センス抵抗を ISEN12 ピンと ISEN34 ピンに接続することで、それぞれブリッジ 12 と ブリッジ 34 で独立した電流レギュレーションを行うことができます。

このインターフェイス オプションは、次の負荷に使用します。

- フル ステッピング モードのステッピング モーター (電流レギュレーションあり / なし)
- ハーフ ステッピング モードのステッピング モーター (電流レギュレーションあり / なし)
- フル機能の BDC モード (順方向、逆方向、ブレーキ、コースト) を備えたシングルまたはデュアルのブラシ付き DC モーター (電流レギュレーションあり / なし)

表 7-3 に 4 ピン インターフェイス動作の構成、図 7-8 に 4 ピン インターフェイス動作のアプリケーション図を示します。

表 7-3. 4 ピン インターフェイス (MODE = 0)

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	機能 (DC モーター)
0	X	X	X	X	Z	Z	Z	Z	スリープ・モード
1	0	0			Z	Z			モーター コースト (高速減衰)
1	0	1			L	H			逆方向
1	1	0			H	L			順方向
1	1	1			L	L			モーター ブレーキ (低速減衰)
1			0	0			Z	Z	モーター コースト (高速減衰)
1			0	1			L	H	逆方向

表 7-3. 4 ピン インターフェイス (MODE = 0) (続き)

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	機能 (DC モーター)
1			1	0			H	L	順方向
1			1	1			L	L	モーター ブレーキ (低速減衰)

図 7-8. 4 ピン インターフェイス

7.3.3.2 2 ピン・インターフェイス

2 ピン インターフェイスでは、DRV8847 デバイスは、マイコンからの制御入力が少ない 1 つのステッピング モーターまたは 2 つの BDC モーターを駆動するように構成されています。2 ピン インターフェイスの動作を構成するには、MODE ピンを外部電源 (3.3V または 5V) に接続し、IN3 ピンをグランドに接続して、IN1 ピンと IN2 ピンを使用してドライバを制御します。このモードでは、ステッピング モーターまたはブラシ付き DC モーターは 2 つのモード (順方向モードと逆方向モード) のみで動作します。したがって、ステッピング モーターではフル ステッピング動作のみがサポートされています。この

Copyright © 2024 Texas Instruments Incorporated

2 ピン インターフェイスは、冷蔵庫のダンパーなど、GPIO の少ないアプリケーションにとても有効です。電流レギュレーション用に、ISEN12 ピンと ISEN34 ピンにセンス抵抗を接続できます。

このインターフェイス オプションは、次の負荷に使用します。

- フル ステッピング モードのステッピング モーター (電流レギュレーションあり / なし)
- 機能を絞った BDC モード (順方向モードと逆方向モードのみ) を備えたシングルまたはデュアルのブラシ付き DC モーター (電流レギュレーションあり / なし)

表 7-4 に 2 ピン インターフェイス動作の構成、図 7-9 に 2 ピン インターフェイス動作のアプリケーション図を示します。

表 7-4. 2 ピン インターフェイス (MODE = 1、IN3 = 0)

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	機能 (DC モーター)
0	X	X	X	X	Z	Z	Z	Z	スリープ・モード
1	0		0	X	L	H			逆方向
1	1		0	X	H	L			順方向
1		0	0	X			L	H	逆方向
1		1	0	X			H	L	順方向

図 7-9. 2 ピン インターフェイス

注

このモードでは、デバイスが非スリープ状態 (nSLEEP = High) のとき、OUTx ピンのうちの 2 つが常にオンになります。したがって、OUTx ピンに接続されているモーター コイルを無励磁化するには、nSLEEP ピンをプルダウンする必要があります。

7.3.3.3 並列ブリッジ・インターフェイス

並列ブリッジ インターフェイスは、DRV8847 デバイスは、ドライバを並列に使用して 2 倍のモータ電流を供給することにより、より大電流の BDC モータを駆動するように構成されます。並列ブリッジ インターフェイス動作を行うには、MODE ピンと IN3 ピンを外部電源 (3.3V または 5V) に接続し、IN1 ピンと IN2 ピンを使用してドライバを制御します。このモードでは、4 つのモード (順方向、逆方向、コースト、ブレーキ) すべてを使用して、BDC モータ制御の全機能を実現できます。

Copyright © 2024 Texas Instruments Incorporated

このインターフェイス オプションは、次の負荷に使用します。

- フル機能の BDC モード (順方向、逆方向、ブレーキ、コースト) を備えた 1 つの大電流 BDC モーター (電流レギュレーションあり / なし)
- フル機能の BDC モード (順方向、逆方向、ブレーキ、コースト) を備えた、同時に動作する 2 つの独立した BDC モーター (電流レギュレーションあり / なし)

表 7-5 に並列ブリッジ インターフェイス動作の構成、図 7-10 に並列ブリッジ インターフェイス動作のアプリケーション図を示します。

表 7-5. 並列インターフェイス (MODE = 1、IN3 = 1)

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	機能 (DC モーター)
0	X	X	X	X	Z	Z	Z	Z	スリープ・モード
1	0	0	1	X	Z	Z	Z	Z	モーター コースト (高速減衰)
1	0	1	1	X	L	H	L	H	逆方向
1	1	0	1	X	H	L	H	L	順方向
1	1	1	1	X	L	L	L	L	モーター ブレーキ (低速減衰)

図 7-10. 並列モード動作

7.3.3.4 独立のブリッジ・インターフェイス

独立ブリッジ インターフェイスでは、DRV8847 デバイスは独立したハーフ ブリッジ動作を行うように構成されます。独立したブリッジ インターフェイス動作を構成するには、MODE ピンを未接続 (Hi-Z 状態) にし、IN1 ピン、IN2 ピン、IN3 ピン、IN4 ピンを使用して OUT1 ピン、OUT2 ピン、OUT3 ピン、OUT4 ピンをそれぞれ独立して制御します。OUTx ピンは 2 つの出力状態 (VM に接続または GND に接続) のみ制御可能で、このモードはリレーやソレノイドなどの独立した負荷を駆動するために使用されます。

このインターフェイス オプションは、次の負荷に使用します。

- OUTx ピンと VM / グランド ピンの間に接続されたリレー コイルまたはソレノイド コイル (電流レギュレーションなし)
- 3 つの機能 BDC モード (順方向、逆方向、ブレーキのみ) を備えたシングルまたはデュアルのブラシ付き DC モーター (電流レギュレーションあり / なし)
- フル ステッピング モードのステッピング モーター (電流レギュレーションあり / なし)

Copyright © 2024 Texas Instruments Incorporated

- ブレーキ モードを使用する、ハーフ ステッピング モードのステッピング モーター (電流レギュレーションあり / なし)

表 7-6 に独立したブリッジ インターフェイス動作の構成、図 7-11 に独立したブリッジ インターフェイス動作のアプリケーション図を示します。

表 7-6. 独立ブリッジ インターフェイス (MODE = Hi-Z)

nSLEEP	IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4	機能 (DC モーター)
0	X	X	X	X	Z	Z	Z	Z	スリープ・モード
1	0				L				GND に接続された OUT1
1	1				H				VM に接続された OUT1
1		0				L			GND に接続された OUT2
1		1				H			VM に接続された OUT2
1			0				L		GND に接続された OUT3
1			1				H		VM に接続された OUT3
1				0				L	GND に接続された OUT4
1				1				H	VM に接続された OUT4

図 7-11. 独立のブリッジ・インターフェイス

7.3.4 電流レギュレーション

モータ巻線に流れる電流は、固定されたオフ時間 PWM 電流レギュレーション回路によって制御されます。ブラシ付き DC モーターでは、モーターのストール電流 (スタートアップ電流でもある) を制限するために電流レギュレーションを使用できます。

電流レギュレーションは次のように動作します。H ブリッジをイネーブルにすると、現在の電源電圧および巻線のインダクタンスに応じた速度で、巻線を流れる電流が増加します。電流が電流トリップ スレッショルドに達すると、ブリッジは次の PWM サイクルを開始する前の t_{OFF} 時間、電流をディスエーブルします。

Copyright © 2024 Texas Instruments Incorporated

注

電流がイネーブルになった直後、ISENxx ピンの電圧がしばらくの間 (t_{BLANK}) 無視されてから、電流センス回路がイネーブルになります。このブランキング時間は、PWM サイクルの最小オン時間も設定するものです。

PWM トリップ電流 ITRIP は、xISEN ピンに接続された電流センス抵抗の両端の電圧を基準電圧と比較するコンパレータによって設定されます。この基準電圧 (V_{TRIP}) はオンチップで生成され、電流トリップ レベルを決定します。

巻線のフルスケールのトリップ電流は、式 1 に示すように計算されます。

$$I_{TRIP} = \text{Torque}\frac{V_{TRIP}}{R_{SENSExx}} \tag{1}$$

ここで、

- I_{TRIP}：制御電流
- V_{TRIP}：内部で生成されるトリップ電圧
- $R_{SENSExx}$：センス抵抗の抵抗値
- トルクはトルク スカラーで、その値は TRQ ピンの入力に依存します。TRQ ピンが GND に接続されている場合 (DRV8847) または TRQ ビットが 0 に設定されている場合 (DRV8847S) は TRQ = 100%、TRQ ピンが V_{EXT} に接続されている場合 (DRV8847) または TRQ ビットが 1 に設定されている場合 (DRV8847S) は TRQ = 50% です。

たとえば、V_{TRIP} 電圧が 150mV で、センス抵抗の値が 150mΩ の場合、フルスケールのトリップ電流は 1A (150mV / (150 mΩ) = 1A) になります。

注

電流制御が必要ない場合は、ISENxx ピンをグランドに直接接続してください。

7.3.5 電流再循環および減衰モード

PWM 電流のトリップ動作中、電流レギュレーションのトリップ スレッショルドに達するまで、H ブリッジはモータ巻線を流れる電流を駆動します。トリップ電流スレッショルドに達すると、駆動電流は遮断されますが、モーターは誘導性であるため、電流はしばらくは流れ続けなければなりません。この連続的な電流の流れを、再循環電流と呼びます。混合減衰では、高速減衰および低速減衰を使用して電流リップルを最適化することで、より優れた電流レギュレーションが可能になります。

混合減衰では、高速減衰モードと低速減衰モードが組み合わされています。高速減衰モードでは、対向する FET の逆並列ダイオードが導通して電流の減衰を速めます (図 7-12 のケース 2 を参照)。低速減衰モードでは、ブリッジ内の両方のローサイド FET をイネーブルにすることで、巻線電流を再循環させます (図 7-12 のケース 3 を参照)。混合減衰は高速減衰から始まり、低速減衰に移行します。DRV8847 デバイスでは、図 7-13 に示すように、混合減衰の割合は、25% の高速減衰と 75% の低速減衰となっています。

図 7-12. 減衰モード

図 7-13. 混合減衰

注

電流レギュレーション方式は 1 つのセンス抵抗を使用するため、「独立ブリッジ インターフェイス」で使用される場合でも、常に 2 つのハーフ ブリッジに対して機能します。独立したハーフ ブリッジを使用する負荷には、電流レギュレーションを使用しないことを推奨します。

7.3.6 トルク スカラー

トルク スカラーは、デジタル入力ピン TRQ によって出力電流を動的に調整するために使用され、出力電流のトリップ基準値を 50% に減少させます (TRQ ピンが High にプルされるたびに)。トルク スカラーを使用して、ステッピング モーターの保持トルクをスケーリングできます。I^2C デバイス バリアント (DRV8847S) では、この機能は I^2C レジスタにより実装されています。

注

DRV88471 では、トルク スカラー値は 100% に固定されています。

Copyright © 2024 Texas Instruments Incorporated

TRQ ピンが Low にプルされると (または DRV8847S デバイス バリアントの場合は TRQ ビットがリセットされると)、式 2 でトリップ電流が計算されます。

$$I_{TRIP} = \frac{Torque \times V_{TRIP}}{R_{SENSExx}} \tag{2}$$

TRQ ピンが High にプルされると (または DRV8847S デバイス バリアントの場合は TRQ ビットが設定されると)、式 3 でトリップ電流が計算されます。

$$I_{TRIP} = 0.5\frac{V_{TRIP}}{R_{SENSExx}} \tag{3}$$

7.3.7 ステッピング・モード

DRV8847 デバイスは、以下のブリッジ構成を使用して、ステッピング モーターをフル ステッピング モードまたは非循環ハーフ ステッピング モードで駆動するために使用されます。

- フル ステッピング モード (電流レギュレーションあり / なし)
  - 4 ピン インターフェイス構成を使用
  - 2 ピン インターフェイス構成を使用
- ハーフ ステッピング モード (電流レギュレーションあり / なし)
  - 4 ピン インターフェイス構成を使用

7.3.7.1 フル ステッピング モード (4 ピン インターフェイス)

フル ステッピング モードでは、フル ブリッジは 2 つの巻線間の位相シフト 90°で 2 つのモード (順方向または逆方向) のいずれかで動作します。

4 ピン インターフェイスの場合、図 7-14 に示すように、PWM 入力は、IN1 ピン、IN2 ピン、IN3 ピン、IN4 ピンに印加され、ドライバは順方向 (FRW) および逆方向 (REV) モードでのみ動作します。

図 7-14. 4 ピン インターフェイスを使用したフル ステッピング モード

Copyright © 2024 Texas Instruments Incorporated

7.3.7.2 フル ステッピング モード (2 ピン インターフェイス)

2 ピン インターフェイスを使用したフル ステッピングでは、PWM 入力は IN1 ピンおよび IN2 ピンにのみ印加され、IN3 ピンはグランドに接続されます (図 7-9 セクションを参照)。図 7-15 に、2 ピン インターフェイスを使用したステッピング モーターのフル ステッピング モードを示します。

図 7-15. 2 ピン インターフェイスを使用したフル ステッピング モード

7.3.7.3 ハーフ ステッピング モード (非駆動高速減衰の場合)

ハーフ ステッピング モードでは、フル ブリッジは 2 つの巻線間の位相シフト 45° で、3 つのモード (順方向、逆方向、コースト) のいずれかで動作します。

4 ピン インターフェイスの場合、図 7-16 に示すように、PWM 入力は、IN1 ピン、IN2 ピン、IN3 ピン、IN4 ピンに接続され、ドライバは順方向モード、逆方向モード、コーストモードで動作します。

図 7-16. 4 ピン インターフェイスを使用したハーフ ステッピング モード (非駆動高速減衰の場合)

Copyright © 2024 Texas Instruments Incorporated

7.3.7.4 ハーフ ステッピング モード (非駆動低速減衰の場合)

このハーフ ステッピング モードでは、非駆動時は低速減衰 (ブレーキ モード) となります。したがって、フル ブリッジは 2 つの巻線間の位相シフト 45° で、3 つのモード (順方向、逆方向、ブレーキ) のいずれかで動作します。

4 ピン インターフェイスの場合、図 7-17 に示すように、PWM 入力は、IN1 ピン、IN2 ピン、IN3 ピン、IN4 ピンに接続され、ドライバは順方向モード、逆方向モード、ブレーキモードで動作します。

図 7-17. 4 ピン インターフェイスを使用したハーフ ステッピング モード (非駆動低速減衰の場合)

7.3.8 モーター ドライバ保護回路

DRV8847 は、VM 低電圧、過電流、開放負荷、過熱イベントから保護されています。

7.3.8.1 過電流保護 (OCP)

DRV8847 は、過電流保護トリップによって過電流から保護されています。各 FET の OCP 回路は、ゲート駆動を止めることにより FET に流れる電流をディスエーブルします。この過電流検出が OCP グリッチ除去時間 (t_{OCP}) より長く続くと、H ブリッジのすべての FET (または独立したインターフェイスのハーフ ブリッジ) がディスエーブルされて、nFAULT ピンが Low に駆動されます。DRV8847 デバイスはリトライ時間 t_{RETRY} が発生するまでディスエーブルされたままになりますが、DRV8847S デバイスには自動リトライまたはラッチ モードを選択できるプログラム可能なオプションがあります。

7.3.8.1.1 OCP 自動リトライ (ハードウェア デバイスおよびソフトウェア デバイス (OCPR = 0b))

このモードで OCP イベントが発生すると、対応するハーフ ブリッジ、フル ブリッジ、または両方のブリッジ (MODE ビットに依存する) がディスエーブルされて、nFAULT ピンが Low に駆動されます (表 7-13 および 表 7-14 を参照)。OCP ビットと対応する OCPx ビットは、I^2C レジスタで High にラッチされます (セクション 7.6 セクションを参照)。図 7-18 に示すように、t_{RETRY} 時間が経過した後は、通常動作が自動的に再開されます (モーター ドライバの動作が再開され、nFAULT ピンが解放されます)。OCP ビットと OCPx ビットは t_{RETRY} 期間が終了するまでラッチされた状態を保ちます。

図 7-18. OCP 動作

7.3.8.1.2 OCP ラッチ モード (ソフトウェア デバイス (OCPR = 1b))

OCP ラッチ モードは、DRV8847S デバイスでのみ使用できます。OCP イベントが発生すると、対応するハーフ ブリッジ、フル ブリッジ、または両方のブリッジ (MODE ビットに依存する) がディスエーブルされて、nFAULT ピンが Low に駆動されます。OCP ビットと対応する OCPx ビットは、I^2C レジスタで High にラッチされます (セクション 7.6 セクションを参照)。OCP 条件が解消され、CLR_FLT ビットによってクリア フォルト コマンドが発行されると、通常動作が再開されます (モーター ドライバの動作が再開され、nFAULT ピンが解放されます)。

7.3.8.1.3

注

電源電圧 V_{VM} > 16.5V の場合、OUTx 電流 (FET 電流) が 4A を上回ると、デバイス動作はデバイスの安全動作領域 (SOA) を超えることになります。16.5V を上回る電源電圧でデバイスを安全に動作させるためには、FET 電流が 4A 未満であることを確認する必要があります。

7.3.8.2 サーマル・シャットダウン (TSD)

デバイス温度がサーマル シャットダウン限界値 (T_{TSD}) を超えると、H ブリッジのすべての FET がディスエーブルされ、nFAULT ピンが Low に駆動されます。デバイス温度が指定された限界値の範囲内まで低下すると、自動的に通常動作が再開されます。動作が再開した後、nFAULT ピンは解放されます。

Copyright © 2024 Texas Instruments Incorporated

7.3.8.3 VM 低電圧誤動作防止 (VM_UVLO)

VM ピンの電圧が UVLO の立ち下がりスレッショルド電圧 V_{UVLO} を下回ると、デバイスのすべての回路がディスエーブルされ、すべての内部ロジックがリセットされます。図 7-19 に示すように、V_{VM} 電圧が UVLO の立ち上がりスレッショルドを上回ると、動作が再開されます。nFAULT ピンは、低電圧条件の間は Low に駆動され、動作が再開されると解放されます。

図 7-19. VM UVLO の動作

7.3.8.4 オープン負荷検出(OLD)

このデバイスには開放負荷検出機能も実装されています。この診断テストは、デバイスの電源投入時、または DRV8847 デバイスがスリープ モードから復帰したとき (nSLEEP ピンの立ち上がりエッジ) に実行されます。OLD 診断テストは、OLDOD (OLD オン デマンド) ビットを使用して、I²C バリアント デバイス (DRV8847S) でいつでも実行できます。

OLD の実装は、フル ブリッジとハーフ ブリッジで行われます。DRV8847 デバイスでは、開放負荷条件下で、ハーフ ブリッジ、フル ブリッジ、または両方のブリッジ (MODE ビットに依存する) は常に動作しており、nFAULT ピンが Low にプルされます。nFAULT ピンを解放するには、OLD シーケンスを再度実行して電源をリセットする必要があります。表 7-7 に、DRV8847 デバイスのさまざまな OLD シナリオを示します。

DRV8847S デバイスでは、OLDBO (OLD ブリッジ動作) ビットを使用して開放負荷条件が検出されるたびに、フル ブリッジまたはハーフ ブリッジが動作モードまたは Hi-Z 状態になるようにプログラムできます。さらに、OLDFD (OLD フォルト ディスエーブル) ビットを使用すれば、OLD ビットの nFAULT 信号をディスエーブルできます。I²C レジスタの詳細設定については、セクション 7.6 セクションを参照してください。表 7-8 に、DRV8847S デバイスのさまざまな OLD シナリオを示します。

注

正確な OLD 動作を行うには、開放負荷オンデマンド コマンドが実行される前に、モーターが静止している (または接続されている負荷の電流がゼロになっている) ことを確認する必要があります。

表 7-7. DRV8847 における開放負荷検出

インターフェイス	負荷タイプ	OLD	ブリッジ動作	nFAULT
4 ピン 2 ピン	フル ブリッジ接続	なし	あり	なし
	ハーフ ブリッジ接続	なし	あり	なし
	ブリッジ開放	あり	あり	あり
	1 つのハーフ ブリッジ開放	あり	あり	あり
並列ブリッジ	フル ブリッジ接続	なし	あり	なし
	ハーフ ブリッジ接続	なし	あり	なし
	ブリッジ開放	あり	あり	あり
	1 つのハーフ ブリッジ開放	あり	あり	あり
独立ブリッジ	フル ブリッジ接続	なし	あり	なし
	ハーフ ブリッジ接続	なし	あり	なし
	ブリッジ開放	あり	あり	あり
	1 つのハーフ ブリッジ開放	あり	あり	あり

表 7-8. DRV8847S における開放負荷検出 (フル ブリッジ 12)

インターフェイス	負荷タイプ	OLD	ブリッジ動作 (1)		nFAULT	OLD ビット			
			OLDBO = 0b	OLDBO = 1b		OLD1	OLD2	OLD3	OLD4
4 ピン 2 ピン	フル ブリッジ接続	なし	あり	あり	なし	0b	0b	X	X
	ハーフ ブリッジ接続	なし	あり	あり	なし	0b	0b	X	X
	ブリッジ開放	あり	あり	なし	あり	1b	1b	X	X
	1 つのハーフ ブリッジ開放	あり	あり	なし	あり	1b または 0b (2)	0b または 1b	X	X
並列ブリッジ	フル ブリッジ接続	なし	あり	あり	なし	0b	0b	X	X
	ハーフ ブリッジ接続	なし	あり	あり	なし	0b	0b	X	X
	ブリッジ開放	あり	あり	なし	あり	1b	1b	X	X
	1 つのハーフ ブリッジ開放	あり	あり	なし	あり	1b または 0b	0b または 1b	X	X
独立ブリッジ	フル ブリッジ接続	なし	あり	あり	なし	0b	0b	X	X
	ハーフ ブリッジ接続	なし	あり	あり	なし	0b	0b	X	X
	ブリッジ開放	あり	あり	なし	あり	1b	1b	X	X
	1 つのハーフ ブリッジ開放	あり	あり	なし	あり	1b または 0b	0b または 1b	X	X

(1) ブリッジの動作は、選択したモード タイプに基づくものです。
- 4 ピン インターフェイスまたは 2 ピン インターフェイスでは、対応するブリッジは動作中または Hi-Z 状態にあります。
- 並列ブリッジ (BDC) インターフェイスでは、両方のブリッジは動作中または Hi-Z 状態にあります。
- 独立ブリッジ インターフェイスでは、対応するハーフ ブリッジは動作中または Hi-Z 状態にあります。

(2) どのハーフ ブリッジが開放されているかによって、I^2C レジスタの対応するビットが設定されます。

開放負荷検出シーケンスは 3 つの検出状態から成り、ドライバは以下のように負荷のいずれかが接続または開放されていることを確認します。

Copyright © 2024 Texas Instruments Incorporated

7.3.8.4.1 フル ブリッジ開放負荷検出

図 7-20 に示すように、デバイスのウェークアップ時に、定電流源によって OUT1 ピンが AVDD (内部) 固定電圧にプルされ、OUT1 端子から OUT2 端子に電流が流れるようになります。引き込み電流は、OUT1 と OUT2 の間のモータ抵抗に完全に依存します。この電流とコンパレータ スレッショルド電圧 (V_{OL_HS} と V_{OL_LS}) に応じて、コンパレータ出力 OL1_HS および OL2_LS が設定またはリセットされ、開放負荷ステータスを決定されます。表 7-9 に、開放負荷検出の OL1_HS と OL2_LS の状態を示します。このテストは、t_{WAKE} または t_{ON} 時間が経過する前に実行されます。開放負荷が検出されると、デバイスの電源が再投入されるか、nSLEEP ピンでデバイスがリセットされるまで、nFAULT ピンは Low にラッチされます。OUT3 ピンと OUT4 ピンについても同様の実装が行われます。

表 7-9. フル ブリッジ接続の開放負荷検出

OL1_HS	OL2_LS	OLD のステータス
0	0	OLD なし
0	1	
1	0	
1	1	OLD あり

図 7-20. フル ブリッジ接続の開放負荷検出回路

注

AVDD 電圧は内部レギュレータ電圧であり、最小値 (V_{VM}、4.2V) として設定されます。したがって、電源電圧 (V_{VM}) が 4.2V より高い場合、この電圧は 4.2V に固定され、それ以外の場合は電源電圧 (V_{VM}) と等しくなります。

7.3.8.4.2 VM に接続された負荷

VM に接続された負荷を検出するために、図 7-21 に示すように、定電流源によって OUT1 ノードがプルダウンされます。これによって、OUT1 と VM の間に接続された負荷抵抗 (R_L) の値に応じて、VM から OUT1 に電流が流れます。より高い電流が流れると (開放負荷ではない) OL1_LS コンパレータが設定され、表 7-10 に示すように、開放負荷検出のためにコンパレータ出力がリセットされます。

Copyright © 2024 Texas Instruments Incorporated

表 7-10. VM に接続された負荷の開放負荷検出

OL1_LS	OLD のステータス
0	OLD なし
1	OLD あり

図 7-21. VM に接続された負荷の開放負荷検出回路

7.3.8.4.3 GND に接続された負荷

GND に接続された負荷を検出するために、図 7-22 に示すように、内部電流源および内部 (4.2V) 固定電圧によって OUT1 ノードがプルアップされます。これによって、OUT1 と GND の間に接続された負荷抵抗 (R_L) の値に応じて、OUT1 から GND に電流が流れます。より高い電流が流れると (開放負荷ではない) OL1_HS コンパレータが設定され、表 7-11 に示すように、コンパレータ出力がリセットされます。

表 7-11. GND に接続された負荷の開放負荷検出

OL1_HS	OLD のステータス
0	OLD なし
1	OLD あり

図 7-22. GND に接続された負荷の開放負荷検出回路

Copyright © 2024 Texas Instruments Incorporated

7.4 デバイスの機能モード

DRV8847 デバイスは、nSLEEP ピンがロジック Low にプルされるまでアクティブです。スリープ モードでは、内部回路 (チャージ ポンプとレギュレータ) がディスエーブルされ、すべての内部 FET がディスエーブルされます (Hi-Z 状態)。

nSLEEP ピンがロジック High にプルされると、デバイスは自動的に動作モードに移行します。デバイスが入力レディになるには、t_{WAKE} が経過していなければなりません。電源投入時に、一時的に nFAULT ピンがアサートされます。表 7-12 に、さまざまな機能モードを示します。

DRV8847 デバイスは、VM 低電圧 (UVLO)、過電流 (OCP)、開放負荷検出 (OLD)、サーマル シャットダウン (TSD) が発生すると、フォルト モードに移行します。各フォルトの機能は、DRV8847 デバイスでは 表 7-13 に、DRV8847S デバイスでは 表 7-14 に示すフォルトのタイプによって異なります。

注

デバイスがスリープ モードに移行するには、t_{SLEEP} 時間が経過していなければなりません。

表 7-12. 機能モード

モード	条件	H ブリッジ	内部回路
動作	2.7V < V_{VM} < 18V nSLEEP ピン = 1	動作	動作
スリープ	2.7V < V_{VM} < 18V nSLEEP ピン = 0	ディセーブル	ディセーブル
フォルト	いずれかのフォルト条件が満たされる	フォルトによる	フォルトによる

表 7-13. DRV8847 のフォルト サポート

フォルト	インターフェイス	条件	通知	H ブリッジ	内部回路	復帰
VM 低電圧 (VM_UVLO)	全インターフェイス	VM < V_{UVLO}	nFAULT	Hi-Z 状態にある両方の H ブリッジ	シャットダウン	**自動:** VM > V_{UVLO}
過電流 (OCP)	4 ピン 2 ピン	I > I_{OCP}	nFAULT	Hi-Z 状態にある対応する H ブリッジ	動作	**自動:** t_{RETRY}
	並列ブリッジ			Hi-Z 状態にある両方の H ブリッジ		
	独立ブリッジ			Hi-Z 状態にある対応するハーフ ブリッジ		
開放負荷検出 (OLD)	4 ピン	フル ブリッジ開放	nFAULT	動作モードにある H ブリッジ	動作	**電源サイクル / リセット:** OUTx 接続
	2 ピン 並列ブリッジ	フル ブリッジ開放	nFAULT	動作モードにある両方の H ブリッジ		
	独立ブリッジ	ハーフ ブリッジ開放	nFAULT	動作モードにあるハーフ ブリッジ		
サーマル・シャットダウン (TSD)	全インターフェイス	T_J > T_{TSD} (最小値 150℃)	nFAULT	Hi-Z 状態にある両方の H ブリッジ	動作	T_J < T_{TSD} (T_{HYS} タイプ 40℃)

表 7-14. DRV8847S のフォルト サポート

フォルト	モード	条件	通知	H ブリッジ	内部回路	復帰
VM 低電圧 (VM_UVLO)	全インターフェイス	VM < V_{UVLO}	nFAULT	Hi-Z 状態にある両方の H ブリッジ	シャットダウン	**自動:** VM > V_{UVLO}
過電流 (OCP)	4 ピン 2 ピン	I > I_{OCP}	nFAULT	Hi-Z 状態にある対応する H ブリッジ	動作	**自動:** t_{RETRY}
	並列ブリッジ			Hi-Z 状態にある両方の H ブリッジ		
	独立ブリッジ インターフェイス			Hi-Z 状態にある対応するハーフ ブリッジ		
開放負荷検出 (OLD)	4 ピン	フル ブリッジ開放	nFAULT	動作中または Hi-Z 状態にある H ブリッジ (1)	動作	**電源サイクル / リセット:** OUTx 接続
	2 ピン 並列ブリッジ	フル ブリッジ開放	nFAULT	動作中または Hi-Z 状態にある両方の H ブリッジ		
	独立ブリッジ	ハーフ ブリッジ開放	nFAULT	動作中または Hi-Z 状態にあるハーフ ブリッジ		
サーマル・シャットダウン (TSD)	全インターフェイス	T_J > T_{TSD} (最小値 150℃)	nFAULT	Hi-Z 状態にある両方の H ブリッジ	動作	T_J < T_{TSD} (T_{HYS} タイプ 40℃)

(1) OLD でのブリッジの状態は、表 7-19 に示すように、OLDBO ビットに依存します。

Copyright © 2024 Texas Instruments Incorporated

7.5 プログラミング

このセクションは、DRV8847S デバイス (I²C バリアント) にのみ適用されます。

7.5.1 I²C 通信

7.5.1.1 I²C 書き込み

I2C バスに書き込む場合は、マスター デバイスは 7 ビットのスレーブ デバイスのアドレスでバス上に START 条件を送信します。最後のビット (R/W ビット) は、書き込みを意味する 0b に設定されます。スレーブ デバイスがアクノリッジ ビットを送信した後、マスター デバイスは書き込み対象レジスタのレジスタ アドレスを送信します。スレーブ デバイスはアクノリッジ (ACK) 信号を再度送信し、スレーブ デバイスがレディであることをマスター デバイスに通知します。このプロセスの後、マスター デバイスは 8 ビットの書き込みデータを送信し、STOP 条件で送信を終了します。

図 7-23. I²C 書き込みシーケンス

7.5.1.2 I²C 読み出し

スレーブ デバイスから読み出す場合は、どのレジスタから読み出すかを最初にマスター デバイスがスレーブ デバイスに知らせる必要があります。この通信は、R/W ビットを 0b (書き込み) としてアドレスを設定する書き込みプロセスと同様に、マスター デバイスが送信を開始することによって行われます。次に、マスター デバイスは読み出し対象のレジスタのレジスタ アドレスを送信します。スレーブ デバイスがこのレジスタ アドレスをアクノリッジすると、マスター デバイスは START 条件を再度送信し、続いて R/W ビットを 1b (読み出し) としたスレーブ アドレスを送信します。このプロセスの後、スレーブ デバイスは読み出し要求をアクノリッジし、マスター デバイスは SDA バスを解放しますが、スレーブ デバイスへのクロック供給は続けます。

トランザクションのこの部分では、マスター デバイスがマスター レシーバになり、スレーブ デバイスがスレーブ トランスミッタになります。マスター デバイスは引き続きクロック パルスを送信しますが、SDA ラインを解放して、スレーブ デバイスがデータを送信できるようにします。バイトの終わりに、マスター デバイスはネガティブ アクノリッジ (NACK) 信号を送信し、スレーブ デバイスに通信を停止してバスを解放するように信号を送ります。その後で、マスター デバイスは STOP 条件を送信します。

図 7-24. I²C 読み出しシーケンス

7.5.2 マルチスレーブ動作

マルチスレーブ動作は、図 7-25 に示すように、1 つの I²C ラインで複数の DRV8847S デバイスを制御する場合に使用します。DRV8847 デバイスのデフォルトのデバイス アドレスは 0x60 (7 ビット アドレス) で、このアドレスを使用してすべての DRV8847S デバイスにアクセスできます。接続されている 4 つのデバイス (図 7-25 を参照) のうちデバイス 1 をプログラミングする場合のマルチスレーブ構成の手順は以下のとおりです。

図 7-25. DRV8847S のマルチスレーブ動作

- DRV8847S デバイス バリアントは、接続されているすべてのデバイスの DISFLT ビット (IC2_CON レジスタ) を 1b に書き込むことで、マルチスレーブ動作用に構成されます。この手順によって、すべての DRV8847S の nFAULT 出力ピンがディスエーブルになり、マスタとスレーブの I²C デバイス間の競合状態が回避されます。
- 3 つのデバイス (2、3、4) の nFAULT ピン (nFAULT2 ピン、nFAULT3 ピン、nFAULT4 ピン) を Low にプルして、スレーブ デバイス (デバイス 2、デバイス 3、デバイス 4) の各 I²C バスを解放します。これでデバイス 1 のみがマスターに接続されたことになります。
- DRV8847S (1) デバイスだけがコントローラに接続されているため、そのスレーブ アドレスをデフォルトの 0x60 (7 ビット アドレス) から別の固有アドレスにプログラムし直すことができます。
- 同様に、他の 3 つのデバイス (デバイス 2、デバイス 3、デバイス 4) のスレーブ アドレス (SLAVE_ADDR) も、nFAULT ピンの組み合わせによって固有アドレスに順次プログラムし直すことができます。
- すべてのスレーブ アドレスが再プログラムされたら、DISFLT ビットを 0b (IC2_CON レジスタ) に書き込みます。これによって、nFAULT 出力ピンがフォルト フラグ用にイネーブルになります。
- すべての nFAULT ピンが解放され、マルチスレーブのセットアップが完了します。これで、新たにプログラムし直されたアドレスを使用して、接続されているすべてのスレーブ デバイスにアクセスできるようになりました。
- 電源リセット (nSLEEP) の場合、いずれのデバイスでも上記の手順を繰り返す必要があります。.

Copyright © 2024 Texas Instruments Incorporated

7.6 レジスタ・マップ

表 7-15 に、DRV8847 デバイスのメモリ マップされた I²C レジスタを示します。I²C レジスタは、DRV8847S デバイスの構成およびデバイス診断に使用されます。

注

予約済みと示されたレジスタや、レジスタ マップ (表 7-15) に記載されていないアドレスは変更しないでください。そのようなレジスタに書き込みを行うと、予期しない動作が生じる場合があります。すべての予約済みビットのデフォルト値は 0b です。

表 7-15. I²C レジスタ

アドレス	略称	レジスタ名	7	6	5	4	3	2	1	0	アクセス権	セクション
0x00	SLAVE_ADDR	スレーブ・アドレス	RSVD	SLAVE_ADDR							RW	
0x01	IC1_CON	IC1 制御	TRQ	IN4	IN3	IN2	IN1	I2CBC	モード		RW	表示
0x02	IC2_CON	IC2 制御	CLRFLT	DISFLT	RSVD	DECAY	OCPR	OLDOD	OLDFD	OLDBO	RW	表示
0x03	SLR_STATUS1	スルーレートとフォルト ステータス 1	RSVD	SLR	RSVD	nFAULT	OCP	OLD	TSDF	UVLOF	RW	表示
0x04	STATUS2	フォルト ステータス 2	OLD4	OLD3	OLD2	OLD1	OCP4	OCP3	OCP2	OCP1	R	表示

表の小さい枠に収まるように、複雑なビット・アクセス・タイプを記号で表しています。このセクションでアクセス・タイプに使用しているコードを、表 7-16 に示します。

表 7-16. アクセス・タイプ・コード

アクセス・タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.1 スレーブ アドレス レジスタ (アドレス = 0x00) [リセット = 0x60]

図 7-26 にスレーブ アドレスを示し、表 7-17 にその説明を示します。

図 7-26. スレーブ アドレス レジスタ

7	6	5	4	3	2	1	0
RSVD	SLAVE_ADDR						
R-0b	R/W-1100000b						

表 7-17. スレーブ アドレス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0b	予約済み
6-0	SLAVE_ADDR	R/W	1100000b	スレーブ アドレス (8 ビット) デフォルト値 0x60

7.6.2 IC1 制御レジスタ (アドレス = 0x01) [リセット = 0x00]

図 7-27 に IC1 の制御を示し、表 7-18 にその説明を示します。

図 7-27. IC1 制御レジスタ

7	6	5	4	3	2	1	0
TRQ	IN4	IN3	IN2	IN1	I2CBC	モード	
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-00b	

表 7-18. IC1 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TRQ	R/W	0b	0b = トルク スカラーを 100% に設定 1b = トルク スカラーを 50% に設定
6	IN4	R/W	0b	INx ビットはブリッジ動作の制御に使用される。
5	IN3	R/W	0b	INx ビットはブリッジ動作の制御に使用される。
4	IN2	R/W	0b	INx ビットはブリッジ動作の制御に使用される。
3	IN1	R/W	0b	INx ビットはブリッジ動作の制御に使用される。
2	I2CBC	R/W	0b	0b = INx ピンにより構成されたブリッジ制御 1b = INx ビットにより構成されたブリッジ制御
1-0	MODE	R/W	00b	00b = 4 ピン インターフェイス 01b = 2 ピン インターフェイス 10b = 並列インターフェイス 11b = 独立モード

Copyright © 2024 Texas Instruments Incorporated

7.6.3 IC2 制御レジスタ (アドレス = 0x02) [リセット = 0x00]

図 7-28 に IC2 の制御を示し、表 7-19 にその説明を示します。

図 7-28. IC2 制御レジスタ

7	6	5	4	3	2	1	0
CLRFLT	DISFLT	RSVD	DECAY	OCPR	OLDOD	OLDFD	OLDBO
R/W-0b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 7-19. IC2 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLRFLT	R/W	0b	このビットを設定すると、クリア フォルト コマンドを発行する。このコマンドは、OLD ビットと OLDx ビット以外のすべての FAULT ビットをクリアする。すべてのフォルトをクリアすると、このビットは 0b にリセットされる。 0b = クリア フォルト コマンド発行なし 1b = クリア フォルト コマンド発行あり
6	DISFLT	R/W	0b	0b = nFAULT ピンがディスエーブルされていない 1b = nFAULT ピンがディスエーブルされている
5	RSVD	R	0b	予約済み
4	DECAY	R/W	0b	0b = 25% 高速減衰 1b = 100% 低速減衰
3	OCPR	R/W	0b	0b = OCP 自動リトライ モード 1b = OCP ラッチ モード
2	OLDOD	R/W	0b	0b = アイドル 1b= OLD オンデマンドがアクティブになっている
1	OLDFD	R/W	0b	0b = OLD 時のフォルト信号あり 1b = OLD 時のフォルト信号なし
0	OLDBO	R/W	0b	0b = OLD 時ブリッジ動作中 1b = OLD 時ブリッジ Hi-Z

7.6.4 スルーレートとフォルト ステータス 1 レジスタ (アドレス = 0x03) [リセット = 0x40]

図 7-29 にフォルト ステータス 1 を示し、表 7-20 にその説明を示します。

図 7-29. フォルト ステータス 1 レジスタ

7	6	5	4	3	2	1	0
RSVD	SLR	RSVD	nFAULT	OCP	OLD	TSDF	UVLOF
R-0b	R/W-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-20. フォルト ステータス 1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RSVD	R	0b	予約済み
6	SLR	R/W	0b	0b = 150ns 1b = 300ns
5	RSVD	R	0b	予約済み
4	nFAULT	R	0b	0b = フォルト検出なし (nFAULT ピンをミラーリング) 1b = フォルト検出あり
3	OCP	R	0b	0b = OCP 検出なし 1b = OCP 検出あり
2	OLD	R	0b	0b = 開放負荷検出なし 1b = 開放負荷検出あり
1	TSDF	R	0b	0b = TSD フォルト検出なし 1b = TSD フォルト検出あり
0	UVLOF	R	0b	0b = UVLO フォルト検出なし 1b = UVLO フォルト検出あり

Copyright © 2024 Texas Instruments Incorporated

7.6.5 フォルト ステータス 2 レジスタ (アドレス = 0x04) [リセット = 0x00]

図 7-30 にフォルト ステータス 2 を示し、表 7-21 にその説明を示します。

図 7-30. フォルト ステータス 2 レジスタ

7	6	5	4	3	2	1	0
OLD4	OLD3	OLD2	OLD1	OCP4	OCP3	OCP2	OCP1
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-21. フォルト ステータス 2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OLD4	R	0b	0b = OUT4 での開放負荷検出なし 1b = OUT4 での開放負荷検出あり
6	OLD3	R	0b	0b = OUT3 での開放負荷検出なし 1b = OUT3 での開放負荷検出あり
5	OLD2	R	0b	0b = OUT2 での開放負荷検出なし 1b = OUT2 での開放負荷検出あり
4	OLD1	R	0b	0b = OUT1 での開放負荷検出なし 1b = OUT1 での開放負荷検出あり
3	OCP4	R	0b	0b = OUT4 での OCP 検出なし 1b = OUT4 での OCP 検出あり
2	OCP3	R	0b	0b = OUT3 での OCP 検出なし 1b = OUT3 での OCP 検出あり
1	OCP2	R	0b	0b = OUT2 での OCP 検出なし 1b = OUT2 での OCP 検出あり
0	OCP1	R	0b	0b = OUT1 での OCP 検出なし 1b = OUT1 での OCP 検出あり

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8847 デバイスは、ステッピング モーターやブラシ付き DC モーターを制御するために使用されます。

8.2 代表的なアプリケーション

DRV8847 は、このセクションで説明するように、ステッピング モーターおよびデュアル BDC モーター用アプリケーションとして構成できます。

8.2.1 ステッピング・モータ・アプリケーション

図 8-1 に、DRV8847 デバイスを使用してステッピング モーターを駆動する代表的なアプリケーションを示します。

図 8-1. デバイス駆動ステッピング モーターの代表的なアプリケーションの回路図

8.2.1.1 設計要件

表 8-1 に、システム設計の設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	数値の例
モータ電源電圧	V_M	12V
モーター巻線抵抗	R_L	34Ω/相
モーター巻線インダクタンス	L_L	33mH/相
モータ RMS 電流	I_{RMS}	350mA
ターゲット・トリップ電流	I_{TRIP}	350mA

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 設計パラメータ (続き)

設計パラメータ	略号	数値の例
トリップ電流の基準電圧 (内部電圧)	V_{TRIP}	150mV

8.2.1.2 詳細な設計手順

8.2.1.2.1 ステッピング・モード

DRV8410 DRV8411 DRV8411A は、以下のブリッジ構成を使用して、ステッピング・モータをフル・ステッピング・モードまたは非循環ハーフ・ステッピング・モードで駆動するために使用されます。

- フル・ステッピング・モード
- スロー・ディケイを使用したハーフ・ステッピング・モード
- ファースト・ディケイを使用したハーフ・ステッピング・モード

8.2.1.2.1.1 フル・ステッピング動作

フル・ステッピング・モードでは、フルブリッジは 2 つの巻線間の位相シフト 90°で、2 つのモード (順方向または逆方向モード) のいずれかで動作します。フル・ステッピングは、ファームウェアに実装するのに最もシンプルなステッピング制御モードであり、高速で最高の性能を実現します。

図 8-2 に示すように、コントローラは PWM 入力を AIN1、AIN2、BIN1、BIN2 ピンに印加し、ドライバは順方向 (FRW) および逆方向 (REV) モードで動作します。

図 8-2. フル・ステッピングのタイミング図

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2.1.2 ハーフ・ステッピング動作と高速減衰

ハーフ・ステッピング・モードでは、フルブリッジは 3 つのモード (順方向、逆方向、またはコースト・モード) のいずれかで動作し、回転子が 2 つのフル・ステッピング位置の間に配置されます。コースト状態では、モータ巻線の電流をすばやく 0A まで減衰できます。このモードは、ハーフ・ステッピングを高速で実行する場合に最適です。

図 8-3 に示すように、コントローラは PWM 入力を AIN1、AIN2、BIN1、BIN2 ピンに印加し、ドライバは順方向、逆方向、およびコースト・モードで動作します。

図 8-3. ファースト・ディケイを使用したハーフ・ステッピングのタイミング図

8.2.1.2.1.3 ハーフ・ステッピング動作と低速減衰

このハーフ・ステッピング・モードでは、ドライバはスロー・ディケイ制御状態 (BDC 駆動の場合は「ブレーキ・モード」) を使用して 0A 状態を達成します。したがって、フルブリッジは 3 つのモード (順方向、逆方向、またはブレーキ / スロー・ディケイ・モード) のいずれかで動作し、回転子が 2 つのフル・ステッピング位置の間に配置されます。スロー・ディケイ状態では、モータ巻線の電流が徐々に 0A まで減衰します。このモードはハーフ・ステッピングを低速で実行する場合に最適で、ステッピング・ノイズや振動を低減するのに役立ちます。

図 8-4 に示すように、コントローラは PWM 入力を AIN1、AIN2、BIN1、BIN2 ピンに印加し、ドライバは順方向、逆方向、およびブレーキト・モードで動作します。

図 8-4. スロー・ディケイを使用したハーフ・ステッピングのタイミング図

8.2.1.2.2 電流レギュレーション

トリップ電流 (I_{TRIP}) は、いずれかの巻線を流れる最大電流です。この電流量は、式 4 に示すように、センス抵抗値 ($R_{SENSExx}$) に依存します (トルク設定 (TRQ) を 100% とした場合)。

$$I_{TRIP} = \frac{\text{Torque} \times V_{TRIP}}{R_{SENSExx}} \tag{4}$$

I_{TRIP} 電流は、$R_{SENSExx}$ 抵抗の両端の電圧を基準電圧と比較するコンパレータによって設定されます。モーターが飽和しないように、I_{TRIP} 電流は 式 5 に示すように計算する必要があります。

$$I_{TRIP} = \frac{V_{VM}}{R_L\ (\Omega) + R_{DS(ON)_HS}\ (\Omega) + R_{DS(ON)_LS}\ (\Omega) + R_{SENSExx}\ (\Omega)} \tag{5}$$

ここで、

- V_{VM}: モーターの電源電圧
- R_L: モーターの巻線抵抗

Copyright © 2024 Texas Instruments Incorporated

- $R_{DS(ON)_HS}$ と $R_{DS(ON)_LS}$：FET のハイサイドとローサイドのオン抵抗

I_{TRIP} 値が 350mA の場合、センス抵抗 ($R_{SENSExx}$) の値は 式 6 に示すように計算されます。

$$R_{SENSE12} = R_{SENSE34} = \frac{V_{TRIP}}{I_{TRIP}} = \frac{150\ mV}{350\ mA} = 428.6\ m\Omega \tag{6}$$

利用可能な最も近い値である 440mΩ をセンス抵抗に選択します。この値を選択すると、2.8% ほど電流精度に影響します。

8.2.1.3 アプリケーション曲線

図 8-5. デバイスの電源投入、電源電圧 (VM) 使用

図 8-6. デバイスの電源投入、nSLEEP 使用

図 8-7. ステッピング・モータのフル・ステッピング動作

図 8-8. ステッピング モーターのハーフ ステッピング動作、オフ状態時 Hi-Z

図 8-9. ステッピング モーターのハーフ ステッピング動作、オフ状態時ブレーキ

図 8-10. 並列モードのブラシ付き DC モーター動作、2A での電流レギュレーション

Copyright © 2024 Texas Instruments Incorporated

図 8-11. 電流レギュレーションのズーム波形

図 8-12. 電流スケーリングのトルク ピン機能

図 8-13. 低電圧誤動作防止動作

図 8-14. 開放負荷検出動作

図 8-15. 過電流保護と回復

図 8-16. 過電流保護のズーム波形

8.2.2 デュアル BDC モータ・アプリケーション

図 8-17 に、DRV8847 デバイスを使用してデュアル BDC モーターを駆動する代表的なアプリケーションを示します。

図 8-17. 2 つの BDC モータを駆動するデバイスの代表的なアプリケーションの回路図

8.2.2.1 設計要件

表 8-2 に、システム設計の設計入力パラメータを示します。

表 8-2. 設計パラメータ

設計パラメータ	略号	数値の例
モータ電源電圧	V_M	12V
モーター巻線抵抗	R_L	13.2Ω
モーター巻線インダクタンス	L_L	500µH
モータ RMS 電流	I_{RMS}	490mA
モータのスタートアップ電流	I_{START}	900mA
ターゲット・トリップ電流	I_{TRIP}	1.2A
トリップ電流の基準電圧 (内部電圧)	V_{TRIP}	150mV

8.2.2.2 詳細な設計手順

8.2.2.2.1 モータ電圧

アプリケーションで使用されるモータ電圧は、選択したモータの定格と、1 分間あたりの回転数 (RPM) の目標値に依存します。電圧がより高ければ、パワー FET に印加されているのと同じ PWM デューティ・サイクルで、ブラシ付き DC モータをより高速に回転させることができます。また、電圧が高いと、誘導モータの巻線を流れる電流の変化率も大きくなります。

8.2.2.2.2 電流レギュレーション

トリップ電流 (I_{TRIP}) は、いずれかの巻線を流れる最大電流です。モータのピーク電流 (開始電流) は 900mA であるため、I_{TRIP} 電流レベルはピーク電流よりも少し大きくなるよう選択します。この例で選択した I_{TRIP} 値は 1.2A です。このことから、式 7 を使用して、ISEN12 ピンと ISEN34 ピンに接続されているセンス抵抗 ($R_{SENSE12}$ と $R_{SENSE34}$) の値を選択します。

Copyright © 2024 Texas Instruments Incorporated

$$R_{SENSE12} = R_{SENSE34} = \frac{V_{TRIP}}{I_{TRIP}} = \frac{150\ mV}{1.2\ A} = 125\ m\Omega \quad (7)$$

8.2.2.2.3 センス抵抗

最適な性能を実現するには、センス抵抗は以下の条件を満たす必要があります。

- 表面実装部品である
- 低インダクタンス
- 定格電力が十分に高い
- モータ・ドライバに近づけて配置する

センス抵抗によって消費される電力は $I_{RMS}{}^2 \times R$ です。この例では、ピーク電流は 900mA、RMS モーター電流は 490mA、センス抵抗値は 125mΩ です。したがって、センス抵抗 ($R_{SENSE12}$ と $R_{SENSE34}$) は 30mW (490mA^2 × 125mΩ = 30mW) を消費します。電流レベルが増加すると、電力は急速に大きくなります。

抵抗は、通常、ある範囲の周囲温度での定格電力が決まっていて、高い周囲温度については、ディレーティングした電力曲線があります。プリント基板 (PCB) を熱を発生させる他の部品と共有する場合は、マージンを追加する必要があります。ベスト・プラクティスとして、最終的なシステムの実際のセンス抵抗温度とパワー MOSFET を測定します。これは、これらの部品が最も高温になることが多いからです。

パワー抵抗は標準の抵抗より大きく高価であるため、一般的な方法は、複数の標準抵抗を並列に、センス・ノードとグランドの間で使用することです。この方法では、電流と放熱が分散されます。

8.2.3 開放負荷の実装

このセクションでは、開放負荷検出回路とその動作について説明します。開放負荷検出診断テストは、デバイスの電源投入時、または DRV8847 デバイスがスリープ モードから復帰したときに実行されます。I^{2}C バリアント デバイス (DRV8847S) では、I^{2}C レジスタ ビットを使用して、OLD 診断テストははどのタイミングでも実行できます。

8.2.3.1 開放負荷検出回路

OLD 回路は、電流源 (および電流シンク)、直列シーケンス スイッチ (デジタル コアによってシーケンスされる)、抵抗、コンパレータの 4 つの主要コンポーネントで構成されています。グランド (GND) に接続された負荷の場合、図 8-18 に示すように、電流源 (I_{OL_PU}) が OUTx ノードを内部レギュレータ電圧 (AVDD) にプルアップし、電流は内部レギュレータ電圧 (AVDD) から接続負荷を介してグランドに流れます。さらに、電源 (VM) に接続された負荷の場合、図 8-20 に示すように、電流シンク (I_{OL_PD}) が電源電圧 (VM) から接続負荷を経由してグランドに電流をプルダウンします。OUTx 端子に接続された負荷の抵抗は、ソース / シンク電流を変化させ、間接的に 2 つの抵抗 (12kΩ と 15kΩ) 間の電圧降下を変化させます。2 つの抵抗間のこの電圧降下は、内部コンパレータによって基準電圧 (V_{OL_HS} と V_{OL_LS}) と比較され、OL1_HS と OL1_LS として出力されます。このコンパレータ出力は、開放負荷条件を判定するために開放負荷デジタル回路に供給されます。

注

上記の各種パラメータの値は、AVDD 電圧 = 4.2V、I_{OL_PU} = 200µA、I_{OL_PD} = 230µA、V_{OL_HS} = 2.3V、V_{OL_LS} = 1.2V となります。

上記の値は、標準的な電源電圧と温度条件での値になります。詳細な仕様については、セクション 6 の「代表的特性」セクションを参照してください。

8.2.3.2 グランドに接続された負荷の OLD

図 8-18 に、内部 OLD 回路を持つグランドに接続された負荷を示します。ハイサイドの開放負荷シーケンスがアクティブになると (SW1_HS がオン、SW1_LS がオフ)、電流源 (I_{OL_PU}) が OUT1 ノードを内部レギュレータ電圧 (AVDD) にプルアップし、電流は内部レギュレータ電圧 (AVDD)から接続負荷 (R_L) を介してグランドに流れます。このとき、負荷の有無によって、以下の 3 つのケースが考えられます。

8.2.3.2.1 ハーフ ブリッジの開放

OUT1 に無負荷が接続されている場合、AVDD から電流は流れません。このとき、OL1_HS コンパレータの正端子が 4.2V (AVDD) にプルアップされます。この電圧は 2.3V (V_{OL_HS}) と比較され、コンパレータ出力を 1 に設定します。これは開放負荷検出があることを示すものです。

図 8-18. グランド (GND) に接続された負荷の開放負荷検出回路

8.2.3.2.2 ハーフ ブリッジの短絡

OUT1 ピンがグランドに短絡した場合、AVDD から 200µA (I_{OL_PU}) のプルアップ電流が流れます。これによって、OL1_HS コンパレータの正端子で次のような電圧降下が生じます。

$$V_{OL1_HS}(+) = V_{AVDD} - I_{OL_PU} \times 12k\Omega \tag{8}$$

式 8 を用いて、V_{OL1_HS} (+) は 式 9 に示すように計算されます。

$$V_{OL1_HS}(+) = 4.2V - 200\mu A \times 12k\Omega = 1.8V \tag{9}$$

この電圧は 2.3V (V_{OL_HS}) と比較され、OL1_HS コンパレータ出力を 0 にリセットします。これは開放負荷の検出がないことを示すものです。

8.2.3.2.3 接続された負荷

OUT1 と GND の間に抵抗性負荷 (R_L) が接続されている場合、AVDD から流れる電流は次のように抵抗性負荷 (R_L) に依存します。

$$I_{LOAD} = \frac{V_{AVDD}}{R_L + 12k\Omega} \tag{10}$$

このとき、OL1_HS コンパレータの正端子での電圧降下が 2.3V (V_{OL_HS}) を上回ると、コンパレータは出力を 1 に設定します。これは開放負荷検出があることを示すものです。したがって、OL1_HS コンパレータをトリップするのに必要な電圧は次のように計算されます。

Copyright © 2024 Texas Instruments Incorporated

$$V_{OL_HS} < V_{AVDD} - I_{LOAD} \times 12k\Omega \tag{11}$$

式 10 を 式 11 に当てはめると、次のようになります。

$$V_{OL_HS} < V_{AVDD} - \frac{V_{AVDD} \times 12k\Omega}{R_L + 12k\Omega} \tag{12}$$

式 12 を解くと、負荷抵抗 (R_L) は次のように表されます。

$$R_L > \frac{V_{AVDD} \times 12k\Omega}{V_{AVDD} - V_{OL_HS}} - 12k\Omega \tag{13}$$

V_{AVDD} と V_{OL_HS} を 式 13 に入力すると、負荷抵抗 (R_L) は 14.52kΩ と計算されます。したがって、OUTx と GND の間に接続された抵抗性負荷のうち、この値を超えるものは開放負荷として示されます。

注

これらのパラメータ値は、分かりやすくするために代表的なケースを想定したもので、電源電圧や温度に応じて変化します。そのため、上記の計算に基づき、設計マージンを考慮する必要があります。

図 8-19. グランド (GND) に接続された負荷の開放負荷検出の抵抗スレッショルド

8.2.3.3 電源 (VM) に接続された負荷の OLD

図 8-20 に、内部 OLD 回路を持つ電源 (VM) に接続された負荷を示します。ローサイドの開放負荷シーケンスがアクティブになると (SW1_HS がオフ、SW1_LS がオン)、電流シンク (I_{OL_PD}) が OUT1 ノードを電源電圧 (V_{VM}) にプルダウンし、電流は電源 (VM) から接続負荷 (R_L) を介してグランドに流れます。このとき、負荷の有無によって、以下の 3 つのケースが考えられます。

図 8-20. 電源電圧 (VM) に接続された負荷の開放負荷検出回路

8.2.3.3.1 ハーフ ブリッジの開放

OUT1 に無負荷が接続されている場合、電源 (VM) から電流は流れません。このとき、OL1_LS コンパレータの負端子が 0V (GND) にプルダウンされます。この電圧は 1.2V (V_{OL_LS}) と比較され、コンパレータ出力を 1 に設定します。これは開放負荷検出があることを示すものです。

8.2.3.3.2 ハーフ ブリッジの短絡

OUT1 ピンが電源 (VM) に短絡した場合、電源 (VM) から 230µA (I_{OL_LS}) のプルダウン電流が流れます。これによって、OL1_LS コンパレータの負端子で次のような電圧降下が生じます。

$$V_{OL1_LS}(-) = I_{OL_PD} \times 15k\Omega \tag{14}$$

式 14 を用いて、V_{OL1_LS} (-) は 式 15 に示すように計算されます。

$$V_{OL1_LS}(-) = 230\mu A \times 15k\Omega = 3.45V \tag{15}$$

この電圧は 1.2V (V_{OL_LS}) と比較され、OL1_LS コンパレータ出力を 0 にリセットします。これは開放負荷の検出がないことを示すものです。

8.2.3.3.3 接続された負荷

OUT1 と VM の間に抵抗性負荷 (R_L) が接続されている場合、電源 (VM) から流れる電流は次のようになります。

$$I_{LOAD} = \frac{V_{VM}}{R_L + 15k\Omega} \tag{16}$$

このとき、OL1_LS コンパレータの負端子での電圧降下が 1.2V (V_{OL_LS}) を下回ると、コンパレータは出力を 1 に設定します。これは開放負荷検出があることを示すものです。したがって、OL1_LS コンパレータをトリップするのに必要な電圧は次のように計算されます。

Copyright © 2024 Texas Instruments Incorporated

$$V_{OL_LS} > I_{LOAD} \times 15k\Omega \tag{17}$$

式 16 を 式 17 に当てはめると、次のようになります。

$$V_{OL_LS} > \frac{V_{VM} \times 15k\Omega}{R_L + 15k\Omega} \tag{18}$$

式 18 を解くと、負荷抵抗 (R_L) は次のように表されます。

$$R_L > \frac{V_{VM} \times 15k\Omega}{V_{OL_LS}} - 15k\Omega \tag{19}$$

V_{VM} と V_{OL_HS} を 式 19 に入力すると、12V の電源電圧 (V_{VM}) に対して負荷抵抗 (R_L) は 135kΩ と計算されます。したがって、VM と OUTx の間に接続された抵抗性負荷のうち、この値を超えるもの (V_{VM} = 12V の場合) は開放負荷として示されます。

図 8-21. 電源 (VM) に接続された負荷の開放負荷検出の抵抗スレッショルド

注

電源 (VM) に接続された負荷の開放負荷検出では、開放負荷の抵抗性負荷スレッショルドも電源電圧 (V_{VM}) に依存します。

8.2.3.4 フル ブリッジに接続された負荷の OLD

図 8-22 に、内部 OLD 回路を持つフル ブリッジ構成として接続された負荷を示します。フル ブリッジ開放負荷シーケンスは、ハーフ ブリッジ 1 のハイサイド スイッチ (SW1_HS)と、ハーフ ブリッジ 2 のローサイド スイッチ (SW2_LS) を同時にオンにすることで成り立ちます。同様に、ハーフ ブリッジ 2 のハイサイド スイッチ (SW2_HS) とハーフブリッジ 1 のローサイド スイッチ (SW1_LS) を同時にオンにする、もう一方のハーフ ブリッジのフル ブリッジ開放負荷シーケンスを実行します。このとき、負荷の有無によって、以下の 3 つのケースが考えられます。

8.2.3.4.1 フル ブリッジ開放

OUT1 端子と OUT2 端子の間に無負荷が接続されている場合、内部レギュレータ (AVDD) からは電流は流れません。このとき、ハーフ ブリッジ 1 のハイサイド コンパレータの正端子 (OL1_HS) とハーフブリッジ 2 のローサイド コンパレータの負端子 (OL2_LS) での電圧降下は次のようになります。

8.2.3.4.1.1 ハーフ ブリッジ 1 のハイサイド コンパレータ (OL1_HS)

内部レギュレータ (AVDD) から電流が流れていないため、OUT1 ノード (OL1_HS コンパレータの正端子でもある) の電圧は 4.2V (AVDD) にクランプされます。この電圧は 2.3V (V_{OL_HS}) と比較され、コンパレータ出力を 1 に設定します。

8.2.3.4.1.2 ハーフ ブリッジ 2 のローサイド コンパレータ (OL2_LS)

開放負荷条件においては、電流は SW2_LS スイッチに流れず、これによって OL2_LS コンパレータの負端子が 0V (GND) にプルダウンされます。この電圧は 1.2V (V_{OL_LS}) と比較され、コンパレータ出力を 1 に設定します。

このとき、両方のコンパレータ出力 (OL1_HS と OL2_LS) が High であるなら、開放負荷検出があることを示すものです。

8.2.3.4.2 フル ブリッジの短絡

OUT1 端子と OUT2 端子の間が短絡している場合、ハイサイド (12kΩ) 抵抗とローサイド (15kΩ) 抵抗に応じて、次のように内部レギュレータ (AVDD) から短絡電流 (I_{SC}) が流れます。

$$I_{SC} = \frac{V_{AVDD}}{15k\Omega + 12k\Omega} = \frac{V_{AVDD}}{27k\Omega} \tag{20}$$

したがって、式 20 を用いて流れる短絡電流は、次のように計算されます。

$$I_{SC} = \frac{V_{AVDD}}{27k\Omega} = \frac{4.2V}{27k\Omega} = 155.56\mu A \tag{21}$$

このとき、ハーフ ブリッジ 1 のハイサイド コンパレータの正端子 (OL1_HS) とハーフブリッジ 2 のローサイド コンパレータの負端子 (OL2_LS) での電圧降下は次のようになります。

8.2.3.4.2.1 ハーフ ブリッジ 1 のハイサイド コンパレータ (OL1_HS)

内部レギュレータ (AVDD) から I_{SC} のプルアップ電流 (155.56μA) が流れているため、OL1_HS コンパレータの正端子 (OUT1 ノードでもある) の電圧は次のように計算されます。

$$V_{OL1_HS}(+) = V_{AVDD} - I_{SC} \times 12k\Omega \tag{22}$$

式 22 を用いて、V_{OL1_HS} (+) は次のように計算されます。

$$V_{OL1_HS}(+) = 4.2V - 155.56\mu A \times 12k\Omega = 2.33V \tag{23}$$

この電圧は 2.3V (V_{OL_HS}) と比較され、OL1_HS コンパレータ出力を 1 に設定します。

8.2.3.4.2.2 ハーフ ブリッジ 2 のローサイド コンパレータ (OL2_LS)

I_{SC} のプルダウン電流 (155.56μA) は内部レギュレータ (AVDD) から SW2_LS スイッチに流れるため、OL2_LS コンパレータの負端子の電圧は次のように計算されます。

$$V_{OL2_LS}(-) > I_{SC} \times 15k\Omega \tag{24}$$

式 24 を用いて、V_{OL2_LS} は次のように計算されます。

$$V_{OL2_LS}(-) = 155.56\mu A \times 15k\Omega = 2.33V \tag{25}$$

この電圧は 1.2V (V_{OL_LS}) と比較され、OL2_LS コンパレータ出力を 0 にリセットします。

Copyright © 2024 Texas Instruments Incorporated

OL1_HS コンパレータは出力 1 を示し、OL2_LS コンパレータは出力 0 を示しているため、このケースは開放負荷なしとみなされます。

図 8-22. フル ブリッジ構成で接続されたモーターの開放負荷検出回路

8.2.3.4.3 フル ブリッジで接続された負荷

OUT1 端子と OUT2 端子の間に負荷 (R_L) が接続されている場合、負荷電流 (I_L) は次のように計算されます。

$$I_{LOAD} = \frac{V_{AVDD}}{12k\Omega + R_L + 15k\Omega} = \frac{V_{AVDD}}{R_L + 27k\Omega} \tag{26}$$

このとき、ハーフ ブリッジ 1 のハイサイド コンパレータの正端子 (OL1_HS) とハーフブリッジ 2 のローサイド コンパレータの負端子 (OL2_LS) での電圧降下は次のようになります。

8.2.3.4.3.1 ハーフ ブリッジ 1 のハイサイド コンパレータ (OL1_HS)

OL1_HS コンパレータの正端子での電圧降下が 2.3V (V_{OL_HS}) を上回ると、コンパレータは出力を 1 (開放負荷あり) に設定します。したがって、OL1_HS コンパレータをトリップするのに必要な電圧は次のように計算されます。

$$V_{OL_HS} < V_{AVDD} - I_{LOAD} \times 12k\Omega \tag{27}$$

式 26 を 式 27 に当てはめると、次のようになります。

$$V_{OL_{HS}} < V_{AVDD} - \frac{V_{AVDD} \times 12k\Omega}{R_L + 27k\Omega} \tag{28}$$

式 28 を解くと、負荷抵抗 (R_L) は次のように表されます。

$$R_L > \frac{V_{AVDD} \times 12k\Omega}{V_{AVDD} - V_{OL_HS}} - 27k\Omega \tag{29}$$

V_{AVDD} と V_{OL_HS} を 式 29 に入力すると、負荷抵抗 (R_L) は (-)10.2kΩ と計算されます。抵抗値は負であるため、OL1_HS コンパレータの正端子の電圧は常に V_{OL_HS} より高くなり、コンパレータ出力は常に High (1) になります。

8.2.3.4.3.2 ハーフ ブリッジ 2 のローサイド コンパレータ (OL2_LS)

OL2_LS コンパレータの負端子での電圧降下が 1.2V (V_{OL_LS}) を下回ると、コンパレータは出力を 1 に設定します。これは開放負荷検出があることを示すものです。したがって、OL2_LS コンパレータをトリップするのに必要な電圧は次のように計算されます。

$$V_{OL_LS} > I_{LOAD} \times 15k\Omega \tag{30}$$

式 26 を 式 30 に当てはめると、次のようになります。

$$V_{OL_LS} > \frac{V_{AVDD} \times 15k\Omega}{R_L + 27k\Omega} \tag{31}$$

式 31 を解くと、負荷抵抗 (R_L) は次のように表されます。

$$R_L > \frac{V_{AVDD} \times 15k\Omega}{V_{OL_LS}} - 27k\Omega \tag{32}$$

V_{AVDD} と V_{OL_LS} を 式 32 に入力すると、負荷抵抗 (R_L) は 25.5kΩ と計算されます。したがって、負荷抵抗が 25.5kΩ より大きい場合、OL2_HS コンパレータの出力は 1 に設定されます。

OL1_HS コンパレータは常に 1 を出力するため、開放負荷ステータスは OL2_HS コンパレータの出力のみに依存します。OL2_HS コンパレータの出力が 1 の場合、開放負荷が検出されます。

Copyright © 2024 Texas Instruments Incorporated

図 8-23. フル ブリッジ構成で接続された負荷の開放負荷検出の抵抗スレッショルド

電源に関する推奨事項

DRV8847 デバイスは、2.7V～18V の入力電源電圧 (V_{VM}) 範囲で動作するように設計されています。VM 定格 0.1μF セラミック コンデンサを、DRV8847 デバイスのできるだけ近くに配置してください。また、VM ピンには 10μF 以上の容量のバルク キャパシタを含める必要がありす。

9.1 バルク容量の決定

バルク容量のサイズ決定は、モーター駆動システムの設計において重要な要素です。バルク容量は、次のようなさまざまな要因で決まります。

- 電源タイプ
- 許容される電源電圧リップル
- 電源配線の寄生インダクタンス
- モータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのスタートアップ電流
- モーターのブレーキ方式

電源とモーター駆動システムの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル・バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンプが発生した場合、システムの電圧が変動します。バルク容量は、許容される電圧リップル レベル合うように決めてください。

データシートには推奨最小値が記載されていますが、バルク キャパシタの容量が適切かどうかを判断するには、システム レベルのテストが必要です。

図 9-1. 外部電源を使用したモータ駆動システムの構成

Copyright © 2024 Texas Instruments Incorporated

9 レイアウト

9.1 レイアウトのガイドライン

推奨値 10μF で VM 定格の低 ESR セラミック バイパス コンデンサを使用して、VM ピンをグランドにバイパスしてください。このコンデンサは、幅の広いパターン、またはデバイスの GND ピンに接続されたグランド プレーンを使用して、VM ピンのできるだけ近くに配置してください。

9.2 レイアウト例

図 9-1. 単層基板の 16 ピン TSSOP パッケージのレイアウトに関する推奨事項

図 9-2. 2 層基板の 16 ピン HTSSOP パッケージのレイアウトに関する推奨事項

図 9-3. 2 層基板の 16 ピン QFN パッケージのレイアウトに関する推奨事項

Copyright © 2024 Texas Instruments Incorporated

9.3 熱に関する注意事項

9.3.1 最大出力電流

実際の動作では、モーター ドライバで実現可能な最大出力電流はデバイス温度に依存しており、このデバイス温度は周囲温度と PCB 設計に大きく影響されるものです。基本的に、最大モーター電流は消費電力レベルを生成する電流の量であり、パッケージと PCB の熱抵抗とともに、デバイスをサーマル シャットダウンを回避するのに十分な低温に保ちます。

データシートに記載されている消費電力定格は、いくつかの異なる PCB 構造において、デバイスをサーマル シャットダウンさせることなく実現可能な最大消費電力の概算値を計算するためのガイドとして使用できます。ただし、正確なデータを得るには、実際の PCB 設計を測定または熱シミュレーションにより解析する必要があります。

9.3.2 過熱保護

DRV8847 デバイスには、セクション 9.3.1 セクションで説明したように、サーマル シャットダウン (TSD) があります。デバイス温度が約 150℃ を超えると、温度が 40℃ 下がるまでデバイスはディスエーブルされます。

何度も TSD が作動する場合、消費電力が過大である、ヒートシンクが不十分である、周囲温度が高すぎる、のいずれかであることを示しています。

9.4 電力散逸

DRV8847 デバイスの消費電力は、出力 FET 抵抗で消費される DC 電力 ($R_{DS(ON)_HS}$ と $R_{DS(ON)_LS}$) によってほぼ決まります。加えて、PWM スイッチング損失により電力が消費されます。これらの損失は、PWM 周波数、立ち上がり / 立ち下がり時間、VM 電源電圧に依存し、通常は DC 消費電力の 10%～30% 程度に相当します。

式 33 を用いて、1 つの H ブリッジの DC 消費電力を推定してください。

$$P_{TOT} = R_{DS(ON)_LS} \times I_{OUT(RMS)}^{2} + R_{DS(ON)_HS} \times I_{OUT(rms)}^{2} \tag{33}$$

ここで、

- P_{TOT} : 合計消費電力
- $I_{OUT(RMS)}$: モーターに印加される RMS 出力電流
- $R_{DS(ON)_HS}$ と $R_{DS(ON)_LS}$: FET のハイサイドとローサイドのオン抵抗

注

$R_{DS(ON)_HS}$ と $R_{DS(ON)_LS}$ の値は、温度とともに増加するため、デバイスが熱くなると消費電力が増加します。ヒートシンクのサイズを決定する際は、この関係を考慮する必要があります。

10 デバイスおよびドキュメントのサポート

10.1 デバイス・サポート (オプション)

10.1.1 開発サポート (オプション)

10.1.2 デバイスの命名規則 (オプション)

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

-
- テキサス・インスツルメンツ、『DRV8847EVM ユーザー ガイド』
- テキサス・インスツルメンツ、『DRV8847EVM および DRV8847SEVM ソフトウェア ユーザー ガイド』
- テキサス・インスツルメンツ、『大型家電の小型モータ』TI TechNote

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 コミュニティ・リソース

10.5 商標

PowerPAD™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV88471RTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	88471
DRV88471RTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	88471
DRV8847PWPR	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PWP
DRV8847PWPR.A	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PWP
DRV8847PWPRG4	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PWP
DRV8847PWPRG4.A	Active	Production	HTSSOP (PWP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to -40	8847PWP
DRV8847PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PW
DRV8847PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PW
DRV8847PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PW
DRV8847PWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847PW
DRV8847RTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8847
DRV8847RTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8847
DRV8847RTET	Obsolete	Production	WQFN (RTE) | 16	-	-	Call TI	Call TI	-40 to 125	8847
DRV8847SPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	8847SPW
DRV8847SPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	8847SPW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

TAPE DIMENSIONS

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV88471RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DRV8847PWPR	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847PWPRG4	HTSSOP	PWP	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
DRV8847RTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
DRV8847SPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV88471RTER	WQFN	RTE	16	3000	367.0	367.0	35.0
DRV8847PWPR	HTSSOP	PWP	16	2000	356.0	356.0	35.0
DRV8847PWPRG4	HTSSOP	PWP	16	2000	356.0	356.0	35.0
DRV8847PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
DRV8847PWRG4	TSSOP	PW	16	2000	356.0	356.0	35.0
DRV8847RTER	WQFN	RTE	16	3000	367.0	367.0	35.0
DRV8847SPWR	TSSOP	PW	16	2000	356.0	356.0	35.0

GENERIC PACKAGE VIEW

RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4225944/A

SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PW0016A

PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PWP 16 PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4073225-3/J

PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may not be present.

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X

SOLDER MASK DETAILS
PADS 1-16

4214868/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.69 X 3.69
0.125	3.3 X 3.3 (SHOWN)
0.15	3.01 X 3.01
0.175	2.79 X 2.79

4214868/A 02/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated