

DS99R421

*DS99R421 5-43 MHz FPD-Link LVDS (3 Data + 1 Clock) to FPD-Link II LVDS
(Embedded Clock DC-Balanced) Converter*



Literature Number: JAJAS0



2008年1月

DS99R421

5 ~ 43MHz FPD-Link LVDS (3 データ + 1 クロック) / クロック埋め込み単一信号変換 DC バランス LVDS コンバータ

概要

DS99R421 は、DC バランス化されていない 4 つの LVDS 信号 (LVDS データ×3 + LVDS クロック) の FPD-Link 入力と、3 ビットの低速オーバーサンプリング制御ビットに、クロック情報を埋め込み、DC バランス化した単一の LVDS シリアル・データ・ストリームに変換します。この単一シリアル・データ・ストリームでは、3 本の平行 LVDS データ入力と LVDS クロック・パスの間で問題となるスキューが発生しないため、プリント基板配線やケーブルによる 1 対の差動ペア配線によって、24 ビット・パスのデータを簡単に転送できます。4 対の LVDS 信号を 1 対に減らせるため、プリント基板層数やケーブル幅、コネクタ・サイズとピン数などが低減され、コストも抑えられます。

DS99R421 の高速 I/O には、シリアル化された単一の LVDS 信号を採用しています。クロック埋め込み LVDS は、シリアル伝送パス上を高い信頼性でデータを転送するための低消費電力、低ノイズの環境を提供します。コンバータの出力エッジの傾きを最適化することにより、動作周波数全域で EMI がさらに低減されました。

また、損失の大きいケーブルによる長距離伝送のために、信号をブーストするプリエンファシス機能も搭載しています。DC バランス・エンコード機能を搭載しており、AC 結合による相互接続をサポートします。

特長

5MHz ~ 43MHz のクロック埋め込み DC バランス・データ転送 (合計 21 ビットの LVDS データと 3 ビットの低速 LVCMOS データ)

外付け抵抗によりレベルを調整できる LVDS 出力プリエンファシス駆動機能により、最大 10m のシールド・ツイストペア・ケーブルを駆動可能

AC 結合によるデータ伝送に対応

100 の LVDS 入力終端抵抗を内蔵

パワーダウン制御

DS90UR124 とのリンク整合性を検証する At-Speed BIST 機能

LVCMOS のすべての入力および制御ピンにプルダウン抵抗を内蔵

OS[2:0] にはメタステーブル状態を抑えるためのシュミット・トリガ入力を採用

DEN による TRI-STATE 出力

PLL 用オンチップ・フィルタ

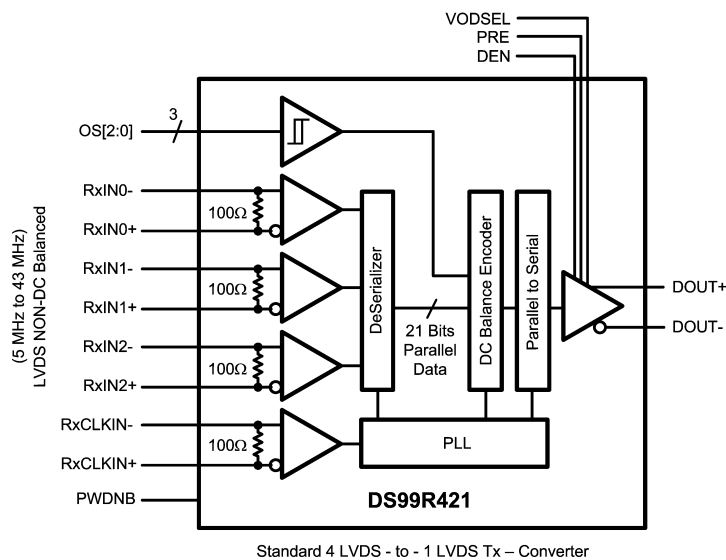
電源電圧範囲 : 3.3V ± 10%

車載用動作温度範囲 : - 40 ~ + 105

ESD 耐圧 : 8kV 以上

ISO 10605 ESD および AEC-Q100 準拠

ブロック図



TRI-STATE® はナショナル セミコンダクターの登録商標です。

DS99R421 5 ~ 43MHz FPD-Link LVDS (3 データ + 1 クロック) /
クロック埋め込み単一信号変換 DC バランス LVDS コンバータ

FIGURE 1. Block Diagram

アプリケーションの概要

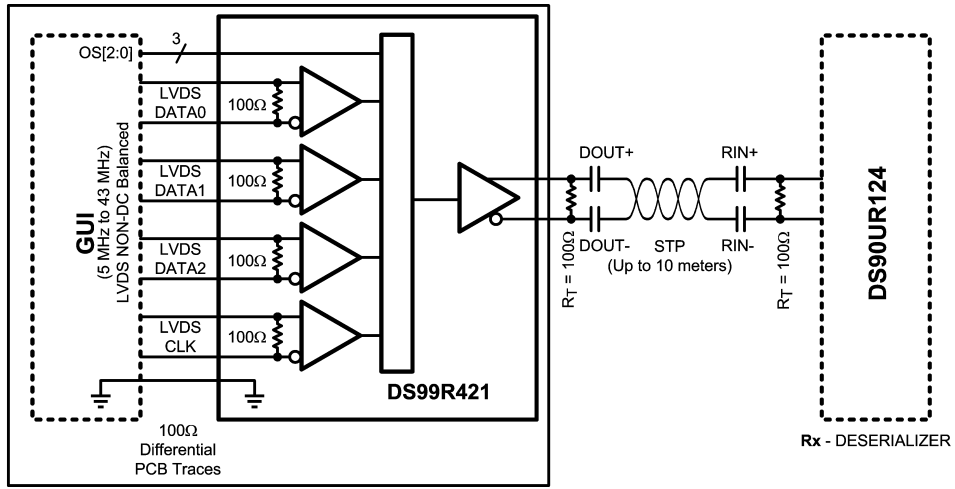


FIGURE 2. Typical Application Diagram

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
 関連する電気的信頼性試験方法の規格を参照ください。

電源電圧 (V_{DD})	- 0.3V ~ + 4V
LVC MOS 入力電圧	- 0.3V ~ ($V_{DD} + 0.3V$)
LVC MOS 出力電圧	- 0.3V ~ ($V_{DD} + 0.3V$)
LVDS レシーバ入力電圧	- 0.3V ~ + 3.9V
LVDS ドライバ出力電圧	- 0.3V ~ + 3.9V
LVDS 出力短絡時間	10ms
最大接合部温度	+ 150
保存温度範囲	- 65 ~ + 150
リード温度 (ハンダ付け 4 秒)	+ 260
パッケージ最大許容消費電力 パッケージ・ディレーティング: DS99R421 36L LLP	1/ J_A /W (+ 25 以上の場合)
J_A	37.6 (4L*), 83.7 (2L*) /W
J_C	3.1 (2/4L*) /W

*JEDEC

ESD 耐圧 (HBM) $\pm 8kV$
 ESD 耐圧 (ISO10605) DS99R421 は ISO10605 に
 準拠しています。

$R_D = 2k$ 、 $C_S = 150/330pF$

接触放電
 DOUT \pm $\pm 10kV$
 気中放電
 DOUT \pm $\pm 25kV$

推奨動作条件

	最小値	代表値	最大値	単位
電源電圧 (V_{DD})	3.0	3.3	3.6	V
動作温度範囲 (T_A)	- 40	+ 25	+ 105	
入力クロック周波数 RxCLKIN \pm	5		43	MHz
電源ノイズ (V_{DDP-P})			± 100	mV _{P-P}
レシーバ入力電圧範囲	0		V_{DD}	V

電気的特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units	
LVC MOS & SCHMITT-TRIGGER INPUT DC SPECIFICATIONS								
V_{IH}	High Level Input Voltage		PWDNB, DEN, VODSEL, BISTEN	2.0		V_{DD}	V	
V_{IL}	Low Level Input Voltage			GND		0.8	V	
V_{CL}	Input Clamp Voltage	$I_{CL} = -18$ mA			-0.9	-1.5	V	
I_{IN}	Input Current	$V_{IN} = 0V$ or 3.6V		-10		+10	μA	
V_{TH+}	High Level Input Voltage		OS[2:0] (Schmitt-triggered Inputs)	2.0			V	
V_{TH-}	High Level Input Voltage					0.8	V	
V_H	Hysteresis Voltage	$V_{TH+} - V_{TH-}$			200	400	600	mV
LVDS DC SPECIFICATIONS								
V_{TH}	Differential Threshold High Voltage	$V_{CM} = 1.2V$	LVDS differential Inputs: RxIN0 \pm , RxIN1 \pm , RxIN2 \pm , RxCLKIN \pm			+100	mV	
V_{TL}	Differential Threshold Low Voltage					-100		mV
$ V_{ID} $	Differential Input Voltage Swing				100		600	mV
V_{CM}	Common Mode Voltage				0.525	1.2	V_{DD-} ($V_{ID}/2$)	mV
I_{IN}	Input Current	$V_{IN} = +2.4V$, $V_{DD} = 3.6V$			-10		+10	μA
		$V_{IN} = 0V$, $V_{DD} = 3.6V$			-10		+10	μA

電気的特性 (つづき)

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
V _{OD}	Output Differential Voltage (Figure 10)	R _T = 100Ω VODSEL = L	LVDS differential Outputs: DOUT±	380	500	630	mV
		R _T = 100Ω VODSEL = H		650	900	1150	mV
ΔV _{OD}	Output Differential Voltage Unbalance	R _T = 100Ω			10	50	mV
V _{OS}	Output Voltage Offset	R _T = 100Ω PRE = H (off)		1.0	1.2	1.5	V
ΔV _{OS}	Output Voltage Offset Difference	R _T = 100Ω PRE = H (off)			5	50	mV
I _{OS}	Output Short Circuit Current	DOUT± = 0V VODSEL = L PRE = H (off)		-2		-8	mA
		DOUT± = 0V VODSEL = H PRE = H (off)		-7		-13	mA
I _{OZ}	TRI-STATE Output Current	PWDNB = 0V, DOUT± = 0V OR V _{DD} (inputs not toggling)	-10	±1	+10	μA	
R _T	Internal Input Termination Resistance		RxIN: across RxIN(2:0)+ & RxIN(2:0)-, and across RxCLKIN+ & RxCLKIN-	90	105	130	Ω

CONVERTER SUPPLY CURRENT

I _{DD}	Total Supply Current (includes load current)	R _T = 100Ω CHECKERBOARD pattern PRE = 6 KΩ (Figure 3)	f = 43 MHz		95	130	mA
I _{DDTZ}	Supply Current Power-down	PWDNB = 0V (inputs not toggling)			2	50	μA

レシーバ入力に対するタイミング仕様

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t _{RCIH}	Receiver Clock Input High Time	Referenced to rising edge of RxCLKIN	0.35T	0.57T		ns
t _{RCIL}	Receiver Clock Input Low Time	Referenced to rising edge of RxCLKIN		0.43T	0.65T	ns

レシーバの入力スイッチング特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
RITOL-L	Receiver Input Tolerance Left (Figures 7, 8) (Notes 8, 10)		5 MHz–43 MHz			0.3	UI
RITOL-R	Receiver Input Tolerance Right (Figures 7, 8) (Notes 8, 10)		5 MHz–43 MHz			0.3	UI
UI	Unit Interval (Note 8)		5 MHz–43 MHz		1/7th of RxCLKIN		ns

OS[2:0] 入力に対するタイミング仕様

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
$F_{OS[2:0]}$	Maximum Frequency Limitation of OS[2:0]		OS[2:0]			$F_{RxCLKIN} / 5$	MHz

入出力スイッチング特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Pin/Freq.	Min	Typ	Max	Units
RCTCD	RxCLK IN to DOUT Delay (Figure 5), (Note 9)		5 MHz–43 MHz	$4T + 1.0$	$4T + 5.0$	$4T + 10.0$	ns
PDD	Power Down Delay		5 MHz–43 MHz			1	μ s

シリアルライザ出力スイッチング特性

特記のない限り、推奨動作条件の電源電圧と動作周囲温度を対象。

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{LLHT}	LVDS Low-to-High Transition Time	$R_T = 100\Omega$, $C_L = 10$ pF to GND (Figure 4)		0.3	0.5	ns
t_{LHHT}	LVDS High-to-Low Transition Time			0.3	0.5	ns
t_{PLT}	PLL Lock Time	5 MHz–43 MHz			10	ms
TxOUT_E_O	TxOUT_Eye_Opening (Notes 8, 11) (Figure 9)	5 MHz–43 MHz (respect to ideal)	0.78			UI
UI	Unit Interval (Note 8)	5 MHz–43 MHz		1/28th of DOUT		ns

Note 1: 絶対最大定格は、ICに破壊が発生したり、使用不能になったり、信頼性や性能が低下する可能性のあるリミット値を示します。これは、絶対最大定格において、または推奨動作条件に示されている動作条件を越える条件でこのデバイスが有効に機能することや品質が劣化しないことは意味していません。推奨動作条件とは、このデバイスが有効に機能する条件を示しており、これらを超えた条件ではこのデバイスを使用しないように注意してください。

Note 2: 電気的特性の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定してある場合はその限りではありません。代表値は推定値であり、この値を保証しているものではありません。

Note 3: 代表値は、3.3V、 $T_a = +25$ で、製品の特性を評価した時点における推奨動作条件下での最も可能性のあるパラメータの基準値を表しており、保証値ではありません。

Note 4: デバイスのピンに流れ込む電流を正と定義しています。デバイスのピンから流れ出す電流を負と定義しています。電圧は、差動電圧である V_{OD} 、 V_{OD} 、 V_{TH} 、 V_{TL} を除いて、すべてグラウンド基準です。

Note 5: 仕様値は特性の評価により保証されている値で、量産時における試験は行っていません。

Note 6: 仕様値は設計により保証されている値で、量産時における試験は行っていません。

Note 7: Total Interconnect Jitter Budget (t_{IJT}) は、トランスミッタとレシーバの両方が SerDes 回路であることを前提に、相互接続によって加わるジッタの許容値を規定します。

Note 8: UI ユニット・インターバルは、理想状態において、シリアル化されたデータの 1 ビット幅と等価です。UI は周波数とともに変化します。入力の場合、UI は入力クロック周期の 1/7 になります。例えば、43MHz クロックの周期は 23.26ns であるため、その 1/7 の 3.32ns が 43MHz 入力時の 1UI です。出力の場合は、入力クロック周期の 1/28 になります。例えば、43MHz クロックの周期は 23.26ns であるため、その 1/28 の 831ps が 43MHz 出力時の 1UI です。

Note 9: クロック単位の記号 (T) の定義は、 $1/(RxCLKIN)$ のライン周波数) です。

Note 10: レシーバ入力許容範囲はレシーバ入力でのサンプリングに必要な有効データ範囲と定義されます。このマージンはトランスミッタ・パルス・ポジション (TPPos min と max) とレシーバの入力セットアップ / ホールドタイム (内部のデータ・サンプリング枠 - RSPos) により導き出されています。LVDS 配線スキューや符号間干渉 ISI (どちらもケーブル長とケーブル種に依存)、およびクロック・ジッタを考慮したマージンです。

Note 11: TxOUT_E_O はプリエンファシス量の影響を受けます。

AC タイミング図およびテスト回路

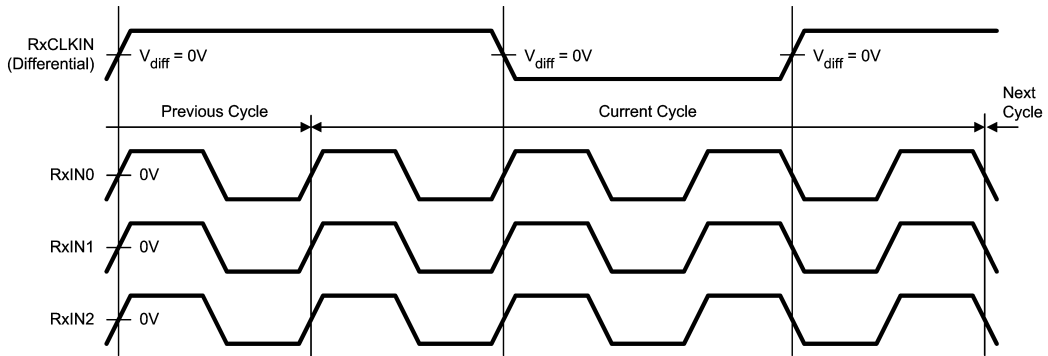


FIGURE 3. LVDS Input Checkerboard Pattern

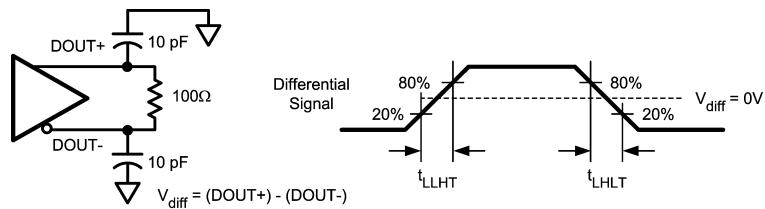


FIGURE 4. Serializer LVDS Output Load and Transition Times

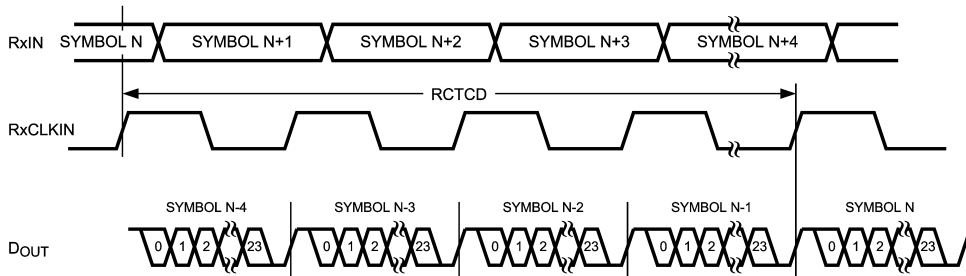


FIGURE 5. RxIN to DOUT Delay – RCTCD

AC タイミング図およびテスト回路(つづき)

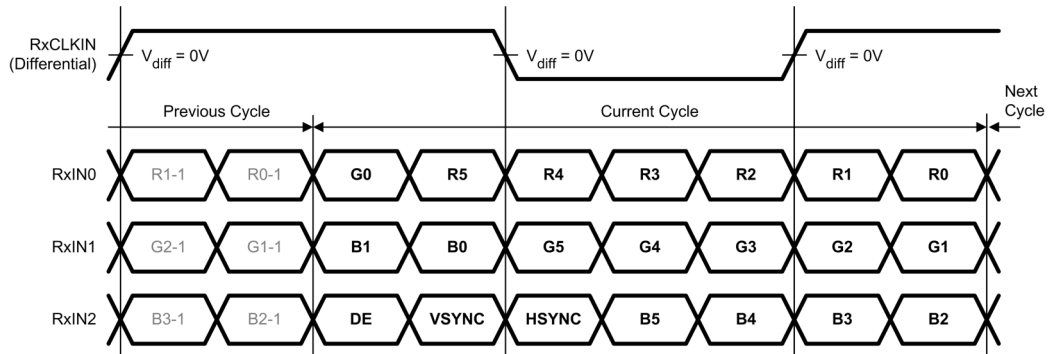


FIGURE 6. Receiver LVDS Input Mapping

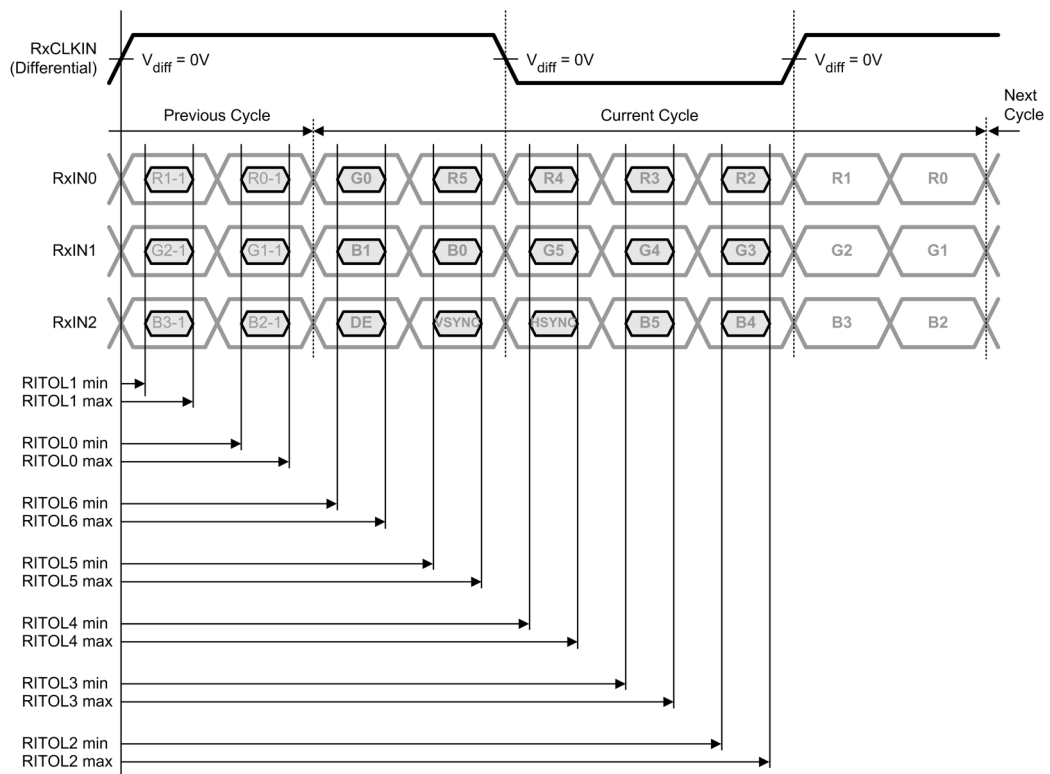


FIGURE 7. Receiver RITOL Min and Max

AC タイミング図およびテスト回路(つぎ)

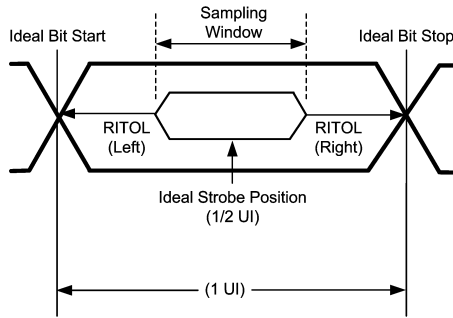


FIGURE 8. Receiver RITOL Left and Right

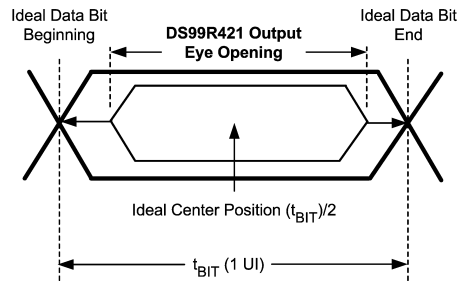


FIGURE 9. Serializer Output Eye Opening

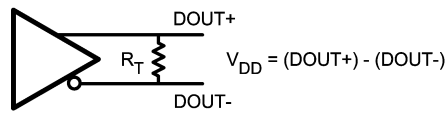


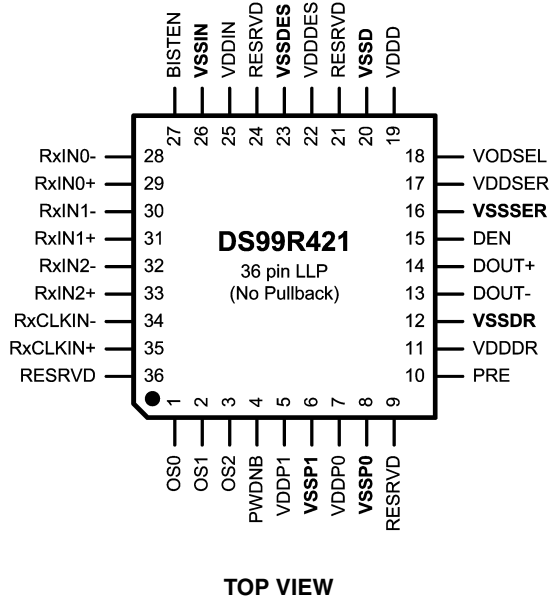
FIGURE 10. Serializer V_{OD} Diagram

ピン説明

ピン番号	ピン名称	入出力 / 電源	説明
FPD-LINK LVDS レシーバ入力ピン			
28, 30, 32	RxIN[2:0] -	LVDS_I	LVDS レシーバの反転データ入力 (-) です。
29, 31, 33	RxIN[2:0] +	LVDS_I	LVDS レシーバの非反転データ入力 (+) です。
34	RxCLKIN -	LVDS_I	LVDS レシーバ用基準クロックの反転入力です。 RxIN 入力のデータをスロープし、レシーバ PLL を駆動します。
35	RxCLKIN +	LVDS_I	LVDS レシーバ用基準クロックの非反転入力です。 RxIN 入力のデータをスロープし、レシーバ PLL を駆動します。
オーバーサンプリング入力ピン			
3 ~ 1	OS[2:0]	LVC MOS_I	オーバーサンプリング・データを受信する、シュミット・トリガ内蔵のレシーバ入力です。
制御および設定ピン			
4	PWDNB	LVC MOS_I	パワー・ダウン信号 (Low アサート) です。 PWDNB = H; デバイスがイネーブル (オン) されます。 PWDNB = L; 消費電力を最小限に抑えるために、デバイスがパワーダウン・モードに入り、LVDS ドライバの D_{OUT} (+ / -) が TRI-STATE のスタンバイ・モードに移行して、PLL が停止します。
15	DEN	LVC MOS_I	データ・イネーブル信号です。 DEN = H; LVDS ドライバの出力がイネーブル (オン) されます。 DEN = L; LVDS ドライバの出力がディスエーブル (オフ) され、 D_{OUT} (+ / -) 出力は TRI-STATE 状態になりますが、PLL は TCLK にロックしたまま動作を続けます。
10	PRE	LVC MOS_I	プリエンファシス・レベルを選択します。 PRE = NC (未接続) の場合、プリエンファシスはディスエーブル (オフ) されます。 この入力を外付けの抵抗 R_{PRE} を介して VSS に接続するとプリエンファシスが有効になります。抵抗値によってプリエンファシス・レベルが決まります。推奨値 $R_{PRE} = 6k$; $I_{max} = [48/R_{PRE}]$; $R_{PREmin} = 6k$ 詳細は、「アプリケーション情報」を参照してください。
18	VODSEL	LVC MOS_I	VOD レベルを選択します。 VODSEL = L; LVDS ドライバの出力が $\pm 500mV$ ($R_T = 100$) になります。 VODSEL = H; LVDS ドライバの出力が $\pm 900mV$ ($R_T = 100$) になります。 通常のアプリケーションでは、このピンを Low にしてください。VOD を大きくする必要がある長いケーブルを使用する場合に、このピンを High にします。 詳細は、「アプリケーション情報」を参照してください。
36, 24, 21, 9	RESRVD	LVC MOS_I/O	予約済みです。このピンは、必ず Low に固定してください。
BIST モード用ピン			
27	BISTEN	LVC MOS_I	BIST モードを有効にする制御ピン (アクティブ High) です。 BISTEN = L; デフォルトは Low で通常モードで動作します。 BISTEN = H; BIST モードが有効になります。 Note: BIST モードを適切に動作させるための手順は次のとおりです。 1) DS99R421 の BISTEN = H にします。 2) DS99R421 の PLL をロックさせます (10ms)。 3) DS90UR124 の PLL をロックさせます。 4) DS90UR124 の BISTM ピンによってエラー報告モードを選択します。 5) DS90UR124 の BISTEN ピンを L から H にします。
LVDS シリアライザ出力ピン			
14	DOUT +	LVDS_O	シリアライザの LVDS 非反転 (+) 出力です。 この出力は、 D_{OUT+} ピンに 100 の負荷が接続されることを想定しています。このピンへの接続には、100nF のコンデンサによる AC 結合を使用してください。
13	DOUT -	LVDS_O	シリアライザの LVDS 反転 (-) 出力です。 この出力は、 D_{OUT-} ピンに 100 の負荷が接続されることを想定しています。このピンへの接続には、100nF のコンデンサによる AC 結合を使用してください。
電源 / グ라운드・ピン			
5	V _{DDP1}	V _{DD}	PLL 用のアナログ電源です。
6	V _{SSP1}	GND	PLL 用のアナログ・グラウンドです。
7	V _{DDP0}	V _{DD}	VCO 用のアナログ電源です。

ピン番号	ピン名称	入出力 / 電源	説明
8	V _{SS} P0	GND	VCO 用のアナログ・グラウンドです。
11	V _{DD} DR	V _{DD}	LVDS 出力用のアナログ電源です。
12	V _{SS} DR	GND	LVDS 出力用のアナログ・グラウンドです。
17	V _{DD} SER	V _{DD}	シリアライザ用のデジタル電源です。
16	V _{SS} SER	GND	シリアライザ用のデジタル・グラウンドです。
19	V _{DD} D	V _{DD}	論理回路用のデジタル電源です。
20	V _{SS} D	GND	論理回路用のデジタル・グラウンドです。
22	V _{DD} DES	V _{DD}	レシーバ用のデジタル電源です。
23	V _{SS} DES	GND	レシーバ用のデジタル・グラウンドです。
25	V _{DD} IN	V _{DD}	LVDS 入力用のアナログ電源です。
26	V _{SS} IN	GND	LVDS 入力用のアナログ・グラウンドです。

ピン配置図 DS99R421



機能説明

DS99R421 はビデオ・インタフェース・コンバータです。FPD-Link インタフェース (LVDS データ×3 チャネルと LVDS クロック×1。例: DS90C365A あるいは同等製品) の信号と、さらに付加で3つの LVCMOS 信号を、単一の高速 LVDS シリアル・インタフェースに変換します (Figure 11 参照)。

FPD-Link インタフェースの 21 ビットのデータに 3 ビットのオーバーサンプリング・ビット (OS[2:0]) を加え、ランダム化してスクランブルをかけたデータ・ストリームにシリアル化します。同時に、AC 結合をサポートし信号のアイ・パターン開口を大きくするための DC バランス調整を行います。1 クロックあたり 4 ビットのオーバーヘッド・ビット、クロックとシリアル・リンク制御情報が埋め込まれます。クロック埋め込み LVDS シリアル・データ・ストリームの実行データ・スループットは 120Mbps (5MHz × 24) ~ 1.03Gbps (43MHz × 24) になります。DS99R421 のライン・ドライバは、最大 10m のシールド・ツイストペア・ケーブル (STP) に、最大 1.2Gbps (43MHz × 28) のレートでデータを伝送できるように設計されています。

DS90UR124 レシーバはクロック埋め込み LVDS データ・ストリームを、24 ビット幅の LVCMOS 平行バス・データに戻し、低速クロックを復元します。

Note: DS90C124 は、DS99R421 と互換性がありません。

リンク開始

DS99R421 の起動に伴う PLL ロックは 1 回だけです。FPD-Link レシーバ側が、受信する LVDS RxCLKIN にロックする必要があります。つまり、シリアライザ側が受信 LVDS クロックから基準クロックを抽出します。リンク遠端側のデシリアライザ (DS90UR124) も、有効なデータを出力する前に、LVDS 信号を検出して受信シリアル・データ・ストリームにロックし、LOCK ピンを High にする必要があります。バス・コンバータ (FPD-Link からシリアル) を使用する場合、信号経路内の PLL の個数が増えるため、起動時間が余分にかかることに注意が必要です。

代表的な起動シーケンス

1. FPD-Link データ・ストリームが DS99R421 の入力に印加されます。
2. 電源が入った状態で、イネーブルされた DS99R421 は、受信 FPD-Link クロックにロックします。DS99R421 の準備が整うまで、出力は TRI-STATE に保たれます。ロックが完了すると、有効なシリアル・ペイロードが、リンクを介してデシリアライザ (DS90UR124) に送信されます。
3. 電源が入った状態で、イネーブルされた DS90UR124 は、受信シリアル・データ・ストリームにロックします。DS90UR124 がロックするまで、出力は TRI-STATE を保ち、LOCK 出力は Low のままです。ロックが完了すると DS90UR124 の出力が有効になり、LOCK が High になります。

データ転送

リンクが確立すると、DS99R421 はストリーム・ビデオ・インタフェースを提供します。FPD-Link インタフェースからピクセル・クロック (PCLK) を受信すると、このクロックとともに 21 ビットの情報が復元されます。21 ビットの情報には、18 ビットの RGB 情報と 3 つのビデオ制御信号 (HS、VS、DE) が含まれます。オーバーサンプリング制御ビットも、この PCLK ドメインでサンプリングされ、21 ビットの情報と合わせて合計 24 ビットのペイロードが作られます。シリアライザ側は、このデータに対して 4 つの操作を行います。ランダム化、スクランブル化、DC バランス調整、シリアル・リンク制御およびクロック埋め込みの 4 つです。シリアライザはペイロード 1 つあたり 28 ビットの情報を、PCLK の 1 クロックごとにデシリアライザに向けて送信します。シリアライザの動作の詳細は DS90UR241 のデータシートを参照してください。

このチップセットは、周波数 5MHz ~ 43MHz の PCLK に対応しています。PCLK の周波数が 43MHz の場合、シリアル・リンクを介して 28 ビットが 1.2Gbps で送信されます。25 ビットの情報 (RGB × 18、制御 × 3、オーバーサンプリング制御 × 3、PCLK) を 28 ビットのシリアル・データ・ストリームとして送ることができるため、リンクの効率は非常に高く、89%に達します。

DS99R421 のライン・ドライバ

Figure 12 に示すとおり、DS99R421 の出力 (DOUT ±) は 1 対 1 の接続を駆動するために使用します。ライン・ドライバは、データ・イネーブル・ピン (DEN) が High、パワー・ダウン・パー・ピン (PWDNB) が High の状態で、デバイスが受信 FPD-Link データ・ストリームにロックした時点でデータを送信します。DEN を Low にすると、デバイスはロック状態を保ちますが、ドライバの出力は TRI-STATE になります。この状態にしておけばロック時間が必要なくなるため、高速起動が可能になります。

プリエンファシス

DS99R421 には、非常に長い、あるいは損失の大きい伝送メディア用に信号補償を行うプリエンファシス機能があります。プリエンファシスとは、信号遷移時の出力電流を増やすことでケーブル負荷の影響を打ち消し、ケーブルの駆動能力を高める機能です。プリエンファシス・レベルはユーザーが選択できます。伝送距離はメディアの損失特性と品質によって限定されます。

プリエンファシス機能を有効にするには、増加させる電流レベルを決定する外付け抵抗 (Rpre)1 個を "PRE" ピンと Vss の間に接続します。次のような選択肢があります。

通常出力 (プリエンファシスなし) PRE ピンを開放のままにします。

エンハンス出力 (プリエンファシスあり) PRE ピンと Vss の間に抵抗を接続します。PRE 抵抗の値は 6k ~ 100M としてください。6k 未満の抵抗は使えません。あるメディアに対して使用するべきプリエンファシス量は、アプリケーションの伝送距離と最大周波数によって決まります。一般に、プリエンファシスをかけすぎるとレシーバ側の入力ピンにオーバーシュート、またはアンダーシュートが発生します。これはノイズやクロストークの増大、最大周波数の低下、消費電力の増大などの原因になります。通常、ケーブルや伝送距離が短い場合にはプリエンファシスは必要ありません。個々のアプリケーションごとに、ケーブル遠端で信号品質の測定を行い、そのアプリケーションに適したプリエンファシス量を確認してください。

プリエンファシス回路は、 $I = 48/(Rpre)$ だけ駆動電流を増加させます。例えば、 $Rpre = 15k$ の場合、プリエンファシス電流として 3.2mA だけ駆動電流が増加します。

電流が流れる期間は、他の回路によって厳密に 1 ビット相当に制御されています。1 のビットが次のサイクル以降も続いた場合は、次のビットはデエンファシスされます。つまりプリエンファシスがオフになり、出力電流が通常のレベルに戻って出力レベルが低下します。これは消費電力を低減し、ISI (符号間干渉) を減らすためです。

VOD の選択

シリアライザのライン・ドライバは、その差動出力電圧 (VOD) の値をユーザーが選択できます。VODSEL ピンの状態によって決まる 2 つのレベルから選びます。VODSEL ピンが Low の場合、通常の出力レベルになります。ほとんどのアプリケーションでは、VODSEL ピンを Low にしてください。このピンを High にすると、出力電流が増え、VOD レベルも高くなります。この設定は、極めて長いケーブルや損失の大きい接続に対してのみ使用してください。

機能説明 (つづき)

オーバーサンプリング・ビット OS[2:0]

シリアル・リンクには、通常のデータの他に、PCLK の 1 クロックあたり最大 3 ビットのデータを付加して送ることができます。オーバーサンプリング・ビットは低速の信号に限られ、PCLK 周波数の 1/5 未満でなければなりません。DS99R421 の LVCMOS 入力 OS[2:0] には、グリッチを防ぐために大きなヒステリシス特性を持たせてあります。信号にはレベル情報のみを持たせません。オーバーサンプリング法とサンプリング・クロックの位置によってパルス幅が歪むためです。オーバーサンプリング・ビットと DS90UR124 のビットの対応は、OS0 = ビット 21、OS1 = ビット 22、OS2 = ビット 23 です。OS ビットが不要の場合は、内部のプルダウン抵抗によって入力が Low にバイアスされます。

カラー・マッピング

カラー・マッピングはアプリケーション固有です。色や制御情報を正確に復元するには、ピクセル・ビットを DS90UR124 のデータ・チャネルに適切に対応付けることが重要です。Figure 11 を参照してください。この例では、カラー・ビット G0 が RxIN0 チャネルの最初のビットに割り当てられています。DS99R421 内のシリアルライザは、このビットを 6 番目に配置します。したがって、DS90UR124 は G0 を bit6 の位置に復元します。オーバーサンプリング・ビットと DS90UR124 のビットの対応は、OS0 = ビット 21、OS1 = ビット 22、OS2 = ビット 23 です。

パワーダウン (スリープ) モード

パワーダウン状態は消費電力を低減できるスリープ・モードで、転送すべきデータがないときに DS99R421 と DS90UR124 をこのモードに設定できます。DS99R421 の PWDNB および DS90UR124 の RPWDNB によって、各デバイスをパワーダウン・モードに移行させると、消費電流は数 μA のオーダーまで低減されます。DS99R421 は PWDNB を Low に駆動するとパワーダウン・モードに入ります。パワーダウンでは、PLL が停止し、出力が TRI-STATE になって負荷電流が流れなくなるため、消費電流が減ります。DS99R421 のパワーダウン・モードを抜けるには PWDNB を High にします。パワーダウン・モードを終了する場合、PLL が RxCLKIN にロックするまで、DS99R421 は初期化モードに移行しません。したがって、システムはデータ転送を開始する前に、これらの初期化に必要な時間を見込んでおかなければなりません。

シリアル・インタフェース

DS99R421 と DS90UR124 間のシリアル・リンクは、100 Ω の平衡接続を前提に設計されています。さらに、リンクの両端が 100 Ω で終端され、AC 結合によって接続されます。

ソースを終端し正しいレベルを得るために、ドライバ側の終端が必要で、通常は、デバイス・ピンの近くに配置した 100 Ω の抵抗によってドライバ出力の端子間を接続します。

AC 結合コンデンサはインタフェースの両端とも、100 Ω の終端抵抗の近くに配置します。高速 LVDS 転送に使用する AC 結合コンデンサは実装面積の小さいパッケージを使用してください。小型パッケージにすることにより、パッケージの寄生容量による信号の品質劣化を最小限に抑えられます。NPO クラス 1 または X7R クラス 2 タイプのコンデンサを推奨します。システムレベルで最適な ESD 性能を得るには、最低でも 50VDC を使用します。インタフェースとして最も一般的に使われるコンデンサの値は 100nF (0.1 μF) です。

DS90UR124 の入力段は AC 結合用に設計されており、内部 V_{CM} を +1.8V に設定する AC バイアス・ネットワークを内蔵しています。そのため次に上げる、終端方法が可能です。

レシーバの終端方法 1

RIN \pm ピン間に 100 Ω の終端抵抗を 1 個挿入します (Figure 12 参照)。これによってレシーバ入力部で信号を終端します。ノイズ耐性を向上させるために、下記の終端方法も選択できます。

レシーバの終端方法 2

EMI 耐性を高めるために、100 Ω 抵抗 1 個のかわりに 50 Ω 抵抗 2 個を使用します。これら 2 つの 50 Ω 抵抗の中間のノードとグラウンドの間に小さなコンデンサを接続します (Figure 14 参照)。これによって、ノイズを抑制するための高周波、低インピーダンスのパスが形成されます。コンデンサの値はそれほど重要ではありません。通常のアプリケーションでは 4.7nF のコンデンサを使用できます。

レシーバの終端方法 3

ノイズが大きい環境では、50 Ω 抵抗間のノードにさらに分圧ネットワークを接続します。この回路はノイズを抑制する直流の低インピーダンス・パスとして有効です。プルアップおよびプルダウン抵抗には 100 \sim 1K Ω を使用します。中間ノードが 1.8V にバイアスされるように抵抗比を設定します。例えば (Figure 15 参照)、 $V_{\text{DD}} = 3.3\text{V}$ の場合、 $R_{\text{pullup}} = 1\text{K}$ 、 $R_{\text{pulldown}} = 1.2\text{K}$ 。または $R_{\text{pullup}} = 100$ 、 $R_{\text{pulldown}} = 120$ (最大) とします。後者の方がノイズ抑制効果は大きくなります。抵抗値を小さくするとバイアス電流が増加しますが、ノイズ抑制効果は大きくなります。

FPD-Link インタフェース

FPD-Link は、データ \times 3 + クロック (21 ビット) に対応するインタフェースです。DS99R421 の内部で終端されているため、接続には 100 Ω の差動ペアを使用します。カラー・マッピングについて確認することが極めて重要です。FPD-Link インタフェース上のどこに色に関するビットを配置するかによって、復元される出力が決まります。DS99R421 は FPD-Link シリアルライザ (例えば、DS90C365A、FPD-Link シリアルライザ内蔵の GUI など) と同じ回路基板上に実装されることを前提にしています。DS99R421 のコマンドモード電圧範囲には 525mV \sim ($V_{\text{DD}} - V_{\text{ID}}/2$) という制約があります。通常、短い接続に対してはこの範囲で十分です。

At-Speed BIST (ビルトイン・セルフトテスト) 機能

DS99R421/DS90UR124 のシリアル・リンクは、システム製造時および実地での診断のためのビルトイン・セルフトテスト (BIST) 機能を備えています。

この BIST モードは、特殊で高価なテスト機器を必要とせず、すべての高速シリアル・リンクを最大リンク速度で検証できるように設計されています。システム・ホストが、DS99R421 と DS90UR124 の両方に対して、簡単に診断テストを実行する手段が得られます。BIST 機能は、DS90UR124 では 2 つの制御ピン (BISTEN と BISTM)、DS99R421 では 1 つの制御ピン (BISTEN) によって簡単に設定できます。BIST モードを起動すると、DS99R421 はチップ内部で生成した PRBS データ・パターンを転送できるようになります。このパターンは接続リンクを介して DS90UR124 に送られます。DS90UR124 には、PRBS パターンのビット・エラーを検査するオンチップの PRBS パターン検証回路があり、エラーがあれば出力ピンによってそれを示します。

At-Speed BIST 機能では、DS90UR124 デシリアライザの 2 つの制御ピン (BISTEN と BISTM) を使用します。BISTEN と BISTM の両方のピンによって BIST モードの機能が決まります。BISTEN 信号 (High) が DS90UR124 のテスト機能を有効にします。DS90UR124 の BIST モードを有効にしたら、DS99R421 側の BISTEN ピンを High にして、DS90UR124 デシリアライザがデータの受信を開始できるようにします。BIST 動作の全期間にわたり、DS99R421 には入力クロック信号 (RxCLKIN) を印加しつづける必要があります。BIST 動作中は、RxIN[2:0] と OS[2:0] のデー

機能説明 (つづき)

列は無視されます。DS90UR124 の BISTM ピンによって、BIST のエラーを報告するステータス・モードを選択します。BIST をエラー・ステータス・モードに設定すると (BISTM = Low)、DS90UR124 の各 ROUT[23:0] 出力は、サイクルごとのビットのエラーに対応します。それぞれのパラレル入力のビットの不一致の結果は、ROUT[23:0] データ出力ピンで示されます。BIST エラー数累積モード (BISTM = High) では、検出されたエラー数を ROUT[7:0] にアサインした 8 ビット・カウンタによって示します (0 ~ 最大 255)。BIST が正常に終了すると、DS90UR124 デシリアライザの PASS ピンに示されます。PASS ステータスが有効であることを確認するために、はじめに DS90UR124 デシリアライザの PLL をロックする必要があります。Low を保持していた PASS ステータス・ピンは、伝送リンクのビットエラー率 1×10^{-9} が達成されると High に遷移します。

アプリケーション情報

DS99R421 と DS90UR124 の使用

DS99R421 と最新世代の LVDS デシリアライザ (DS90UR124) によって、FPD-Link 対応のバスをディスプレイの単一チャネル・シリアル LVDS インタフェースに接続できます。これによって既存のホストの FPD-Link インタフェースを、単一の信号ペアにシリアル化し、最新のディスプレイ・デシリアライザに接続できるようになります。システムは接続数の減少によるメリットを得られます (ピン数、サイズ、コストの削減)。

ディスプレイ・アプリケーション

色深度 18 ビット (RGB666) の、最大 1280 × 480 のディスプレイ・フォーマットに対応可能です。RGB666 構成の、カラー・ビット × 18 (R[5:0]、G[5:0]、B[5:0])、ピクセル・クロック (PCLK)、制御ビット × 3 (VS、HS、DE)、および低速の予備ビット OS[2:0] を、シリアル・リンクを介して転送できます。PCLK の周波数は 5 ~ 43MHz です。

代表的なアプリケーションの接続

Figure 13 に DS99R421 の代表的な接続方法を示します。

4 対の FPD-Link LVDS インタフェースと、必要に応じて使用するオーバーサンプリング制御信号が入力になります。その LVDS 信号は DS99R421 のデバイス内部で終端されます。

単一チャネルの LVDS シリアル出力には外付けの終端抵抗と AC 結合コンデンサが必要です。

代表的なアプリケーションで使用するピン設定は次のとおりです。

- DEN 使用しない場合は High に固定します。
- PWDNB スリープ / 制御入力のイネーブル ホストに接続するか High に固定します。
- BISTEN ホストに接続するか、使用しない場合は Low に固定します。
- VODSEL 通常の VOD 電圧を使用する場合は Low に固定します (アプリケーションによって決まります)。
- PRE 必要ない場合は開放のままにします (PCB に抵抗を実装するためのパッドをあらかじめ配置する選択肢もあります)。
- RESRVD Low に固定します (4 ピン)。

このデバイスの電源レールは 4 つです。これらは、共通の 3.3V プレーン上に、まとめてバス化しても構いません。ローカル・バイパスとして、最低でも 0.1 μF のコンデンサを 4 個以上使用してください。

上記の設定により、FPD-Link インタフェースに加えて 3 本の低速信号を、単一のシリアル LVDS チャネルに変換できます。

プリント基板レイアウトと電源系の注意事項

LVDS SERDES デバイスを実装するプリント基板は、デバイスに対してノイズの少ない電源を供給できるように、レイアウトと層構成を設計しなければなりません。優れたレイアウトでは、不要な浮遊ノイズの混入、帰還、および干渉を最小にするために、高い周波数の信号および高レベルの入出力信号を分離します。また、2 ~ 4 ミリ程度の薄い誘電体材料を電源層とグラウンド層の間に挟むと、電源系の性能を大きく改善できる場合があります。こうすると、プリント基板の電源層の容量が増え、寄生インダクタンスも低くなるため、高周波では特に効果があり、外付けのバイパス・コンデンサの値や配置に対する条件を緩めることができます。外付けバイパス・コンデンサは、高周波セラミック・コンデンサとタンタル電解コンデンサの両方を用いてください。高周波セラミック・コンデンサの値は、0.01 μF から 0.1 μF の範囲を使用します。また、タンタル・コンデンサの値は、2.2 μF から 10 μF の範囲です。タンタル・コンデンサの電圧定格は、使用する電源電圧の 5 倍以上にします。

コンデンサには寄生インダクタンス分が少ない表面実装品を推奨します。1 つの電源ピンに複数のコンデンサを設ける場合は、容量の小さなコンデンサの方をピン側に置きます。また大容量コンデンサをプリント基板の電源接続部分に設けてください。低周波スイッチング・ノイズを平滑化する容量は 50 μF から 100 μF の範囲が一般的です。電源ピンとグラウンド・ピンは電源層およびグラウンド層に直接接続し、またバイパス・コンデンサはコンデンサの両端に設けたビアを経由して電源層およびグラウンド層に接続することを推奨します。電源ピンまたはグラウンド・ピンからバイパス・コンデンサへ配線を行うと、電源系のインダクタンス分を増加させてしまうからです。

外付けのバイパス・コンデンサは、静電容量の温度依存性が小さい X7R 特性の 0603 などの小型チップ・コンデンサを推奨します。寸法が小さいため、コンデンサの寄生インダクタンス分も小さいという利点があります。なお設計の際には、通常 20 から 30MHz の範囲にある外付けバイパス・コンデンサの共鳴周波数に注意してください。また効果的なバイパスを行うために、複数のコンデンサを用いて、対象となる周波数に対する電源系のインピーダンスを下げる手法がしばしば使われます。動作周波数が高い場合は、高周波のインピーダンスを下げるため、電源ピンまたはグラウンド・ピンから各層に対して 2 つのビアを設ける手法もよく用いられています。

デバイスによっては、内部の回路部分ごとに電源ピンとグラウンド・ピンが分離されているものがあります。電源系を分離する目的は、スイッチング・ノイズの影響を回路間で遮断するためです。このようなデバイスに対して、通常、プリント基板の層を分ける必要はありません。一般にデバイスのピン説明から、どの電源 / グラウンドのペアがどの回路部分に対応するかがわかります。なお場合によっては、PLL のようなノイズに敏感な回路部分にクリーンな電源を供給するために、外部フィルタを用いるときがあります。

LVDS システムのプリント基板は、電源層とグラウンド層を含む 4 層以上のものを採用してください。LVCMOS 信号系は、LVDS 信号にカップリングするのを防ぐため、LVDS 信号系から離して配置しなければなりません。通常 LVDS ラインの接続には、密に結合させた 100 の差動ラインを推奨します。互いに密に結合されたラインに乗るノイズは同相となるためレシーバ端で除去されます。また、このようなラインでは放射ノイズも抑えられます。

LVDS ラインの接続には終端が必要で、1 対 1 の接続では、両デバイス端で終端します。標準的な値は、ラインの差動インピーダンスに整合する 100 です。抵抗をトランスミッタの DOUT ± 出力とレシーバの RIN ± 入力の可能な限り近くに配置して、デバイスから終端抵抗までのスタブ長を最短にしてください。

アプリケーション情報 (つづき)

LVDS 接続のガイドライン

詳細はアプリケーション・ノート AN-1108 と AN-905 を参照してください。

- 100 の結合された差動ペア配線を使用してください。
- 配線間隔には S/2S/3S ルールを適用してください。

S = ペア内の配線間隔

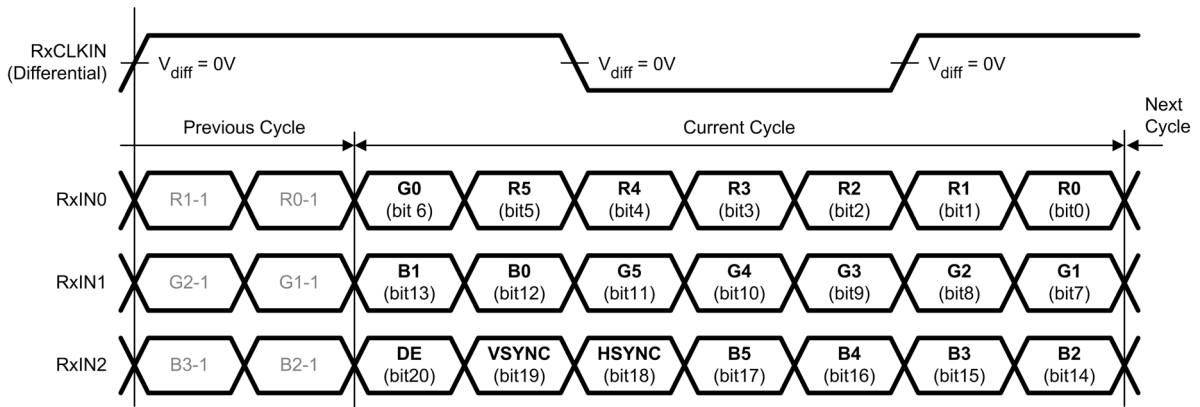
2S = ペア間の配線間隔

3S = LVCMOS 信号との配線間隔

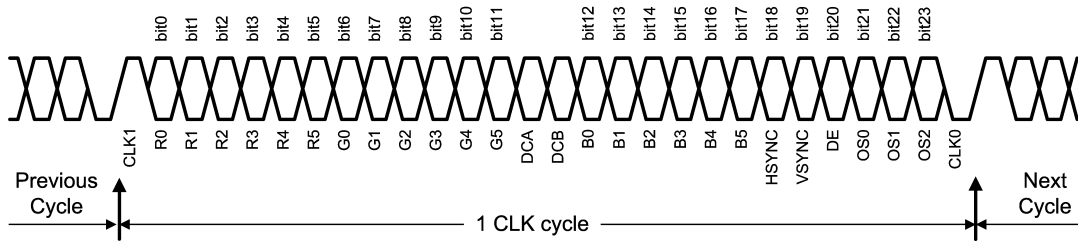
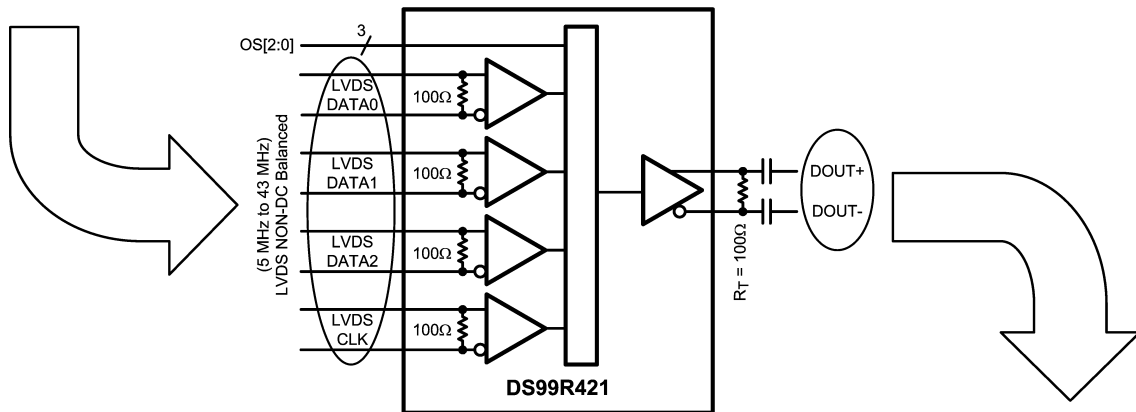
- ピアの数可能な限り抑えてください。
- 500Mbps 以上のライン速度で動作させる場合は差動コネクタを使用してください。
- 配線のバランスを維持してください。
- ペア内のスキューを可能な限り抑えてください。
- 終端抵抗はトランスミッタ出力とレシーバ入力の可能な限り近くに配置してください。

LVDS に関するそのほかの一般的な設計ガイドラインは、「LVDS オーナーズ・マニュアル」として、当社ウェブサイトにて PDF 形式で用意しています (<http://www.national.com/JPN/appinfo/lvds/>)。

機能の概要



FPD-Link LVDS Input Mapping
(3 LVDS Data + 1 LVDS Clock)



* Note: ビット [0-23] の値は、スクランブルをかけ、DC バランス調整を行っているため、物理的に上の図に示す位置関係に現れません。

Single Serialized LVDS Bitstream*
FIGURE 11. LVDS Data Mapping Diagram

機能の概要 (つづき)

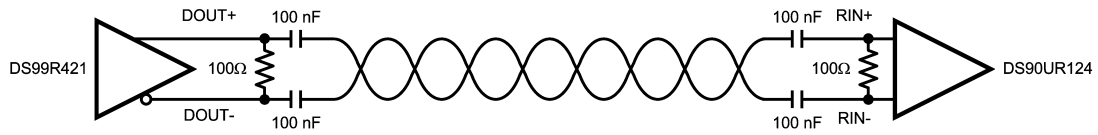


FIGURE 12. AC Coupled Application

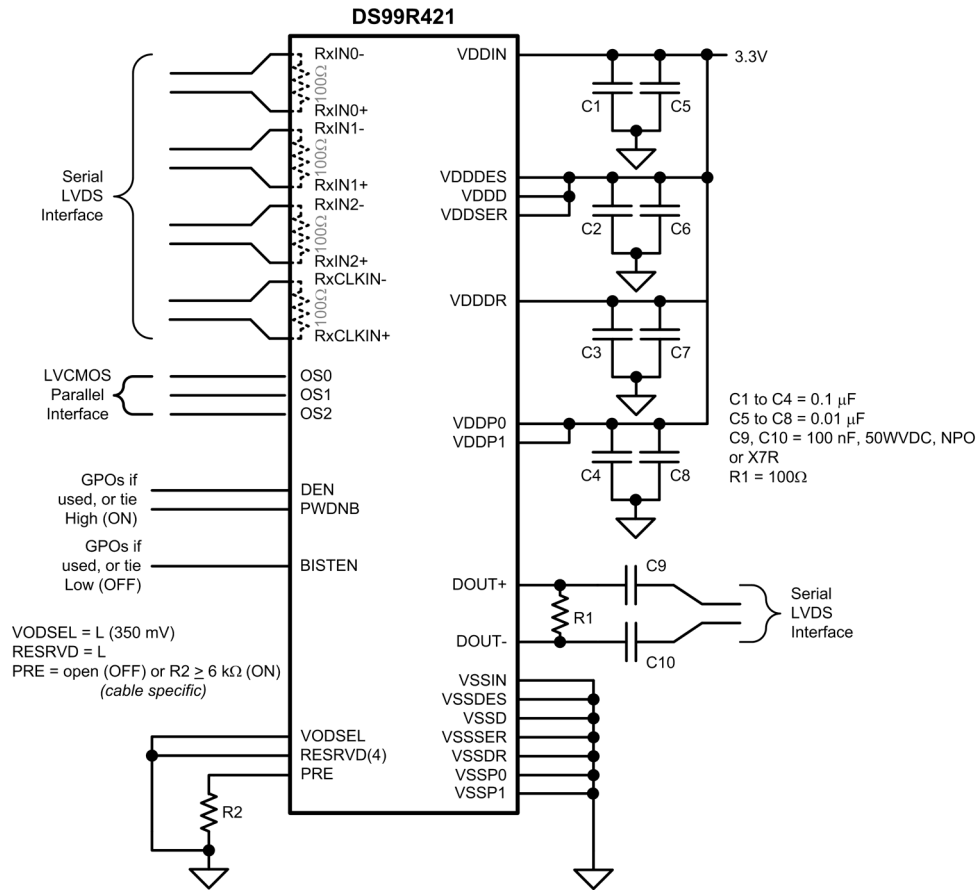


FIGURE 13. DS99R421 Typical Application Connection

機能の概要 (つづき)

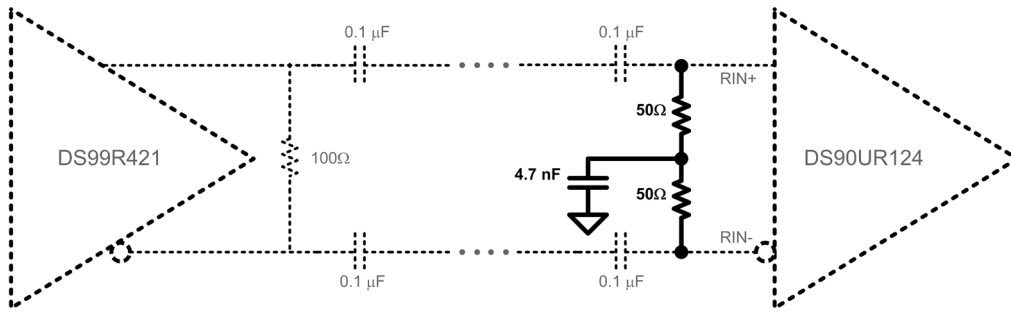


FIGURE 14. Receiver Termination Option 2

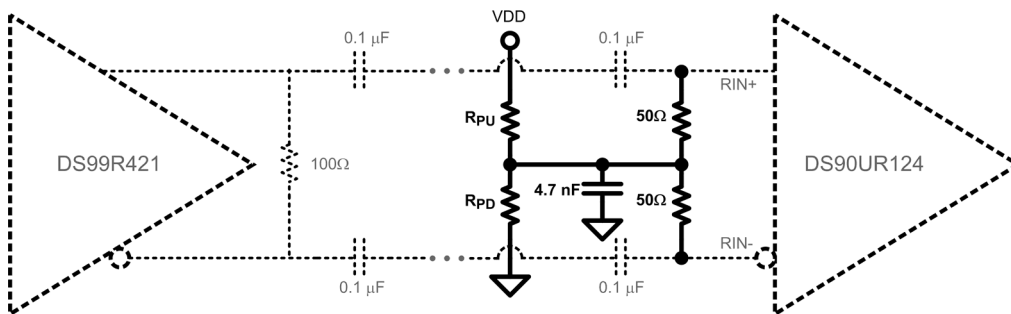
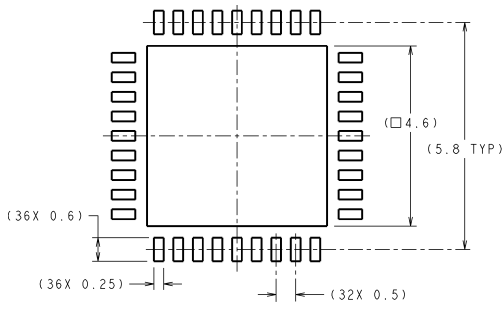


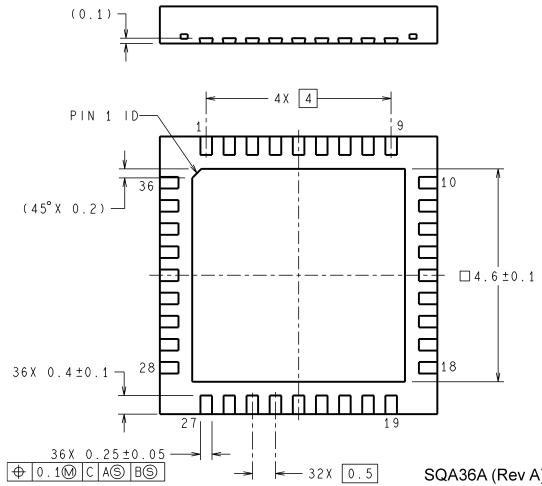
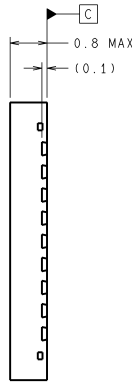
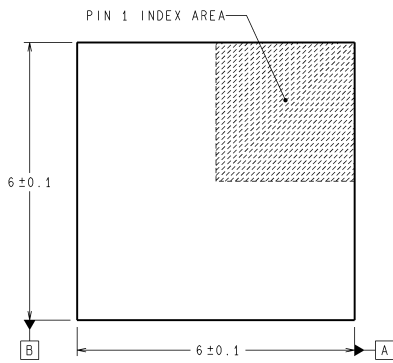
FIGURE 15. Receiver Termination Option 3

外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY

RECOMMENDED LAND PATTERN



NS Package Number SQA36A

製品情報

NSID	Package Type	Package ID
DS99R421QSQ	36-Lead LLP, 6.0 X 6.0 X 0.8 mm, 0.5 mm pitch	SQA36A
DS99R421QSQX	36-Lead LLP, 6.0 X 6.0 X 0.8 mm, 0.5 mm pitch, 2500 std reel	SQA36A
DS99R421ISQ	36-Lead LLP, 6.0 X 6.0 X 0.8 mm, 0.5 mm pitch	SQA36A
DS99R421ISQX	36-Lead LLP, 6.0 X 6.0 X 0.8 mm, 0.5 mm pitch, 2500 std reel	SQA36A

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2008 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上