

ESDS30x 高速インターフェイス用のデータラインサージおよびESD 保護デバイス

1 特長

- IEC 61000-4-2 レベル 4 ESD 保護:
 - ±30kV 接触放電
 - ±30kV エアギャップ放電
- IEC 61000-4-4 EFT 保護:
 - 80A (5/50ns)
- IEC 61000-4-5 サージ保護:
 - 12A (8/20μs)
 - 低いサージクランピング電圧: 12A Ipp で 6V
- IO 容量:
 - 2.3pF (標準値)
- DC ブレークダウン電圧: 4.5V (最小値)
- 超低リーク電流: 3nA (標準値)
- 最大 1Gbps の高速インターフェイスをサポート
- 産業用温度範囲: -40°C ~ +125°C
- 使いやすいフロースルー配線パッケージ (ESDS302)

2 アプリケーション

- 最終製品:
 - イーサネット スイッチ
 - アクセス ポイント
 - ゲートウェイ
 - プリンタ
 - DVR および NVR
- インターフェイス:
 - イーサネット 10/100/1000Mbps
 - USB 2.0
 - GPIO

3 概要

ESDS302、ESDS304 デバイスは単方向の TVS ESD 保護ダイオード アレイで、それぞれ 2 および 4 チャンネルに構成されており、イーサネットおよび USB で最大 12A (8/20μs) のサージから保護できます。ESDS302 および ESDS304 デバイスは、IEC 61000-4-2 国際標準 (レベル 4 以上) に従い、30kV までの ESD 衝撃を放散できることが規定されています。

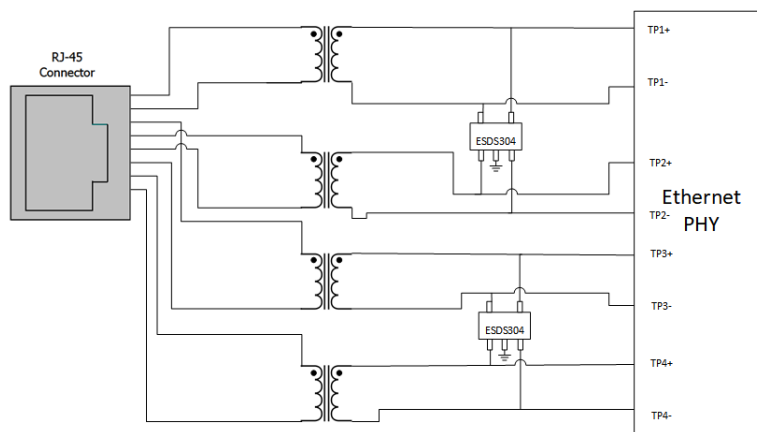
このデバイスの IO 容量はチャンネルごとに 2.3pF で、Ethernet™ 1G、USB 2.0 など高速インターフェイスの保護に優れた選択肢です。低い動的抵抗および低いクランピング電圧により、過渡現象に対してシステムレベルの保護を実現します。

ESDS302 および ESDS304 デバイスは、業界標準の 5 ピン SOT23 パッケージで供給されます。

製品情報

部品番号 ⁽¹⁾	チャンネル数	パッケージ
ESDS302	2	DBV (SOT23、5)、2 NC ピン
ESDS304	4	DBV (SOT-23、5)

(1) 詳細については、[セクション 10](#) を参照してください。



代表的なアプリケーション回路図



Table of Contents

1 特長	1	6.4 Device Functional Modes.....	8
2 アプリケーション	1	7 Application and Implementation	9
3 概要	1	7.1 Application Information.....	9
4 Pin Configuration and Functions	3	7.2 Typical Application.....	9
5 Specifications	4	7.3 Power Supply Recommendations.....	10
5.1 Absolute Maximum Ratings.....	4	7.4 Layout.....	10
5.2 ESD Ratings - JEDEC Specifications.....	4	8 Device and Documentation Support	12
5.3 ESD Ratings - IEC Specifications.....	4	8.1 ドキュメントの更新通知を受け取る方法.....	12
5.4 Recommended Operating Conditions.....	4	8.2 サポート・リソース.....	12
5.5 Thermal Information.....	4	8.3 Trademarks.....	12
5.6 Electrical Characteristics.....	5	8.4 静電気放電に関する注意事項.....	12
5.7 Typical Characteristics.....	6	8.5 用語集.....	12
6 Detailed Description	8	9 Revision History	12
6.1 Overview.....	8	10 Mechanical, Packaging, and Orderable Information	12
6.2 Functional Block Diagram.....	8		
6.3 Feature Description.....	8		

4 Pin Configuration and Functions

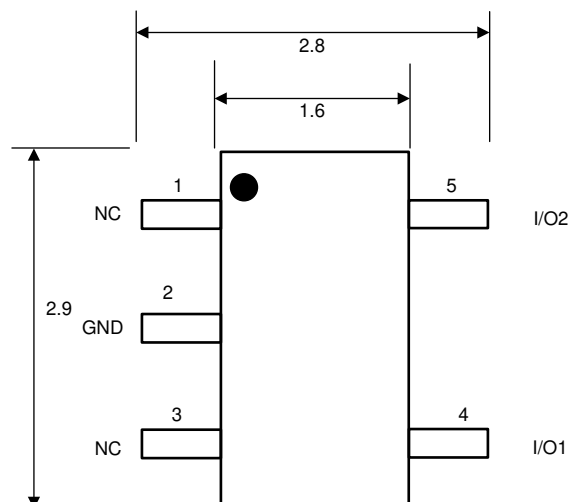


図 4-1. ESDS302 DBV Package, 5-Pin SOT23 (Top View)

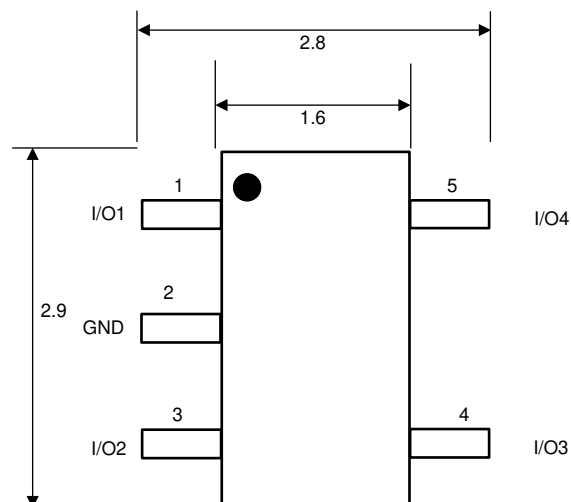


図 4-2. ESDS304 DBV Package, 5-Pin SOT23 (Top View)

表 4-1. Pin Functions for ESDS302

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
I/O1	4	I/O	Surge/ESD protected channels. Connect to the lines being protected.
I/O2	5		
GND	2	GND	Ground. Connect to ground
NC	1	NC	Not connected; Used for optional straight-through routing. Can be left floating or grounded
NC	3		

(1) I = input, O = output GND = ground

表 4-2. Pin Functions for ESDS304

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
I/O1	1	I/O	Surge/ESD protected channels. Connect to the lines being protected.
I/O2	3		
I/O3	4		
I/O4	5		
GND	2	GND	Ground. Connect to ground

(1) I = input, O = output GND = ground

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
IEC 61000-4-4 Electrical Fast Transient	Peak Power at 25 °C		80	A
IEC 61000-4-5 Surge (t_p 8/20 μ s)	Peak Power at 25 °C		85	W
	Peak Current at 25 °C		12	A
T_A	Operating free-air temperature	–40	125	°C
T_{stg}	Storage temperature	–65	155	°C

- (1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD Ratings - JEDEC Specifications

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins ⁽¹⁾	±2500	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins ⁽²⁾	±1000	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

5.3 ESD Ratings - IEC Specifications

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	IEC 61000-4-2 Contact Discharge, all pins	±30000	V
		IEC 61000-4-2 Air Discharge, all pins	±30000	

5.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V_{IN}	Input voltage	0		3.6	V
T_A	Operating Free Air Temperature	–40		125	°C

5.5 Thermal Information

THERMAL METRIC ⁽¹⁾		ESDS302	ESDS304	UNIT
		DBV (SOT-23)	DBV (SOT-23)	
		5 PINS	5 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	176.2	133.5	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	125.7	85.1	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	88.4	49.4	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	71.4	30.1	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	88.2	49.2	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

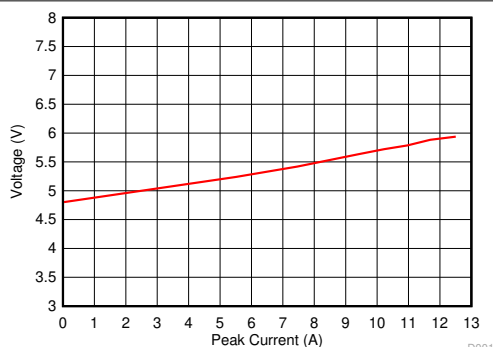
5.6 Electrical Characteristics

At TA = 25°C unless otherwise noted

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{RWM}	Reverse stand-off voltage	I _{IO} < 500nA, across operating temperature range			3.6	V
I _{LEAKAGE}	Leakage current at 3.6V	V _{IO} = 3.6V, Any IO pin to GND		3	50	nA
V _{BRF}	Breakdown voltage, Any IO pin to GND ⁽¹⁾	I _{IO} = 1mA	4.5		7.5	V
V _{FWD}	Diode forward voltage, GND to IO pin	I _{IO} = 1mA		0.8		V
V _{HOLD}	Holding voltage, Any IO pin to GND ⁽²⁾	I _{IO} = 1mA		5		V
V _{CLAMP}	Surge Clamping voltage, t _p = 8/20μs	I _{PP} = 1 A, Any IO pin to GND		5.1		V
		I _{PP} = 12A, Any IO pin to GND		6		V
		I _{PP} = 1 A, GND to any IO pin		1.2		V
		I _{PP} = 12A, GND to any IO pin		3		V
	TLP Clamping Voltage, t _p = 100ns	I _{PP} = 16A, any IO to GND pin		5.8		V
		I _{PP} = 16A, GND to any IO pin		3.1		V
C _{LINE}	Line capacitance, any IO to GND	V _{IO} = 0V, V _{p-p} = 30mV, f = 1MHz		2.3	2.8	pF
ΔC _{LINE}	Variation of line capacitance	C _{LINE1} - C _{LINE2} , V _{IO} = 0V, V _{p-p} = 30mV, f = 1MHz		0.05	0.1	pF
C _{CROSS}	Line-to-line capacitance	V _{IO} = 0V, V _{rms} = 30mV, f = 1MHz		1.25	1.5	pF

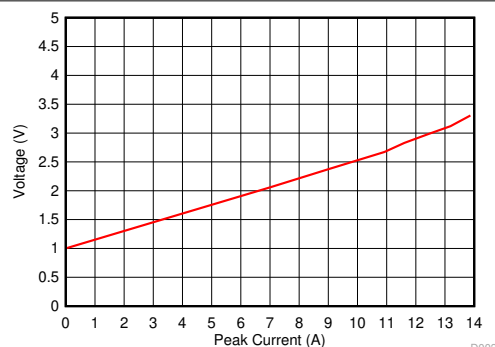
- (1) V_{BRF} is defined as the max voltage obtained at 1mA when sweeping the voltage up, before the device latches into the snapback state
(2) V_{HOLD} is defined as the voltage when 1mA is applied, after the device has successfully latched into the snapback state.

5.7 Typical Characteristics



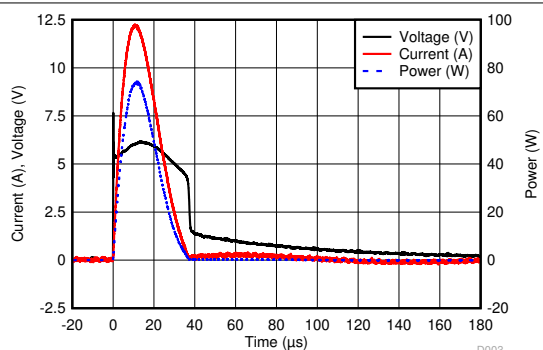
D001_Vclamp_Pos.grf

図 5-1. Surge Clamping Voltage vs. Peak Pulse Current (IEC 61000-4-5, $t_p = 8/20\mu s$), Any IO Pin to GND



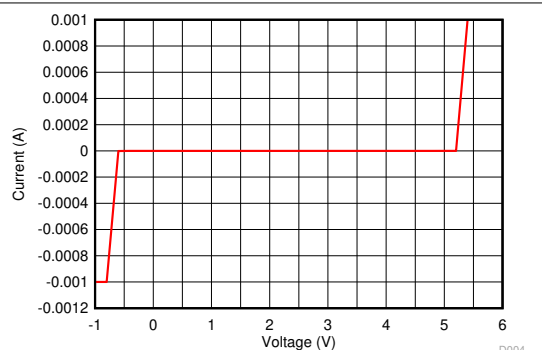
D002_Vclamp_Neg.grf

図 5-2. Surge Clamping Voltage vs. Peak Pulse Current (IEC 61000-4-5, $t_p = 8/20\mu s$), GND to IO Pin



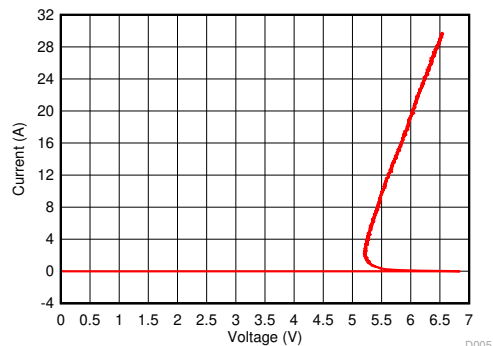
D003_Surge_IV.grf

図 5-3. Surge Current, Clamping Voltage and Power Waveform (IEC-61000-4-5, $t_p = 8/20\mu s$), Any IO Pin to GND



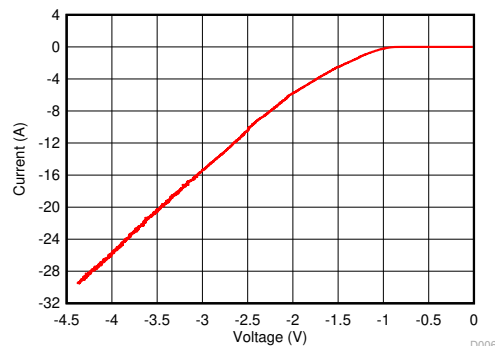
D004_DC_Plot.grf

図 5-4. DC I-V Curve



D005_TLP_Pos.grf

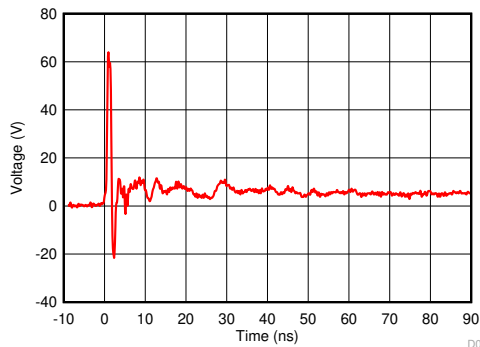
図 5-5. TLP I-V Curve, IO to GND, $t_p = 100ns$



D006_TLP_Neg.grf

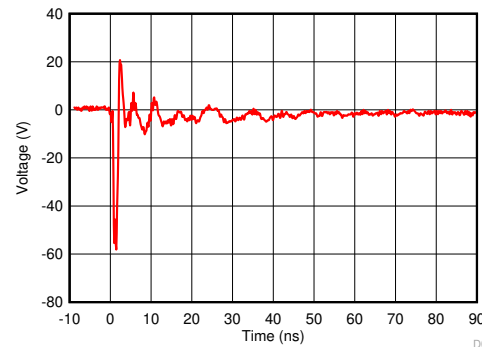
図 5-6. TLP I-V Curve, IO to GND Negative, $t_p = 100ns$

5.7 Typical Characteristics (continued)



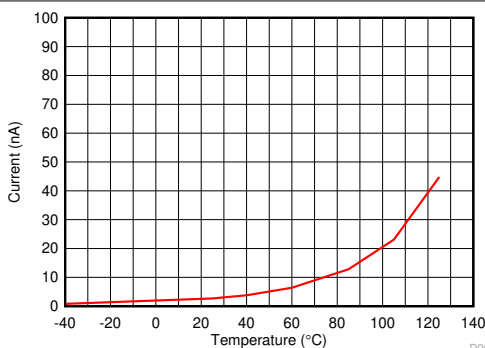
D007_IEC_Pos.grf

FIG 5-7. +8kV IEC 61000-4-2 Clamping Voltage Waveform, IO Pin to GND



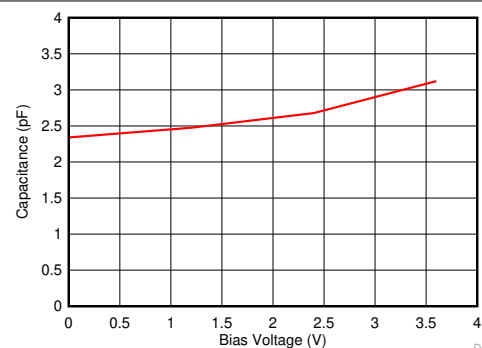
D008_IEC_Neg.grf

FIG 5-8. -8kV IEC 61000-4-2 Clamping Voltage Waveform, IO Pin to GND



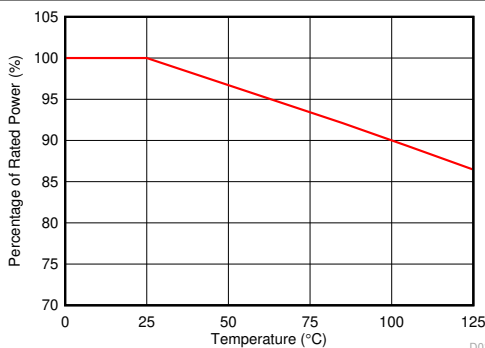
D009_Leakage.grf

FIG 5-9. DC Leakage Current vs. Ambient Temperature, Bias Voltage = 3.6V



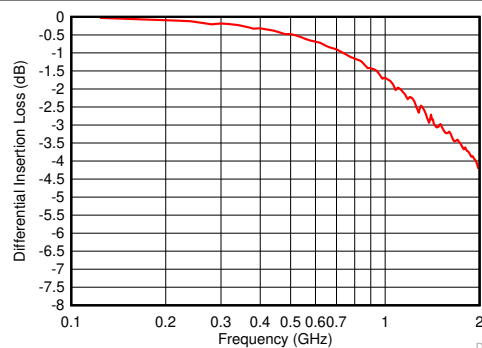
D010_Capacitance.grf

FIG 5-10. Capacitance vs. Bias Voltage at 25°C



D011_Sureg_Derating.grf

FIG 5-11. Surge Power Derating with Respect to Ambient Temperature



D012_S21.grf

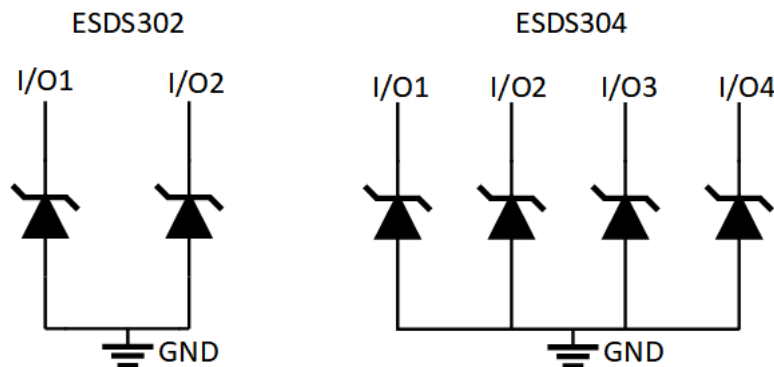
FIG 5-12. Differential Insertion Loss vs. Frequency

6 Detailed Description

6.1 Overview

The ESDS304, ESDS302 devices are uni-directional ESD Protection Diode with ultra-low capacitance. This device can dissipate ESD strikes above the maximum level specified by the IEC 61000-4-2 International Standard. The ultra-low capacitance makes this device an excellent choice for protecting any super high-speed signal pins.

6.2 Functional Block Diagram



6.3 Feature Description

The I/O pins of ESDS304 and ESDS302 can withstand surge events (IEC 61000-4-5, 8/20 μ s waveform) up to 12A and 85 W. These devices also provide ESD protection up to ± 30 kV contact and ± 30 kV air gap per IEC 61000-4-2 standard. The I/O pins can withstand an electrical fast transient burst of up to 80 A (IEC 61000-4-4 5/50ns waveform, 4kV with 50 Ω impedance). The capacitance between each I/O pin to ground is 2.3pF (typical) and 2.8pF (maximum). This device supports data rates up to 1-Gbps. The reverse DC breakdown voltage of each I/O pin is a minimum of 4.5V. This design protects sensitive equipment from surges above the reverse standoff voltage of 3.6V. The I/O pins feature an ultra-low leakage current of 50nA (maximum) with a bias of 3.6V. This device features an industrial operating range of -40°C to $+125^{\circ}\text{C}$.

6.4 Device Functional Modes

The ESDS304, ESDS302 devices are a passive integrated circuit that triggers when voltages are above V_{BRF} or below 0.7V. During ESD events, voltages as high as ± 30 kV (air) can be directed to ground via the internal diode network. When the voltages on the protected line fall below the trigger levels of ESDS304, ESDS302 (usually within a few nano-seconds) the devices reverts to passive.

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証テストすることで、システムの機能を確認する必要があります。

7.1 Application Information

The ESDS304, ESDS302 devices are diode type TVS which is used to provide a path to ground for dissipating ESD events on high-speed signal lines between a human interface connector and a system. As the current from ESD passes through the TVS, only a small voltage drop is present across the diode. This is the voltage presented to the protected IC. The low R_{DYN} of the triggered TVS holds this voltage, V_{CLAMP} , to a safe level for the protected IC.

7.2 Typical Application

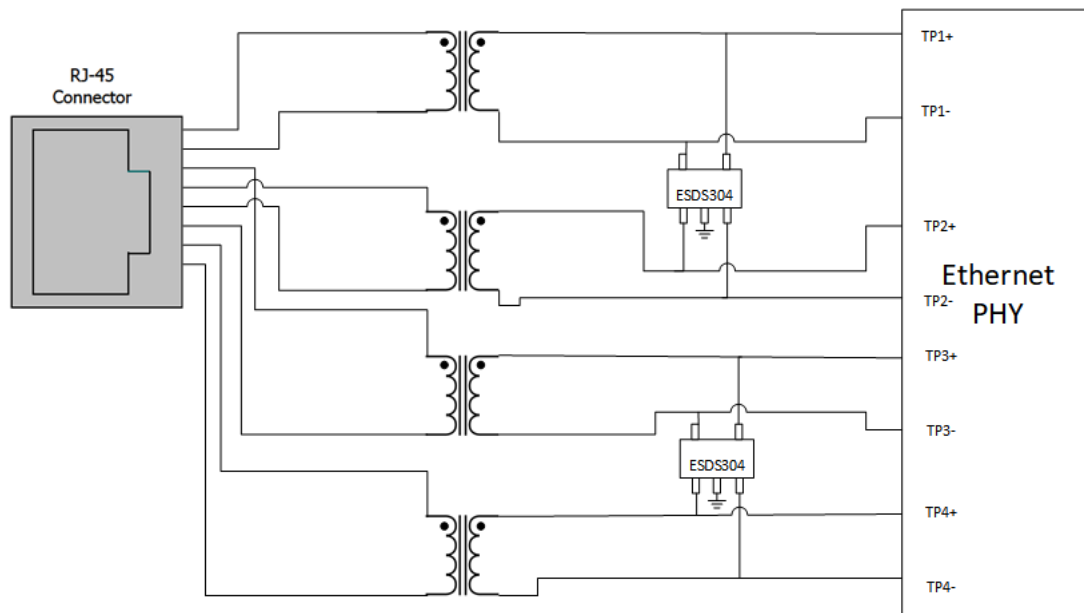


図 7-1. ESDS304 Protecting the Ethernet 1G Interface

7.2.1 Design Requirements

A typical operation for the ESDS304 would be protecting a high speed dataline similar to one shown in 図 7-1. In this example, the ESDS304 is protecting an Ethernet PHY's data lines that has a nominal operating voltage of 3.6V. Many of the Ethernet interfaces that connect to long cables require protection against $\pm 1\text{kV}$ surge test through a 42Ω coupling resistor and a $0.5\mu\text{F}$ capacitor, equaling roughly 24 A of surge current. Without any input protection, if a surge event is caused by lightning, coupling, ringing, or any other fault condition, this input voltage will rise to hundreds of volts for multiple microseconds, harming the device. For Ethernet 1000Base-T (1Gbps), application design parameters listed in 表 7-1 are known.

表 7-1. Design Parameters

DESIGN PARAMETER	VALUE
Single ended signal voltage range on differential data line pairs	0 to 3.6V
Operating Frequency	125MHz

7.2.2 Detailed Design Procedure

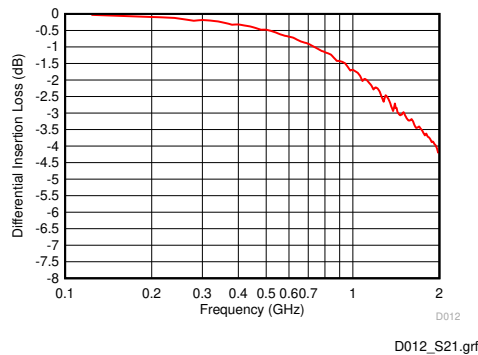
7.2.2.1 Signal Range

The ESDS304 has 4 identical surge protection channels with each channel supporting a signal range of 0 to 3.6V. The device will work well with any Ethernet PHY that drives the single ended voltage on the data line up to a 3.6V.

7.2.2.2 Operating Frequency

The ESDS304 has a capacitance of 2.3pF (typical) and can support the 125MHz operation of Ethernet 1000Base-T application

7.2.3 Application Curves



7-2. Differential Insertion Loss vs. Frequency

7.3 Power Supply Recommendations

The ESDS304, ESDS302 devices are passive ESD devices and there is no need to power them. Take care to not violate the recommended I/O specification (0V to 3.6V) so that the device functions properly.

7.4 Layout

7.4.1 Layout Guidelines

- The optimum placement is as close to the connector as possible.
 - EMI during an ESD event can couple from the trace being struck to other nearby unprotected traces, resulting in early system failures.
 - The PCB designer must minimize the possibility of EMI coupling by keeping any unprotected traces away from the protected traces which are between the TVS and the connector.
- Route the protected traces as straight as possible.
- Eliminate any sharp corners on the protected traces between the TVS and the connector by using rounded corners with the largest radii possible.
 - Electric fields tend to build up on corners, increasing EMI coupling.

7.4.2 Layout Examples

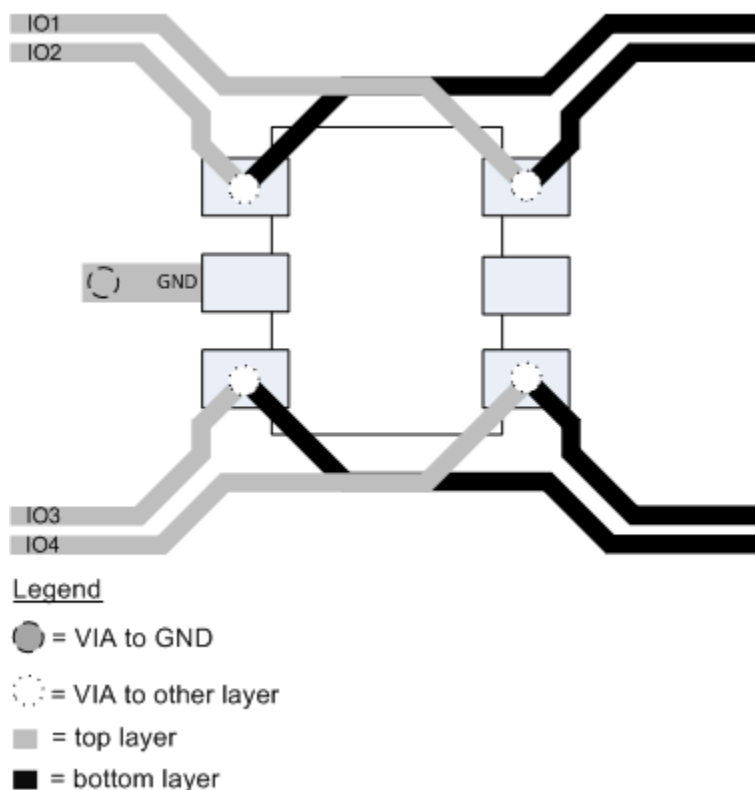


図 7-3. Layout Example for the 4-channel Device, ESDS304

8 Device and Documentation Support

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 Trademarks

Ethernet™ is a trademark of Xerox Corporation.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (September 2018) to Revision B (January 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
「製品情報」の表の形式をチャネル数に更新.....	1
Updated the table notes in the <i>ESD Ratings - JEDEC Specifications</i>	4

Changes from Revision * (May 2018) to Revision A (September 2018)	Page
データシートステータスを「製品プレビュー」から「量産データ」へ変更.....	1
ESDS03802 および ESDS03804 の型番を ESDS302 および ESDS304 に変更.....	1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ESDS302DBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	1R5B	Samples
ESDS304DBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	1R3B	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESDS302DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
ESDS304DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESDS302DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
ESDS304DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



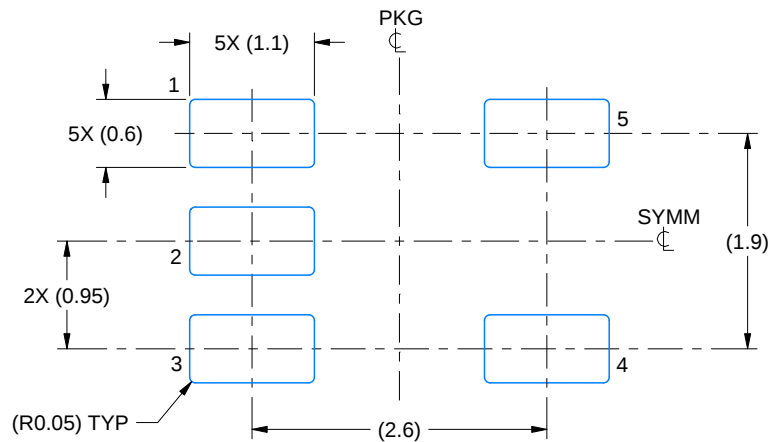
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

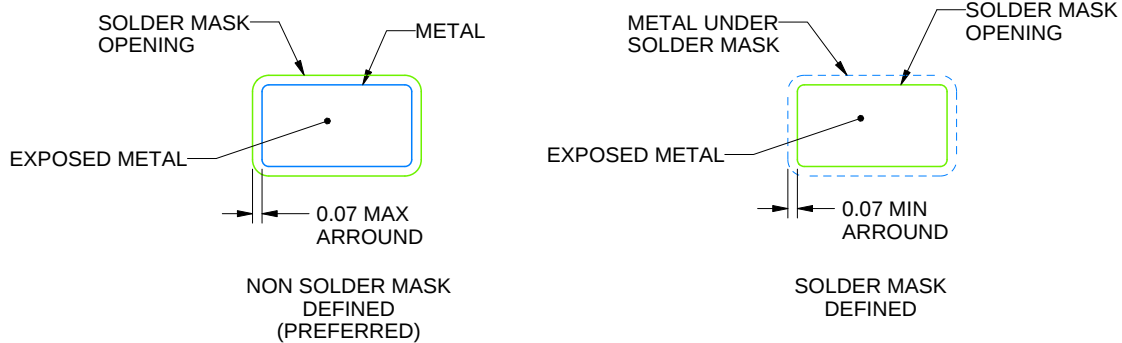
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

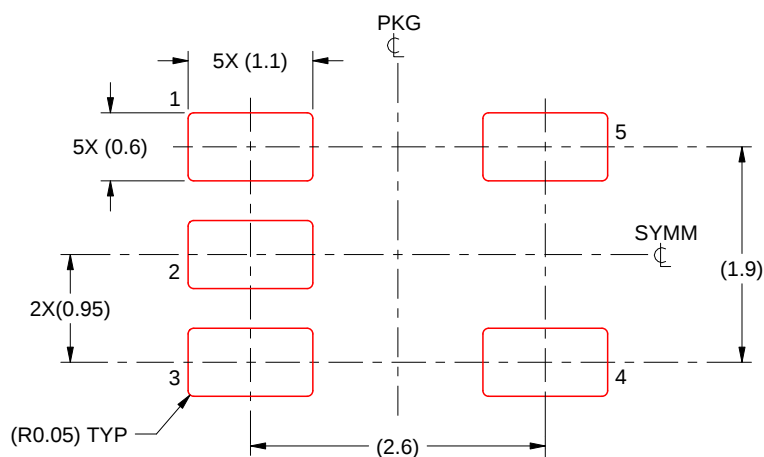
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated