

LMH6503

LMH6503 Wideband, Low Power, Linear Variable Gain Amplifier



Literature Number: JAJSA54



LMH6503

広帯域、低消費電力、リニア可変ゲイン・アンプ

概要

LMH6503 は、DC 結合かつ広帯域の差動入力段、外部電圧によるゲイン制御段、高速電流帰還型オペアンプ段で構成されたリニア可変ゲイン・アンプで、低インピーダンス負荷を直接駆動できる能力を備えています。ゲイン調整範囲は 10MHz に対して 70dB 以上です。

外付け部品で設定される回路の最大ゲインからカットオフ点まで、可変ゲイン・ピン V_G に与える電圧でゲインを調整できます。135MHz 動作時の消費電力は 370mW です。出力オフセット電圧はゲイン制御電圧範囲全体にわたって 350mV 未満です。デバイス間のゲインは最大ゲイン時でも 0.7dB 以内に整合されています。また、任意の V_G に対するゲインはテストされ、許容誤差は保証されています。出力は、電流帰還型オペアンプによって高い周波数に対して大振幅（スルーレート 1800V/ μ s）が実現され、合わせて大電流負荷（75mA）に対応しています。入力は差動構成を採用しているため、小信号を増幅するアプリケーションや比較的長い配線長で駆動されたアプリケーションでもコモン・モードを抑制できます。また、一方の入力をグラウンド（単一電源アプリケーションでは電源電圧の 1/2）に接続すれば、単電源動作をさせることもできます。この場合、使用する入力によって反転または非反転ゲインが得られます。

ゲイン制御ピン V_G の電圧範囲は 11 ピン電位（グラウンド）に対して -1V ~ +1V です。単一電源動作の場合はこのグラウンド・ピンを電源電圧の 1/2 に接続するため、相対電位での制御となるゲイン制御の汎用性が損なわれることはありません。ゲイン制御ピンは高い入力インピーダンスを有しているため駆動要件は緩やかです。ゲイン制御特性はゲイン調整範囲全体にわたって V/V でリニアです。設定可能な最大ゲインは 1V/V ~ 100V/V 以上の範囲です。なお、ゲイン制御電圧のリニアな変化に対してゲインを dB で制御させたいアプリケーションには LMH6502 を使用してください。

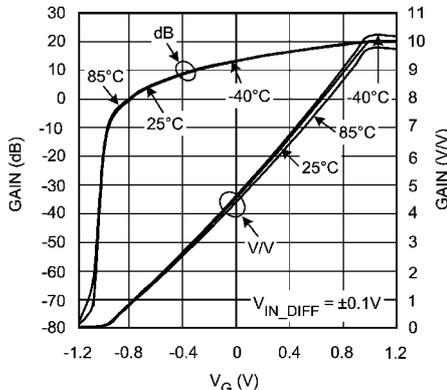
LMH6503 は SOIC-14 パッケージ、TSSOP-14 パッケージで供給されます。

特長

- $V_S = \pm 5V, T_A = 25, R_F = 1k, R_G = 174, R_L = 100, A_V = A_V(MAX) = 10$ (特記のない限り、代表値)
- 3dB 帯域幅 135MHz
- ゲイン制御帯域幅 100MHz
- 調節範囲 (動作温度範囲に対する代表値) 70dB
- ゲイン・マッチング (リミット値) $\pm 0.7dB$
- スルーレート 1800V/ μ s
- 消費電流 (無負荷時) 37mA
- 線形出力電流 $\pm 75mA$
- 出力電圧 ($R_L = 100$) $\pm 3.2V$
- 入力電圧ノイズ 6.6nV/ \sqrt{Hz}
- 入力電流ノイズ 2.4pA/ \sqrt{Hz}
- THD (20MHz, $R_L = 100, V_O = 2V_{pp}$) - 57dBc
- CLC522 の互換製品

アプリケーション

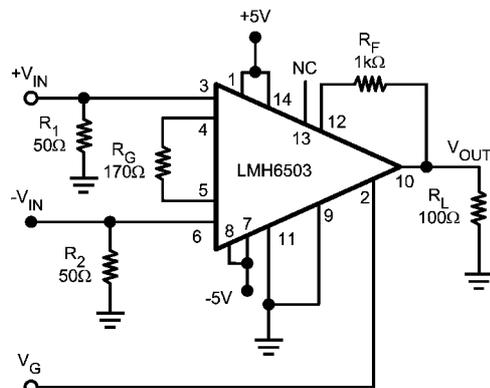
- 可変アッテネータ
- 自動ゲイン調整 (AGC)
- 電圧制御フィルタ
- マルチプライヤ



Gain vs. V_G for Various Temperature

LMH™ はナショナル セミコンダクター社の商標です。

代表的なアプリケーション



$A_{VMAX} = 10V/V$

絶対最大定格 (Note 1)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

ESD 耐圧 (Note 4)

人体モデル	2KV
マシン・モデル	200V
入力電流	± 10mA
V _{IN} 差動電圧	± (V ⁺ - V ⁻)
出力電流	120mA (Note 3)
電源電圧 (V ⁺ - V ⁻)	12.6V
入出力ピン電圧	V ⁺ + 0.8V, V ⁻ - 0.8V
ハンダ付け情報	
赤外線または対流方式 (20 秒)	235

流動ハンダ付け (10 秒)	260
保存温度範囲	- 65 ~ + 150
接合部温度	+ 150

動作定格 (Note 1)

電源電圧 (V ⁺ - V ⁻)	5V ~ 12V
温度範囲	- 40 ~ + 85
熱抵抗	JA JC
14  SOIC	138 /W 45 /W
14  TSSOP	160 /W 51 /W

電気的特性 (Note 2)

特記のない限り、すべてのリミット値は T_J = 25 °C、V_S = ± 5V、A_{V(MAX)} = 10、V_{CM} = 0V、R_F = 1k Ω、R_G = 174 Ω、V_{IN_DIFF} = ± 0.1V、R_L = 100 Ω、V_G = + 1V に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
Frequency Domain Response						
BW	-3dB Bandwidth	V _{OUT} < 0.5 _{PP}		135		MHz
		V _{OUT} < 0.5 _{PP} , A _{V(MAX)} = 100		50		
GF	Gain Flatness	V _{OUT} < 0.5V _{PP} , -1V < V _G < 1V, ±0.2dB		40		MHz
Att Range	Flat Band (Relative to Max Gain) Attenuation Range (Note 13)	±0.2dB Flatness, f < 30MHz		20		MHz
		±0.1dB, f < 30MHz		6.6		
BW Control	Gain Control Bandwidth	V _G = 0V (Note 11)		100		MHz
PL	Linear Phase Deviation	DC to 60MHz		1.6		deg
G Delay	Group Delay	DC to 130MHz		2.6		ns
CT (dB)	Feed-through	V _G = -1.2V, 30MHz (Output Referred)		-48		dB
GR	Gain Adjustment Range	f < 10MHz		79		dB
		f < 30MHz		68		
Time Domain Response						
t _r , t _f	Rise and Fall Time	0.5V Step		2.2		ns
OS%	Overshoot	0.5V Step		10		%
SR	Slew Rate	4V Step (Note 5)		1800		V/μs
ΔG Rate	Gain Change Rate	V _{IN} = 0.3V, 10%–90% of final output		4.6		dB/ns
Distortion & Noise performance						
HD2	2 nd Harmonic Distortion	2V _{PP} , 20MHz		-60		dBc
HD3	3 rd Harmonic Distortion	2V _{PP} , 20MHz		-61		dBc
THD	Total Harmonic Distortion	2V _{PP} , 20MHz		-57		dBc
En tot	Total Equivalent Input Noise	1MHz to 150MHz		6.6		nV/√Hz
I _n	Input Noise Current	1MHz to 150MHz		2.4		pA/√Hz
DG	Differential Gain	f = 4.43MHz, R _L = 150Ω, Neg. Sync		0.15		%
DP	Differential Phase	f = 4.43MHz, R _L = 150Ω, Neg. Sync		0.22		deg

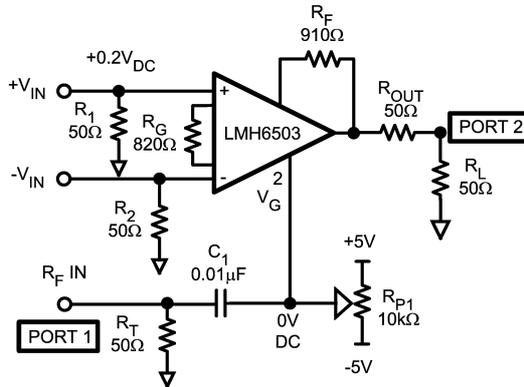
電気的特性 (Note 2) (つづき)

特記のない限り、すべてのリミット値は $T_J = 25$ 、 $V_S = \pm 5V$ 、 $A_V(MAX) = 10$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、 $V_{IN_DIFF} = \pm 0.1V$ 、 $R_L = 100$ 、 $V_G = +1V$ に対して適用されます。太字のリミット値は全温度範囲に適用されます。

Symbol	Parameter	Conditions	Min (Note 6)	Typ (Note 6)	Max (Note 6)	Units
DC & Miscellaneous Performance						
GACCU	Gain Accuracy (see Application Notes)	$V_G = 1.0V$		+0.25	+0.9/-0.4	dB
		$0V < V_G < 1V$		± 0.3	+1.3/-1.5	
		$-0.7V < V_G < 1V$		± 0.4	+4.4/-4.3	
G Match	Gain Matching (see Application Notes)	$V_G = 1.0$		-	± 0.7	dB
		$0 < V_G < 1V$		-	+1.7/-1.1	
		$-0.7V < V_G < 1V$		-	+4.0/-4.7	
K	Gain Multiplier (see Application Notes)		1.58 1.58	1.72	1.87 1.91	V/V
V_{CM}	Input Voltage Range	Pin 3 & 6 Common Mode, ICMRRI > 50dB (Note 9)	± 2.0 ± 1.80	± 2.2		V
V_{IN_DIFF}	Differential Input Voltage	Across pins 3 & 6	± 0.34 ± 0.28	± 0.37		V
$I_{RG\ MAX}$	R_G Current	Pins 4 & 5	± 1.70 ± 1.60	± 2.30		mA
I_{BIAS}	Bias Current	Pins 3 & 6 (Note 7)		11	18 20	μA
		Pins 3 & 6 (Note 7), $V_S = \pm 2.5V$		3	10 13	
TC_{BIAS}	Bias Current Drift	Pin 3 & 6 (Note 8)		100		nA/°C
I_{OFF}	Offset Current	Pin 3 & 6		0.01	2.0 2.5	μA
$TC\ I_{OFF}$	Offset Current Drift	(Note 8)		5		nA/°C
R_{IN}	Input Resistance	Pin 3 & 6		750		k Ω
C_{IN}	Input Capacitance	Pin 3 & 6		5		pF
I_{V_G}	V_G Bias Current	Pin 2, $V_G = 1.4V$ (Note 7)		45		μA
$TC\ I_{V_G}$	V_G Bias Drift	Pin 2 (Note 8)		20		nA/°C
R_{V_G}	V_G Input Resistance	Pin 2		70		K Ω
C_{V_G}	V_G Input Capacitance	Pin 2		1.3		pF
V_{OUT}	Output Voltage Range	$R_L = 100\Omega$	± 3.00 ± 2.97	± 3.20		V
		R_L Open	± 3.95 ± 3.90	± 4.05		
R_{OUT}	Output Impedance	DC		0.1		Ω
I_{OUT}	Output Current	$V_{OUT} \pm 4V$ from Rails	± 75 ± 70	± 90		mA
$V_{O\ OFFSET}$	Output Offset Voltage	$-1V < V_G < 1V$		± 80	± 350 ± 380	mV
+PSRR	+Power Supply Rejection Ratio (see (Note 10))	Input Referred, 1V change, $V_G = 1.4V$		-80	-58 -56	dB
-PSRR	-Power Supply Rejection Ratio (see (Note 10))	Input Referred, 1V change, $V_G = 1.4V$		-67	-57 -51	dB
CMRR	Common Mode Rejection Ratio (see (Note 9))	Input Referred, $V_G = 1V$ $-1.8V < V_{CM} < 1.8V$		-67		dB
I_S	Supply Current	$R_L =$ Open		37	50 53	mA
		$R_L =$ Open, $V_S = \pm 2.5V$		12	20 23	

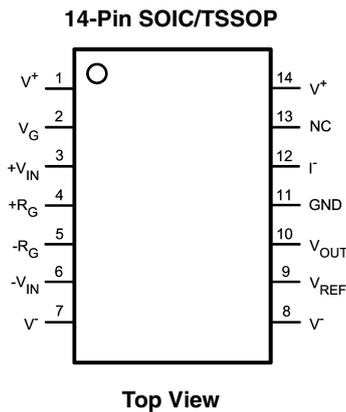
電気的特性 (Note 2) (つづき)

- Note 1:** 「絶対最大定格」とは、それを超えると、デバイスに損傷が生じるおそれがあるリミット値を示します。「動作定格」とは、デバイスが機能する条件を示しますが、特定の性能を保証するものではありません。保証されている仕様、その試験条件については、「電気的特性」を参照してください。
- Note 2:** 「電気的特性」の値は、記載温度の工場出荷試験条件にのみ適用されます。工場試験条件で生じる自己発熱は、 $T_J = T_A$ となる程度にきわめてわずかです。自己発熱によって $T_J > T_A$ となる条件下では、「電気的特性」表記載のパラメータは保証されません。
- Note 3:** 最大出力電流 (I_{OUT}) は、デバイスの消費電力の上限が規定された値のどちらか小さいほうになります。
- Note 4:** 人体モデルでは、1.5k と 100pF を直列に接続します。マシン・モデルでは、0 と 200pF を直列に接続します。
- Note 5:** スルーレートは立ち上がりレートの平均です。
- Note 6:** T_{yp} 値は最も標準的な値を示しています。太字は全温度範囲に適用されます。
- Note 7:** デバイスに向かって流れ込む電流を正方向の電流と定義しています。
- Note 8:** ドリフトは、温度変化両端でのパラメータ分布の変化を、温度変化の幅で除算して求めています。
- Note 9:** CMRR の定義：差動入力電圧 0.1V における $[|V_{OUT}/V_{CM}|/A_V]$ 。 V_{OUT} は、オフセットによるシフト分を減じた出力電圧の変化です。
- Note 10:** + PSRR の定義：差動入力電圧 0.1V における $[|V_{OUT}/V^+|/A_V]$ 、- PSRR の定義：差動入力電圧 0.1V における $[|V_{OUT}/V^-|/A_V]$ 。 V_{OUT} は、オフセットによるシフト分を減じた出力電圧の変化です。
- Note 11:** ゲイン制御に対する周波数応答の測定回路：



- Note 12:** ゲイン / 位相を各 A_V で低周波数値に正規化しています。
- Note 13:** "Flat Band Attenuation (Relative To Max Gain) Range" の定義：規定されたゲイン・フラットネス ($\pm 0.2\text{dB}$ または $\pm 0.1\text{dB}$) を満たす、 A_{VMAX} ゲインに対する最大からの減衰範囲として規定されています。たとえば $f < 30\text{MHz}$ の場合、Flat Band Attenuation の範囲は次のようになります。
 - $\pm 0.2\text{dB}$: 10V/V から 1V/V = 範囲 20dB
 - $\pm 0.1\text{dB}$: 10V/V から 4.7V/V = 範囲 6.5dB

ピン配置図



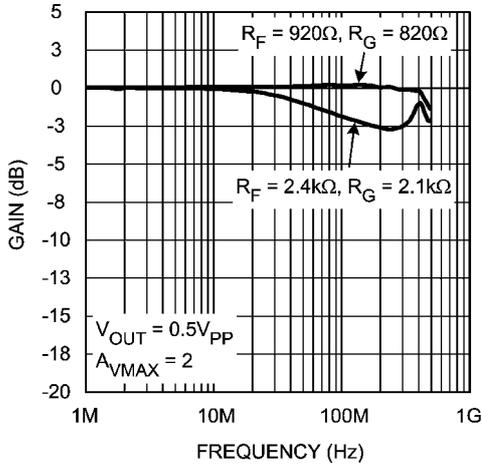
製品情報

Package	Part Number	Package Marking	Transport Media	NSC Drawing
14-pin SOIC	LMH6503MA	LMH6503MA	55 Units/Rail	M14A
	LMH6503MAX		2.5k Units Tape and Reel	
14-Pin TSSOP	LMH6503MT	LMH6503MT	94 Units/Rail	MTC14
	LMH6503MTX		2.5k Units Tape and Reel	

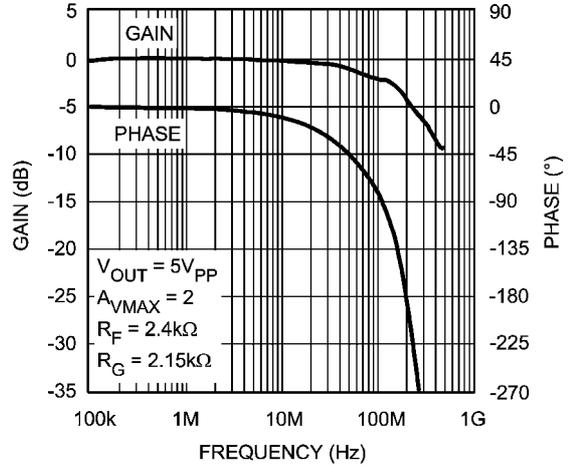
代表的な性能特性

特記のない限り、 $V_S = \pm 5V$ 、 25° 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

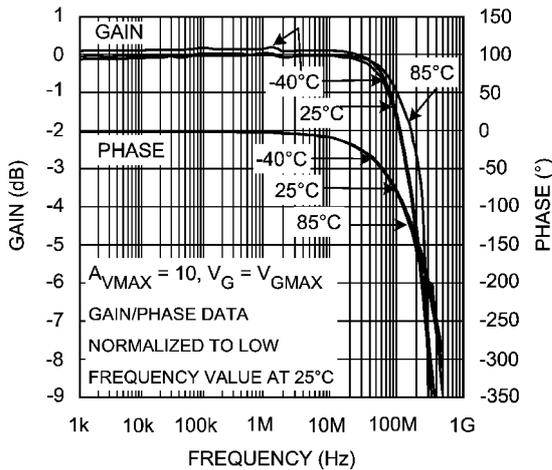
Small Signal Frequency Response ($A_V = 2$)



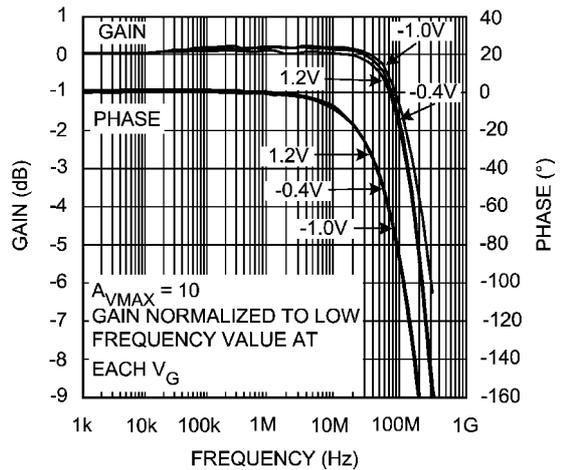
Large Signal Frequency Response ($A_V = 2$)



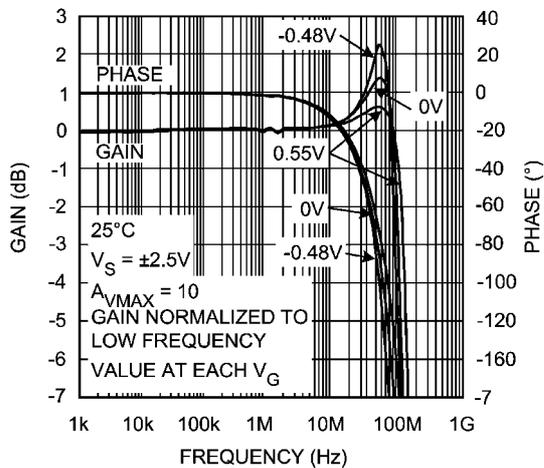
Frequency Response over Temperature ($A_V = 10$)



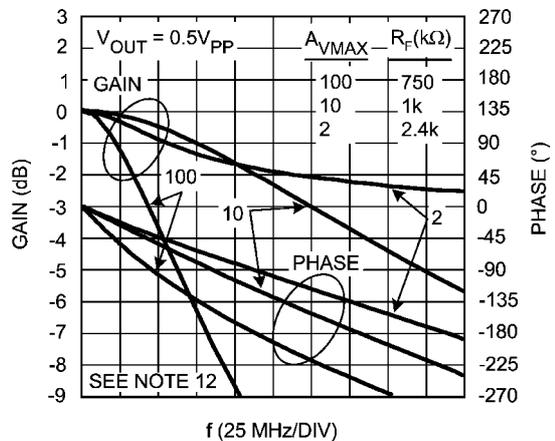
Frequency Response for Various V_G ($A_{VMAX} = 10$)



Frequency Response for Various V_G ($A_{VMAX} = 10$) ($\pm 2.5V$)



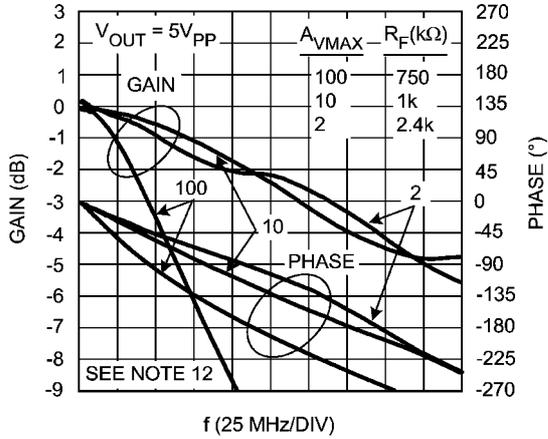
Small Signal Frequency Response



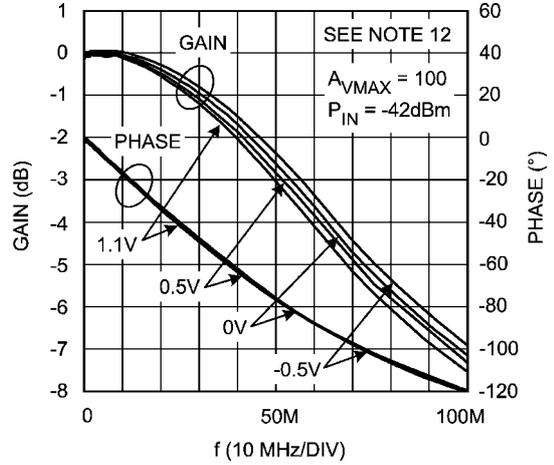
代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 25° 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

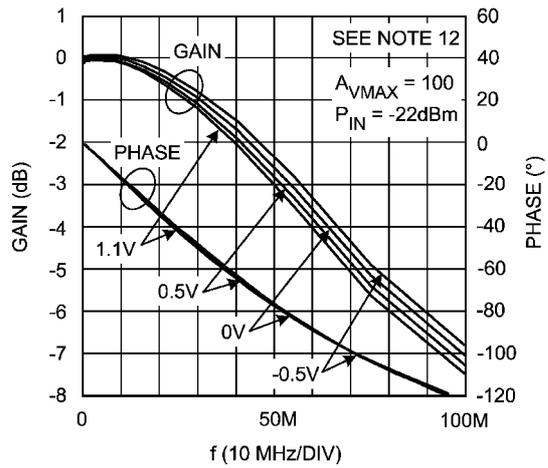
Large Signal Frequency Response



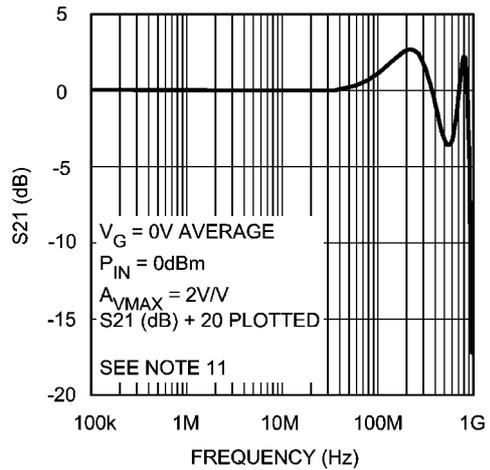
Frequency Response for Various V_G ($A_{VMAX} = 100$) (Small Signal)



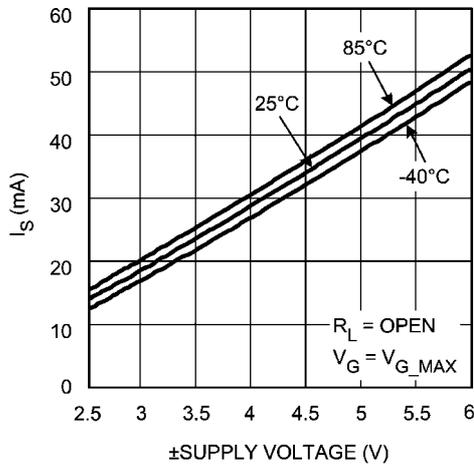
Frequency Response for Various V_G ($A_{VMAX} = 100$) (Large Signal)



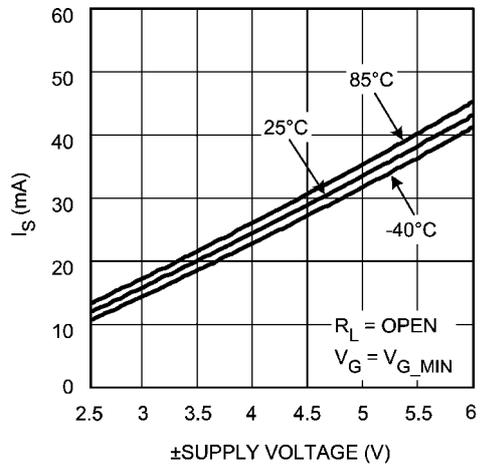
Gain Control Frequency Response



I_S vs. V_S



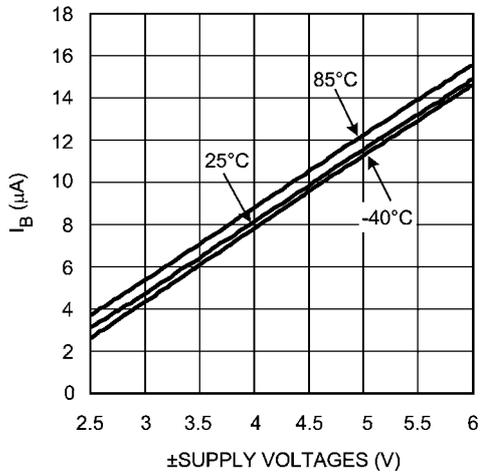
I_S vs. V_S



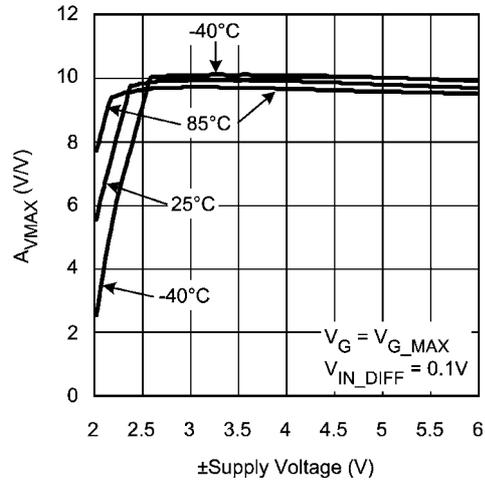
代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 $25^\circ C$ 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

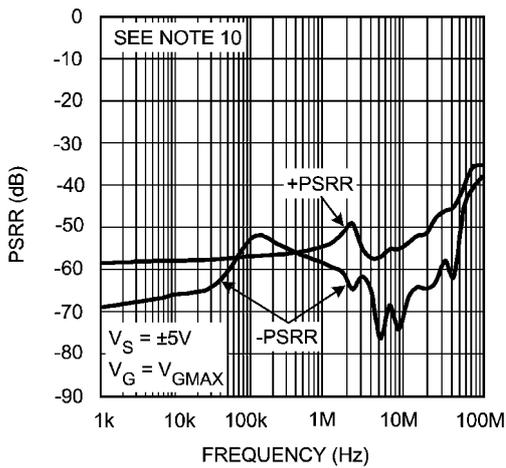
Input Bias Current vs. V_S



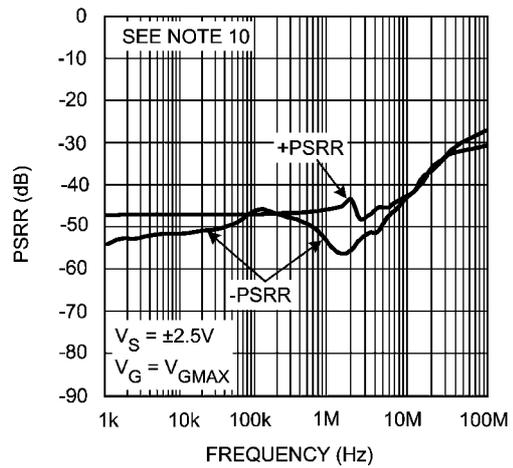
A_{VMAX} vs. V_S



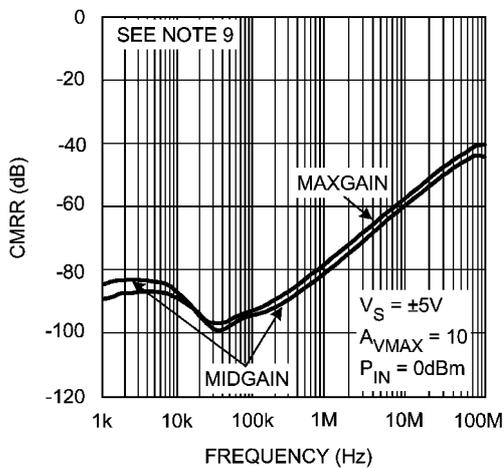
PSRR $\pm 5V$



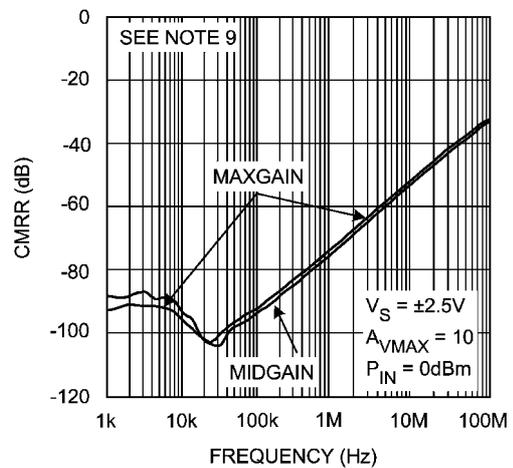
PSRR $\pm 2.5V$



CMRR $\pm 5V$



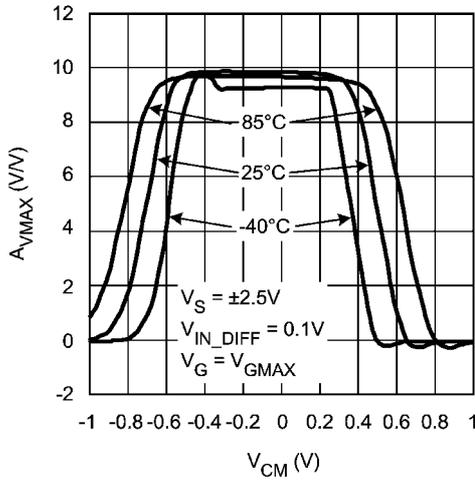
CMRR $\pm 2.5V$



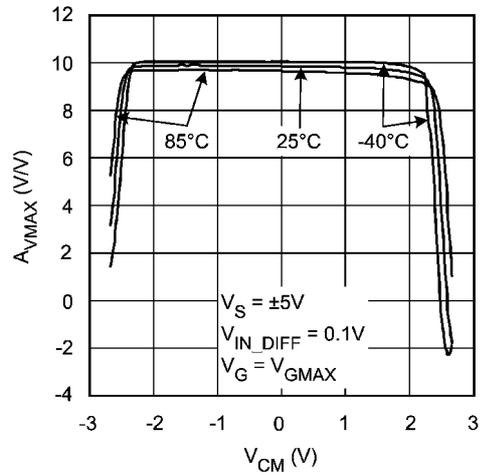
代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 25° 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

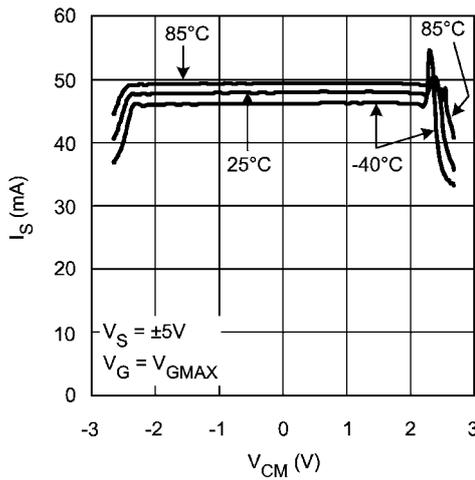
A_{VMAX} vs. V_{CM}



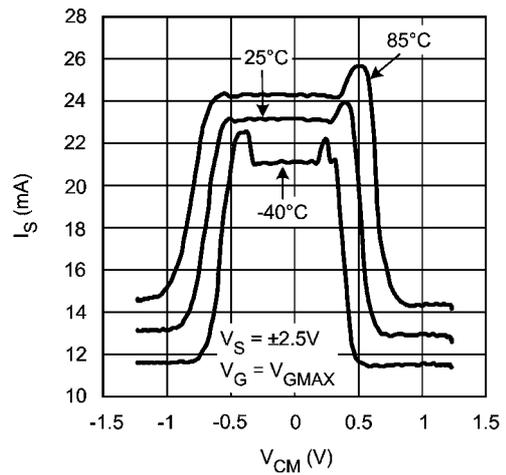
A_{VMAX} vs. V_{CM}



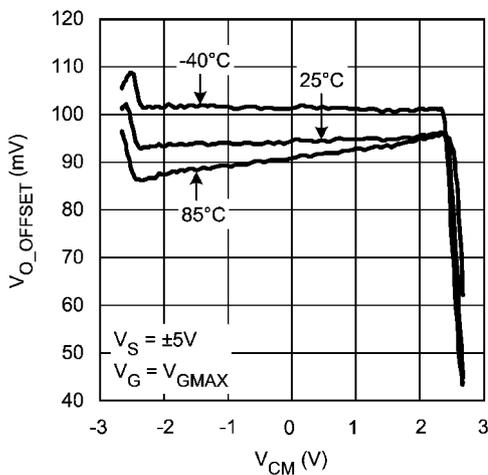
Supply Current vs. V_{CM}



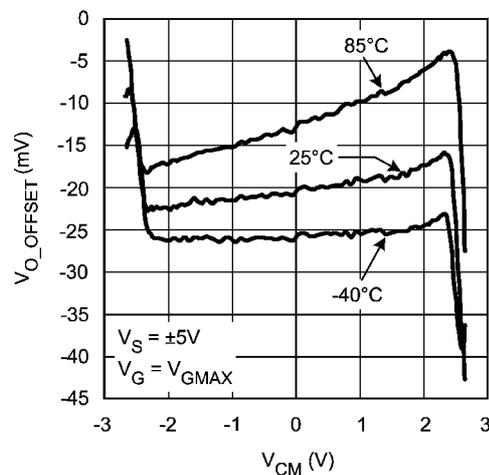
Supply Current vs. V_{CM}



Output Offset Voltage vs. V_{CM} (Typical Unit 1)



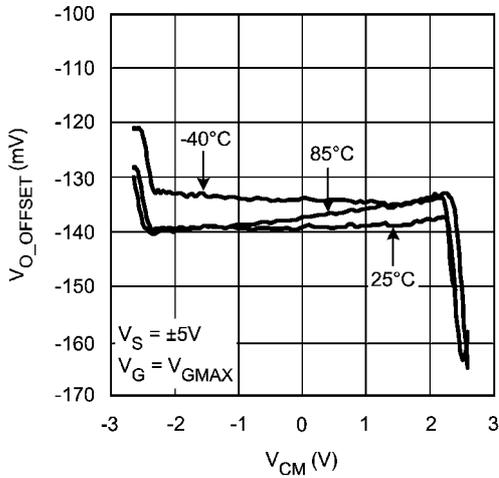
Output Offset Voltage vs. V_{CM} (Typical Unit 2)



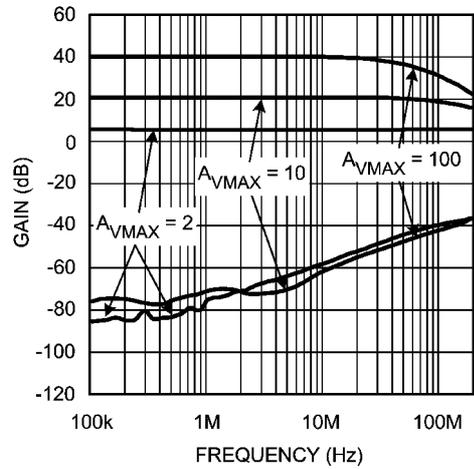
代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 25° 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50 で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

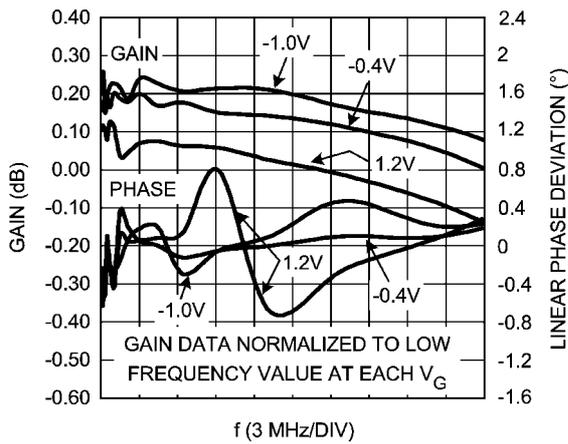
Output Offset Voltage vs. V_{CM} (Typical Unit 3)



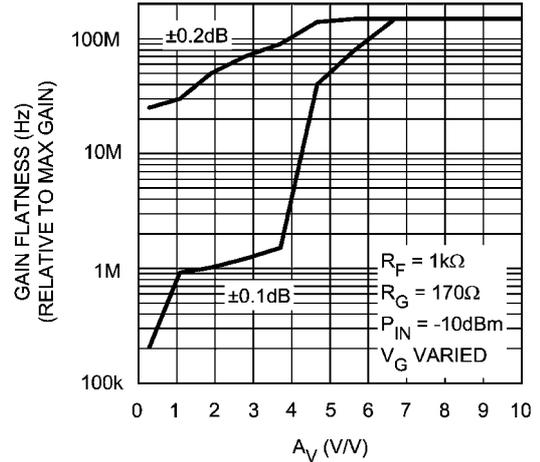
Feed through Isolation



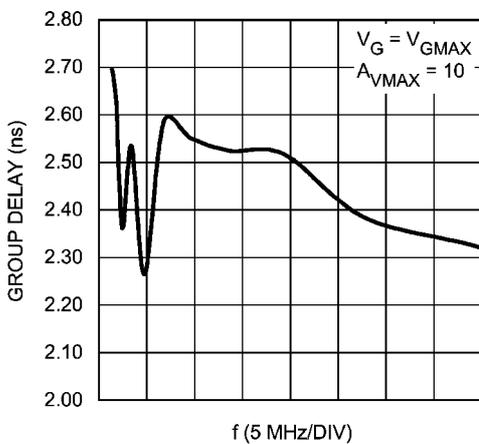
Gain Flatness and Linear Phase Deviation



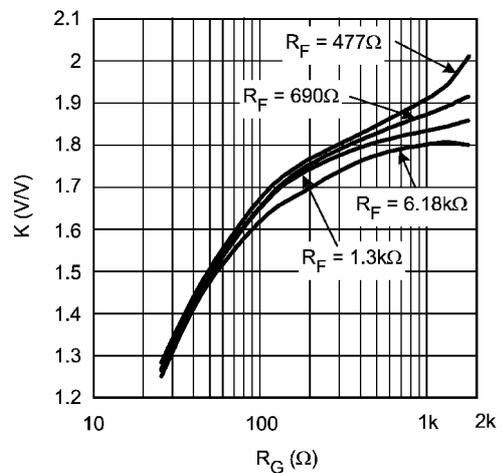
Gain Flatness Frequency vs. Gain (Note 13)



Group Delay vs. Frequency



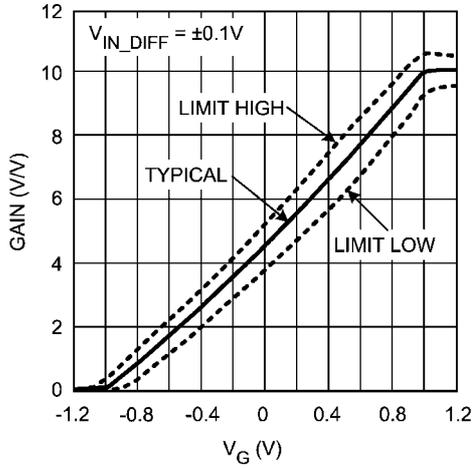
K Factor vs. R_G



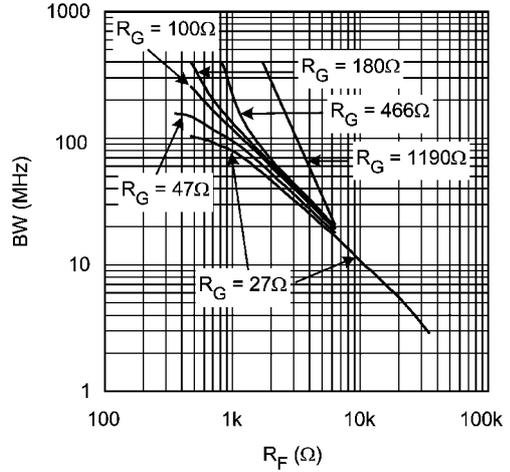
代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 $25^\circ C$ 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

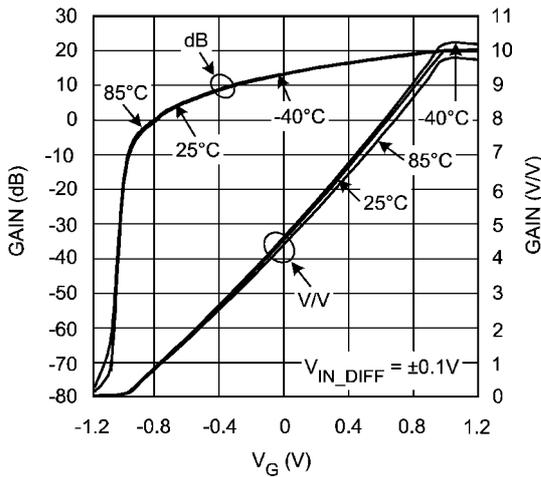
Gain vs. V_G Including Limits



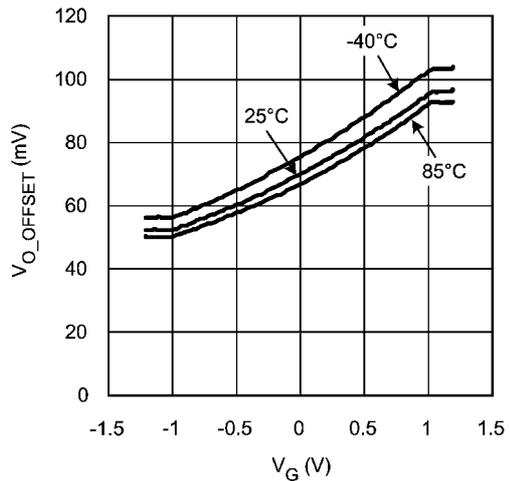
BW vs. R_F for Various R_G



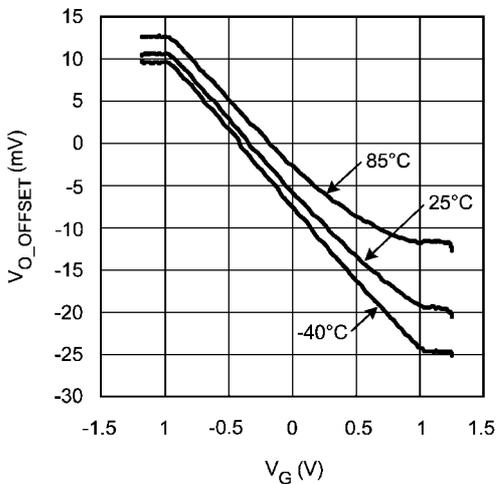
Gain vs. V_G ($\pm 5V$)



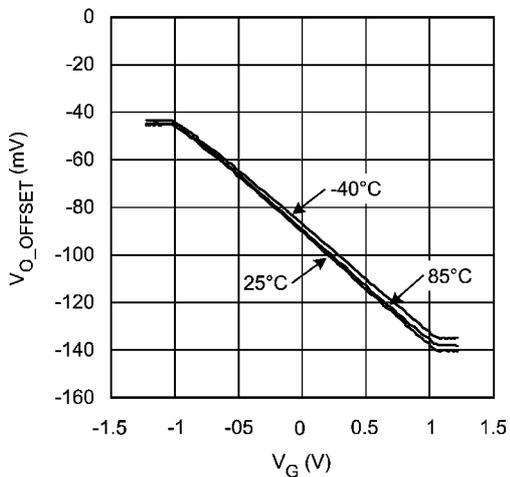
Output Offset Voltage vs. V_G (Typical Unit 1)



Output Offset Voltage vs. V_G (Typical Unit 2)



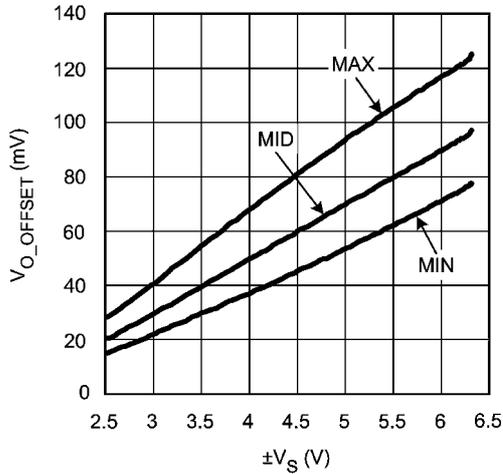
Output Offset Voltage vs. V_G (Typical Unit 3)



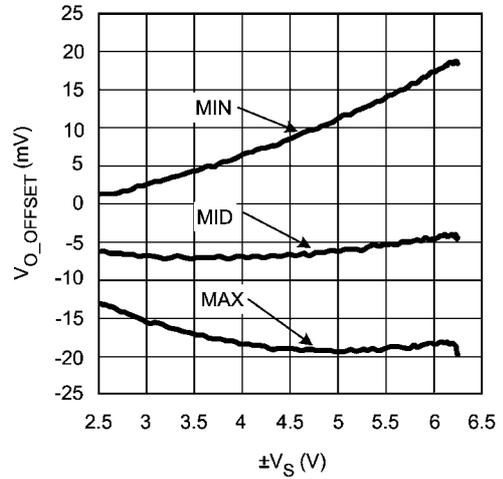
代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 $25^\circ C$ 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

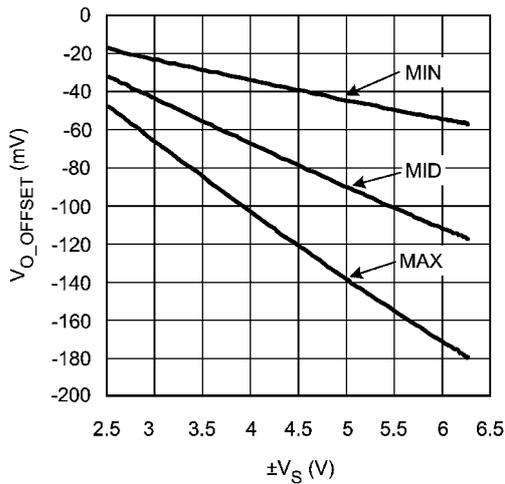
Output Offset Voltage vs. $\pm V_S$ for Various V_G (Typical Unit 1)



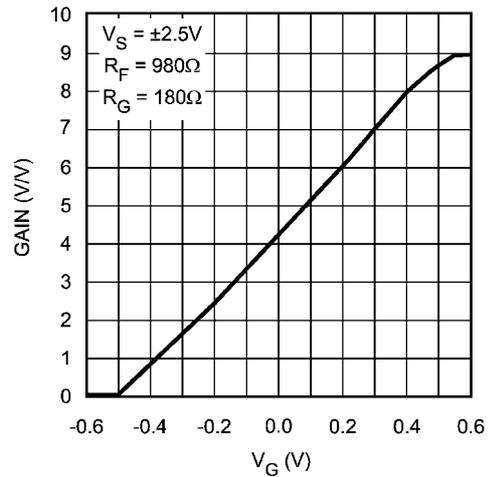
Output Offset Voltage vs. $\pm V_S$ for Various V_G (Typical Unit 2)



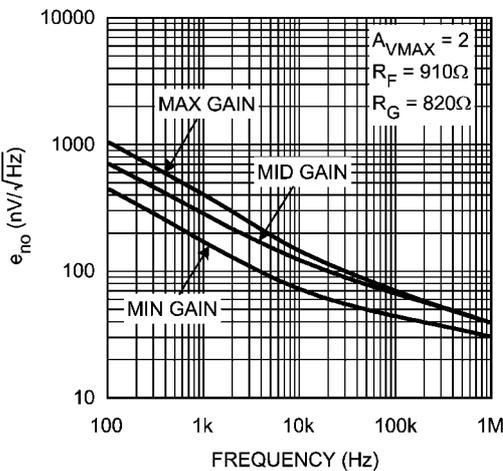
Output Offset Voltage vs. $\pm V_S$ for Various V_G (Typical Unit 3)



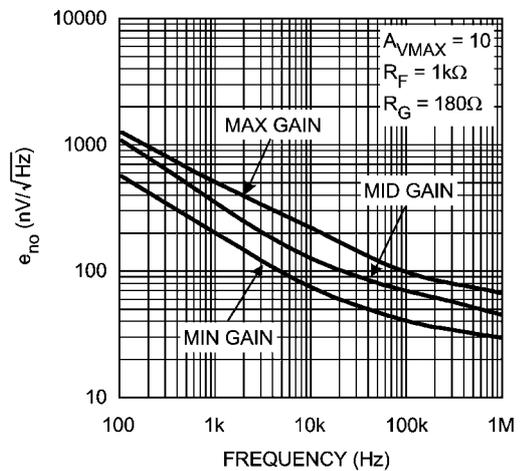
Gain vs. V_G ($\pm 2.5V$)



Noise vs. Frequency ($A_{VMAX} = 2$)



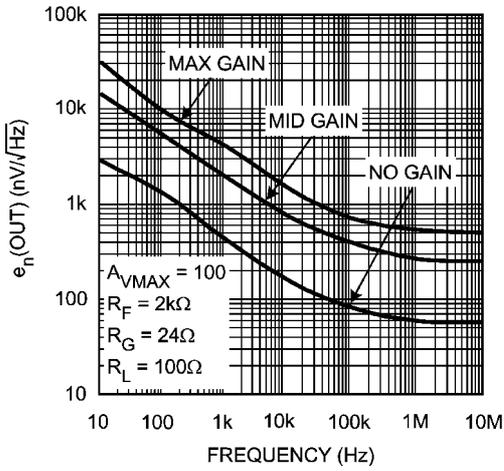
Noise vs. Frequency ($A_{VMAX} = 10$)



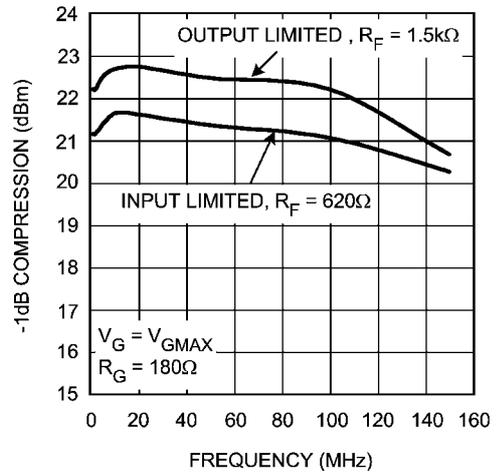
代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 $25^\circ C$ 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

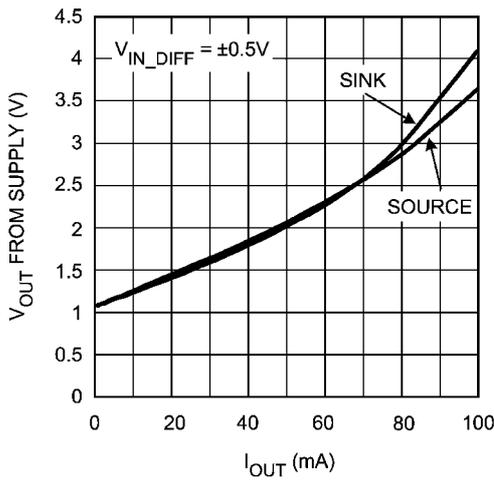
Noise vs. Frequency ($A_{VMAX} = 100$)



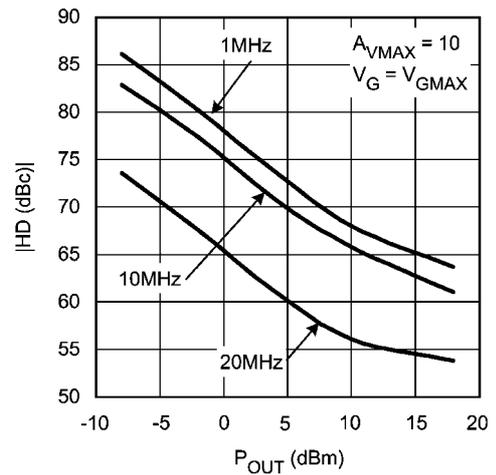
- 1dB Compression



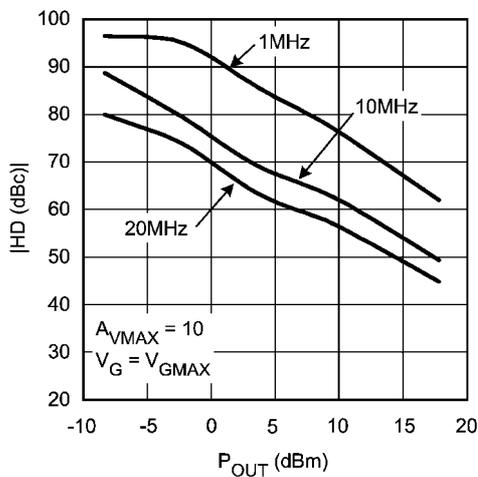
Output Voltage vs. Output Current



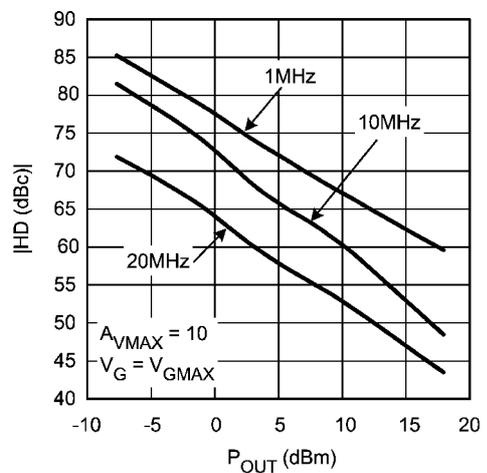
HD2 vs. P_{OUT}



HD3 vs. P_{OUT}



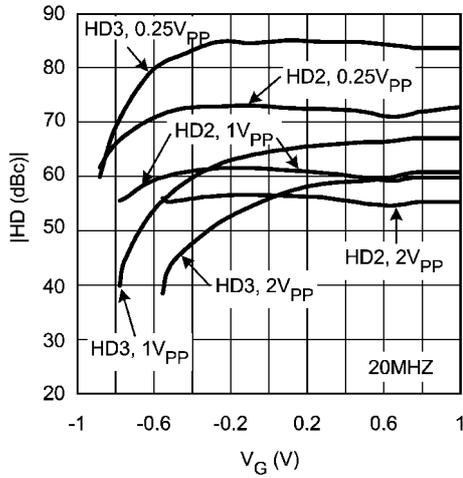
THD vs. P_{OUT}



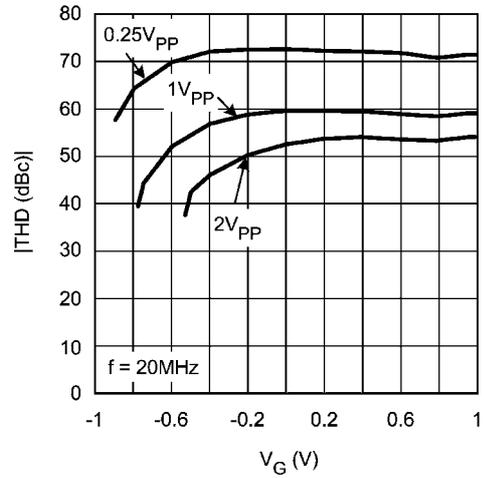
代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 $25^\circ C$ 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

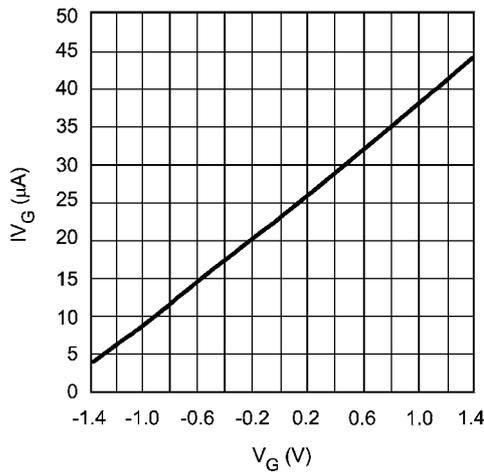
HD2 & HD3 vs. V_G



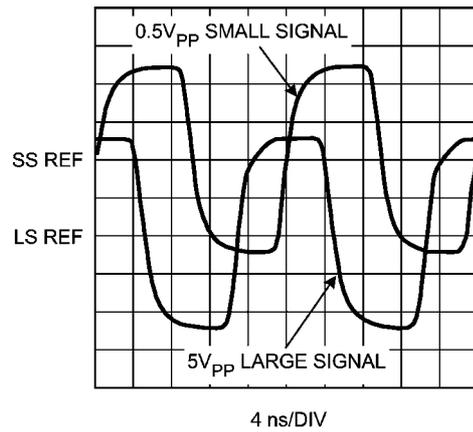
THD vs. V_G



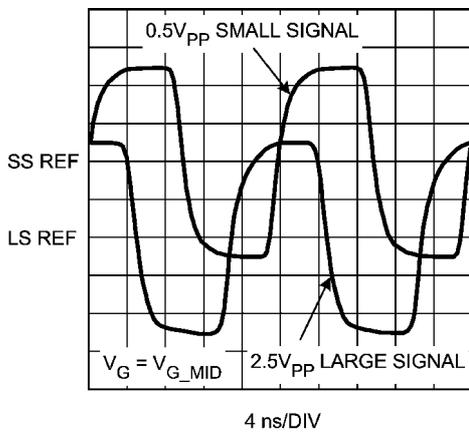
V_G Bias Current vs. V_G



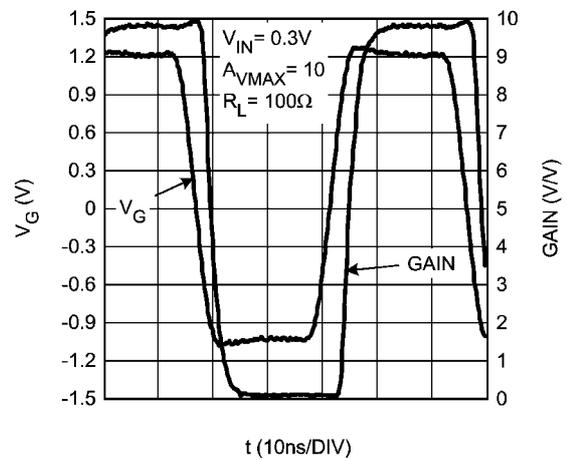
Step Response Plot



Step Response Plot



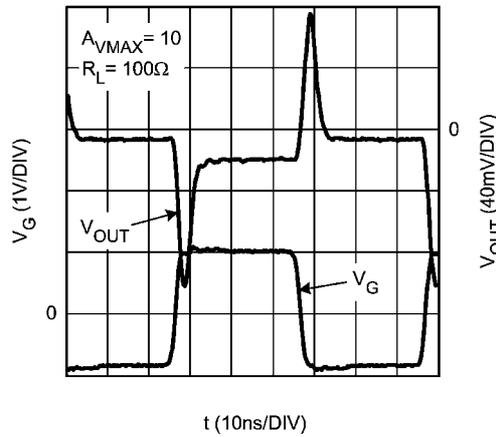
Gain vs. V_G Step



代表的な性能特性 (つづき)

特記のない限り、 $V_S = \pm 5V$ 、 $25^\circ C$ 、 $V_G = V_{G_MAX}$ 、 $V_{CM} = 0V$ 、 $R_F = 1k$ 、 $R_G = 174$ 、両入力とも 50 Ω で終端、 $R_L = 100$ 、代表値、デバイス出力に対する参照値。

V_G Feedthrough



アプリケーション情報

動作原理

LMH6503 は Figure 1 の内部構造を持つリニア制御の広帯域ゲイン可変型アンプです。入力電圧信号は、2つの入力 ($+V_{IN}$ 、 $-V_{IN}$) 間に差動電圧として、または1つ入力端子を GND に接地したシングルエンドとして与えます。LMH6503 の入力バッファは入力電圧を電流 I_{RG} に変換します。 I_{RG} は差動入力電圧 ($V_{INPUT} = (+V_{IN}) - (-V_{IN})$) とゲイン設定抵抗値 (R_G) の関数です。この電流 (I_{RG}) は電流ゲイン K (公称 1.72) が乗じられゲイン段にミラーされます。電圧制御 2 象限マルチプライヤが I_{RG} を減衰し、この減衰した電流が出力アンプで電圧に変換されます。出力アンプはトランス・インピーダンスとして構成される電流帰還型アンプです。トランス・インピーダンス・ゲインは帰還抵抗 R_F により設定します。ゆえに入力、出力、ゲイン制御はすべて電圧で行ない、出力電圧は式 1 より簡単に計算できます。

$$V_{OUT} = I_{RG} \times K \times \left[\frac{V_G + 1}{2} \right] \times R_F \quad \text{FOR } -1 < V_G < +1 \quad (1)$$

$K = 1.72$ (公称)

ゆえに、

$$I_{RG} = \frac{V_{INPUT}}{R_G}$$

したがって、式 2 に示すように、LMH6503 のゲインは R_G 、 R_F 、 V_G により設定します。

$$A_V = \frac{R_F}{R_G} \times 1.72 \times \left[\frac{V_G + 1}{2} \right] \quad (2)$$

ゲイン制御電圧 (V_G) は、 $-1V < V_G < +1V$ の入力範囲です。 $V_G = +1V$ での LMH6503 の最大ゲインは式 3 から計算できます。

$$A_V = 1.72 \frac{R_F}{R_G} \quad (3)$$

式 3 は差動入力動作、シングルエンド入力動作の両方で有効です。

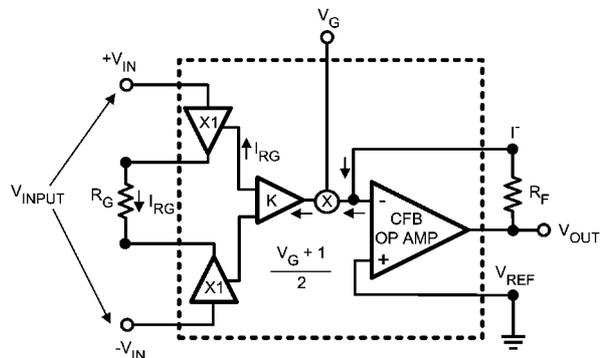


FIGURE 1. LMH6503 Functional Block Diagram

R_F と R_G の選択

R_G は式 4 を用いて計算できます。 V_{INPUT_MAX} はアプリケーションによって決まった最大ピーク入力電圧 (V_{pk}) です。

$$R_G = \frac{V_{INPUT_MAX}}{I_{RG_MAX}} \quad (4)$$

I_{RG_MAX} は R_G を流れる最大許容電流で、代表値は 2.3mA です。まず A_{V_MAX} が最小入力電圧と必要な出力電圧から決まります。次に R_F を式 5 から決定します。

アプリケーション情報 (つづき)

$$R_F = \frac{1}{K} * R_G * A_{VMAX} \tag{5}$$

この R_F と R_G の値は入力電圧と最大ゲインを満たす最小値です。抵抗値の調整によって、帯域幅が減少しますが、安定性が改善できます。

Figure 2 に、 V_{OUT} を $1V_{PP}$ 一定に維持したときに得られる LMH6503 の帯域幅を、入力電圧の最大 (Y 軸) と最小 (X 軸に対応) の関数として示します。

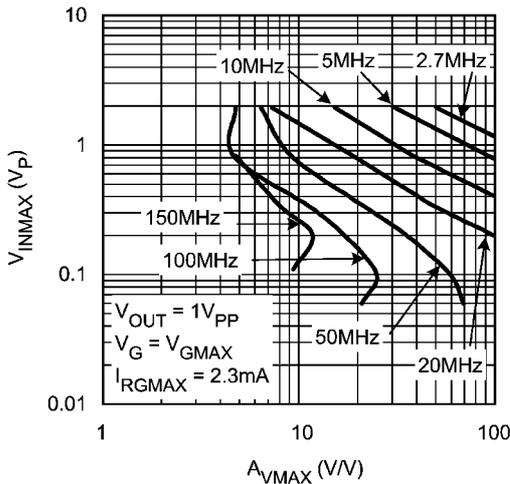


FIGURE 2. Bandwidth vs. V_{INMAX} and A_{VMAX}

オフセットの調整

入力段と出力段のオフセットは 2 段階のステップで調整します。まず、入力段とマルチプライヤ部分を出力段から切り離して出力オフセット電圧の調整を行うために、 V_G に $-1.1V$ を印加します。続いて LMH6503 の出力 (10 番ピン) のオフセットがゼロになるように、Figure 3 に示す LMH6503 の評価基板 (CLC730033) 上のトリム・ポット R_{14} を調節します。

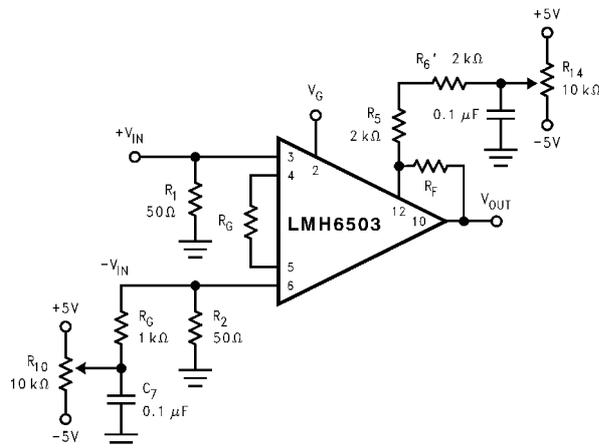


FIGURE 3. Nulling the Output Offset Voltage

次に入力段とマルチプライヤ段で生じるオフセット誤差を調整します。入力信号は与えず、また 2 つの入力端子のバイアス電流の誤差をなくすために、ソース・インピーダンスを整合させます。続いて V_G に $+1.1V$ を与え、トリム・ポット R_{10} を使って LMH6503 の出力オフセットをゼロに調整します。なお、 V_G のゲイン調整範囲が限られている場合は、その範囲に対して以上のオフセット調整を行ってください。これらのステップを踏めば、出力オフセット電圧を最小に抑えられます。ただしオフセット項は設定ゲインによって変化するため、完全な補正は不可能であり若干のオフセットは残ります。

ゲイン精度

ゲイン精度とは、代表的なゲイン (V/V) 分布 $-1V < V_G < +1V$ で、ある V_G の測定ゲイン (V/V) とフィッティング・ゲインとの比率として定義されます (単位 dB) (Figure 4 参照)。理想的なフィッティング・ゲイン (A_V) は次式で与えられます。

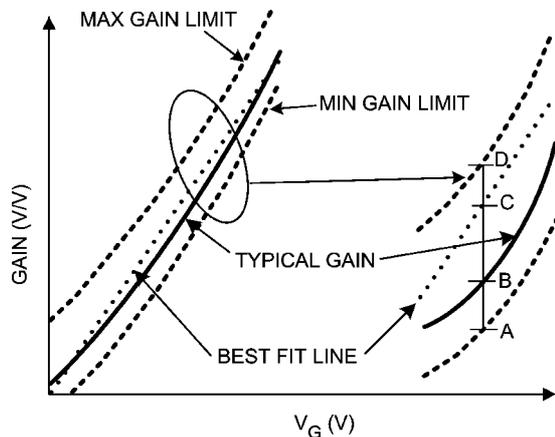
$$A_V (V/V) = 4.87V_G + 4.61 \tag{6}$$

- 1V V_G + 1V、 $R_F = 1k$ 、 $R_G = 174$

「電気的特性」の表に記載されているパラメータ G_{ACCU} の値は V_G 範囲全体に対するワーストケース精度を表わしています。「Typ」値は代表ゲインと理想的なフィッティング・ラインとの比のワーストケースです。「Max」値はゲインの最大 / 最小値と理想的なフィッティング・ラインとの比のワーストケースです。

ゲイン・マッチング

ゲイン・マッチングは、ある V_G におけるゲイン偏差の最大値として定義されます (単位 dB) (Figure 4 参照)。「Max」値のみが規定されます («Typ」値は規定されません)。「電気的特性」の表に記載されているパラメータ G_{Match} の値は V_G 範囲全体に対するワーストケース・マッチングを表わしています。「Max」値はゲインの最大 / 最小値と代表ゲインの比のワーストケースです。



PARAMETER:
 GAIN ACCURACY (TYPICAL) = B/C (dB)
 GAIN ACCURACY (+ & - LIMIT) = D/C & A/C (dB)
 GAIN MATCHING (+ & - LIMIT) = D/B & A/B (dB)

FIGURE 4. Gain Accuracy and Gain Matching Parameters Defined

アプリケーション情報 (つづき)

ノイズ

Figure 5 は $A_{VMAX} = 10V/V$ の LMH6503 の入力換算ノイズの関係を示しています。このグラフはノイズに関するすべての項を含んでいます。ただし、両方の入力を 50 Ω で終端すると入力ノイズの影響を最小に抑えられます。 $A_{VMAX} = 10V/V$ のとき、LMH6503 の平坦な帯域に対する入力換算スポット・ノイズ (e_{in}) の代表値は $6.6nV/\sqrt{Hz}$ です。 - 3dB 帯域幅が平坦な領域にまで伸びているアプリケーションでは、入力 RMS 電圧ノイズは次の単一ポール・モデルで定義されます。

$$V_{RMS} = e_{in} * \sqrt{1.57 * (-3dB \text{ BANDWIDTH})} \quad (7)$$

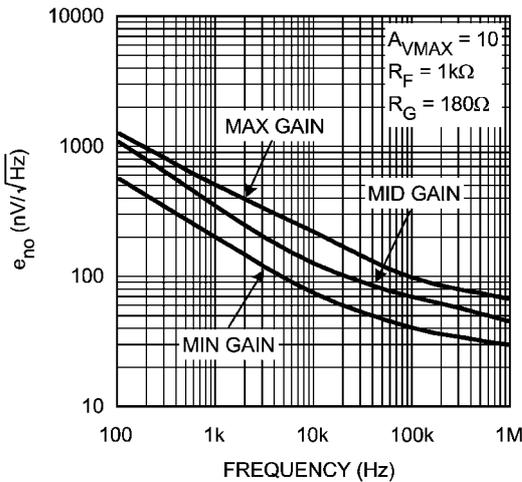


FIGURE 5. Output Referred Voltage Noise vs. Frequency

回路レイアウトの考慮事項

最適な高周波動作を行なうためには Figure 6 のように電源端子のできる限り近くにデカップリング・コンデンサを配置してください。また適切なグラウンド・プレーンと低インダクタンスの電源帰還がレイアウトに要求されます。

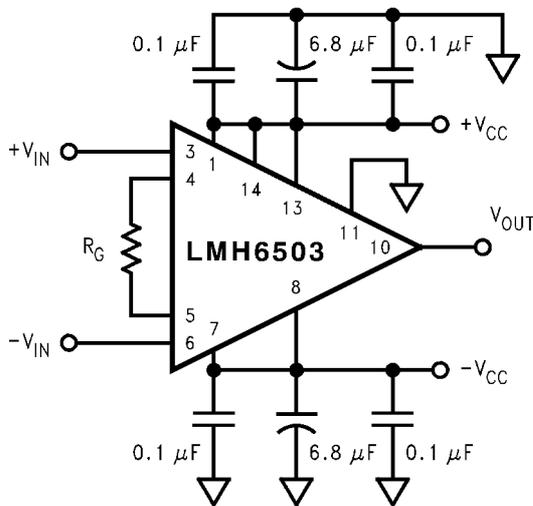


FIGURE 6. Required Power Supply Decoupling

端子 3、4、5、6、9、10、12 の寄生容量を最小にすれば、最高の高周波性能が達成できます。端子 4、5、9 への配線長、部品のリード長は最短にしてください。出力 (端子 10) での寄生容量または負荷容量 C_L は位相マージンを減少させ、周波数応答にピーキング、または発振を引き起します。LMH6503 は 100 負荷の駆動では完全に安定しています。負荷を軽くすると (たとえば 1k Ω)、とくに容量性負荷の場合、400MHz を超えた高い周波数領域で不安定になる可能性があります。LMH6503 をそのような軽い負荷に接続する場合、出力にスナバ・ネットワークを追加することを推奨します (たとえば LMH6503 出力とグラウンド間に 100 Ω と 39pF を直列に接続する)。また、出力 (10 ピン) に低抵抗を直列に挿入すると、 C_L の影響を低減できます。

外付け部品の寄生容量も高周波特性に影響するため、RN55D のような金属被膜抵抗または表面実装デバイスのようなリードの無いものを推奨します。背の高い DIP ソケットは使用しないでください。

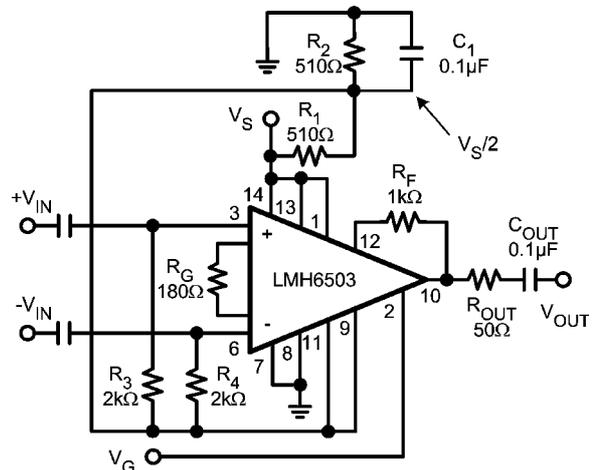
ナショナル セミコンダクター社では以下の評価用ボードを提供しています。高周波用レイアウトの基準として、またデバイスの試験や特性測定の補助手段として、次の評価ボードの利用を推奨します。

デバイス	パッケージ	評価用ボード部品番号
LMH6503MA	SOIC-14	CLC730033
LMH6503MT	TSSOP-14	CLC730146

ナショナル セミコンダクター社にデバイスのサンプルをお申し込みになれば、評価用ボードを無償で提供します。

単一電源動作

LMH6503 は単一電源で動作させることも可能です。これを行うには、ピン 11 (GND) を $V^+ \sim V^-$ の中間の電位に接続します。Figure 7、8 に 2 つの回路例を示します。



RANGE: $\pm 1V$ FROM PIN 11
VOLTAGE (FOR $V_S = 10V$)

FIGURE 7. AC Coupled Single Supply VGA

アプリケーション情報 (つづき)

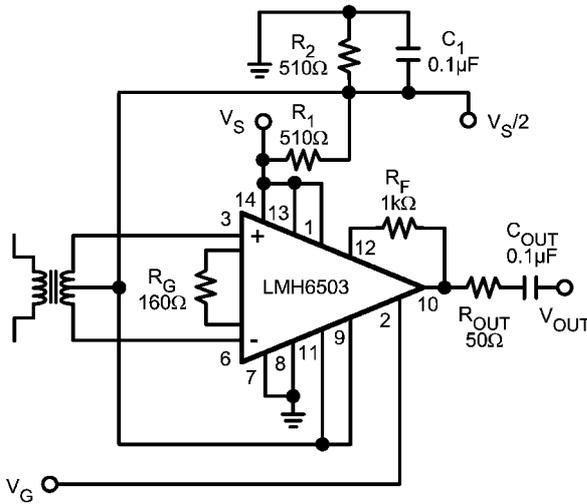


FIGURE 8. Transformer Coupled Single Supply VGA

低電圧動作

LMH6503 の動作電圧定格の下限は 5V (V^+ と V^- の電位差) です。データシートには、一部に $\pm 2.5V$ での動作が記載されています (たとえば周波数応答、CMRR、PSRR、"Gain vs. V_G " グラフなど)。 $\pm 5V$ 動作と比べて、低電圧動作では次の点に注意が必要です。

- a) V_G 範囲の圧縮。Figure 9 に示すように V_{G_MAX} (最大ゲインを得るために必要な V_G 電圧) は、 $\pm 5V$ 時には $1V$ であるのに対し $\pm 2.5V$ 時には $0.5V$ となります。同時に、ゲイン・カットオフ電圧 (V_{G_MIN}) は、 $\pm 5V$ 時には $-1V$ であるのに対し $\pm 2.5V$ 時には $-0.5V$ となります。Table 1 に各 V_G 電圧を求める近似式を V^- の関数として示します。

Table 1: V_G Definition Based on V^-

V_G	Definition	Expression (V)
V_{G_MIN}	Gain Cut-off	$0.2 \times V^-$
V_{G_MID}	$A_{VMAX}/2$	0
V_{G_MAX}	A_{VMAX}	$-0.2 \times V^-$

- b) V_{G_LIMIT} (V_G 上の許容可能な最大電圧) の低下。トランジスタのヘッドルームによって回路的に制限されます。このリミット電圧を超えて V_G に電圧を与えると性能に影響が及びます (デバイスが破壊されることはありません)。Figure 9 から、 $V^+ = 2.5V$ で $V^- = -4V$ のとき、 V_{G_LIMIT} は V_{G_MAX} にほぼ一致するまで低下し、その時点で最大ゲインが $1dB$ 程度低下しているのがわかります。このような条件での動作では、最大ゲインを得るために必要な V_G 電圧が、印加可能な上限電圧に達してしまうことを意味します。Figure 9、10 のグラフから、電源電圧が非対称の場合、 V_{G_LIMIT} の圧迫と V_{G_MAX} 曲線によって動作領域が大きく制限されるのがわかります。

- c) 最大ゲインの低下。電源電圧が低くなれば本質的に最大ゲインも下がります ("代表的性能特性" の "Gain vs. V_G ($V_S = \pm 2.5V$)" グラフ参照)。また、(b) と Figure 9 に示される現象が強く現れるようになります。

比較のために、 $V^+ = 5V$ 動作時のグラフを Figure 10 に示します。

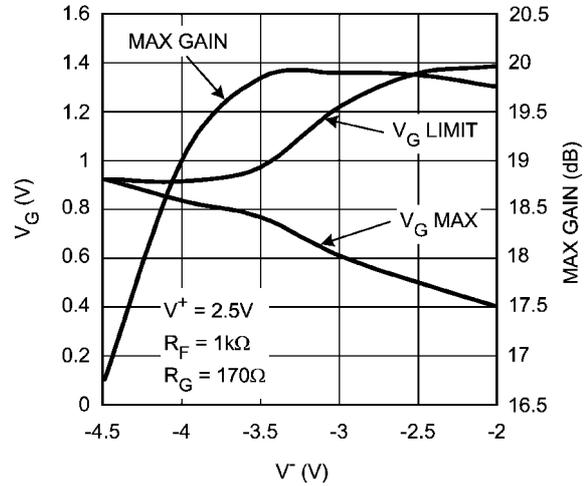


FIGURE 9. V_{G_MAX} , V_{G_LIMIT} , & Max-gain vs. V^- ($V^+ = 2.5V$)

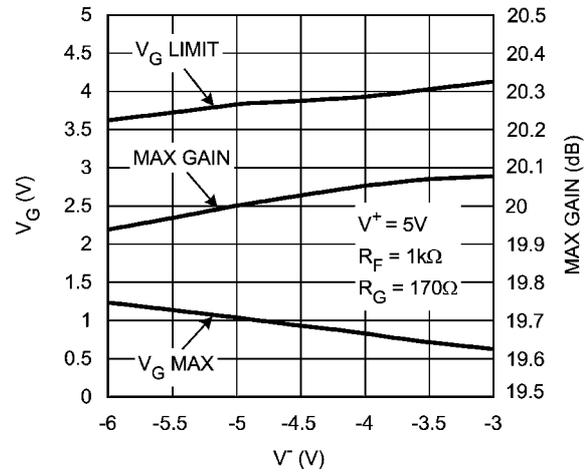


FIGURE 10. V_{G_MAX} , V_{G_LIMIT} , & Max-gain vs. V^- ($V^+ = 5V$)

アプリケーション回路例

4 象限マルチプライヤ

乗算が必要なアプリケーションで、二乗または、他の非線形関数は、Figure 11 に示すように 4 象限マルチプライヤで実行できます。

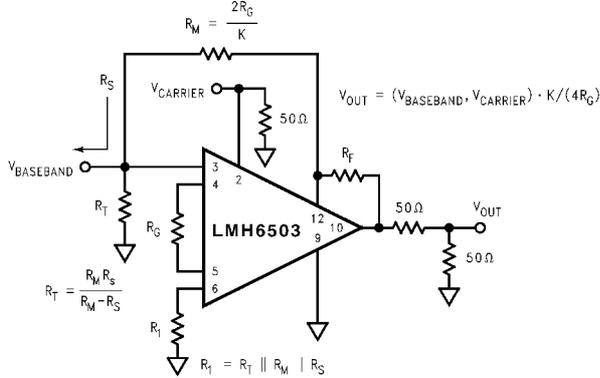


FIGURE 11. Four Quadrant Multiplier

周波数シェーピング

LMH6503 は Figure 12 のように R_G に並列接続すると、効率よく周波数と帯域幅拡張ができます。

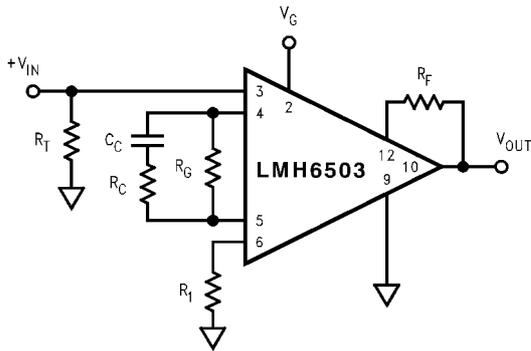
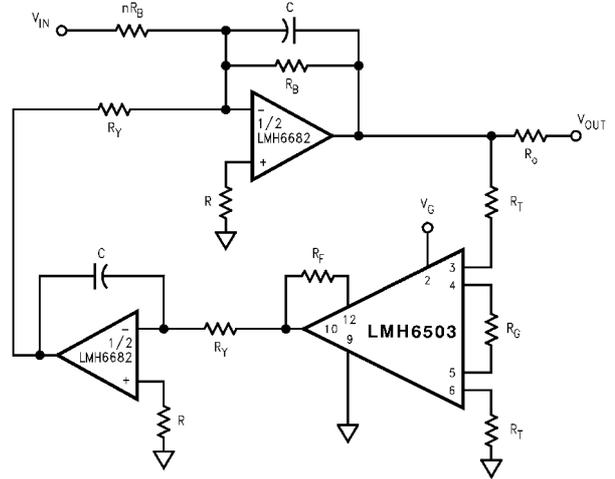


FIGURE 12. Frequency Shaping

制御可能な 2 次のバンドパス・フィルタ

LMH6503 を帰還ループの中に置くと、制御可能な 2 次のバンドパス・フィルタとして機能できます。Figure 13 に示す 2 次バンドパス・フィルタの中心周波数は、LMH6503 のゲイン制御電圧 V_G を変化させれば調節ができます。2 つの LMH6682 で構成された積分器は、伝達関数の係数を与えます。

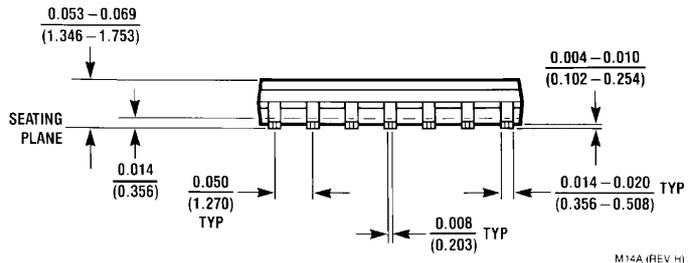
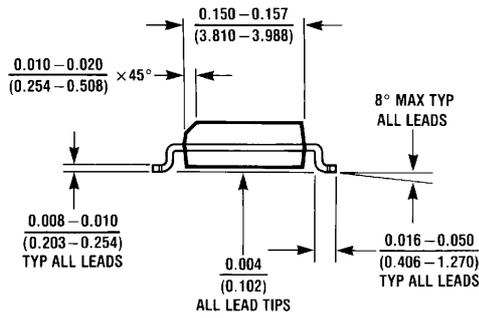
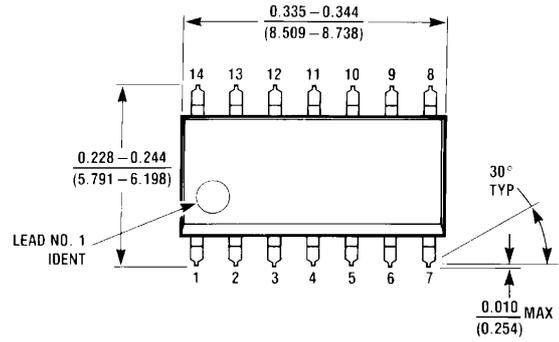


$$\frac{V_O}{V_{IN}} = \left[-\frac{1}{n} \right] \frac{s \frac{1}{CR_B}}{s^2 + s \frac{1}{CR_B} + \frac{p}{C^2R_Y^2}}$$

$$p = 1.72 \frac{R_F}{R_Y}, Q = \frac{\sqrt{pR_B}}{R_Y}, \omega_0 = \frac{\sqrt{p}}{CR_Y}$$

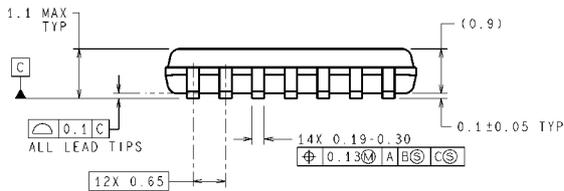
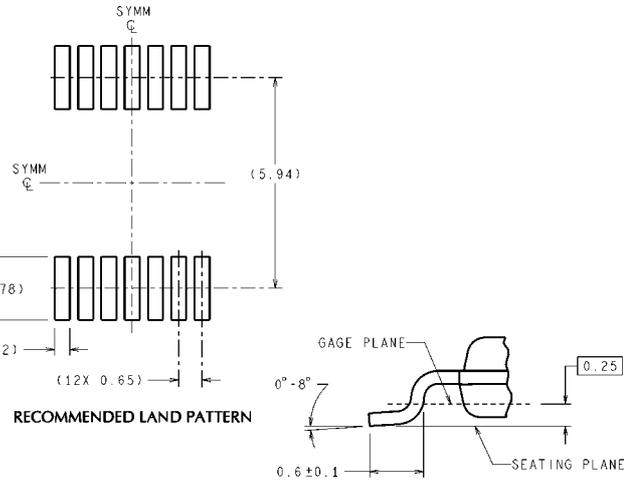
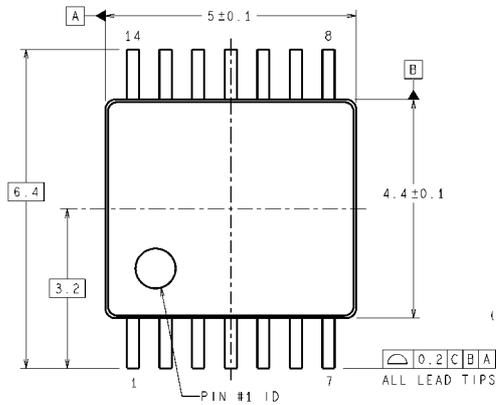
FIGURE 13. Tunable Bandpass Filter

外形寸法図 特記のない限り inches (millimeters)



M14A (REV H)

14-Pin SOIC
NS Package Number M14A



DIMENSIONS ARE IN MILLIMETERS
DIMENSIONS IN () FOR REFERENCE ONLY

MTC14 (Rev D)

14-Pin TSSOP
NS Package Number MTC14
単位は millimeters

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。

www.national.com/jpn/

その他のお問い合わせはフリーダイヤルをご利用ください。



0120-666-116

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上