

SN74AHC4066 クワッド双方向アナログスイッチ

1 特長

- 1V~5.5V の V_{CC} で動作
- すべてのポートで混合モード電圧動作をサポート
- 高いオン / オフ出力電圧比
- スイッチ間の低いクロストーク
- スイッチの個別制御
- 非常に低い入力電流
- JESD 22 を上回る ESD 保護:
 - 2000V、人体モデル (A114-A)
 - 200V、マシン モデル (A115-A)
 - 1000V、デバイス帯電モデル (C101)

2 アプリケーション

- アナログ信号スイッチング / 多重化:
 - 信号ゲーティング、変調器、スケルチ制御、復調器、チョッパ、整流スイッチ
- デジタル信号スイッチング / 多重化:
 - オーディオおよびビデオ信号のルーティング
- 伝送ゲート ロジックの実装
- A/D 変換および D/A 変換
- 周波数、インピーダンス、位相、アナログ信号ゲインのデジタル制御
- モーターの速度制御
- バッテリ チャージャ
- DC/DC コンバータ

3 概要

このクワッド シリコンゲート CMOS アナログ スイッチは、1V~5.5V の V_{CC} で動作するように設計されています。

このスイッチは、アナログとデジタルの両方の信号を扱うことができます。各スイッチは、最大 5.5V (ピーク) までの振幅の信号を、どちらの方向にも転送できます。

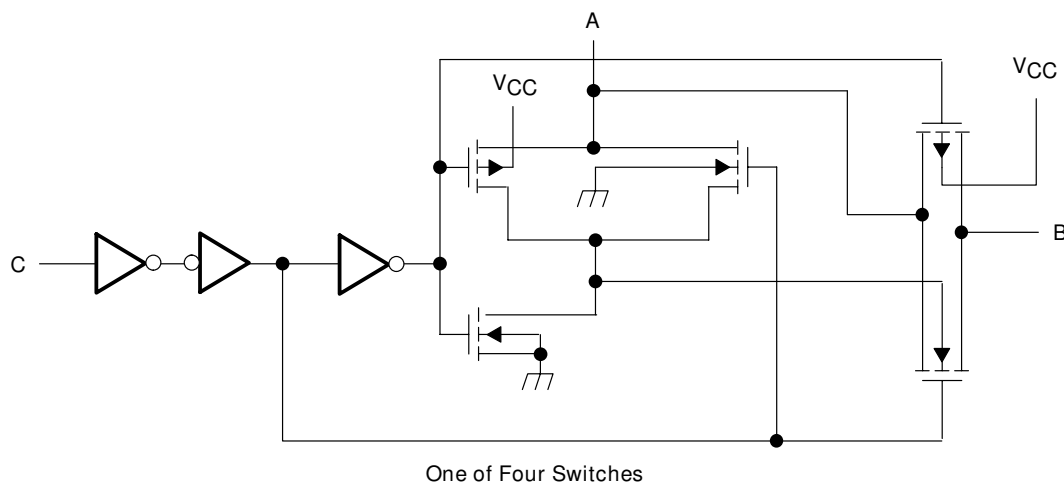
スイッチの各セクションには、専用のイネーブル入力制御 (C) が存在します。C に HIGH レベルの電圧が印加されると、対応するスイッチ セクションがオンになります。

信号ゲーティング、チョッピング、変調または復調 (モデム)、およびアナログ / デジタルやデジタル / アナログ変換システム用の信号多重化などのアプリケーションに使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
SN74AHC4066	D (SOIC, 14)	8.65mm × 6mm
	PW (TSSOP, 14)	5mm × 6.4mm
	RGY (VQFN, 14)	3.5mm × 3.5mm

- (1) 詳細については、[セクション 10](#) を参照してください。
 (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

各スイッチの論理図 (正論理)



Table of Contents

1 特長	1	6 Parameter Measurement Information	9
2 アプリケーション	1	7 Detailed Description	15
3 概要	1	7.1 Overview.....	15
4 Pin Configuration and Functions	2	7.2 Functional Block Diagram.....	15
5 Specifications	4	7.3 Device Functional Modes.....	15
5.1 Absolute Maximum Ratings.....	4	8 Device and Documentation Support	16
5.2 ESD Ratings.....	4	8.1 Documentation Support.....	16
5.3 Thermal Information.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	16
5.4 Recommended Operating Conditions.....	5	8.3 サポート・リソース.....	16
5.5 Electrical Characteristics.....	5	8.4 Trademarks.....	16
5.6 Switching Characteristics.....	6	8.5 静電気放電に関する注意事項.....	16
5.7 Switching Characteristics.....	6	8.6 用語集.....	16
5.8 Switching Characteristics.....	7	9 Revision History	16
5.9 Analog Switching Characteristics.....	7	10 Mechanical, Packaging, and Orderable Information	16
5.10 Operating Characteristics.....	8		

4 Pin Configuration and Functions

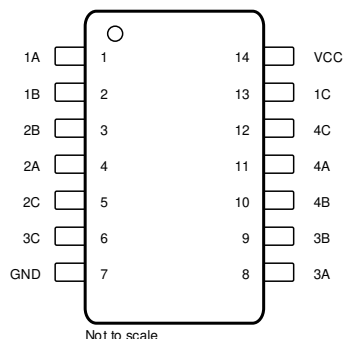


図 4-1. D or PW Package, 14-Pin SOIC or TSSOP (Top View)

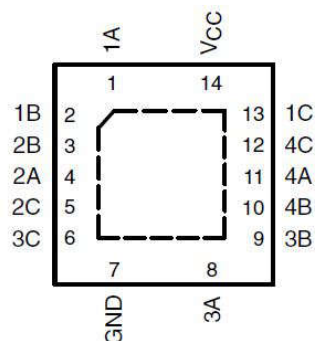


図 4-2. RGY Package, 14-Pin QFN (Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1A	1	I/O	Switch 1 input/output
1B	2	I/O	Switch 1 output/input
2B	3	I/O	Switch 2 output/input
2A	4	I/O	Switch 2 input/output
2C	5	I	Switch 2 control
3C	6	I	Switch 3 control
GND	7	—	Ground
3A	8	I/O	Switch 3 input/output
3B	9	I/O	Switch 3 output/input
4B	10	I/O	Switch 4 output/input
4A	11	I/O	Switch 4 input/output
4C	12	I	Switch 4 control
1C	13	I	Switch 1 control

表 4-1. Pin Functions (続き)

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
V _{CC}	14	—	Power

(1) I = input, O = output

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V_{CC}	Supply voltage ⁽²⁾	-0.5	7	V
V_I	Input voltage range	-0.5	7	V
V_{IO}	Switch I/O voltage range	-0.5 to V_{CC}	+0.5	V
I_{IK}	Control-input clamp current	$V_I < 0$	-20	mA
I_I	I/O port diode current	$V_I < 0$ or $V_{IO} > V_{CC}$	±50	mA
	On-state switch current	$V_{IO} = 0$ to V_{CC}	±25	mA
	Continuous current through V_{CC} or GND		±50	mA
T_{stg}	Storage temperature	-60	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are with respect to ground unless otherwise specified.

5.2 ESD Ratings

		VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1000

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process. CDM value for N package only.

5.3 Thermal Information

THERMAL METRIC ⁽¹⁾		SN74AHC4066			UNIT
		D	PW	RGY	
		14 PINS	14 PINS	14 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	127.7	150.6	91.9	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	81.8	78.2	91.8	°C/W
$R_{\theta JC(bottom)}$	Junction-to-case (bottom) thermal resistance	N/A	N/A	50.0	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	84.2	93.7	66.5	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	39.5	24.6	20.0	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	83.7	93.1	66.3	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)⁽²⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage	1 (1)	5.5	V
V _{IH}	High-level input voltage, control inputs	V _{CC} = 2V	1.5	V
		V _{CC} = 2.3V to 2.7V	V _{CC} × 0.7	
		V _{CC} = 3V to 3.6V	V _{CC} × 0.7	
		V _{CC} = 4.5V to 5.5V	V _{CC} × 0.7	
V _{IL}	Low-level input voltage, control inputs	V _{CC} = 2V	0.5	V
		V _{CC} = 2.3V to 2.7V	V _{CC} × 0.3	
		V _{CC} = 3V to 3.6V	V _{CC} × 0.3	
		V _{CC} = 4.5V to 5.5V	V _{CC} × 0.3	
V _I	Control input voltage	0	5.5	V
V _{I/O}	Input/output voltage	0	V _{CC}	V
Δt/Δv	Input transition rise and fall time	V _{CC} = 2.3V to 2.7V	200	ns/V
		V _{CC} = 3V to 3.6V	100	
		V _{CC} = 4.5V to 5.5V	20	
T _A	Operating free-air temperature	–40	85	°C

(1) With supply voltages at or below 2V, the analog switch on-state resistance becomes very nonlinear. Only digital signals should be transmitted at these low supply voltages.

(2) All unused inputs of the device must be held at V_{CC} or GND for proper device operation. Refer to the TI application report, [Implications of Slow or Floating CMOS Inputs](#).

5.5 Electrical Characteristics

T_A = –40 to +85 °C unless otherwise specified.

PARAMETER	TEST CONDITIONS	V _{CC}	T _A = 25°C			MIN	MAX	UNIT
			MIN	TYP	MAX			
r _{on}	On-state switch resistance I _T = –1mA, V _I = 0 to V _{CC} , V _C = V _{IH} (see Figure 6-1)	2.3V		38	180		225	Ω
		3V		29	150		190	
		4.5V		21	75		100	
r _{on(p)}	Peak on-state resistance I _T = –1mA V _I = V _{CC} to GND V _C = V _{IH}	2.3V		143	500		600	Ω
		3V		57	180		225	
		4.5V		31	100		125	
Δr _{on}	Difference in on-state resistance between switches I _T = –1mA V _I = V _{CC} to GND V _C = V _{IH}	2.3V		6	30		40	Ω
		3V		3	20		30	
		4.5V		2	15		20	
I _{IH} I _{IL}	Control input current V _C = 0 or V _{CC}	5.5			±0.1		±1	μA
I _{s(off)}	Off-state switch leakage current V _I = V _{CC} and V _O = GND, or V _I = GND and V _O = V _{CC} , V _C = V _{IL} (see Figure 6-2)	5.5V			±0.1		±1	μA

5.5 Electrical Characteristics (続き)

$T_A = -40$ to $+85$ °C unless otherwise specified.

PARAMETER	TEST CONDITIONS	V_{CC}	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
			MIN	TYP	MAX			
$I_{s(on)}$	On-state switch leakage current	$V_I = V_{CC}$ or GND, $V_C = V_{IH}$ (see Figure 6-3)	5.5V		± 0.1		± 1	μA
I_{CC}	Supply current	$V_I = V_{CC}$ or GND	5.5V				20	μA
C_{iC}	Control input capacitance			1.5				pF
C_{iO}	Switch input/output capacitance			5.5				pF
C_F	Feed-through capacitance			0.5				pF

5.6 Switching Characteristics

over recommended operating free-air temperature range, $V_{CC} = 2.5\text{V} \pm 0.2\text{V}$ (unless otherwise noted)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{PLH} , t_{PHL}	A or B	B or A	$C_L = 50\text{pF}$ (see Figure 6-4)		1.2	10		16	ns
t_{PZH} , t_{PZL}	C	A or B	$C_L = 50\text{pF}$ $R_L = 1\text{k}\Omega$, (see Figure 6-5)		3.3	15		20	ns
t_{PLZ} , t_{PHZ}	C	A or B	$C_L = 50\text{pF}$ $R_L = 1\text{k}\Omega$, (see Figure 6-5)		6	15		23	ns
t_{PLZ} , t_{PHZ}	A or B	B or A	$C_L = 50\text{pF}$ (see Figure 6-6)		2.6	12		18	ns
t_{PLZ} , t_{PHZ}	C	A or B	$C_L = 50\text{pF}$ $R_L = 1\text{k}\Omega$, (see Figure 6-8)		4.2	25		32	ns
t_{PLZ} , t_{PHZ}	C	A or B	$C_L = 50\text{pF}$ $R_L = 1\text{k}\Omega$, (see Figure 6-8)		9.6	25		32	ns

5.7 Switching Characteristics

over recommended operating free-air temperature range, $V_{CC} = 3.3\text{V} \pm 0.3\text{V}$ (unless otherwise noted)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	$T_A = 25^\circ\text{C}$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{PLH} , t_{PHL}	A or B	B or A	$C_L = 50\text{pF}$ (see Figure 6-4)		0.8	6		10	ns
t_{PZH} , t_{PZL}	C	A or B	$C_L = 50\text{pF}$ $R_L = 1\text{k}\Omega$, (see Figure 6-5)		2.3	11		15	ns
t_{PLZ} , t_{PHZ}	C	A or B	$C_L = 50\text{pF}$ $R_L = 1\text{k}\Omega$, (see Figure 6-5)		4.5	11		15	ns
t_{PLZ} , t_{PHZ}	A or B	B or A	$C_L = 50\text{pF}$ (see Figure 6-6)		1.5	9		12	ns

5.7 Switching Characteristics (続き)

over recommended operating free-air temperature range, $V_{CC} = 3.3V \pm 0.3V$ (unless otherwise noted)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	$T_A = 25^\circ C$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{PLZ} , t_{PHZ} Switch turn-on time	C	A or B	$C_L = 50pF$ $R_L = 1k\Omega$, (see 6-8)		3	18		22	ns
t_{PLZ} , t_{PHZ} Switch turn-off time	C	A or B	$C_L = 50pF$ $R_L = 1k\Omega$, (see 6-8)		7.2	18		22	ns

5.8 Switching Characteristics

over recommended operating free-air temperature range, $V_{CC} = 5V \pm 0.5V$ (unless otherwise noted)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	$T_A = 25^\circ C$			MIN	MAX	UNIT
				MIN	TYP	MAX			
t_{PLH} , t_{PHL} Propagation delay time	A or B	B or A	$C_L = 50pF$ (see 6-4)		0.3	4		7	ns
t_{PZH} , t_{PZL} Switch turn-on time	C	A or B	$C_L = 50pF$ $R_L = 1k\Omega$, (see 6-5)		1.6	7		10	ns
t_{PLZ} , t_{PHZ} Switch turn-off time	C	A or B	$C_L = 50pF$ $R_L = 1k\Omega$, (see 6-5)		3.2	7		10	ns
t_{PLZ} , t_{PHZ} Propagation delay time	A or B	B or A	$C_L = 50pF$ (see 6-6)		0.6	6		8	ns
t_{PLZ} , t_{PHZ} Switch turn-on time	C	A or B	$C_L = 50pF$ $R_L = 1k\Omega$, (see 6-8)		2.1	12		16	ns
t_{PLZ} , t_{PHZ} Switch turn-off time	C	A or B	$C_L = 50pF$ $R_L = 1k\Omega$, (see 6-8)		5.1	12		16	ns

5.9 Analog Switching Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	V_{CC}	$T_A = 25^\circ C$			UNIT
					MIN	TYP	MAX	
Frequency response (switch on)	A or B	B or A	$C_L = 50pF$, $R_L = 600\Omega$ $f_{in} = 1MHz$ (sine wave) $20\log_{10}(V_O/V_I) = -3 dB$ (see 6-4)	2.3V		60		MHz
				3V		75		
				4.5V		100		
Crosstalk (between any switches)	A or B	B or A	$C_L = 50pF$, $R_L = 600\Omega$ $f_{in} = 1MHz$ (sine wave) (see 6-4)	2.3V		-45		dB
				3V		-45		
				4.5V		-45		
Crosstalk (control input to signal output)	C	A or B	$C_L = 50pF$, $R_L = 600\Omega$, $f_{in} =$ 1MHz (sine wave) (see 6-4)	2.3V		15		mV
				3V		20		
				4.5V		50		
Feed-through attenuation (switch off)	A or B	B or A	$C_L = 50pF$, $R_L = 600\Omega$, $f_{in} =$ 1MHz (sine wave) (see 6-4)	2.3V		-40		dB
				3V		-40		
				4.5V		-40		

5.9 Analog Switching Characteristics (続き)

over operating free-air temperature range (unless otherwise noted)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	V _{CC}	T _A = 25°C			UNIT
					MIN	TYP	MAX	
Sine-wave distortion	A or B	B or A	C _L = 50pF, R _L = 10kΩ, f _{in} = 1kHz (sine wave) (see Figure 6-4)	V _I = 2V _{p-p} 2.3V		0.1		%
				V _I = 2.5V _{p-p} 3V		0.1		
				V _I = 4V _{p-p} 4.5V		0.1		

5.10 Operating Characteristics

T_A = 25°C

PARAMETER		TEST CONDITIONS	TYP	UNIT
C _{pd}	Power dissipation capacitance	C _L = 50pF, f = 10MHz	4.5	pF

6 Parameter Measurement Information

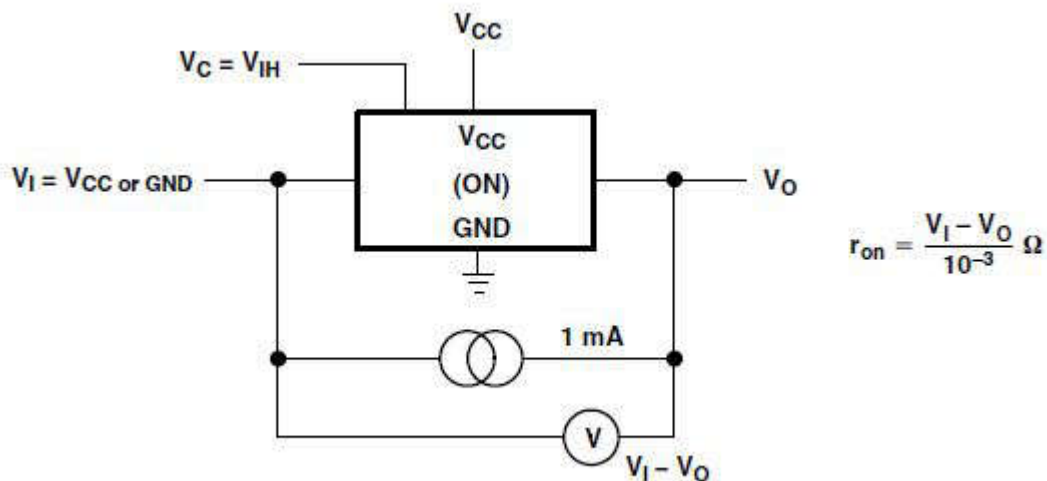


図 6-1. ON-State Resistance Test Circuit

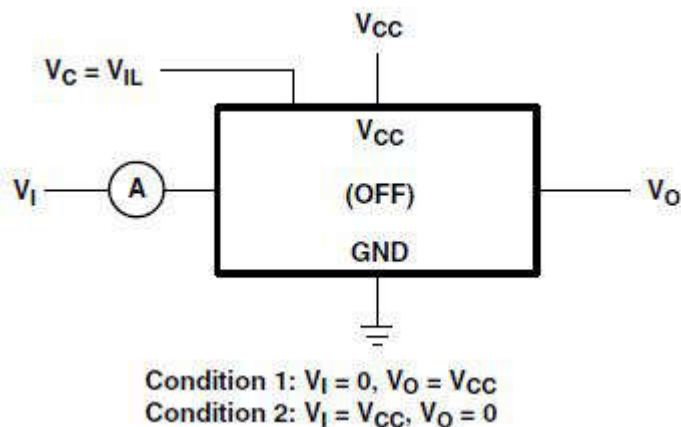


図 6-2. OFF-State Switch Leakage-Current Test Circuit

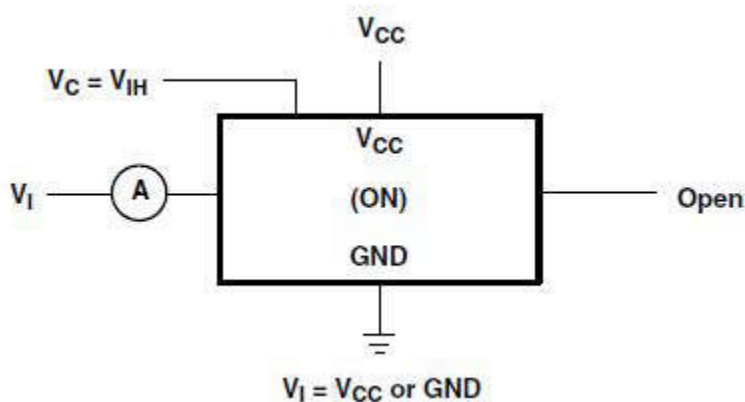


図 6-3. ON-State Leakage-Current Test Circuit

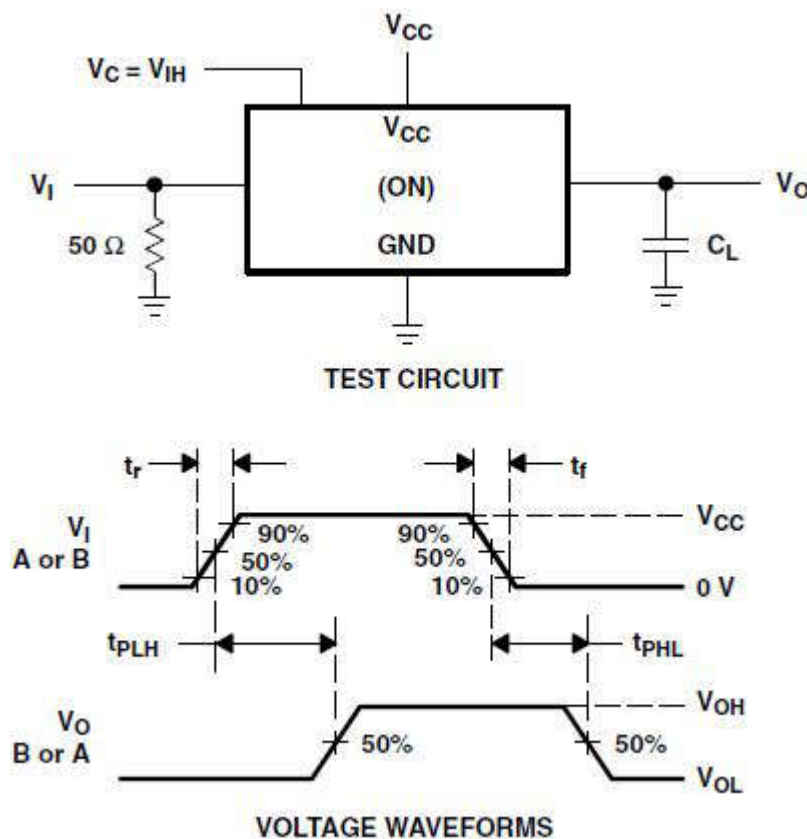
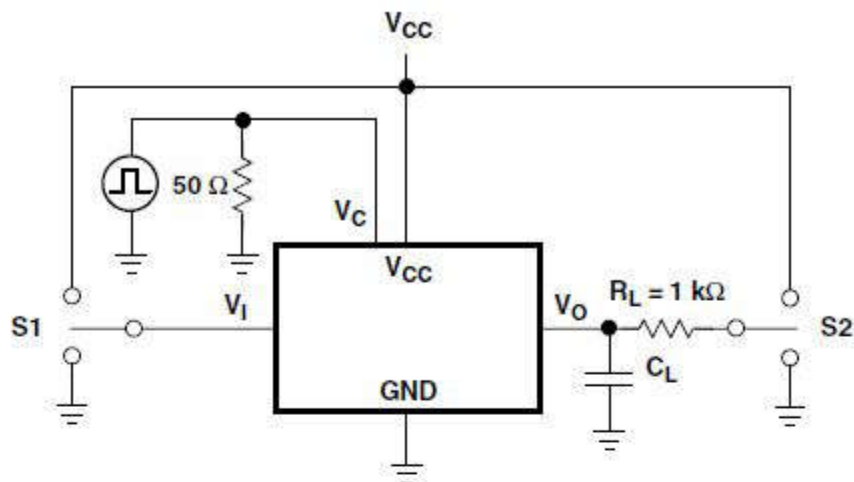
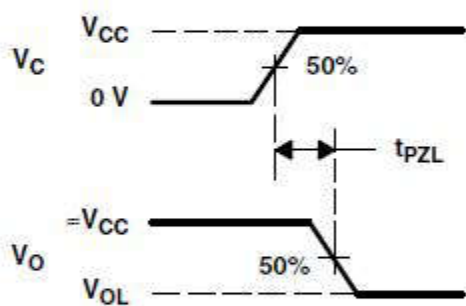


図 6-4. Propagation Delay Time, Signal Input to Signal Output

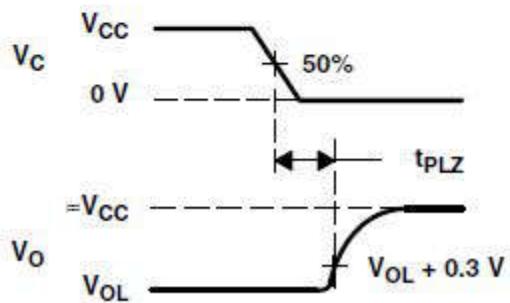
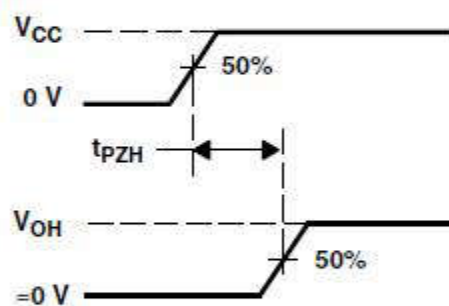


TEST CIRCUIT

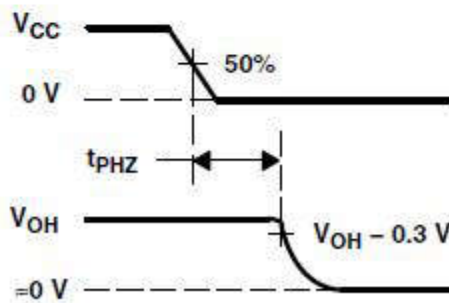
TEST	S1	S2
t_{PZL}	GND	V_{CC}
t_{PZH}	V_{CC}	GND
t_{PLZ}	GND	V_{CC}
t_{PHZ}	V_{CC}	GND



(t_{PZL} , t_{PZH})



(t_{PLZ} , t_{PHZ})



VOLTAGE WAVEFORMS

图 6-5. Switching Time (t_{PZL} , t_{PLZ} , t_{PZH} , t_{PHZ}), Control to Signal Output

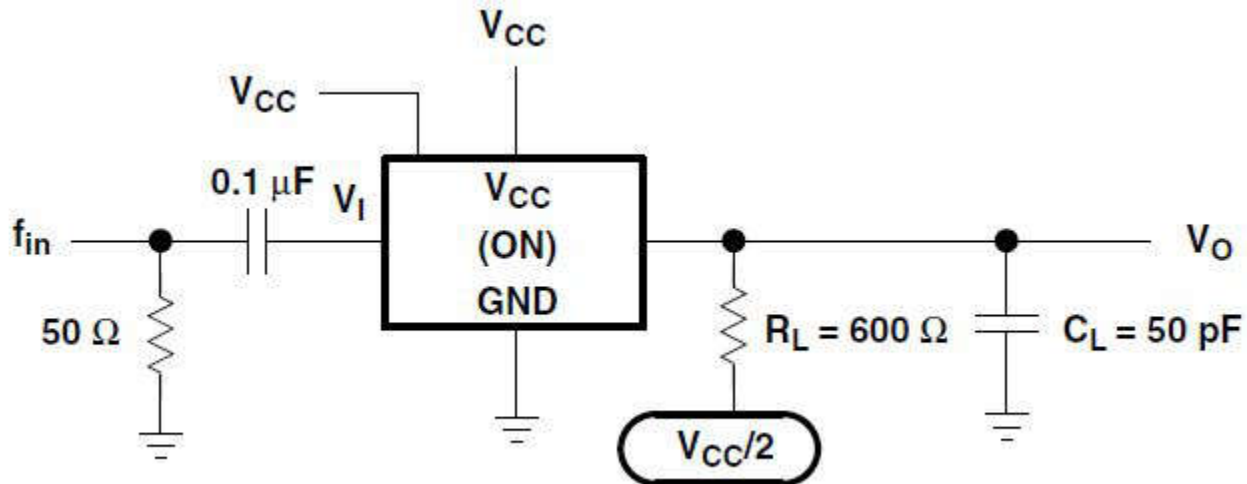


図 6-6. Frequency Response (Switch On)

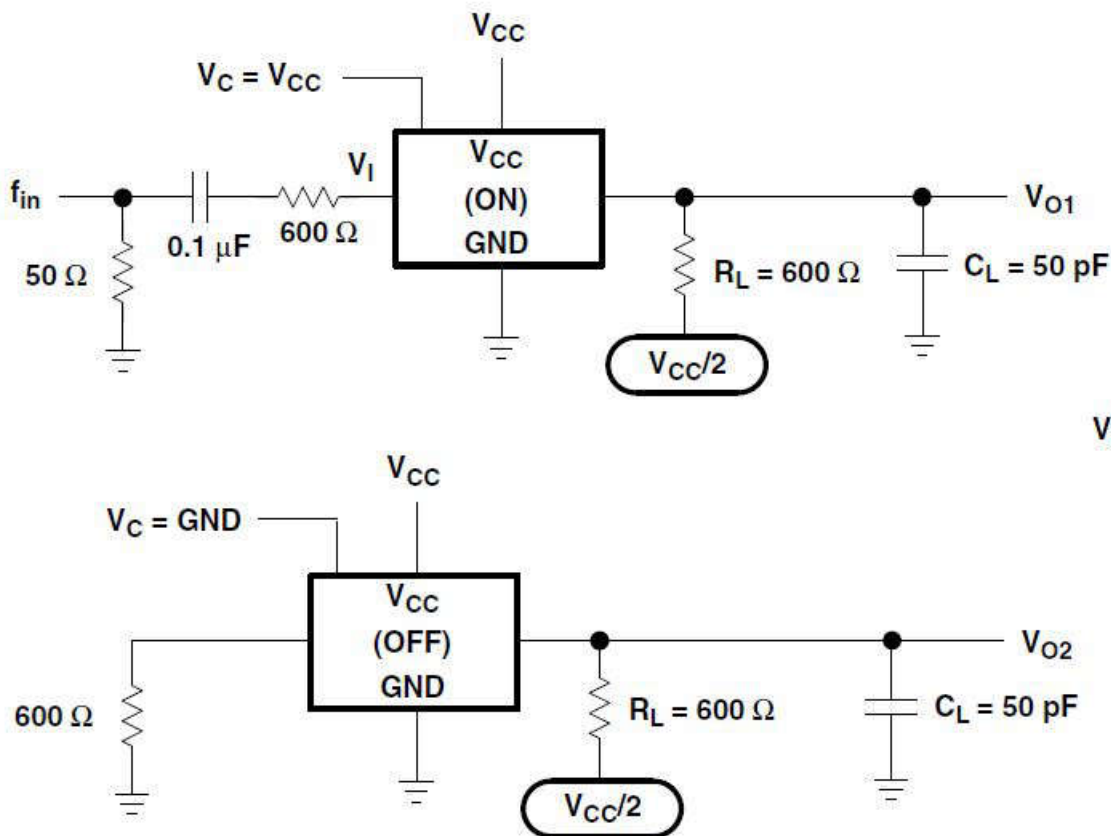


図 6-7. Crosstalk Between Any Two Switches

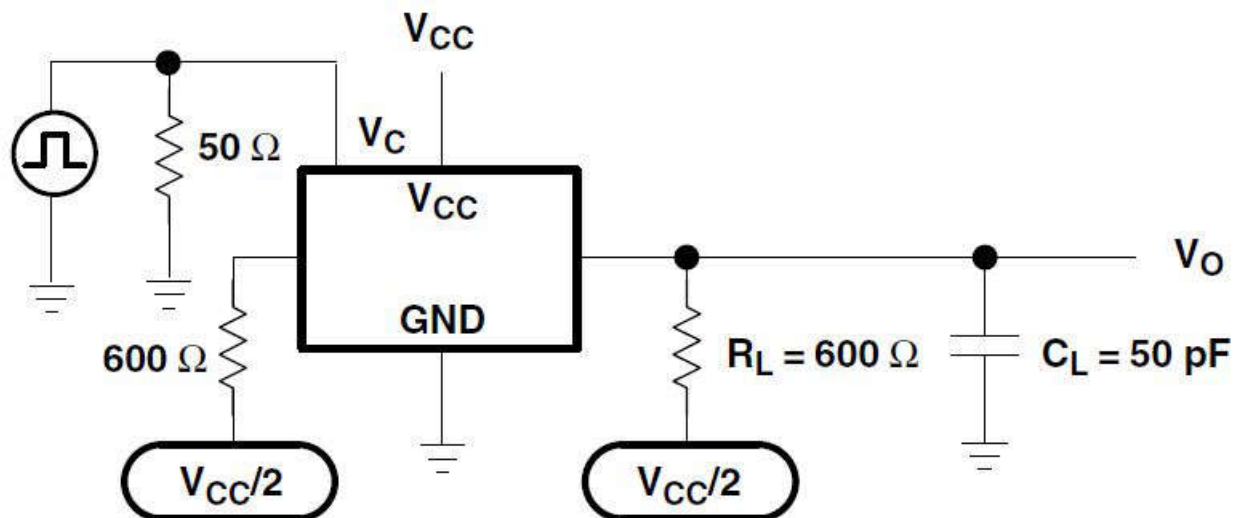


図 6-8. Crosstalk (Control Input - Switch Output)

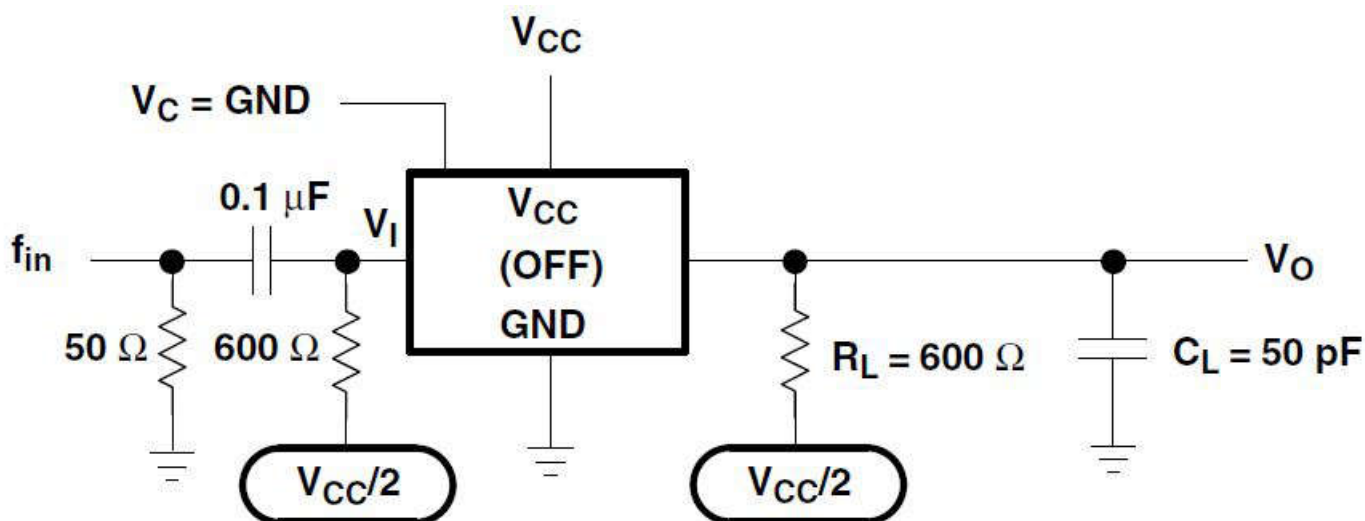


図 6-9. Feed-Through Attenuation (Switch Off)

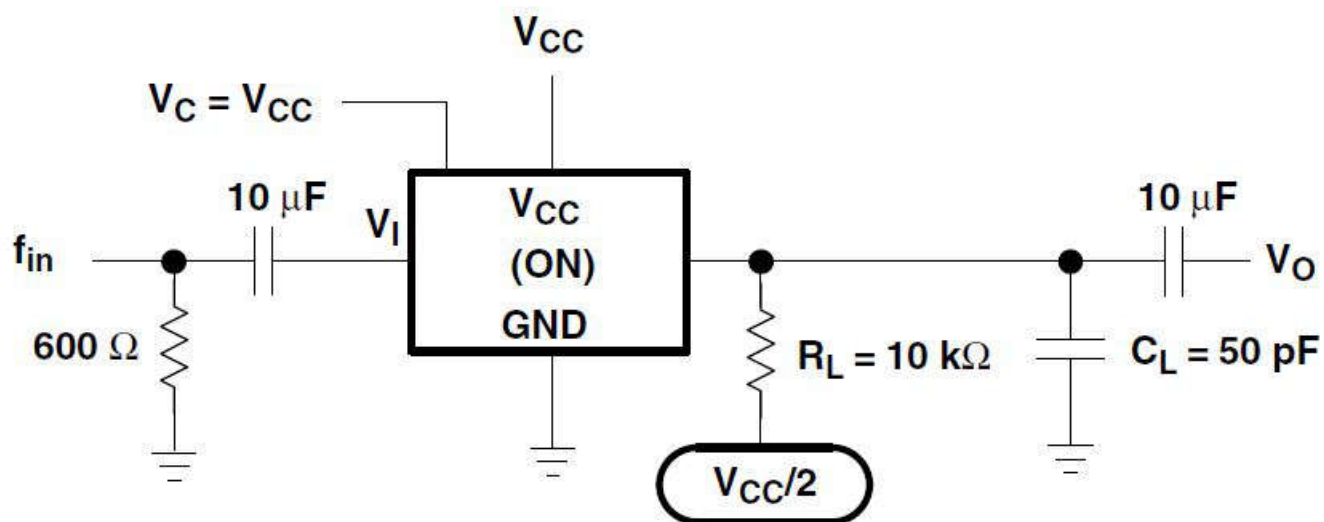


Figure 6-10. Sine-Wave Distortion

7 Detailed Description

7.1 Overview

The SN74AHC4066 device is a silicon-gate CMOS quadruple analog switch designed for 1V to 6V VCC operation. It is designed to handle both analog and digital signals. Each switch permits signals with amplitudes of up to 6V (peak) to be transmitted in either direction. A high-level voltage applied to the control pin C enables the respective switch to begin propagating signals across the device.

7.2 Functional Block Diagram

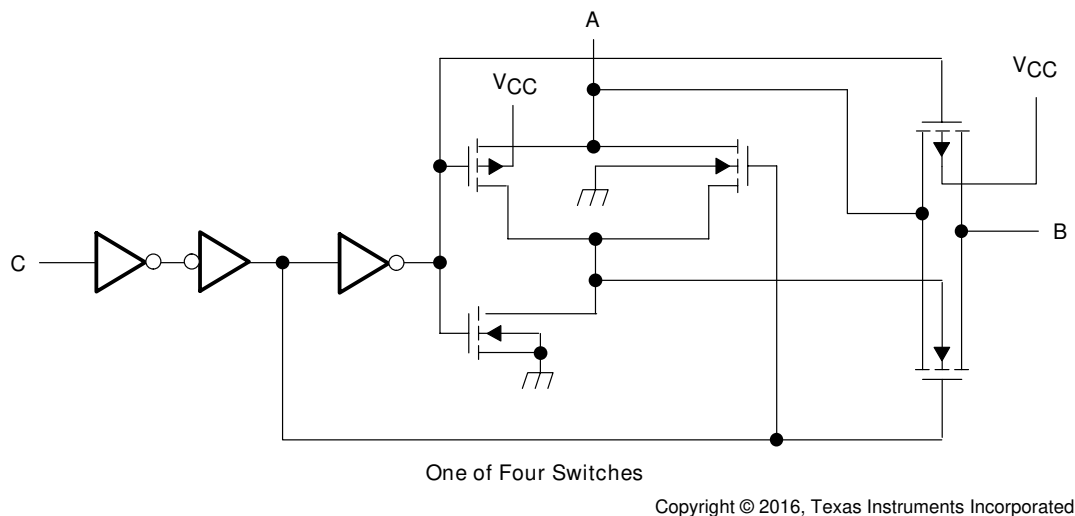


図 7-1. Logic Diagram, Each Switch (Positive Logic)

7.3 Device Functional Modes

表 7-1 lists the functions for the SN74AHC4066 device.

表 7-1. Function Table
(Each Switch)

INPUT CONTROL (C)	SWITCH
L	OFF
H	ON

8 Device and Documentation Support

8.1 Documentation Support

8.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [Implications of Slow or Floating CMOS Inputs application notes](#)

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2003) to Revision A (February 2024)	Page
• D、PW、RGY パッケージのみを記載するようにデータシートを更新	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• Updated the <i>Thermal Information</i>	4
• Updated V_{CC} operation from: 2V - 5.5V to: 1V - 5.5V.....	5

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74AHC4066D	LIFEBUY	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC4066	
SN74AHC4066DBR	ACTIVE	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA4066	Samples
SN74AHC4066DGVR	ACTIVE	TVSOP	DGV	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA4066	Samples
SN74AHC4066DR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC4066	Samples
SN74AHC4066N	ACTIVE	PDIP	N	14	25	RoHS & Non-Green	NIPDAU	N / A for Pkg Type	-40 to 85	SN74AHC4066N	Samples
SN74AHC4066NSR	ACTIVE	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHC4066	Samples
SN74AHC4066PW	LIFEBUY	TSSOP	PW	14	90	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA4066	
SN74AHC4066PWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HA4066	Samples
SN74AHC4066RGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	HA4066	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC4066DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHC4066DGVR	TVSOP	DGV	14	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHC4066DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHC4066NSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN74AHC4066PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC4066RGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC4066DBR	SSOP	DB	14	2000	356.0	356.0	35.0
SN74AHC4066DGVR	TVSOP	DGV	14	2000	356.0	356.0	35.0
SN74AHC4066DR	SOIC	D	14	2500	356.0	356.0	35.0
SN74AHC4066NSR	SO	NS	14	2000	356.0	356.0	35.0
SN74AHC4066PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
SN74AHC4066RGYR	VQFN	RGY	14	3000	367.0	367.0	35.0

TUBE

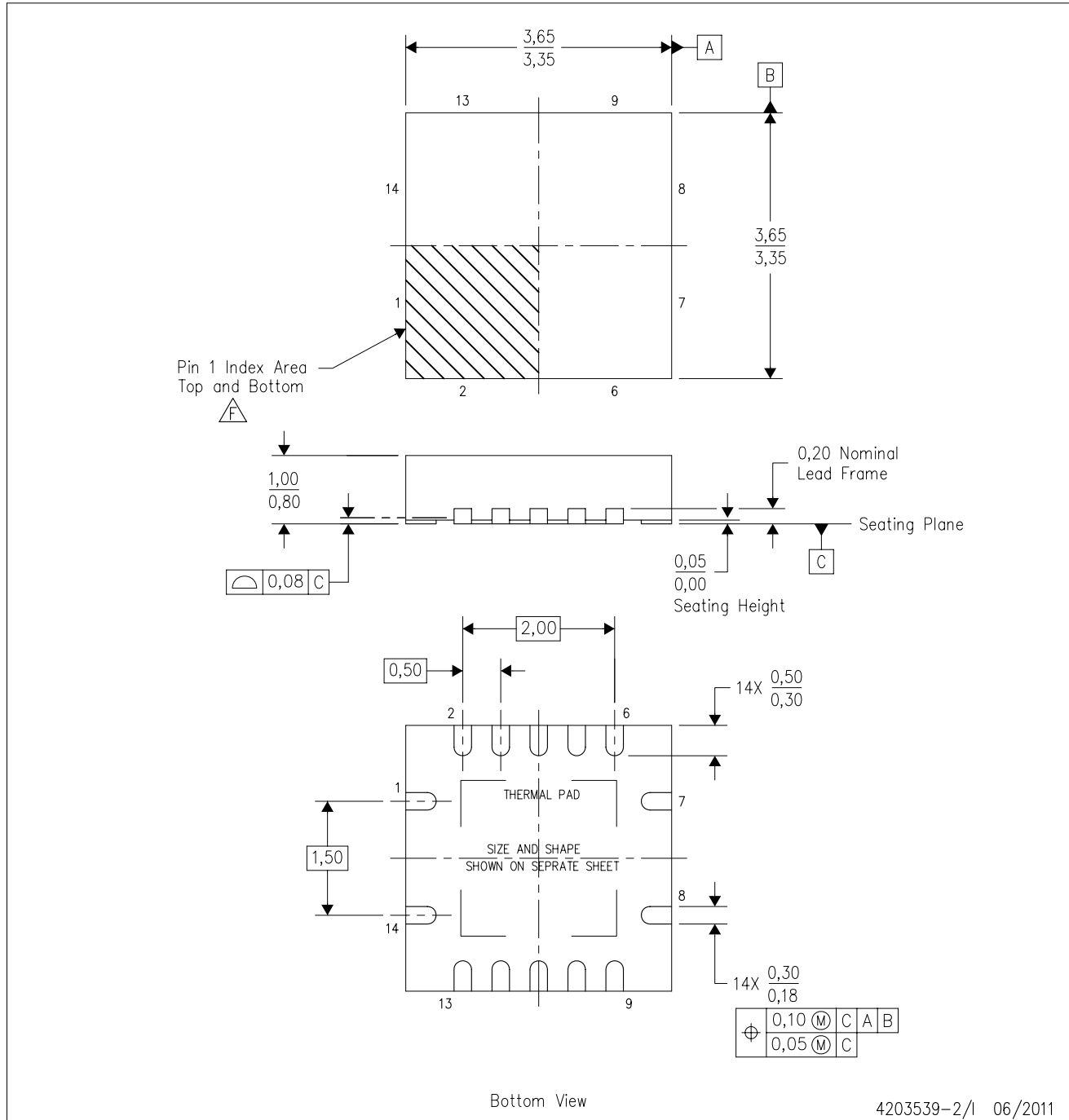


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74AHC4066D	D	SOIC	14	50	506.6	8	3940	4.32
SN74AHC4066N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AHC4066PW	PW	TSSOP	14	90	530	10.2	3600	3.5

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



4203539-2/I 06/2011

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - QFN (Quad Flatpack No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
 - Package complies to JEDEC MO-241 variation BA.

RGY (S-PVQFN-N14)

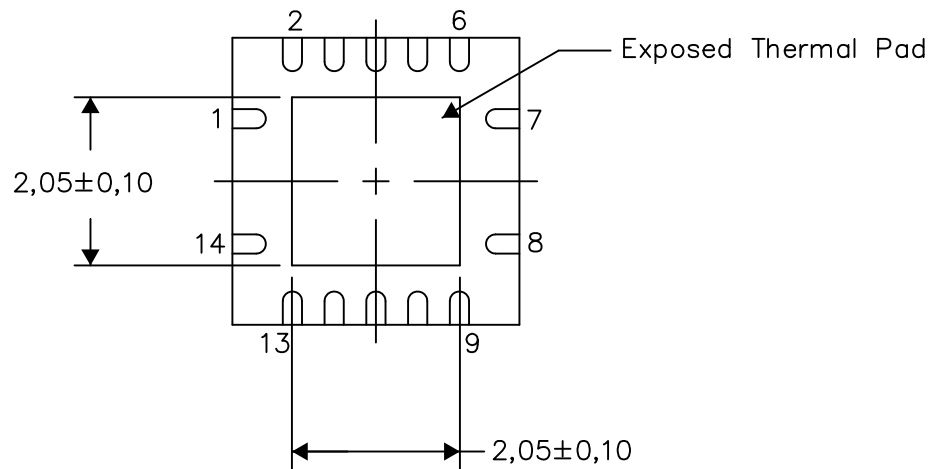
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

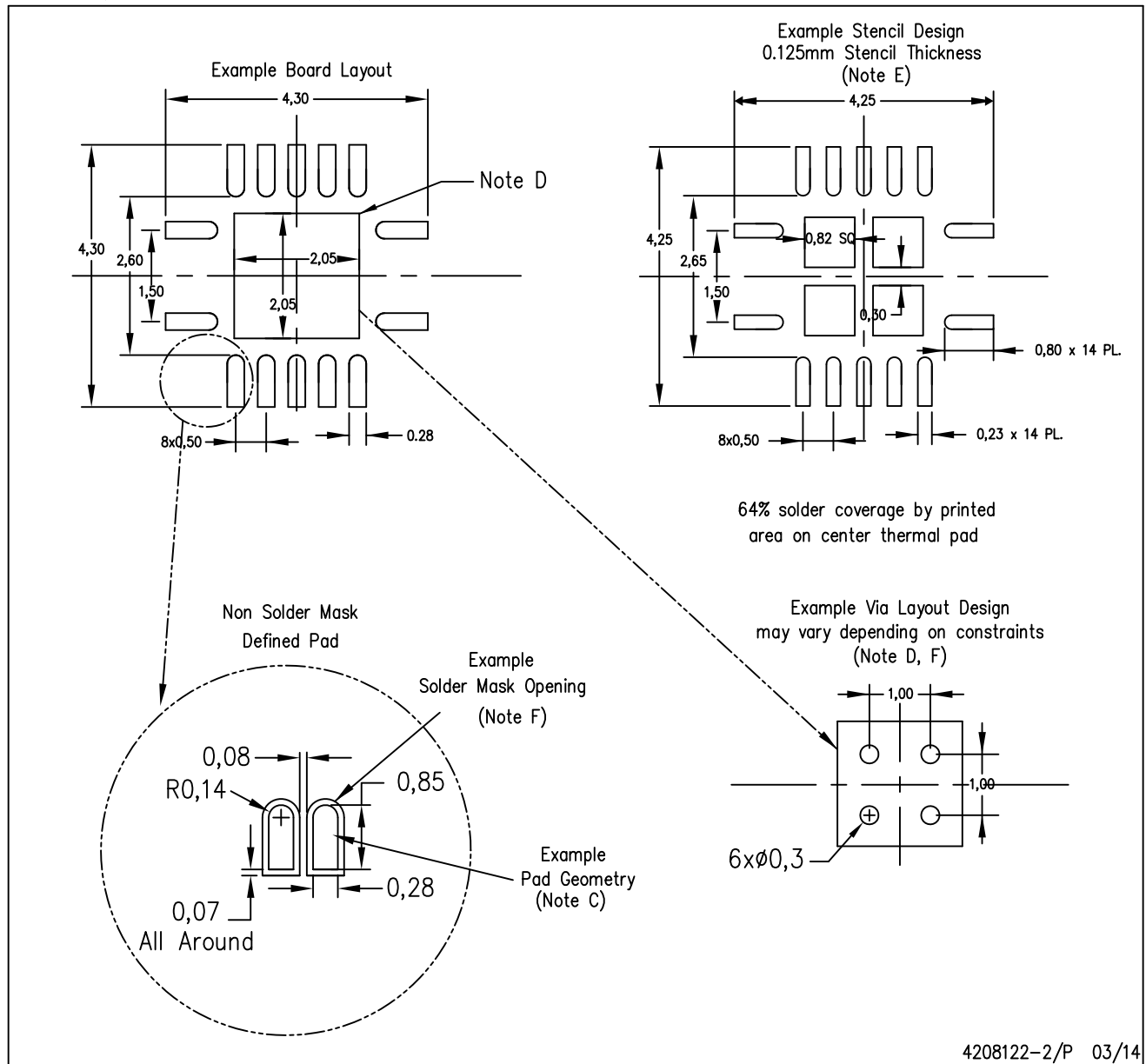
Exposed Thermal Pad Dimensions

4206353-2/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (S-PVQFN-N14)

PLASTIC QUAD FLATPACK NO-LEAD



4208122-2/P 03/14

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

DGV (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

24 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
 D. Falls within JEDEC: 24/48 Pins – MO-153
 14/16/20/56 Pins – MO-194

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040047-5/M 06/11

NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



4040064-3/G 02/11

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE

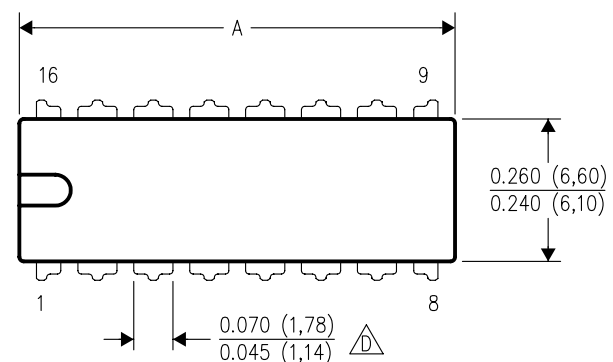


- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

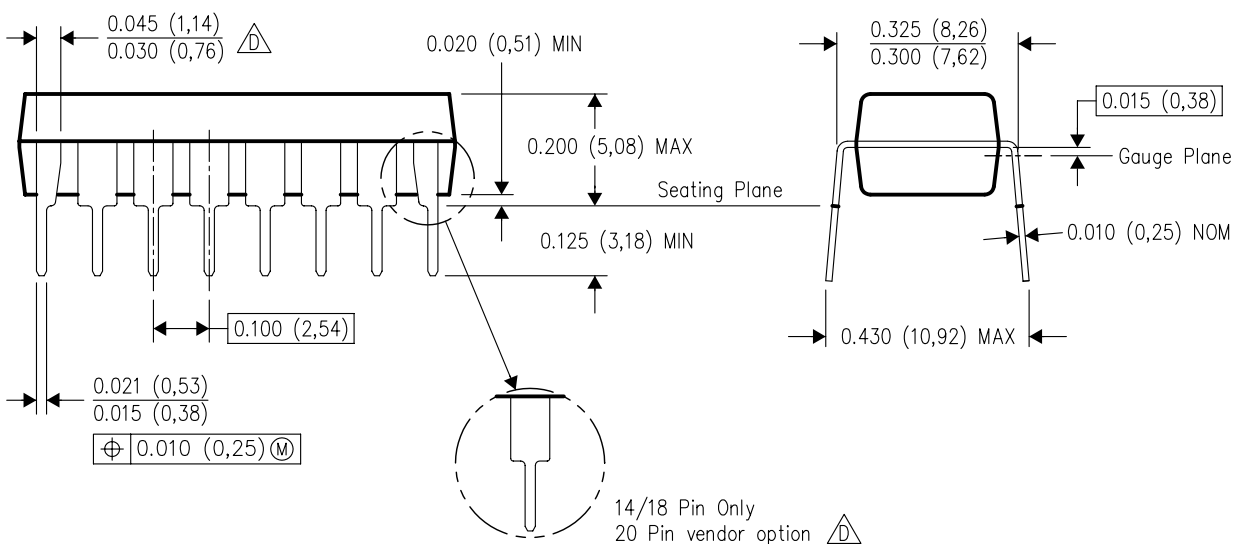
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

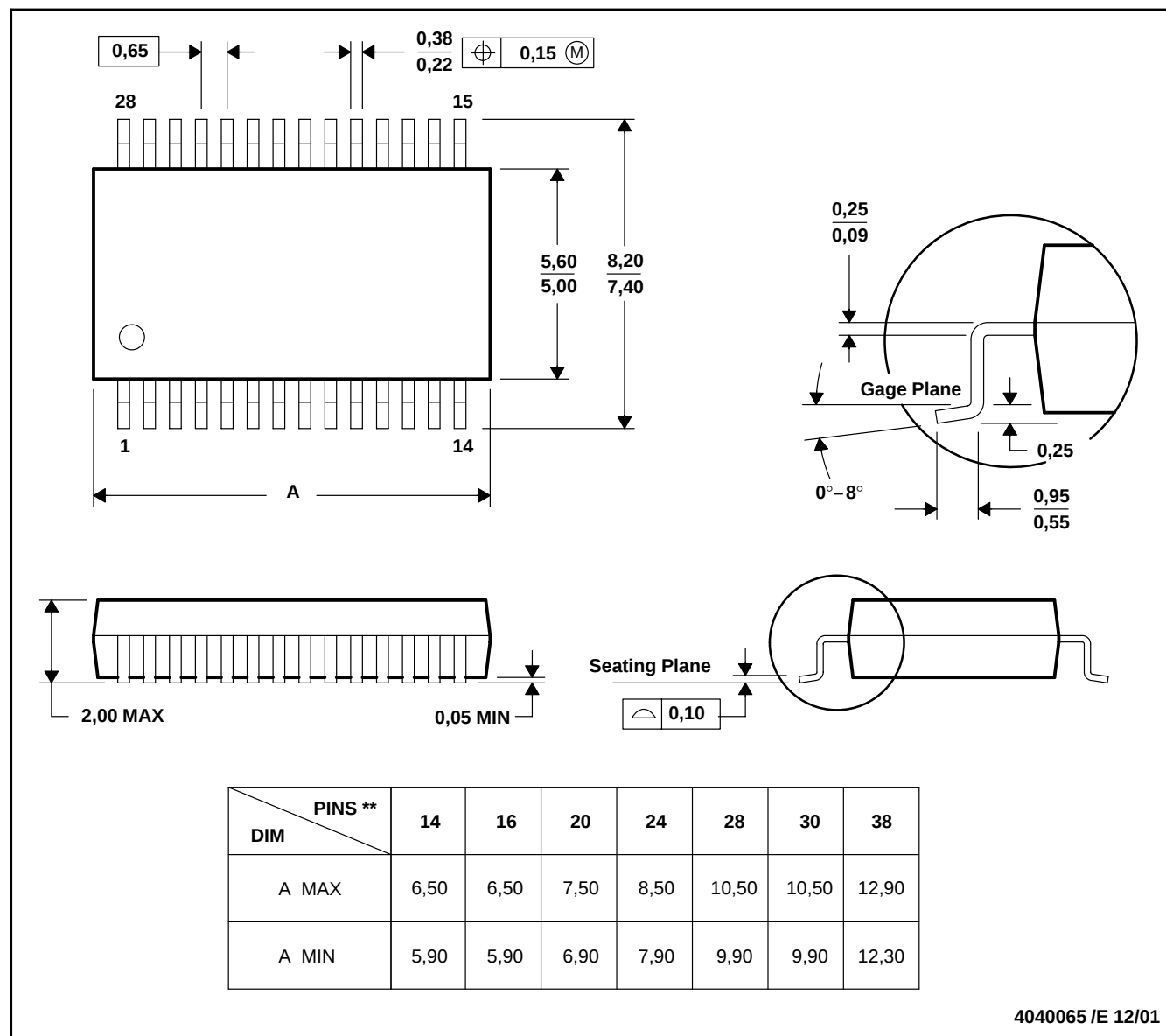
NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.

DB (R-PDSO-G**)

PLASTIC SMALL-OUTLINE

28 PINS SHOWN



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-150

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated