

## 20W/15Wステレオ・デジタル・アンプ用パワー・ステージ

### 特長

- 2×20W、10% THD+N、8Ω BTL、18V (TAS5102、ヒートシンク付き)
- 2×15W、10% THD+N、8Ω BTL、15.5V (TAS5103)
- 2×10W、10% THD+N、8Ω BTL、13V
- SNR：100dB以上 (A-補正)
- THD+N：0.1%未満 (1W)
- 熱特性強化型パッケージ：32ピンHTSSOP
  - － DAD (TAS5102) 上面パッド
  - － DAP (TAS5103) 下面パッド
- 180mΩ出力MOSFETによる高効率パワー・ステージ (>90%)
- 広いPVDD範囲：8V～23V
- 電源シーケンスなしで起動時の保護を実現するパワーオン・リセット
- 低電圧、過熱、過電流、短絡の自己保護回路を内蔵
- ゲート駆動電源用レギュレータを内蔵
- 障害通知
- EMI適合 (推奨システム設計で使用時)

### アプリケーション

- テレビ
- ミニ/マイクロ・オーディオ・システム
- DVDレシーバ
- ホーム・シアター

### 概要

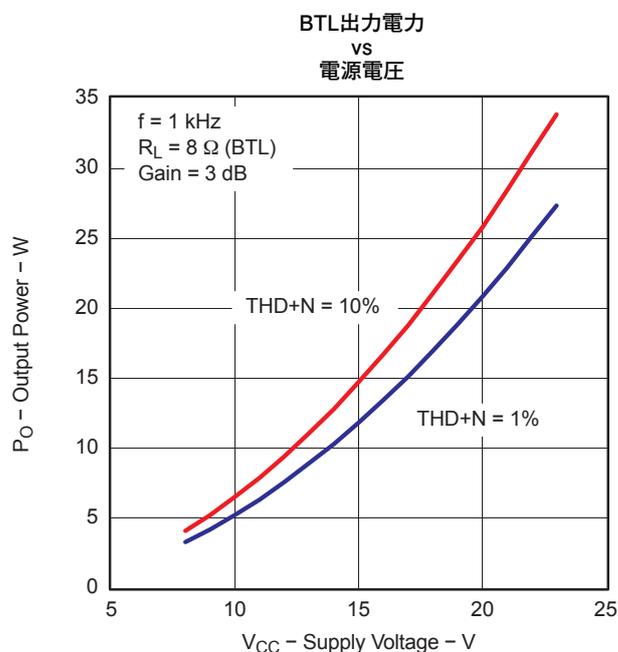
TAS5102/TAS5103は、すぐれた保護システムを備えたステレオ・デジタル・アンプ用パワー・ステージICです。TAS5102/TAS5103は、8Ωのブリッジ接続負荷 (BTL) をチャンネルあたり最大20W/15Wで駆動でき、低ノイズ出力、低 (THD + N) 性能、低アイドル消費電力といった特長を備えています。

Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

TAS5086などのモジュレータとTAS5102/TAS5103とのチップセットを使用して、低コストで高忠実度のオーディオ・システムを構築できます。このシステムでは、単純なパッシブLC復調フィルタを追加するだけで、EMI適合が実証された高品質、高効率のオーディオ・アンプを実現できます。これらのデバイスは、VREG用に3.3V、PVDD用に最大23Vの2つの電源を必要とします。TAS5102/TAS5103では、内部パワーオン・リセットにより、電源投入時のシーケンシングが不要です。このデジタル・アンプの効率は8Ωで90%を超えるため、サイズの小さな電源やヒートシンクを使用できます。

TAS5102/3には、革新的な保護システムがオンチップで内蔵され、システムの損傷につながるような各種の障害状況から、デバイスを保護します。これらの保護には、短絡保護回路、過電流保護、低電圧保護、および過熱保護が含まれます。TAS5102/TAS5103には、新しい独自の電流制限回路が組み込まれ、音楽信号に高レベルの過渡電流が発生した場合にデバイスがシャットダウンする可能性を低くしています。





# 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

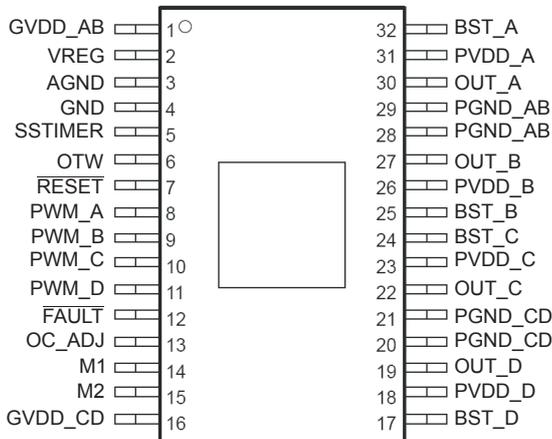
## 製品情報

### ピン配置

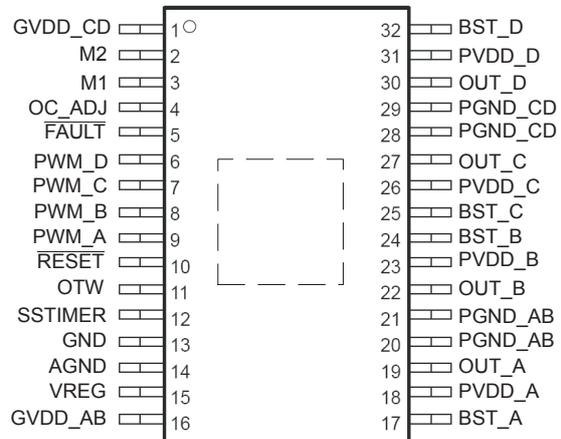
TAS5102/TAS5103は、熱特性が強化されたパッケージで提供されます。

- ・TAS5102：パッド・アップ32ピンHTSSOP PowerPAD™パッケージ (DAD)
- ・TAS5103：パッド・ダウン32ピンHTSSOP PowerPAD™パッケージ (DAP)

DADパッケージ  
(上面図)



DAPパッケージ  
(上面図)



### モード選択ピン

モード		PWM入力	出力構成	保護方式
M2	M1			
0	0	2N <sup>(1)</sup> AD/BD 変調	2チャンネルBTL出力	BTLモード <sup>(2)</sup>
0	1	1N <sup>(1)</sup> AD 変調	2チャンネルBTL出力	BTLモード <sup>(2)</sup>
1	0	1N <sup>(1)</sup> AD 変調	4チャンネルSE出力	保護はBTLモード <sup>(2)</sup> と同様に機能します。SEモードでの唯一の違いは、OUT_Xが内部プルダウン抵抗でプルダウンされず、Hi-Zになることです。
1	1	予約		

(1) 1Nおよび2Nの命名規則を使用して、特定のモードでチャンネルごとに必要なパワー・ステージへのPWMライン数を示しています。

(2) AまたはBで過電流保護 (OC) が発生した場合、すべてのチャンネルがシャットダウンされます。CまたはDのOCも同様に動作します。過熱障害 (OTE)、低電圧保護 (UVP)、パワーオン・リセット (POR) などのグローバルな障害は、すべてのチャンネルに影響します。

### パッケージ熱抵抗

パラメータ	TAS5102DAD	TAS5103DAP
R <sub>θJC</sub> (°C/W)	1.69	1.69
R <sub>θJA</sub> (°C/W)	See Note <sup>(1)</sup>	23.5

(1) TAS5102パッケージは、露出した金属パッド領域を使用して、伝導冷却性能が強化されています。高電力アプリケーションの場合、唯一の放熱手段としてパッドを周囲大気に露出したままデバイスを使用することは、実際的ではありません。

この理由により、このデータ・シートの「アプリケーション情報」には、熱的処理を特性付けるシステム・パラメータR<sub>θJA</sub>が記載されています。また、「熱特性について」のセクションには、標準的なシステムR<sub>θJA</sub>値の例と説明を示しています。この例には、消費電力定格に関する追加情報も含まれています。この例は、特定のアプリケーションに対する放熱定格を計算する際の基準としてご使用ください。TIのアプリケーション・エンジニアリング部門では、必要に応じてヒートシンク設計のための技術サポートを提供しています。

PowerPadパッケージに関する他の一般的な情報については、TIのドキュメントSLMA002Bを参照してください。

## 絶対最大定格<sup>(1)</sup>

動作温度範囲内（特に記述のない限り）

			単位
	PVDD_X ~ GND_X DC	-0.3 ~ 23	V
	PVDD_X ~ GND_X <sup>(2)</sup>	-0.3 ~ 32	V
	OUT_X ~ GND_X <sup>(2)</sup>	-0.3 ~ 32	V
	BST_X ~ GND_X <sup>(2)</sup>	-0.3 ~ 43.2	V
	VREG ~ AGND	-0.3 ~ 4.2	V
	GVDD ~ GND	-0.3 ~ 13.2	V
	GND_X ~ GND	-0.3 ~ 0.3	V
	GND_X ~ AGND	-0.3 ~ 0.3	V
	GND ~ AGND	-0.3 ~ 0.3	V
	PWM_X, OC_ADJ, M1, M2 ~ AGND	-0.3 ~ 4.2	V
	RESET_X, FAULT, OTW ~ AGND	-0.3 V ~ 7	V
	最大連続シンク電流 (FAULT, OTW)	9	mA
T <sub>J</sub>	最大接合部動作温度範囲	0 ~ 150	°C
T <sub>STG</sub>	保存温度範囲	-65 ~ 150	°C
	最小パルス幅、“Low”	50	ns

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) これらの電圧は、すべての条件においてデバイスの端子で測定されたDC電圧+ピークAC波形を表しています。

## 製品情報

T <sub>A</sub>	パッケージ <sup>(1)</sup>	説明
0°C to 70°C	TAS5102DAD	32-pin HTSSOP
	TAS5103DAP	32-pin HTSSOP

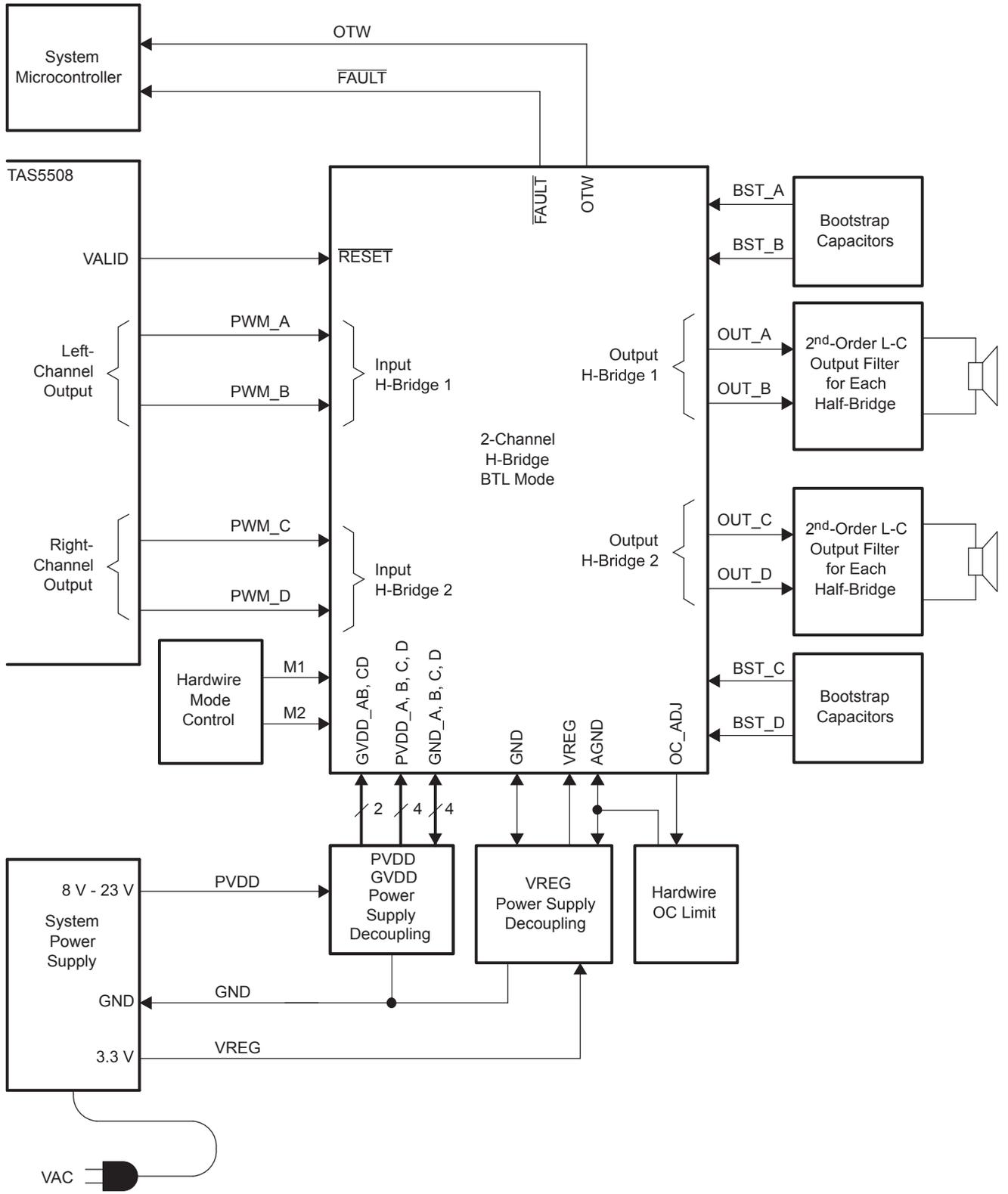
(1) 最新のパッケージ情報と注文情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト（[www.ti.com](http://www.ti.com)または[www.tij.co.jp](http://www.tij.co.jp)）をご覧ください。

## ピン構成

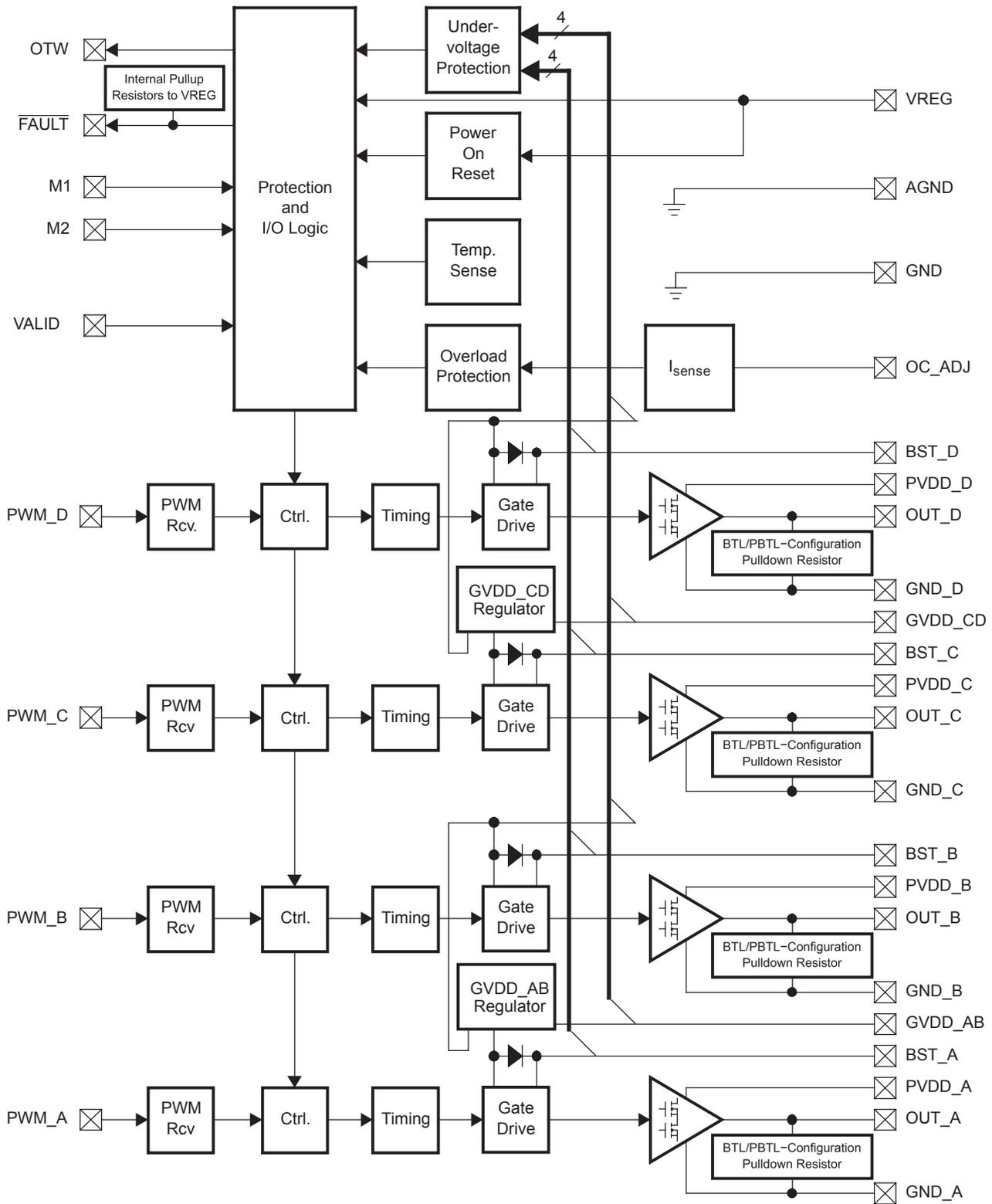
ピン			機能 (1)	説明
名称	TAS5102 番号	TAS5103 番号		
AGND	3	14	P	アナログ・グラウンド
BST_A	32	17	P	HSブートストラップ電源(BST)。OUT_Aとの間に外部コンデンサが必要です。
BST_B	25	24	P	HSブートストラップ電源(BST)。OUT_Bとの間に外部コンデンサが必要です。
BST_C	24	25	P	HSブートストラップ電源(BST)。OUT_Cとの間に外部コンデンサが必要です。
BST_D	17	32	P	HSブートストラップ電源(BST)。OUT_Dとの間に外部コンデンサが必要です。
$\overline{\text{FAULT}}$	12	5	O	デバイス・エラー信号 (シャットダウン)、オープン・ドレイン
GND	4	13	P	グラウンド
PGND_AB	29	20	P	ハーフブリッジAおよびBのパワー・グラウンド
PGND_AB	28	21	P	ハーフブリッジAおよびBのパワー・グラウンド
PGND_CD	21	28	P	ハーフブリッジCおよびDのパワー・グラウンド
PGND_CD	20	29	P	ハーフブリッジDのパワー・グラウンド
GVDD_AB	1	16	P	ゲート駆動電源。GNDとの間に1 $\mu$ Fのコンデンサが必要です。
GVDD_CD	16	1	P	ゲート駆動電源。GNDとの間に1 $\mu$ Fのコンデンサが必要です。
M2	15	2	I	モード選択2。AGNDまたはVREGに接続します。 プルアップ、プルダウン抵抗はありません。
M1	14	3	I	モード選択1。AGNDまたはVREGに接続します。 プルアップ、プルダウン抵抗はありません。
OC_ADJ	13	4	O	アナログ過電流のプログラミング用ピン。グラウンドとの間に抵抗が必要です。
OTW	6	11	O	過熱警告信号、プッシュプル、アクティブ "High"
OUT_A	30	19	O	出力、ハーフブリッジA
OUT_B	27	22	O	出力、ハーフブリッジB
OUT_C	22	27	O	出力、ハーフブリッジC
OUT_D	19	30	O	出力、ハーフブリッジD
PVDD_A	31	18	P	ハーフブリッジAの電源入力。 GND_Aとの間に0.1 $\mu$ Fのデカップリング・コンデンサがピン近くに必要です。
PVDD_B	26	23	P	ハーフブリッジBの電源入力。 GND_Bとの間に0.1 $\mu$ Fのデカップリング・コンデンサがピン近くに必要です。
PVDD_C	23	26	P	ハーフブリッジCの電源入力。 GND_Cとの間に0.1 $\mu$ Fのデカップリング・コンデンサがピン近くに必要です。
PVDD_D	18	31	P	ハーフブリッジDの電源入力。 GND_Dとの間に0.1 $\mu$ Fのデカップリング・コンデンサがピン近くに必要です。
PWM_A	8	9	I	ハーフブリッジAの入力信号
PWM_B	9	8	I	ハーフブリッジBの入力信号
PWM_C	10	7	I	ハーフブリッジCの入力信号
PWM_D	11	6	I	ハーフブリッジDの入力信号
$\overline{\text{RESET}}$	7	10	I	$\overline{\text{RESET}}$ が "Low" になると、PWMは非アクティブになります。
SSTIMER	5	12	I	PWM変調のスタート/ストップ時間を制御します。AD BTLの場合、GNDとの間に2.2nFのコンデンサが必要です。BD BTLモードの場合、このピンをフローティング(NC)にします。SEモードの場合も、このピンをフローティング(NC)にします。
VREG	2	15	P	デジタルレギュレータ電源フィルタ。AGNDとの間に0.1 $\mu$ Fのコンデンサが必要です。

(1) I=入力、O=出力、P=電源

# システム・ブロック図



### 機能ブロック図



## 推奨動作条件

			MIN	TYP	MAX	単位
V <sub>SS</sub>	ハーフブリッジ電源、PVDD_X	DC電源電圧	8	18	23	V
	保護およびI/Oロジック用電源、VREG	DC電源電圧	3	3.3	3.6	V
R <sub>L</sub> (BTL)	負荷インピーダンス	出力フィルタ L = 10 μH, C = 470 nF. 出力AD変調、スイッチング周波数 > 350 kHz	6~8			Ω
R <sub>L</sub> (SE)			3~4			
R <sub>L</sub> (PBTL)			3~4			
L <sub>O</sub> (BTL)	出力フィルタ・インダクタンス	短絡状態での 最小出力インダクタンス	200			nH
L <sub>O</sub> (SE)			200			
L <sub>O</sub> (PBTL)			200			
F <sub>PWM</sub>	PWMフレーム・レート		192	384	432	kHz
T <sub>J</sub>	接合部温度		0		125	°C

## AC特性 (BTL)

PVDD\_X=18V、BTLモード、R<sub>L</sub>=8Ω、R<sub>OC</sub>=22kΩ、C<sub>BST</sub>=33nF、オーディオ周波数=1kHz、AES17フィルタ、F<sub>PWM</sub>=384kHz、周囲温度=25°Cです（特に記述のない限り）。オーディオ性能はチップセットとして測定され、TAS5086 PWMプロセッサを実効変調指数制限の96.1%で使用しています。特に指定がない限り、すべての性能は推奨動作条件下です。

パラメータ	測定条件	MIN	TYP	MAX	単位
P <sub>O</sub> チャンネル当りの出力電力	PVDD = 18 V, 10% THD	20			W
	PVDD = 18 V, 7% THD	18			
	PVDD = 12 V, 10% THD	9			
	PVDD = 12 V, 7% THD	8			
THD+N      全高調波歪+ノイズ	PVDD = 18V, P <sub>o</sub> =10 W (1/2電力)	0.15			%
	PVDD = 12V, P <sub>o</sub> =4.5 W (1/2電力)	0.18			
	1 W	0.05			
V <sub>n</sub> 出力積分ノイズ	A-補正	50			μV
SNR      信号/雑音比 <sup>(1)</sup>	A-補正	94	105		dB
DNR      ダイナミック・レンジ	A-補正、入力レベル=-60dBFS (TAS5086変調回路を使用)	94	105		dB
P <sub>D</sub> アイドル損失による消費電力 (IPVDD_X)	P <sub>O</sub> = 0 W, 4チャンネルをスイッチング <sup>(2)</sup>	0.6			W

(1) SNRは0dBFS入力レベルを基準に計算されています。

(2) 実際のシステム・アイドル損失は、出力インダクタのコア損失によって影響を受けます。

## AC特性（シングルエンド出力）

PVDD\_X=18V、SEモード、 $R_L=4\Omega$ 、 $R_{OC}=22k\Omega$ 、 $C_{BST}=33nF$ 、オーディオ周波数=1kHz、AES17フィルタ、 $F_{PWM}=384kHz$ 、周囲温度=25°Cです（特に記述のない限り）。オーディオ性能はチップセットとして測定され、TAS5086 PWMプロセッサを実効変調指数制限を96.1%で使用しています。特に指定がない限り、すべての性能は推奨動作条件下です。

パラメータ		測定条件	MIN	TYP	MAX	単位
P <sub>O</sub>	チャンネル当りの出力電力	PVDD = 18 V, 10% THD		10		W
		PVDD = 18 V, 7% THD		9		
		PVDD = 12 V, 10% THD		4.5		
		PVDD = 12 V, 7% THD		4		
THD+N	全高調波歪+ノイズ	PVDD = 18V, P <sub>o</sub> =5 W (1/2電力)		0.2		%
		PVDD = 12V, P <sub>o</sub> =2.25 W (1/2電力)		0.2		
V <sub>n</sub>	出力積分ノイズ	A-補正		50		μV
SNR	信号/雑音比 <sup>(1)</sup>	A-補正		105		dB
DNR	ダイナミック・レンジ	A-補正、入力レベル = -60dBFS (TAS5086変調回路を使用)		105		dB
P <sub>D</sub>	アイドル損失による消費電力 (IPVDD_X)	P <sub>O</sub> = 0 W, 4チャンネルをスイッチング <sup>(2)</sup>		0.6		W

(1) SNRは0dBFS入力レベルを基準に計算されています。

(2) 実際のシステム・アイドル損失は、出力インダクタのコア損失によって影響を受けます。

## DC特性

$R_L=8\Omega$ 、 $F_{PWM}=384kHz$ です（特に記述のない限り）。特に指定がない限り、すべての性能は推奨動作条件下です。

パラメータ		測定条件	MIN	TYP	MAX	単位
<b>内部電圧レギュレータおよび消費電流</b>						
$V_{SS}$	デジタル入力電源電圧、VREG		3	3.3	3.6	V
$I_{(VREG)}$	電源電流、VREG	動作時、デューティ・サイクル=50%		6.5	10	mA
		リセット・モード、スイッチング無し		6.5	10	
$I_{(PVDD\_X)}$	合計ハーフブリッジ・アイドル電流	デューティ・サイクル=50%、出力フィルタまたは負荷は無し		35	50	mA
		リセット・モード、スイッチング無し		5	6.3	
<b>出力段MOSFET</b>						
$R_{DS(on)}$	ドレイン・ソース間抵抗、LS	$T_J = 25^\circ C$ 、メタライゼーション抵抗を含む		180		m $\Omega$
	ドレイン・ソース間抵抗、HS	$T_J = 25^\circ C$ 、メタライゼーション抵抗を含む		180		m $\Omega$
<b>I/O保護</b>						
$V_{UVP,G}$	低電圧保護制限、GVDD_X、電圧上昇時			5.7		V
$V_{UVP,G}$	低電圧保護制限、GVDD_X、電圧下降時			5.5		V
$OTW^{(1)}$	過熱警告			125		$^\circ C$
$OTW_{HYST}^{(1)}$	OTWイベント後にOTWが非アクティブになるために必要なOTWよりの低下温度			25		$^\circ C$
$OTE^{(1)}$	過熱障害			150		$^\circ C$
$OTE-OTW^{(1)}$	OTE-OTWの差分			25		$^\circ C$
$OTE_{HYST}^{(1)}$	OTEイベント後にシャットダウン状態から抜けてFAULTを解除するためにRESETが必要			30		$^\circ C$
OCPC	過電流保護カウンタ	$F_{PWM} = 384\text{ kHz}$		0.63		ms
$I_{OC}$	過電流制限保護	抵抗プログラム可能、最大電流、 $R_{OCP} = 22\text{ k}\Omega$		4.5		A
$I_{OCT}$	過電流応答時間			150		ns
$R_{OCP}$	OCプログラム抵抗の範囲	一般的な値の抵抗の場合、抵抗の公差は5%です。最小抵抗値は20k $\Omega$ 以上です。	20	22	24	k $\Omega$
$R_{PD}$	各ハーフブリッジの出力側における内部プルダウン抵抗	RESETがアクティブのとき、ブートストラップ・コンデンサを充電するために接続されます。SEモードでは使用されません。		3		k $\Omega$

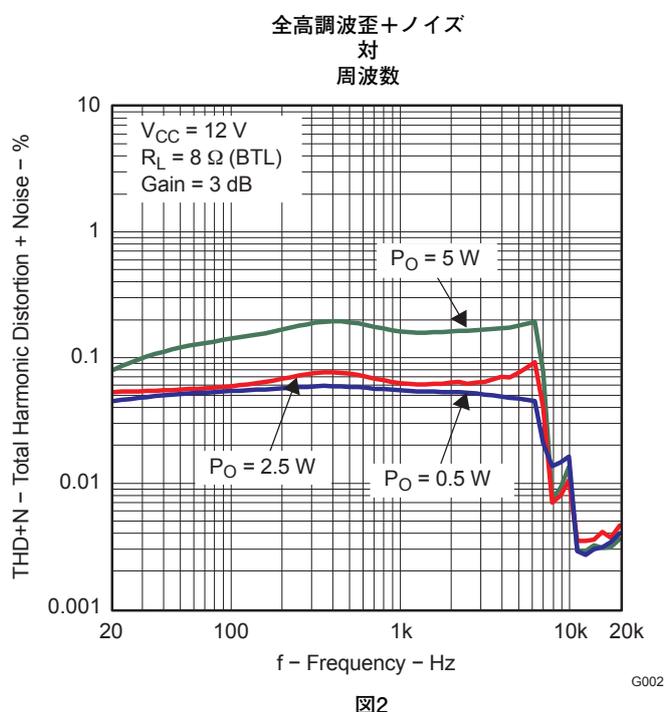
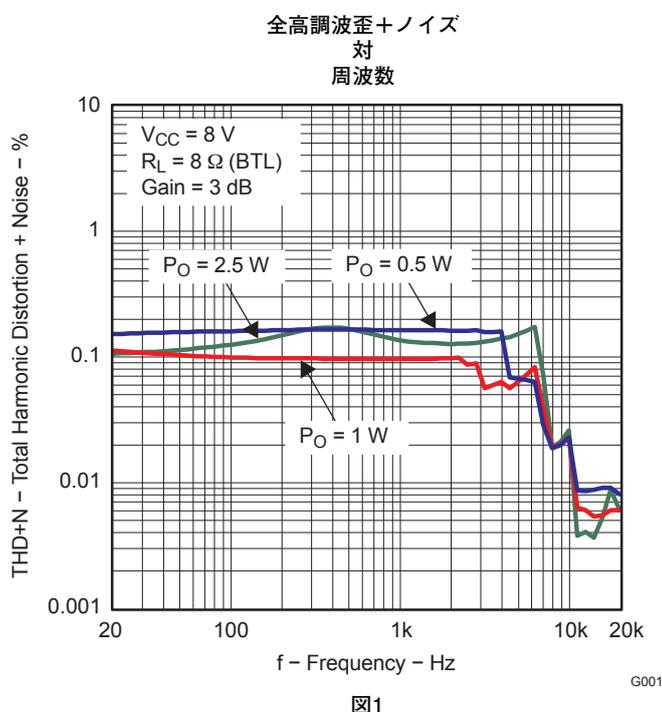
(1) 設計で規定されています。

## DC特性 (続き)

$R_L=8\Omega$ 、 $F_{PWM}=384kHz$ です (特に記述のない限り)。特に指定がない限り、すべての性能は推奨動作条件下です。

パラメータ		測定条件	MIN	TYP	MAX	単位
<b>静的デジタル仕様</b>						
$V_{IH}$	“High” レベル入力電圧	PWM_A, PWM_B, PWM_C, PWM_D, M1, M2, RESET	2			V
$V_{IL}$	“Low” レベル入力電圧				0.8	V
$I_{lkg}$	入力リーク電流	静的、“High” 時: PWM_A, PWM_B, PWM_C, PWM_D, M1, M2, RESET			100	$\mu A$
		静的、“Low” 時: PWM_A, PWM_B, PWM_C, PWM_D, M1, M2, RESET	-10		10	
<b>FAULT</b>						
$R_{INT\_PU}$	内部プルアップ抵抗、 $\overline{FAULT}$		20	26	32	k $\Omega$
$V_{OH}$	“High” レベル出力電圧	内部プルアップ抵抗	3	3.3	3.6	V
		4.7k $\Omega$ で5Vに外部プルアップ			5.5	
$V_{OL}$	“Low” レベル出力電圧	$I_O = 4\text{ mA}$		0.25	0.5	V

## 代表的特性



代表的特性 (続き)

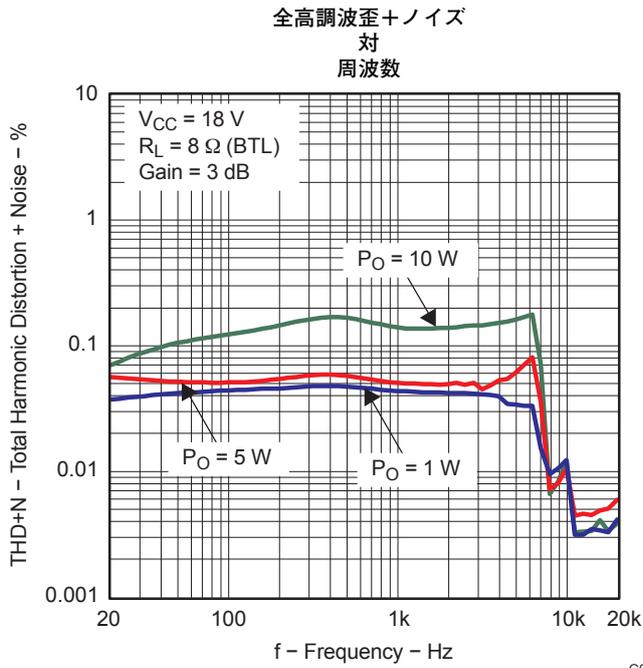


図3

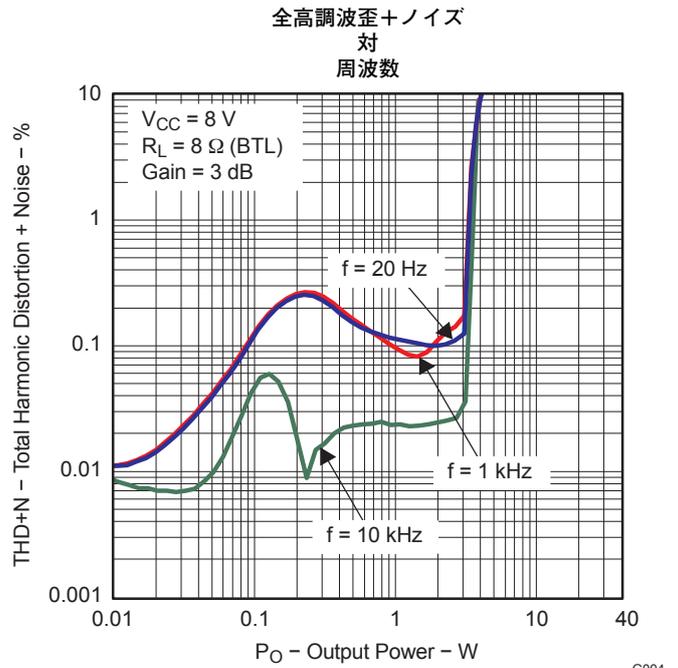


図4

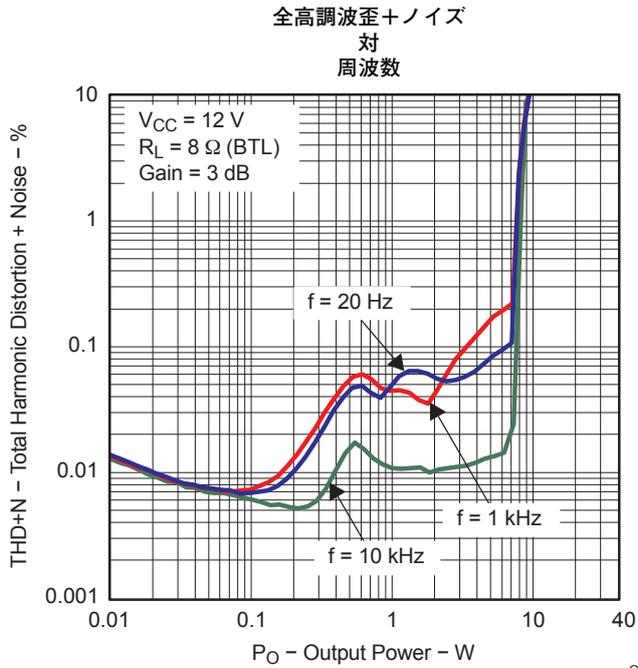


図5

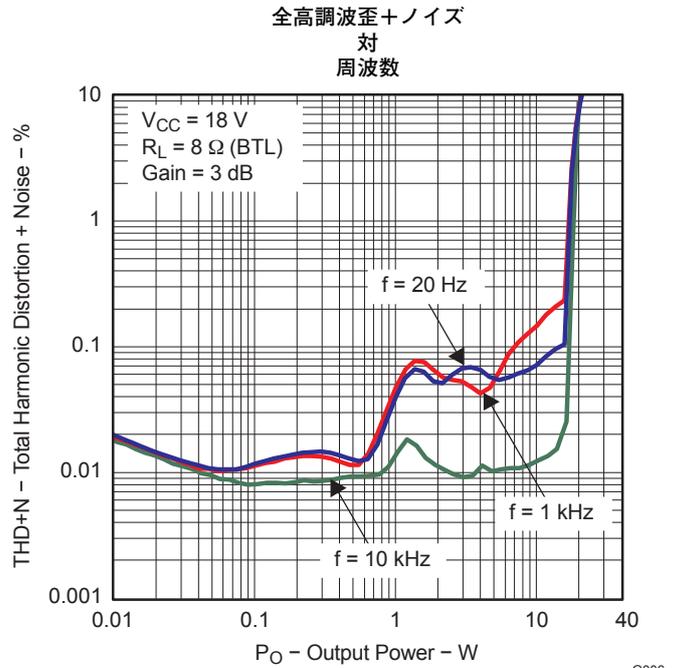


図6

代表的特性 (続き)

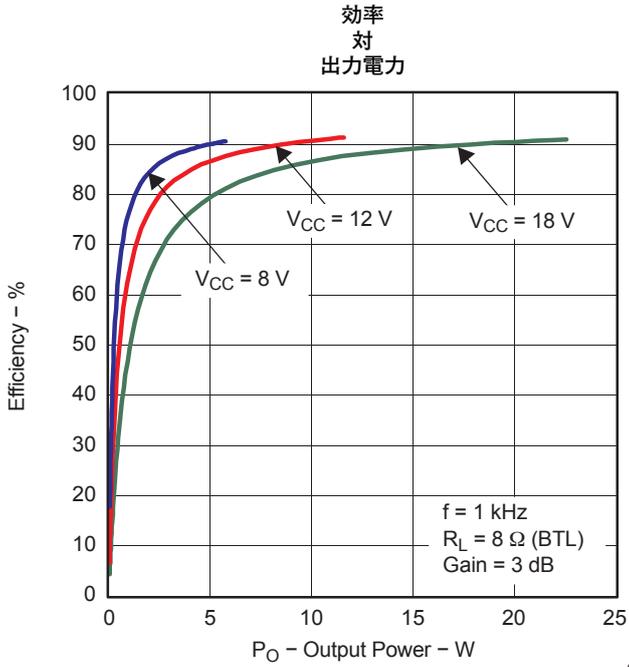


図7

G007

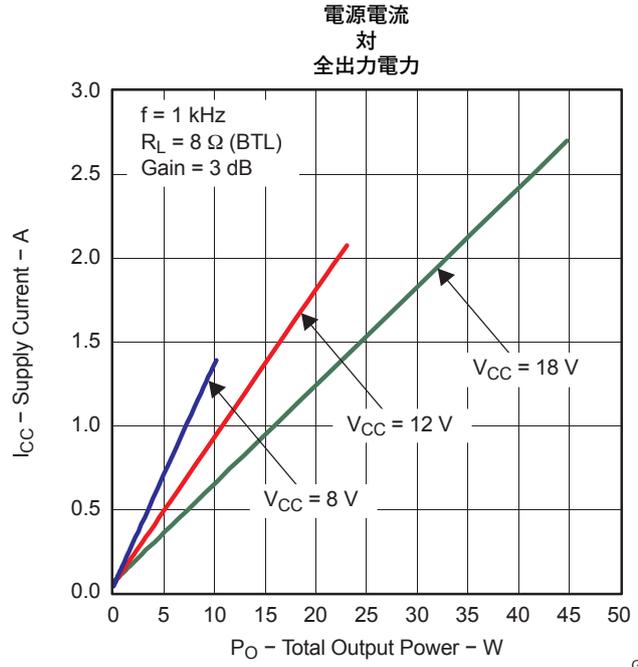


図8

G008

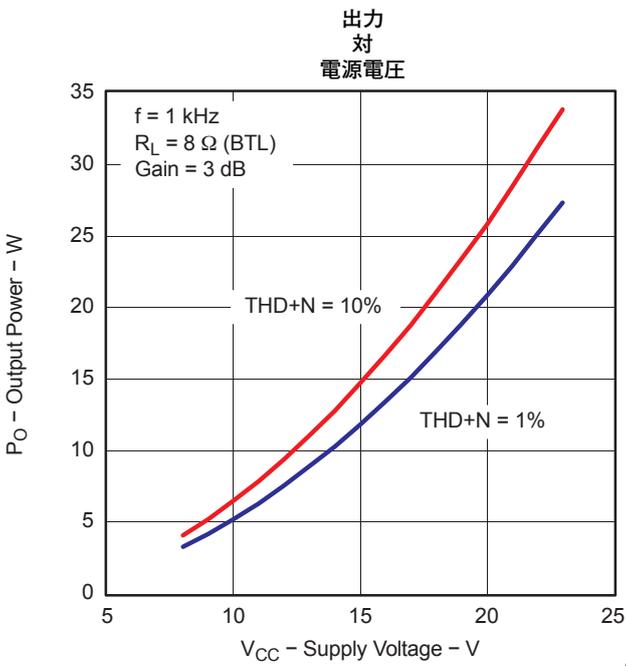


図9

G009

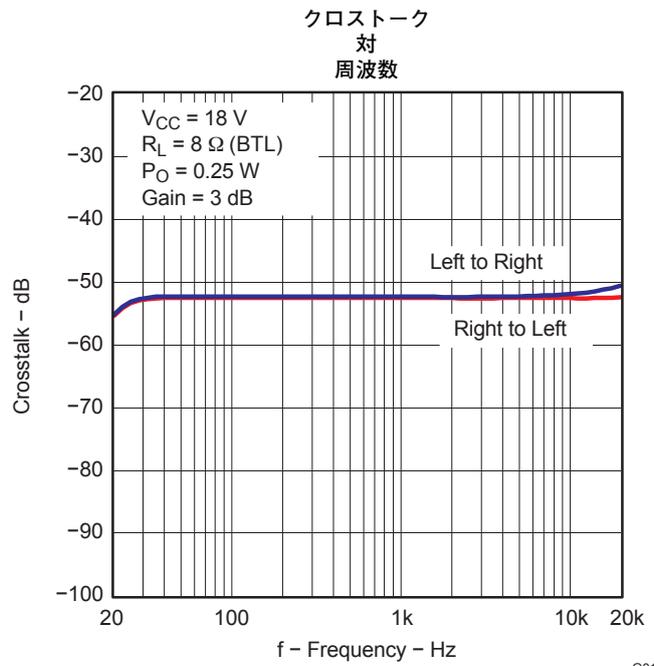


図10

G010

代表的特性 (続き)

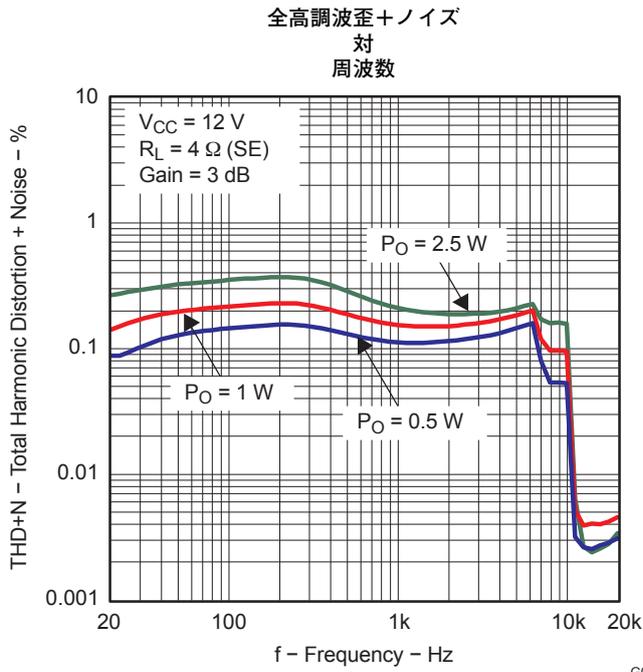


図11

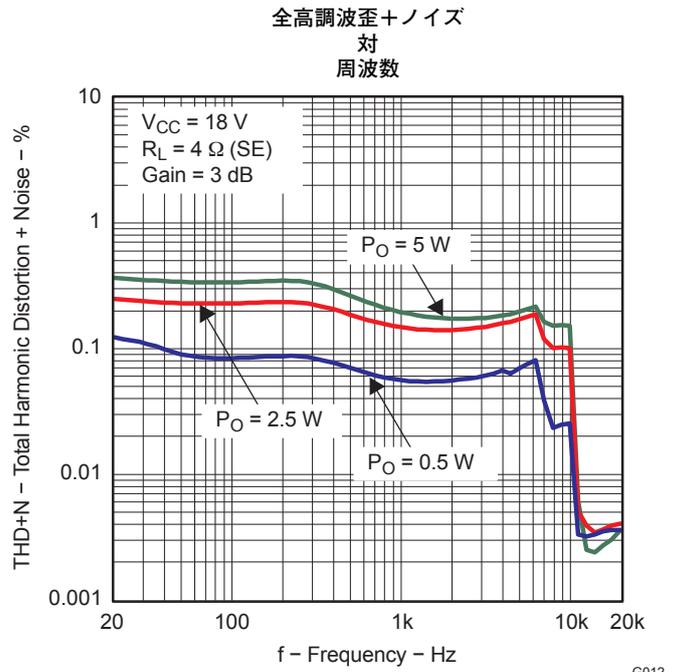


図12

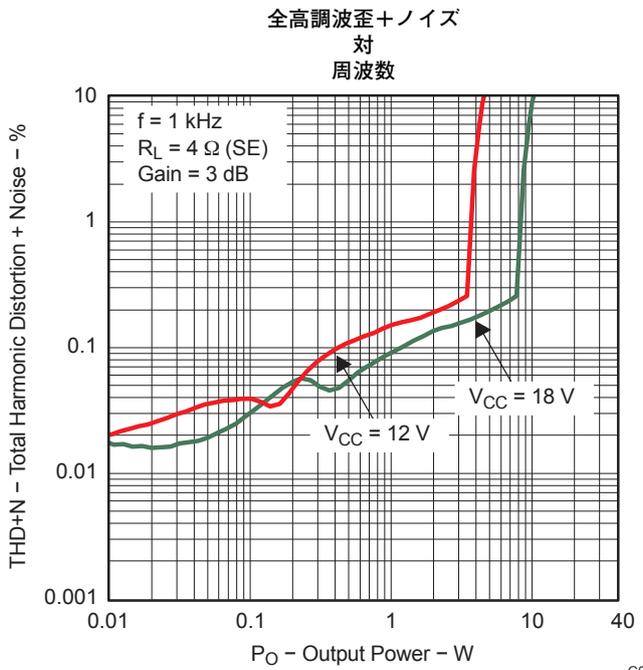


図13

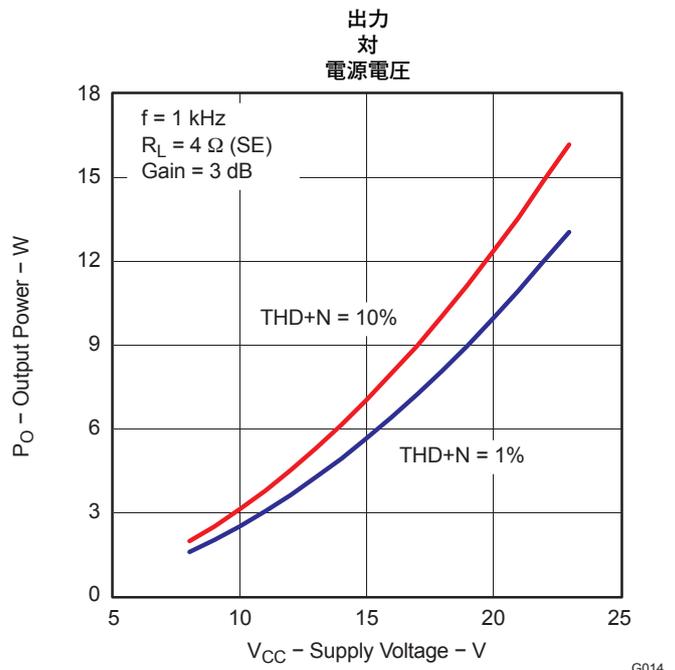


図14

代表的特性 (続き)

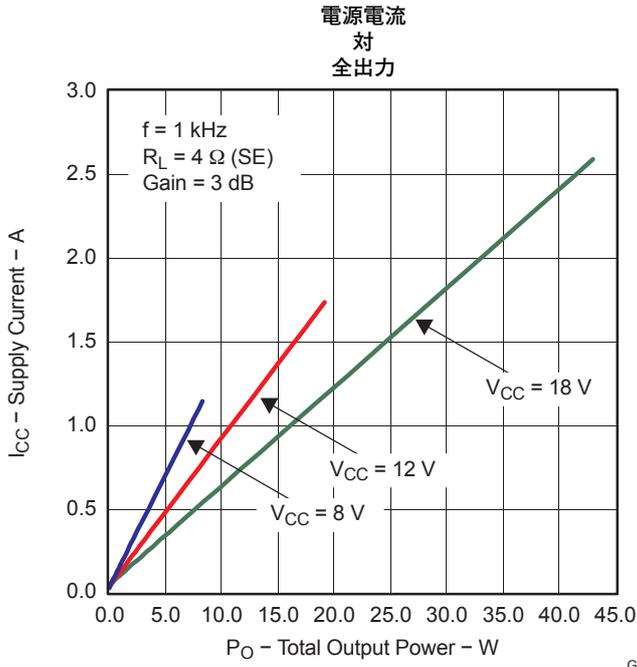


図15

G015

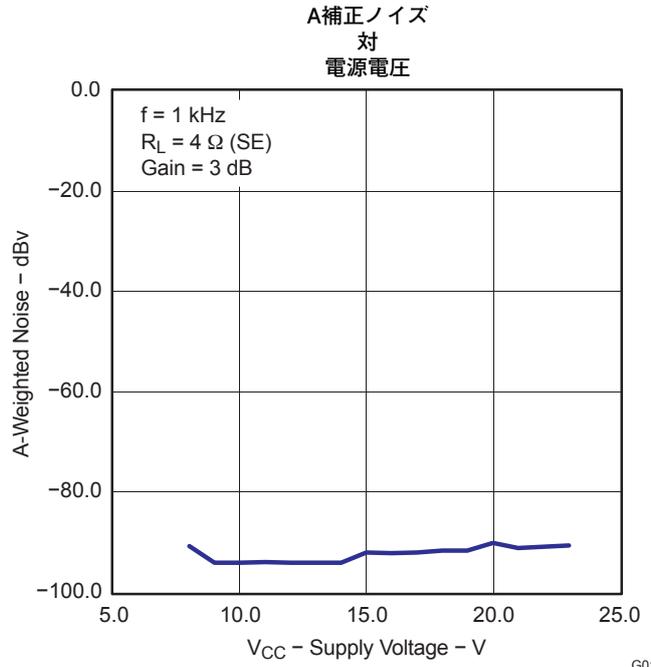


図16

G016

クロストーク  
対  
周波数

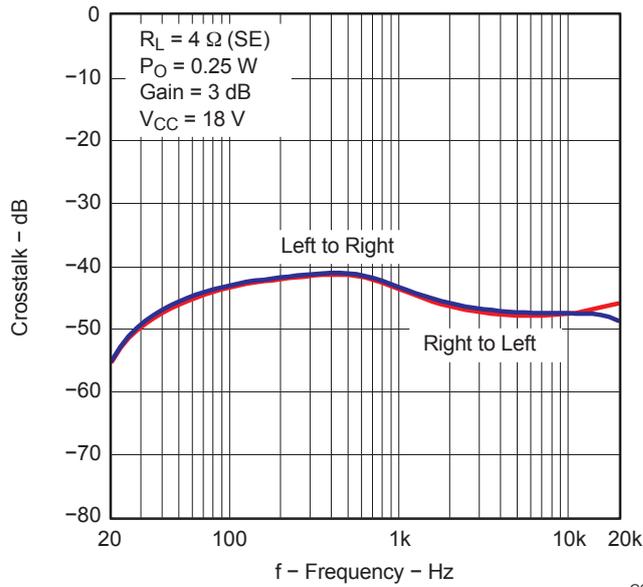


図17

G018

# TAS5102

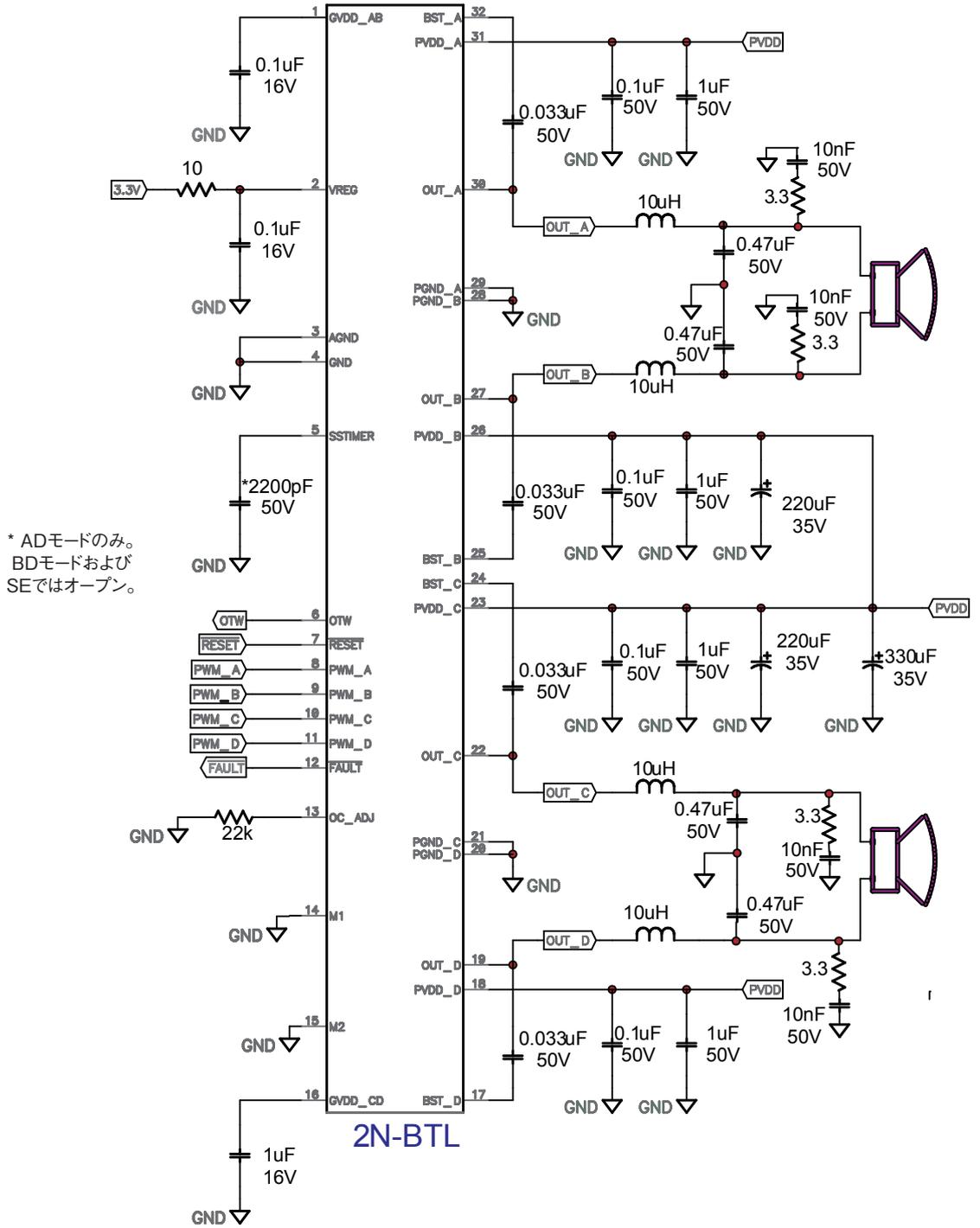


図 18. AD 変調フィルタを備えた差動 (2N) BTL アプリケーション例

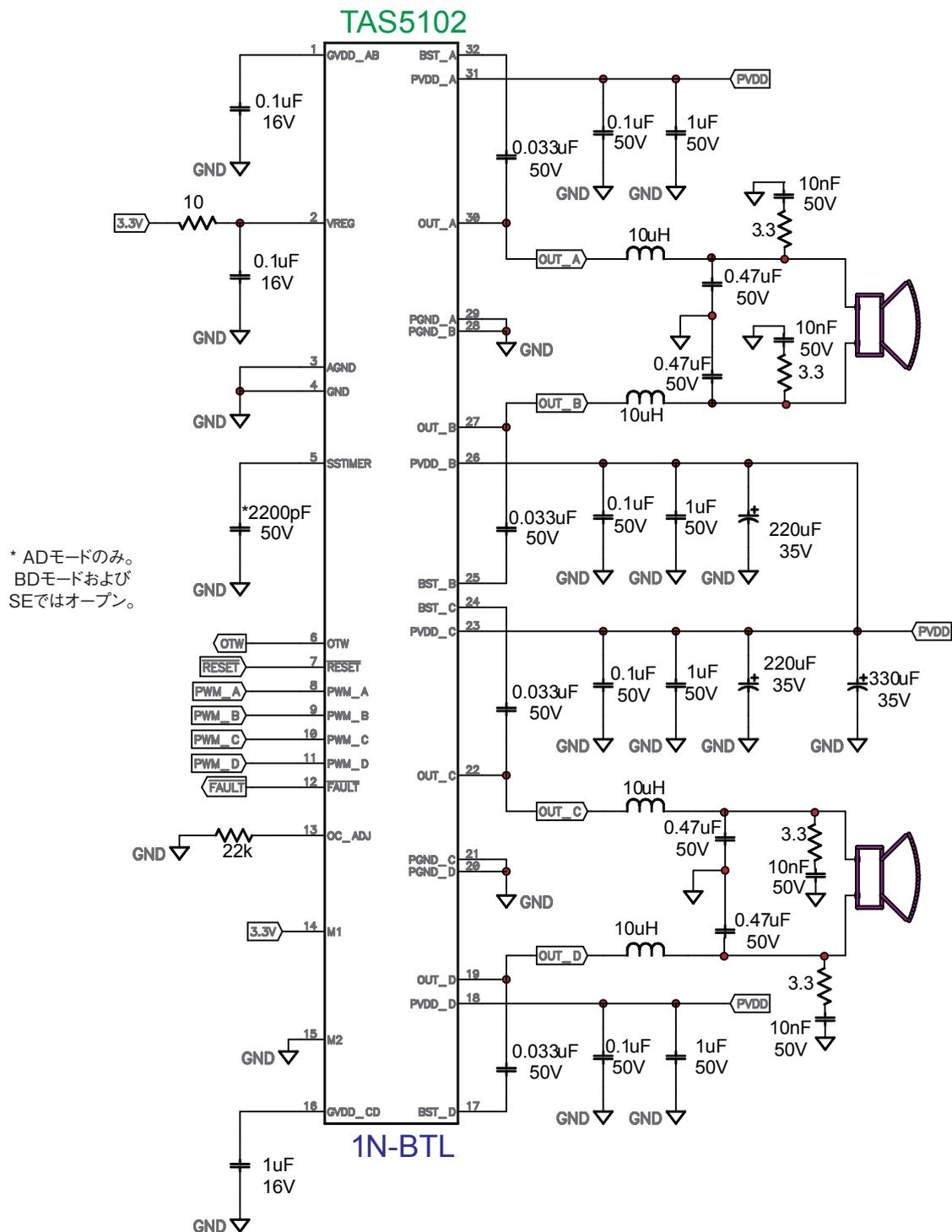


図 19. AD 変調フィルタを備えた非差動 (1N) BTL アプリケーション例

## 動作原理

### 電源

システム設計を簡単にするために、TAS5102/3は、18V (typ)のパワーステージ電源以外に、3.3V電源だけが必要です。内部電圧レギュレータにより、ゲート駆動回路に適したレベルの電圧が供給されます。また、フローティング電圧供給を必要とするすべての回路（ハイサイド・ゲートなど）は、数個の外付けコンデンサのみを必要とする内蔵ブートストラップ回路で対応されます。

優れた電気的および音響的特性を実現するために、出力段のPWM信号パスは、同一構造の独立したハーフブリッジとして設計されています。この理由により、各ハーフブリッジには独立したブートストラップ・ピン (BST\_X) およびパワー・ステージ電源ピン (PVDD\_X) が備えられています。ゲート駆動電圧 (GVDD\_ABおよびGVDD\_CD) は、PVDD電圧から供給されます。独立した内部電圧レギュレータにより、PVDD電圧が下げられ、効率的なゲート駆動動作に適した電圧にレギュレーションされます。また、すべての共通ロジック回路に対する電源として、追加のピン (VREG) が用意されています。すべてのデカップリング・コンデンサを、それぞれ対応するピンにできるだけ近づけて配置するように、特別な注意を払ってください。一般に、電源ピンとデカップリング・コンデンサとの間のインダクタンスは避ける必要があります。(詳細については、リファレンス・ボードの資料を参照してください。)

適切に機能するブートストラップ回路に対して、各ブートストラップ・ピン (BST\_X) とパワー・ステージ出力ピン (OUT\_X) との間に小さなセラミック・コンデンサを接続する必要があります。パワー・ステージ出力が“Low”のときは、ゲート駆動電源ピン (GVDD\_X) とブートストラップ・ピンとの間に接続されている内部ダイオードを通して、ブートストラップ・コンデンサが充電されます。パワーステージ出力が“High”のときは、ブートストラップ・コンデンサの電位が出力電位より上にシフトするため、ハイサイド・ゲート・ドライバに対して適切な電圧が供給されます。PWMスイッチング周波数が352kHz～384kHzの範囲であるアプリケーションでは、ブートストラップ電源用に33nFのセラミック・コンデンサ (サイズ0603または0805) を使用することを推奨します。これらの33nFコンデンサにより、最小のPWMデューティ・サイクル中であっても、ハイサイド・パワー・ステージFET (LDMOS) をPWMサイクルの残り期間中、完全にオンに保持するために十分なエネルギーが蓄積されます。低いスイッチング周波数 (192kHzなど) で動作するアプリケーションでは、より大きな値のブートストラップ・コンデンサが必要となる場合があります。

パワーステージ電源には特別な注意を払う必要があります。これには、部品の選択、PCBの配置、および配線が含まれます。前述のとおり、各ハーフブリッジには独立したパワーステージ電源ピン (PVDD\_X) があります。電気的性能、EMI適合、およびシステムの信頼性を最適化するために、各PVDD\_Xピンを、ピンにできる限り近づけて配置した100nFセラミック・コンデ

ンサでデカップリングすることが重要です。TAS5102/3リファレンス・デザインのPCBレイアウトに従うことを推奨します。推奨される電源および必要な部品についての詳細は、このデータ・シートの前の部分にあるアプリケーション図を参照してください。

3.3V電源は、低ノイズ、低出力インピーダンスの電圧レギュレータから得る必要があります。同様に、18Vパワー・ステージ電源も、低出力インピーダンスおよび低ノイズが望まれます。内部のパワーオン・リセット回路によって処理されるため、電源シーケンスは重要ではありません。また、TAS5102/3は、寄生ゲート電荷による偶発的なパワー・ステージの起動に対して完全に保護されています。

### 内蔵ゲート・ドライブ電源 (GVDD)

TAS5103にはゲート・ドライブ電源が内蔵され、外部レギュレータは不要となっています。PVDD = 12V (つまり、最大PVDD < 13.2V) の場合は、10Ωの抵抗を介してPVDDをGVDDに接続することができます。これにより、パワー・ステージは電圧低下時でも最低7Vの電圧で動作できます。それ以外の場合は、電源が8Vに低下すると、GVDD低電圧保護によって出力がシャットダウンされます。動作電圧が12Vより高い場合は、GVDDとPVDDをこのような形で接続しないように注意してください。

### システムのパワーアップ／パワーダウンシーケンス

#### パワーアップ

Hブリッジの出力は、内部ゲート駆動電源電圧 (GVDD\_XY) および外部VREG電圧が低電圧保護 (UVP) 電圧スレッシュホールドを上回るまでの間、ハイ・インピーダンス状態に保持されます (このデータ・シートの「電気的特性」を参照)。明示的に要求されてはいませんが、デバイスのパワー・アップ時には、RESETを“Low”状態に維持することを推奨します。これにより、ハーフブリッジ出力のウィーク・プルダウンをイネーブルすることで、内部回路によって外部のブートストラップ・コンデンサを充電できます。モード1、0 (シングルエンド・モード) を使用しない限り、この状態では出力インピーダンスが約3kΩとなります。つまり、ブートストラップ・コンデンサを確実に充電するために、200μs以上の間TAS5102/3をリセット状態に維持する必要があります。これは、推奨されている0.033μFのブートストラップ・コンデンサを使用した場合です。ブートストラップ・コンデンサの容量を変えると、ブートストラップ・コンデンサの充電時間も変わります。ポップやクリックを避けるためには、図20の推奨タイミング図に従ってください。

TAS5102/3をTAS5086などのTI製PWM変調器とともに使用する場合は、推奨されるとおりにチップセットを構成していれば、RESETの状態に特に注意を払う必要はありません。

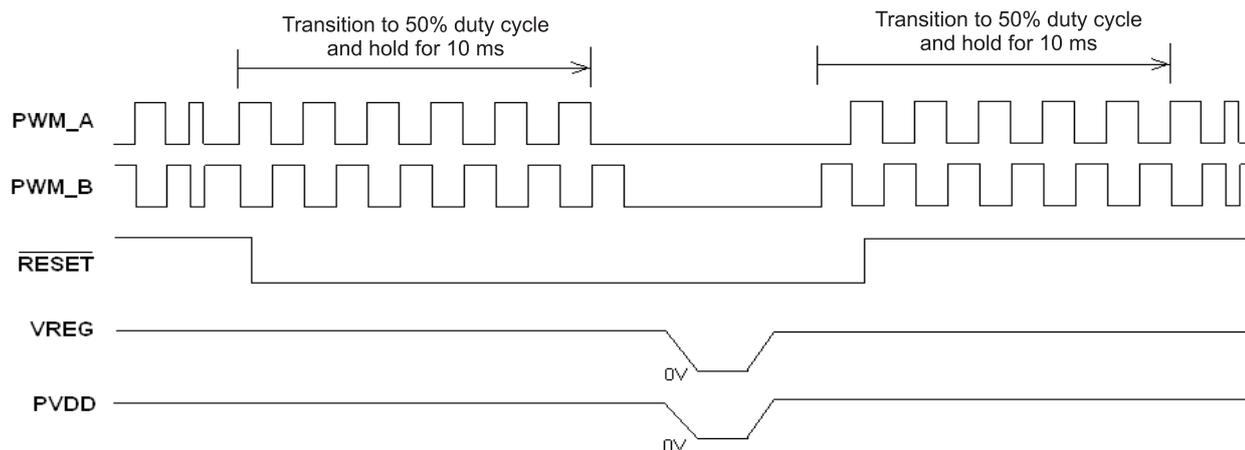


図 20. パワー・アップ/パワー・ダウンタイミング図

### パワーダウン

ゲート駆動電源電圧およびVREG電圧が低電圧保護 (UVP) 電圧スレッシュホールドを上回っている間、デバイスは完全に動作可能な状態を保ちます (このデータ・シートの「電気的特性」を参照)。明示的に要求されてはいませんが、パワー・ダウン時にはRESETを“Low”状態に維持して、ポップやクリックなどの可聴雑音を防ぐことを推奨します。ポップやクリックを避けるためには、図20の推奨タイミング図に従ってください。

TAS5102/3をTAS5086などのTI製PWM変調器とともに使用する場合は、推奨されるとおりにチップセットを構成していれば、RESETの状態に特に注意を払う必要はありません。

### エラー・レポート

FAULTピンは、アクティブ“Low”、オープン・ドレイン出力です。OTWピンは、プッシュプル、アクティブ“High”出力です。これらのピンは、PWMコントローラまたは他のシステム制御デバイスへのプロテクト・モード信号として使用されます。

デバイスのシャットダウンにつながるような障害は、FAULTピンが“Low”になることで通知されます。同様に、デバイスの接合部温度が125°Cを超えると、OTWが“High”になります (表1を参照)。

表 1.

FAULT	OTW	説明
0	0	過電流 (OC) 警告、低電圧 (UVP) 警告、または過熱障害 (OTE)
0	1	過熱警告 (OTW)、過電流 (OC)、または低電圧 (UVP)

表 1. (続き)

FAULT	OTW	説明
1	0	接合部温度が125°C未満で、障害未検出 (通常動作)
1	1	接合部温度が125°C以上 (過熱警告)

いずれかのRESETを“Low”にアサートすると、障害の有無にかかわらず、FAULT信号が強制的に“High”になります。TIでは、システム・マイクロコントローラを使用してOTW信号を監視し、それ以上デバイス温度が上昇してシャットダウン (OTE) に至らないよう音量を下げるなど、過熱警告信号に対して適切な処理を行うことを推奨します。

外部部品数を減らすために、3.3Vへの内部プルアップ抵抗がFAULT出力に備えられています。外付けで5Vへのプルアップ抵抗を追加することで、5Vロジックに対するレベル互換性が得られます (詳しい仕様については、このデータ・シートの「電気的特性」の項を参照してください)。

### デバイス保護システム

TAS5102/3には、システムの統合を容易にして使いやすさを高め、短絡、過熱、低電圧など幅広い範囲の障害条件による永続的な障害からデバイスを保護するために、慎重に設計された保護回路が内蔵されています。TAS5102/3は、パワー・ステージを直ちにハイ・インピーダンス (Hi-Z) 状態にしてFAULTピンを“Low”にアサートすることで、障害に対応します。過電流 (OC) および過熱障害 (OTE) 以外の状況では、障害条件が解消された時点で、デバイスが自動的に復旧します。可能な限り高い信頼性を得るために、過電流障害からの回復には、シャットダウンから300ms以上後にデバイスの外部リセットが必要です (このデータ・シートの「デバイスのリセット」を参照)。

## 高変調指数対応システムでのTAS5102/3の使用

このデバイスでは、ブートストラップ・コンデンサを充電状態に保持するために、384kHzのPWMフレーム・レートあたり、出力で50ns以上の“Low”時間が必要です。例として、TAS5086で変調指数が99.2%に設定されている場合、この設定ではPWMパルス時間を20nsまで短くできます。50nsの要件を満たしていないこの信号がPWM\_Xピンに送信され、この“Low”状態パルス時間ではブートストラップ・コンデンサの充電を維持できません。この状況では、ブートストラップ・コンデンサに印加される電圧が低いことで、ブートストラップUVP回路が作動してデバイスがシャットダウンされる場合があります。TAS5102/3デバイスでは、すべての信号および負荷でブートストラップ・コンデンサを充電状態に保つために、TAS5086の変調指数を96.1%に制限する必要があります。

したがって、TIでは、TAS5102/3とのインターフェイスに、変調指数を96.1%に設定したTI PWMプロセッサ（TAS5508またはTAS5086など）を使用することを強く推奨します。これは、TAS5086の変調制限レジスタ（0x10）に0x04を書き込むか、TAS5508の変調制限レジスタ（0x16）に0x04を書き込むことで行えます。

## 電流制限による過電流（OC）保護

このデバイスには、すべてのハイサイドおよびローサイドのパワー・ステージFETに、それぞれ独立した高速応答の電流検出回路が備えられています。検出回路の出力は、2つの保護システムによって監視されます。最初の保護システムでは、出力電流が大きく増加しないように電源段を制御します。つまり、音楽信号で高レベル過渡事象が発生し、同時にスピーカー負荷インピーダンスが極端に低下したとき、早期にシャットダウンする代わりに、サイクルごとの電流制限を実行します。高電流の状態が継続する場合、つまり、電源が過負荷になっている場合には、2番目の保護システムによってラッチ・シャットダウンがトリガされ、電源段がハイ・インピーダンス（Hi-Z）状態になります。電流制限および過電流保護は、ハーフブリッジAとB、およびCとDで共用しています。つまり、ハーフブリッジAとBの間のブリッジ接続負荷で過電流障害が発生した場合、ハーフブリッジA、B、C、Dがシャットダウンされます。

過電流保護スレッシュホールドは、OC\_ADJピンとグラウンドの間に抵抗を接続することで設定します。22kΩの抵抗を接続すると、過電流保護スレッシュホールドは4.5Aになります。

## 過熱保護

TAS5102/3には、2レベルの過熱保護システムが内蔵されています。デバイスの接合部温度が125°C（typ）を超えるとアクティブ“High”の警告信号（OTW）がアサートされ、デバイスの接合部温度が150°C（typ）を超えた場合は、デバイスが過熱シャットダウン状態になり、すべてのハーフブリッジ出力がハイ・インピーダンス（Hi-Z）状態となって、 $\overline{\text{FAULT}}$ が“Low”にアサートされます。この場合、OTEはラッチされます。OTEのラッチをクリアするには、 $\overline{\text{RESET}}$ をアサートする必要があります。その後、デバイスは通常動作を再開します。

## 低電圧保護（UVP）およびパワーオン・リセット（POR）

TAS5102/3のUVPおよびPOR回路により、どのようなパワー・アップ/ダウンおよび電圧低下状況でも、デバイスが完全に保護されます。パワー・アップ時に、POR回路によって過負荷回路（OLP）がリセットされ、GVDD\_XYおよびVREGの電源電圧がそれぞれ5.7V（typ）および2.7Vに達したときに、すべての回路が完全に動作可能になります。GVDD\_XYとVREGは独立して監視されますが、VREGまたはGVDD\_XYピンのいずれかで電源電圧がUVPスレッシュホールドを下回った場合は、すべてのハーフブリッジ出力が直ちにハイ・インピーダンス（Hi-Z）状態になり、 $\overline{\text{FAULT}}$ が“Low”にアサートされます。すべての電源電圧がUVPスレッシュホールドを上回ると、デバイスは自動的に動作を再開します。

## デバイスのリセット

ハーフブリッジA/B/C/Dを制御するために、1つのリセット・ピンが用意されています。 $\overline{\text{RESET}}$ が“Low”にアサートされると、ハーフブリッジA、B、C、D内の4つすべてのパワー・ステージFETが、強制的にハイ・インピーダンス（Hi-Z）状態になります。したがって、このリセット・ピンは、必要に応じてパワー・ステージを固定的にミュートする目的に適しています。

BTLモードでは、スイッチングの開始前にブートストラップ充電を行えるように、リセット入力を“Low”にアサートすることでハーフブリッジ出力のウィーク・プルダウンがイネーブルされます。SEモードでは、ウィーク・プルダウンはイネーブルされないため、リセットが“High”にアサートされたときにPWM入力に“Low”パルスを入力することで、ブートストラップ・コンデンサの充電を確実にを行うことを推奨します。

リセット入力を“Low”にアサートすると、 $\overline{\text{FAULT}}$ 出力で通知される障害情報がすべて解除されます（ $\overline{\text{FAULT}}$ が強制的に“High”になります）。

過電流障害後、リセット入力の立ち上がりエッジより、デバイスは動作を再開できます。

## SSTIMERの機能

SSTIMERピンとグラウンドの間にコンデンサを接続することで、RESETピンで遷移が発生したときの出力デューティ・サイクルを制御できます。SSTIMERピンに接続したコンデンサは、内部の電流源によってゆっくりと充電されます。この充電時間によって、0に近いデューティ・サイクルから入力時のデューティ・サイクルへの出力遷移速度が決まります。これによって、RESETピンが“High”から“Low”に遷移するとき、または“Low”から“High”に遷移するときにスムーズな遷移が可能になり、可聴ポップ・ノイズやクリック・ノイズが生じなくなります。

RESETピンが“High”から“Low”に遷移するとき（シャットダウン）、10ms以上の間、変調回路がスイッチング状態を維持することが重要です（2.2nFコンデンサを使用する場合）。これより容量の大きなコンデンサを使用すると、スタートアップ時間／シャットダウン時間が長くなりますが、2.2nF未満のコンデンサを使用すると、スタートアップ時間／シャットダウン時間が短くなります。完全にシャットダウンされる前には、出力でデューティ・サイクルを0近くまでゆっくりと下げたためには、シャットダウン遷移で入力をスイッチング状態に維持する必要があります。BD変調およびSE（シングルエンド）モードに対応するには、SSTIMERピンをフローティングにします。

## 熱特性について

TAS5102に採用された熱対策強化パッケージは、サーマル・ブリース（Wakefield Engineering社のタイプ126熱伝導グリースなど）を使用して直接ヒート・シンクに接合するように設計されています。ヒート・シンクがICの熱を吸収し、それを周辺の空気に放出します。ヒート・シンクが注意深く設計されてい

れば、このプロセスは均衡状態に達し、ICの熱を連続的に排出することができます。TAS5102は効率が高いため、ヒート・シンクの大きさは同等の性能を備えたりニア・アンプよりもずっと小さくできます。

$R_{\theta JA}$ は、接合部と周囲空気との間のシステム熱抵抗です。これは、おおまかに次の要素で構成されるシステム・パラメータです。 $R_{\theta JC}$ （接合部・ケース間の熱抵抗、ここでは接合部と金属パッドの間の熱抵抗）、熱伝導グリースの熱抵抗、およびヒート・シンクの熱抵抗です。 $R_{\theta JC}$ は「製品情報」セクションに示されています。熱伝導グリースの熱抵抗は、露出パッドの面積と、熱伝導グリースの製造元が公表している面積熱抵抗値（ $^{\circ}\text{C}\cdot\text{in}^2/\text{W}$ ）を使って計算できます。サンプルの熱伝導グリースの面積熱抵抗は、厚さ0.001インチで約 $0.054^{\circ}\text{C}\cdot\text{in}^2/\text{W}$ です。露出パッド面積は、約 $0.01164\text{ in}^2$ です。サンプルの熱伝導グリースの面積熱抵抗をパッドの面積で割ると、熱伝導グリースを経由する実際の熱抵抗 $3.3^{\circ}\text{C}/\text{W}$ がわかります。

通常、ヒート・シンクの熱抵抗は、ヒート・シンク製造元によるCFD（Continuous Flow Dynamic）モデルを使ったモデル化や計測によって予測できます。

以上から、1つのICについて、「システム $R_{\theta JA} = R_{\theta JC} +$ 熱伝導グリースの熱抵抗+ヒート・シンクの熱抵抗」となります。

TAS5103パッド・ダウン設計に関する熱情報は、TIドキュメントSLMA002D “PowerPAD Thermally Enhanced Package Application Report”に記載されています。また、熱測定に関するその他の資料として、TIドキュメントSPRA953A “IC Package Thermal Metrics (Rev. A)”も提供されています。

## パッケージ情報

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
TAS5102DAD	ACTIVE	HTSSOP	DAD	32	46	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5102DADG4	ACTIVE	HTSSOP	DAD	32	46	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5102DADR	ACTIVE	HTSSOP	DAD	32	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5102DADRG4	ACTIVE	HTSSOP	DAD	32	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5103DAP	ACTIVE	HTSSOP	DAP	32	46	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5103DAPG4	ACTIVE	HTSSOP	DAP	32	46	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5103DAPR	ACTIVE	HTSSOP	DAP	32	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
TAS5103DAPRG4	ACTIVE	HTSSOP	DAP	32	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**：製品デバイスが新規設計用に推奨されています。

**LIFEBUY**：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSELETE**：TIによりデバイスの生産が中止されました。

(2) エコ・プラン・環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**：Pb-Free/Green 変換プランが策定されていません。

**Pb-Free (RoHS)**：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

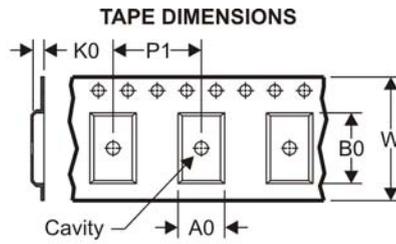
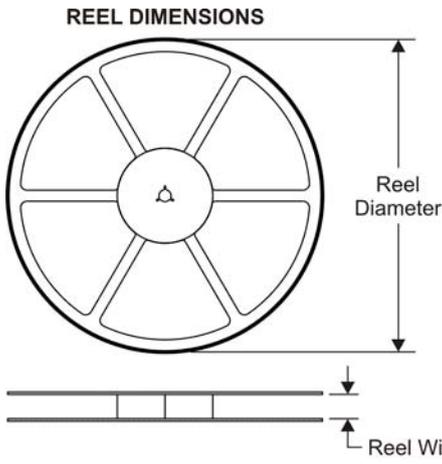
**Green (RoHS & no Sb/Br)**：TIにおける“Green”は、“Pb-Free”（RoHS 互換）に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1%を超えない）ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

**重要な情報および免責事項**：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

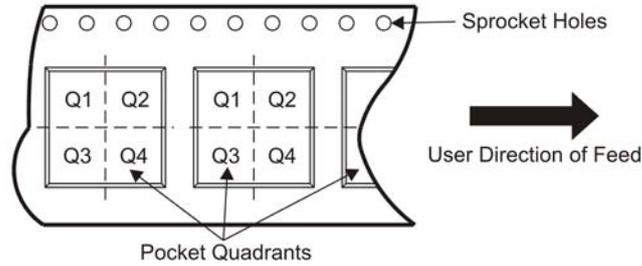
いかなる場合においても、そのような情報から生じたTIの責任は、このドキュメント発行時点でのTI製品の価格に基づくTIから顧客への合計購入価格（年次ベース）を超えることはありません。

# TAPE AND REEL INFORMATION



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

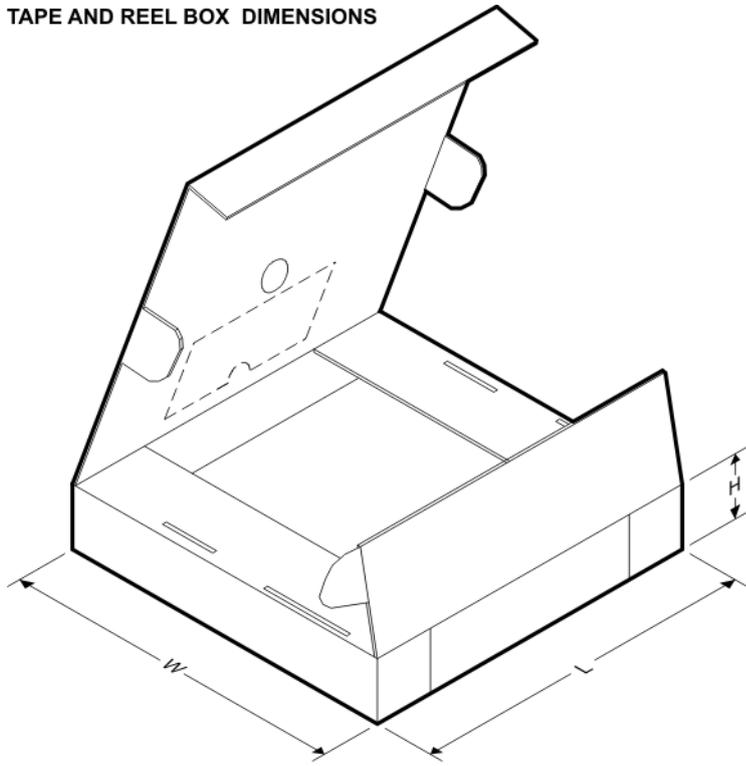
## QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5102DADR	HTSSOP	DAD	32	2000	330.0	24.4	8.6	11.5	1.6	12.0	24.0	Q1
TAS5103DAPR	HTSSOP	DAP	32	2000	330.0	24.4	8.6	11.5	1.6	12.0	24.0	Q1

**TAPE AND REEL BOX DIMENSIONS**

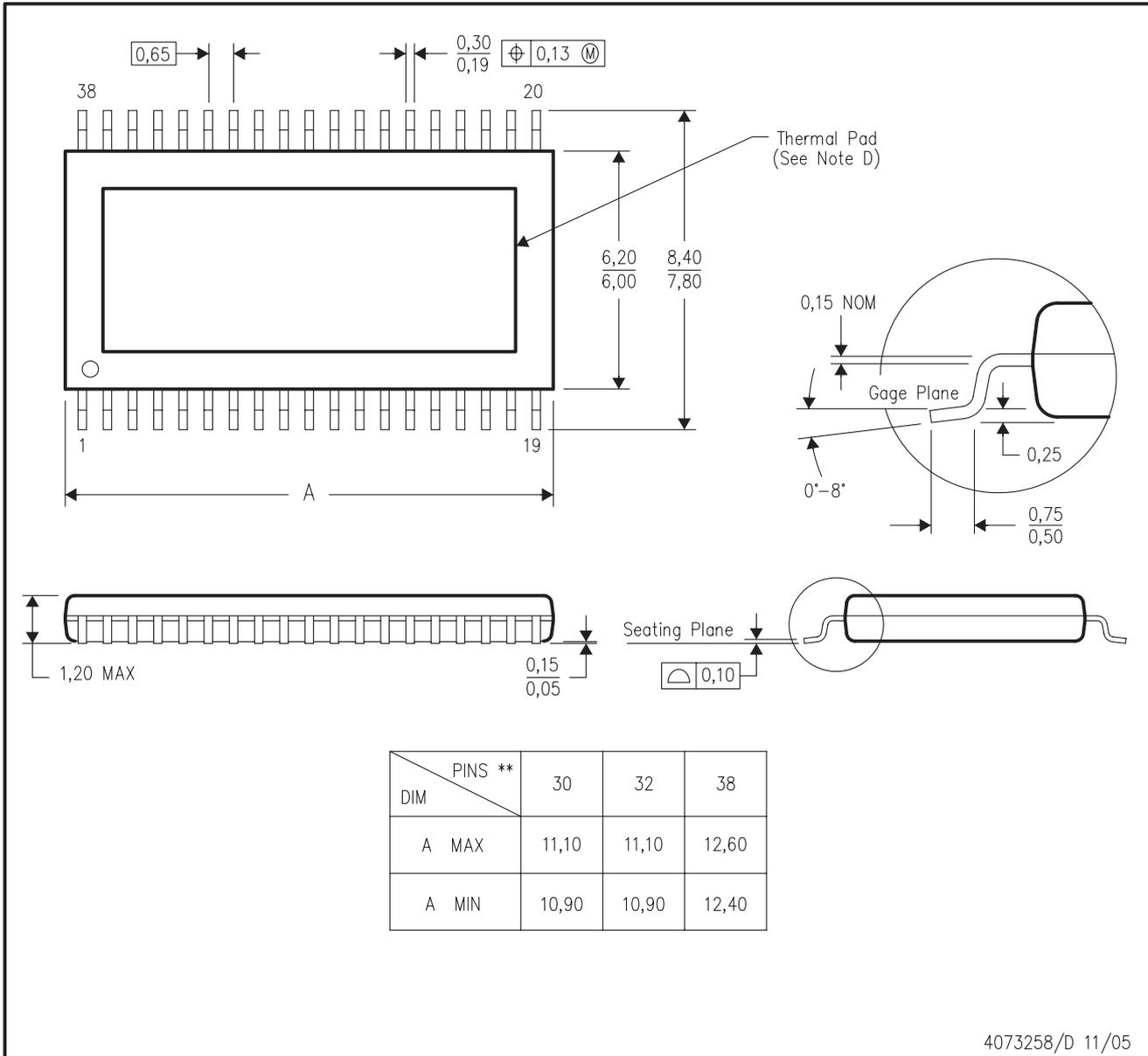


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS5102DADR	HTSSOP	DAD	32	2000	346.0	346.0	41.0
TAS5103DAPR	HTSSOP	DAP	32	2000	346.0	346.0	41.0

# DAD (R-PDSO-G\*\*) PowerPAD™ PLASTIC SMALL-OUTLINE (DIE DOWN)

38 PIN SHOWN



4073258/D 11/05

- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
  - D. The package thermal performance may be enhanced by attaching an external heatsink to the thermal pad. This pad is electrically and thermally connected to the backside of the die and possibly selected leads.
  - E. Falls within JEDEC MO-153

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上