TLV9001, TLV9002, TLV9004
JAJSE80R – OCTOBER 2017 – REVISED NOVEMBER 2021

TLV900x コスト制約の厳しいシステム用の低消費電力、RRIO、1MHz オペアンプ

1 特長

- 低コスト・アプリケーション向けのスケーラブルな CMOS アンプ
- レール・ツー・レール入出力
- 低い入力オフセット電圧：±0.4mV
- ユニティ・ゲイン帯域幅：1MHz
- 低い広帯域ノイズ：27nV/√Hz
- 低い入力バイアス電流：5pA
- 低い静止電流：60µA/Ch
- ユニティ・ゲイン安定
- 内部 RFI および EMI フィルタ
- 最低 1.8V の電源電圧で動作
- 抵抗性の開ループ出力インピーダンスにより、大きな容量性負荷に対して容易に安定可能
- 拡張温度範囲：-40℃～125℃

2 アプリケーション

- センサ信号コンディショニング
- パワー・モジュール
- アクティブ・フィルタ
- ローサイド電流センシング
- 煙感知器
- 動作検出器
- ウェアラブル機器
- 大型および小型家電
- EPOS
- バーコード・スキャナ
- パーソナル・エレクトロニクス
- HVAC：暖房、換気、空調
- モーター制御：AC 誘導モーター

3 説明

TLV900x ファミリには、レール・ツー・レールの入力および出力スイング能力を備えた、シングル (TLV9001)、デュアル (TLV9002)、およびクワッド・チャネル (TLV9004)、の低電圧 (1.8V～5.5V) オペアンプがあります。これらのオペアンプは、煙感知器、ウェアラブル電子機器、小型家電など、低電圧での動作と高い容量性負荷の駆動が必要な、スペースに制約のあるアプリケーション用の、コスト効率の優れたソリューションです。TLV900x ファミリの容量性負荷の駆動能力は 500pF ですが、抵抗性のオープンループ出力インピーダンスにより、より高い容量性負荷でも簡単に安定化できます。これらのオペアンプは低電圧 (1.8V～5.5V) で動作し、TLV600x デバイスと同様の性能仕様を満たすよう、特別に設計されています。

TLV900x ファミリの堅牢な設計により、回路の設計を簡素化できます。これらのオペアンプは、ユニティ・ゲイン安定性、RFI および EMI 除去フィルタ内蔵、およびオーバードライブ状態で位相反転がない、といった特長があります。

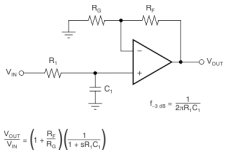
TLV900x デバイスにはシャットダウン・モードがあり (TLV9001S、TLV9002S、TLV9004S)、アンプをオフにしてスタンバイ・モードに移行すると、消費電流は標準値で 1µA 未満になります。

すべてのチャネル・バリエーション (シングル、デュアル、クワッド) について、SOT-553 や WSON などのマイクロサイズ・パッケージで供給されるのに加えて、SOIC、MSOP、SOT-23、TSSOP などの業界標準パッケージで供給されます。

製品情報

部品番号(1)	パッケージ	本体サイズ (公称)
TLV9001	SOT-23 (5)	1.60mm × 2.90mm
	SC70 (5)	1.25mm × 2.00mm
	SOT-553 (5)(2)	1.65mm × 1.20mm
	X2SON (5)	0.80mm × 0.80mm
TLV9001S	SOT-23 (6)	1.60mm × 2.90mm
	SC70 (6)	1.25mm × 2.00mm
TLV9002	SOIC (8)	3.91mm × 4.90mm
	WSON (8)	2.00mm × 2.00mm
	VSSOP (8)	3.00mm × 3.00mm
	SOT-23 (8)	1.60mm × 2.90mm
	TSSOP (8)	3.00mm × 4.40mm
TLV9002S	VSSOP (10)	3.00mm × 3.00mm
	X2QFN (10)	1.50mm × 2.00mm
	DSBGA (9)	1.00mm × 1.00mm
TLV9004	SOIC (14)	8.65mm × 3.91mm
	SOT-23 (14)	4.20mm × 2.00mm
	TSSOP (14)	4.40mm × 5.00mm
	WQFN (16)	3.00mm × 3.00mm
	X2QFN (14)	2.00mm × 2.00mm
TLV9004S	WQFN (16)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。
(2) このパッケージはプレビューのみです。



単極ローパス・フィルタ

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 改訂履歴 ... 2
5 製品比較表 ... 6
6 ピン構成および機能 ... 7
7 仕様 ... 14
7.1 絶対最大定格 ... 14
7.2 ESD 定格 ... 14
7.3 推奨動作条件 ... 14
7.4 熱に関する情報：TLV9001 ... 15
7.5 熱に関する情報：TLV9001S ... 15
7.6 熱に関する情報：TLV9002 ... 15
7.7 熱に関する情報：TLV9002S ... 16
7.8 熱に関する情報：TLV9004 ... 16
7.9 熱に関する情報：TLV9004S ... 16
7.10 電気的特性 ... 17
7.11 代表的特性 ... 20
8 詳細説明 ... 26
8.1 概要 ... 26
8.2 機能ブロック図 ... 26
8.3 機能説明 ... 27
8.4 過負荷からの回復 ... 28
8.5 シャットダウン ... 28
8.6 デバイスの機能モード ... 28
9 アプリケーションと実装 ... 29
9.1 アプリケーション情報 ... 29
9.2 代表的なアプリケーション ... 29
10 電源に関する推奨事項 ... 35
10.1 入力および ESD 保護 ... 35
11 レイアウト ... 36
11.1 レイアウトのガイドライン ... 36
11.2 レイアウト例 ... 36
12 デバイスおよびドキュメントのサポート ... 37
12.1 ドキュメントのサポート ... 37
12.2 Receiving Notification of Documentation Updates ... 37
12.3 サポート・リソース ... 37
12.4 商標 ... 37
12.5 Electrostatic Discharge Caution ... 37
12.6 Glossary ... 37
13 メカニカル、パッケージ、および注文情報 ... 38

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision Q (June 2021) to Revision R (November 2021) — **Page**

- 「*製品情報*」表に SOT-23 (14) パッケージを追加 ... 1
- 「製品比較」表に SOT-23 DYY パッケージを追加 ... 6
- 「ピン構成および機能」セクションに SOT-23 (14) パッケージを追加 ... 7
- 「熱に関する情報：TLV9004」表に DYY (SOT-23) パッケージの熱に関する情報を追加 ... 16

Changes from Revision P (April 2021) to Revision Q (June 2021) — **Page**

- 「絶対最大定格」表で、電源電圧 (V+) - (V-) の最大値を 6V から 7V に変更 ... 14

Changes from Revision O (April 2020) to Revision P (April 2021) — **Page**

- 文書全体にわたって表、図、相互参照の採番方法を更新 ... 1
- 「*製品情報*」表に 9 ピン DSBGA パッケージを追加 ... 1
- 「製品比較」表に 9 ピン DSBGA パッケージを追加 ... 6
- 「ピン構成および機能」セクションに TLV9002S 9 ピン DSBGA パッケージを追加 ... 7
- 「熱に関する情報」表に TLV9002S 9 ピン DSBGA パッケージを追加 *TLV9002S* ... 16
- 「デバイスおよびドキュメントのサポート」セクションから「関連リンク」セクションを削除 ... 37

Changes from Revision N (January 2020) to Revision O (April 2020) — **Page**

- TLV9001S のプレビュー指定を削除 ... 1
- TLV9001SIDCK (6 ピン SC70) パッケージのプレビュー版の注を削除 ... 7

Copyright © 2022 Texas Instruments Incorporated

- 「熱に関する情報：TLV9001S」表に DCK (SC70) データを追加 15

Changes from Revision M (September 2019) to Revision N (January 2020) **Page**

- 「*製品情報*」表に 6 ピン SC70 パッケージを追加 1
- 「製品比較」表に 6 ピン SC70 パッケージを追加 6
- TLV9001SIDCK (6 ピン SC70) パッケージのピン配置を追加 7
- 「ピン構成および機能」セクションに TLV9001S 6 ピン SC70 パッケージを追加 7
- 6 ピン SC70 のピン配置を「ピンの機能」に追加：*TLV9001S* 7
- 「熱に関する情報：TLV9001S」表に TLV9001S 6 ピン SC70 パッケージを追加 15

Changes from Revision L (May 2019) to Revision M (September 2019) **Page**

- SOT-23-8 (DDF) パッケージのプレビュー版の注を削除 6
- すべての $\overline{\text{SHDN}}$ ピンの機能行に、「シャットダウン」セクションへのリンクを追加 7
- 「機能説明」セクションに「EMI 除去」セクションを追加 27
- 「シャットダウン」セクションを変更し、内部プルアップ抵抗についてより明確化 28

Changes from Revision K (March 2019) to Revision L (May 2019) **Page**

- 「*製品情報*」表に SOT-23 (8) の情報を追加 1
- 「製品比較」表に SOT-23 DDF パッケージを追加 6
- 「ピン構成および機能」セクションに SOT-23 (DDF) を追加 7
- 「熱に関する情報：TLV9002」表に DDF (SOT-23) を追加 15

Changes from Revision J (January 2019) to Revision K (March 2019) **Page**

- TLV9002S の「ESD 定格」の見出しを変更し、TLV9002S パッケージをすべて記載 14
- 「熱に関する情報」表の TLV9002SIRUG パッケージからプレビュー版の注を削除 16

Changes from Revision I (November 2018) to Revision J (January 2019) **Page**

- TLV9002SIRUGR からプレビューの注記を削除 1
- TLV9004 WQFN(14) パッケージ指定を X2QFN(14) パッケージ指定に変更 1
- 「製品比較」表に RUG パッケージを追加 6
- 「製品比較」表に DGS パッケージを追加 6
- 「製品比較」表にシャットダウン・デバイスを追加 6
- TLV9001 DRL パッケージのピン配置図を変更 7
- TLV9001 DRL パッケージのピンの機能を変更 7
- TLV9002SIRUGR (X2QFN) のピン配置の図からパッケージのプレビュー版の注を削除 7
- TLV9004IRUC の熱に関する情報を追加 16
- 閉ループのゲインと周波数との関係プロットの凡例を変更 20

Changes from Revision H (October 2018) to Revision I (November 2018) **Page**

- 「ESD 定格」表に TLV9002SIDGS を追加 14

Changes from Revision G (September 2018) to Revision H (October 2018) **Page**

- TLV9001 DCK パッケージを TLV9001T DCK パッケージに変更 7

Changes from Revision F (August 2018) to Revision G (September 2018) **Page**

- 「製品比較」表を追加 6
- すべてのデバイスとすべてのパッケージについてピン名を変更 7
- 一部の TLV9001 ピンのピン名と I/O 指定を変更 7
- 「ピンの機能：TLV9004」表の「SOIC、TSSOP」列で V+ のピン番号を変更 7

Copyright © 2022 Texas Instruments Incorporated

Changes from Revision E (July 2018) to Revision F (August 2018) **Page**

- 低コスト・アプリケーション向けのスケーラブルな CMOS アンプを追加 1
- TSSOP パッケージの TLV9002 および TLV9004 からプレビュー指定を削除 1
- 「ピン構成および機能」セクションに TLV9001U DBV (SOT-23) ピン配置の図を追加 7
- 「ピンの機能」セクションに SOT-23 U のピン配置を追加 7

Changes from Revision D (June 2018) to Revision E (July 2018) **Page**

- 「*概要*」セクションの誤字を訂正 1
- 「*製品情報*」表に TLV9001 5 ピン X2SON パッケージを追加 1
- 「*製品情報*」表に TLV9001S 6 ピン SOT-23 パッケージを追加 1
- 「*製品情報*」表に TLV9004 14 ピンおよび 16 ピン WQFN パッケージを追加 1
- 「ピン構成および機能」セクションに TLV9001 DPW (X2SON) ピン配置の図を追加 7
- 「ピン構成および機能」セクションに TLV9001S 6 ピン SOT-23 パッケージを追加 7
- 「ピン構成および機能」セクションに TLV9004 RTE のピン配置の情報を追加 7
- 「熱に関する情報：TLV9001」表に DPW (X2SON) および DRL (SOT-553) パッケージを追加 15
- 「仕様」セクションに「熱に関する情報：TLV9001S」表を追加 15
- 「熱に関する情報：TLV9002」表に RUG (X2QFN) パッケージを追加 15
- 「熱に関する情報：TLV9004」表に RTE (WQFN) および RUC (WQFN) パッケージを追加 16

Changes from Revision C (May 2018) to Revision D (June 2018) **Page**

- 「*概要*」セクションにシャットダウンのテキストを追加 1
- 「*製品情報*」表に TLV9002S および TLV9004S デバイスを追加 1
- 「*製品情報*」表に TLV9002S 10 ピン X2QFN パッケージを追加 1
- 「ピン構成および機能」セクションに TLV9002S DGS パッケージのピン配置情報を追加 7
- 「仕様」セクションに「熱に関する情報：TLV9001」表を追加 15
- 「仕様」セクションに「熱に関する情報：TLV9004」表を追加 16
- 「電気的特性：V_S (合計電源電圧) = (V+) - (V-) = 1.8V～5.5V」表にシャットダウンのセクションを追加 17
- 「アプリケーション」セクションを追加 28

Changes from Revision B (March 2018) to Revision C (May 2018) **Page**

- 「*製品情報*」表に TLV9002 16 ピン TSSOP パッケージを追加 1
- 「*製品情報*」表に TLV9002 10 ピン X2QFN パッケージを追加 1
- 「ピン構成および機能」セクションに TLV9002S DGS パッケージのピン配置の図を追加 7
- 「ピン構成および機能」セクションに TLV9004 のピン配置図とピン構成表を追加 7
- 「ピン構成および機能」セクションに TLV9004S のピン配置図とピン構成表を追加 7
- TLV9002 D (SOIC) の接合部から周囲への熱抵抗値を 147.4°C/W から 207.9°C/W に変更 15
- TLV9002 D (SOIC) の接合部からケース (上面) への熱抵抗を 94.3°C/W から 92.8°C/W に変更 15
- TLV9002 D (SOIC) の接合部から基板への熱抵抗を 89.5°C/W から 129.7°C/W に変更 15
- TLV9002 D (SOIC) の接合部から上面への特性パラメータを 47.3°C/W から 26°C/W に変更 15
- TLV9002 D (SOIC) の接合部から基板への特性パラメータを 89°C/W から 127.9°C/W に変更 15
- 「熱に関する情報：TLV9002」表に DGK (VSSOP) の熱に関する情報を追加 15
- 「熱に関する情報：TLV9002」表に TLV9002PW (TSSOP) の熱に関する情報を追加 15
- 「熱に関する情報：TLV9002」表に PW (TSSOP) の熱に関する情報を追加 16

Changes from Revision A (December 2017) to Revision B (March 2018) **Page**

- 「*製品情報*」表で、TLV9001 パッケージ、TLV9004 パッケージ、TLV9002 8 ピン VSSOP パッケージに、パッケージ・プレビュー版の注記を追加 1
- 「ピン構成および機能」セクションの TLV9001、TLV9004、TLV9002 VSSOP パッケージのピン配置図にパッケージのプレビュー版の注を追加 7

Copyright © 2022 Texas Instruments Incorporated

- 「ピン構成および機能」セクションの TLV9002 DSG (WSON) のピン配置の図からパッケージのプレビュー版の注を削除.....7
- 「ピン構成および機能」セクションの TLV9002 RUG (X2QFN) のピン配置の図からパッケージのプレビュー版の注を削除.....7
- 「熱に関する情報：TLV9002」表に DSG (WSON) パッケージの熱に関する情報を追加..... 15
- 「熱に関する情報：TLV9002」表の DSG (WSON) パッケージからパッケージのプレビュー版の注を削除.....15
- 「熱に関する情報：TLV9004」表に D (SOIC) パッケージの熱に関する情報を追加.....16

Changes from Revision * (October 2017) to Revision A (December 2017) **Page**

- デバイスのステータスを「事前情報」から「量産データ/混在ステータス」に変更.....1

Copyright © 2022 Texas Instruments Incorporated

5 製品比較表

デバイス	チャネルの数	パッケージのリード														
		SC70 DCK	SOIC D	SOT-23 DBV	SOT-23 DYY	SOT-553 DRL	TSSOP PW	VSSOP DGK	SOT-23 DDF	WQFN RTE	WSON DSG	X2QFN RUC	X2SON DPW	X2QFN RUG	VSSOP DGS	DSBGA YCK
TLV9001	1	5	—	5	—	5	—	—	—	—	—	—	5	—	—	—
TLV9001S		6	—	6	—	—	—	—	—	—	—	—	—	—	—	—
TLV9002	2	—	8	—	—	—	8	8	8	—	8	—	—	—	—	—
TLV9002S		—	—	—	—	—	—	—	—	—	—	—	—	10	10	9
TLV9004	4	—	14	—	14	—	14	—	—	16	—	14	—	—	—	—
TLV9004S		—	—	—	—	—	—	—	—	16	—	—	—	—	—	—

Copyright © 2022 Texas Instruments Incorporated

6 ピン構成および機能

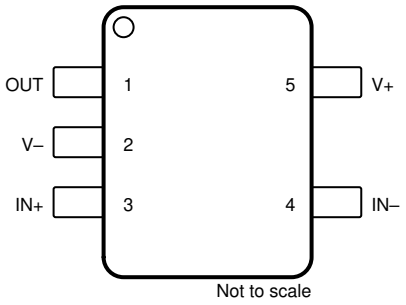


図 6-1. TLV9001 DBV、TLV9001T DCK パッケージ
5 ピン SOT-23、SC70
上面図

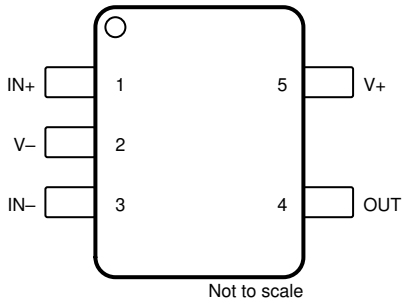


図 6-2. TLV9001 DCK パッケージ、TLV9001 DRL パッケージ、TLV9001U DBV パッケージ
5 ピン SC70、SOT-553、SOT-23
上面図

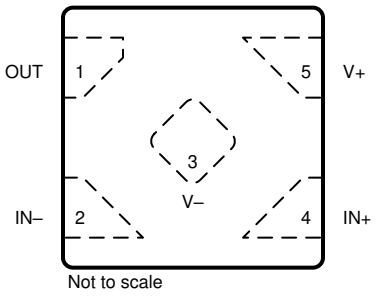


図 6-3. TLV9001 DPW パッケージ
5 ピン X2SON
上面図

表 6-1. ピン機能：TLV9001

ピン				I/O	説明
名称	SOT-23、SC70 (T)	SC70、SOT-23 (U)、SOT-553	X2SON		
IN-	4	3	2	I	反転入力
IN+	3	1	4	I	非反転入力
OUT	1	4	1	O	出力
V-	2	2	3	I または —	負 (Low) 電源またはグランド (単一電源での動作用)
V+	5	5	5	I	正 (High) 電源

Copyright © 2022 Texas Instruments Incorporated

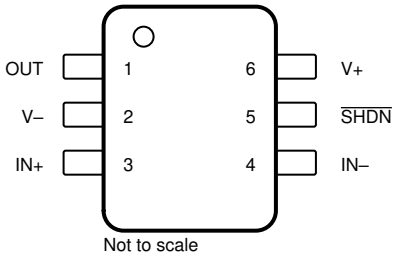


図 6-4. TLV9001S DBV パッケージ
6 ピン SOT-23
(上面図)

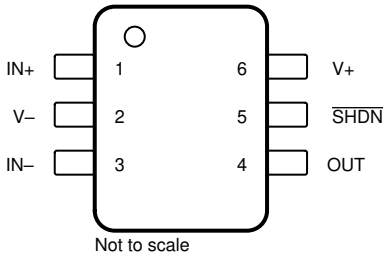


図 6-5. TLV9001S DCK パッケージ
6 ピン SC70
(上面図)

表 6-2. ピン機能：TLV9001S

ピン			I/O	説明
名称	SOT-23	SC70		
IN-	4	3	I	反転入力
IN+	3	1	I	非反転入力
OUT	1	4	O	出力
$\overline{SHDN}$	5	5	I	シャットダウン：Low =アンプがディセーブル、High =アンプがイネーブル。詳細については、セクション 8.5 を参照してください。
V-	2	2	I または—	負 (Low) 電源またはグランド (単一電源での動作用)
V+	6	6	I	正 (High) 電源

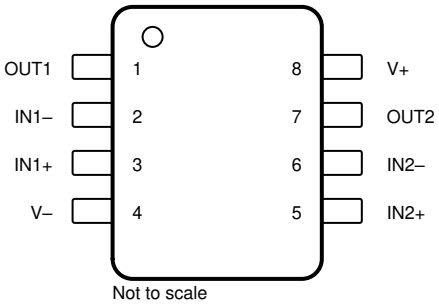
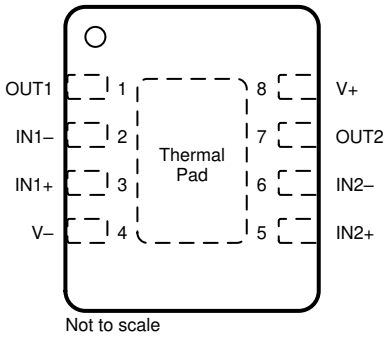


図 6-6. TLV9002 D、DGK、PW、DDF パッケージ
8 ピン SOIC、VSSOP、TSSOP、SOT-23
上面図



A. サーマル・パッドを V- に接続します。

図 6-7. TLV9002 DSG パッケージ
8 ピン WSON (露出サーマル・パッド付き)
上面図

表 6-3. ピンの機能：TLV9002

ピン		I/O	説明
名称	番号		
IN1-	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2-	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V-	4	I または—	負 (Low) 電源またはグランド (単一電源での動作用)

Copyright © 2022 Texas Instruments Incorporated

表 6-3. ピンの機能：TLV9002 (continued)

ピン		I/O	説明
名称	番号		
V+	8	I	正 (High) 電源

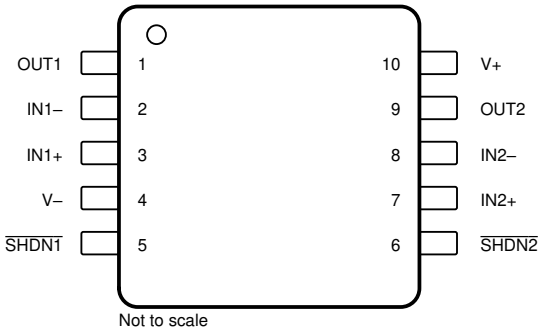


図 6-8. TLV9002S DGS パッケージ
10 ピン VSSOP
上面図

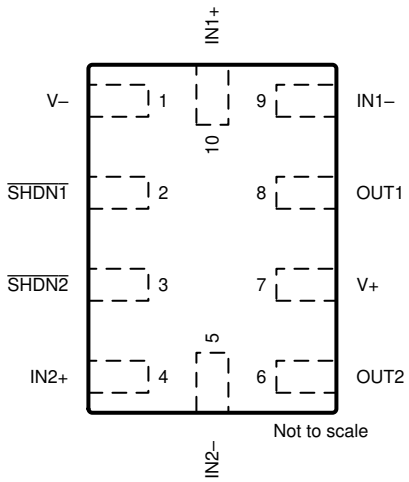


図 6-9. TLV9002S RUG パッケージ
10 ピン X2QFN
上面図

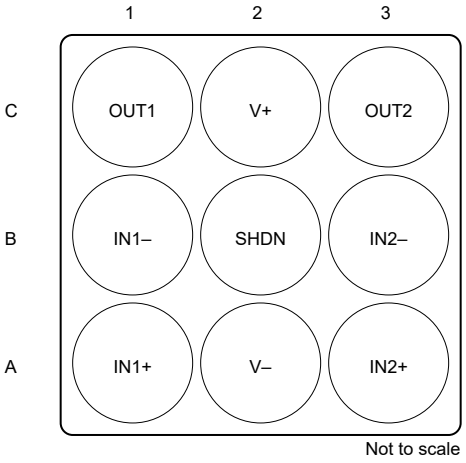


図 6-10. TLV9002S YCK パッケージ
9 ピン DSBGA (WCSP)
底面図

表 6-4. ピンの機能：TLV9002S

ピン				I/O	説明
名称	VSSOP	X2QFN	DSBGA (WCSP)		
IN1-	2	9	B1	I	反転入力、チャネル 1
IN1+	3	10	A1	I	非反転入力、チャネル 1

Copyright © 2022 Texas Instruments Incorporated

表 6-4. ピンの機能：TLV9002S (continued)

ピン				I/O	説明
名称	VSSOP	X2QFN	DSBGA (WCSP)		
IN2-	8	5	B3	I	反転入力、チャネル 2
IN2+	7	4	A3	I	非反転入力、チャネル 2
OUT1	1	8	C1	O	出力、チャネル 1
OUT2	9	6	C3	O	出力、チャネル 2
$\overline{\text{SHDN1}}$	5	2	—	I	シャットダウン：Low=アンプがディセーブル、High=アンプがイネーブル、チャネル 1。詳細については、セクション 8.5 を参照してください。
$\overline{\text{SHDN2}}$	6	3	—	I	シャットダウン：Low=アンプがディセーブル、High=アンプがイネーブル、チャネル 1。詳細については、セクション 8.5 を参照してください。
$\overline{\text{SHDN}}$	—	—	B2		シャットダウン：Low=両方のアンプがディセーブル、High=両方のアンプがイネーブル
V-	4	1	A2	I または—	負 (Low) 電源またはグランド (単一電源での動作用)
V+	10	7	C2	I	正 (High) 電源

Copyright © 2022 Texas Instruments Incorporated

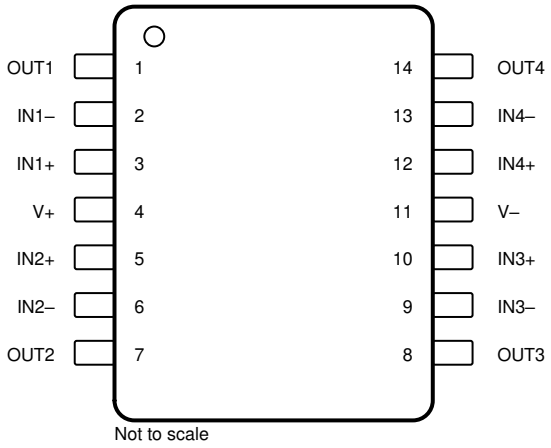


図 6-11. TLV9004 D、DYY、PW パッケージ
14 ピン SOIC、SOT-23 (14)、TSSOP
上面図

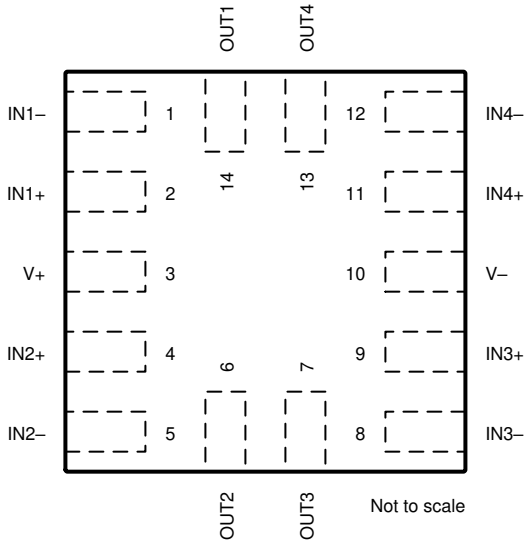
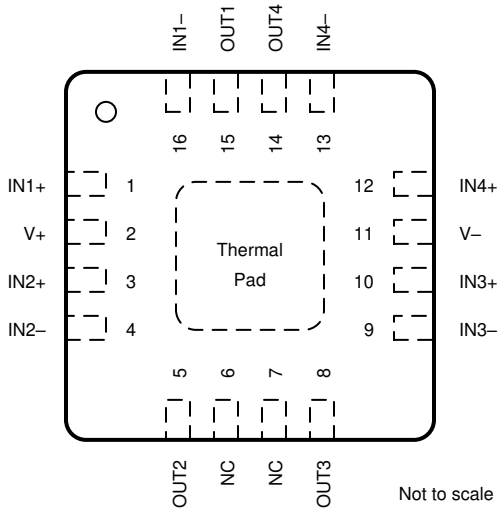


図 6-12. TLV9004 RUC パッケージ
14 ピン X2QFN
上面図



A. サーマル・パッドを V- に接続します。

図 6-13. TLV9004 RTE パッケージ
16 ピン WQFN (露出サーマル・パッド付き)
上面図

表 6-5. ピンの機能：TLV9004

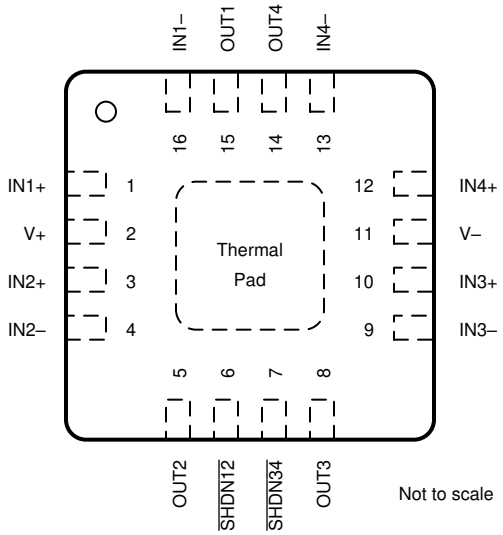
ピン				I/O	説明
名称	SOIC、SOT-23 (14)、TSSOP	WQFN	X2QFN		
IN1-	2	16	1	I	反転入力、チャネル 1
IN1+	3	1	2	I	非反転入力、チャネル 1
IN2-	6	4	5	I	反転入力、チャネル 2

Copyright © 2022 Texas Instruments Incorporated

表 6-5. ピンの機能：TLV9004 (continued)

ピン				I/O	説明
名称	SOIC、SOT-23 (14)、TSSOP	WQFN	X2QFN		
IN2+	5	3	4	I	非反転入力、チャネル 2
IN3-	9	9	8	I	反転入力、チャネル 3
IN3+	10	10	9	I	非反転入力、チャネル 3
IN4-	13	13	12	I	反転入力、チャネル 4
IN4+	12	12	11	I	非反転入力、チャネル 4
NC	—	6、7	—	—	内部接続なし
OUT1	1	15	14	O	出力、チャネル 1
OUT2	7	5	6	O	出力、チャネル 2
OUT3	8	8	7	O	出力、チャネル 3
OUT4	14	14	13	O	出力、チャネル 4
V-	11	11	10	I または —	負 (Low) 電源またはグランド (単一電源での動作用)
V+	4	2	3	I	正 (High) 電源

Copyright © 2022 Texas Instruments Incorporated



A. サーマル・パッドを V- に接続します。

図 6-14. TLV9004S RTE パッケージ
16 ピン WQFN (露出サーマル・パッド付き)
上面図

表 6-6. ピンの機能：TLV9004S

ピン		I/O	説明
名称	番号		
IN1+	1	I	非反転入力
IN1-	16	I	反転入力
IN2+	3	I	非反転入力
IN2-	4	I	反転入力
IN3+	10	I	非反転入力
IN3-	9	I	反転入力
IN4+	12	I	非反転入力
IN4-	13	I	反転入力
$\overline{\text{SHDN12}}$	6	I	シャットダウン：Low=アンプがディセーブル、High=アンプがイネーブル、チャネル 1 および 2。詳細については、セクション 8.5 を参照してください。
$\overline{\text{SHDN34}}$	7	I	シャットダウン：Low=アンプがディセーブル、High=アンプがイネーブル、チャネル 3 および 4。詳細については、セクション 8.5 を参照してください。
OUT1	15	O	出力
OUT2	5	O	出力
OUT3	8	O	出力
OUT4	14	O	出力
V-	11	I または—	負 (Low) 電源またはグランド (単一電源での動作用)
V+	2	I	正 (High) 電源

Copyright © 2022 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
電源電圧 (V+) - (V-)				7	V
信号入力ピン	電圧(2)	同相	(V-) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V-) + 0.2	V
	電流(2)		-10	10	mA
出力短絡(3)			連続		
動作、T_A			-55	150	°C
接合部、T_J				150	°C
保存、T_{stg}			-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) 入力ピンは、電源レールに対してダイオード・クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
(3) グランドへの短絡、1 パッケージ当たり 1 アンプ。

7.2 ESD 定格

TLV9002S パッケージ			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±1500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±1500	
他のすべてのパッケージ				
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

7.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧	1.8	5.5	V
T_A	仕様温度範囲	-40	125	°C

Copyright © 2022 Texas Instruments Incorporated

7.4 熱に関する情報：TLV9001

熱評価基準 (1)		TLV9001				単位
		DBV (SOT-23)	DCK (SC70)	DPW (X2SON)	DRL (SOT-553)(2)	
		5 ピン	5 ピン	5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	232.9	239.6	470.0	未定	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	153.8	148.5	211.9	未定	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	100.9	82.3	334.8	未定	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	77.2	54.5	29.8	未定	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	100.4	81.8	333.2	未定	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。
(2) TLV9001 のこのパッケージ・オプションはプレビュー版のみです。

7.5 熱に関する情報：TLV9001S

熱評価基準 (1)		TLV9001S		単位
		DBV (SOT-23)	DCK (SC70)	
		6 ピン	6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	232.9	215.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	153.8	146.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	100.9	72.0	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	77.2	55.0	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	100.4	71.7	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

7.6 熱に関する情報：TLV9002

熱評価基準 (1)		TLV9002						単位
		D (SOIC)	DGK (VSSOP)	DGS (VSSOP)	DSG (WSON)	PW (TSSOP)	DDF (SOT-23)	
		8 ピン	8 ピン	10 ピン	8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	207.9	201.2	169.5	103.2	200.7	183.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	92.8	85.7	84.1	120.1	95.4	112.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	129.7	122.9	113	68.8	128.6	98.2	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	26	21.2	15.8	14.7	27.2	18.8	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	127.9	121.4	111.6	68.5	127.2	97.6	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

Copyright © 2022 Texas Instruments Incorporated

7.7 熱に関する情報：TLV9002S

熱評価基準 (1)		TLV9002S			単位
		DGS (VSSOP)	RUG (X2QFN)	YCK (DSBGA)	
		10 ピン	10 ピン	9 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	169.5	194.2	101.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	84.1	90.3	0.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	113	122.2	33.8	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	15.8	3.5	0.5	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	111.6	118.8	33.8	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

7.8 熱に関する情報：TLV9004

熱評価基準 (1)		TLV9004					単位
		D (SOIC)	DYY (SOT-23)	PW (TSSOP)	RTE (WQFN)	RUC (X2QFN)	
		14 ピン	14 ピン	14 ピン	16 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.1	154.3	148.3	66.4	205.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	56.8	86.8	68.1	69.3	72.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	58.5	67.9	92.7	41.7	150.2	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	20.5	10.1	16.9	5.7	3.0	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	58.1	67.5	91.8	41.5	149.6	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

7.9 熱に関する情報：TLV9004S

熱評価基準 (1)		TLV9004S	単位
		RTE (WQFN)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	66.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	69.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	41.7	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	5.7	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	41.5	°C/W

(1) 従来および新しい熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

Copyright © 2022 Texas Instruments Incorporated

7.10 電気的特性

V_S = (V+) - (V-) = 1.8V～5.5V (±0.9V～±2.75V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_{OUT} = V_S / 2 の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 5V		±0.4	±1.6	mV
		V_S = 5V、T_A = -40°C～125°C			±2	
dV_{OS}/dT	V_{OS} と温度との関係	T_A = -40°C～125°C		±0.6		µV/°C
PSRR	電源除去比	V_S = 1.8V～5.5V、V_{CM} = (V-)	80	105		dB
入力電圧範囲						
V_{CM}	同相電圧範囲	位相反転なし、レール・ツー・レール入力	(V-) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	V_S = 1.8V、(V-) - 0.1V < V_{CM} < (V+) - 1.4V、T_A = -40°C～125°C		86		dB
		V_S = 5.5V、(V-) - 0.1V < V_{CM} < (V+) - 1.4V、T_A = -40°C～125°C		95		
		V_S = 5.5V、(V-) - 0.1V < V_{CM} < (V+) + 0.1V、T_A = -40°C～125°C	63	77		
		V_S = 1.8V、(V-) - 0.1V < V_{CM} < (V+) + 0.1V、T_A = -40°C～125°C		68		
入力バイアス電流						
I_B	入力バイアス電流	V_S = 5V		±5		pA
I_{OS}	入力オフセット電流			±2		pA
ノイズ						
E_n	入力電圧ノイズ (ピーク・ツー・ピーク)	f = 0.1Hz～10Hz、V_S = 5V		4.7		μV_{PP}
e_n	入力電圧ノイズ密度	f = 1kHz、V_S = 5V		30		nV/√Hz
		f = 10kHz、V_S = 5V		27		
i_n	入力電流ノイズ密度	f = 1kHz、V_S = 5V		23		fA/√Hz
入力容量						
C_{ID}	差動			1.5		pF
C_{IC}	同相			5		pF
開ループ・ゲイン						
A_{OL}	開ループ電圧ゲイン	V_S = 5.5V、(V-) + 0.05V < V_O < (V+) - 0.05V、R_L = 10kΩ	104	117		dB
		V_S = 1.8V、(V-) + 0.04V < V_O < (V+) - 0.04V、R_L = 10kΩ		100		
		V_S = 1.8V、(V-) + 0.1V < V_O < (V+) - 0.1V、R_L = 2kΩ		115		
		V_S = 5.5V、(V-) + 0.15V < V_O < (V+) - 0.15V、R_L = 2kΩ		130		
周波数特性						
GBW	ゲイン帯域幅積	V_S = 5V		1		MHz
φ_m	位相マージン	V_S = 5.5V、G = 1		78		°
SR	スルーレート	V_S = 5V		2		V/µs
t_S	セトリング・タイム	0.1% まで、V_S = 5V、2V ステップ、G = +1、C_L = 100pF		2.5		µs
		0.01% まで、V_S = 5V、2V ステップ、G = +1、C_L = 100pF		3		
t_{OR}	過負荷復帰時間	V_S = 5V、V_{IN} × ゲイン > V_S		0.85		µs
THD+N	全高調波歪 + ノイズ	V_S = 5.5V、V_{CM} = 2.5V、V_O = 1V_{RMS}、G = +1、f = 1kHz、測定帯域幅 80kHz		0.004%		
出力						
V_O	電源レールからの電圧出力スイング	V_S = 5.5V、R_L = 10kΩ		10	20	mV
		V_S = 5.5V、R_L = 2kΩ		35	55	
I_{SC}	短絡電流	V_S = 5.5V		±40		mA

Copyright © 2022 Texas Instruments Incorporated

7.10 電気的特性 (continued)

V_S = (V+) - (V-) = 1.8V～5.5V (±0.9V～±2.75V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_{OUT} = V_S / 2 の場合 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
Z_O	開ループ出力インピーダンス	V_S = 5V、f = 1MHz		1200		Ω

Copyright © 2022 Texas Instruments Incorporated

7.10 電気的特性 (continued)

V_S = (V+) - (V-) = 1.8V～5.5V (±0.9V～±2.75V)、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_{OUT} = V_S / 2 の場合 (特に記述のない限り)

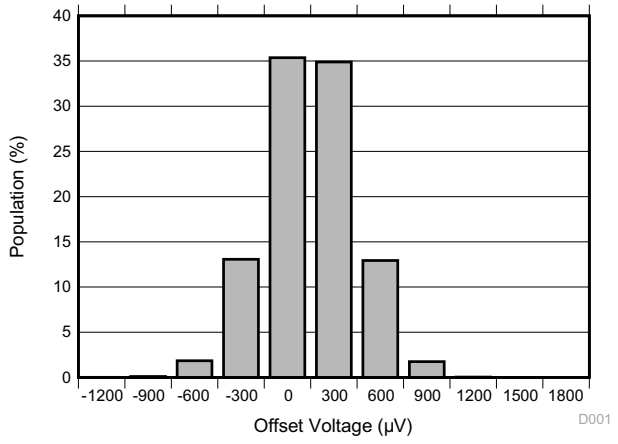
パラメータ		テスト条件		最小値	標準値	最大値	単位
電源							
V_S	規定電圧範囲			1.8 (±0.9)		5.5 (±2.75)	V
I_Q	アンプごとの静止電流	TLV9002、TLV9002S、TLV9004、TLV9004S	I_O = 0mA、V_S = 5.5V		60	75	μA
		TLV9001、TLV9001S	I_O = 0mA、V_S = 5.5V		60	77	
		I_O = 0mA、V_S = 5.5V、T_A = -40°C～125°C				85	
シャットダウン機能(1)							
I_{QSD}	アンプごとの静止電流	V_S = 1.8V～5.5V、すべてのアンプがディセーブル、$\overline{SHDN}$ = V_S-			0.5	1.5	μA
Z_{SHDN}	シャットダウン時の出力インピーダンス	V_S = 1.8V～5.5V、アンプがディセーブル			10 || 2		GΩ || pF
	High レベル電圧のシャットダウン・スレッショルド (アンプがイネーブル)	V_S = 1.8V～5.5V			(V-) + 0.9	(V-) + 1.1	V
	Low レベル電圧のシャットダウン・スレッショルド (アンプがディセーブル)	V_S = 1.8V～5.5V		(V-) + 0.2V	(V-) + 0.7V		V
t_{ON}	アンプのイネーブル時間 (フル・シャットダウン)	V_S = 1.8V～5.5V、フル・シャットダウン、G = 1、V_{OUT} = 0.9 × V_S / 2、R_L を V- に接続			70		μs
	アンプのイネーブル時間 (部分的シャットダウン)	V_S = 1.8V～5.5V、部分的シャットダウン、G = 1、V_{OUT} = 0.9 × V_S / 2、R_L を V- に接続			50		
t_{OFF}	アンプのディセーブル時間	V_S = 1.8V～5.5V、G = 1、V_{OUT} = 0.1 × V_S / 2、R_L を V- に接続			4		μs
	$\overline{SHDN}$ ピンの入力バイアス電流 (ピンごとの)	V_S = 1.8V～5.5V、V+ ≧ $\overline{SHDN}$ ≧ (V+) - 0.8V			40		nA
		V_S = 1.8V～5.5V、V- ≦ $\overline{SHDN}$ ≦ (V-) + 0.8V			150		

(1) 設計と特性評価による仕様で、製造テストは行われていません。

Copyright © 2022 Texas Instruments Incorporated

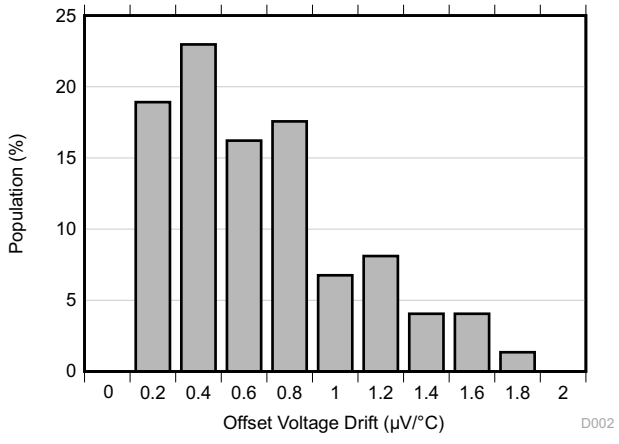
7.11 代表的特性

T_A = 25℃、V+ = 2.75V、V- = -2.75V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



V_S = 5V

図 7-1. オフセット電圧の分布ヒストグラム



V_S = 5V、T_A = -40°C～125°C

図 7-2. オフセット電圧ドリフトの分布ヒストグラム

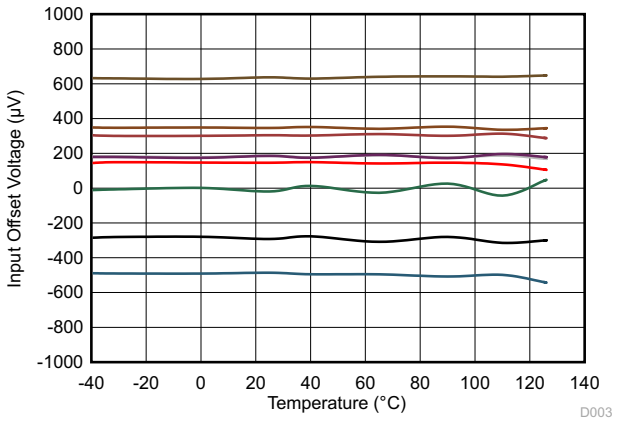


図 7-3. 入力オフセット電圧と温度との関係

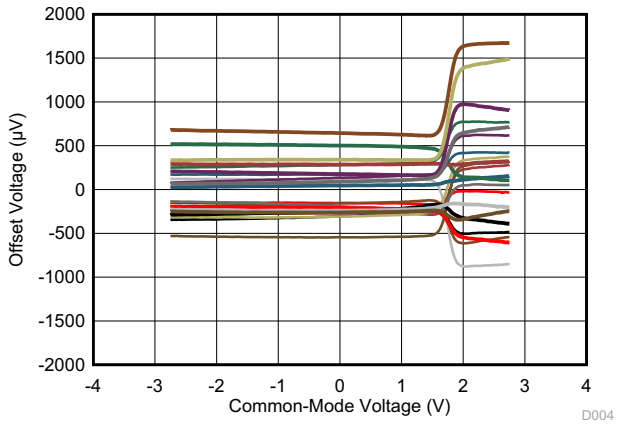


図 7-4. オフセット電圧と同相との関係

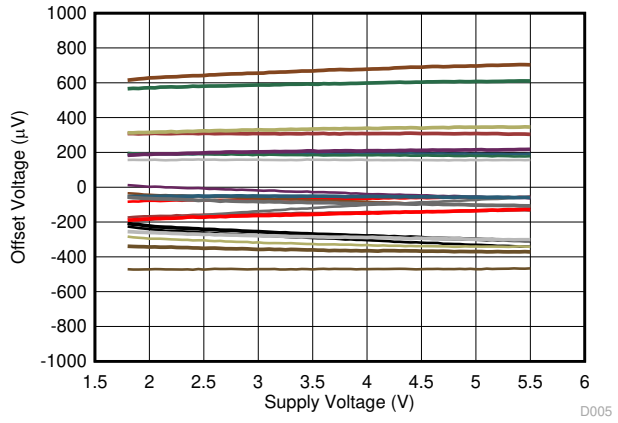


図 7-5. オフセット電圧と電源電圧との関係

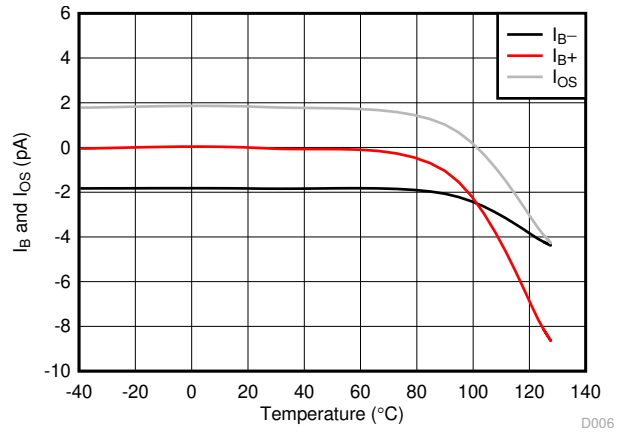


図 7-6. I_B および I_{OS} と温度との関係

Copyright © 2022 Texas Instruments Incorporated

7.11 代表的特性 (continued)

T_A = 25℃、V+ = 2.75V、V- = -2.75V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)

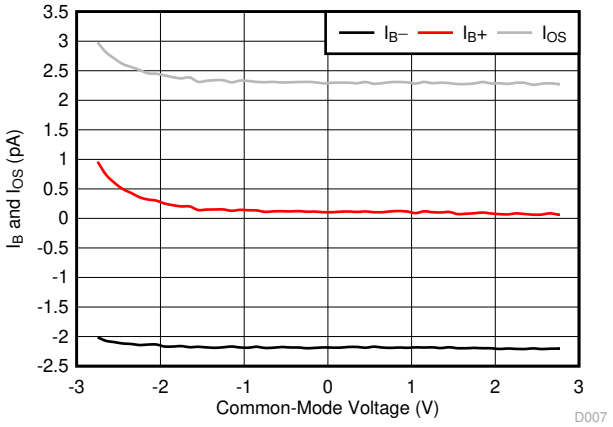


図 7-7. I_B および I_{OS} と同相電圧との関係

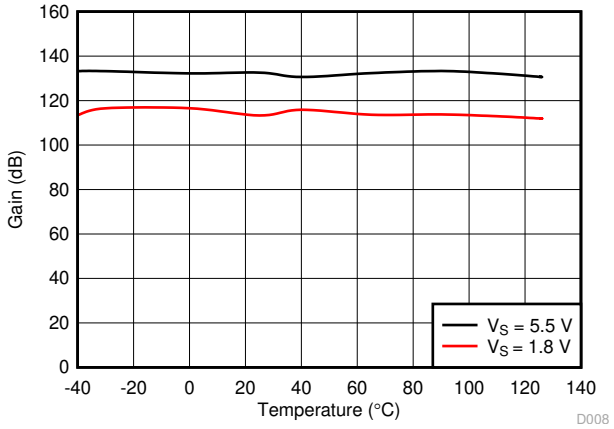
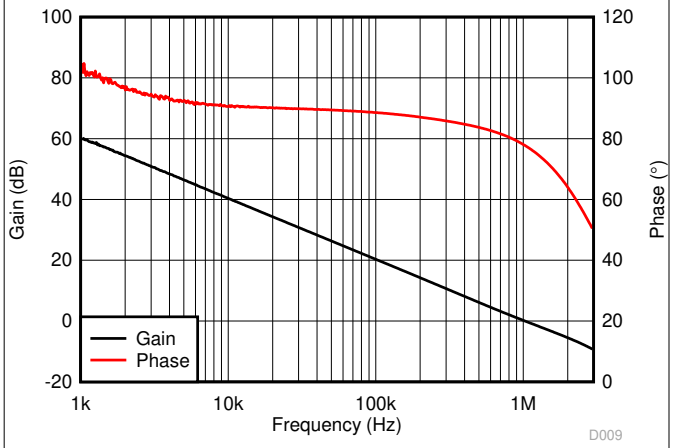


図 7-8. 開ループのゲインと温度との関係



C_L = 10pF

図 7-9. 開ループのゲインおよび位相と周波数との関係

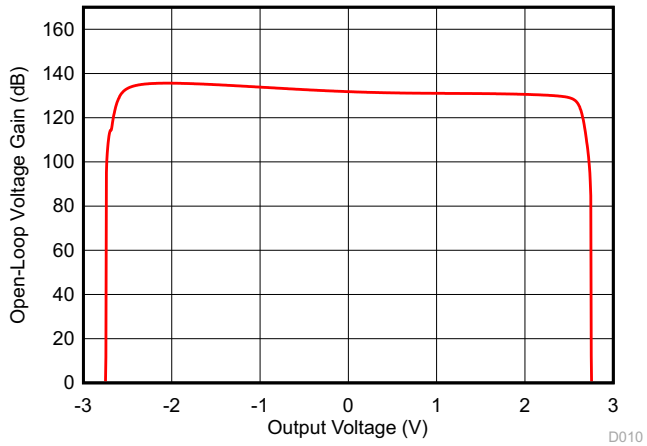
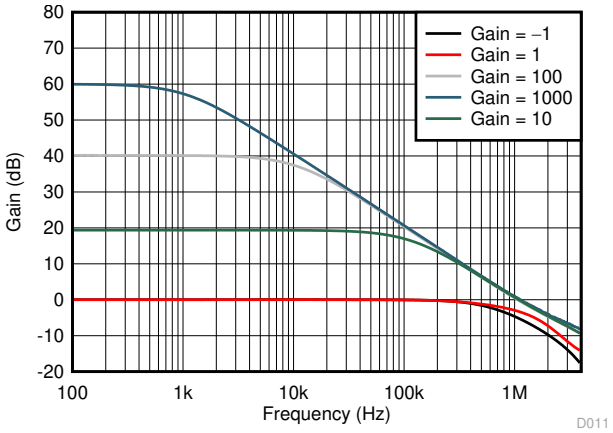


図 7-10. 開ループのゲインと出力電圧との関係



C_L = 10pF

図 7-11. 閉ループのゲインと周波数との関係

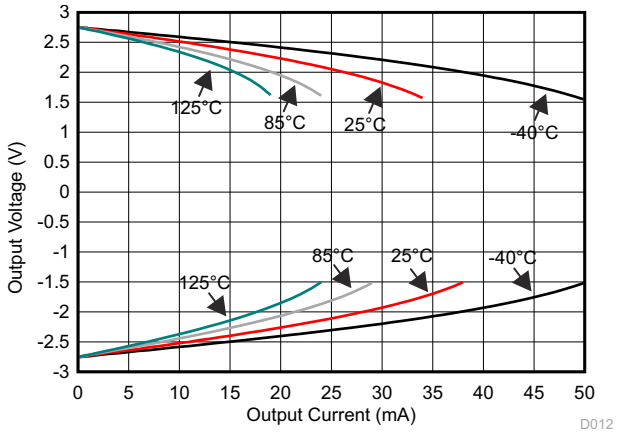


図 7-12. 出力電圧と出力電流との関係 (クロウ)

7.11 代表的特性 (continued)

T_A = 25℃、V+ = 2.75V、V- = -2.75V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)

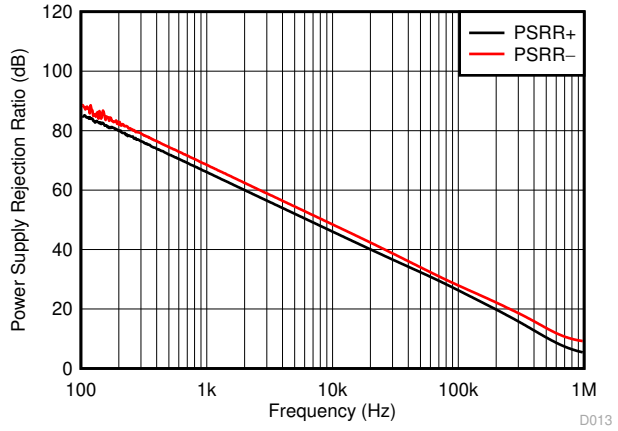
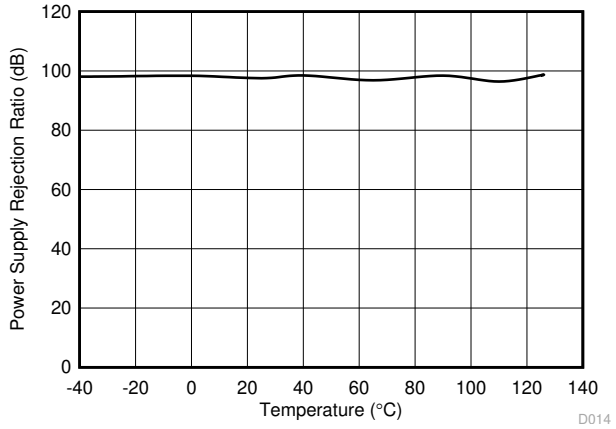


図 7-13. PSRR と周波数との関係



V_S = 1.8V～5.5V

図 7-14. DC PSRR と温度との関係

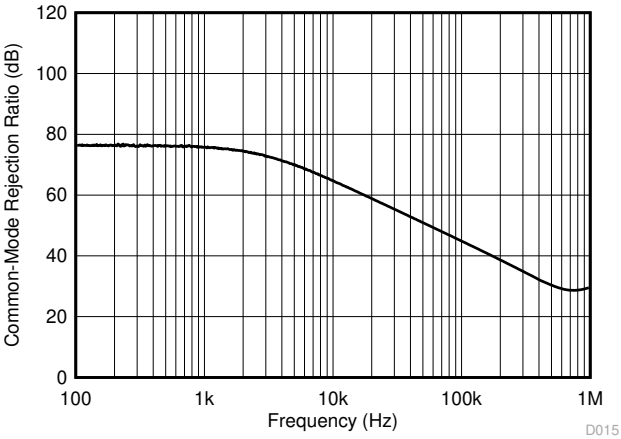
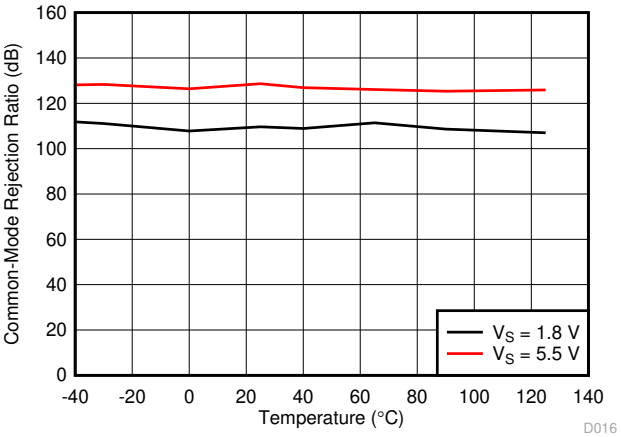


図 7-15. CMRR と周波数との関係



V_{CM} = (V-) - 0.1V～(V+) - 1.4V

図 7-16. DC CMRR と温度との関係

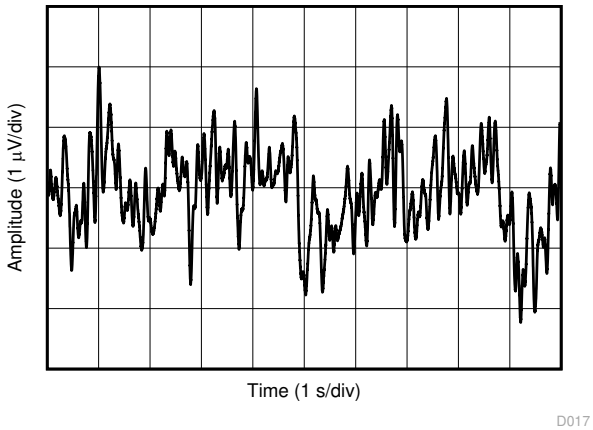


図 7-17. 0.1Hz～10Hz の統合電圧ノイズ

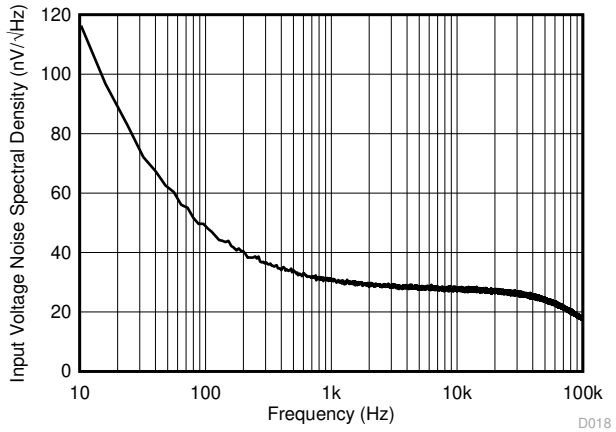
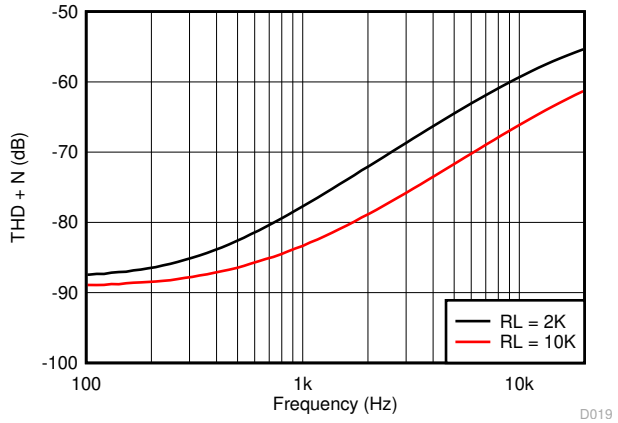


図 7-18. 入力電圧のノイズ・スペクトル密度

Copyright © 2022 Texas Instruments Incorporated

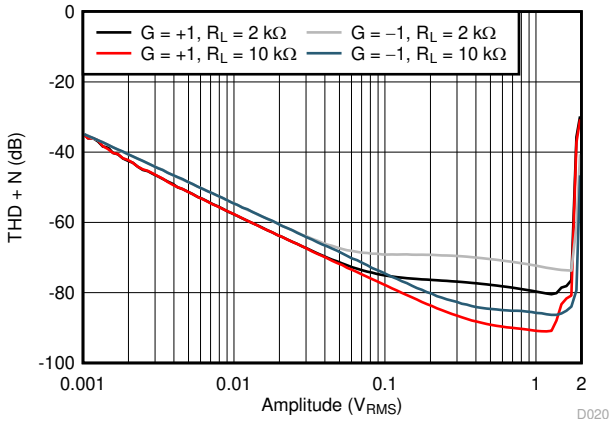
7.11 代表的特性 (continued)

T_A = 25℃、V+ = 2.75V、V- = -2.75V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



V_S = 5.5V　　V_{CM} = 2.5V　　G = 1
BW = 80kHz　　V_{OUT} = 0.5V_{RMS}

図 7-19. THD+N と周波数との関係



V_S = 5.5V　　V_{CM} = 2.5V　　f = 1kHz
G = 1　　BW = 80kHz

図 7-20. THD+N と振幅との関係

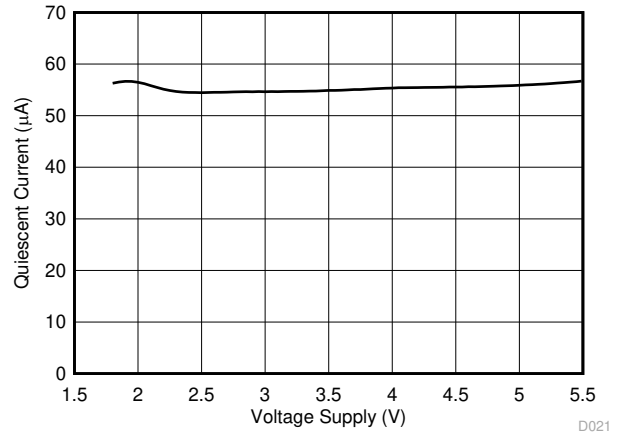


図 7-21. 静止電流と電源電圧との関係

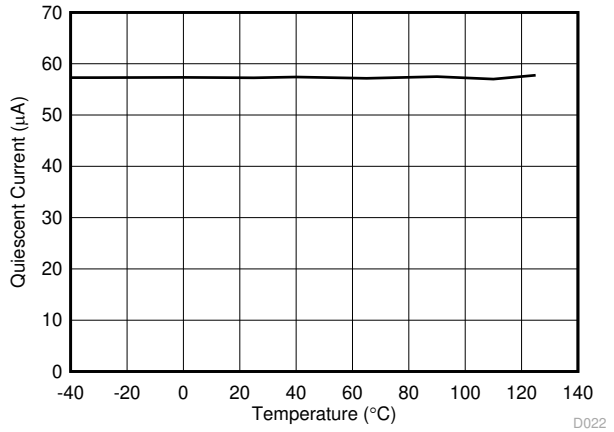


図 7-22. 静止電流と温度との関係

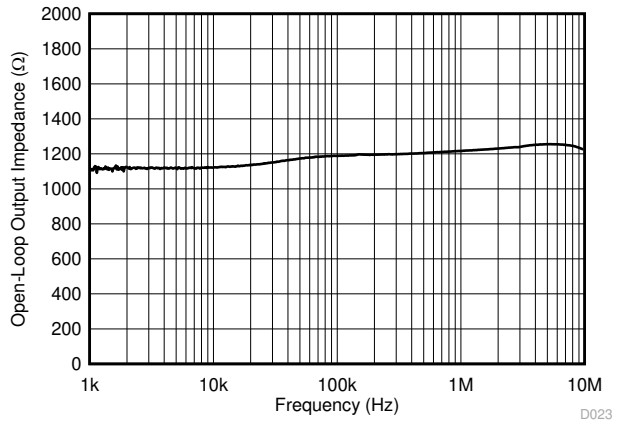
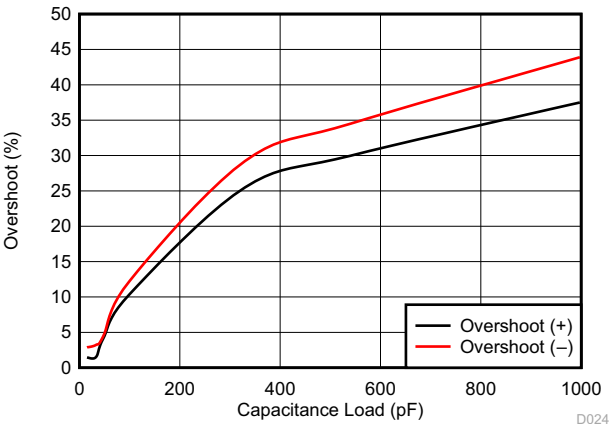


図 7-23. 開ループ出力インピーダンスと周波数との関係

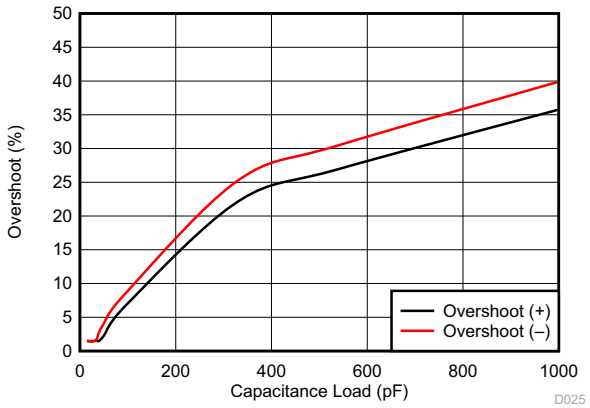


G = 1　　V_{IN} = 100mVpp

図 7-24. 小信号オーバーシュートと容量性負荷との関係

7.11 代表的特性 (continued)

T_A = 25℃、V+ = 2.75V、V- = -2.75V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



G = -1　　V_{IN} = 100mVpp

図 7-25. 小信号オーバーシュートと容量性負荷との関係

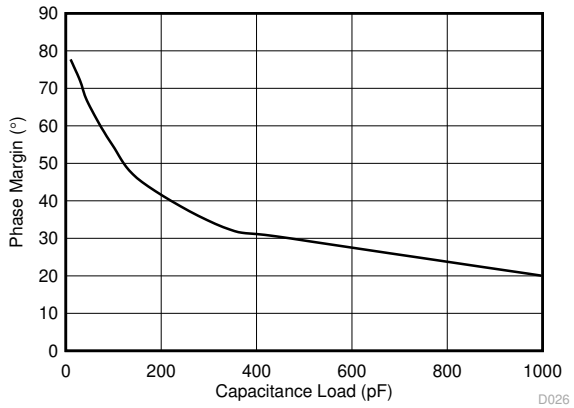
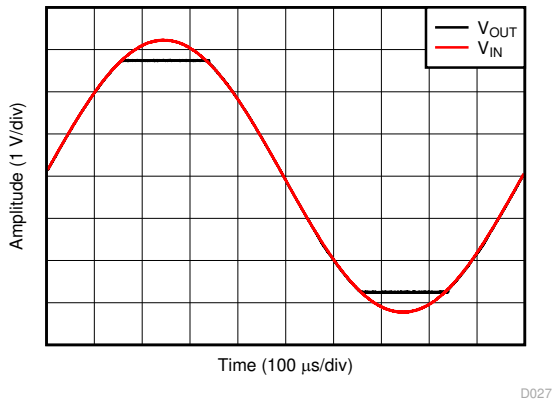
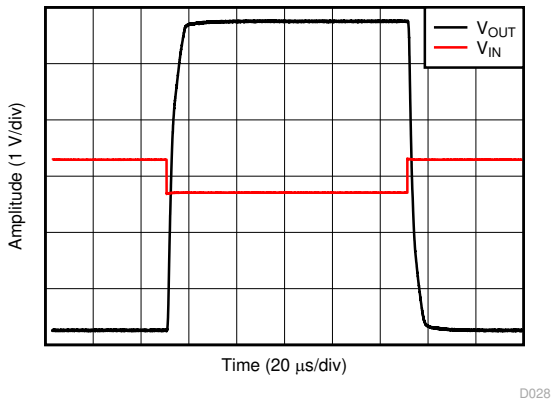


図 7-26. 位相マージンと容量性負荷との関係



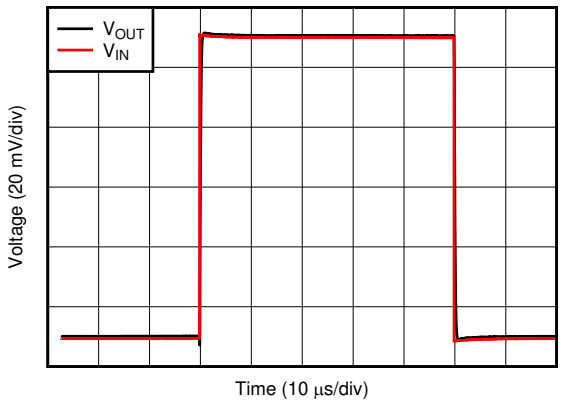
G = 1　　V_{IN} = 6.5V_{PP}

図 7-27. 位相反転なし



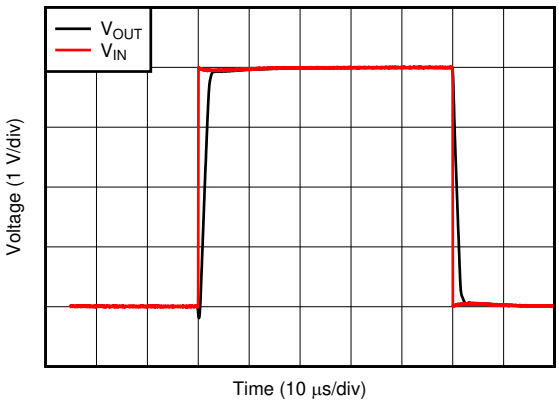
G = -10　　V_{IN} = 600mV_{PP}

図 7-28. 過負荷からの回復



G = 1　　V_{IN} = 100mV_{PP}　　C_L = 10pF

図 7-29. 小信号ステップ応答



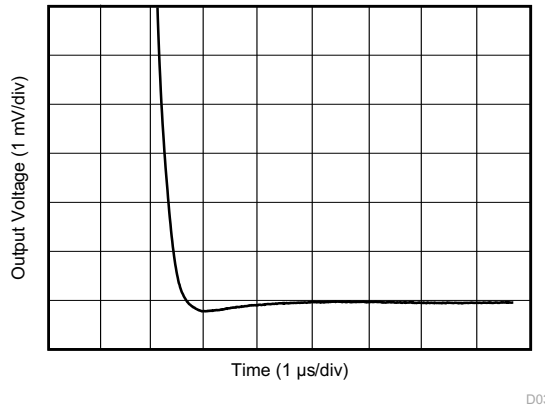
G = 1　　V_{IN} = 4V_{PP}　　C_L = 10pF

図 7-30. 大信号ステップ応答

Copyright © 2022 Texas Instruments Incorporated

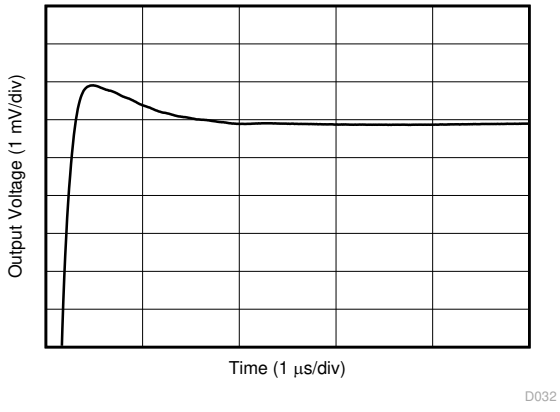
7.11 代表的特性 (continued)

T_A = 25℃、V+ = 2.75V、V- = -2.75V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



G = 1　　C_L = 100pF　　2V ステップ

図 7-31. 大信号のセトリング・タイム (負)



G = 1　　C_L = 100pF　　2V ステップ

図 7-32. 大信号のセトリング・タイム (正)

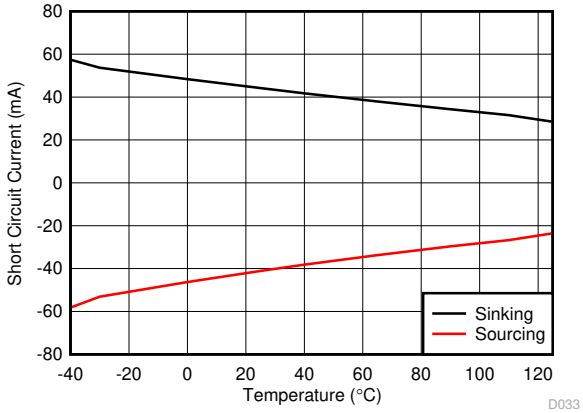


図 7-33. 短絡電流と温度との関係

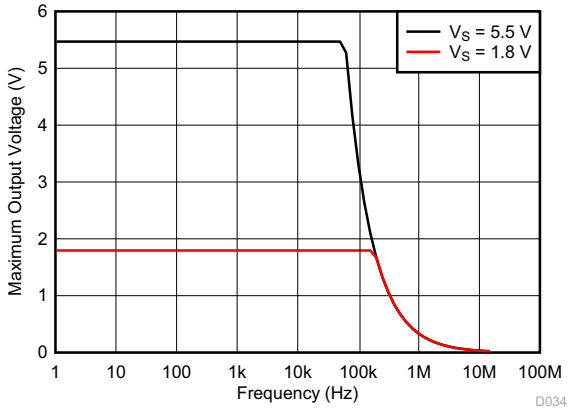


図 7-34. 最大出力電圧と周波数との関係

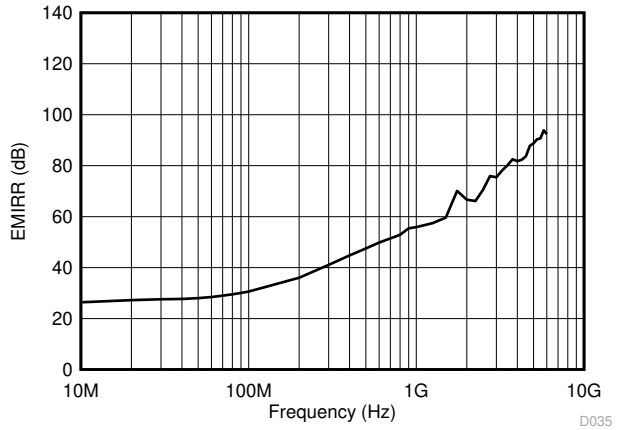


図 7-35. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係

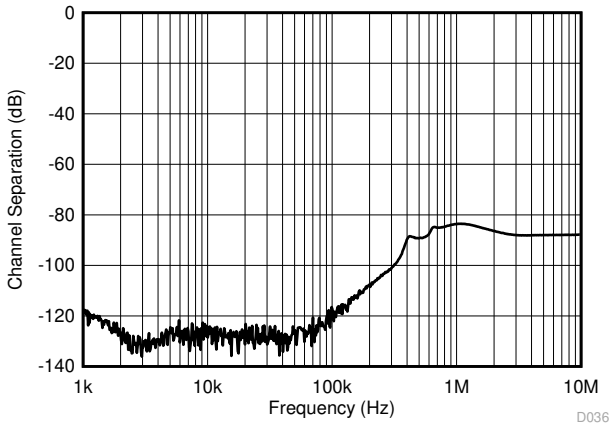


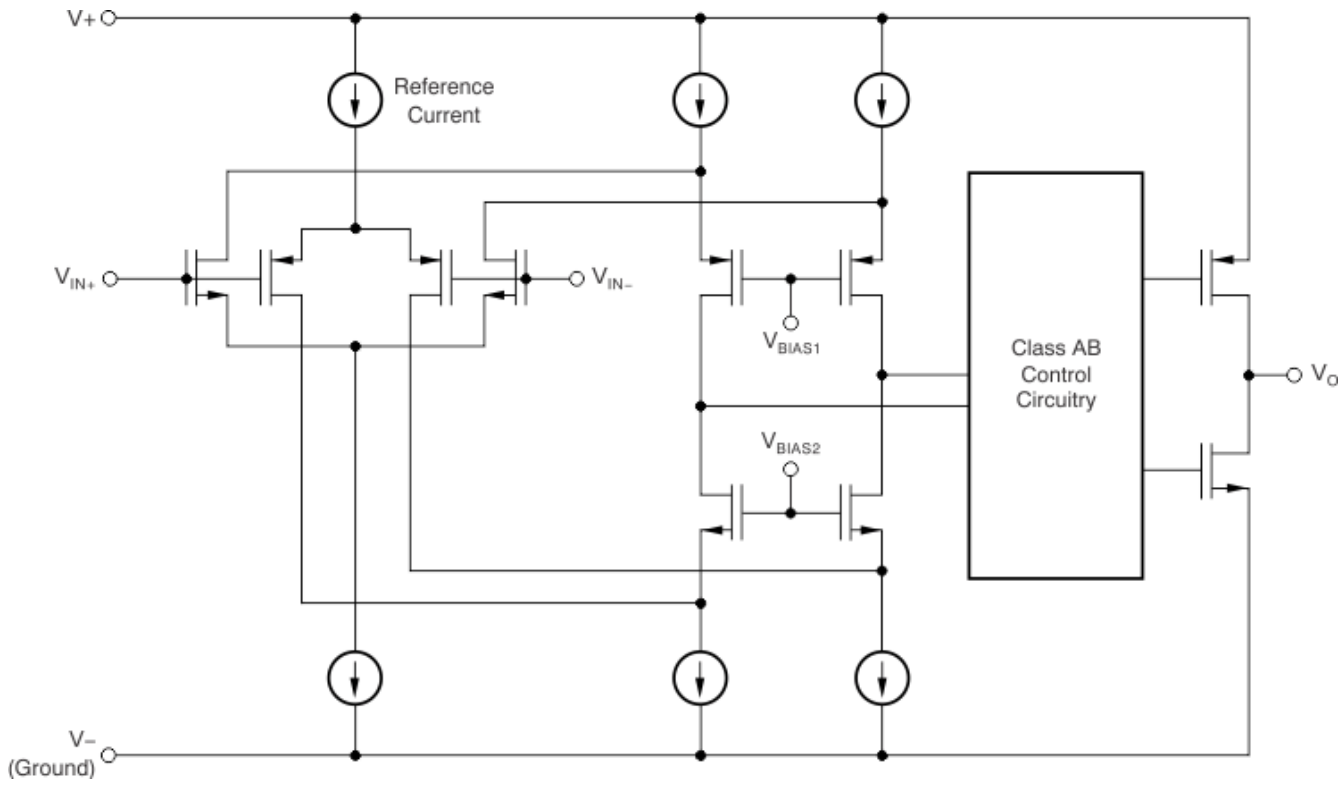
図 7-36. チャネル・セパレーション

8 詳細説明

8.1 概要

TLV900x は、低消費電力のレール・ツー・レール入力および出力オペアンプのファミリです。これらのデバイスは、1.8V～5.5V で動作し、ユニティ・ゲイン安定で、幅広い汎用アプリケーション用に設計されています。入力同相電圧範囲に両方のレールが含まれているため、TLV900x ファミリは事実上すべての単一電源アプリケーションで使用できます。レール・ツー・レールの入力および出力スイングにより、特に低電源アプリケーションでダイナミック・レンジが大幅に拡大し、サンプリング A/D コンバータ (ADC) の駆動に適しています。

8.2 機能ブロック図



Copyright © 2022 Texas Instruments Incorporated

8.3 機能説明

8.3.1 動作電圧

TLV900x ファミリのオペアンプは 1.8V～5.5V で動作します。また、入力オフセット電圧、静止電流、オフセット電流、短絡電流など多くの仕様は、-40℃～125℃で適用されます。動作電圧または温度によって大きく変動するパラメータを、セクション 7.11 に示します。

8.3.2 レール・ツー・レール入力

TLV900x ファミリの入力同相電圧範囲は、1.8V～5.5V の電源電圧範囲全体で、電源レールを 100mV 超えています。この性能は、補完的な入力段によって実現されます。セクション 8.2 に示すように、N チャネル入力差動ペアを P チャネル差動ペアと並列に接続します。N チャネル・ペアは、正のレールに近い入力電圧についてアクティブになります。通常は (V+) - 1.4V から、正の電源電圧よりも 100mV 高い電圧までです。一方、P チャネル・ペアは負の電源電圧より 100mV 下から、(V+) - 1.4V 程度までの入力についてアクティブになります。小さい遷移領域があり、通常は (V+) - 1.2V～(V+) - 1V の範囲で両方のペアがオンになります。この 100mV の遷移領域は、プロセスのバラツキにより、100mV 程度まで変動することがあります。したがって、遷移領域 (両方の段がオン) は、Low 側では (V+) - 1.4V～(V+) - 1.2V、High 側では (V+) - 1V～(V+) - 0.8V までの範囲になることがあります。この遷移領域内では、PSRR、CMRR、オフセット電圧、オフセット・ドリフト、THD が、この領域の外での動作より劣化することがあります。

8.3.3 レール・ツー・レール出力

TLV900x ファミリは、低消費電力、低電圧のオペアンプとして設計されており、堅牢な出力駆動能力を実現します。共通ソースのトランジスタを持つ Class-AB 出力段により、レール・ツー・レールの出力スイング能力が得られます。抵抗性負荷が 10kΩ の場合、印加されている電源電圧に関係なく、どちらの電源レールに対しても出力が 20mV 以内までスイングします。アンプがレールのすぐ近くまでスイングできるかどうかは、負荷条件によって変化します。

8.3.4 EMI 除去

TLV900x は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品を組み合わせた高密度実装の基板などのソースから引き起こされる、EMI の影響を軽減します。EMI 耐性は、回路設計手法により改善可能です。TLV900x は、このような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。TLV900x でこのテストを行った結果を、図 8-1 に示します。実際のアプリケーションで一般的に発生する特定の周波数における TLV900x の EMIRR IN+ 値を、表 8-1 に示します。「オペアンプの EMI 除去率」アプリケーション・レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.ti.com からダウンロードできます。

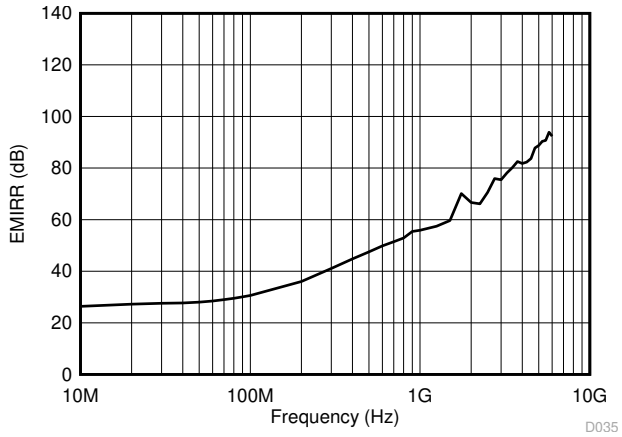


図 8-1. EMIRR テスト

表 8-1. 対象周波数における TLV900x の EMIRR IN+

周波数	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、超高周波 (UHF) アプリケーション	59.5dB

表 8-1. 対象周波数における TLV900x の EMIRR IN+ (continued)

周波数	アプリケーションまたは割り当て	EMIRR IN+
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル・システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	68.9dB
1.8GHz	GSM アプリケーション、モバイル・パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	77.8dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル・パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	78.0dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	88.8dB

8.4 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは線形状態に回復するための時間を必要とします。チャージ・キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLV900x ファミリの過負荷復帰時間は約 850ns です。

8.5 シャットダウン

TLV9001S、TLV9002S、TLV9004S の各デバイスには $\overline{\text{SHDN}}$ ピンが搭載されており、オペアンプをディセーブルして、低消費電力のスタンバイ・モードに移行できます。このモードでは、オペアンプの消費電流は通常 1µA 未満です。$\overline{\text{SHDN}}$ ピンはアクティブ Low なので、$\overline{\text{SHDN}}$ ピンへの入力が有効なロジック High のとき、シャットダウン・モードがイネーブルになります。

$\overline{\text{SHDN}}$ ピンは、オペアンプの負の電源電圧を基準としています。シャットダウン機能のスレッショルドは約 620mV (標準値) で、電源電圧に応じて変化しません。スムーズなスイッチング特性を確保するため、スイッチング・スレッショルドにはヒステリシスが含まれています。最適なシャットダウン動作を確保するため、$\overline{\text{SHDN}}$ ピンは有効なロジック信号で駆動する必要があります。有効なロジック Low は、V- と V- + 0.2V の間の電圧と定義され、有効なロジック High は、V- + 1.2V と V+ の間の電圧と定義されます。シャットダウン・ピン回路にはプルダウン抵抗が内蔵されており、シャットダウン・ピンが駆動されていないとき、ピンの電圧は本質的に正の電源レールにプルされます。したがって、アンプをイネーブルするには、$\overline{\text{SHDN}}$ ピンをフローティングのままにするか、有効なロジック High に駆動します。アンプをディセーブルするには、$\overline{\text{SHDN}}$ ピンを有効なロジック Low に駆動する必要があります。シャットダウン・ピンは、有効な High 電圧または Low 電圧に接続するか、駆動することを強くお勧めしますが、VCC に接続されたプルアップ抵抗が含まれています。$\overline{\text{SHDN}}$ ピンで許容される最大電圧は (V+) + 0.5V です。この電圧レベルを超えると、デバイスが損傷します。

$\overline{\text{SHDN}}$ ピンは高インピーダンスの CMOS 入力です。デュアル・オペアンプのバージョンは独立に、クワッド・オペアンプのバージョンはペア単位で、ロジック入力により制御されます。バッテリ駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリ駆動時間を延長することができます。イネーブル時間は、すべてのチャネルのフル・シャットダウン時に 70µs、ディセーブル時間は 4µs です。ディセーブル状態のとき、出力は高インピーダンス状態です。このアーキテクチャにより、TLV9002S および TLV9004S はゲート付きアンプとして動作します (または、デバイス出力を共通のアナログ出力バスに多重化することもできます)。シャットダウン時間 (t_{OFF}) は負荷条件に依存し、負荷抵抗が増加すると増加します。特定のシャットダウン時間内にシャットダウン (ディセーブル) を確実に実行するには、指定された 10kΩ 負荷を中間電源 (V_S / 2) に接続する必要があります。TLV9001S、TLV9002S、TLV9004S を負荷なしで使用すると、結果的にターンオフ時間が大幅に増加します。

8.6 デバイスの機能モード

TLV900x ファミリの機能モードは 1 つです。デバイスは、電源電圧が 1.8V (±0.9V) と 5.5V (±2.75V) の範囲内である限り、パワーオン状態です。

Copyright © 2022 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性または完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TLV900x ファミリの低消費電力、レール・ツー・レール入力および出力オペアンプは、ポータブル・アプリケーションに特化して設計されています。これらのデバイスは、1.8V～5.5V で動作し、ユニティ・ゲイン安定で、幅広い汎用アプリケーションに適しています。Class-AB の出力段は、V+ と V- との間の任意のポイントに接続される 10kΩ 以下の負荷を駆動できます。入力同相電圧範囲に両方のレールが含まれており、TLV900x デバイスは多くの単一電源アプリケーションで使用できます。

9.2 代表的なアプリケーション

9.2.1 TLV900x ローサイド電流検出アプリケーション

ローサイド電流検出アプリケーションとして構成された TLV900x を、図 9-1 に示します。

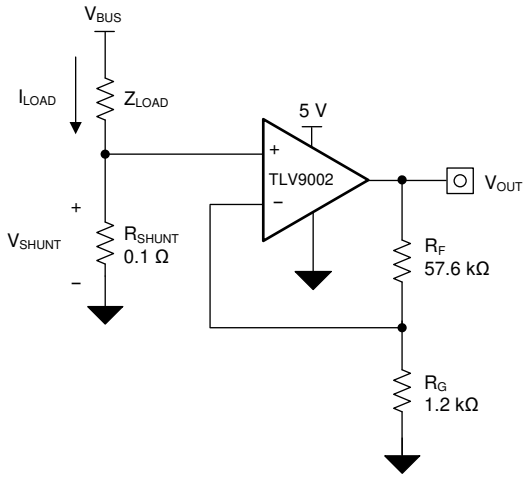


図 9-1. ローサイド電流検出アプリケーションの TLV900x

9.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A～1A
- 出力電圧:4.9V
- 最大シャント電圧:100mV

9.2.1.2 詳細な設計手順

図 9-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A に設定されます。最大負荷電流時にシャント電圧を 100mV 未満に維持するため、最大のシャント抵抗は 式 2 を使用して計算されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

式 2 から、R_{SHUNT} は 100mΩ と計算されます。I_{LOAD} と R_{SHUNT} によって発生する電圧降下は、TLV900x によって増幅され、約 0V～4.9V の出力電圧を生成します。TLX900x が必要な出力電圧を生成するために要求されるゲインは、式 3 で計算されます。

$$Gain = \frac{\left(V_{OUT_MAX} - V_{OUT_MIN}\right)}{\left(V_{IN_MAX} - V_{IN_MIN}\right)} \quad (3)$$

式 3 から、必要なゲインは 49V/V と計算されます。これは抵抗 R_F と R_G で設定します。TLV900x のゲインを 49V/V に設定するための抵抗 R_F と R_G のサイズは、式 4 で計算します。

$$Gain = 1 + \frac{\left(R_F\right)}{\left(R_G\right)} \quad (4)$$

R_F に 57.6kΩ、R_G に 1.2kΩ を選択すると、組み合わせで 49V/V に等しくなります。図 9-1 に示す回路で測定された伝達関数を、図 9-2 に示します。ゲインは、帰還抵抗とゲイン抵抗の関数にすぎないことに注意してください。このゲインは抵抗の比を変化させることで調整され、実際の抵抗値は設計者が設定しようとするインピーダンス・レベルによって決定されます。インピーダンス・レベルによって、電流ドレイン、浮遊容量の影響、その他いくつかの動作が決まります。すべてのシステムに同じインピーダンス選択が最適ではないため、システム・パラメータに応じて理想的なインピーダンスを選択する必要があります。

Copyright © 2022 Texas Instruments Incorporated

9.2.1.3 アプリケーション曲線

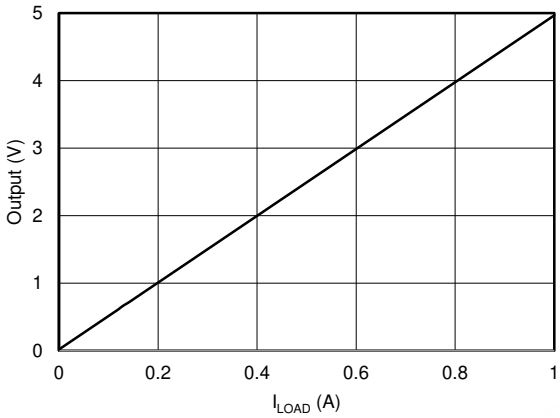


図 9-2. ローサイド、電流検出の伝達関数

9.2.2 単一電源のフォトダイオード・アンプ

フォトダイオードは、光信号を電気信号に変換するため、多くのアプリケーションで使用されています。フォトダイオードを流れる電流は吸収される光子エネルギーに比例し、一般に数百 pA から数十 µA の範囲内です。トランスインピーダンス構成のアンプは通常、低レベルのフォトダイオードの電流を、電圧信号に変換して MCU で処理するために使用されます。図 9-3 に示す回路は、TLV9002 を使用する単一電源フォトダイオード・アンプ回路の例です。

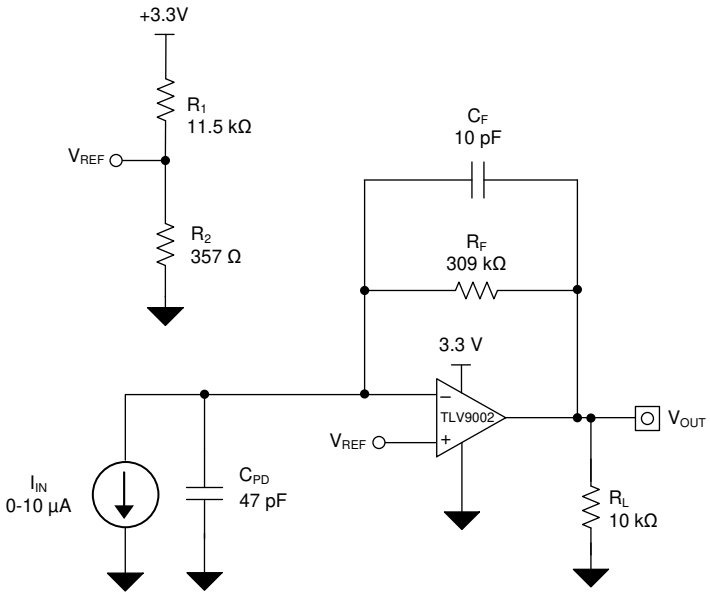


図 9-3. 単一電源のフォトダイオード・アンプ回路

Copyright © 2022 Texas Instruments Incorporated

9.2.2.1 設計要件

この設計の設計要件は次のとおりです。

- 電源電圧:3.3V
- 入力:0μA～10μA
- 出力:0.1V～3.2V
- 帯域幅:50kHz

9.2.2.2 詳細な設計手順

出力電圧 (V_{OUT})、入力電流 (I_{IN})、基準電圧 (V_{REF}) の間の伝達関数は、式 5 で定義されます。

$$V_{OUT} = I_{IN} \times R_F + V_{REF} \tag{5}$$

ここで

$$V_{REF} = V_+ \times \left(\frac{R_1 \times R_2}{R_1 + R_2} \right) \tag{6}$$

式 7 で計算された必要な比率を満たすように R1 と R2 を設定することで、V_{REF} を 100mV に設定し、最小出力電圧レベルを満たします。

$$\frac{V_{REF}}{V_+} = \frac{0.1\ V}{3.3\ V} = 0.0303 \tag{7}$$

この比率を満たす最も近い抵抗比として、R1 は 11.5kΩ、R2 は 357Ω に設定されます。

必要な帰還抵抗は、入力電流と目的の出力電圧に基づいて計算できます。

$$R_F = \frac{V_{OUT} - V_{REF}}{I_{IN}} = \frac{3.2\ V - 0.1\ V}{10\ \mu A} = 310 \frac{kV}{A} \approx 309\ k\Omega \tag{8}$$

式 9 を使い、R_F と目的の -3dB 帯域幅 (f_{-3dB}) に基づいて、帰還コンデンサの値を計算します。

$$C_F = \frac{1}{2 \times \pi \times R_F \times f_{-3dB}} = \frac{1}{2 \times \pi \times 309\ k\Omega \times 50\ kHz} = 10.3\ pF \approx 10\ pF \tag{9}$$

このアプリケーションに必要な最小オペアンプ帯域幅は、R_F、C_F、および TLV9002 の INx– ピンの容量に基づきます。INx– ピンの容量は、式 10 に示すようにフォトダイオードのシャント容量 (CPD)、同相入力容量 (CCM)、差動入力容量 (CD) の合計と等しい値です。

$$C_{IN} = C_{PD} + C_{CM} + C_D = 47\ pF + 5\ pF + 1\ pF = 53\ pF \tag{10}$$

最小オペアンプ帯域幅は、式 11 で計算されます。

$$f_{=BGW} \geq \frac{C_{IN} + C_F}{2 \times \pi \times R_F \times C_F^2} \geq 324\ kHz \tag{11}$$

TLV900x の帯域幅は 1MHz で、最小帯域幅要件を満たしており、このアプリケーション構成で安定します。

Copyright © 2022 Texas Instruments Incorporated

9.2.2.3 アプリケーション曲線

フォトダイオード・アンプ回路について測定される電流から電圧への変換機能を、図 9-4 に示します。フォトダイオード・アンプ回路について測定される性能を、図 9-5 に示します。

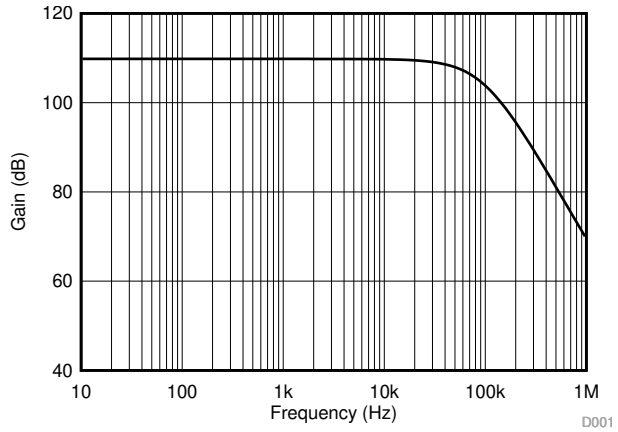


図 9-4. フォトダイオード・アンプ回路の AC ゲイン結果

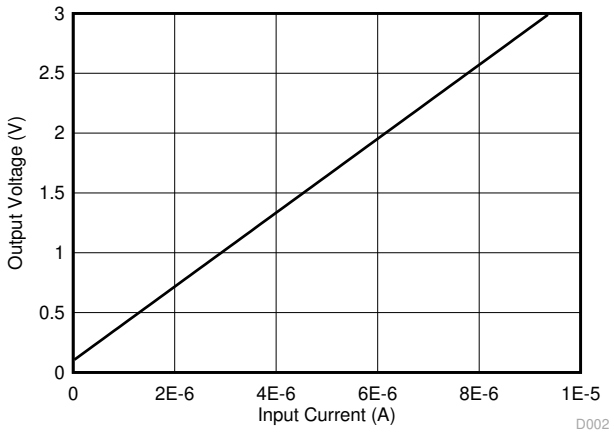


図 9-5. フォトダイオード・アンプ回路の DC 結果

Copyright © 2022 Texas Instruments Incorporated

10 電源に関する推奨事項

TLV900x ファミリは、1.8V～5.5V (±0.9V～±2.75V) で動作が規定されています。多くの仕様は -40℃～125℃で適用されます。動作電圧または温度に関して大きく変動する可能性があるパラメータを、セクション 7.11 に示します。

注意

電源電圧が 6V を超えると、デバイスに永続的な損傷を与える可能性があります。セクション 7.1 を参照してください。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からのカップリング誤差を低減できます。バイパス・コンデンサの配置の詳細については、セクション 11.1 を参照してください。

10.1 入力および ESD 保護

TLV900x ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力ピンと出力ピンの場合、この保護は主に入力ピンと電源ピンの間に接続された電流ステアリング・ダイオードで構成されます。これらの ESD 保護ダイオードは、電流が 10mA に制限されている限り、回路内で入力オーバードライブの保護を行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、図 10-1 に示します。追加された抵抗はアンプ入力の熱ノイズに寄与するため、ノイズに敏感なアプリケーションでは、その値を最小限に抑える必要があります。

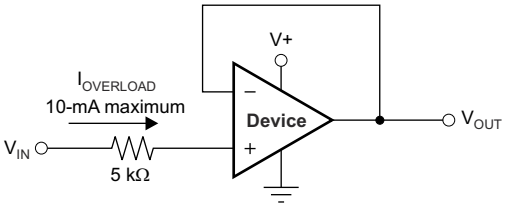


図 10-1. 入力過電流保護

11 レイアウト

11.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、基板の電源接続を経由してアナログ回路に伝播し、オペアンプ自体の電源ピンに伝搬することがあります。バイパス・コンデンサは、グランドへの低インピーダンスなパスを設置して、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス・コンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立ち、EMI ノイズを拾いにくくなります。デジタル・グランドとアナログ・グランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、図 11-2 に示すように、可能な限りデバイスに近く配置します。R_F と R_G を反転入力に近づけて配置すると、寄生容量を最小化できます。
- 入力配線はできる限り短くします。入力配線は、回路の中でも最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85°C で 30 分間の低温ベーキングを行えば十分です。

11.2 レイアウト例

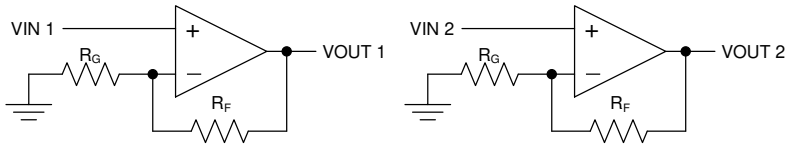


図 11-1. 回路図

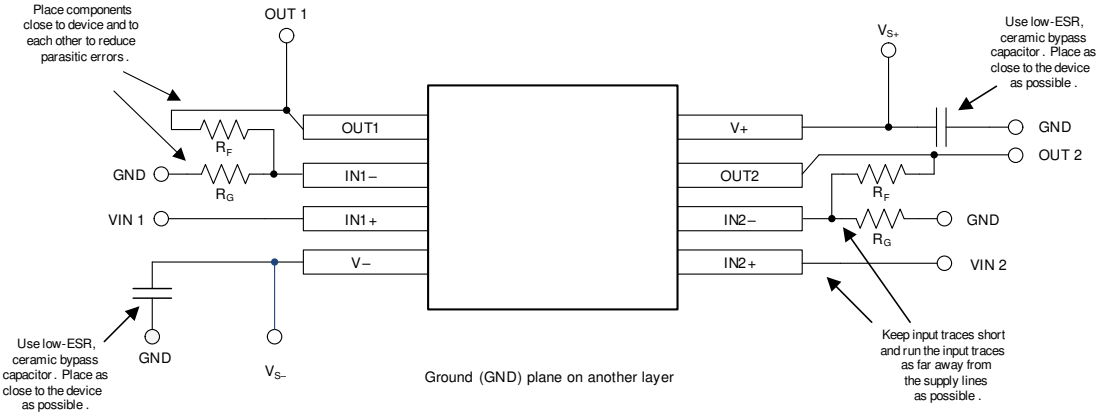


図 11-2. レイアウト例

Copyright © 2022 Texas Instruments Incorporated

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントのサポート

12.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』

12.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

12.4 商標

TI E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
すべての商標は、それぞれの所有者に帰属します。

12.5 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.6 Glossary

TI Glossary	This glossary lists and explains terms, acronyms, and definitions.

Copyright © 2022 Texas Instruments Incorporated

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV9001IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	1OGF	Samples
TLV9001IDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	1BZ	Samples
TLV9001IDPWR	ACTIVE	X2SON	DPW	5	3000	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	DF	Samples
TLV9001SIDBVR	ACTIVE	SOT-23	DBV	6	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1OJF	Samples
TLV9001SIDCKR	ACTIVE	SC70	DCK	6	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	1F8	Samples
TLV9001TIDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	1D6	Samples
TLV9001UIDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	1ODF	Samples
TLV9001ZIDPWR	ACTIVE	X2SON	DPW	5	3000	RoHS & Green	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(D, DF)	Samples
TLV9002IDDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T902	Samples
TLV9002IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(1GNX, OBBI)	Samples
TLV9002IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	(1GNX, OBBI)	Samples
TLV9002IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TL9002	Samples
TLV9002IDSGR	ACTIVE	WSON	DSG	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1GMH	Samples
TLV9002IDSGT	ACTIVE	WSON	DSG	8	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1GMH	Samples
TLV9002IPWR	ACTIVE	TSSOP	PW	8	2000	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	9002	Samples
TLV9002SIDGSR	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1GDX	Samples
TLV9002SIRUGR	ACTIVE	X2QFN	RUG	10	3000	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	ENF	Samples
TLV9002SIYCKR	ACTIVE	DSBGA	YCK	9	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 125	JK	Samples
TLV9004IDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV9004	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV9004IDYYR	ACTIVE	SOT-23-THIN	DYY	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9004I	Samples
TLV9004IPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	TLV9004	Samples
TLV9004IRTER	ACTIVE	WQFN	RTE	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9004	Samples
TLV9004IRUCR	ACTIVE	QFN	RUC	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1DC	Samples
TLV9004SIRTER	ACTIVE	WQFN	RTE	16	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9004S	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9001, TLV9002, TLV9004 :

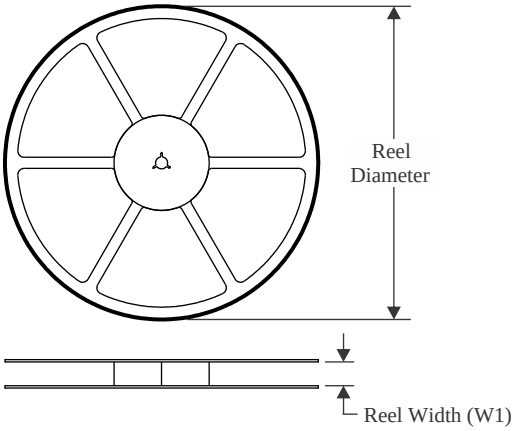
- Automotive : TLV9001-Q1, TLV9002-Q1, TLV9004-Q1

NOTE: Qualified Version Definitions:

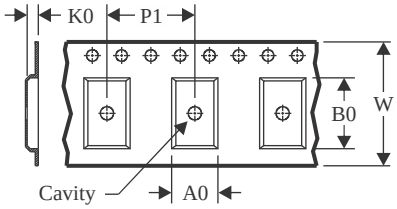
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

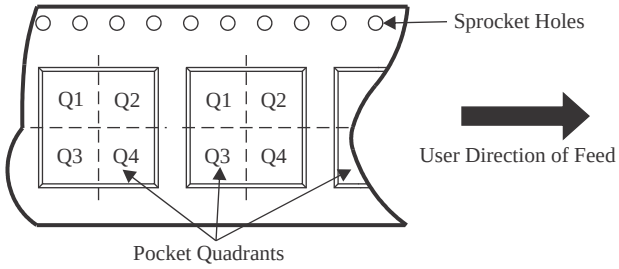


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

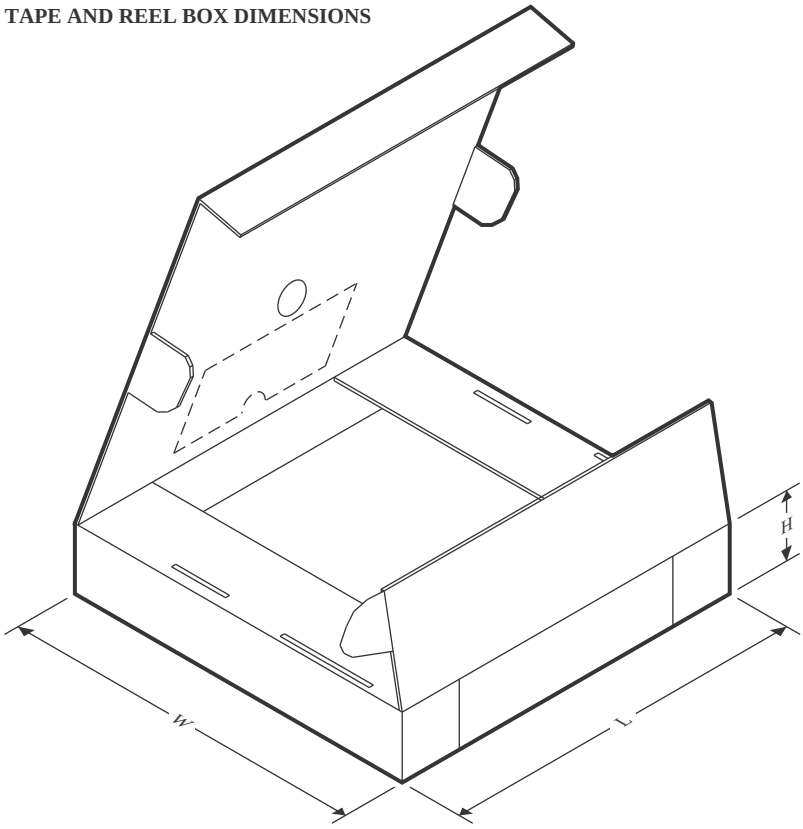


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9001IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9001IDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.5	1.2	4.0	8.0	Q3
TLV9001IDPWR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q2
TLV9001SIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9001SIDCKR	SC70	DCK	6	3000	180.0	8.4	2.3	2.5	1.2	4.0	8.0	Q3
TLV9001TIDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9001UIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9001ZIDPWR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q2
TLV9002IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9002IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9002IDGKT	VSSOP	DGK	8	250	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9002IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9002IDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9002IDSGT	WSON	DSG	8	250	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV9002IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9002SIDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9002SIRUGR	X2QFN	RUG	10	3000	178.0	8.4	1.75	2.25	0.56	4.0	8.0	Q1
TLV9002SIYCKR	DSBGA	YCK	9	3000	180.0	8.4	1.1	1.1	0.4	2.0	8.0	Q1
TLV9004IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9004IDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV9004IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV9004IRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLV9004IRUCR	QFN	RUC	14	3000	180.0	9.5	2.16	2.16	0.5	4.0	8.0	Q2
TLV9004SIRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9001IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9001IDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV9001IDPWR	X2SON	DPW	5	3000	205.0	200.0	33.0
TLV9001SIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9001SIDCKR	SC70	DCK	6	3000	210.0	185.0	35.0
TLV9001TIDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
TLV9001UIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9001ZIDPWR	X2SON	DPW	5	3000	205.0	200.0	33.0
TLV9002IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9002IDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
TLV9002IDGKT	VSSOP	DGK	8	250	356.0	356.0	35.0
TLV9002IDR	SOIC	D	8	2500	356.0	356.0	35.0
TLV9002IDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV9002IDSGT	WSON	DSG	8	250	210.0	185.0	35.0
TLV9002IPWR	TSSOP	PW	8	2000	356.0	356.0	35.0
TLV9002SIDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
TLV9002SIRUGR	X2QFN	RUG	10	3000	205.0	200.0	33.0
TLV9002SIYCKR	DSBGA	YCK	9	3000	182.0	182.0	20.0

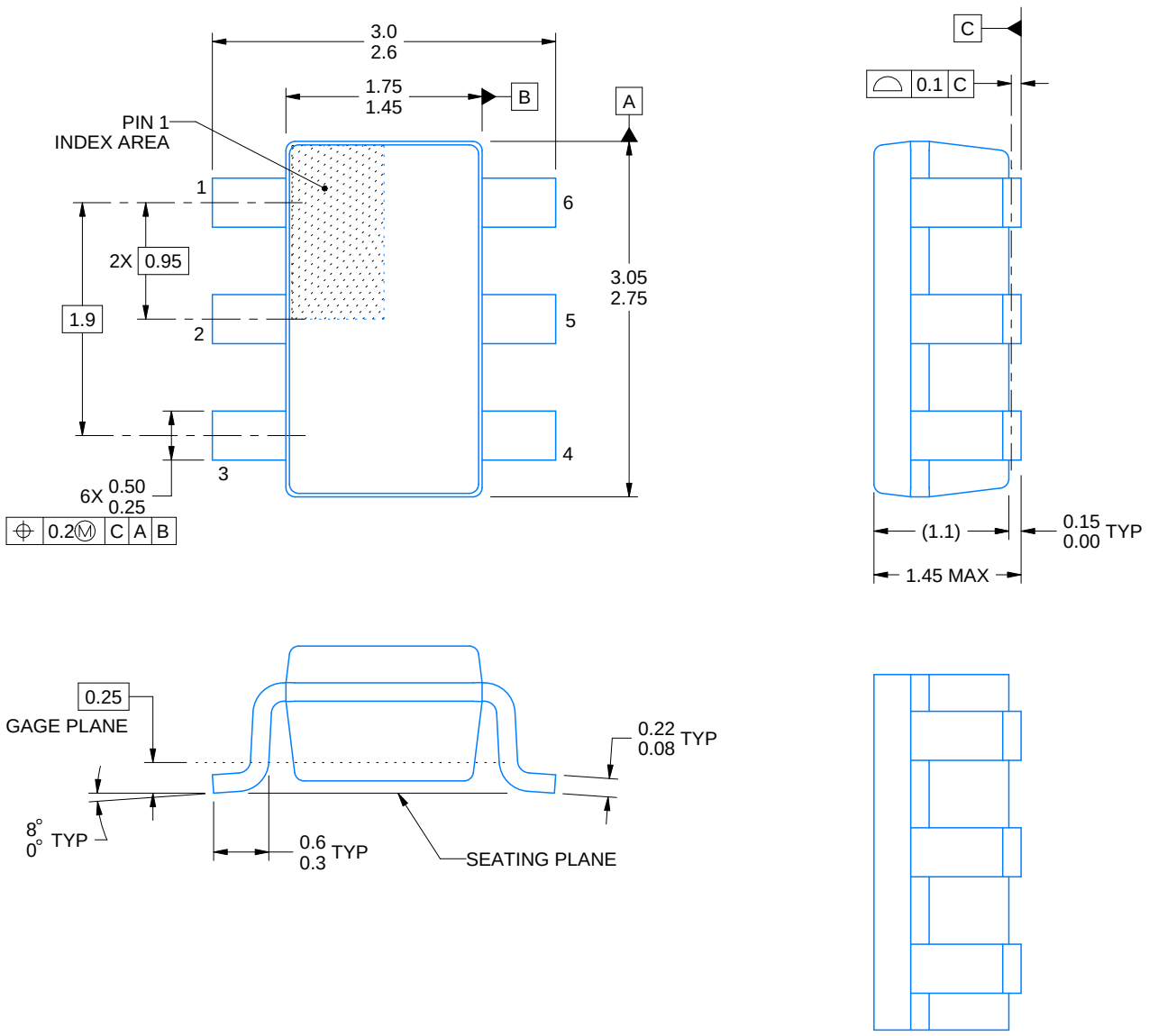
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9004IDR	SOIC	D	14	2500	356.0	356.0	35.0
TLV9004IDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV9004IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TLV9004IRTER	WQFN	RTE	16	3000	367.0	367.0	35.0
TLV9004IRUCR	QFN	RUC	14	3000	205.0	200.0	30.0
TLV9004SIRTER	WQFN	RTE	16	3000	367.0	367.0	35.0

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

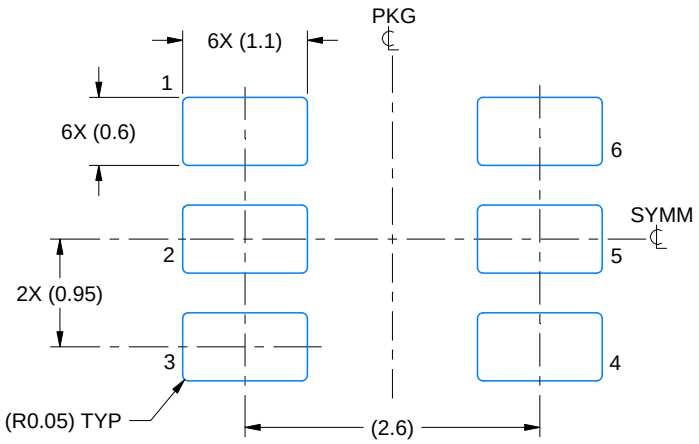


ALTERNATIVE PACKAGE SINGULATION VIEW

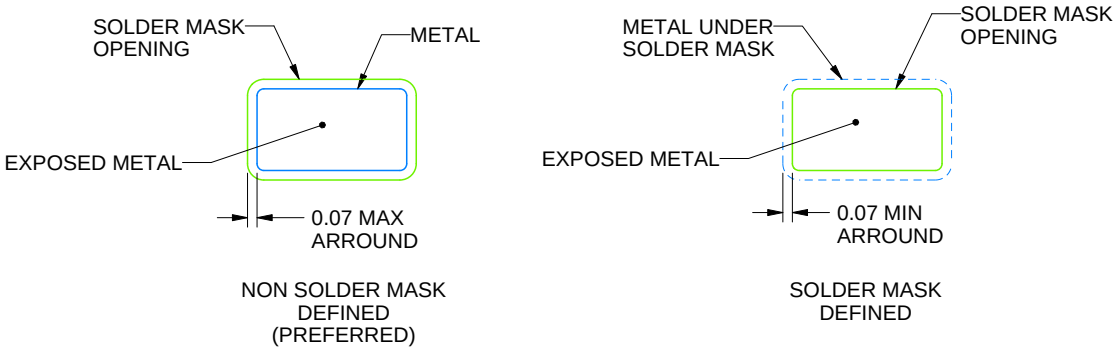
4214840/E 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

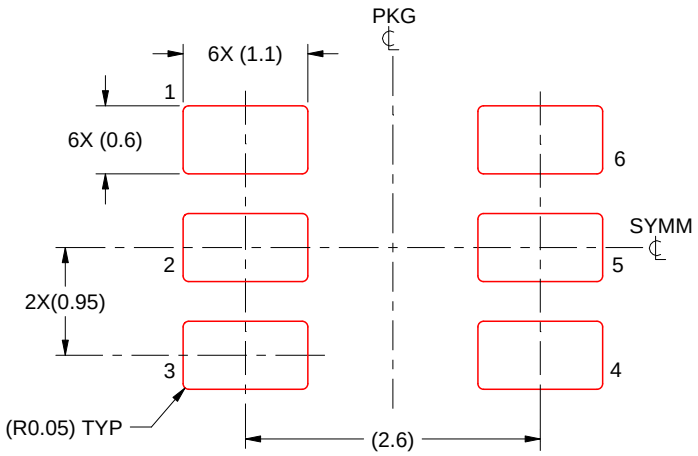


SOLDER MASK DETAILS

4214840/E 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/E 02/2024

NOTES: (continued)

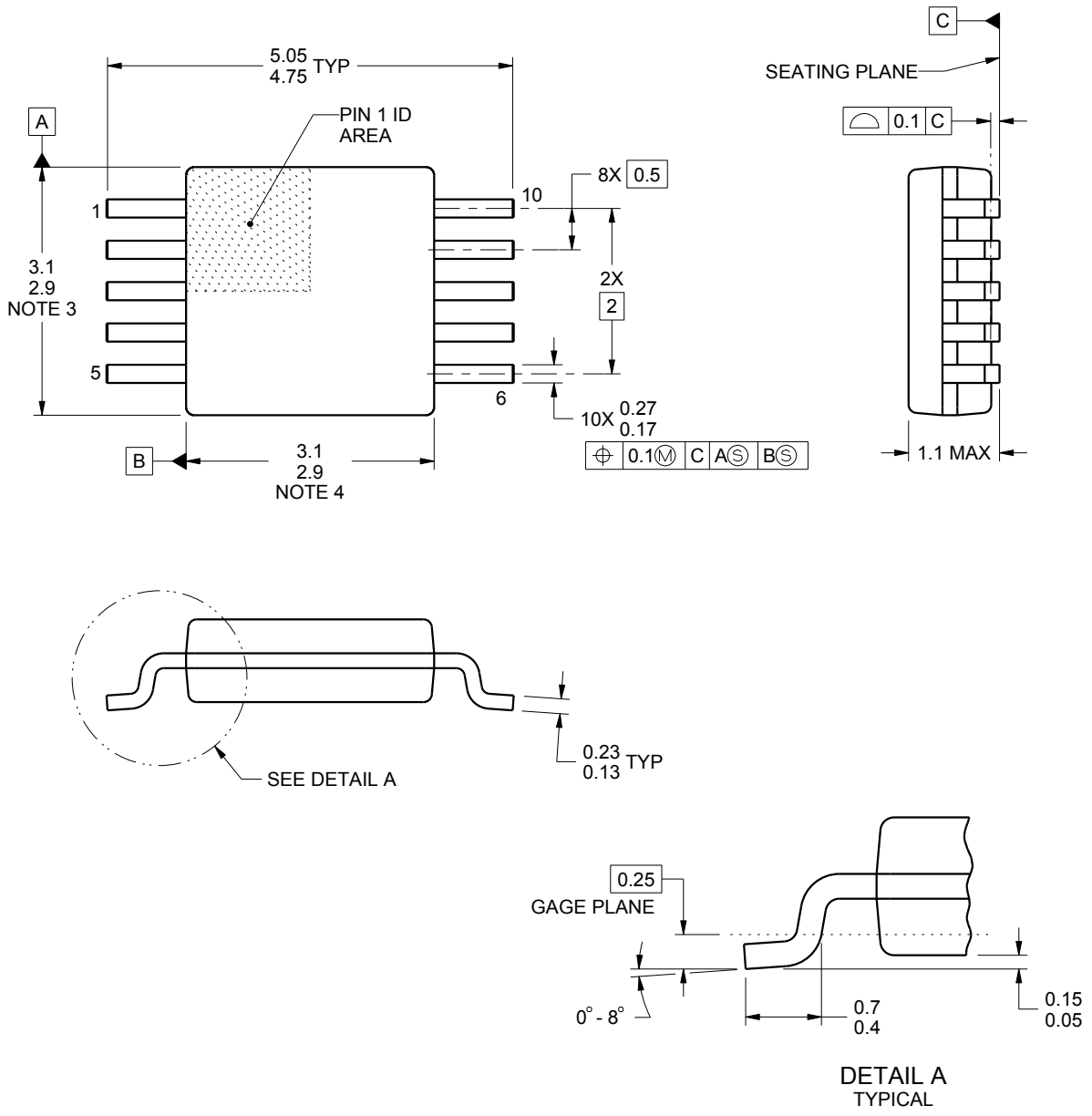
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0010A

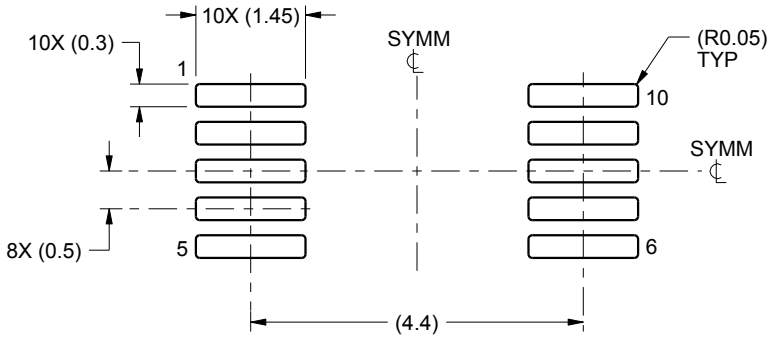
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

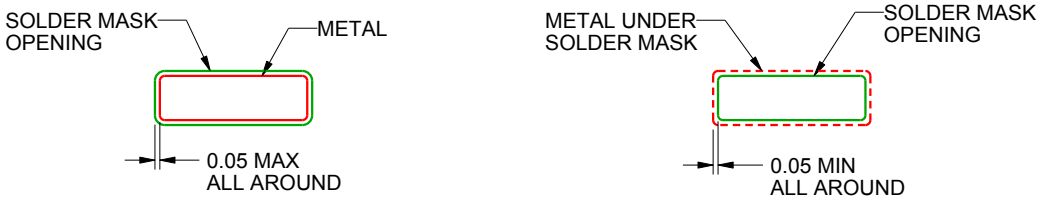


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

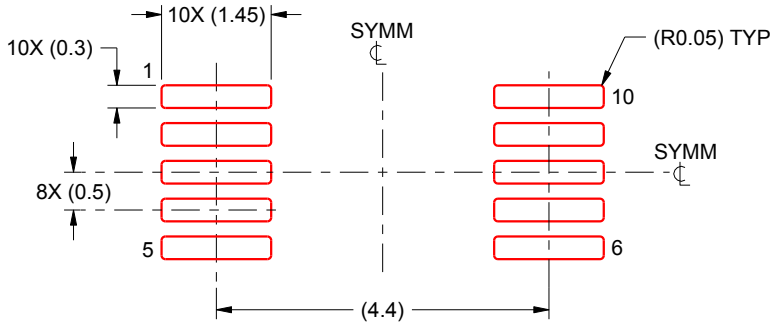


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



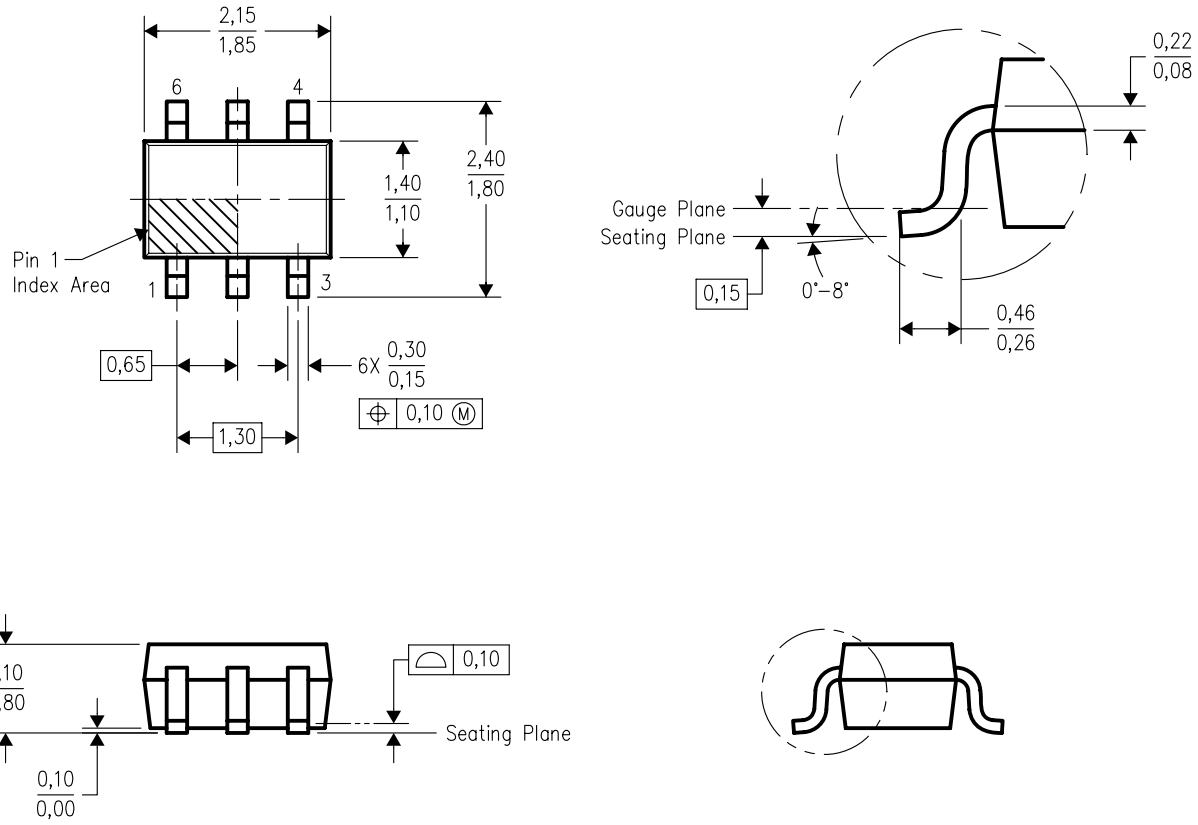
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

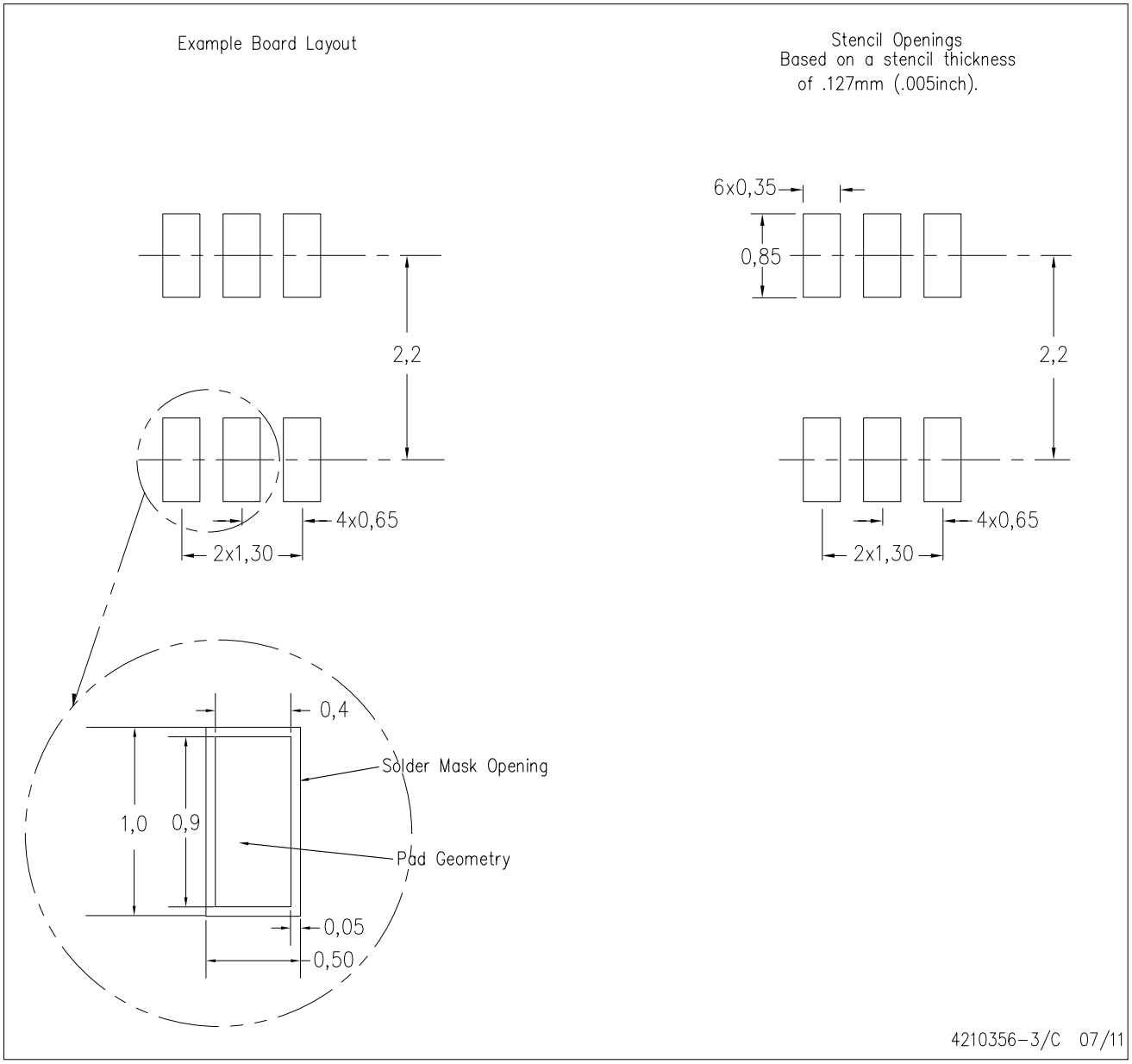
DCK (R–PDSO–G6) PLASTIC SMALL–OUTLINE PACKAGE



4093553–4/G 01/2007

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
D. Falls within JEDEC MO–203 variation AB.

DCK (R–PDSO–G6) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
D. Publication IPC–7351 is recommended for alternate designs.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.

GENERIC PACKAGE VIEW

DPW 5 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

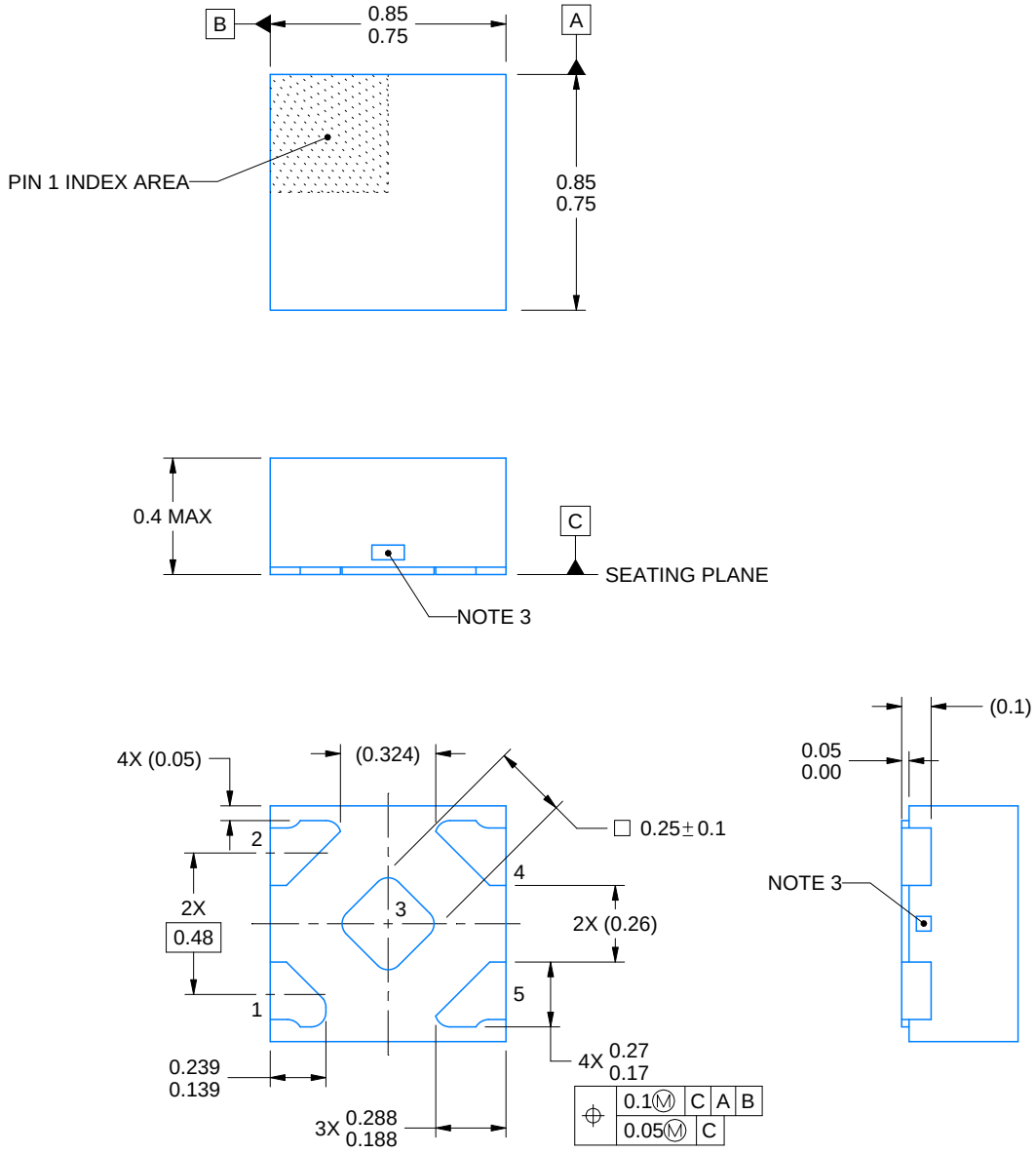
4211218-3/D

PACKAGE OUTLINE

DPW0005A

X2SON - 0.4 mm max height

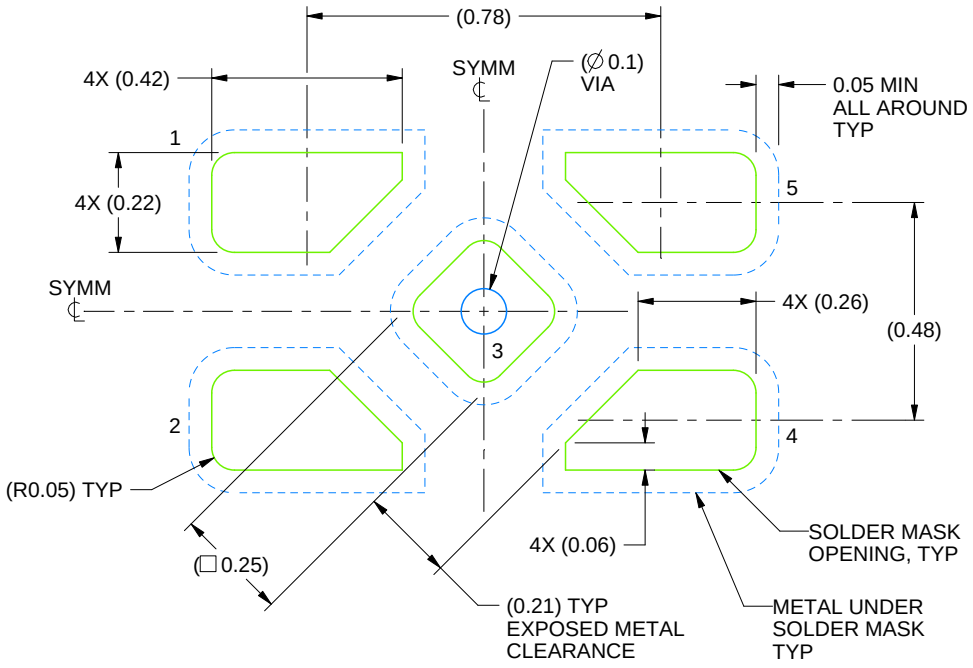
PLASTIC SMALL OUTLINE - NO LEAD



4223102/D 03/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

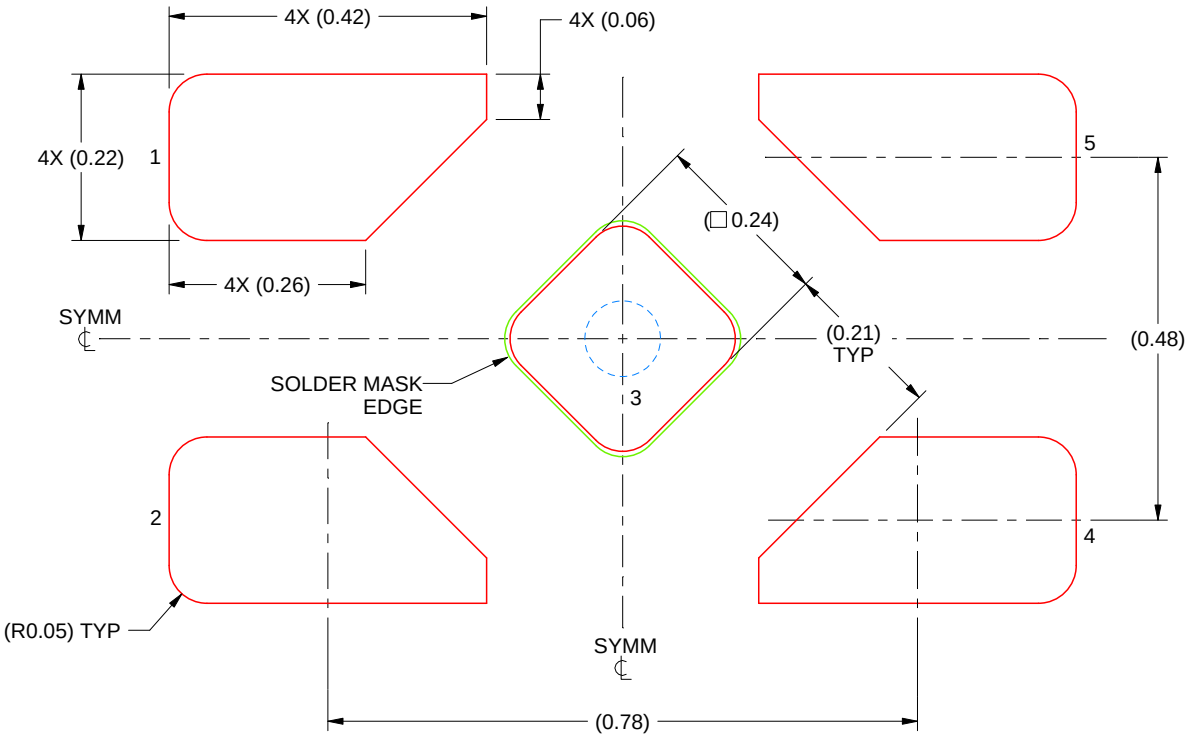
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

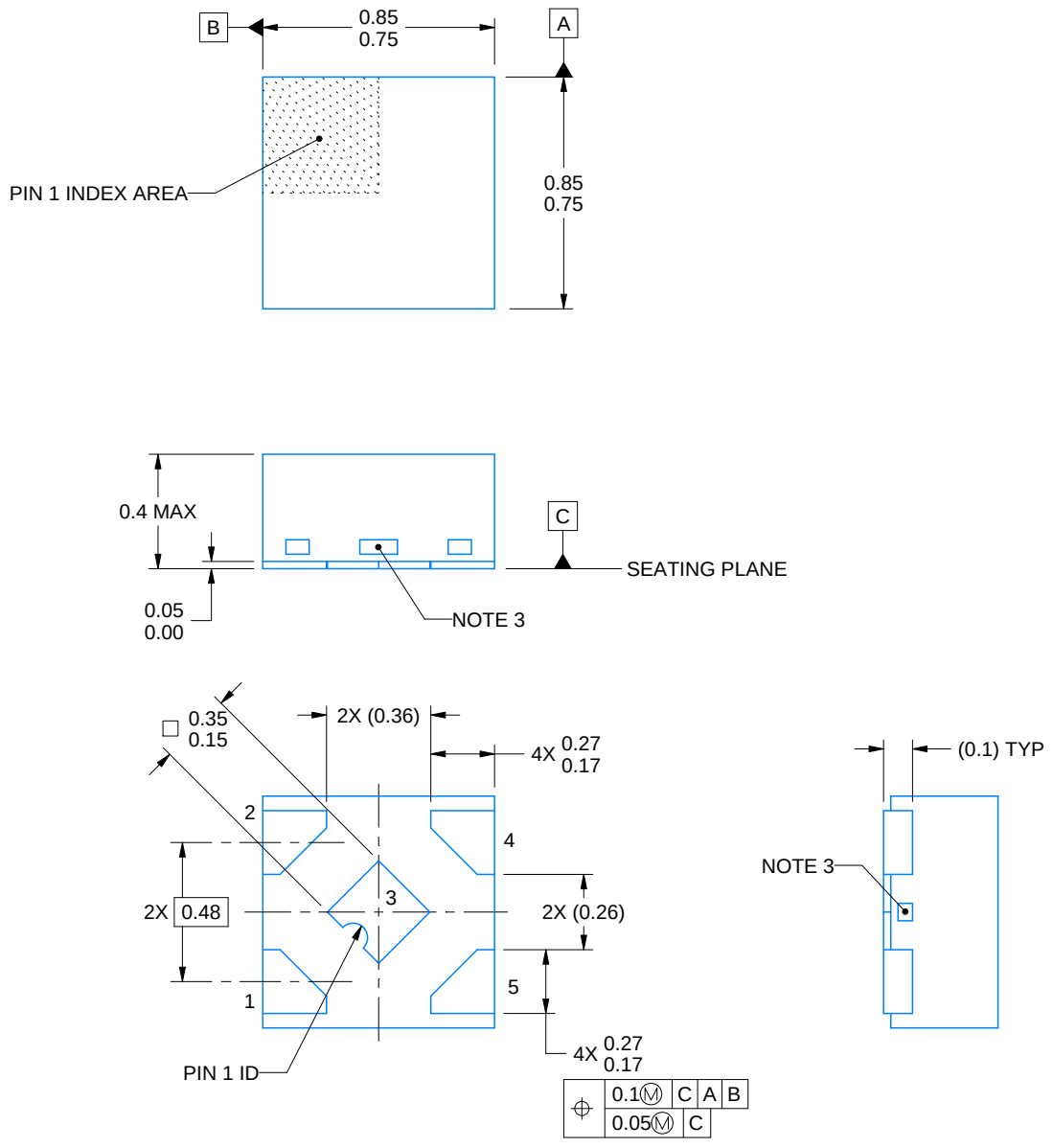
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DPW0005B

X2SON - 0.4 mm max height

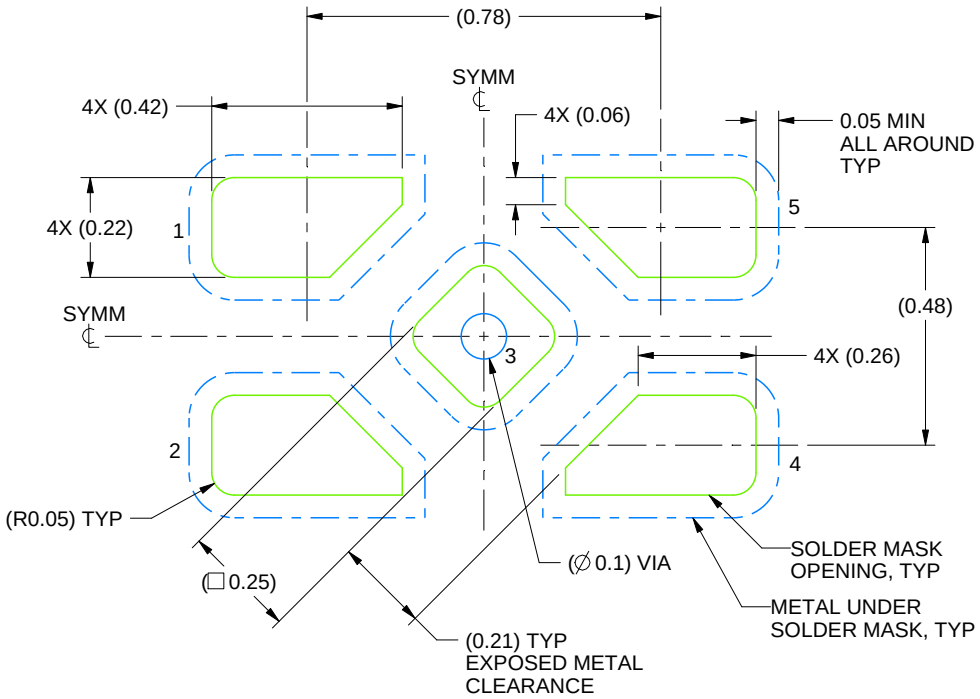
PLASTIC SMALL OUTLINE - NO LEAD



4228233/D 09/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

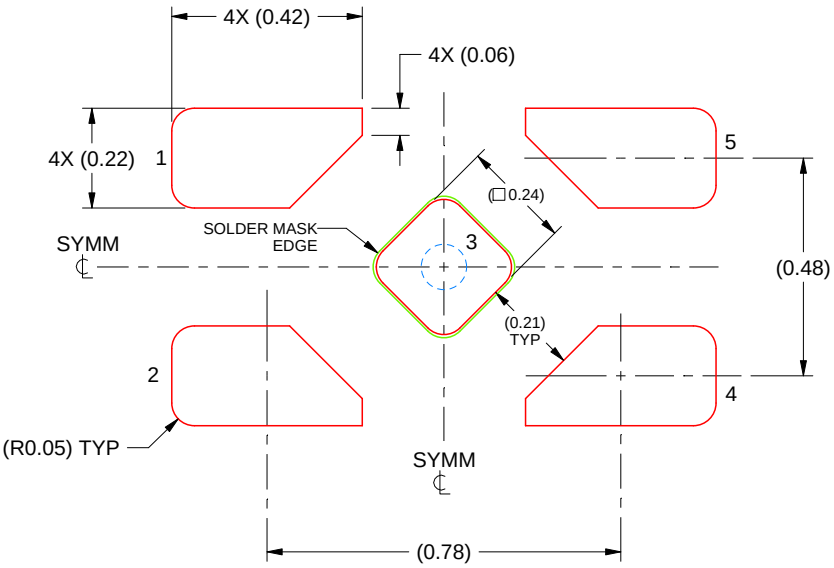


LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 5
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:60X

4228233/D 09/2023

NOTES: (continued)

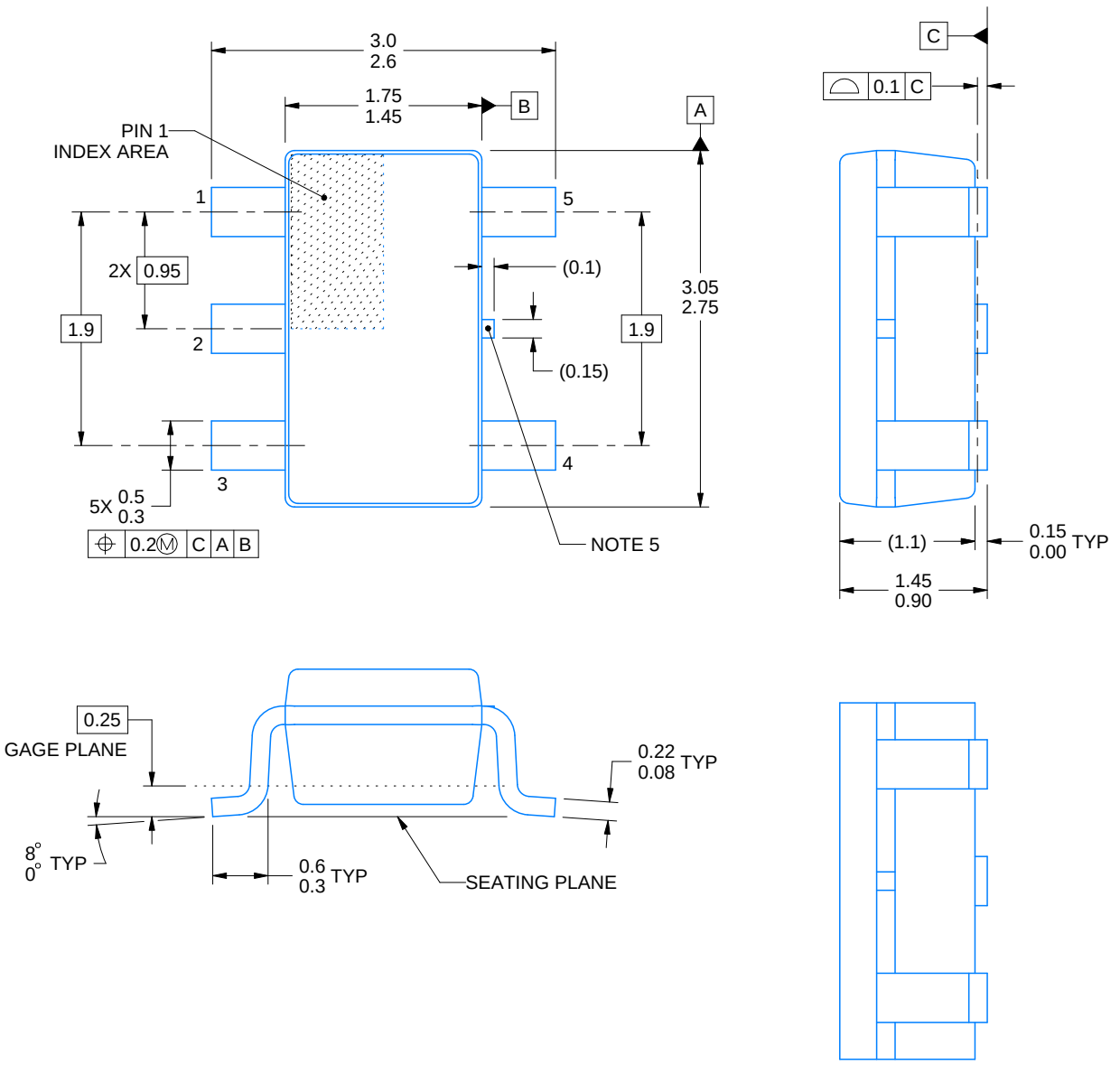
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

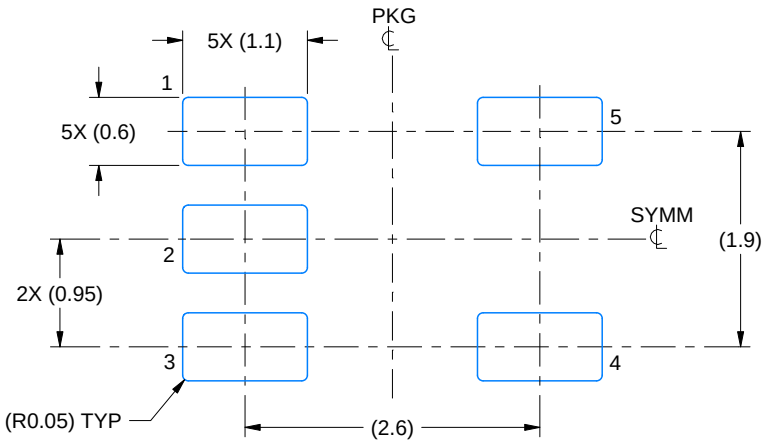


ALTERNATIVE PACKAGE SINGULATION VIEW

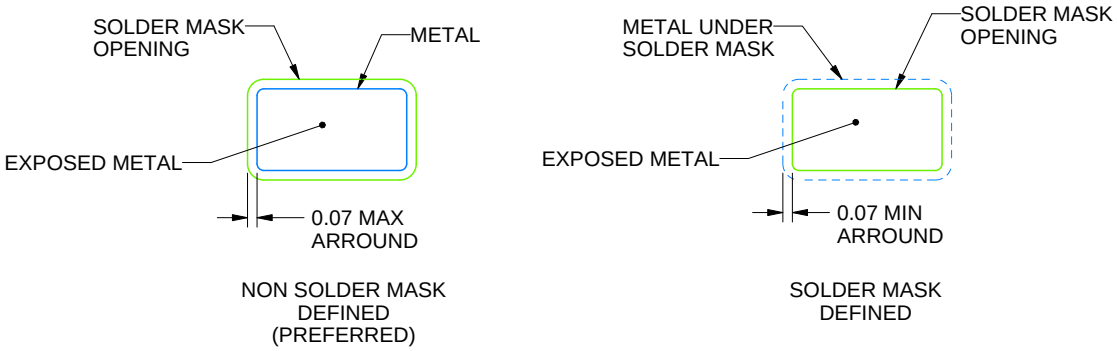
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

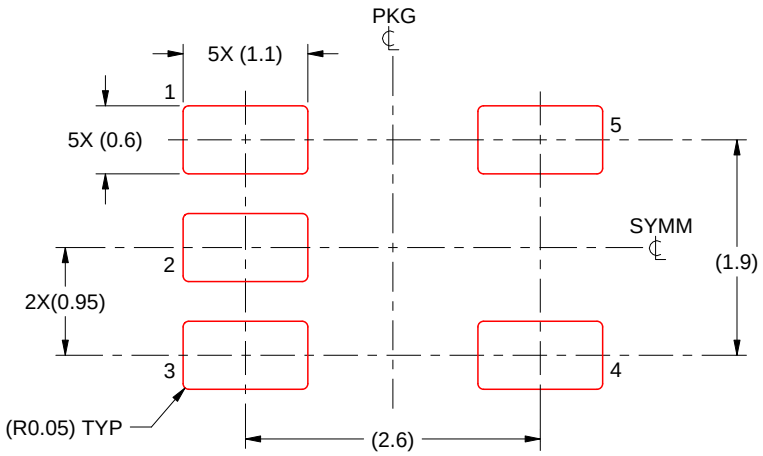


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

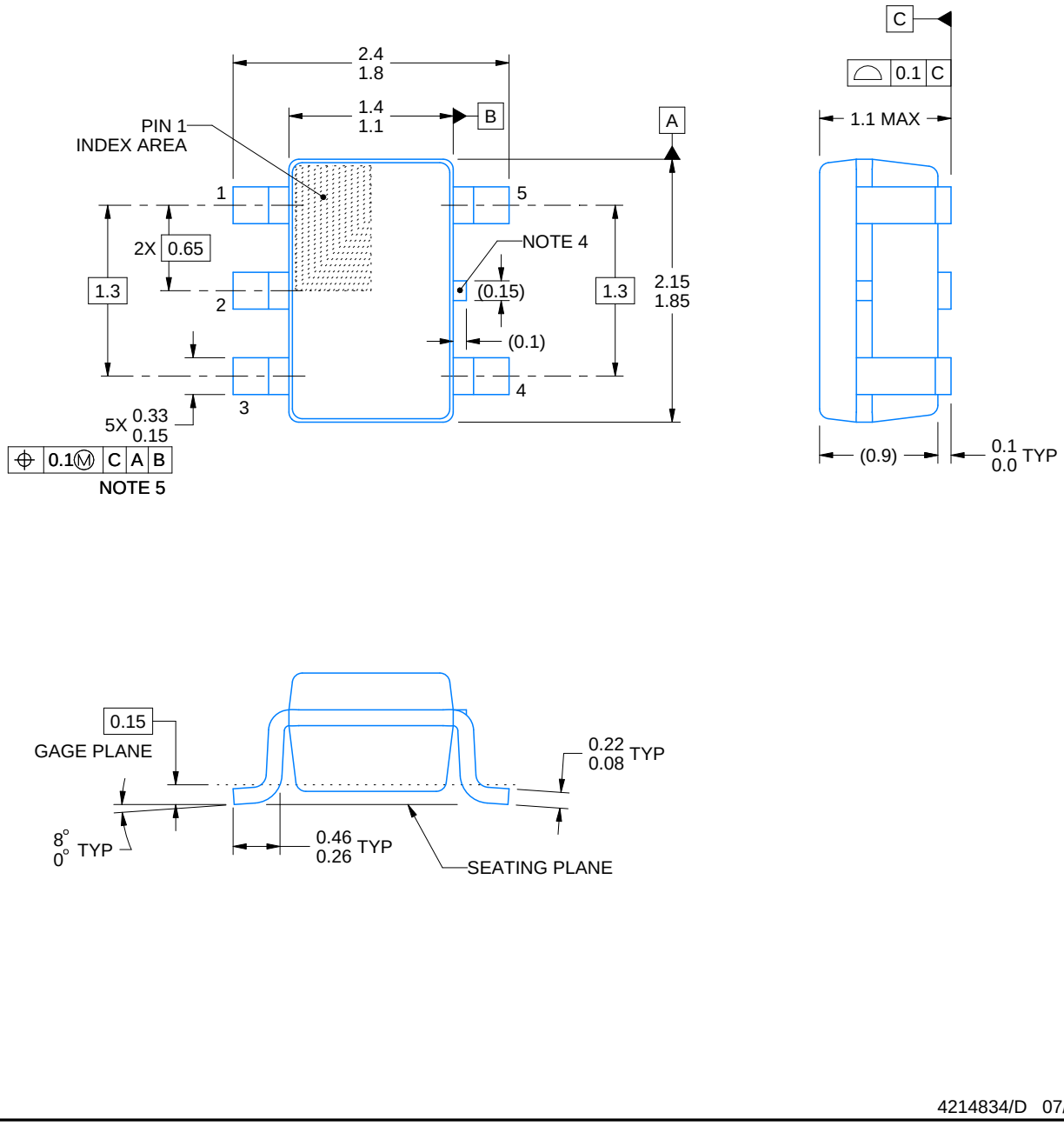
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

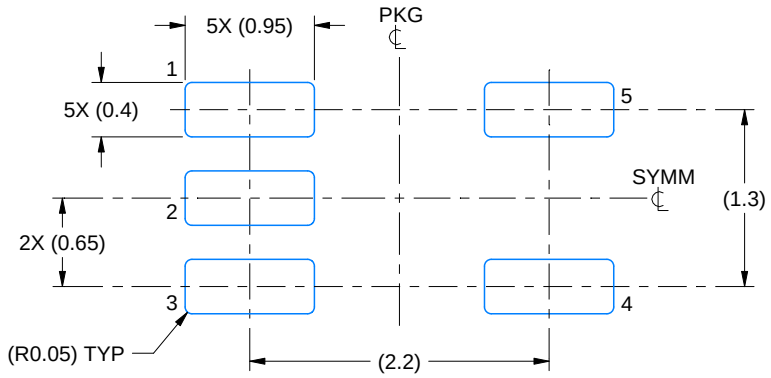
SMALL OUTLINE TRANSISTOR



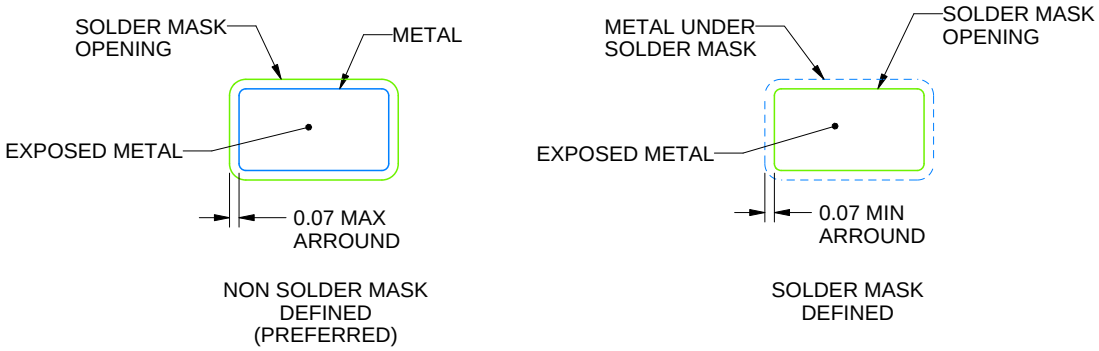
4214834/D 07/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

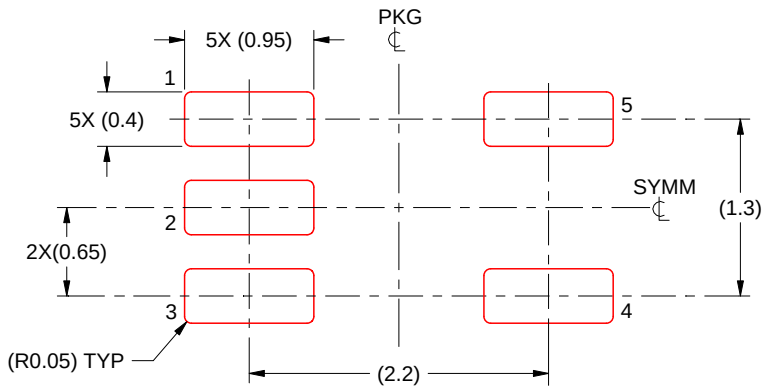


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



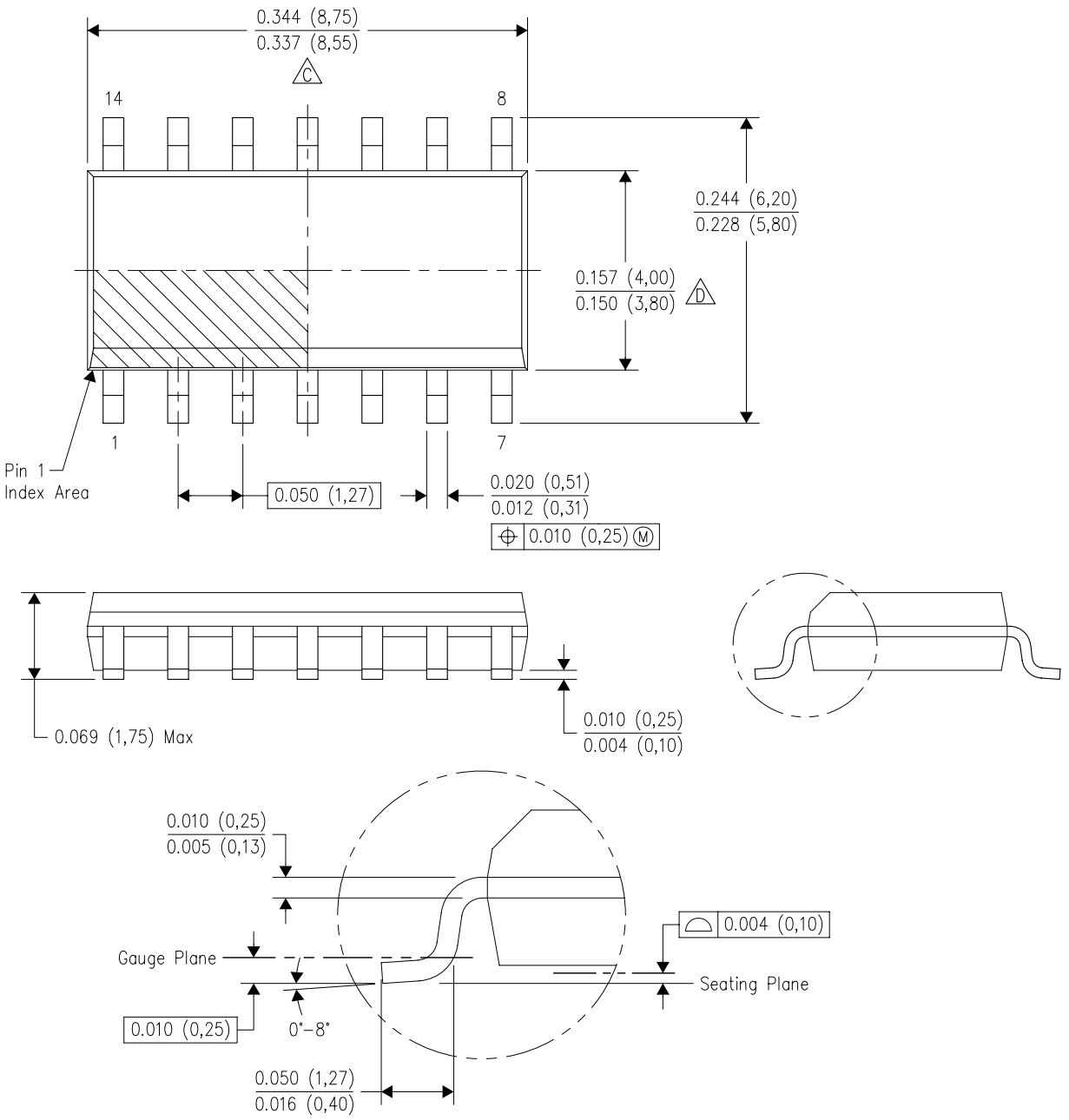
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/D 07/2023

NOTES: (continued)

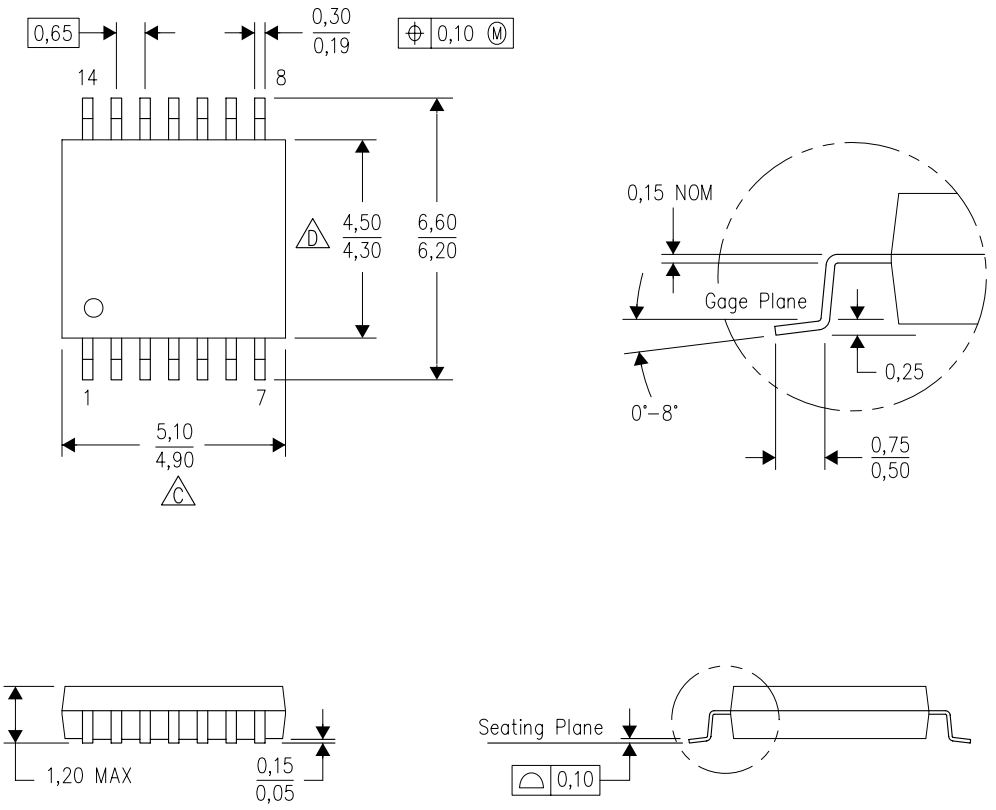
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

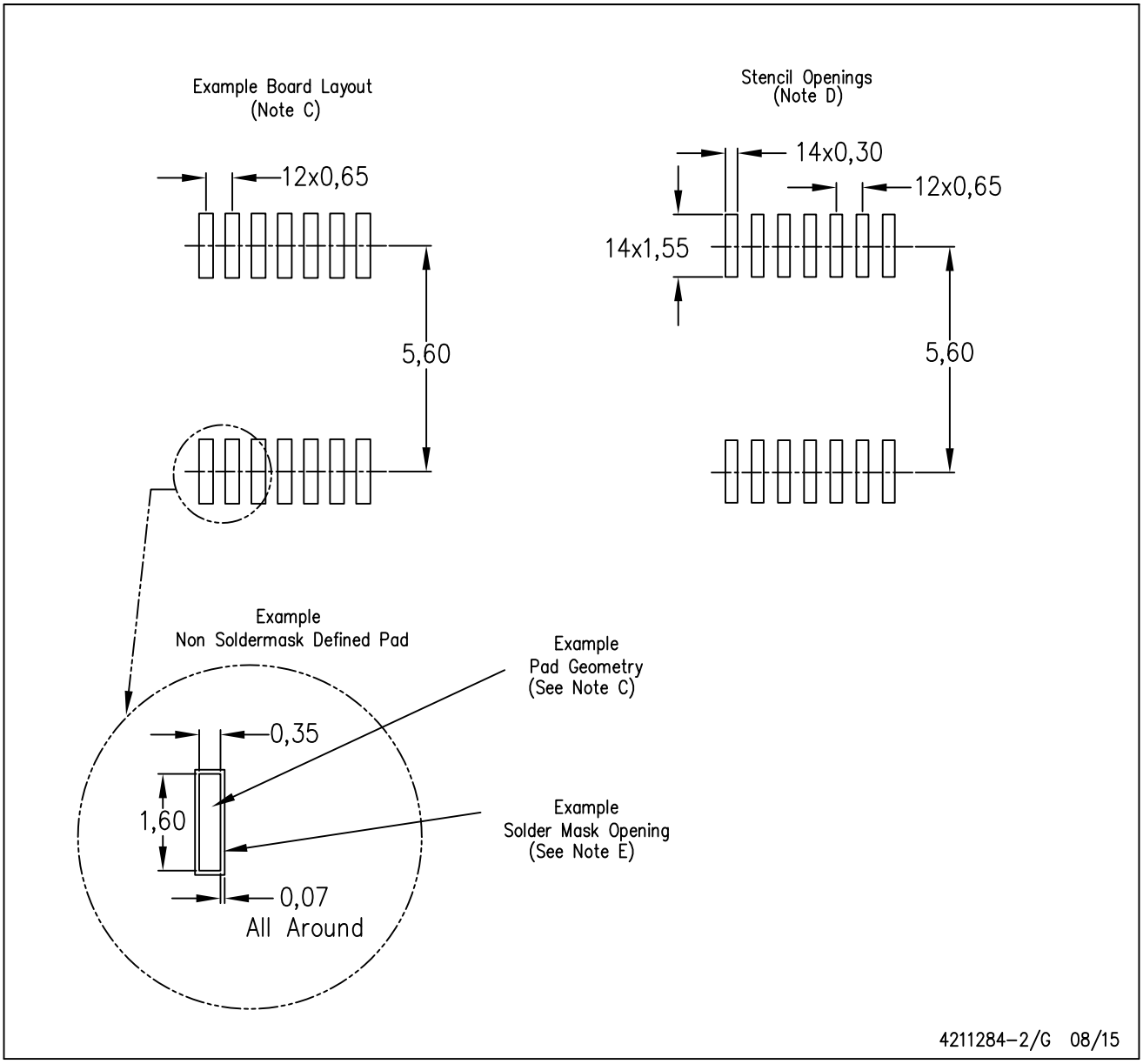
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040064–3/G 02/11

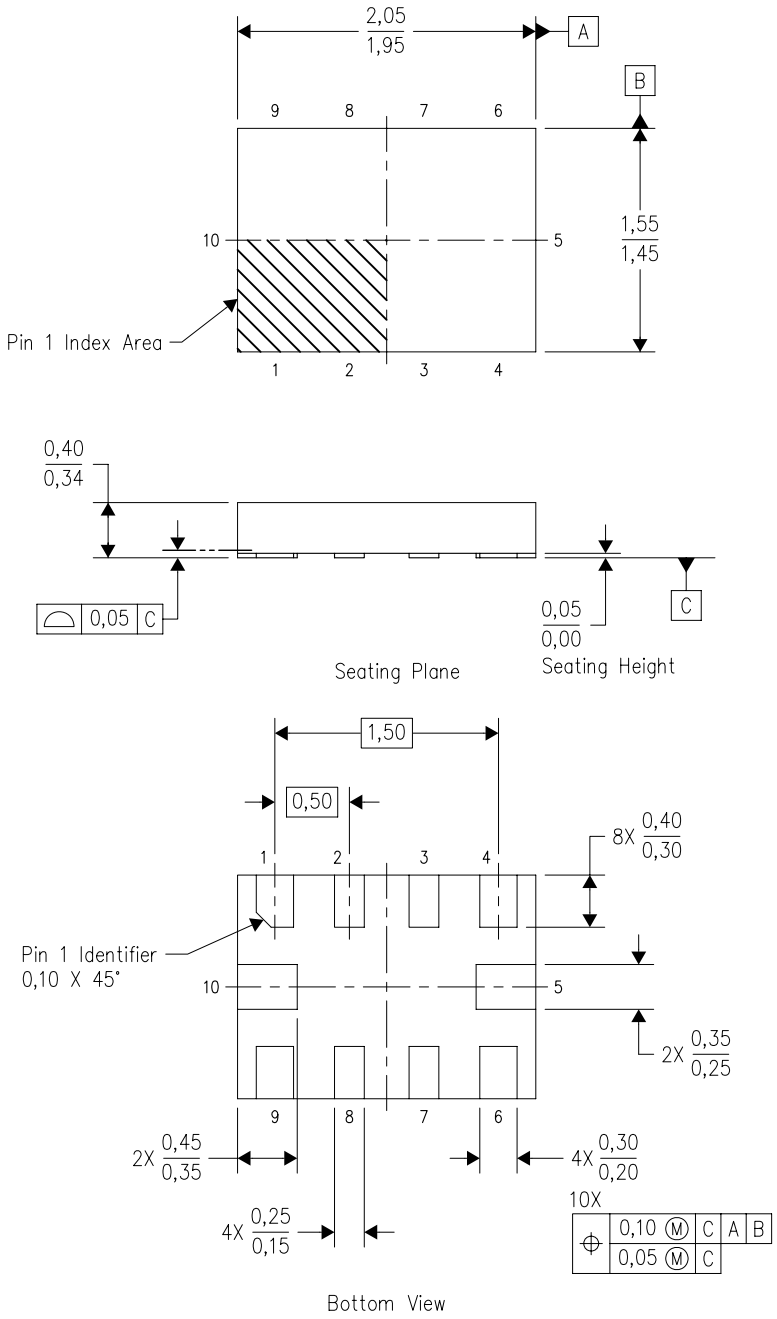
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

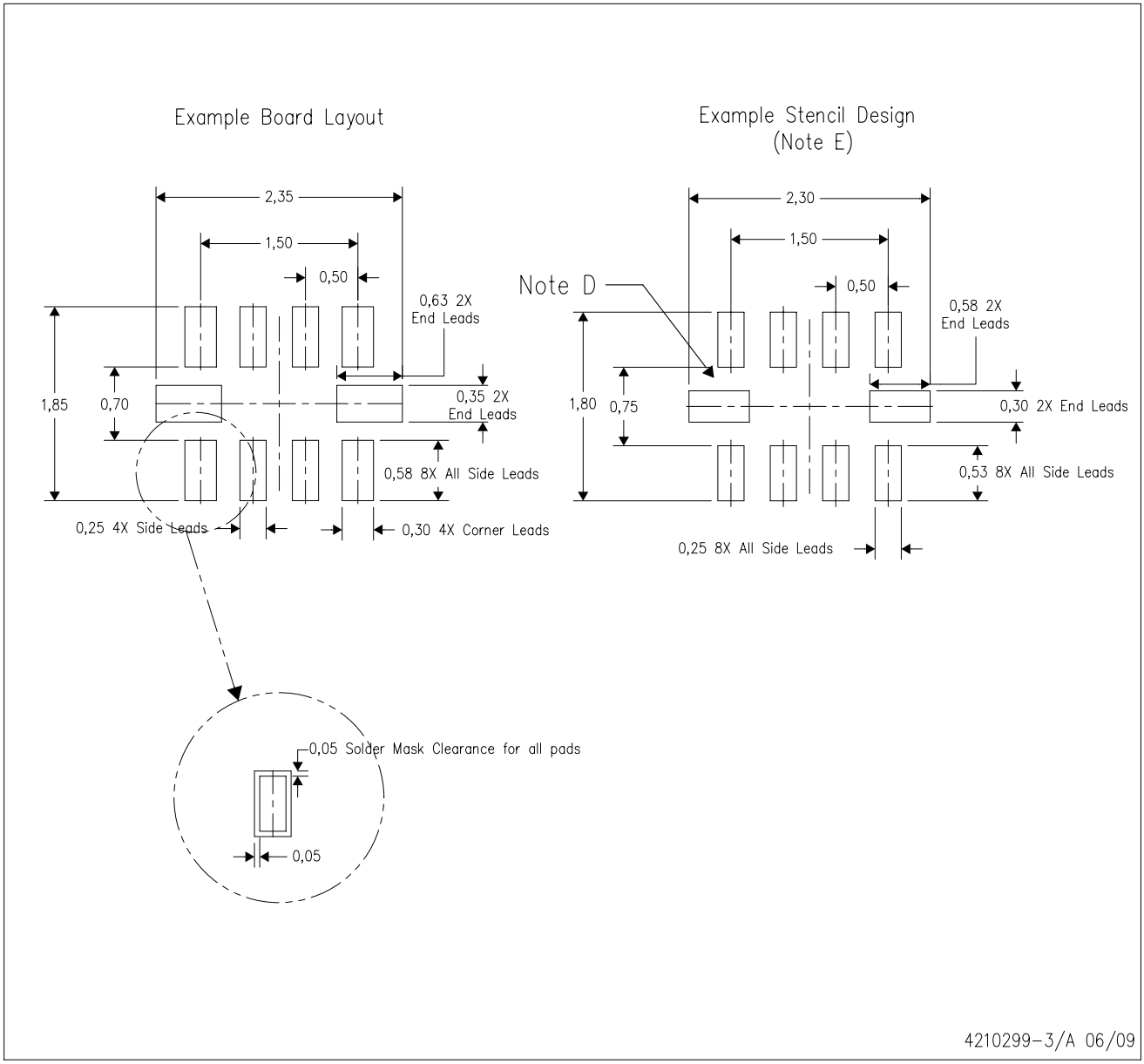
RUG (R–PQFP–N10) PLASTIC QUAD FLATPACK



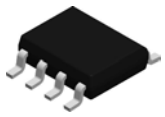
4208528–3/B 04/2008

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. This package complies to JEDEC MO–288 variation X2EFD.

RUG (R–PQFP–N10)



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.
E. Maximum stencil thickness 0,127 mm (5 mils). All linear dimensions are in millimeters.
F. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
G. Side aperture dimensions over–print land for acceptable area ratio > 0.66. Customer may reduce side aperture dimensions if stencil manufacturing process allows for sufficient release at smaller opening.

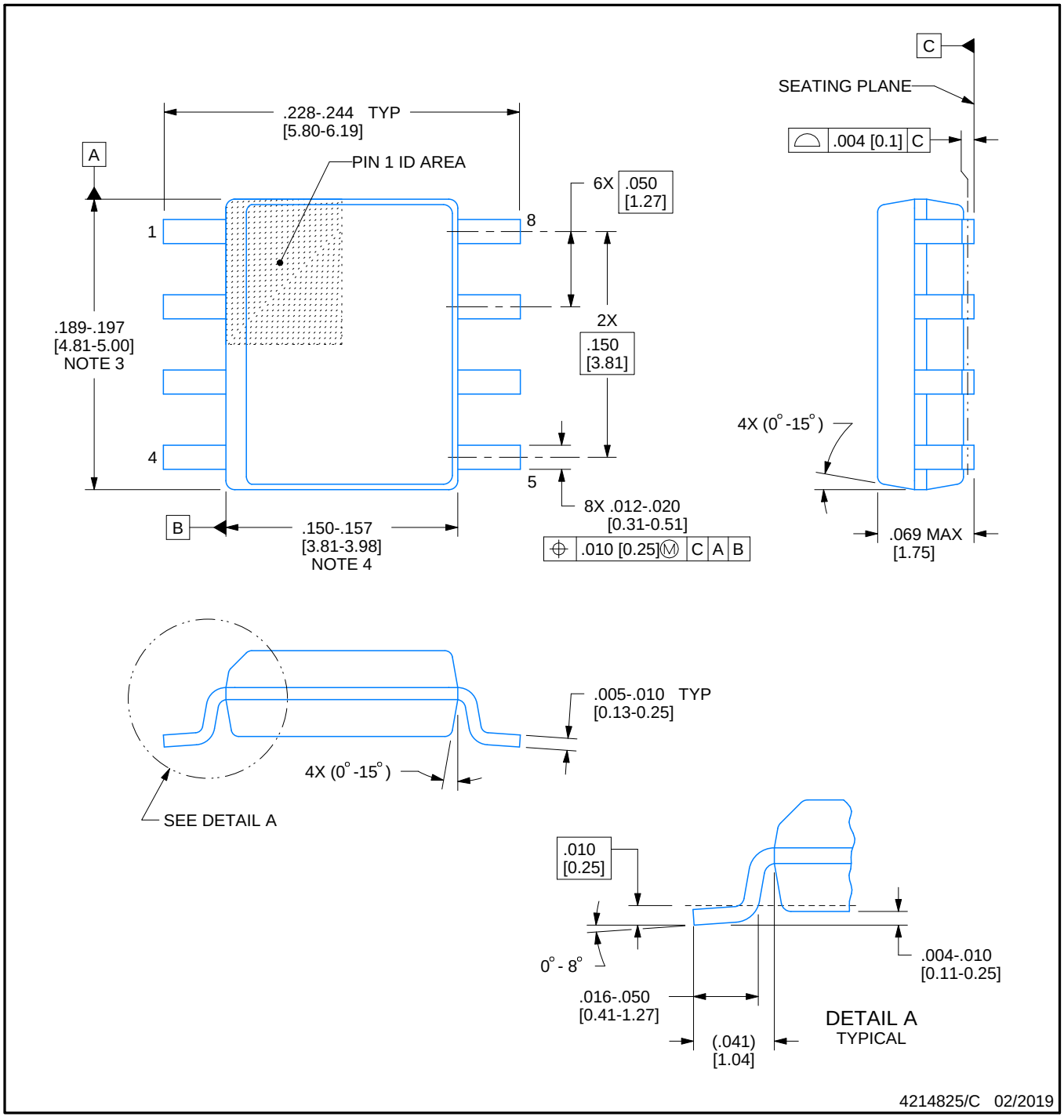


PACKAGE OUTLINE

D0008A

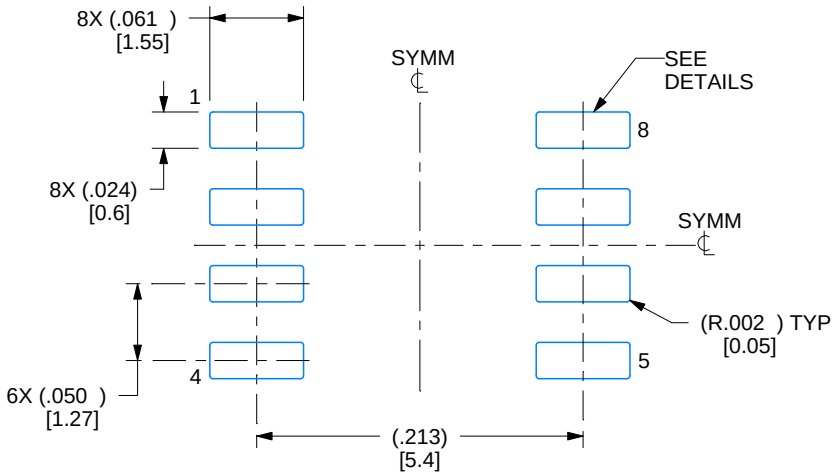
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

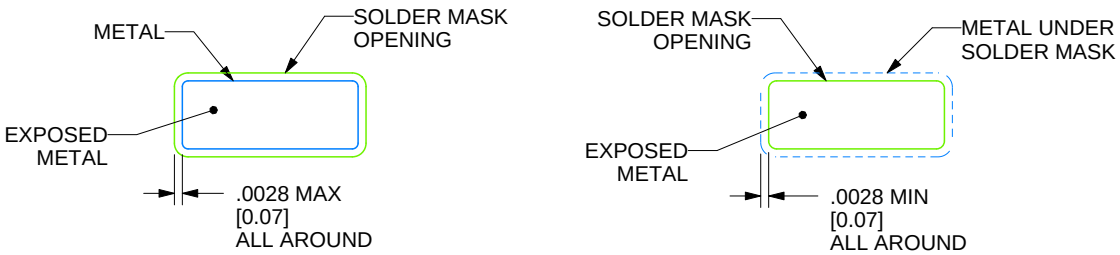


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

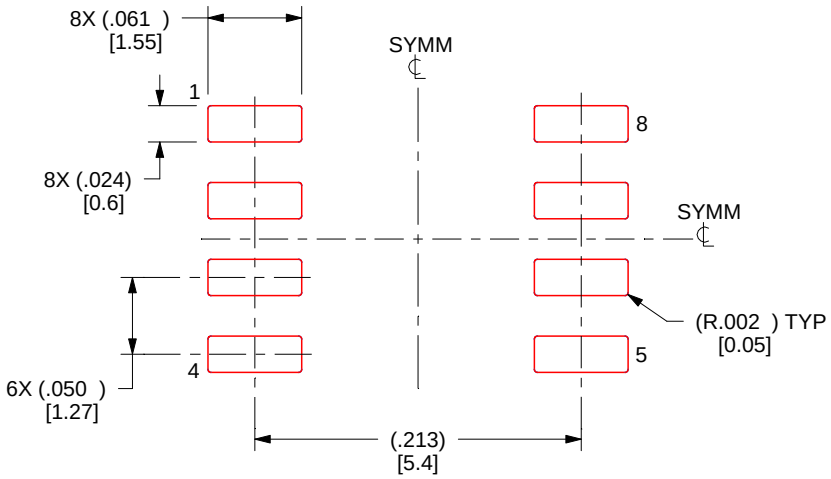
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

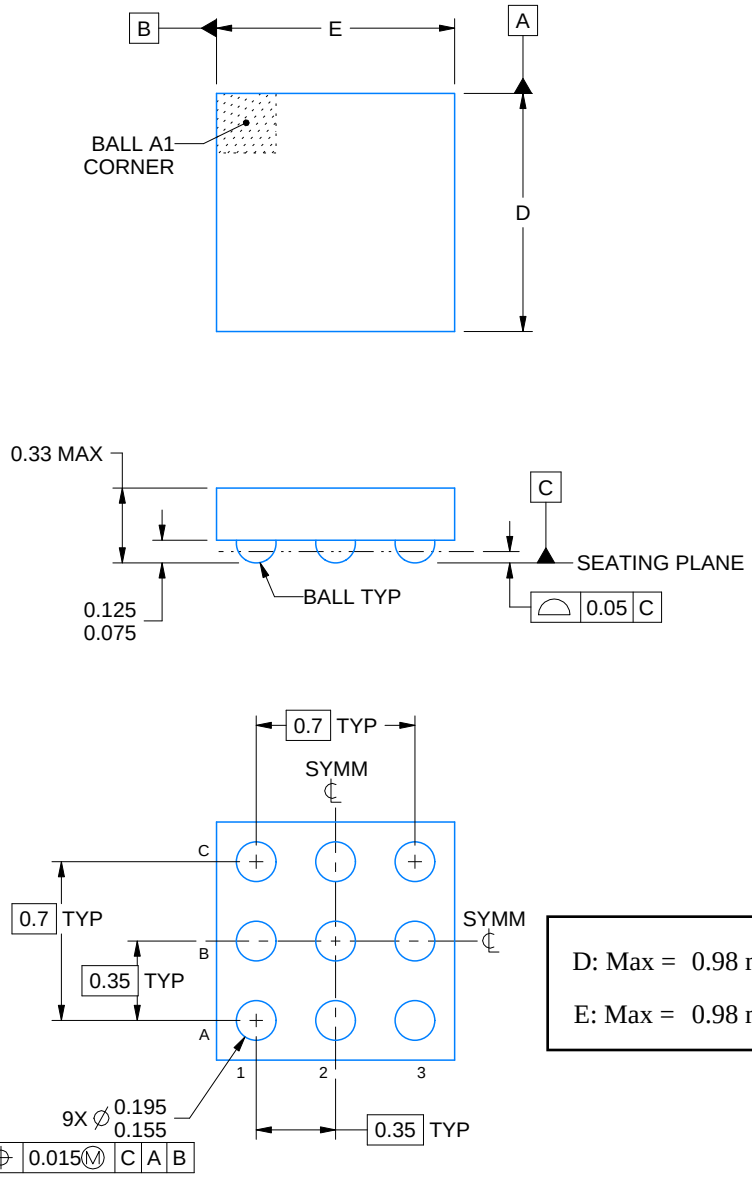
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

YCK0009

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



D: Max = 0.98 mm, Min = 0.92 mm

E: Max = 0.98 mm, Min = 0.92 mm

4225837/A 04/2020

NOTES:

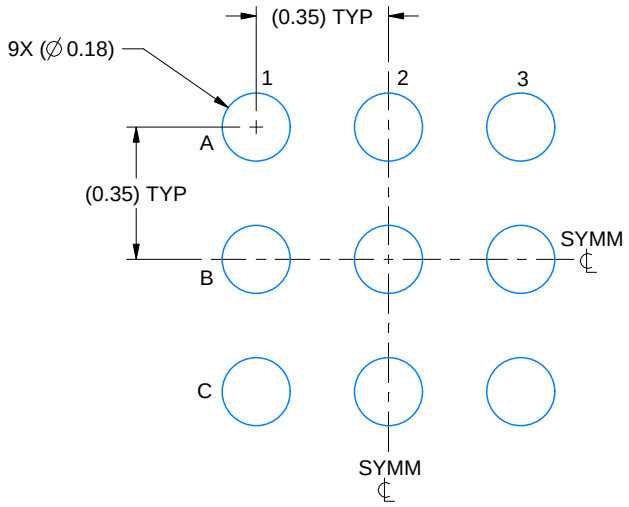
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

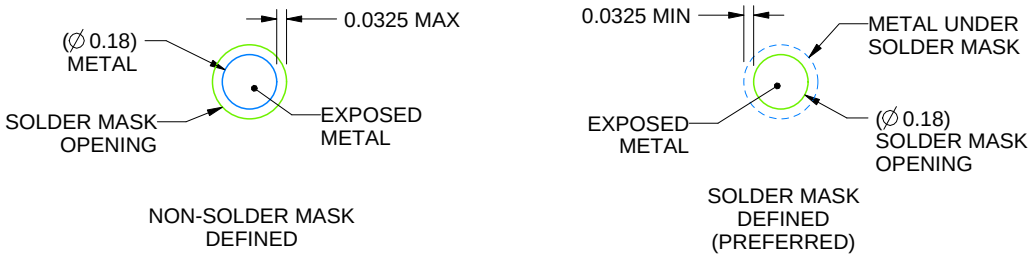
YCK0009

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4225837/A 04/2020

NOTES: (continued)

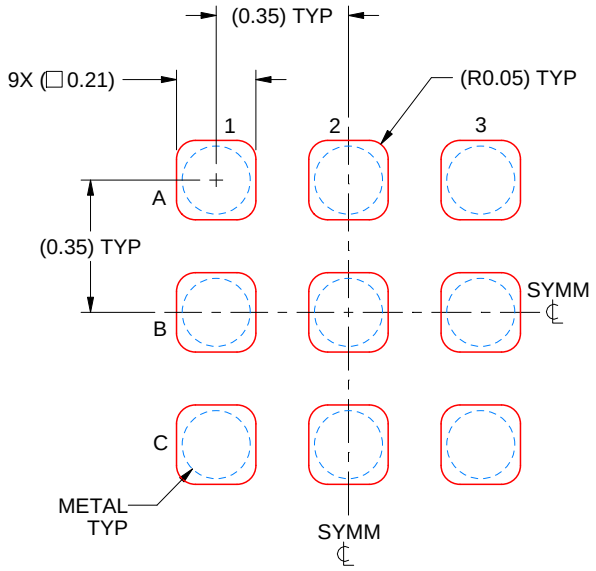
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YCK0009

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



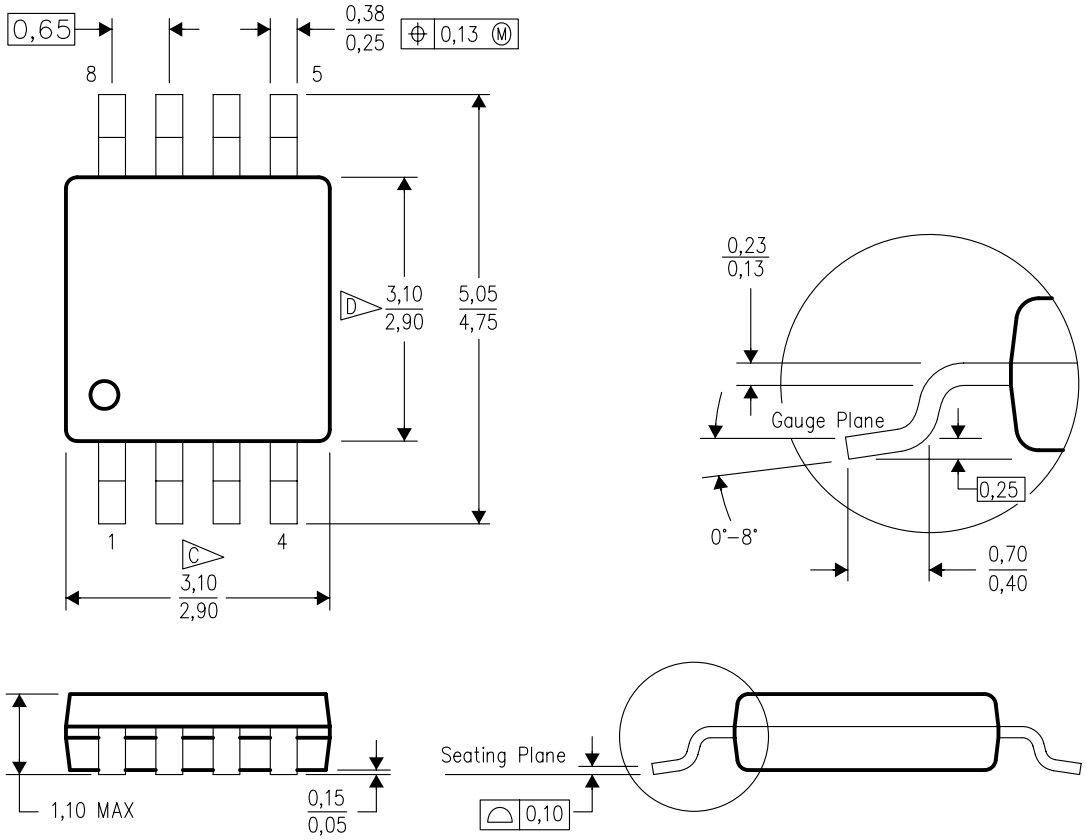
SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 50X

4225837/A 04/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

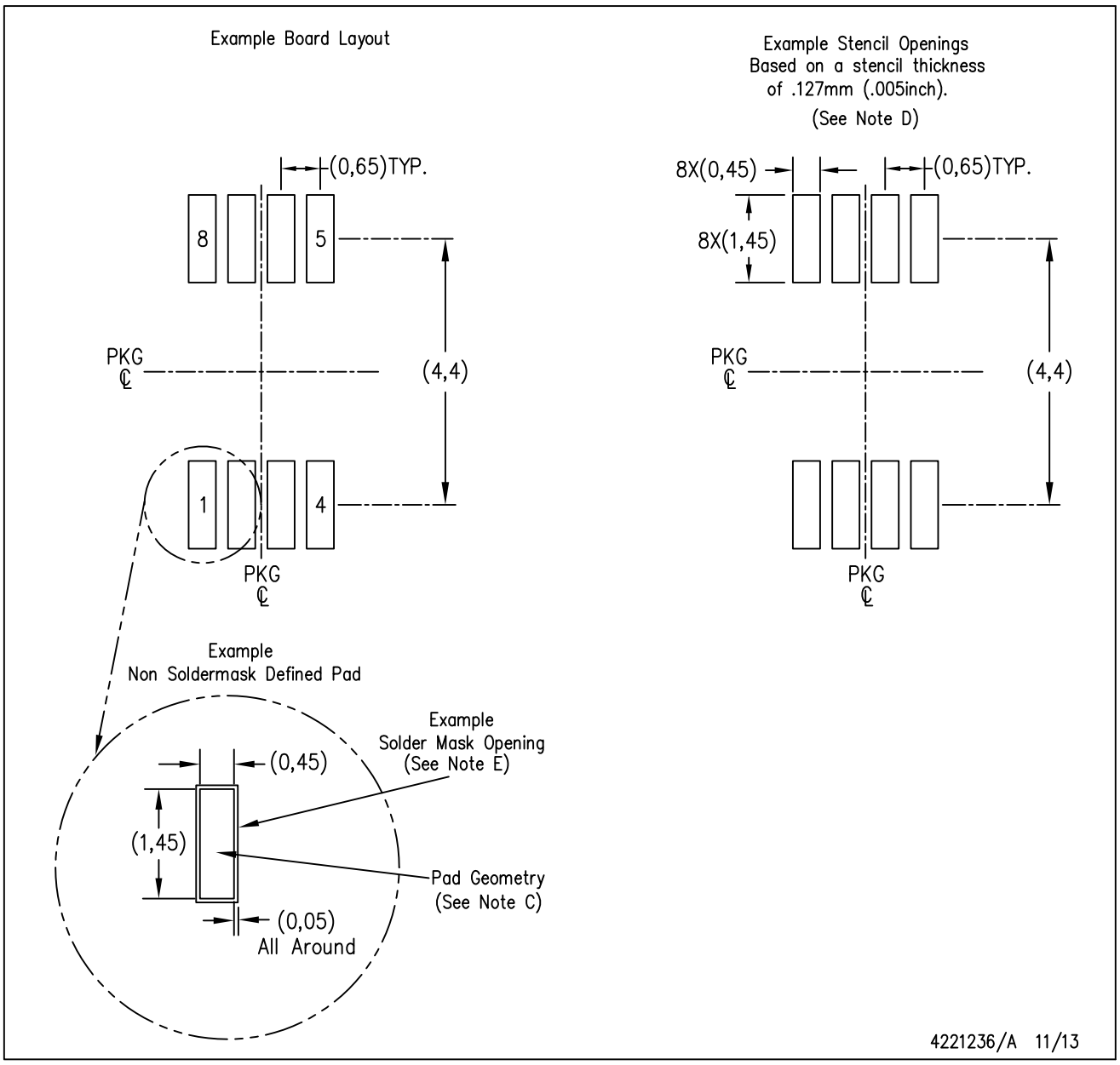
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

GENERIC PACKAGE VIEW

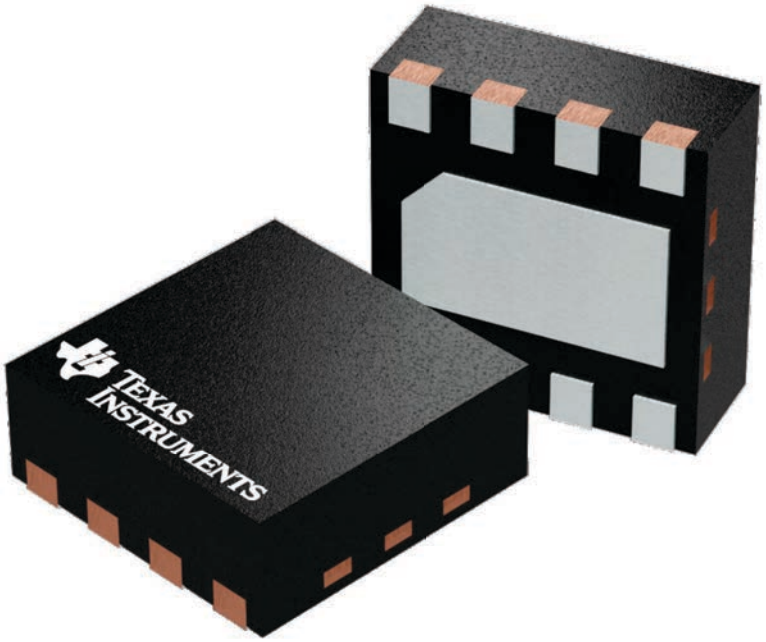
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



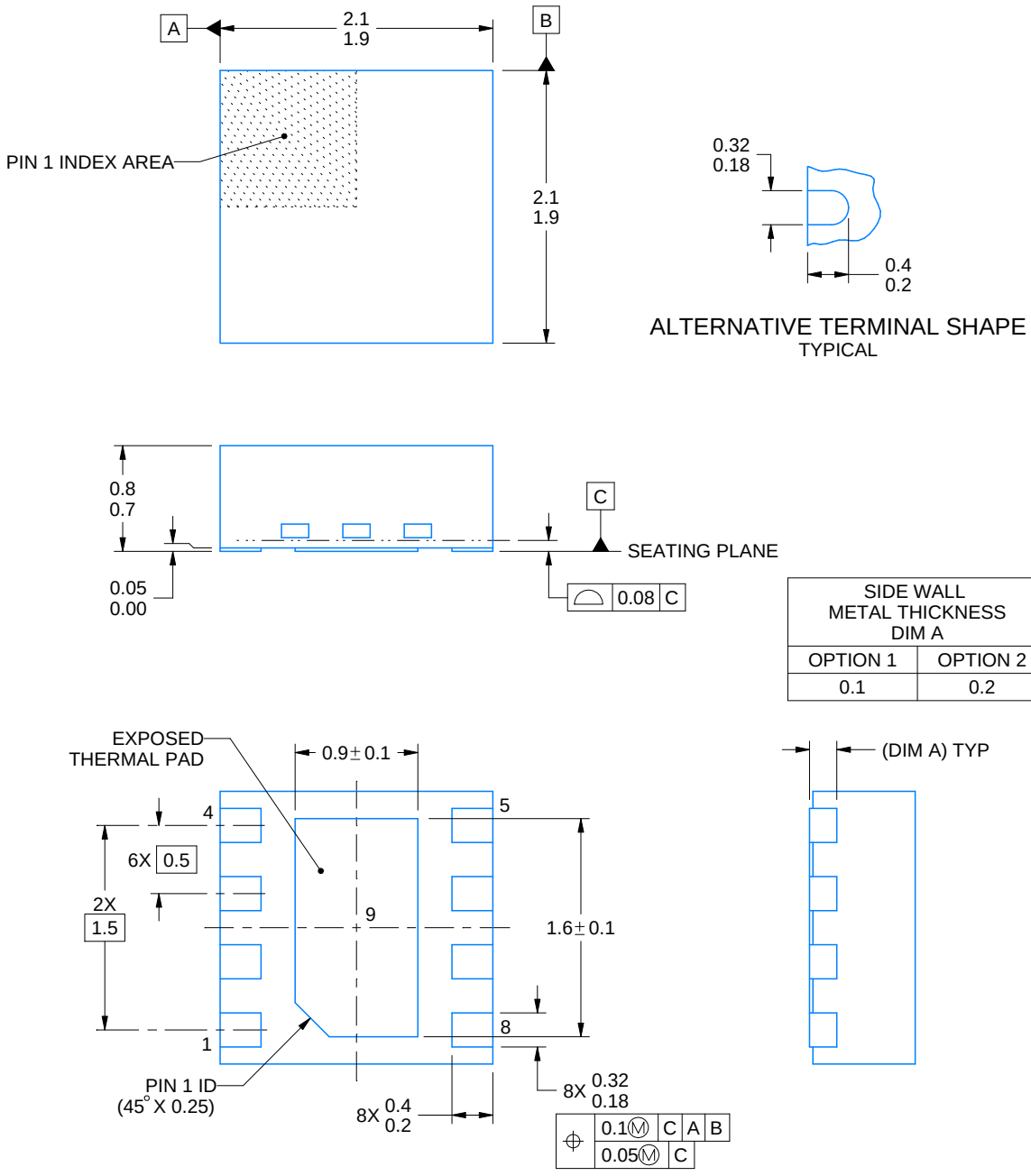
4224783/A

DSG0008A

PACKAGE OUTLINE

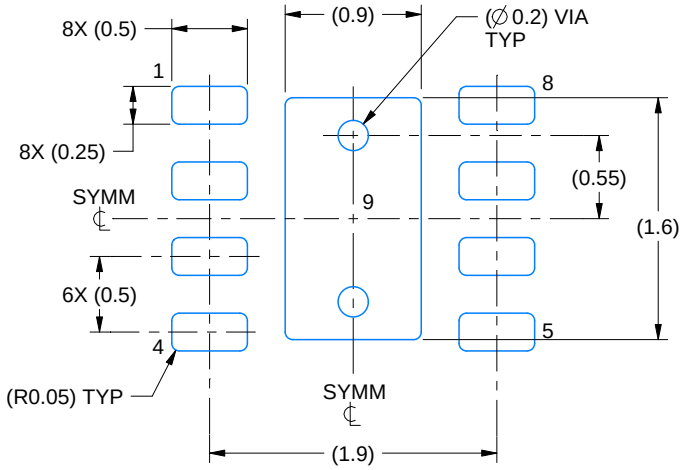
WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

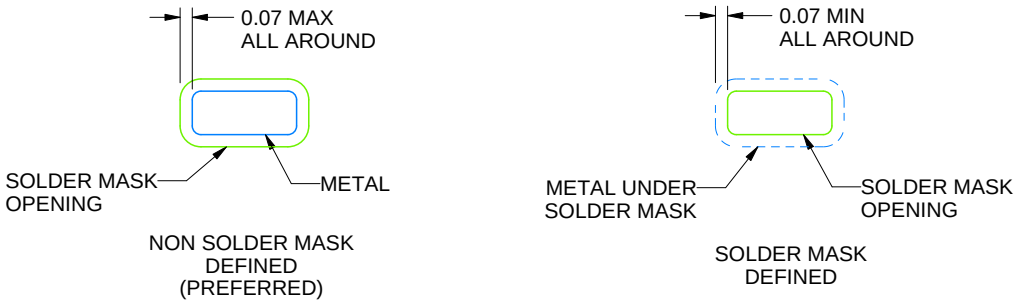


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

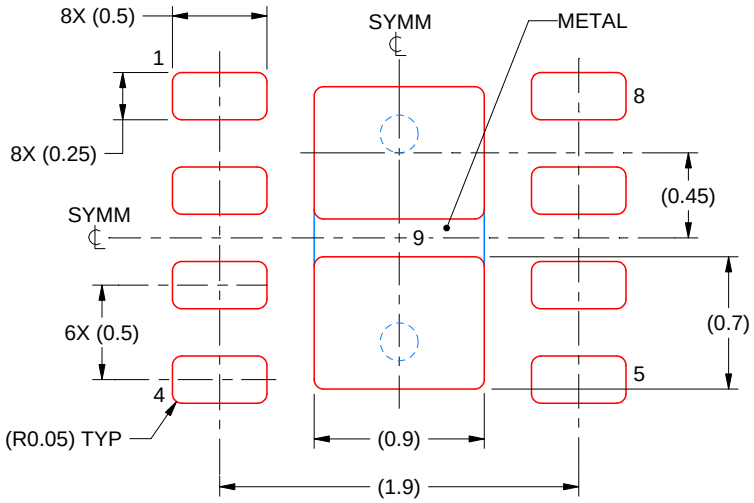


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

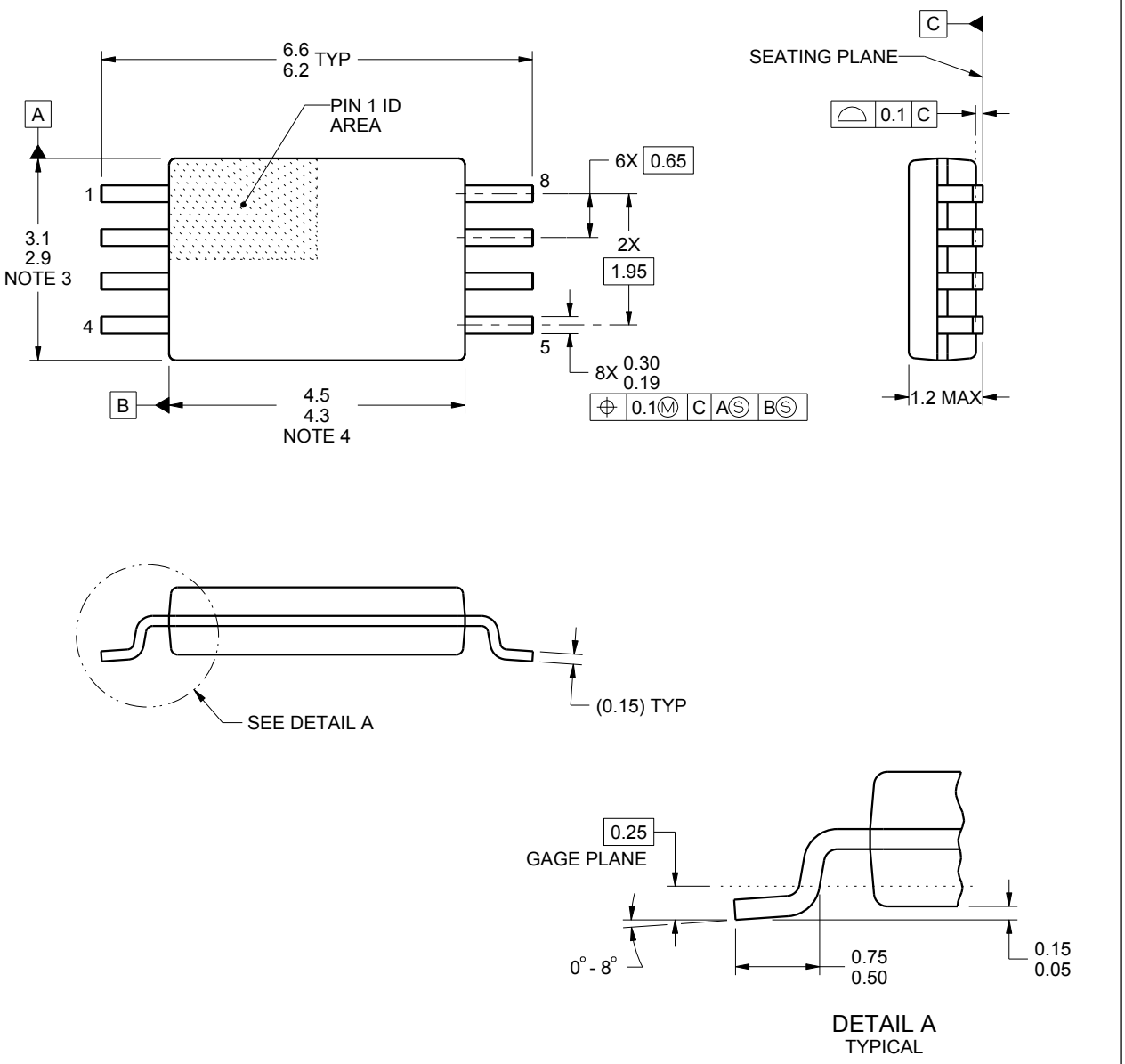
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0008A

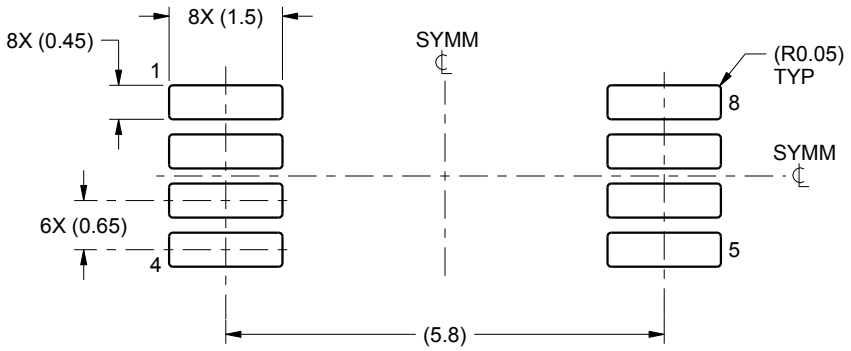
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

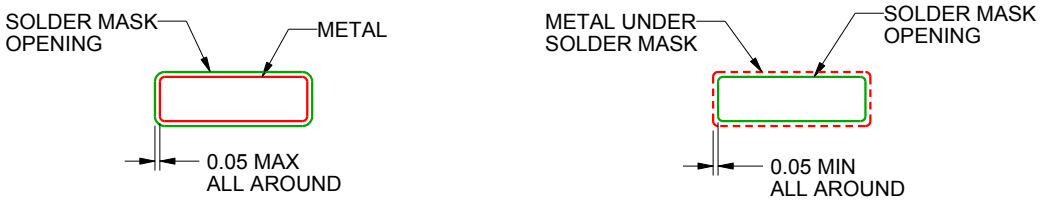


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

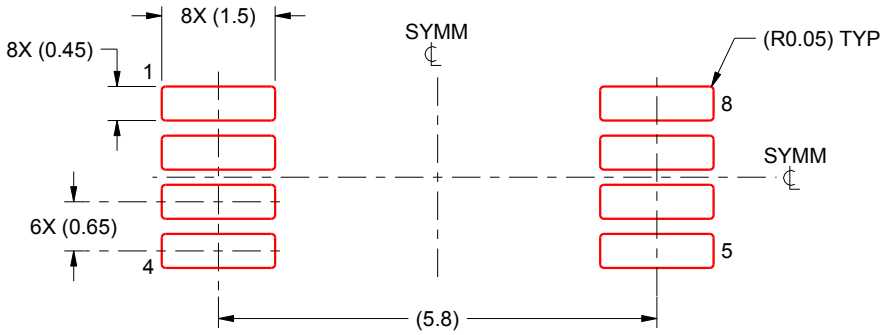


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

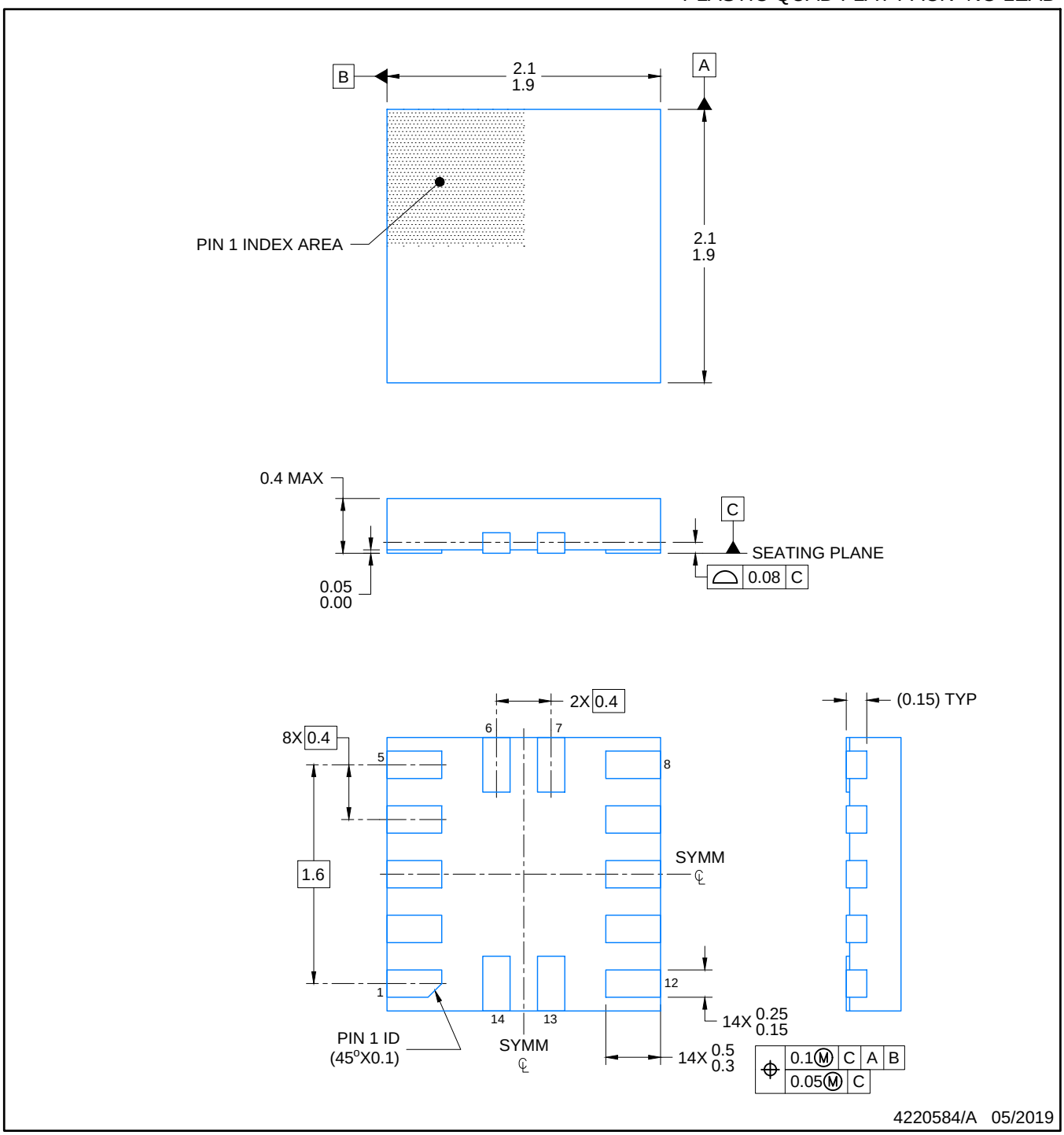
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

RUC0014A

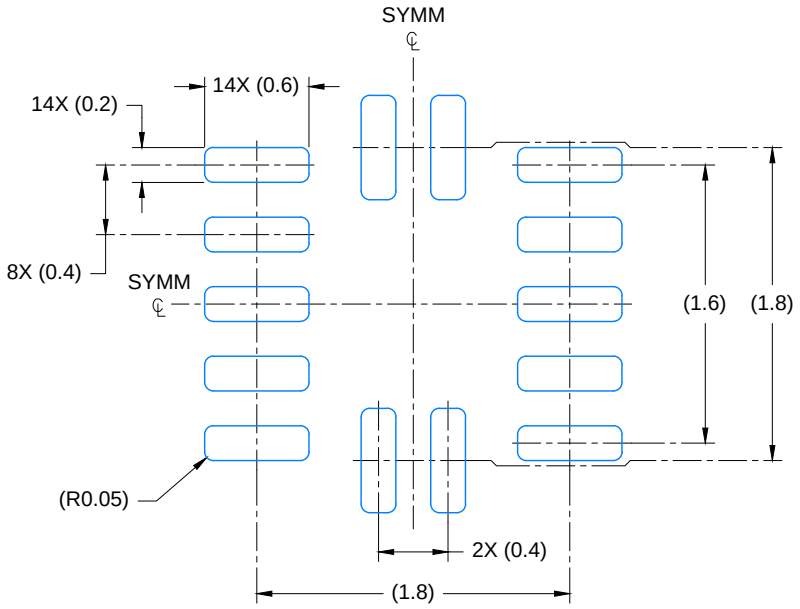
X2QFN - 0.4 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD

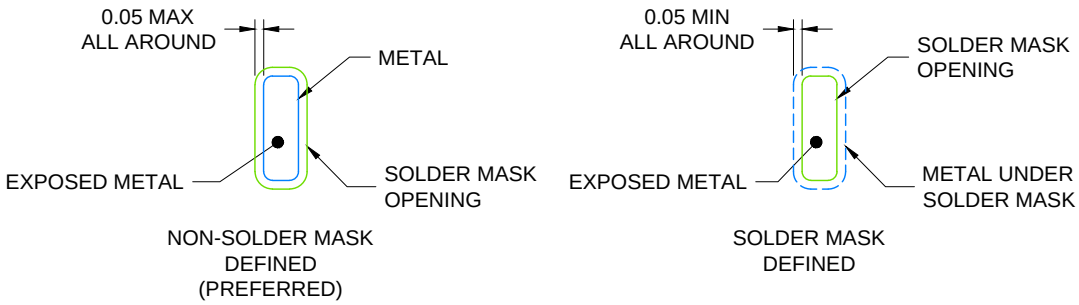


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 23X

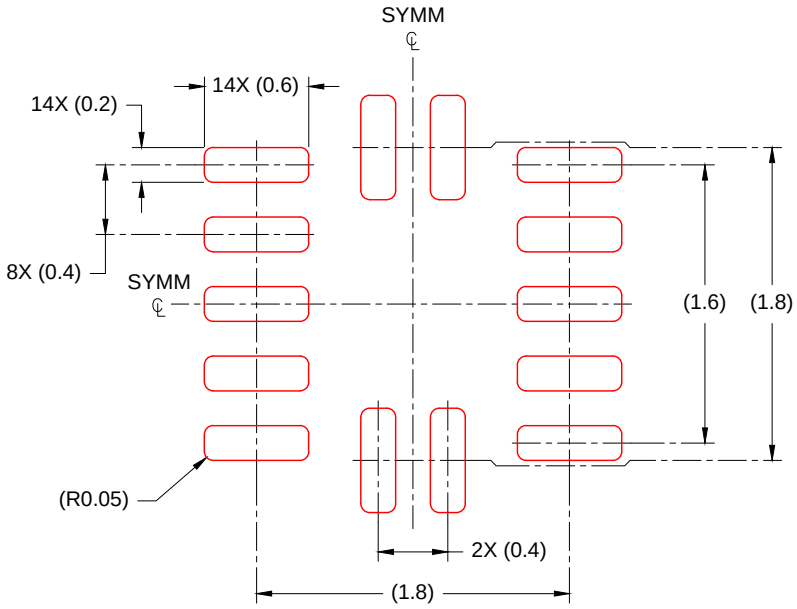


SOLDER MASK DETAILS

4220584/A 05/2019

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.100mm THICK STENCIL
SCALE: 23X

4220584/A 05/2019

NOTES: (continued)

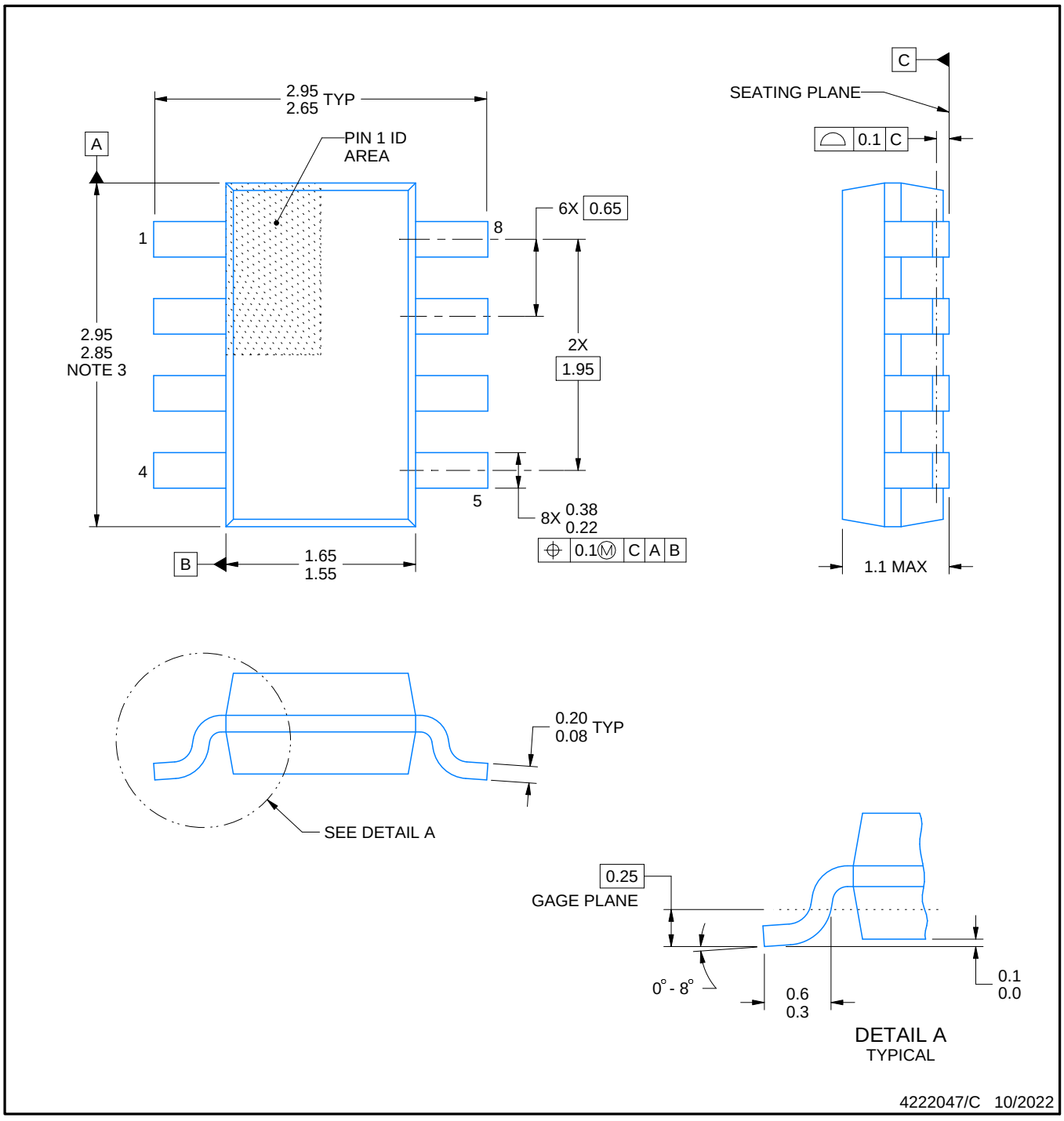
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DDF0008A

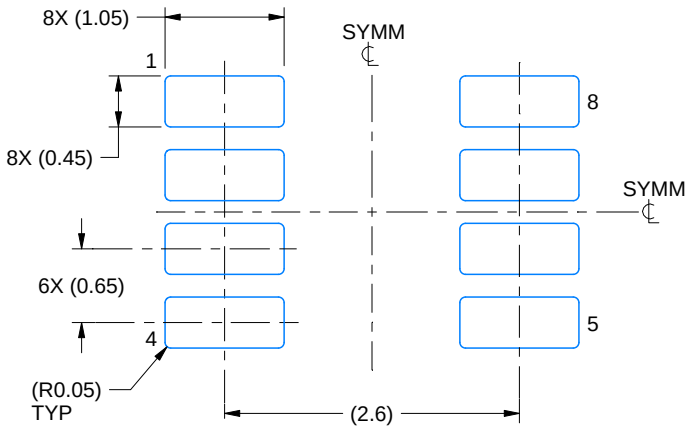
SOT-23 - 1.1 mm max height

PLASTIC SMALL OUTLINE

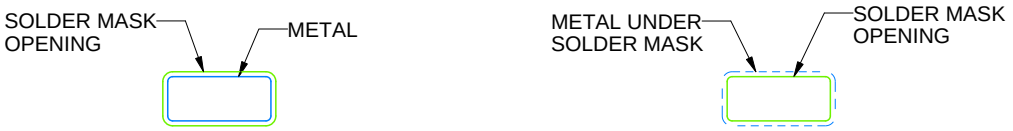


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
SCALE:15X



NON SOLDER MASK
DEFINED

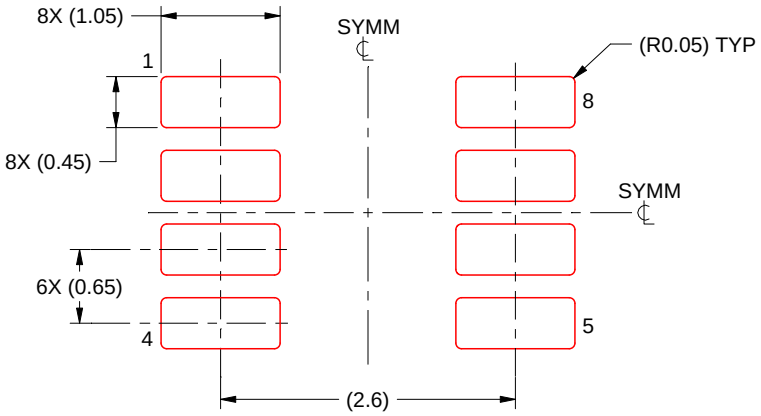
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4222047/C 10/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/C 10/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

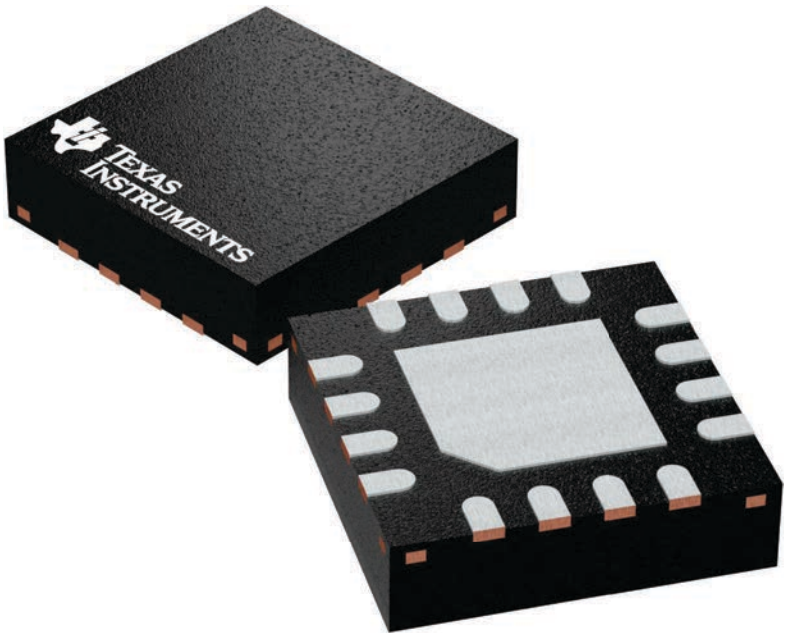
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



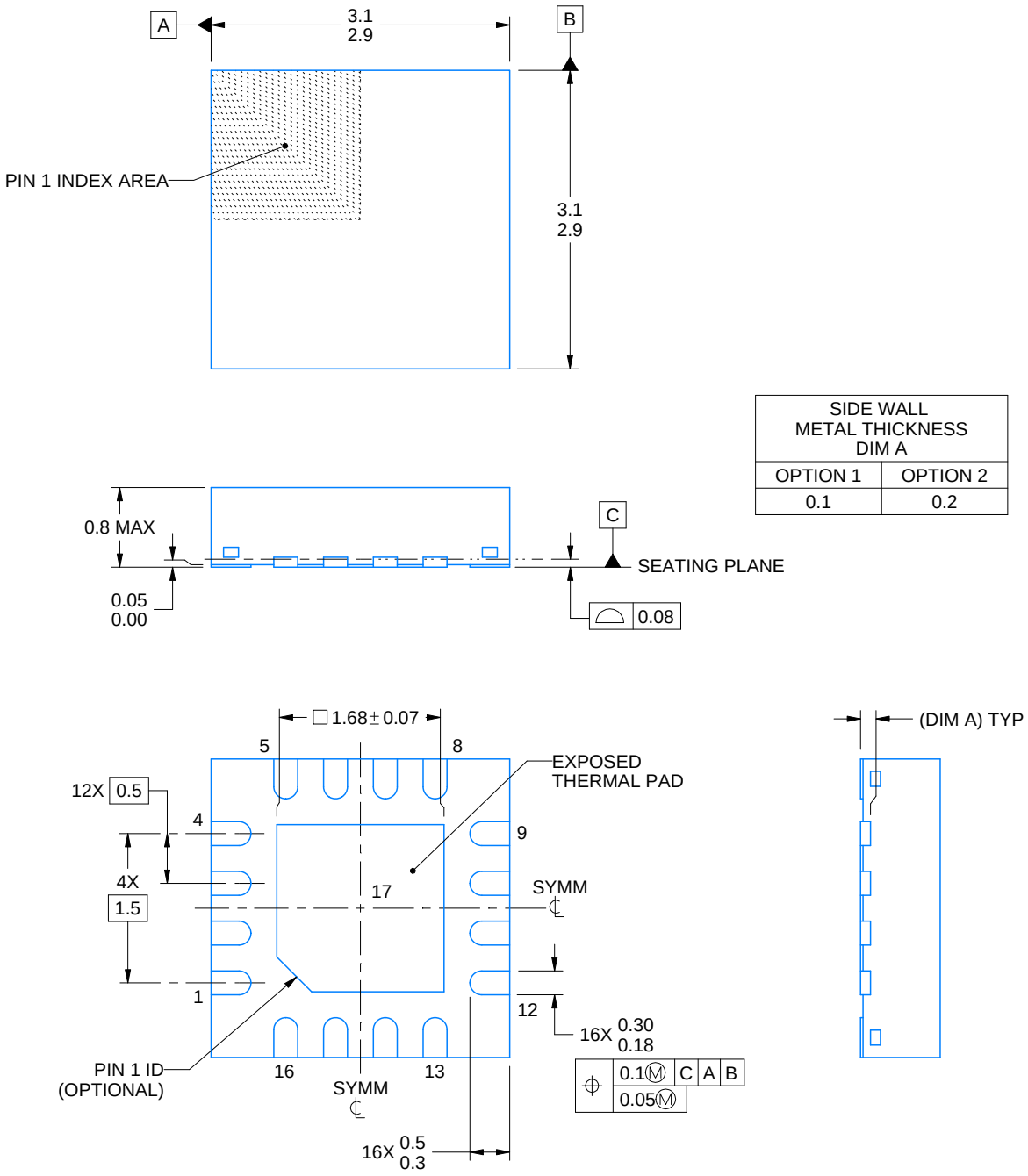
4225944/A

RTE0016C

PACKAGE OUTLINE

WQFN - 0.8 mm max height

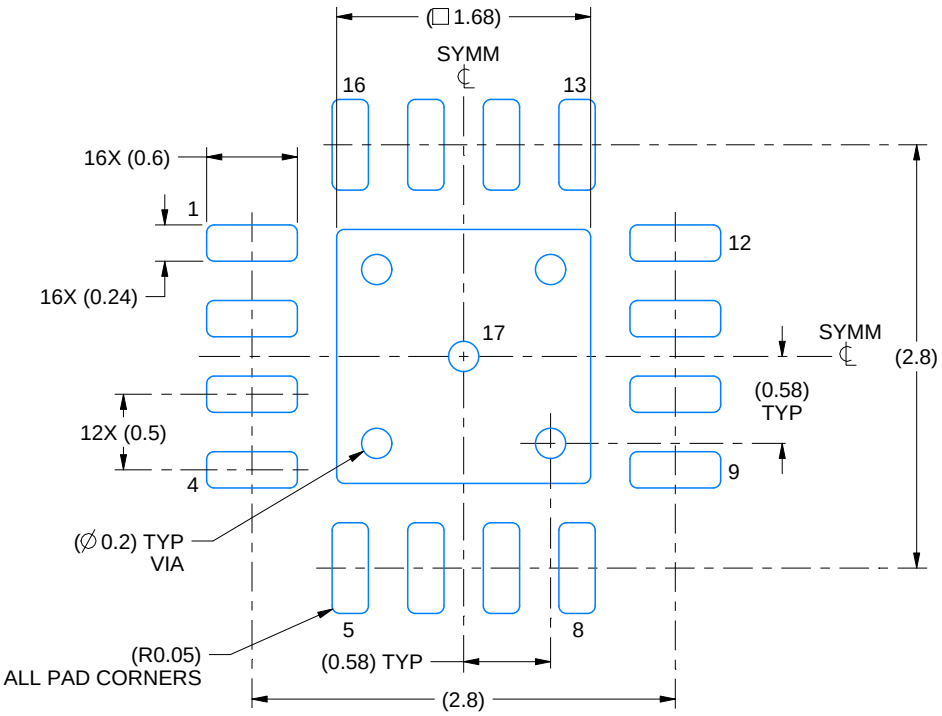
PLASTIC QUAD FLATPACK - NO LEAD



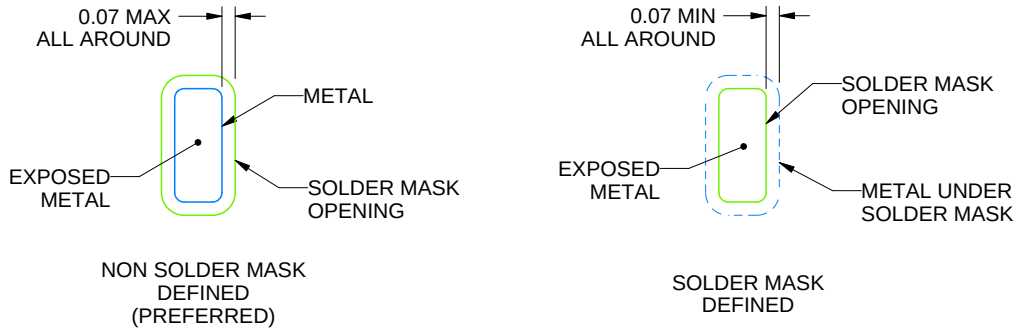
4219117/B 04/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

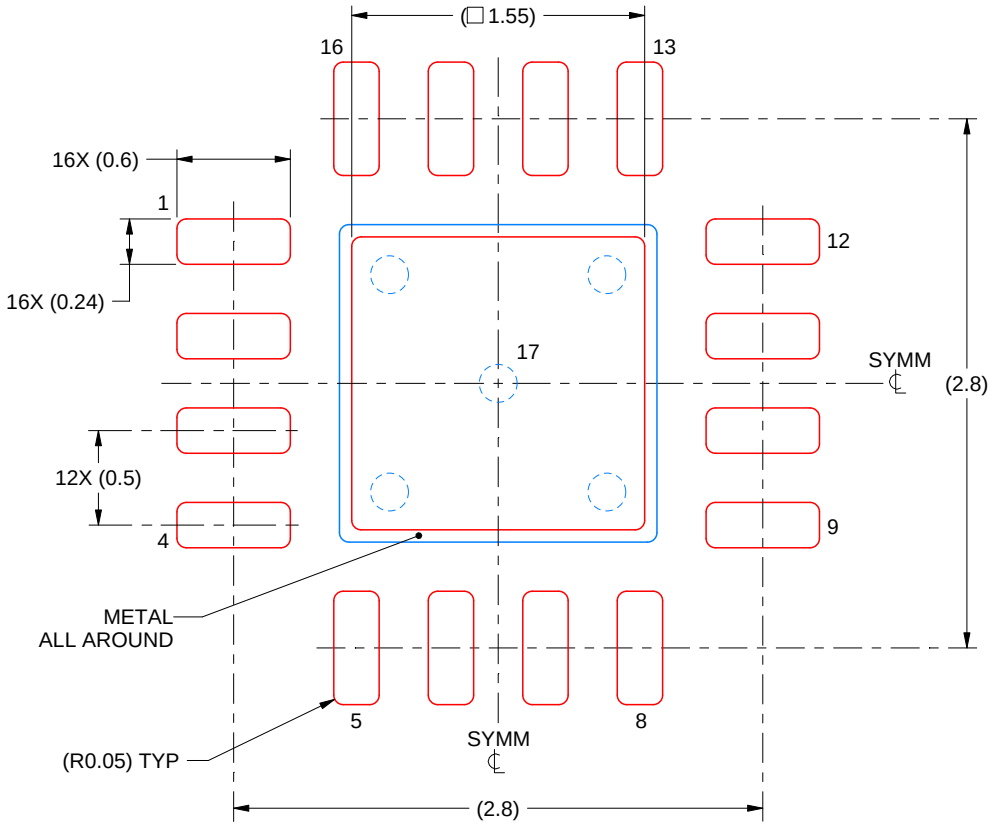


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

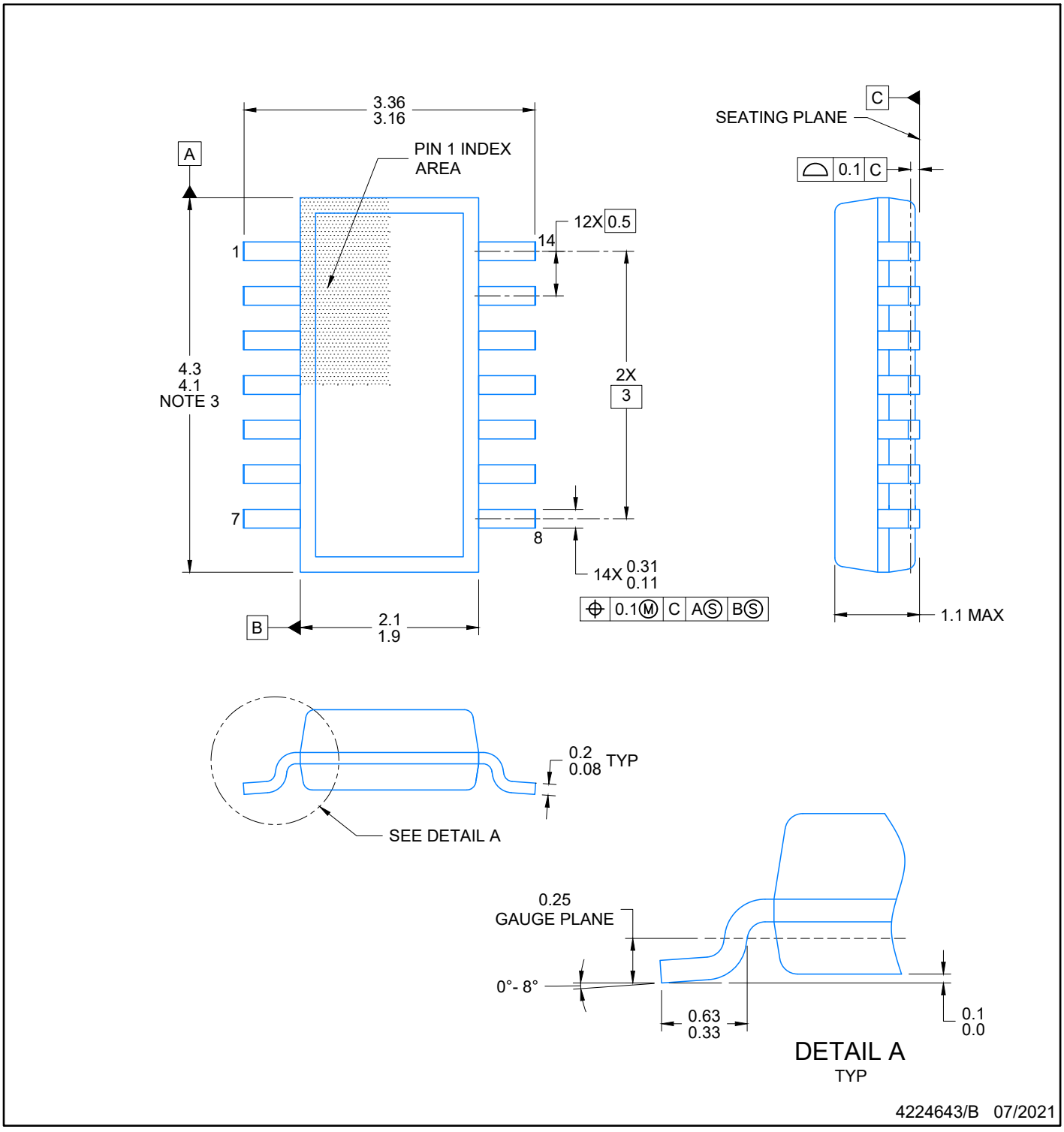
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DYY0014A

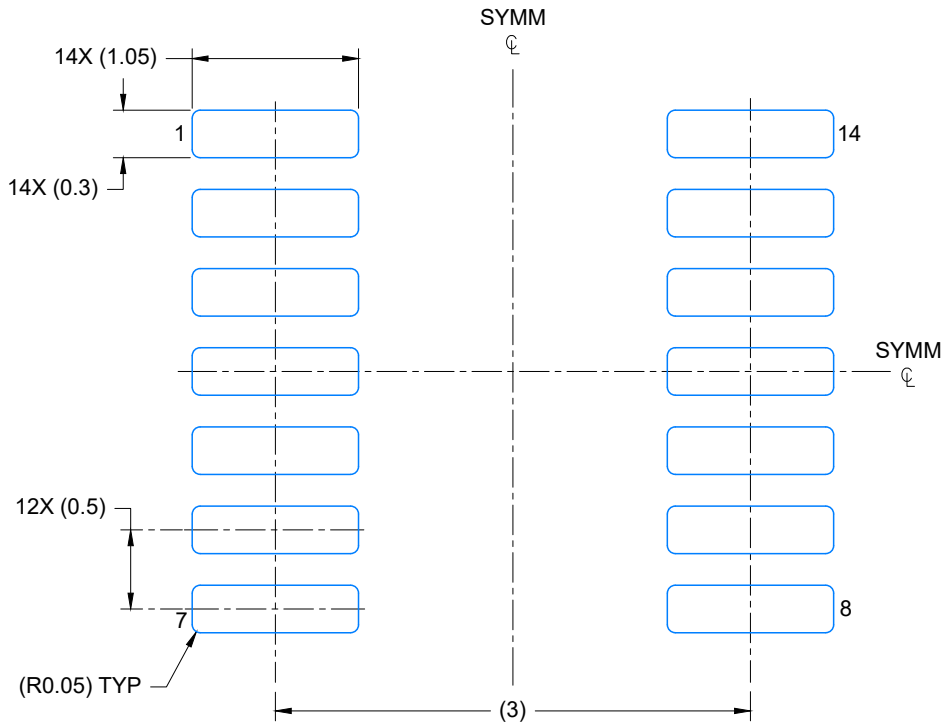
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

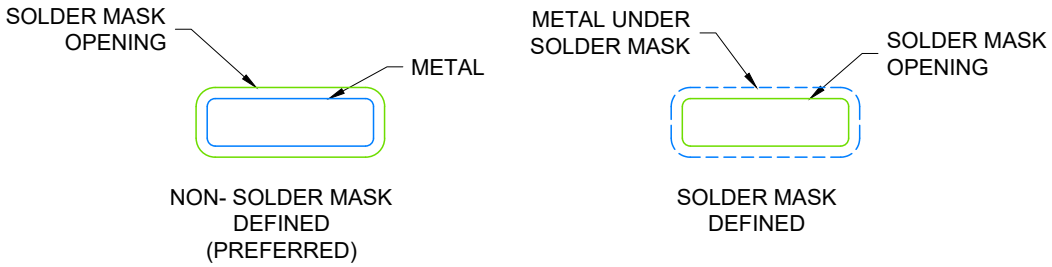


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224643/B 07/2021

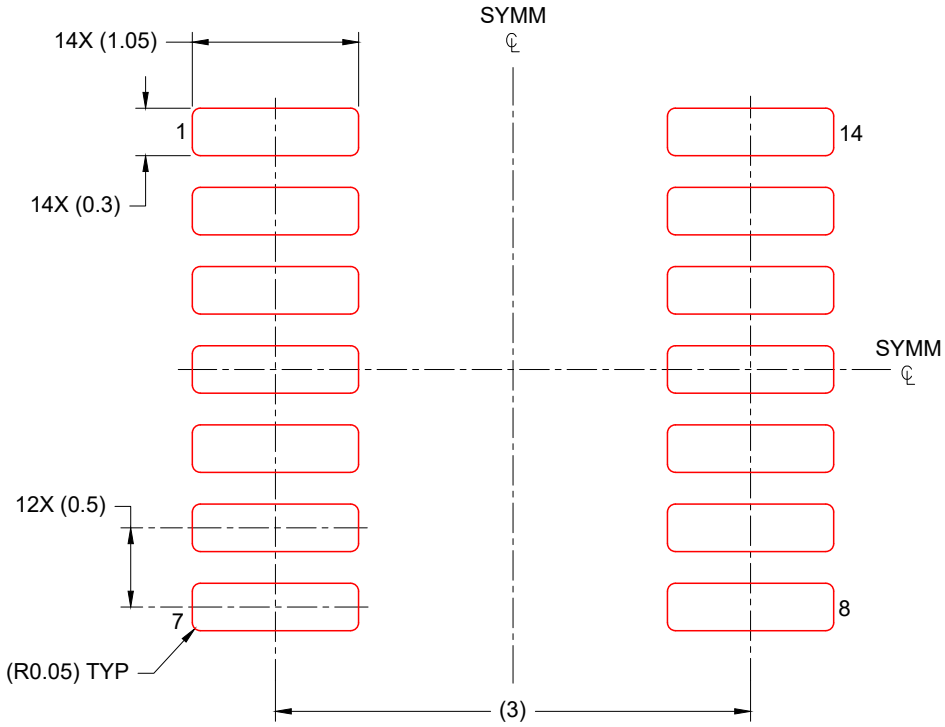
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/B 07/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス· デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated