

TPS22996H-Q1 5.5V、4A、13mΩ オン抵抗、デュアル チャネル車載用ロード スイッチ

1 特長

- 統合型デュアル チャネル負荷スイッチ
- 入力電圧範囲: 0.6V ~ V_{BIAS}
- V_{BIAS} 電圧範囲: 2.5V ~ 5.5V
- オン抵抗:
 - $R_{ON} = 13m\Omega$ (標準値)
($V_{IN} = 0.6V \sim 5V$, $V_{BIAS} = 5V$)
- チャンネルごとに 4A⁽¹⁾ の最大連続スイッチング電流
- 静止電流:
 - 18 μ A (標準値、両チャンネル)
($V_{IN} = V_{BIAS} = 5V$)
 - 13 μ A (標準値、単一チャンネル)
($V_{IN} = V_{BIAS} = 5V$)
- 耐湿性:
 - 以下の条件において、デバイスは機能 (オン、オフ、保護) を維持しますが、タイミング仕様は影響を受けます。
 - グランドへ 100k Ω 短絡
 - 電源へ 100k Ω 短絡
- 制御入力スレッシュホールドにより、1.2V、1.8V、2.5V、3.3V ロジックを使用可能
- 立ち上がり時間を設定可能
- サーマル シャットダウン
- クイック出力放電 (QOD)

- (1) 量産開始前のユニットでは、チャンネルごとに 3A の最大連続電流のみがサポートされています。フル リリース バージョンでは、チャンネルごとに 4A の最大連続電流をサポートします。

2 アプリケーション

- インフォテインメント
- クラスタ
- 先進運転支援システム (ADAS)

3 概要

TPS22996H-Q1 は、ターンオン制御付きのデュアル チャネル ロード スイッチです。入力電圧範囲 0.6V ~ 5.5V で動作する 2 つの N チャネル MOSFET を備えており、各チャンネル最大 4A の連続電流をサポートできます。各スイッチは、低電圧制御信号と直接インターフェイス可能なオン入力とオフ入力 (ON1 および ON2) により独立して制御されます。このデバイスは、接合部温度がスレッシュホールドを超えたときにサーマル シャットダウンでスイッチを切断できます。接合部温度が安全範囲で安定化すると、スイッチが再びオンになります。このデバイスは、スイッチがオフになったときクイック出力放電を行えるように、230 Ω のオンチップ負荷抵抗を備えています。

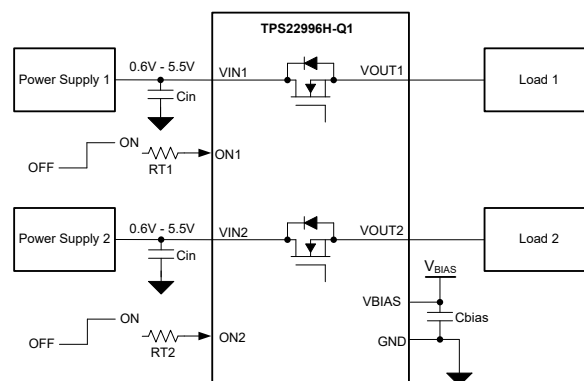
TPS22996H-Q1 のピンは高湿度条件に耐性があるため、デバイスはどのピンからでも GND や電源に対して 100k Ω の短絡状態で機能できます。

TPS22996H-Q1 は、省スペースの 2.1mm × 1.2mm 8-DYC パッケージで供給されます。周囲温度 -40°C ~ 125°C での動作が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS22996H	DYC (SOT, 8)	2.1mm × 1.2mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



アプリケーション回路



Table of Contents

1 特長.....	1	7.4 Device Functional Modes.....	11
2 アプリケーション.....	1	8 Application and Implementation.....	12
3 概要.....	1	8.1 Application Information.....	12
4 Pin Configuration and Functions.....	3	8.2 Typical Application.....	12
5 Specifications.....	4	8.3 Power Supply Recommendations.....	15
5.1 Absolute Maximum Ratings.....	4	8.4 Layout.....	15
5.2 ESD Ratings.....	4	9 Device and Documentation Support.....	17
5.3 Recommended Operating Conditions.....	4	9.1 ドキュメントの更新通知を受け取る方法.....	17
5.4 Thermal Information.....	4	9.2 サポート・リソース.....	17
5.5 Electrical Characteristics.....	5	9.3 Trademarks.....	17
5.6 Switching Characteristics.....	6	9.4 静電気放電に関する注意事項.....	17
6 Parameter Measurement Information.....	7	9.5 用語集.....	17
7 Detailed Description.....	8	10 Revision History.....	17
7.1 Overview.....	8	11 Mechanical, Packaging, and Orderable	
7.2 Functional Block Diagram.....	9	Information.....	17
7.3 Feature Description.....	9		

4 Pin Configuration and Functions

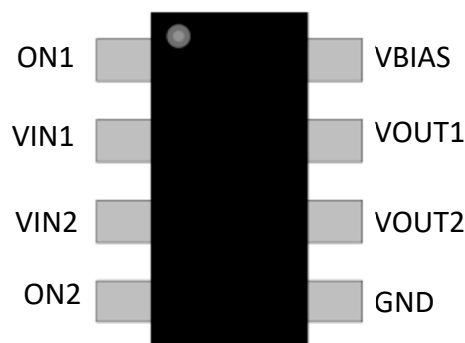


図 4-1. DYC Package, 8-Pin SOT (Top View)

表 4-1. Pin Functions

PIN		I/O	DESCRIPTION
NO.	NAME		
1	ON1	Input	Active-high switch 1 control input. Connect series resistor to set Slew Rate. Do not leave floating. See セクション 7.3.7 for more information.
2	VIN1	Input	Switch 1 input. Recommended voltage range for these pins for optimal R_{ON} performance is 0.6V to V_{BIAS} . Place an optional decoupling capacitor between these pins and GND to reduce V_{IN1} dip during turnon of the channel. See セクション 8.2 for more information.
3	VIN2	Input	Switch 2 input. Recommended voltage range for these pins for optimal R_{ON} performance is 0.6V to V_{BIAS} . Place an optional decoupling capacitor between these pins and GND to reduce V_{IN2} dip during turnon of the channel. See セクション 8.2 for more information.
4	ON2	Input	Active-high switch 2 control input. Connect series resistor to set slew rate. Do not leave floating. See セクション 7.3.7 for more information.
5	GND	—	Device ground.
6	VOUT2	Output	Switch 2 output.
7	VOUT1	Output	Switch 1 output.
8	VBIAS	Input	Bias voltage. Power supply to the device. Recommended voltage range for this pin is 2.5V to 5.5V. See セクション 8.1 .

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{IN1,2}	Input voltage	–0.3	6	V
V _{OUT1,2}	Output voltage	–0.3	6	V
V _{ON1,2}	ON pin voltage	–0.3	6	V
V _{BIAS}	Bias voltage	–0.3	6	V
I _{MAX}	Maximum continuous current per channel		4 ⁽²⁾	A
I _{MAX,PLS}	Maximum pulsed current switch per channel, pulse < 300μs, 3% duty cycle		5.5	A
T _J	Junction temperature		150	°C
T _{stg}	Storage temperature	–65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) For the pre-production units, only 3A of max continuous current per channel is supported. The full released version will support 4A maximum continuous current per channel.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/ JEDEC JS-001, all pins ⁽¹⁾	±2000	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, VIN1,VIN2,VOUT1,VOUT2 pins ⁽²⁾	±500	
		Charged device model (CDM), per JEDEC specification JESD22-C101, ON1,ON2,VBIAS ⁽²⁾	±750	V

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V _{IN1,2}	Input voltage	0.6		V _{BIAS}	V
V _{BIAS}	Bias voltage	2.5		5.5	V
V _{ON1,2}	ON pin voltage	0		5.5	V
V _{OUT1,2}	Output voltage	0		V _{IN}	V
V _{IH}	High-level input voltage, ON	1.2		5.5	V
V _{IL}	Low-level input voltage, ON	0		0.5	V
T _A	Ambient temperature	–40		125	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TPS22996H-Q1	UNIT
		DYC	
		8 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	108.7	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	73.2	°C/W

THERMAL METRIC ⁽¹⁾		TPS22996H-Q1	UNIT
		DYC	
		8 PINS	
$R_{\theta JB}$	Junction-to-board thermal resistance	17.5	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	2.5	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	17.3	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS		T _A	MIN	TYP	MAX	UNIT	
POWER SUPPLIES AND CURRENTS									
I _{Q,VBIAS}	V _{BIAS} quiescent current (Both channels)	I _{OUT1} = I _{OUT2} = 0mA, V _{IN1,2} = V _{ON1,2} = 5V	25°C		18			μA	
			–40°C to 85°C		18	22	μA		
			–40°C to 125°C			25	μA		
I _{Q,VBIAS}	V _{BIAS} quiescent current (Single-channel)	I _{OUT1} = I _{OUT2} = 0mA, V _{ON2} = 0V, V _{IN1,2} = V _{IN1} = 5V	25°C		13			μA	
			–40°C to 85°C		13	17	μA		
			–40°C to 125°C			19	μA		
I _{SD,VBIAS}	V _{BIAS} shutdown current	V _{ON1,2} = 0V, V _{OUT1,2} = 0V	25°C		0.005		1	μA	
			–40°C to 85°C		0.005		1	μA	
			–40°C to 125°C		0.005		1	μA	
I _{SD,VIN}	V _{IN} shutdown current (per channel)	V _{ON} = 0V, V _{OUT} = 0V	V _{IN} = 5V	25°C		0.002		0.8	μA
				–40°C to 85°C		0.002		0.8	μA
				–40°C to 125°C				1	μA
			V _{IN} = 3.3V	25°C		0.002		0.8	μA
				–40°C to 85°C		0.002		0.8	μA
				–40°C to 125°C				1	μA
			V _{IN} = 1.8V	25°C		0.002		0.8	μA
				–40°C to 85°C		0.002		0.8	μA
				–40°C to 125°C				1	μA
			V _{IN} = 0.6V	25°C		0.002		0.8	μA
				–40°C to 85°C		0.002		0.8	μA
				–40°C to 125°C				1	μA
I _{ON}	ON Pin Leakage Current		V _{ON} = 5.5V	–40°C to 125°C			0.1	μA	
RESISTANCE CHARACTERISTICS									

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS		T _A	MIN	TYP	MAX	UNIT
R _{ON}	ON-resistance	I _{OUT} = -200mA	V _{IN} = 5V	25°C		13	15	mΩ
				-40°C to 85°C			18	mΩ
				-40°C to 125°C			22	mΩ
			V _{IN} = 3.3V	25°C		13	15	mΩ
				-40°C to 85°C			18	mΩ
				-40°C to 125°C			22	mΩ
			V _{IN} = 1.8V	25°C		13	15	mΩ
				-40°C to 85°C			18	mΩ
				-40°C to 125°C			22	mΩ
			V _{IN} = 0.6V	25°C		13	15	mΩ
				-40°C to 85°C			18	mΩ
				-40°C to 125°C			22	mΩ
V _{ON,VIH}	VIH	V _{IN} = 5V	V _{IN} = 5V	-55°C to 125°C	1.2			V
V _{ON,VIL}	VIL	V _{IN} = 5V	V _{IN} = 5V	-55°C to 125°C			0.65	V
V _{ON,HYS}	ON pin hysteresis	V _{IN} = 5V		-55°C to 125°C		90		mV
R _i	Internal on pin resistance	V _{ON} = 5V	V _{ON} = 5V	-55°C to 125°C		10		kΩ
R _{PD}	Output pulldown resistance	V _{IN} = V _{OUT} = 5V, V _{ON} = 0V		-40°C to 125°C		230	300	Ω
T _{SD}	Thermal shutdown	Junction temperature rising		–		175		°C
T _{SD,HYS}	Thermal shutdown hysteresis	Junction remperature falling		–		20		°C

5.6 Switching Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{IN} = V_{ON} = V_{BIAS} = 5V						
t _{ON}	Turn ON time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		946		μs
t _{OFF}	Turn OFF time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		2.1		μs
t _R	Rise time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		626		μs
t _F	Fall time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		2.1		μs
t _D	Delay time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		320		μs
V_{IN} = 0.6V, V_{ON} = V_{BIAS} = 5V						
t _{ON}	Turn ON time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		587		μs
t _{OFF}	Turn OFF time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		2.1		μs
t _R	Rise time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		203		μs
t _F	Fall time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		2.52		μs
t _D	Delay time	R _L = 10Ω, C _L = 0.1μF, I _{ON} = 100μA		384		μs

6 Parameter Measurement Information

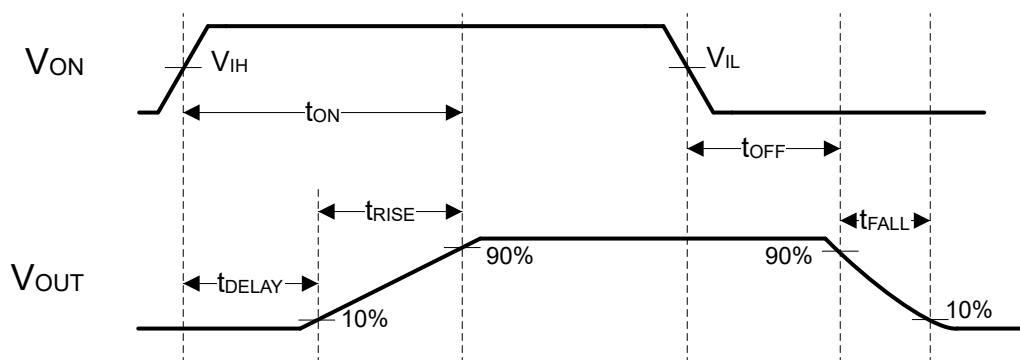


図 6-1. t_{ON} and t_{OFF} Waveforms

7 Detailed Description

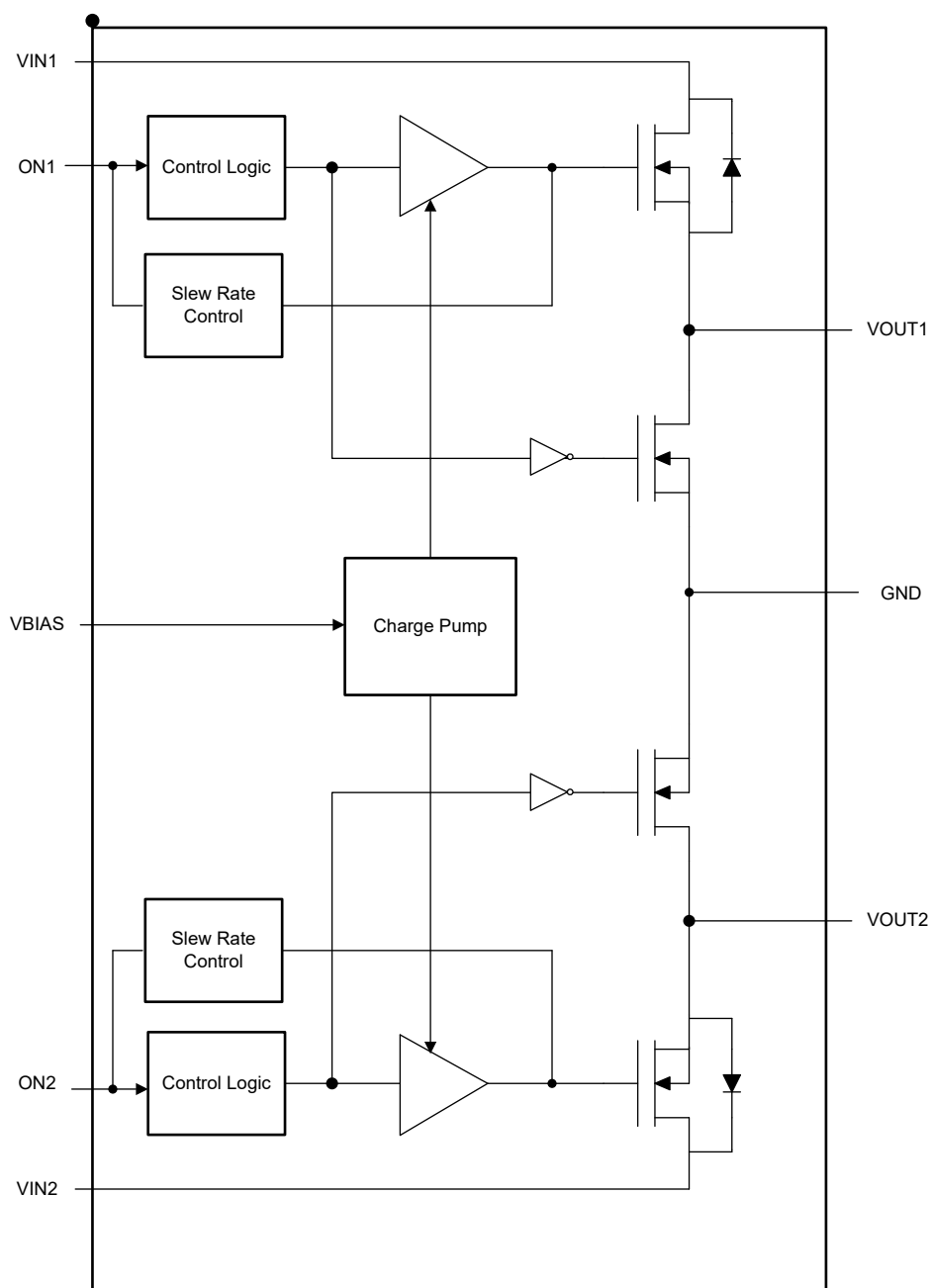
7.1 Overview

The TPS22996H-Q1 is a 5.5V, dual-channel, 13m Ω (typical) R_{ON} load switch in a 8-pin DYC package. Each channel can support a maximum continuous current of 4A and is controlled by an on and off GPIO-compatible input. To reduce the voltage drop in high current rails, the device implements N-channel MOSFETs. Note that the ON pins must be connected and cannot be left floating. The device has a configurable slew rate for applications that require specific rise-time, which controls the inrush current. By controlling the inrush current, power supply sag can be reduced during turnon. Furthermore, the slew rate is proportional to the series resistor used on the ONx pin. See [セクション 7.3.7](#) to determine the correct resistor value for a desired rise time.

The internal circuitry is powered by the V_{BIAS} pin, which supports voltages from 2.5V to 5.5V. This circuitry includes the charge pump, QOD, and control logic. When a voltage is applied to V_{BIAS} , and the ON_{1,2} pins transition to a low state, the QOD functionality is activated. This connects V_{OUT1} and V_{OUT2} to ground through the on-chip resistor. The typical pulldown resistance (R_{PD}) is 230 Ω .

During the off state, the device prevents downstream circuits from pulling high standby current from the supply. The integrated control logic, driver, power supply, and output discharge FET eliminates the need for any external components, reducing solution size and bill of materials (BOM) count.

7.2 Functional Block Diagram



7.3 Feature Description

7.3.1 ON and OFF Control

The ON pins control the state of the switch. Asserting ON high enables the switch. ON is active high with a low threshold, making it capable of interfacing with low-voltage signals. The ON pin is compatible with standard GPIO logic threshold. It can be used with any microcontroller with 1.2V or higher GPIO voltage. This pin cannot be left floating and must be tied either high or low for proper functionality.

7.3.2 Input Capacitor (Optional)

To limit the voltage drop on the input supply caused by transient inrush currents when the switch turns on into a discharged load capacitor, a capacitor needs to be placed between VIN and GND. A 1µF ceramic capacitor, C_{IN} ,

placed close to the pins is usually sufficient. Higher values of C_{IN} can be used to further reduce the voltage drop during high-current application. When switching heavy loads, it is recommended to have an input capacitor about 10 times higher than the output capacitor to avoid excessive voltage drop.

7.3.3 Output Capacitor (Optional)

Due to the integrated body diode in the NMOS switch, a C_{IN} greater than C_L is highly recommended. A C_L greater than C_{IN} can cause V_{OUT} to exceed V_{IN} when the system supply is removed. This could result in current flow through the body diode from V_{OUT} to V_{IN} . A C_{IN} to C_L ratio of 10 to 1 is recommended for minimizing V_{IN} dip caused by inrush currents during startup, however a 10 to 1 ratio for capacitance is not required for proper functionality of the device. A ratio smaller than 10 to 1 (such as 1 to 1) could cause slightly more V_{IN} dip upon turnon due to inrush currents. This can be mitigated by increasing the capacitance on the CT pin for a longer rise time (see [セクション 7.3.7](#)).

7.3.4 Quick Output Discharge

When the switch is disabled, an internal discharge resistance is connected between V_{OUT} and GND to remove the remaining charge from the output. This resistance prevents the output from floating while the switch is disabled. For best results, it is recommended that the device gets disabled before V_{BIAS} falls below the minimum recommended voltage.

7.3.5 Humidity Resistance

TPS22996H-Q1 is designed to be resistant to humidity, which is replicated by 100k Ω short between any pin to either GND or power. Under such humidity conditions, our device is able to function correctly with ON, OFF and thermal shutdown. However, the timing parameter will be affected by the short condition, and will deviate from the typical value listed in the Electrical Characteristic table (see [セクション 5.5](#)).

7.3.6 Thermal Shutdown

Thermal shutdown protects the part from internally or externally generated excessive temperatures. When the device temperature exceeds T_{SD} , the switch is turned off. The switch automatically turns on again if the temperature of the die drops $T_{SD,HYS}$ below the T_{SD} threshold.

7.3.7 Adjustable Rise Time

TPS22996H-Q1 integrates a unique architecture for adjusting the rise time. The device senses the current flowing into the ON1 and ON2 (I_{ON}) pins and utilizes the information to set the rise time. This allows the user to adjust the rise time by connecting a series resistance that is determined by the ON pin voltage. Refer to [表 7-1](#) for reference on setting the resistor.

表 7-1. Typical Rise Time ($V_{BIAS} = 5V$)

I_{ON}	$V_{IN} = 0.6V$	$V_{IN} = 1.8V$	$V_{IN} = 2.5V$	$V_{IN} = 3.3V$	$V_{IN} = 5V$
20 μA	764 μs	1380 μs	1700 μs	1955 μs	2350 μs
100 μA	203 μs	343 μs	426 μs	500 μs	626 μs
250 μA	85 μs	148 μs	180 μs	208 μs	265 μs

表 7-2. Typical Rise Time ($V_{BIAS} = 3.3V$)

I_{ON}	$V_{IN} = 0.6V$	$V_{IN} = 1.8V$	$V_{IN} = 2.5V$	$V_{IN} = 3.3V$
20 μA	738 μs	1420 μs	1735 μs	2040 μs
100 μA	191 μs	360 μs	437 μs	512 μs
250 μA	88 μs	239 μs	170 μs	204 μs

The following equation can be used to estimate the series resistance required to meet the desired rise time.

$$R_{TX} = 1000 \times (V_{ONx_GPIO} - 1.2V) / I_{ONx} - R_i \quad (1)$$

where:

- R_{TX} = Channel × series resistance in $k\Omega$.
- R_i = Internal ON pin resistance $k\Omega$.
- V_{ONx_GPIO} = Channel × GPIO voltage connected to ONx pin in V.
- I_{ONx} = Current flowing into the ONx pin in μA .

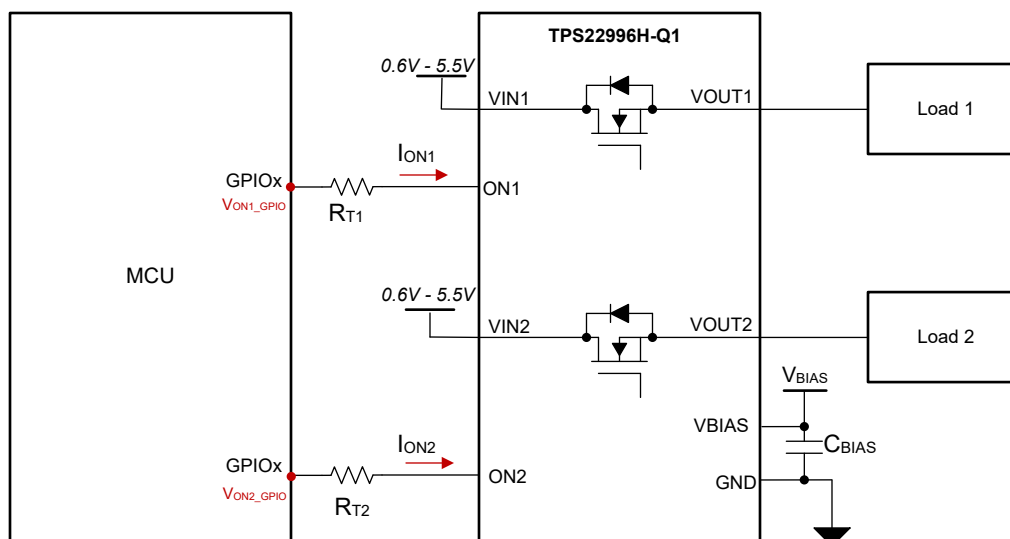


図 7-1. TPS22996H-Q1 Adjustable Rise Time Configuration

7.4 Device Functional Modes

表 7-3 lists the TPS22996H-Q1 functions.

表 7-3. TPS22996H-Q1 Functions Table

ON	VIN to VOUT	VOUT
L	Off	GND
H	On	VIN

8 Application and Implementation

注

以下のアプリケーションに関するセクションの情報は、TI の部品仕様の一部ではなく、TI はこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

This section highlights some of the design considerations for implementing the device in various applications.

8.2 Typical Application

This application demonstrates how the TPS22996H-Q1 can be used to limit the inrush current when powering on downstream modules.

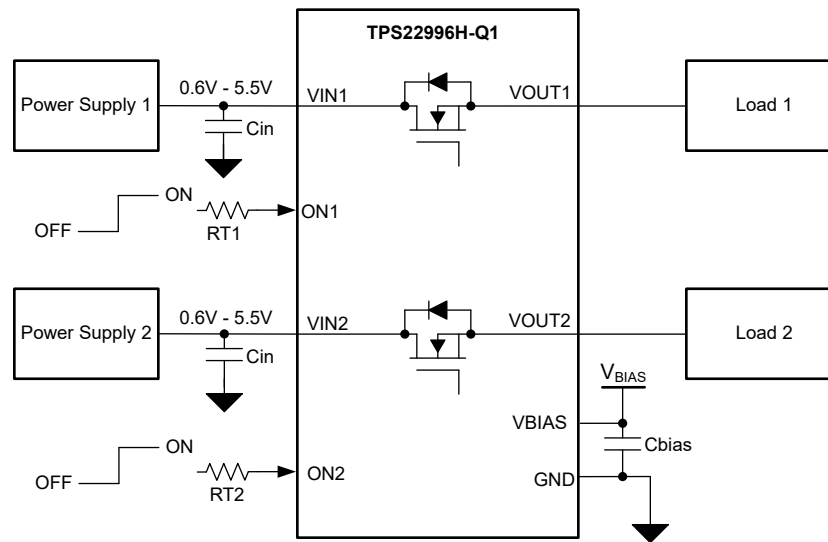


図 8-1. Typical Application Circuit

表 8-1. Component Descriptions

DESIGN PARAMETER	TYPICAL VALUES	DESCRIPTION
C _{IN}	1μF	Filtering voltage transients
C _{OUT}	100nF	Filtering voltage transients
C _{BIAS}	0.1μF	Filtering voltage transients
RT1, RT2	10kΩ	Series resistor for rise time control

8.2.1 Design Requirements

表 8-2 shows the TPS22996H-Q1 design parameters.

表 8-2. Design Parameters

DESIGN PARAMETER	VALUE
V_{BIAS}	5V
V_{IN}	5V
Rise Time	1000 μ s

8.2.2 Detailed Design Procedure

The design in this example is trying to achieve 1000μs rise time for power sequencing, with both V_{BIAS} and V_{IN} to be 5V. From 表 7-1, the I_{ON} needs to be between 20μA and 100μA. To find the I_{ON} needed to achieve 1000μs rise time, linear interpolation can be used to estimate as below:

$$T_R = (T_{R2} - T_{R1}) / (I_{ON2} - I_{ON1}) * (I_{ON} - I_{ON1}) + T_{R1} \quad (2)$$

where:

- T_R is the desired T_R , which is 1000μs
- I_{ON} is the desired I_{ON}
- T_{R1} is the first T_R used for linear interpolation, which is 2350μs
- T_{R2} is the second T_R used for linear interpolation, which is 626μs
- I_{ON1} is the first I_{ON} used for linear interpolation, which is 20μA
- I_{ON2} is the second I_{ON} used for linear interpolation, which is 100μA

I_{ON} is calculated to be 82.6μA. To find the R_T value, plug in the parameters in 式 1.

$$R_T = 1000 \times (5V - 1.2V) / 82.6\mu A - 12.5k\Omega = 33.5k\Omega$$

By using the standard resistor value closest to 33.5kΩ, the typical rise time can be calculated for the actual resistor value used on board.

8.3 Power Supply Recommendations

The device is designed to operate from a V_{BIAS} range of 2.5V to 5.5V and a V_{IN} range of 0.6V to V_{BIAS} .

8.4 Layout

8.4.1 Layout Guidelines

For best performance, all traces must be as short as possible. To be most effective, the input and output capacitors must be placed close to the device to minimize the effects that parasitic trace inductances may have on normal operation. Using wide traces for V_{IN} , V_{OUT} , and GND helps minimize the parasitic electrical effects along with minimizing the case to ambient thermal impedance.

8.4.2 Layout Example

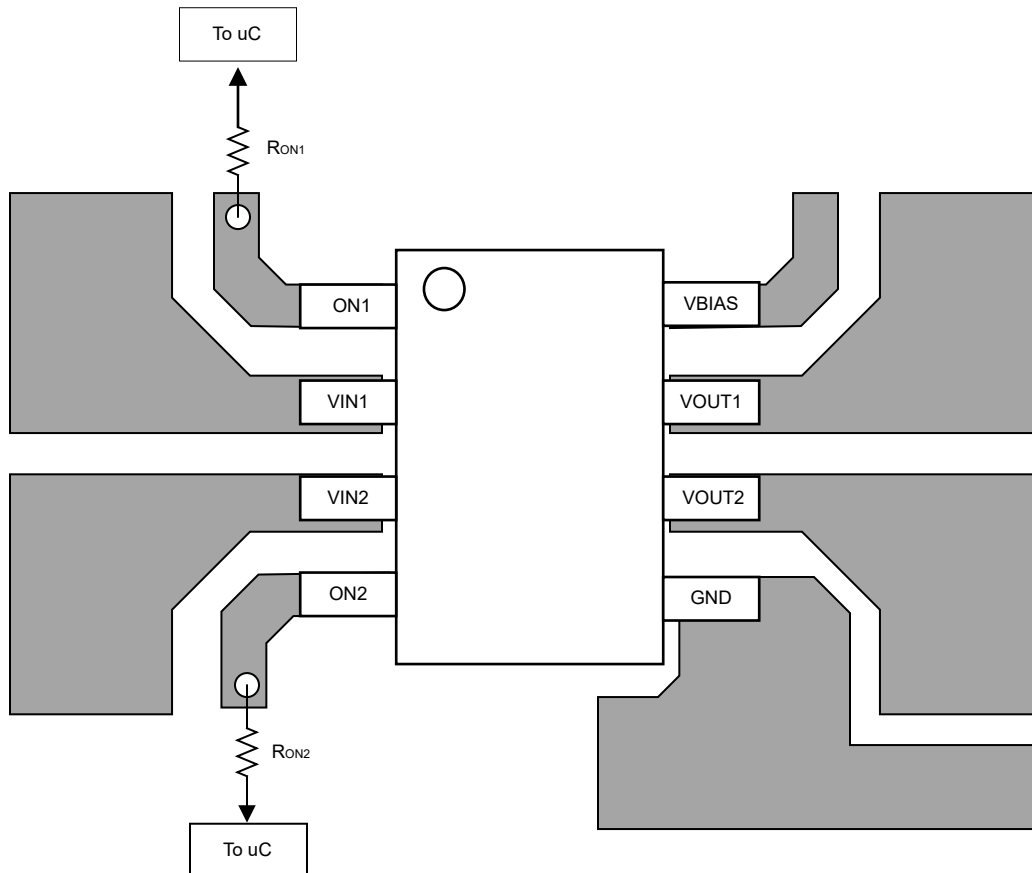


図 8-2. TPS22996H Layout Example

8.4.3 Power Dissipation

The maximum IC junction temperature must be restricted to 150°C under normal operating conditions. To calculate the maximum allowable power dissipation, $P_{D(max)}$ for a given output current and ambient temperature, use 式 3.

$$P_{D(max)} = \frac{T_{J(max)} - T_A}{\theta_{JA}} \quad (3)$$

where

- $P_{D(max)}$ is the maximum allowable power dissipation.

- $T_{J(max)}$ is the maximum allowable junction temperature (150°C for the TPS22996H).
- T_A is the ambient temperature of the device.
- θ_{JA} is the junction to air thermal impedance. See [セクション 5.4](#). This parameter is highly dependent upon board layout.

9 Device and Documentation Support

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	REVISION	NOTES
March 2024	*	Initial Release

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most-current data available for the designated devices. This data is subject to change without notice and without revision of this document. For browser-based versions of this data sheet, see the left-hand navigation pane.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTPS22996HQDYCRQ1	ACTIVE	SOT-5X3	DRL	8	4000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

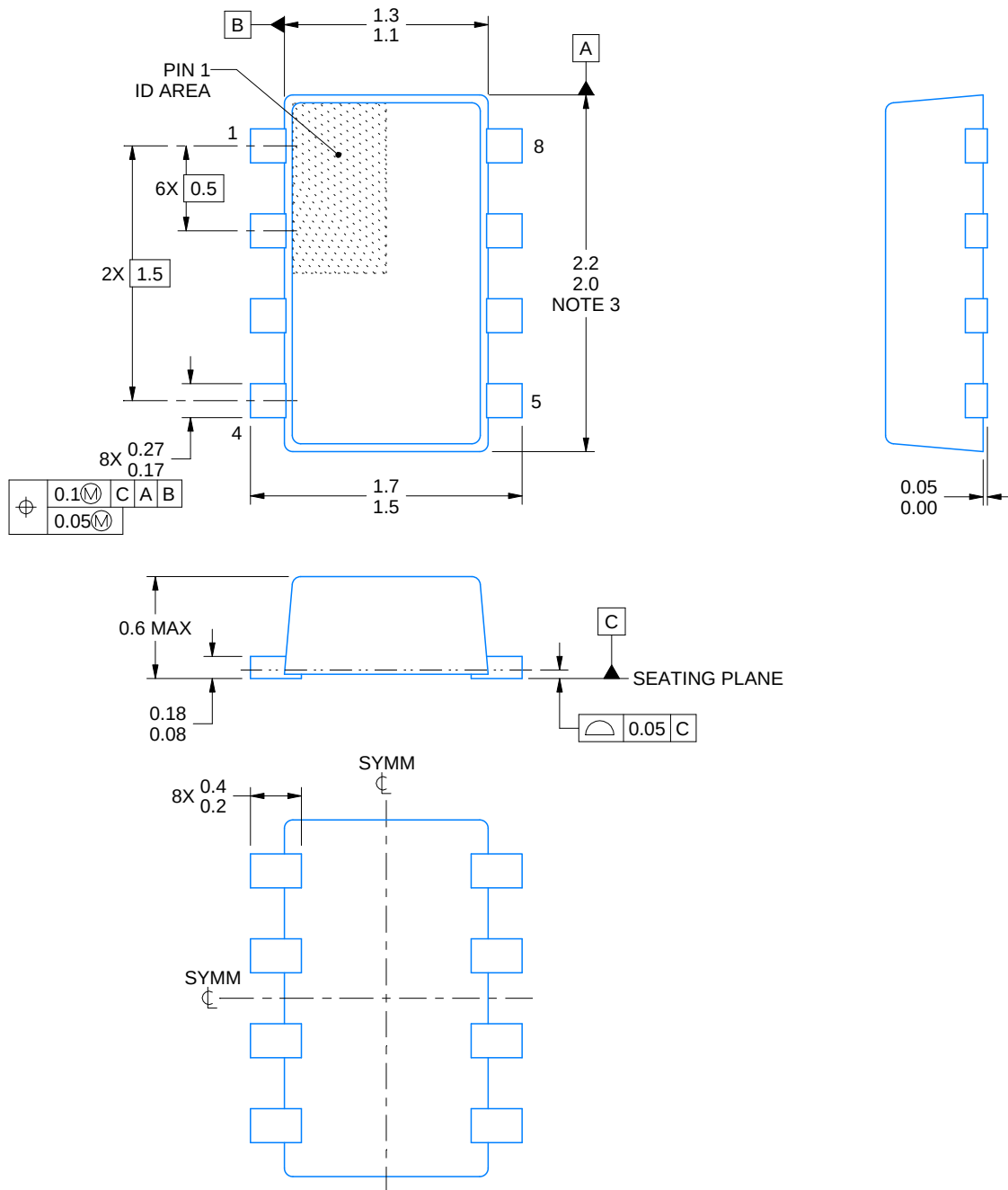
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4224486/E 12/2021

NOTES:

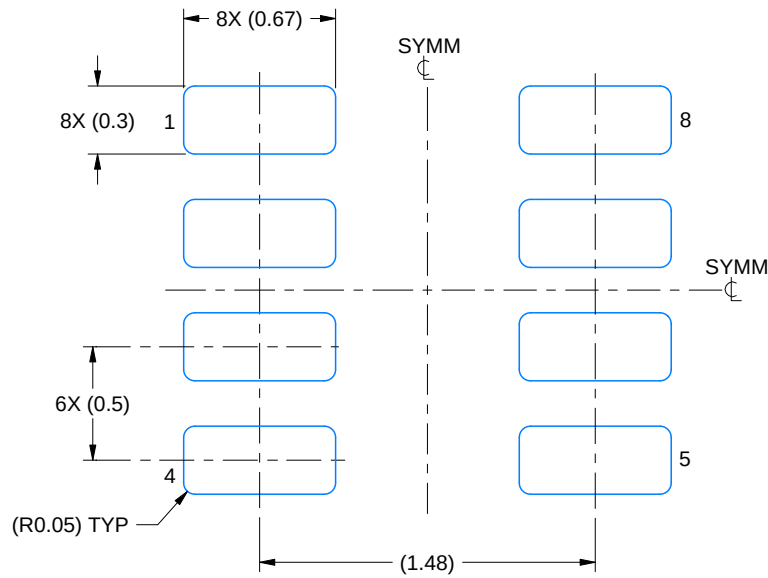
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, interlead flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC Registration MO-293, Variation UDAD

EXAMPLE BOARD LAYOUT

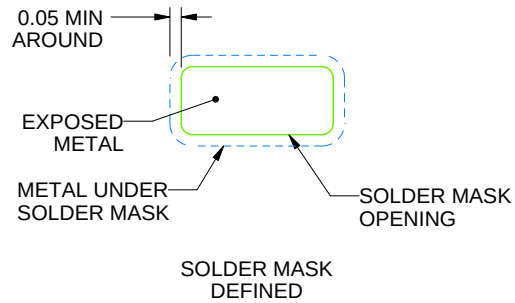
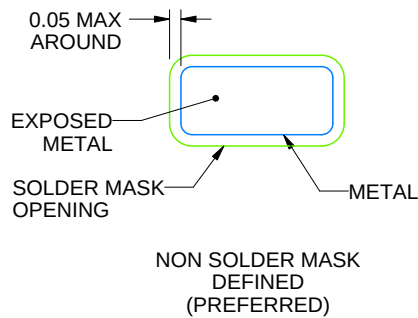
DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDERMASK DETAILS

4224486/E 12/2021

NOTES: (continued)

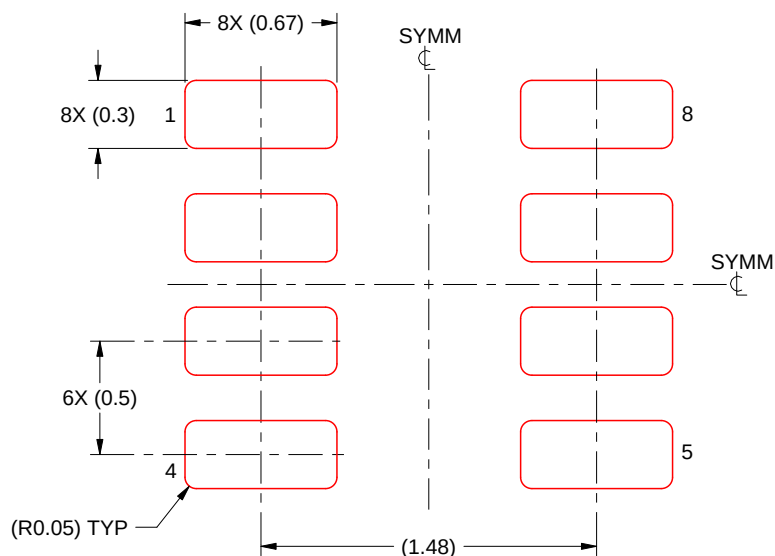
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0008A

SOT-5X3 - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4224486/E 12/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated