

精度調整可能、電流制限パワー・ディストリビューション・スイッチ

特長

- USBの電流制限要件に適合
- 可変電流制限：500mA～2.5A(typ)
- 独立して設定可能な2つの電流制限スレッシュホールド
- 高速な過電流応答：1.5μs(typ)
- ハイサイドMOSFET：73mΩ
- スタンバイ時消費電流：最大3.8μA
- PowerPAD™による熱管理
- ディスエーブル時の自動出力放電
- ハイ・イネーブル製品(TPS2554)とロー・イネーブル製品(TPS2555)を用意

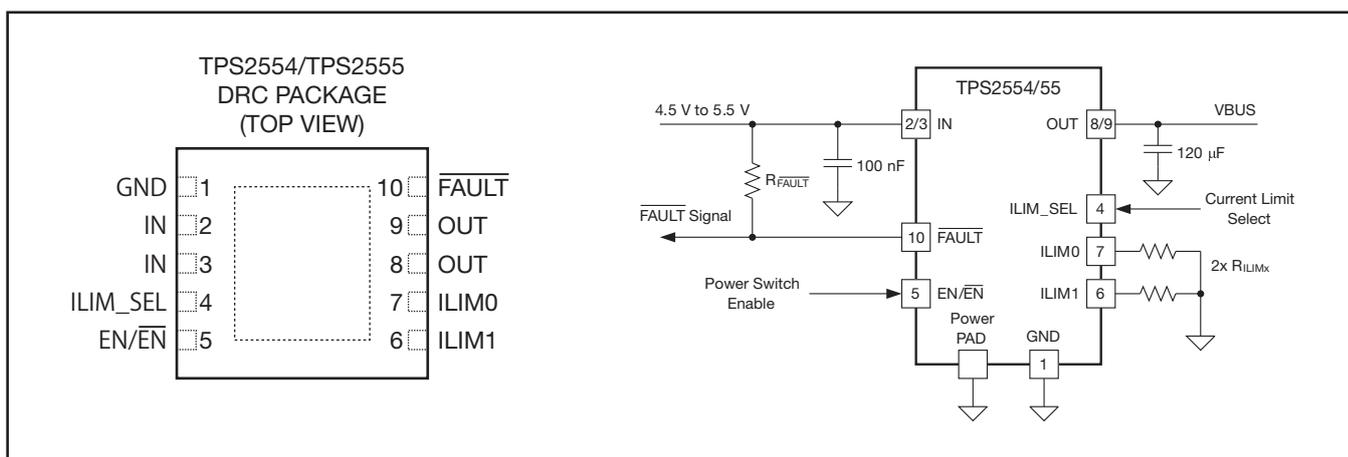
アプリケーション

- USBポート/ハブ
- デジタル・テレビ
- セットトップ・ボックス
- VOIP電話

概要

TPS2554/55パワー・ディストリビューション・スイッチは、高精度な電流制限が必要なアプリケーションや、大きな容量性負荷や短絡が発生する可能性のあるアプリケーション向けに設計されています。電流制限スレッシュホールドは、外付け抵抗により500mA～2.5A(typ)の範囲でプログラミングできます。

TPS2554/55では、出力負荷が電流制限スレッシュホールドを超えた場合に、定電流モードに切り替えることで、出力電流を安全なレベルに制限します。過電流状態中および過熱状態中は、FAULT論理出力がLowにアサートされます。



TPS2554/55 DRCパッケージおよび標準アプリケーション図

PowerPADは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

絶対最大定格

動作温度範囲内(特に記述のない限り)^{(1) (2)}

		条件	単位
Voltage range on IN, OUT, EN or $\overline{\text{EN}}$, ILIM0, ILIM1, ILIM_SEL, $\overline{\text{FAULT}}$		-0.3 ~ 7	V
Voltage range from IN to OUT		-7 ~ 7	
I_{OUT}	Continuous output current	Internally limited	
Continuous total power dissipation		Internally limited	
Continuous $\overline{\text{FAULT}}$ sink current		25	mA
ILIM source current		Internally limited	
ESD	HBM	2	kV
	CDM	500	V
T_{J}	Maximum junction temperature	-40 ~ OTSD2 ⁽³⁾	°C
T_{stg}	Storage temperature range	-65 ~ 150	

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) 電圧はGNDを基準とします(特に記述のない限り)

(3) 周囲過熱シャットダウン・スレッショルド

推奨動作条件

		MIN	MAX	単位
V_{IN}	Input voltage, IN	4.5	5.5	V
$V_{\text{EN}}, \overline{V_{\text{EN}}}, \text{ILIM_SEL}$	Logic-level inputs	0	5.5	
I_{OUT}	Continuous output current, OUT	0	2.5	A
T_{J}	Operating virtual junction temperature	-40	125	°C
R_{ILIM}	Recommended resistor limit range	16.9	750	k Ω

熱特性について

THERMAL METRIC ⁽¹⁾		TPS2554/TPS2555	単位
		DRC	
		14 PINS	
θ_{JA}	Junction-to-ambient thermal resistance ⁽²⁾	45.9	°C/W
θ_{JcTop}	Junction-to-case (top) thermal resistance ⁽³⁾	53.4	
θ_{JB}	Junction-to-board thermal resistance ⁽⁴⁾	21.4	
Ψ_{JT}	Junction-to-top characterization parameter ⁽⁵⁾	1.0	
Ψ_{JB}	Junction-to-board characterization parameter ⁽⁶⁾	21.6	
θ_{JcBot}	Junction-to-case (bottom) thermal resistance ⁽⁷⁾	5.9	

- (1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。
- (2) 自然状態での接合部-周囲間熱抵抗は、JESD51-2aに記載の環境で、JESD51-7に規定されたJEDEC標準High-K基板上のシミュレーションによって求められます。
- (3) 接合部-ケース(上面)間の熱抵抗は、パッケージ上面での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。
- (4) 接合部-基板間の熱抵抗は、JESD51-8の規定に従い、PCB温度を制御するリング型冷却板測定器を用いた環境でのシミュレーションによって求められます。
- (5) 接合部-上面間の特性化パラメータ Ψ_{JT} は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて θ_{JA} を求めるシミュレーション・データから抽出されます。
- (6) 接合部-基板間の特性化パラメータ Ψ_{JB} は、実システムでのデバイスの接合部温度を見積もるために使用され、JESD51-2a(セクション6および7)に規定される手順を用いて θ_{JA} を求めるシミュレーション・データから抽出されます。
- (7) 接合部-ケース(底面)間の熱抵抗は、露出したパッド(PowerPAD)上での冷却板試験のシミュレーションによって求められます。指定のJEDEC標準試験はありませんが、類似した内容がANSI SEMI規格のG30-88で参照できます。

電気的特性

$-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$ (特に記述のない限り)、 $V_{\text{EN}}(\text{TPS2554}) = V_{\text{IN}} = 5\text{V}$ 、 $V_{\text{EN}}(\text{TPS2555}) = 0\text{V}$ 、 $R_{\text{FAULT}} = 10\text{k}\Omega$ 、 $R_{\text{ILIM0}} = 210\text{k}\Omega$ 、 $R_{\text{ILIM1}} = 20\text{k}\Omega$ 、 $\text{ILIM_SEL} = 0\text{V}$ (特に記述のない限り)。ピンに流れ込む方向が正電流です。標準値は 25°C での値です。すべての電圧値はGNDを基準にしています (特に記述のない限り)。

パラメータ	テスト条件	MIN	TYP	MAX	単位		
Power Switch							
$R_{\text{DS(on)}}$	Static drain-source on-state resistance	$I_{\text{OUT}} = 2\text{ A}$, $V_{\text{ILIM_SEL}} = \text{Logic HI}$	73	120	m Ω		
		$I_{\text{OUT}} = 100\text{ mA}$, $V_{\text{ILIM_SEL}} = \text{Logic LO}$	73	120			
		$-40^{\circ}\text{C} \leq T_A = T_J \leq 85^{\circ}\text{C}$, $I_{\text{OUT}} = 2\text{ A}$, $V_{\text{ILIM_SEL}} = \text{Logic HI}$	73	105			
		$T_A = T_J = 25^{\circ}\text{C}$, $I_{\text{OUT}} = 2\text{ A}$, $V_{\text{ILIM_SEL}} = \text{Logic HI}$	73	84			
t_r	Rise time, output	$C_L = 1\ \mu\text{F}$, $R_L = 100\ \Omega$	1	1.5	ms		
t_f	Fall time, output	$C_L = 1\ \mu\text{F}$, $R_L = 100\ \Omega$	0.2	0.5			
R_{DIS}	OUT discharge resistance		400	500	630	Ω	
I_{REV}	Reverse leakage current	$V_{\text{OUT}} = 5.5\text{ V}$, $V_{\text{IN}} = V_{\text{EN}} = 0\text{ V}$ or $V_{\text{IN}} = \overline{V_{\text{EN}}}$ $= 5.5\text{ V}$, $V_{\text{IN}} = 0\text{ V}$, $T_J = 25^{\circ}\text{C}$	0	1	μA		
Enable Input EN (TPS2554), $\overline{\text{Enable Input EN}}$ (TPS2555)							
V_{EN} , $\overline{V_{\text{EN}}}$	EN, $\overline{\text{EN}}$ pin threshold, falling		0.9	1.1	1.65	V	
$V_{\text{EN_HYS}}$	EN, $\overline{\text{EN}}$ Hysteresis		200			mV	
I_{EN} , $\overline{I_{\text{EN}}}$	Input current	V_{EN} , $\overline{V_{\text{EN}}} = 0\text{ V}$ or 5.5 V	-0.5		0.5	μA	
t_{ON}	Turn-on time	$C_L = 1\ \mu\text{F}$, $R_L = 100\ \Omega$		3.4	5	ms	
t_{OFF}	Turn-off time	$C_L = 1\ \mu\text{F}$, $R_L = 100\ \Omega$		1.7	3		
Current Limit							
$V_{\text{ILIM_SEL}}$	ILIM_SEL threshold, falling		0.9	1.1	1.65	V	
$V_{\text{ILIM_HYS}}$	ILIM_SEL Hysteresis		200			mV	
	ILIM_SEL input current	$V_{\text{ILIM_SEL}} = 0\text{ V}$ or 5.5 V	-0.5		0.5	μA	
I_{SHORT}	Maximum DC output current from IN to OUT	$V_{\text{ILIM_SEL}} = \text{Logic LO}$	$R_{\text{ILIM0}} = 210\text{ k}\Omega$	185	230	265	mA
			$R_{\text{ILIM0}} = 100\text{ k}\Omega$	420	480	530	
		$V_{\text{ILIM_SEL}} = \text{Logic HI}$	$R_{\text{ILIM1}} = 20\text{ k}\Omega$	2150	2430	2650	
			$R_{\text{ILIM1}} = 16.9\text{ k}\Omega$	2550	2840	3100	
t_{IOS}	Response time to short circuit	$V_{\text{IN}} = 5.0\text{ V}$		1.5		μs	
Supply Current							
I_{CCL}	Supply current, switch disabled	$V_{\text{EN}} = 0\text{ V}$, $\overline{V_{\text{EN}}} = V_{\text{IN}}$; OUT grounded; $-40^{\circ}\text{C} \leq T_J \leq 85^{\circ}\text{C}$		0.1	3.8	μA	
I_{CCH}	Supply current, operating	$V_{\text{EN}} = 0\text{ V}$, $\overline{V_{\text{EN}}} = V_{\text{IN}}$		90	115		
			$V_{\text{ILIM_SEL}} = \text{Logic HI}$	110	135		
Undervoltage Lockout							
V_{UVLO}	Low-level input voltage, IN	V_{IN} rising	3.9	4.1	4.3	V	
	Hysteresis, IN			100		mV	
FAULT							
	Output low voltage, $\overline{\text{FAULT}}$	$I_{\text{FAULT}} = 1\text{ mA}$			100	mV	
	Off-state leakage	$V_{\text{FAULT}} = 5.5\text{ V}$			1	μA	
	$\overline{\text{FAULT}}$ deglitch	$\overline{\text{FAULT}}$ assertion or negation due to overcurrent condition	5	8.5	12	ms	
Thermal Shutdown							
	Thermal shutdown threshold		155			$^{\circ}\text{C}$	
	Thermal shutdown threshold in current-limit		135				
	Hysteresis			10			

パラメータ測定情報

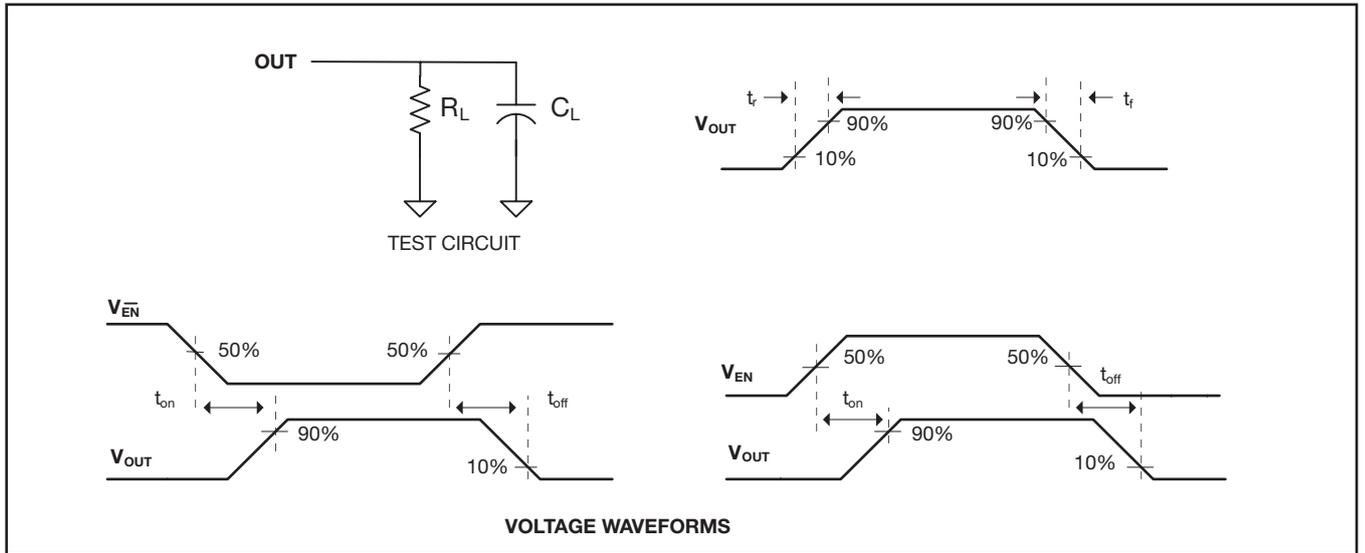


図 1. 測定回路と電圧波形

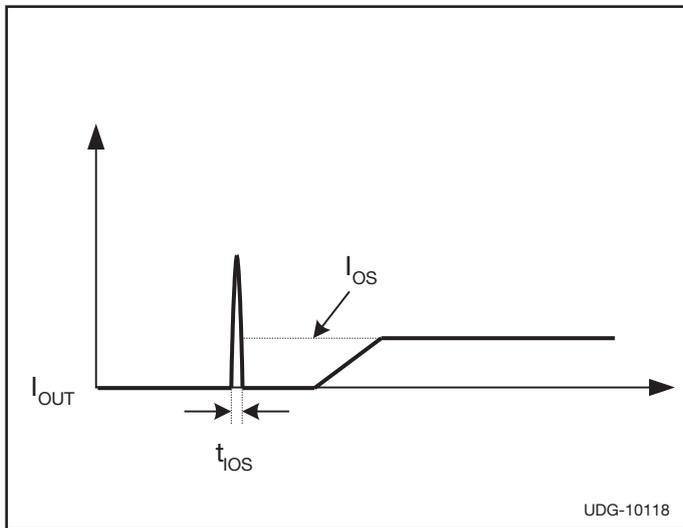


図 2. 短絡時の応答時間波形

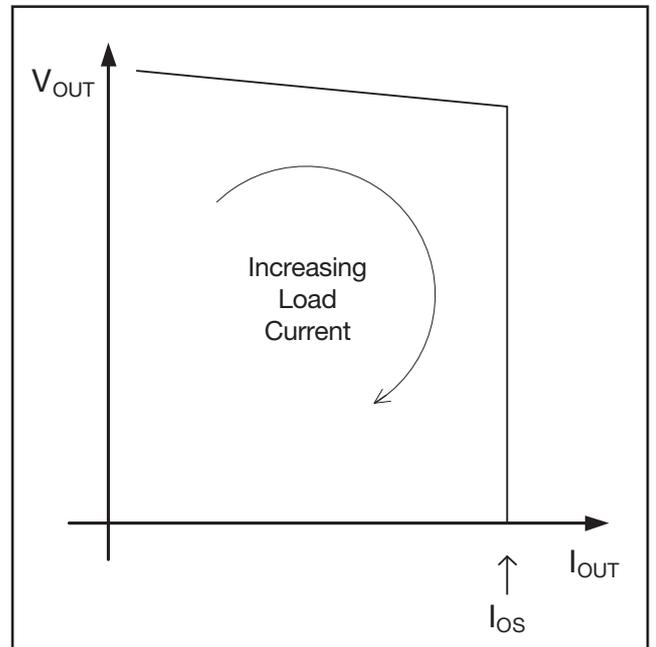


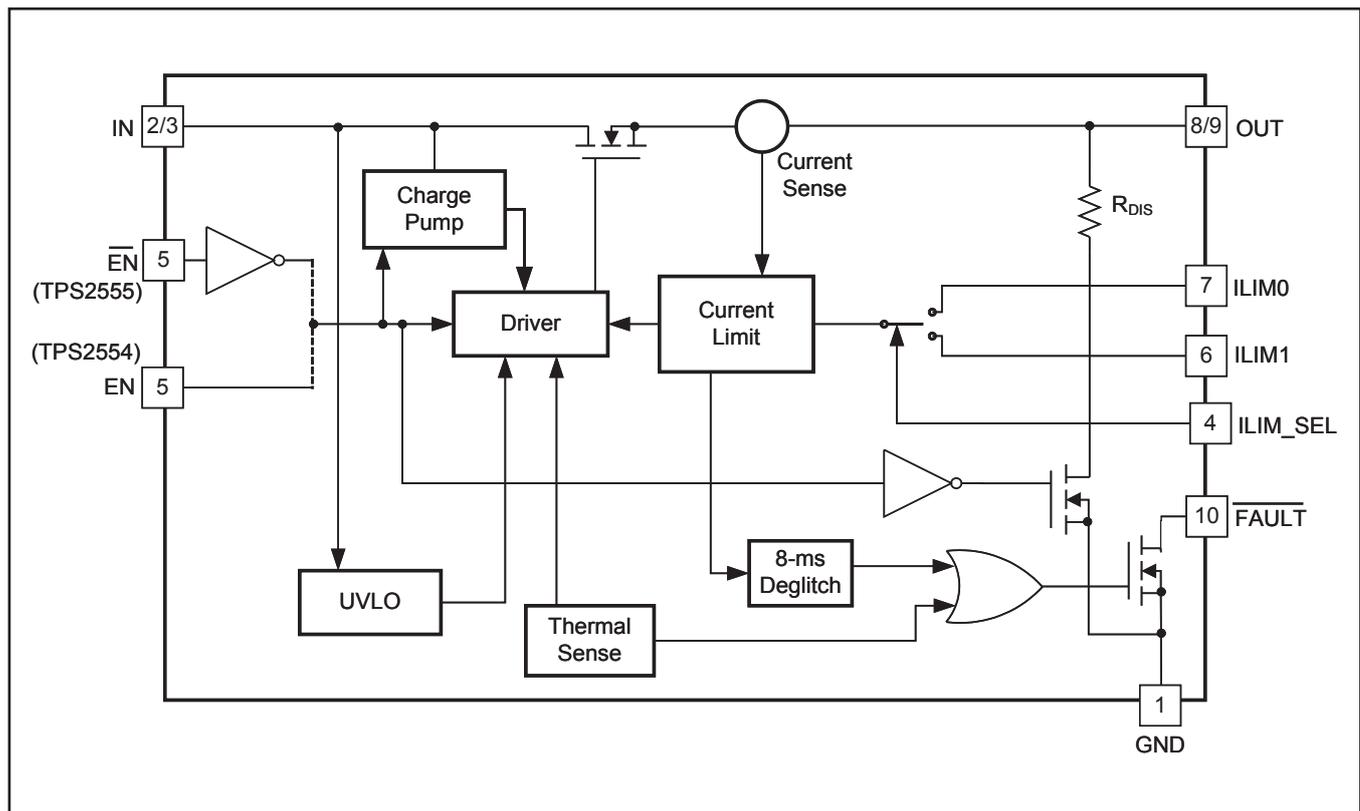
図 3. 出力電圧 対 出力電流動作

製品情報

ピン機能

名前	ピン		I/O	説明
	TPS2554	TPS2555		
EN	5	-	I	イネーブル入力。Highで電源スイッチがオン(TPS2554)。
$\overline{\text{EN}}$	-	5	I	イネーブル入力。Lowで電源スイッチがオン(TPS2555)。
GND	1	1		グランド接続。外部でPowerPAD™に接続します。
IN	2, 3	2, 3	I	入力電圧。INとGNDの間に、100nF以上のセラミック・コンデンサをできるだけデバイスに近づけて配置してください。
$\overline{\text{FAULT}}$	10	19	O	アクティブ・ローのオープン・ドレイン出力。過電流または過熱状態でアサートされます。
OUT	8, 9	8, 9	O	電源スイッチ出力
ILIM0	7	7	I	ILIM_SEL = LO時の電流制限スレッシュホールドを設定する外付け抵抗接続端子。
ILIM1	6	6	I	ILIM_SEL = HI時の電流制限スレッシュホールドを設定する外付け抵抗を接続端子。
ILIM_SEL	4	4	I	電流制限スレッシュホールド設定としてILIM0またはILIM1を選択する論理レベル入力
PowerPAD™	-	-		内部でGNDに接続されています。デバイスを基板上のパターンにヒートシンクするために使用します。PowerPAD™は、外部でGNDと接続してください。

TPS2554/TPS2555機能ブロック図



代表的特性

上昇時のIN UVLO 対 温度

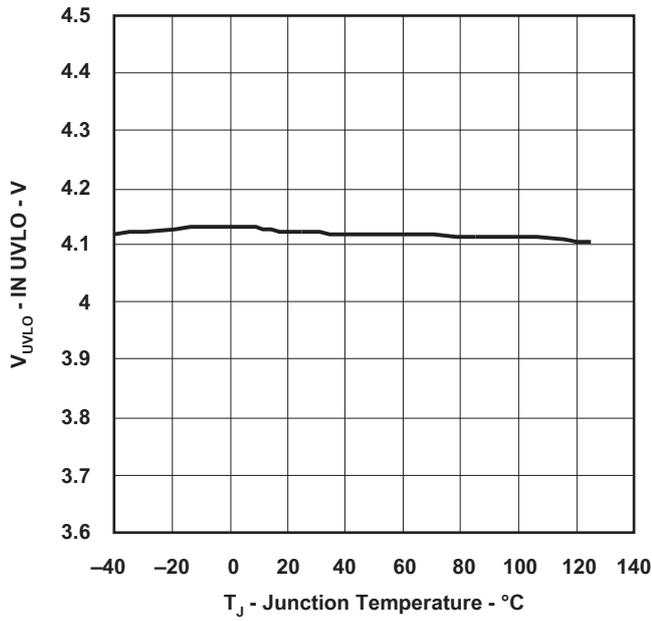


図 4

消費電流 (ディスエーブル時) 対 温度

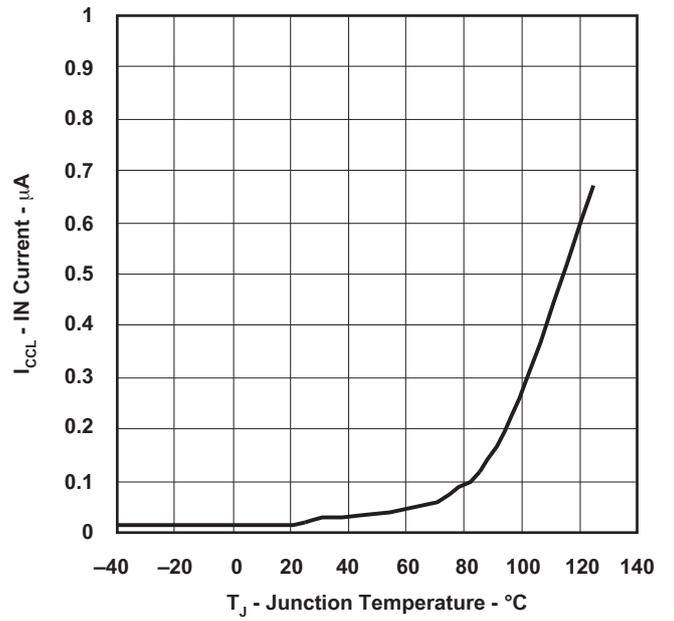


図 5

消費電流 対 温度

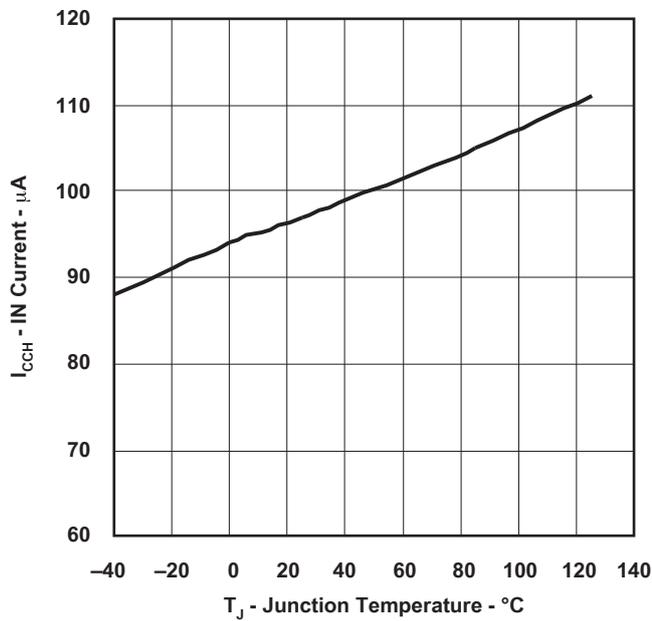


図 6

電流制限 対 電流制限抵抗

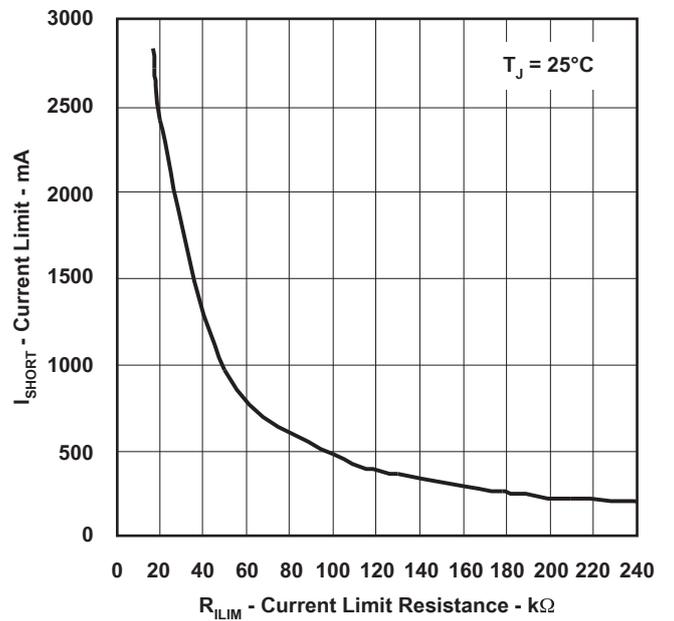


図 7

代表的特性

電流制限 対 温度

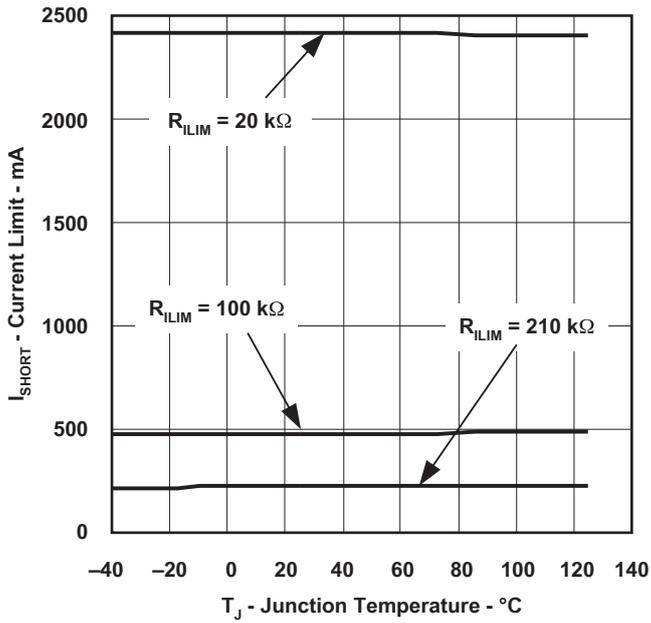


図 8

電源スイッチのオン抵抗 対 温度

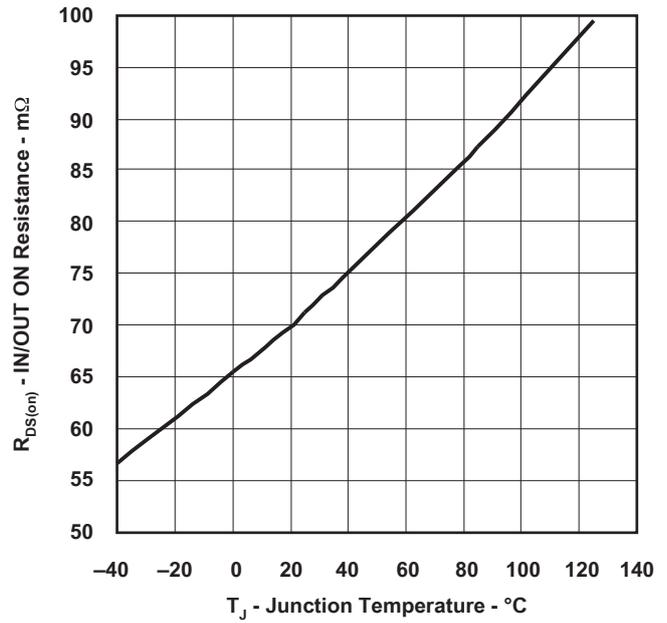


図 9

ターンオン時間、ターンオフ時間 対 温度

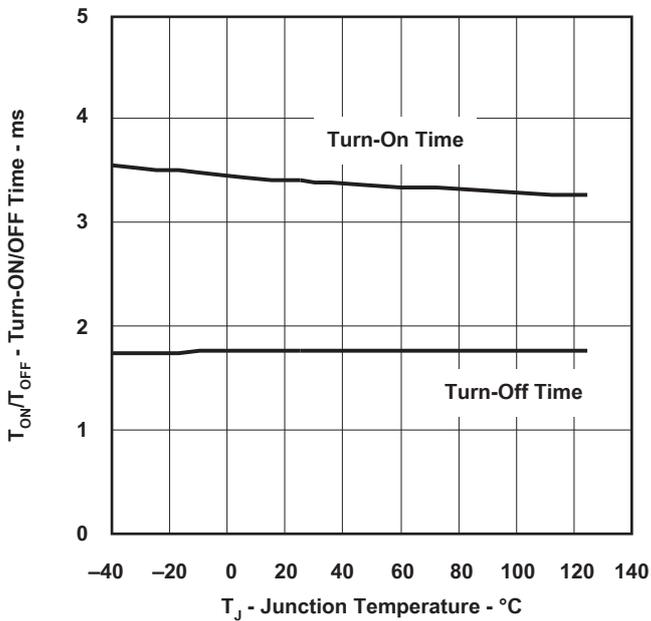


図 10

障害出力電圧 対 シンク電流

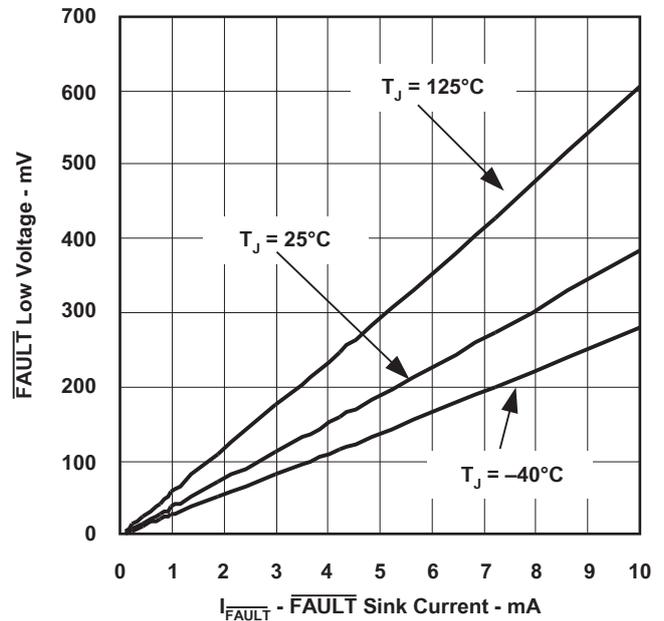


図 11

代表的特性

下降時のENスレッシュホールド 対 温度

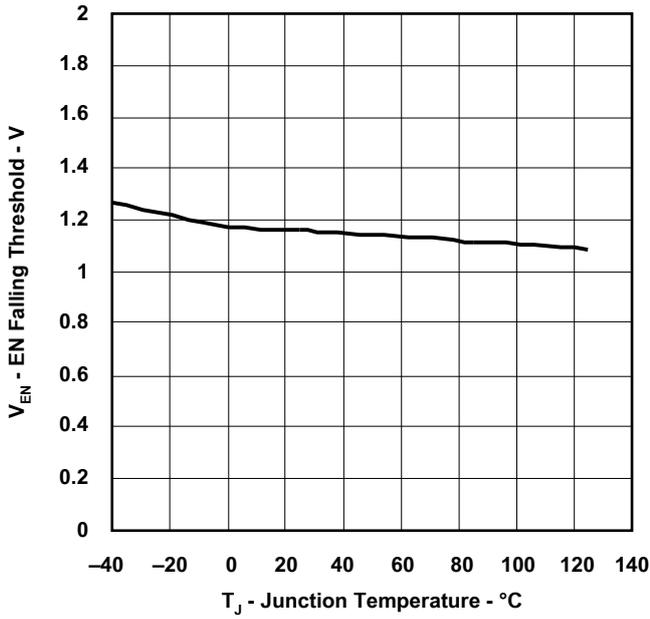


図 12

短絡への応答 (イネーブルのアサート後)

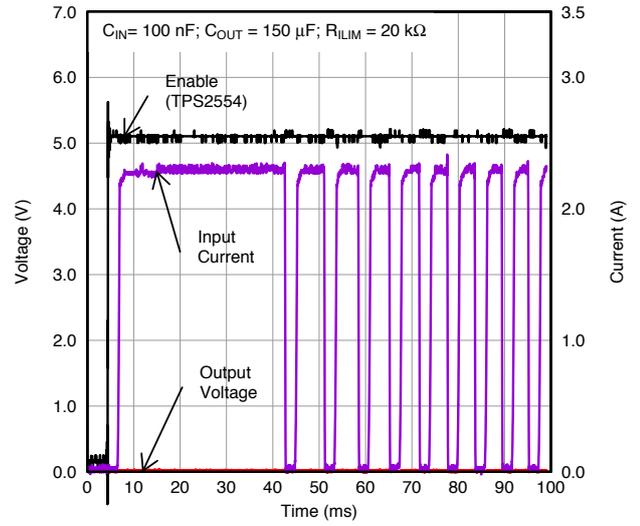


図 13

短絡への応答 (出力短絡状態で入力電圧を印加)

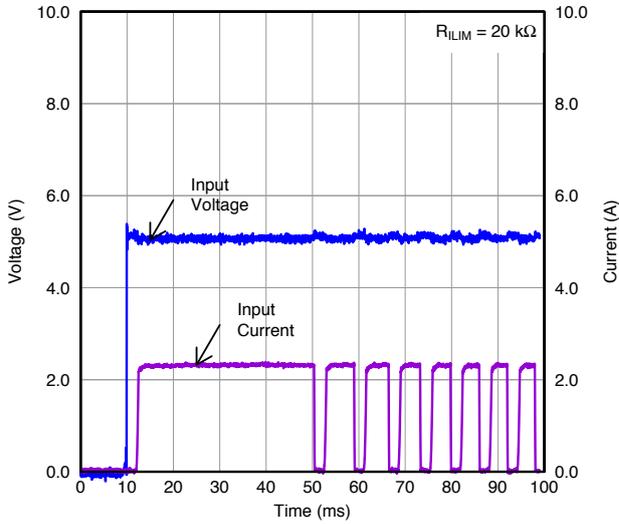


図 14

短絡への応答 (出力短絡状態で入力電圧を印加)

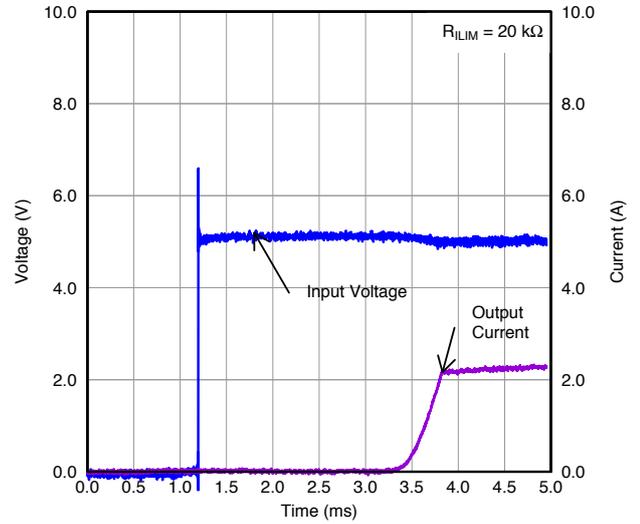


図 15

代表的特性

短絡への応答 (無負荷状態から)

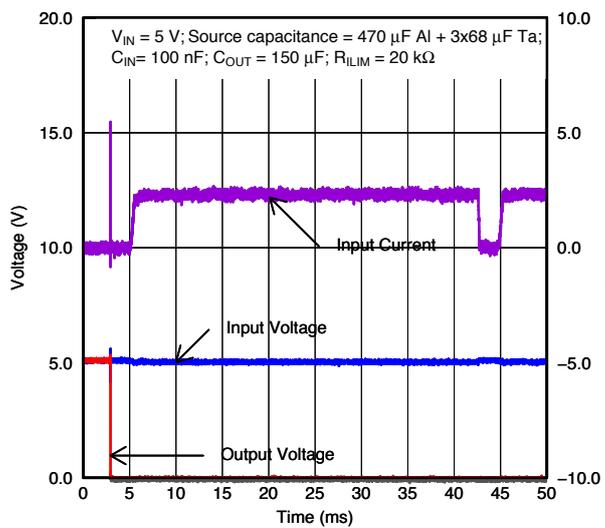


図 16

短絡への応答 (無負荷状態から)

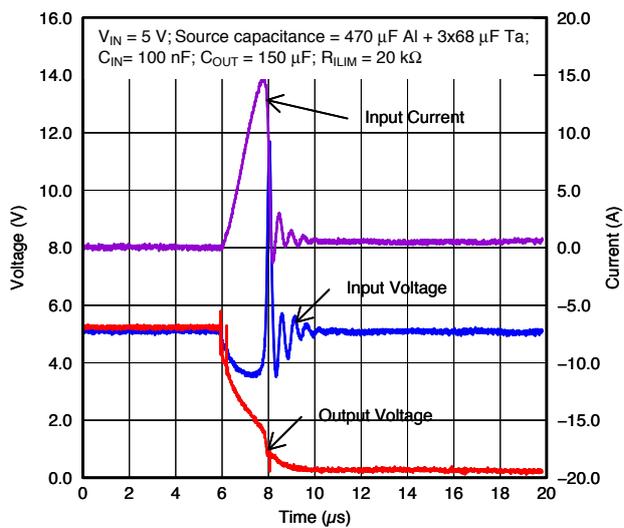


図 17

詳細説明

概要

TPS2554/55は、内部NチャンネルMOSFETをスイッチとして使用した電流制限パワー・ディストリビューション・スイッチであり、大きな容量性負荷や短絡が発生するアプリケーション向けに設計されています。2個の外付け抵抗を使用して、2つの独立した電流制限スレッシュホールドを500mA～2.5A(typ)の範囲でプログラミングできます。ILIM_SELピンを使用して、いずれかの電流制限を選択できます。NチャンネルMOSFETの駆動に必要な内部チャージ・ポンプおよびゲート駆動回路を内蔵しています。チャージ・ポンプは、ドライバ回路に電源を供給し、MOSFETのゲート電圧をソースよりも持ち上げるために必要な電圧を提供します。ドライバは、電源スイッチのゲート電圧を制御します。TPS2554/55ファミリーは、過電流または短絡発生時に、NチャンネルMOSFETを駆動するチャージ・ポンプ電圧を低下させ、リニア領域で動作させることにより、プログラミングされた電流制限スレッシュホールド I_{LIM0} または I_{LIM1} へと出力電流を制限します。その結果、必然的にOUTの出力電圧が低下します。過負荷状態の発生は、内部MOSFETの発熱に直接つながります。高温になるとデバイスを自動的にシャットダウンすることで、MOSFETを熱的に保護しています。デバイスの温度が低下すると、TPS2554/55は自動的に再起動します。

過電流状態

TPS2554/55は、過電流状態に対して、出力電流を R_{ILIM0} または R_{ILIM1} (ILIM_SELピンで選択) で設定される短絡電流に制限することにより応答します。過電流状態が検出されると、デバイスは定出力電流を維持し、出力電圧はそれに応じて低下します。発生する可能性のある過負荷状態には2つの種類があります。

1つは、デバイスのパワーアップまたはイネーブル時点で短絡または部分短絡が存在している場合です。出力電圧は、グランド基準でゼロ電位付近に保持され、TPS2554/55は出力電流を選択した出力電流 (I_{LIM0} または I_{LIM1}) まで上昇させます。TPS2554/55では、過負荷状態が解消されるか内部MOSFETの過熱によってシャットダウンされるまで、電流を選択した値に制限します。(過熱シャットダウンの後、TPS2554/55の温度が低下すると、自動的に再起動が試みられます。)

もう1つの状態は、デバイスのイネーブルおよびパワーオン中に短絡、部分短絡、または過渡的な過負荷が発生した場合です。過渡状態への応答時には、TPS2554/55がパス素子をオフにするため、一般に、時間 t_{IOS} の間、出力電流が選択した電流制限を超過します。その後、電流センス・アンプが回復し、出力電流は選択された電流制限に維持されます。前のケースと同様に、TPS2554/55では、過負荷状態が解消されるかデバイスが熱サイクルを開始するまで、電流制限が保持されます。

上記のいずれかのケースで、過負荷状態が長く続き、過熱制限が働いた場合、TPS2554/55は過熱保護サイクルに入ります。電流制限中に接合部温度が135°C(最小)を超えると、デバイスはオフになります。その後、接合部温度が20°C(標準)低下すると、デバイスは再起動します。過負荷状態が解消されるまで、TPS2554/55はこのサイクルを繰り返します。

電流制限スレッシュホールド

TPS2554/55には、2つの独立した電流制限スレッシュホールドがあり、それぞれ抵抗によって外部でプログラミングできます。標準の電流制限スレッシュホールドは、次の式でプログラミングされます。

$$I_{SHORT} = \frac{48000}{R_{ILIMx}} \quad (1)$$

ここで

- I_{SHORT} = 電流制限スレッシュホールド、mA
- R_{ILIM} = ILIMxピンに接続する抵抗、k Ω

ILIM_SELがLowのとき、 R_{ILIMx} は R_{ILIM0} に対応し、Highのときは R_{ILIM1} に対応します。ILIM_SELピンにより、システムでは、2つの電流制限スレッシュホールドのいずれかをデジタル的に選択できます。これは、バッテリーからの電源供給時に、ACアダプタ給電時よりも低い設定を必要とする可能性のある応用機器などで便利です。

FAULT応答

過電流または過熱状態中は、オープン・ドレイン出力 \overline{FAULT} がLowにアサートされます。TPS2554/55では、障害状態が解消されてデバイスが通常動作を再開するまで、 \overline{FAULT} 信号がアサートされます。TPS2554/55は、外部回路の必要なしに、内部の過電流状態用遅延“デグリッチ”回路(標準9ms)を使用することで、誤った \overline{FAULT} 通知を防ぐよう設計されています。これにより、大きな容量性負荷に対する起動時など、通常動作中に \overline{FAULT} が偶発的にアサートされないようにしています。デグリッチ回路は、電流制限による障害状態の検出および解除を遅延させます。MOSFETが過熱状態によってディスエーブルになったときには、 \overline{FAULT} 信号はデグリッチされませんが、デバイスが冷却されてオンになった後にはデグリッチされます。この一方向のデグリッチ機能により、過熱状態中に \overline{FAULT} が発振することを防いでいます。

低電圧誤動作防止(UVLO)

低電圧誤動作防止(UVLO)回路によって、入力電圧がUVLOターンオン・スレッシュホールド(公称4.1V)に達するまで、電源スイッチはディスエーブルになります。内蔵ヒステリシスにより、起動時の入力電圧の降下によってオン/オフが繰り返されることを防いでいます。

イネーブル(ENまたは \overline{EN})

論理イネーブルは、電源スイッチおよびデバイスの消費電流を制御します。ENがLow(TPS2554)、または \overline{EN} がHigh(TPS2555)になると、消費電流は3.8 μ A未満に低下します。ENにHigh、または \overline{EN} にLowが入力されると、ドライバ、制御回路、および電源スイッチがイネーブルになります。このイネーブル入力は、TTLとCMOSの両方の論理レベルと互換性があります。

出力放電

EN (TPS2554) または $\overline{\text{EN}}$ (TPS2555) ピンを使用して、または過熱シャットダウンによって出力がディスエーブルになると、OUTピンは内部でMOSFETを通して放電されます。MOSFETの公称抵抗 (R_{DIS}) は500Ωです。

熱センス

TPS2554/55は、電源スイッチの動作温度を監視する2つの独立した熱センス回路によって自身を保護し、温度が推奨動作条件を超えた場合には動作をディスエーブルにします。TPS2554/55は、過電流状態時には定電流モードで動作し、MOSFET電源スイッチでの電圧降下が増加します。パッケージの消費電力は電源スイッチでの電圧降下によって増加するため、過電流状態中は接合部温度が上昇します。1番目の熱センサは、デバイスが電流制限状態のときにチップ温度が135°C(最小)を超えると、電源スイッチをオフにします。熱センスにはヒステリシスが組み込まれ、デバイスの温度が約20°C低下すると、スイッチはオンになります。障害状態が解消されるまで、TPS2554/55はこのサイクルを繰り返します。

TPS2554/55には、2番目の周囲温度センサもあります。この周囲温度センサは、デバイスが電流制限状態であるかどうかに関わらず、チップ温度が155°C(最小)を超えると電源スイッチをオフにし、デバイスの温度が約20°C低下すると電源スイッチを再度オンにします。障害状態が解消されるまで、TPS2554/55はこのサイクルを繰り返します。

アプリケーション情報

入力および出力容量

TPS2554/55の入力および出力に追加される容量によって、デバイスの性能が向上します。実際の容量は、特定のアプリケーションに対して最適化する必要があります。すべてのアプリケーションに対して、INとGNDの間に100nF以上のセラミック・バイパス・コンデンサを接続することを推奨します。このコンデンサは、局所的なノイズ・デカップリングのために、デバイスにできるだけ近づけて配置する必要があります。それにより、電源過渡事象による入力でのリングングを低減できます。大きな過渡状態中にデバイスの絶対最大電圧を超える電圧オーバーシュートを防ぐために、追加の入力容量が必要となる場合があります。これは、評価ボードとベンチ電源の接続に長い誘導性ケーブルを使用してベンチ・テストを行う場合に、特に重要です。

TPS2554/55の適切な動作のために出力容量は必須ではありませんが、出力に大きな過渡電流が予想される場合は、出力ピンに大容量の電解コンデンサを配置することを推奨します。

電流制限スレッシュホールドのプログラミング

2個の外付け抵抗を使用して、2つの過電流スレッシュホールドをユーザがプログラミングできます。内部レギュレーション・ループの安定性を確保するための、 R_{ILIMx} の推奨1%抵抗範囲は $16.9\text{k}\Omega \leq R_{\text{ILIMx}} \leq 750\text{k}\Omega$ です。 R_{ILIMx} の値が210kΩ未満のときに、最高の精度が得られます。多くのアプリケーションでは、最小電流制限が特定の電流レベルより上であることや、最大電流制限が特定の電流レベルより下であることが求められるため、 R_{ILIMx} の値を選択する際には、過電流スレッシュホールドの許容差を考慮することが重要です。以下の式を使用して、特定の外部抵抗値 (R_{ILIMx}) による結果の過電流スレッシュホールドを近似できます。具体的な電流制限設定については、電気的特性の表を参照してください。電流制限の精度に対する寄生成分の影響を低減するために、TPS2554/55に対して R_{ILIMx} を配線するプリント基板上のパターンはできる限り短くする必要があります。

下に示す式およびグラフを使用して、定義済みの抵抗値に対する電流制限スレッシュホールドの最小および最大変動を見積もることができます。この変動はあくまで近似であり、抵抗の公差などは考慮していません。より厳密な I_{SHORT} の変動の例については、電気的仕様表の電流制限の項を参照してください。

$$I_{\text{SHORT}} = \frac{48000}{R_{\text{ILIMx}}} \quad (2)$$

$$I_{\text{SHORT_min}} = \frac{48000}{R_{\text{ILIMx}}^{1.037}} \quad (3)$$

$$I_{\text{SHORT_max}} = \frac{48000}{R_{\text{ILIMx}}^{0.962}} \quad (4)$$

- I_{SHORT} = 電流制限スレッシュホールド、mA
- R_{ILIM} = ILIMxピンに接続する抵抗、kΩ

電流制限スレッシュヨルド 対 電流制限抵抗

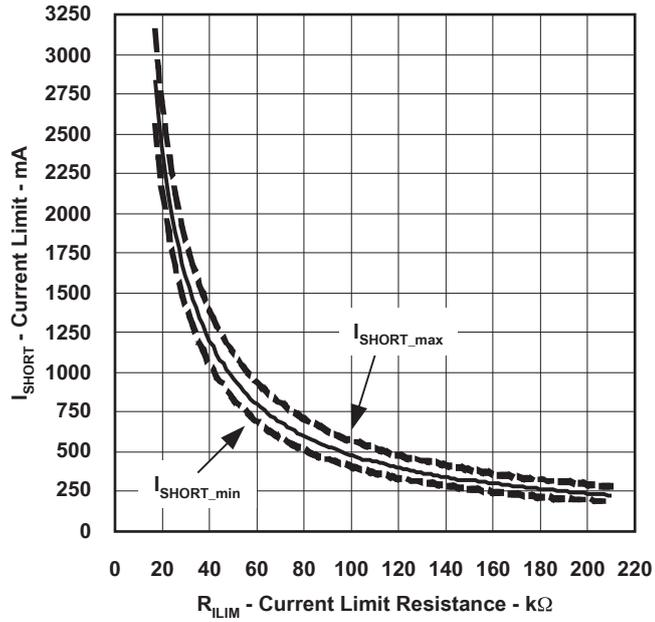


図 18

電流制限スレッシュヨルド 対 電流制限抵抗

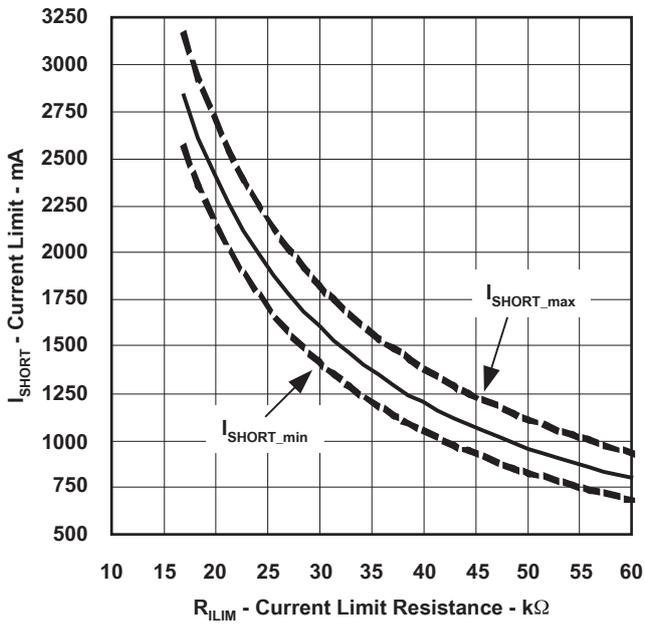


図 19

電流制限スレッシュヨルド 対 電流制限抵抗

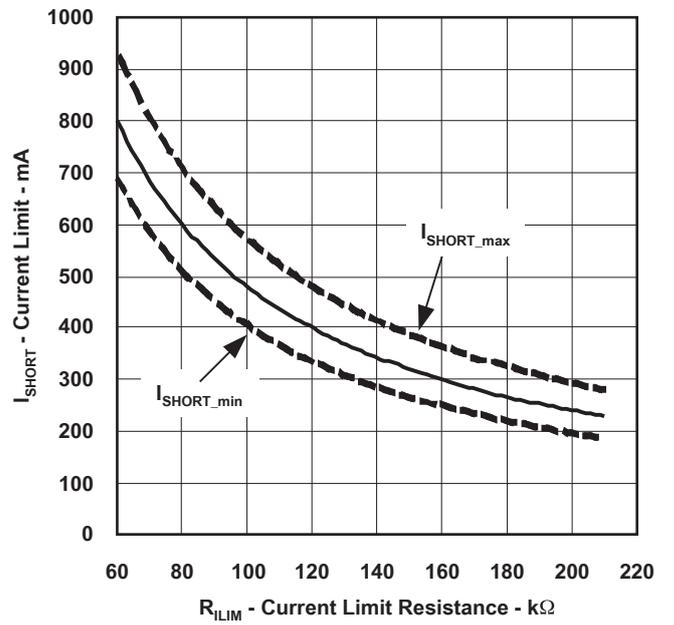


図 20

電流制限設定点の例

次の例では、TPS2554/55がILIMおよび抵抗公差のワースト・ケース条件下でトリップしないようにILIM抵抗を選択します（初期+温度の抵抗公差として1%を仮定）。この例では、IOS_{MIN} = 2500mAです。

$$IOS_{MIN} = \frac{48000}{R_{ILIMx}^{1.037}} = 2500mA \quad (5)$$

$$R_{ILIMx} = \left[\frac{48000}{IOS_{MIN}} \right]^{\frac{1}{1.037}} = \left[\frac{48000}{2500mA} \right]^{\frac{1}{1.037}} \\ = 17.28k\Omega \quad (6)$$

抵抗の公差を含めると、目標最大値は次のようになります。

$$R_{ILIMx} = \frac{17.28k\Omega}{1.01} = 17.11k\Omega \quad (7)$$

次の抵抗を選択します。

$$R_{ILIMx} = 16.9k\Omega \quad (8)$$

レイアウトのガイドライン

TPS2554/55の配置: TPS2554/55は、USB出力コネクタおよび150μFのOUTピン・フィルタ・コンデンサの近くに配置します。露出したPowerPAD™は、GNDピンに接続し、さらにビア・アレイを使用してシステム・グランド・プレーンに接続します。

INピンのバイパス容量: 100nFのバイパス・コンデンサをINおよびGNDピンの近くに配置し、低インダクタンスのパターンを用いて接続します。

ILIM0およびILIM1ピンの接続: 高電圧ソースからILIM0またはILIM1ピンへの浮遊電流リークによって、電流制限設定点の精度が低下します。PCBのアセンブリ・プロセス中に汚れの蓄積を防ぐため、INピンの銅線パターンとILIM0ピンのパターンとの間には十分な間隔を確保してください。低電流制限の設定点が必要な場合 ($R_{ILIMx} > 200k\Omega$) は、INピンからより離れているILIM1を使用します。

消費電力および接合部温度

オン抵抗の低いNチャネルMOSFETにより、小さな表面実装パッケージで大きな電流を伝達できます。消費電力と接合部温度を見積もることは、設計上の手法として推奨されます。以下の分析では、パッケージ内の消費電力に基づいて接合部温度の近似計算を行っています。ただし、熱分析は他にもさまざまなシステム・レベルの要因に強く依存していることに注意する必要があります。そのような要因には、エアフロー、基板レイアウト、銅厚、表面領域、および電力を消費する他のデバイスとの距離などがあります。熱設計では、個々の部品の分析に加えて、システム・レベルのすべての要因を含める必要があります。

最初に、入力電圧および動作温度に対する、MOSFETの $R_{DS(on)}$ を決定します。最初の見積もりとして、考えられる最大の動作周囲温度での $R_{DS(on)}$ を標準的特性グラフから読み取ります。この値を使用して、消費電力は次の式で計算できます。

$$P_D = R_{DS(on)} \times I_{OUT}^2$$

ここで

- P_D = 合計消費電力 (W)
- $R_{DS(on)}$ = 電源スイッチのオン抵抗 (Ω)
- I_{OUT} = 最大電流制限スレッショルド (A)

これにより、MOSFETの合計消費電力が求められます。

最後に、接合部温度を計算します。

$$T_J = P_D \times \theta_{JA} + T_A$$

ここで

- T_A = 周囲温度 ($^{\circ}C$)
- θ_{JA} = 熱抵抗 ($^{\circ}C/W$)
- P_D = 合計消費電力 (W)

計算された接合部温度を、最初の見積もりと比較します。その差が数 $^{\circ}C$ 以内に収まらない場合は、前に計算したMOSFET温度に基づく“改善された” $R_{DS(on)}$ を新たな見積もりとして、再度計算を繰り返します。一般には、2回か3回の繰り返して目的の結果が得られます。最終的な接合部温度は、熱抵抗 θ_{JA} に大きく依存し、熱抵抗は個々のパッケージおよび基板レイアウトに大きく依存します。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS2554DRCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2554DRCT	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2555DRCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS2555DRCT	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE: 製品デバイスが新規設計用に推奨されています。

LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD: Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS): TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

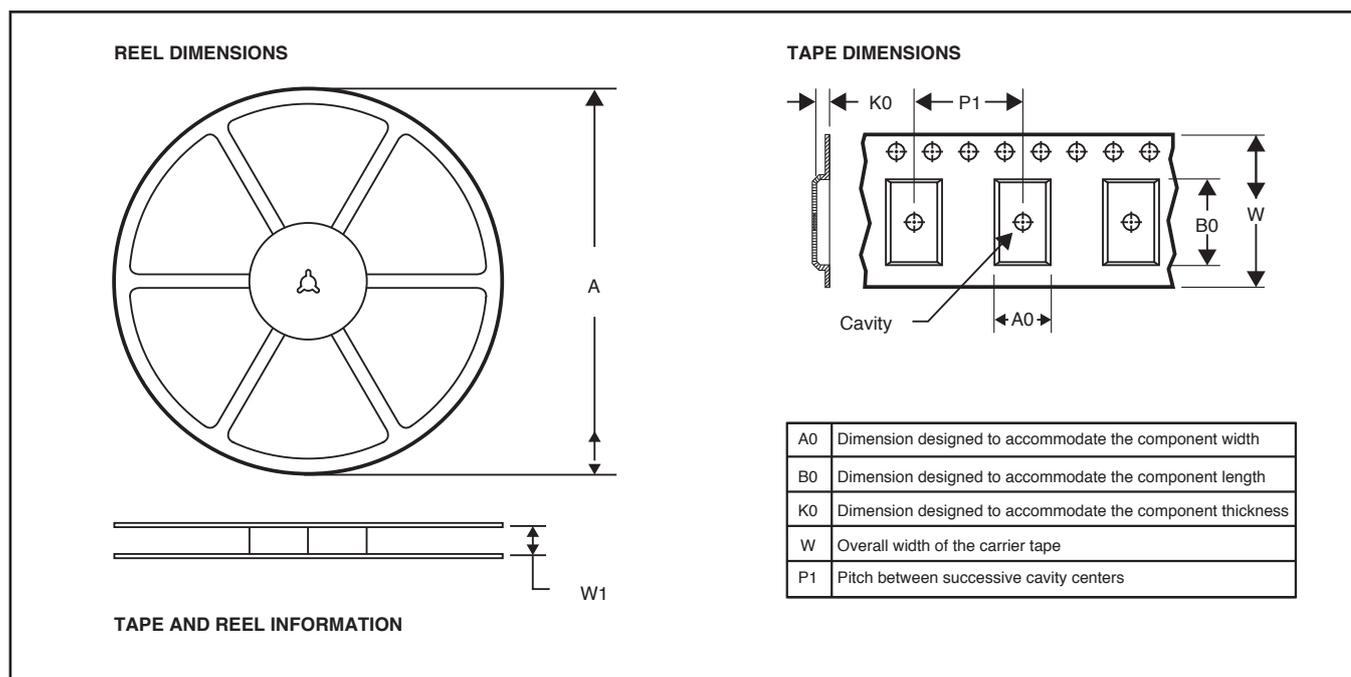
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

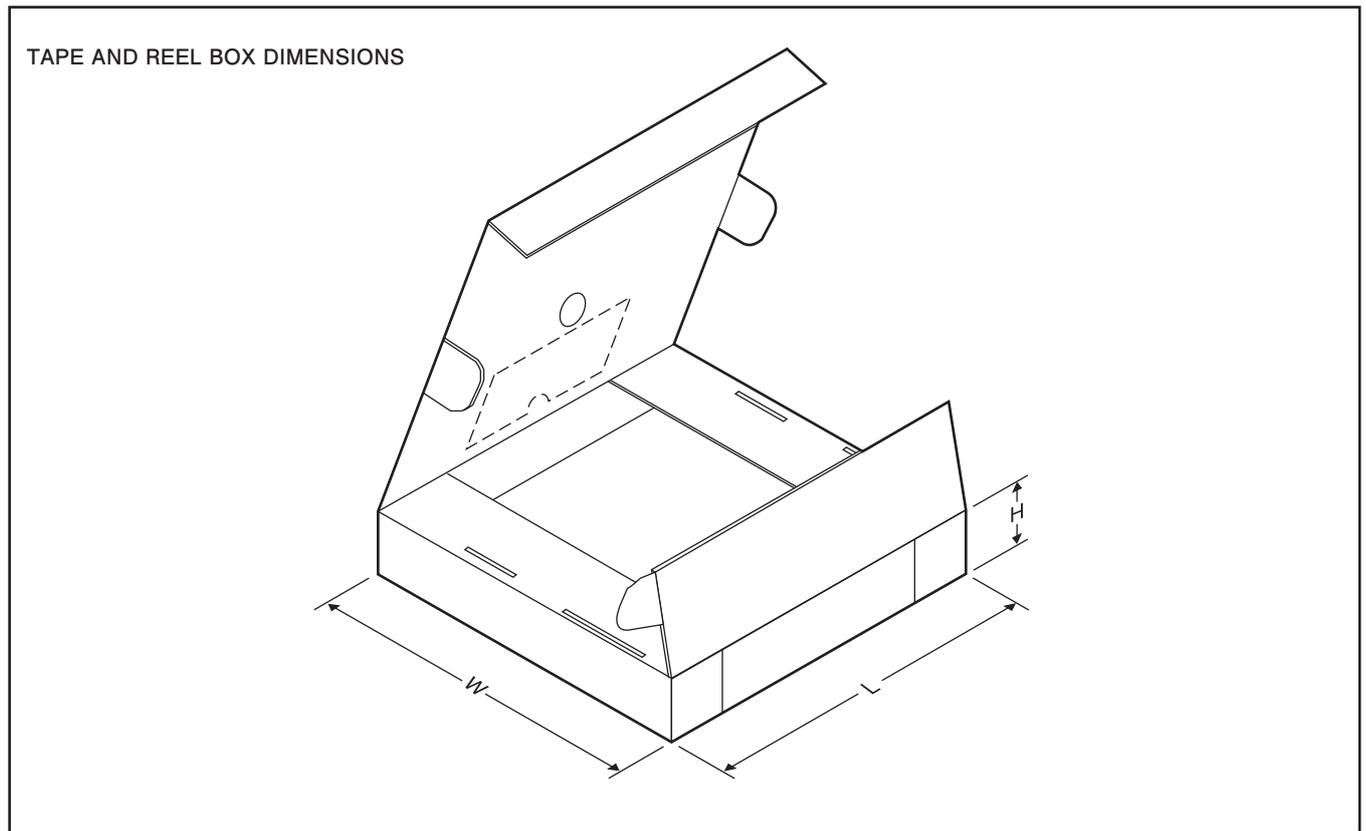
テープおよびリール・ボックス情報



*All dimensions are nominal

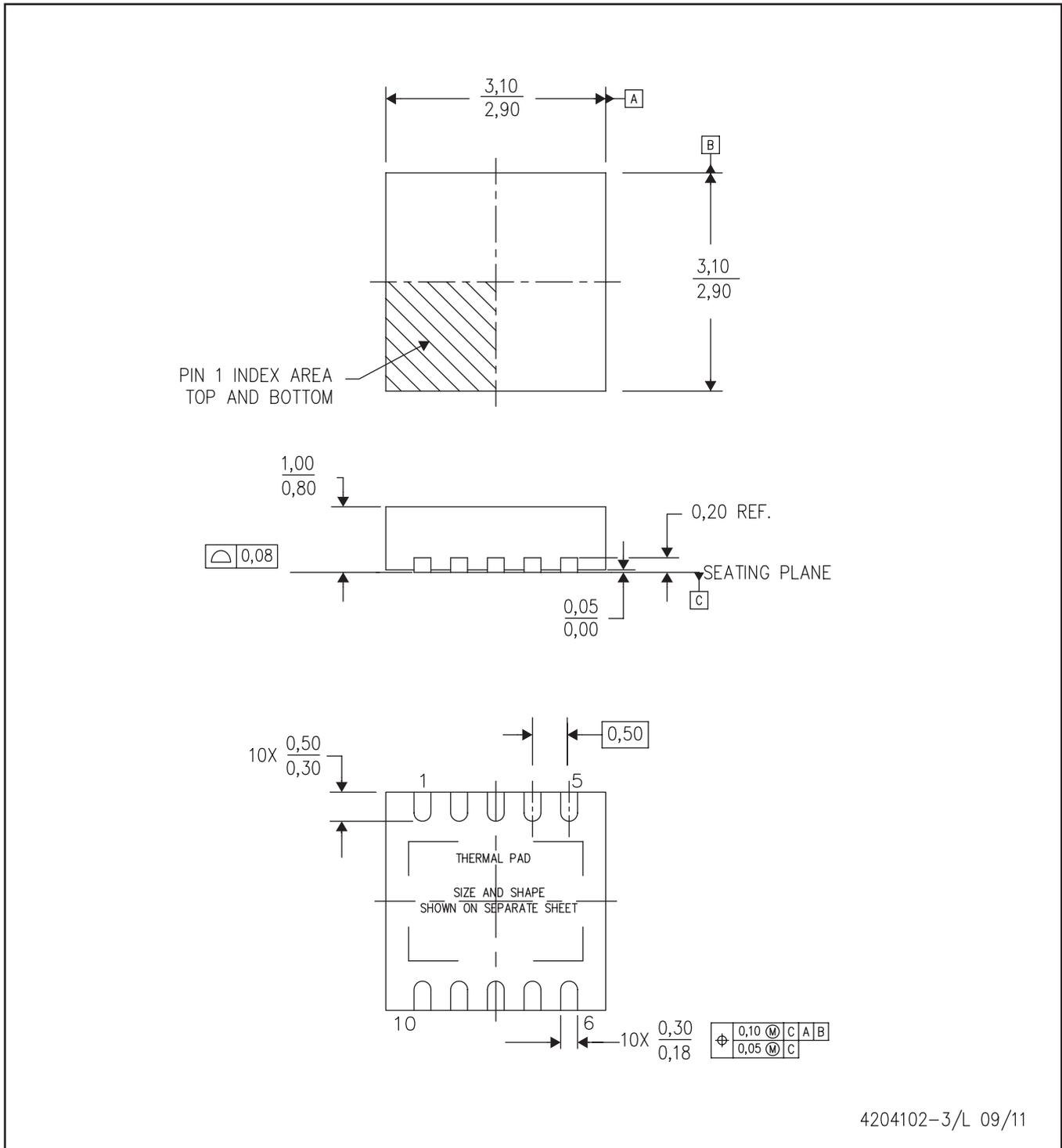
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2554DRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2554DRCT	SON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2555DRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS2555DRCT	SON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

パッケージ・マテリアル情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2554DRCR	SON	DRC	10	3000	346.0	346.0	29.0
TPS2554DRCT	SON	DRC	10	250	210.0	185.0	35.0
TPS2555DRCR	SON	DRC	10	3000	346.0	346.0	29.0
TPS2555DRCT	SON	DRC	10	250	210.0	185.0	35.0



- 注: A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。
 B. 本図は予告なしに変更することがあります。
 C. スモール・アウトライン・ノーリード (SON) パッケージ構造。
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。
 E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。

サーマルパッド・メカニカル・データ

DRC(S-PVSON-N10)

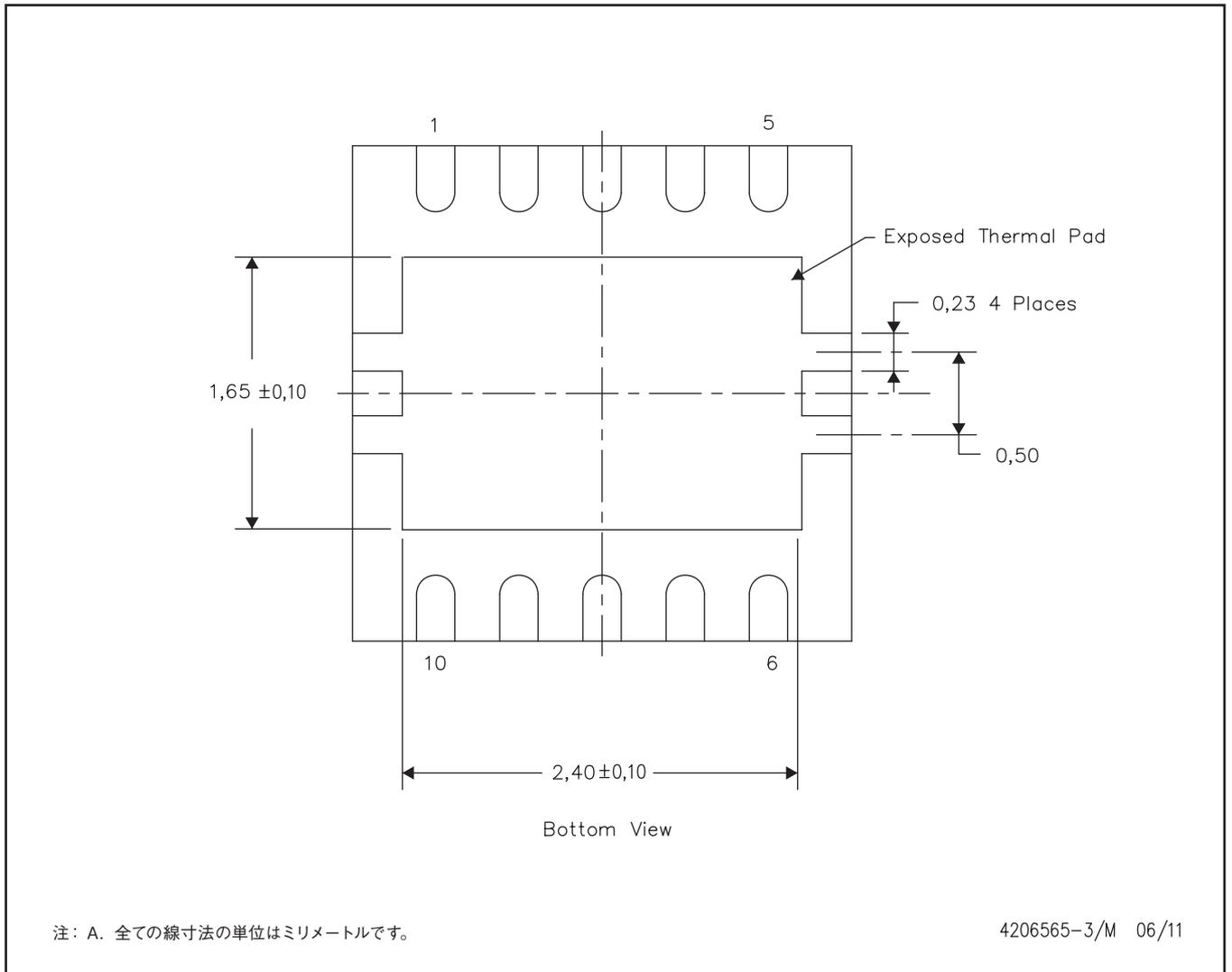
PLASTIC SMALL OUTLINE NO-LEAD

熱的特性に関する資料

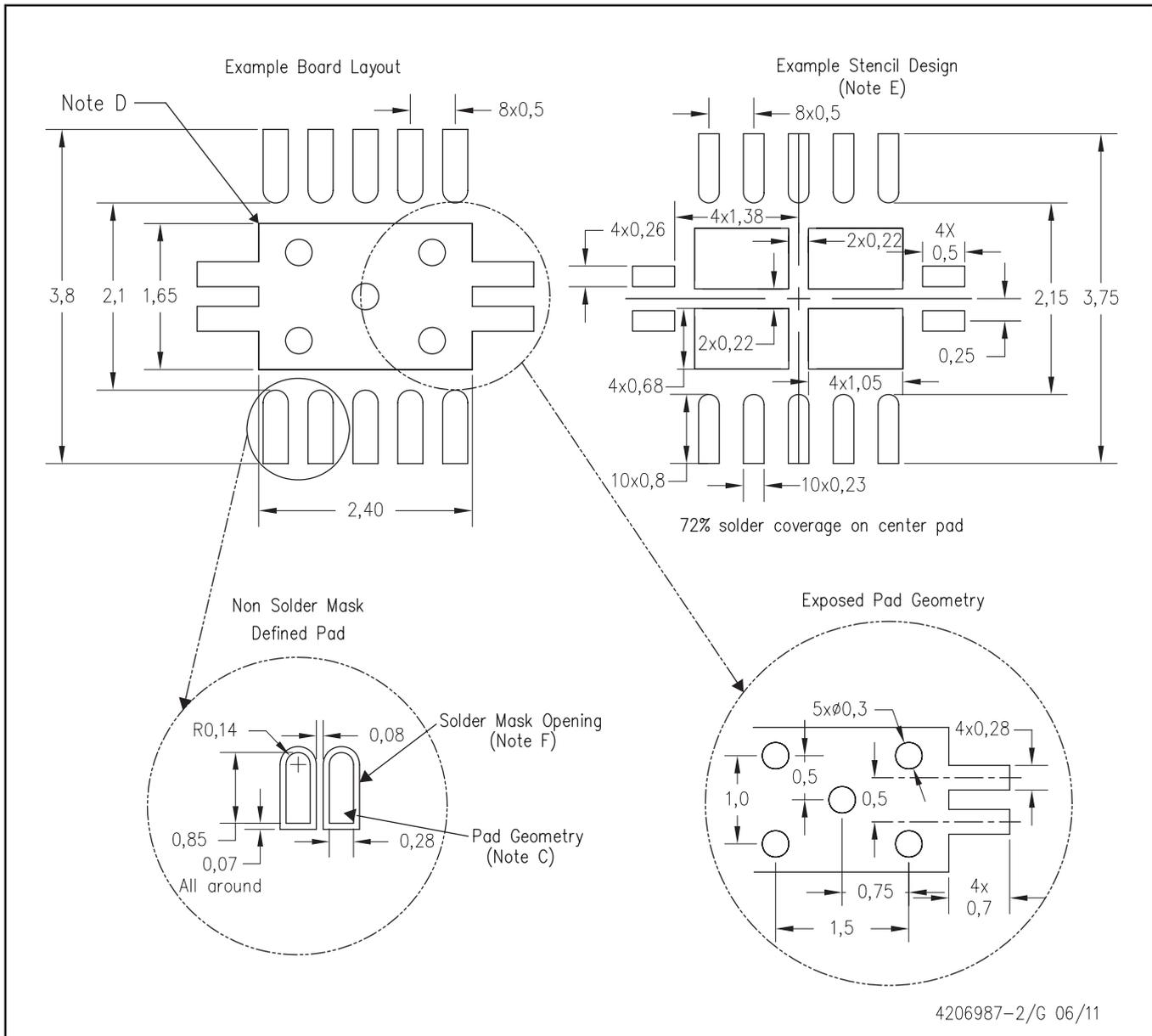
このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板(PCB)に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路(IC)からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード(QFN)パッケージとその利点についての情報はアプリケーションレポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLUA271を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。



サーマルパッド寸法図



- 注: A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 出版番号IPC-7351は設計代案についての推奨です。
 D. このパッケージは、基板上のサーマルパッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカルブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLUA271)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしているとして特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2012, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上