

**DS3695,DS3695A,DS3695AT,DS3695T,DS96172,
DS96174,DS96F172MQML,DS96F174MQML**

Application Note 847 FAILSAFE Biasing of Differential Buses



Literature Number: JAJA262

フェイルセーフ (FAILSAFE) 差動バスにおけるバイアス処理

National Semiconductor
Application Note 847
John Goldie
July 1992



概要

マルチポイント・バス構成の場合、システムの入出力の設計者は、ポイント・ツー・ポイント構成では通常発生しない2つの問題に直面します。2つの問題とは、バス・コンテンション(バス上の信号の衝突)とバスのアイドル状態に関するものです。バス・コンテンションは、複数のドライバが同時にアクティブ状態となりバスの状態が定まらない時に発生します。コンテンションはソフトウェアもしくはハードウェアのエラーによって発生すると思われる。2番目の問題は、すべてのドライバがOFFしたときにバスの状態が定まらないというものです。フェイルセーフ (FAILSAFE) バイアスは、すべてのドライバがトライステート (OFF) 状態の時に、バスを既知状態にバイアスすることによって、この問題を解決します。このアプリケーション・ノートでは差動バスのフェイルセーフについて説明します。

序論

フェイルセーフ・バイアスは、すべてのドライバがトライステート (Hi-Z, OFF) 状態の時に、既知状態を与えます。これは特に、マルチポイント伝送として通常知られている、複数のドライバ(トランシーバ)が存在する構成で、重要です。(Fig. 1 参照)。

電気特性の標準規格 TIA/EIA-485 では、最大32ユニット負荷をバスに接続できると規定しています。1つのトランシーバ(ドライバ/レシーバペア)は、通常1ユニット負荷を表します (Fig. 1 参照)。バスは半二重の双方向バス(データは双方向に送ることができる)ですが、ただ1つのドライバだけが一時にアクティブとなるべきです。終端は(ほとんどの場合)必要ですが、バスの両終端のみで終端します。Fig. 1の左側の終端も、フェイルセーフ・バイアスが与えられています。

バスの状態

フェイルセーフのバイアスを与えられたバスは、2つの状態、HIGH (ドライブされた HIGH と、フェイルセーフの HIGH) および LOW (遷移領域は無視、そしてバスコンテンションのみを持ちます。バスは、アクティブなドライバによって HIGH もしくは LOW にドライブされるか、外付けプル・アップ/プル・ダウン抵抗によってバイアスされます。これらの抵抗はフェイルセーフ・バイアスを与え、この構成は"パワー・ターミネーション"とも呼ばれます。Fig. 2に、2つのバス状態が示されています。

いくつかのアプリケーションでは、これら2つの状態は、MARK/SPACE、ON/OFF、もしくは1/0、と定義されています。これらの2つの状態の定義は、アプリケーションに依ります。信号がスレショルド領域 ($\pm 200\text{mV}$) を通って遷移するとき、レシーバは不定です。Fig. 2では、ラインがLOWにドライブされ、HIGHに遷移し、続いて、ドライバがディセーブルとなります。しかし、バスは外部からのフェイルセーフ・バイアスのためにHIGHに留まります。

フェイルセーフ・バイアスがいない場合、すべてのドライバがOFFとなったとき、レシーバ出力は不定となります。差動ラインは互いに1mV-5mVの電圧差に落ちつきます ($V_{OA}-V_{OB}$)、レシーバ内の内部インピーダンス網によって、レシーバのスレショルド規定内に入ってしまう(200mV)。もし、外部ノイズがラインに乗ったときに、誤った遷移が起こり、エラーを生じてしまいます。非同期のアプリケーションでは、この誤った遷移は、フレーム・エラーや、誤ったスタート・ビットとして解釈されるか、誤った割り込みを発生させる等が、考えられます。

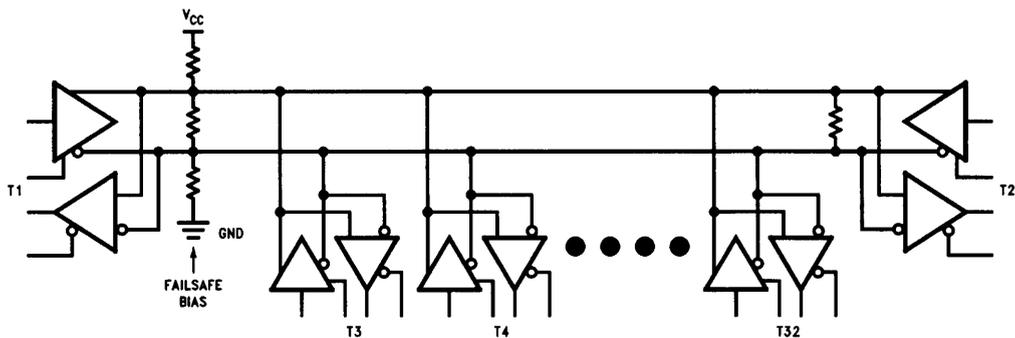
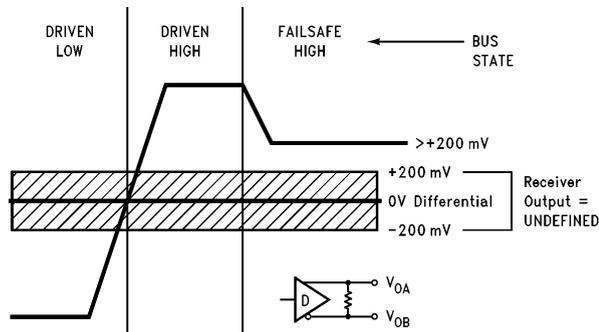


FIGURE 1. Typical Multi-Point Application

TL/F/11497-1

TRI-STATE® はナショナル セミコンダクター社の登録商標です。



Note: Differential Plot $V_{OA} - V_{OB}$, not with respect to GND.

TL/F/11497-2

FIGURE 2. Bus States

シリアル プロトコル

一般的な低速のデータ転送形式は、非同期のプロトコルを使用しています。標準的なフォーマットは12ビットで構成されています。スタートビットはタイミングシーケンスを開始します、そして“HIGH”から“LOW”への遷移によって検出されます。次に8つのデータビット、選択可能であるパリティビットが続き、最後に伝送経路は、1ないし2ビットの期間ラインを“HIGH”(ストップビット)として文字の終わりを表します。このフォーマットについては、Fig.3に説明されています。もし別の文字が送られるときは、次のスタートビットが再び前述のプロセスをくり返します。しかし、もしこれが最後の文字のとき、伝送経路は次のスタートビットまで“HIGH”とされるべきです。しかしこのことは、マルチポイントのアプリケーションの場合には問題を引き起こします、なぜならば、全てのドライバのデータの転送が停止されるからです。

動作中のドライバがない場合、ラインはフローティングとなり、そしてレシーバの出力は不定となります。この問題にはいくつかの解決策があります。ひとつはプロトコルを変換(ソフトウェアで)する方法と、もう一方は、ハードウェアの変更による方法です。ハードウェアによる方法では、外付けの抵抗を、全てのドライバがOFFのときにラインを“HIGH”にバイアスするために使用します。このアプリケーションノートでは、ハードウェアによる方法とその抵抗値の選択について説明します。一組のドライバとレシーバ(Point to Point)のアプリケーションでは(Fig.4参照)通常、ドライバは常時イネーブルになっています。この場合、バスは“HIGH”または“LOW”の2つの状態のみを持ちます。フェイルセーフバイアスは、もしドライバのイネーブル端子がスイッチしないのであれば必要ありません。

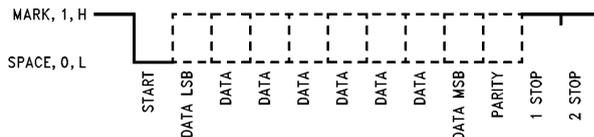


FIGURE 3. Asynchronous-UART Timing Format

TL/F/11497-3

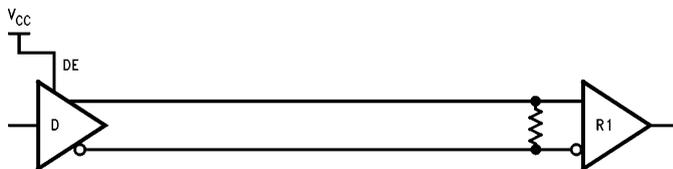


FIGURE 4. Typical Point-to-Point Application

TL/F/11497-4

フェイルセーフ・バイアスのための抵抗値の算出法

外付けの抵抗は、最低でも200mV（レシーバの最大スレシヨルド）のバイアスが伝送経路すべてに渡って供給できるように選択され、動作中のドライバの実際の負荷抵抗を下げてはいけません。加えて下記の指針に適合すべきです。プルアップ抵抗（ R_a ）とプルダウン抵抗（ R_d ）の値は等しい抵抗値とすべきです。このことはドライバの負荷を対称的にします。終端抵抗（ R_b ）は、ツイストペアケーブルのインピーダンス特性（ Z_0 ）に合わせて選択されるべきです。もし終端抵抗が伝送経路のインピーダンスに適合するとき、 $R_b = Z_0$ となり、反射は起こりません。ケーブルのもう一方の端の等価抵抗 R_c 、 R_a 、そして R_d もまた、伝送経路のインピーダンス特性に適合すべきです。この場合は、 R_c は R_a と R_b の和に平行となります。（ $R_c // (R_a + R_d)$ ）この等価抵抗は伝送経路に適合し、 R_c を Z_0 より大きくしなければなりません。 R_c の抵抗値は標準的には Z_0 より 10 ~ 20 大きくくなります、しかし実際の抵抗値は R_a と R_d の値に依存します。フェイルセーフバイアス（ V_{fsb} ）は伝送経路間の電圧降下です。注意点として、この式ではケーブルの抵抗は省かれています（Appendix 参照）そして R_b は R_c に平行となります（ $R_{eq} = R_b // R_c$ ）

この結果、フェイルセーフバイアスは簡略化すると、 R_{eq} 、 R_a と R_d の分圧器です。ワーストケースは $V_{CC} - 5\%$ 、 R_a と R_d の誤差が + 方向、そして R_c と R_b の誤差が - 方向のときに起こります。ワーストケースの条件下でフェイルセーフバイアスは、論理状態を保証できるレシーバ出力より 200mV 大きくなければなりません。

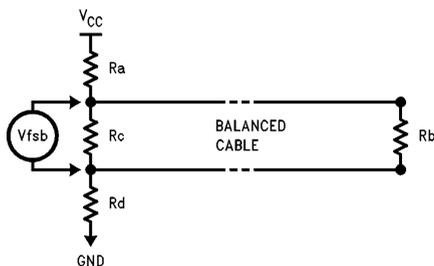


FIGURE 5. External FAILSAFE Bias Resistors

Note: 計算例では、ケーブルのインピーダンス特性（ Z_0 ）を 120 Ω と仮定しました。

Step 1 R_c と R_b が等しく、 Z_0 に合うように選択すると仮定します。

$$R_c = R_b = Z_0 = 120\Omega$$

Step 2 等価抵抗、 $R_c // R_b$ を計算します。

$$R_c // R_b = 120\Omega // 120\Omega = 60\Omega$$

Step 3 プルアップならびにプルダウン抵抗の値を計算します。フェイルセーフバイアスは 200mV、

$$V_{CC} = 5V$$

$$V_{fsb} = V_{CC} (R_{eq} / (R_a + R_{eq} + R_d))$$

R_d の値を求めます（ R_a と R_d と仮定します）

$$R_d = ((R_{eq}) V_{CC} / V_{fsb}) - R_{eq}$$

$$R_d = ((60\Omega) 5V / 0.2V) - 60\Omega = 1440\Omega$$

R_a と R_d が等しい時、 $R_a = R_d = 1440\Omega / 2 = 720\Omega$

Step 4 $R_c // (R_a + R_d)$ の等価抵抗を再計算します。

$$R_c // (R_a + R_d) = 120\Omega // (720\Omega + 720\Omega) = 110\Omega$$

等価抵抗の値がケーブルのインピーダンス特性（ Z_0 ）に近いとき（10%以内）、さらに抵抗値を調整する必要はありません。

さらに正確な R_c が必要な場合、最適な R_c の値は下記の式により求められます。

$$Z_0 = R_c // (R_a + R_d)$$

$$R_c = 131\Omega$$

いま、等価抵抗（ $R_{eq} = R_c // R_b$ ）は、 $131\Omega // 120\Omega = 62\Omega$ となり、はじめの 60Ω に大変近くなります。標準的な抵抗値の抵抗を、フェイルセーフバイアスの電位の再計算をする以前に、選択、調達しやすさ、コストの面から代用することができます。公差 5% の抵抗の表から抵抗値を参照すると、下記の標準抵抗器が存在します。

$$R_a = 750\Omega, R_b = 120\Omega, R_c = 130\Omega, R_d = 750\Omega$$

選択された数値が基準に適合しているかについては、下記の計算を行うことによって確認できます。

- $R_c // (R_a + R_d) = Z_0$ $130\Omega // (750\Omega + 750\Omega) = 120\Omega$
- $R_{eq} = R_b // R_c$
 $120\Omega // 130\Omega = 62\Omega$
- $V_{fsb} = V_{CC} (R_{eq} / (R_a + R_{eq} + R_d))$
 $5V (62\Omega / (750\Omega + 62\Omega + 750\Omega)) = 200mV$

上記の例のように、そしてツイストペアケーブルのインピーダンス特性が 120 Ω のとき、200mV のフェイルセーフバイアスを与える、750 Ω のプルアップならびにプルダウン抵抗が決定されています。この抵抗値は、これよりも大きなバイアス（> 200mV）を供給し、ワーストケースの電源と抵抗の誤差に適應するために若干減らすことが可能です。しかし、 R_a と R_d の値は、ドライバ側から見た負荷を軽減するために、低すぎる値にすべきではありません。この例は、750 Ω でなければならないプルアップならびにプルダウン抵抗に、大きな値を使用した場合について説明しています。これらの抵抗値は、実際の使用にあたっては減らすべきではありません。このことは、ドライバが能動状態のとき（ON のとき）、最低 1.5V の電圧をケーブルの終端を通し発生する必要があるからです。低いインピーダンスのプルアップならびにプルダウン抵抗の使用は、さらにドライバの負荷インピーダンスを下げ、1.5V の差動電圧を作ることさえもさらに難しくします。

Fig.6 は、最大に負荷された（32 ユニットロード）状態に、外付けのフェイルセーフバイアス・ネットワークを持つ、TIA/EIA-485 バスについて説明しています。フェイルセーフバイアス（電源終端）は、一つのバスの末端にのみ存在します。その他の末端には、それぞれ 1 つの抵抗によるターミネーションが使用されています。

電源終端は、マスター / スレーブ構成のバスのマスター・ノードのみ、そのバスの共通のものとして位置します。このことは、電源へのプルアップ抵抗を常時 ON とすることを保証します。ドライバの負荷について考える前に、レシーバの入力インピーダンスについて、それがドライバに与える影響を理解するためにモデリングを行う必要があります。EIA/TIA-485 規格は、高いレシーバ入力インピーダンスと、入力電流に対する入力電流のカーブによって規定されています。12K Ω またはそれ以上の入力インピーダンスが、 V_{IN}/I_{IN} カーブを満足するために通常必要です。共通した誤りとしては、レシーバの入力インピーダンスを、入力端子の間に見られる差動抵抗としてモデリングすることです。入力抵抗は、電圧の基準となるノード（AC グランドポイント）への直列抵抗として、モデリングされます。TIA/EIA-485 規格はまた、並列に接続される 32 ユニットノードを許しています。このことによって、ドライバは、それぞれのラインに並列に入っている 32 個の 12k Ω の抵抗を持つこととなります。

これは、内部の電圧の基準点への 375 Ω の抵抗と等しくなります。

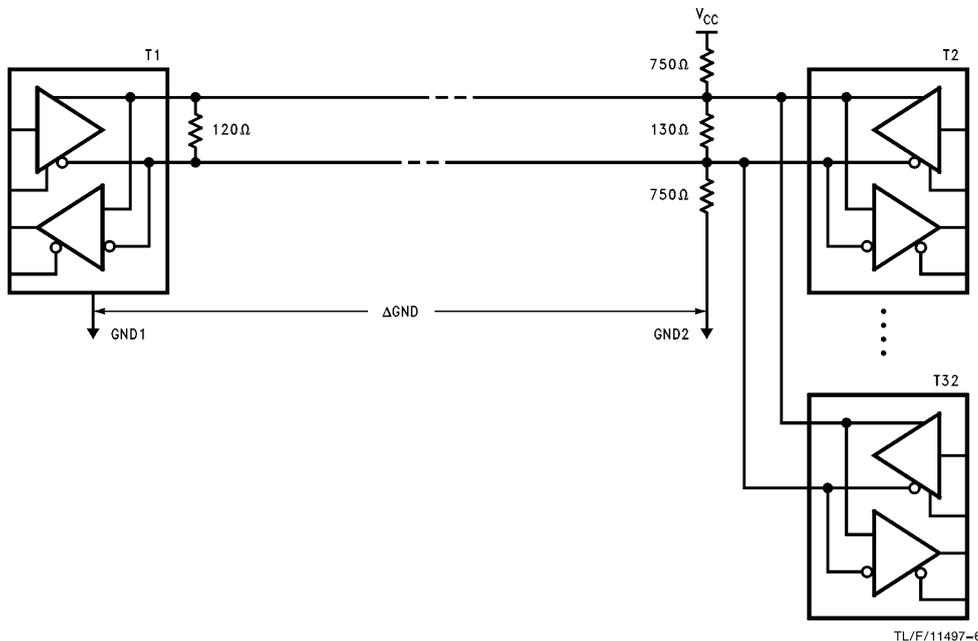


FIGURE 6. Fully Loaded TIA/EIA-485 Bus

Fig.7 に示されているテスト回路は、最大の負荷を持つ TIA/EIA-485 バスです。32個の並列のレシーバ入力インピーダンスとしてモデリングされた 375Ω は、2つの理由によって 330Ω となります。第一の理由として、動作しているドライバはまた、31個のトリステートとなっているドライバの、 $100\mu\text{A}$ または 3.1mA の31倍の値に等しい漏れ電流 (I_{OZ}) を負荷としてもちます。これは、概算で3ユニットロードに相当します。このことより、 $12\text{k}\Omega \div 35(32 + 3) = 342\Omega$ となります。この 375Ω よりさらに減少された値は、 330Ω の標準的な抵抗値の抵抗を選択可能とします。点線で囲まれた部分は、32個のレシーバの負荷と、31個の動作していないドライバの漏れ電流を表しています。

V_{CM} 電源は、TIA/EIA-485 により規定される ($\pm 7\text{V}$) 最大のグラウンドのシフト (許容される) を表します。差動電圧 (VOD) は、 62Ω の負荷 ($120\Omega/130\Omega$) を通して測定され、TIA/EIA-485 の規格より、 1.5V より大きい必要があります。

Table.1 に示されているテストデータは、ナショナルセミコンダクター社の、3つの代表的な TIA/EIA-485 ドライバによって取られました。-7V から +7V の同相電圧範囲内の变化で、すべてのデバイスは 1.5V の最低差動電圧 (VOD column) を満足しています。

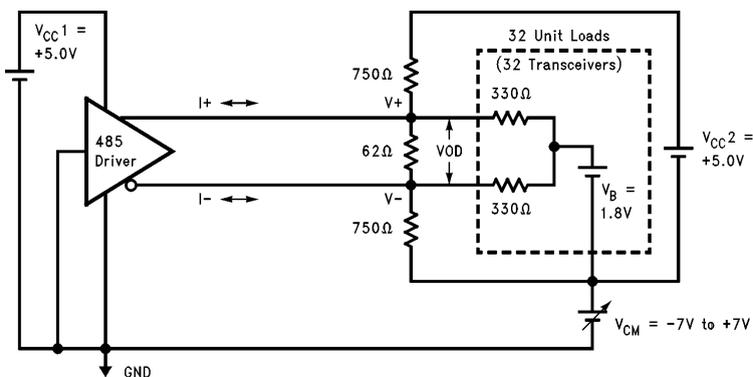


FIGURE 7. Full Load Equivalent Test Circuit

TABLE I. Test Data for TIA/EIA-485 Drivers

Device	V _{CM} (V)	I ₋ (mA)	I ₊ (mA)	V ₋ (V)	V ₊ (V)	VOD (V)
DS3695	0	-41.7	+38.4	3.39	1.44	1.95
	-7	-56.1	+23.5	3.18	1.24	1.94
	+7	-13.4	+69.1	3.78	1.77	2.01
DS96172/4	0	-43.4	+42.4	3.25	1.14	2.11
	-7	-59.6	+28.0	3.08	0.94	2.14
	+7	-12.0	+70.4	3.47	1.46	2.01
DS96F172/4	0	-49.5	+45.3	3.67	1.33	2.34
	-7	-63.5	+30.6	3.47	1.14	2.33
	+7	-19.2	+74.2	4.00	1.71	2.29

Note: Current into device pin is defined as positive, current out of device pin is defined as negative, VOD ≥ 1.5V (TIA/EIA-485).

入力オープン時のフェイルセーフ機能

全てのナショナルセミコンダクター社製の TIA/EIA-485 のレシーバは、入力オープン時のフェイルセーフ機能を持っています。この機能は、Fig.8 に説明されている下記の場合のとき、レシーバの出力を既知の状態 (HIGH) とします。入力オープン時のフェイルセーフ機能は、デバイスの入力段に集積されています。通常、高い抵抗値 (標準値: 120kΩ) のバイアス抵抗が、プラス側入力を HIGH とし、マイナス側入力を LO とします。

この値は、入力がオープンするとき (終端されていないとき) レシーバを適切にバイアスするのに十分に高い値です。

入力がオープンとなる場合

A. 終端されていないケーブル - 制限されたデータレート、スタブ、そしてケーブル長において、終端抵抗を使用しないでインタフェースを構成することが可能です。通常、ケーブルの長さは、ドライバのライズタイムとフォールタイムに制限されるため大変短く、そして反射が次の遷移の前に発生します。待機しているラインについて、レシーバ入力端子間のインピーダンスは非常に高く (オープンに近い状態) として、このことによってレシーバの出力は、HIGH となります。

B. 未接続のノード - マルチポイント構成のインタフェースの場合、32 迄のノードがツイストペアケーブルに接続可能です。終端抵抗は、ケーブルの両端にのみ存在すべきです。このことによって、もし中間にあるノードがケーブルから切り離された場合、入力オープン時のフェイルセーフ機能は、そのレシーバ出力を安定した HIGH 状態にします。

C. 未使用のチャンネル - もし高集積度のレシーバ IC (マルチチャンネル) を使用する場合で、全てのチャンネルを使用する必要がないとき、未使用チャンネルの入力は、未接続 (オープン) のままにしておくことが可能です。

入力オープン時のフェイルセーフ機能は、未使用のチャンネルの出力を安定した HIGH とします。このことは、未使用のチャンネルが、外部のノイズを拾ったり、発振したりすることにより、消費電流 (I_{CC}) が増加することを防ぎます。

これらの全ての場合、レシーバの入力端子間のインピーダンスは、150Ω またはそれ以下の低いインピーダンスの終端抵抗と比較すると、とても高いインピーダンス、またはオープン () とみなすことができます。これらの場合、レシーバの出力は HIGH となります。もし終端抵抗がレシーバ入力端子を通して接続されている場合、フェイルセーフバイアス抵抗を使用しないと、レシーバの出力は不定となります。

まとめ

外付けのフェイルセーフ抵抗を使用することによって、非同期のプロトコルを使用した、マルチポイントのアプリケーション上で共通して発生する、ライン未使用時の論理状態に関する問題を解決することが可能です。これは、未使用時のラインの論理状態に関する問題への、ハードウェアによる適切な、容認できるアプローチです。事実上、多くの完成されたインタフェース規格は、この方法を許容してきました。例として、差動方式の SCSI-1 と 2 (Small Computer System Interface) 仕様や、同様の IPI (Intelligent Peripheral Interface) 規格も含まれます。

このアプリケーションノートは、ドライバの負荷の影響を低減すると同時に、適切なフェイルセーフバイアス (V_{fsb}) を与えるための適切な抵抗値の選択の手引きについて説明しています。

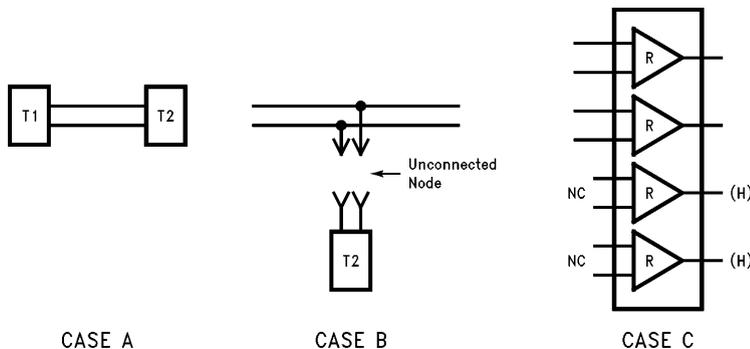


FIGURE 8. Applications of OPEN INPUT FAILSAFE Feature

TL/F/11497-B

付録

この章では、さらに精密な、ツイストペアケーブルのDC抵抗分を考慮した計算について説明します。(Fig.A-1 参照)この例では、下記の仮定をもとに計算しています。

- Ra = ブルアップ抵抗
- Rb = スレーブ・エンド終端抵抗
- Rc = マスター・エンド終端抵抗
- Rd = ブルダウン抵抗
- Re = ケーブルDC抵抗
- Rf = ケーブルDC抵抗
- Rdcr = Re + Rf
- Vfsbm = ケーブルのマスターエンドのフェイルセーフバイアスポテンシャル
- Vfsbs = ケーブルのスレーブエンドのフェイルセーフバイアスポテンシャル

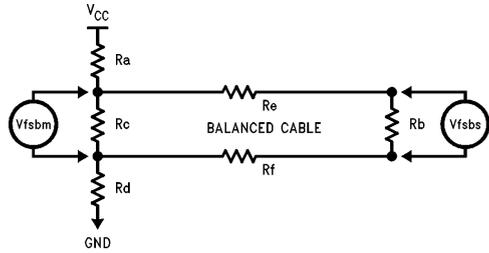
そして

1. Ra = Rd 対称的な負荷のため
2. REQ = Rc // (Ra + Rd)
REQ = (Rc(Ra + Rd)) / (Ra + Rc + Rd)

Note A: V_{CC} = 5V ± 5% と仮定する

Note B: 抵抗の誤差 = ± 2%

Note C: ワorstケースは V_{CC} - 5%、Ra と Rd + 2%、Rc - 2% の場合



TL/F/11497-9

FIGURE A-1. Cable Model

式:

ケーブルのマスターエンドのフェイルセーフバイアスは:

$$V_{fsbm} = \frac{R_c / (R_b + R_{dcr})}{R_a + R_d + (R_c / (R_b + R_{dcr}))} V_{CC}$$

$$V_{fsbm} = \frac{R_c (R_b + R_{dcr})}{(R_a + R_d)(R_c + R_b + R_{dcr}) + R_c (R_b + R_{dcr})} V_{CC}$$

スレーブエンドのフェイルセーフバイアスは、ケーブルのDC抵抗とスレーブエンドの終端抵抗の間の分圧器に単純化され、

$$V_{fsbs} = \frac{R_b}{R_b + R_{dcr}} V_{fsbm}$$

参考文献

1. EIA Standard EIA RS-485, Standard for Electrical Characteristics of Generators and receivers, for use in a Balanced Digital Multipoint Systems, EIA, Washington, D.C., 1983.
2. EIA Standard EIA RS-422-A, Electrical Characteristics of Balanced Voltage Digital Interfaced, EIA, Washington, D.C., 1978.
3. FAILSAFE Lab Notes, Gary Murdock, National Semiconductor, 1987.

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本 社 / 〒135-0042 東京都江東区木場2-17-16 TEL.(03)5639-7300 http://www.nsjk.co.jp/

製品に関するお問い合わせはカスタマ・レスポンス・センタのフリーダイヤルまでご連絡ください。



0120-666-116



この紙は再生紙を使用しています

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上