

高精度 ADC への電力供給：平均電流と過渡電流の比較

Luke Allen

Applications Engineer

Bryan Lizon

Applications Manager

はじめに

A/D コンバータ (ADC) のデータシートに掲載されている電源パラメータを理解すると、より信頼性の高い高精度データアキュイジション (DAQ) システムを設計できます。特に、ADC データシートの消費電流は、定常状態の動作条件で規定された平均値であることを理解することが重要です。したがって、ADC の過渡電流が規定の ADC 電流より数桁大きくなる可能性があるとしても、これらの測定電流値は過渡電流要求の特性を示すものではありません。過渡電流は、異なる ADC 動作モード間の遷移中に発生する可能性があり、デバイスへの最初の電力供給時に最も大きくなります。さらに、ADC を取り囲む回路と部品が原因で、更に大きな過渡電流要求が発生する可能性があります。

この記事では、ADC の過渡電流要件について詳細に説明します。まず最初に、代表的な ADC のデータシートが電流をどのように規定しているかを紹介し、次に、さまざまな動作条件下で過渡電流要求を定量化するいくつかのテストの結果を示します。さらに、平均電流と過渡電流の両方を供給できる複数の電源構成について説明し、最後にさまざまなパワーダウン方式が及ぼす影響を比較します。

電源の仕様

ADC のデータシートに記載されている消費電流は、定常状態の動作条件で規定された平均値です。さまざまな動作条件を持つ ADC では、いくつかの電流値の仕様が必要です。これらの条件には、データレートに対してスケールされる平均 ADC 電源電流、またはプログラマブル ゲイン アンプ (PGA) や電圧リファレンス (VREF) などの内部機能をイネーブルにしたときの、電流需要の増加を含めることができます。たとえ

ば、表 1 に PGA と VREF を内蔵した 24 ビット、40kSPS、11 チャンネルのデルタ シグマ ADC であるテキサス・インスツルメンツの **ADS1261** の、さまざまな動作条件でのデータシート記載の電源仕様を示します。

電源						
パラメータ	テスト条件	最小値	標準値	最大値	単位	
I_{AVD} 、 I_{AVSS}	アナログ電源電流	PGA バイパス		2.7	4.5	mA
		PGA モード、ゲイン = 1 ~ 32		3.8	6	
		PGA モード、ゲイン = 64 または 128		4.3	6.5	
	パワーダウン・モード		2	8	μ A	
I_{AVD} 、 I_{AVSS}	アナログ電源電流 (機能別)	電圧リファレンス		0.2		mA
		40kSPS モード		0.5		
		電流源		プログラムによる		
I_{DVDD}	デジタル電源電流	20SPS		0.4	0.65	mA
		40kSPS		0.6	0.85	
		パワーダウン・モード		30	50	μ A
P_D	消費電力	PGA モード		20	32	mW
		パワーダウン・モード		0.1	0.2	

表 1. ADS1261 のデータシート記載の電源仕様。

表 1 で強調表示されている「PGA バイパス」の部分は、PGA をバイパスした通常動作時に **ADS1261** に引き込まれる平均アナログ電流が 2.7mA (標準値) または 4.5mA (最大値) であることを示しています。強調表示されている「機能別」の部分は、各機能をイネーブルにしたときの電流の増加量を示しています。これらの消費電流仕様はすべて、電流が安定した後でデバイスが引き込む平均電流を測定することで規定されています。

したがって、データシートの電源仕様では、デバイスまたはサポートしている回路が通常動作時に必要とするあらゆる過渡電流の要求を平均化しています。起動時およびスイッチング時の過渡電流が、データシートに規定されている値よりも大幅に大きくなる可能性があるため、これは重要です。信頼性の高いシステム設計を実現するには、平均電流と過渡電流の両方の需要に対応できる必要があります。

過渡電流

過渡電流に関する課題の 1 つは、ADC の動作条件や周囲の回路により、その大きさと持続時間が大幅に変化する可能性があることです。したがって、ADC のデータシートで過渡電流が規定されていることはほとんどありません。ただし、電源パターンと直列に配置した、抵抗値が小さい抵抗の両端をオシロスコープでプロービングし、特定のシステム構成で過渡電流を測定することは可能です。その後、オームの法則を使用して、結果として生じる電流を求めることができます。

ADS1261 には、電源出力と ADC の AVDD ピンの間にこのような抵抗が組み込まれた、評価基板 (EVM) があります。10Ω の測定抵抗 (R33) を含む、EVM 回路図の関連部分を **図 1** に示します。この抵抗の両端での平均または過渡電圧降下を測定して 10Ω で除算すると、**ADS1261** に引き込まれる平均または過渡電流がそれぞれ計算されます。この ADC の過渡電流の挙動をよりの確に理解できるように、さまざまな条件下で複数のテストを実施しました。

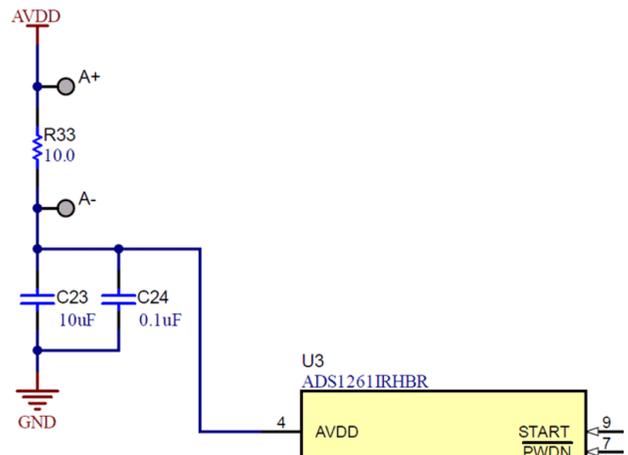


図 1. ADS1261 EVM を使用した過渡電流テスト回路。

最初の過渡電流テストは、推奨される 10μF (C23) と 0.1μF (C24) のデカップリング コンデンサを AVDD とグラウンドとの間に取り付けたパワーアップテストでした。**図 2** に、これらの条件下での **ADS1261** の過渡電流を示します。

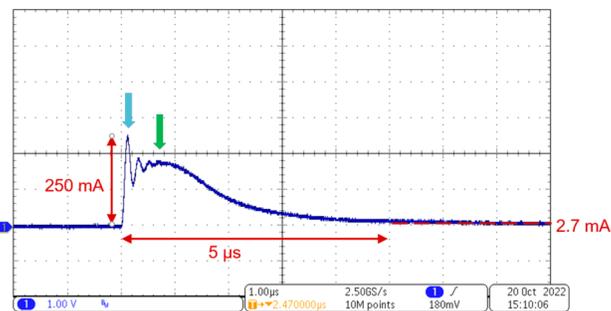


図 2. デカップリング コンデンサを取り付けた状態で、パワーアップ時に測定された過渡電流。

表 1 に示した **ADS1261** の電源仕様によれば、PGA がディセーブルされた状態での平均電流は 2.7mA (標準値) または 4.5mA (最大値) となることに注意してください。ただし、**図 2** の青い矢印は **ADS1261** の最初の電源投入時に発生する 250mA の過渡スパイクを示しています。この過渡電流は、データシートに規定されている電流の標準値の 90 倍超、最大電流の 55 倍超です。ADC の状態が変化すると、同様の電流スパイクが発生する可能性があります。

図 2 の緑色の矢印は、デカップリング コンデンサの充電に必要な 2 番目の過渡電流を示しています。通常の動作条件では、デカップリング コンデンサに追加の電荷が蓄積され、過渡事象が発生したときに追加の電流を供給します。この追加の電荷は、ADC の動作に影響を及ぼさないように、安定した電源電圧を維持するのに役立ちます。ただし、これらのコンデンサは、システムに電力が供給されるときに、未充電状態から電源電圧まで充電する必要があります。電源が供給されていないコンデンサは、システム電源がオンになった瞬間は短絡のように動作し、大きな突入電流が発生します。デカップリング コンデンサの値が大きくなると、突入電流の大きさも大きくなります。

ADC に必要な過渡電流のみを測定するため、2 回目の過渡電流テストでは、図 1 で AVDD とグラウンドの間に挿入した推奨のデカップリング コンデンサ (10 μ F および 0.1 μ F) を取り外しました。図 3 に、これらの条件下での ADS1261 の過渡電流を示します。

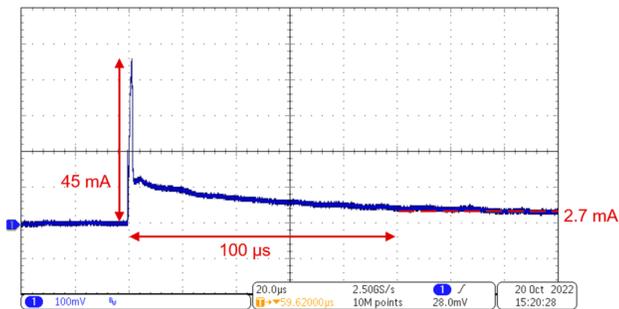


図 3. デカップリング コンデンサを取り外した状態で、パワーアップ時に測定された過渡電流。

図 1 の 45mA の過渡スパイク電流は、スイッチングに起因する ADC に必要なパワーアップ電流のみを表しています。予想どおり、デカップリング コンデンサを取り付けたときに発生した 250mA のスパイクに比べて、ADC のみの過渡電流は小さくなっています。ただし、このように過渡振幅が小さくなると、ADC が定常状態の電流に達するまでの時間が大幅に長くなります。これは、コンデンサが補助電荷を供給しなくなるためです。また、この 45mA の過渡電流は、表 1 に示した 4.5mA の最大 ADC 電流仕様の 10 倍です。

3 番目の一連のテストを実施し、さまざまな機能が過渡電流スパイクを引き起こす可能性があることも確認しました。

ADS1261 の VREF をイネーブルにすることは、このようなス

パイクを発生させる機能の 1 つでした。図 4 に、観測されたこの過渡電流の挙動を示します。

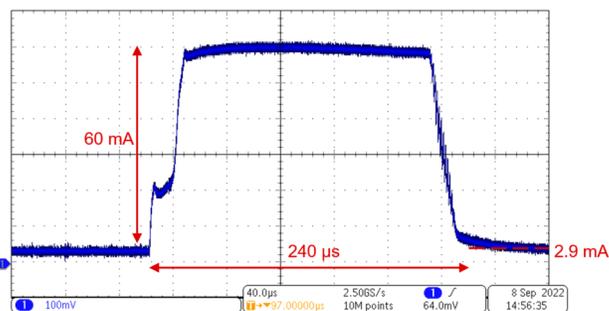


図 4. ADS1261 の VREF をイネーブルにした状態で測定された過渡電流。

表 1 から、ADS1261 の標準的な VREF 電流は 0.2 mA であることに注意してください。PGA をディセーブルにして (2.7mA) 内部 VREF がイネーブルの状態では ADC を動作させると、合計電流 2.9mA が生成されるはずですが、図 4 で測定された 60mA の過渡電流は、予想した値の 20 倍を超えています。この過渡電流は、概ね VREF 出力ピンとグラウンドとの間に配置されたフィルタ コンデンサを充電するために必要な突入電流に起因します。

図 4 の興味深い特性の 1 つは、基本的に過渡パルス全体にわたって、電流需要が 60mA で一定に保たれることです。この挙動は ADS1261 の内部 VREF に設計された固有の電流制限のために発生し、REFOUT ピンがグラウンドに短絡した場合に ADC を保護するのに役立ちます。

すべての動作条件をテストしたわけではありませんが、追加の機能テストをいくつか実行したところ、測定可能な過渡電流は発生しませんでした。また、この動作は ADS1261 に限定されないことにも注意してください。この記事で説明した過渡電流は、すべての高精度 ADC で観測される可能性があります。

電源回路オプション

過渡電流は電圧ドロップなどの問題を引き起こす可能性があります。したがって、平均電流と過渡電流の両方の要求に対応できる電源を設計することが重要です。以下の3つの電源オプションの利点と課題をご確認ください。

- 低ドロップアウト (LDO) レギュレータ。テキサス・インスツルメンツでは、高精度 ADC への電力供給に LDO を使用することを推奨します。LDO には、優れたノイズ特性、低電圧リップル、小型でシンプルな実装など、多くの利点があります。LDO の最も重要な利点は、過渡時に出力電圧を確実に維持できると同時に、低い静止電流を実現できることです。さまざまなアプリケーションに最適な LDO を選択する方法の詳細については、下の [関連ウェブサイト](#) のセクションをご覧ください。
- リニア レギュレータ。LDO ではコストが高すぎる場合、標準ドロップアウト電圧のリニア レギュレータも良い選択肢となります。リニア レギュレータは過渡時に出力電圧を確実に維持できると同時に、LDO と同様に低い静止電流を実現します。リニア レギュレータの課題はドロップアウト電圧が大幅に高くなることで、このデバイスに電力を供給するためだけに特別な電圧レールが必要になる場合があります。また、リニア レギュレータは効率が低く、放熱量が大きいため、大型のパッケージになる傾向があります。より多くの熱が発生すると、閉じたシステムの温度が上昇する可能性があり、高精度システムのドリフト誤差につながる可能性があります。
- シャントレギュレータ。最もコスト効率の高い電源オプションの1つは、シャントレギュレータです。コストを削減できる一方、信頼性の高い電源回路が必要になり設計がより複雑になります。たとえば、バイポーラ電源動作を必要とする高精度 ADC では、低電圧の可変シャントレギュレータである **TLV431** を使用して $\pm 2.5\text{V}$ レールを生成する場合があります。**TLV431** は V_{REF} が小さいのでこの目的で使用できます。ただし、このレギュレータの課題の1つは、供給できる電流量が限られていることです。**TLV431** のデータシートによると、1 mA 以上のカソード電流も必要

です。これら2つの制約により、[図5](#) および [図6](#) に示す標準設定の出力電流能力が制限されます。

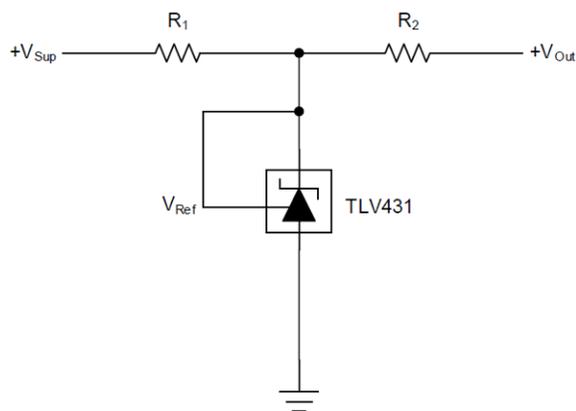


図5. 正出力の電流制限シャントレギュレータ回路。

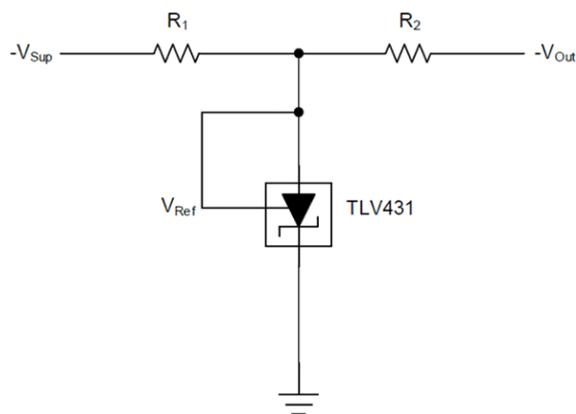


図6. 負出力の電流制限シャントレギュレータ回路。

[図5](#) と [図6](#) は、カソード電流と ADC に供給される電流の両方が抵抗 R_1 を流れる必要があることを示しています。この構成では、電源電流が $(V_{SUP} - V_{REF}) / R_1$ に制限されるため、2つの設計上の課題が発生します。第1に、 R_1 を連続的に流れる電流は、負荷が印加されていない場合でも電力を消費することです。 R_1 を小さくして利用可能な電源電流を増加させようとする、それに比例して静的電力散逸も増加します。第2に、 R_1 で設定される最大電流は通常、ADC が必要とする数百ミリアンペアの過渡電流をサポートできないことです。必要な電流を供給できないと、電源電圧が低下し、ADC の動作が不安定になる可能性があります。

[図5](#) と [図6](#) の回路に2つの部品を追加することで、これらの問題を軽減します。[図7](#) と [図8](#) に、トランジスタとバイアス

抵抗 R_b を含む変更後のシャントレギュレータ回路を示します。

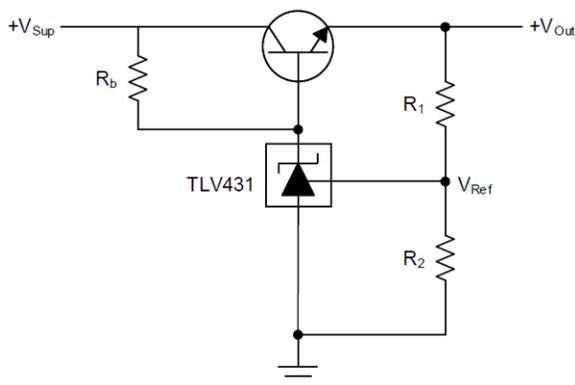


図7. 改良された正出力のシャントレギュレータ回路。

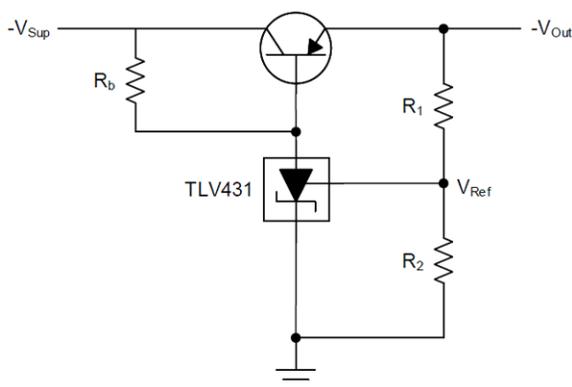


図8. 改良された負出力のシャントレギュレータ回路。

図7および図8の電源回路は、図5および図6のシステムよりも多くの電流を供給できます。これは、トランジスタによって電源入力 (V_{SUP}) と出力 (V_{OUT}) の間のあらゆる抵抗が除去されるためです。この新しい回路は、 R_1 に依存する代わりに R_b を取り付けすることで、1 mA 以上のカソード電流を維持することもできます。したがって、抵抗 R_1 および R_2 は、式1に従って出力電圧を設定する場合にのみ必要です。

$$V_{out} = \left(1 + \frac{R_1}{R_2}\right) \times V_{ref} \quad (1)$$

電圧リファレンスをシャントレギュレータとして使用する方法の詳細については、下の[関連ウェブサイト](#)のセクションを参照してください。

低消費電力システム: パワーダウンかパワーオフか

低消費電力 DAQ システムは、さまざまなパワーダウン方式を使用してエネルギーを節約することがよくあります。一部の ADC にはパワーダウンモードがあり、デバイスを使用していないときにデバイスを低消費電力状態に移行させ、システムの消費電力を低減することができます。ADC データシートにはさらに、このモードでの消費電流が規定されています。もう1つのよく使われる省電力手法は、ADC を使用していないときに電源を単純にオフにし、必要なときに電源をオンに戻す方法です。この方法では、システムの電源がオフの間は消費電力が発生しません。

後者の方法は、この記事で説明する過渡電流の影響を受けませんが、これは電源サイクルのたびにあらゆるコンデンサを再充電する必要があるためです。電荷 (Q) と電流 (I) の標準的な式を使用して、電源がオフになったときにシステムが消費する電流を推定し、この値をパワーダウンモードの ADC データシートの値と比較することができます。

たとえば、**ADS1261** のデータシートでは、10 μF および 0.1 μF のデカップリングコンデンサを AVDD から AVSS までの間に並列に接続することを推奨しています。また、データシートには AVDD が 5V でなくてはならない、と規定しています。**式2**と**式3**により電源サイクルが毎秒1回の場合、平均電流が 50.5 μA であると計算されます。

$$Q = C \times V = 10.1 \mu\text{F} \times 5\text{V} = 50.5 \mu\text{C} \quad (2)$$

$$I = \frac{Q}{t} = \frac{50.5 \mu\text{C}}{1\text{s}} = 50.5 \mu\text{A} \quad (3)$$

ここで、 $C = 10.1 \mu\text{F}$ (10 μF + 0.1 μF)、 $V = 5\text{V}$ 、 $t = 1\text{s}$ です。

表1の緑色で強調表示されている部分では、パワーダウンモードでの**ADS1261**のパワーダウン電流はわずか 8 μA (最大) であることに注意してください。両方のオプションを比較すると、ADC のパワーダウンモードを使用することで、電源をオフにする場合に比べて消費電力を6倍以上低減できることがわかります。したがって、過渡電流が全体的な消費電力に及ぼす影響を考慮することが重要です。多くの場合、ADC をパワーダウン状態にすることは、エネルギー効率の優れたソリューションになります。

関連ウェブサイト

- 次の e-book をダウンロードしてください。
 - テキサス・インスツルメンツ:『[LDO の基礎](#)』
 - テキサス・インスツルメンツ:『[電圧リファレンスを使用した設計のヒントとコツ](#)』
- 以下のテキサス・インスツルメンツ E2E™ 設計サポートフォーラム技術資料をご確認ください。
 - 『[LDO またはスイッチングレギュレータを選択する方法](#)』
 - 『[電圧リファレンスを電圧レギュレータとして使用する方法](#)』
- テキサス・インスツルメンツ:『[TL431 および TL432 データシートの安定性境界条件チャートについて](#)』
- [LDO パラメトリック検索](#)を使用して、次期高精度 ADC 設計に適した LDO を検索してください
- 2024 年 3 月 5 日 TECH+掲載のテキサス・インスツルメンツ寄稿記事を転載
- ご質問は E2E Support Forum にお問い合わせ致します。

重要なお知らせ:ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated