

---

# **TMS320VC5503/5507/5509/5510 DSP** ダイレクト・メモリ・アクセス (DMA) コントローラ

## リファレンス・ガイド

# **TMS320VC5503/5507/5509/5510 DSP** **ダイレクト・メモリ・アクセス (DMA) コントローラ** **リファレンス・ガイド**

---

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといたします）及びTexas Instruments Incorporated（TIJの親会社、以下TIJ及びTexas Instruments Incorporatedを総称してTIといたします）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取り引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTI からライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

### 6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

以下余白

# 最初にお読みください

## 本書について

本書では、TMS320C55x™ (C55x™) DSP 生成の TMS320VC5503、TMS320VC5507、TMS320VC5509、および TMS320VC5510 デジタル・シグナル・プロセッサ (DSP) 上で利用できるダイレクト・メモリ・アクセス (DMA) コントローラの機能および動作について説明します。

『TMS320VC5503/5507/5509/5510 DSP Direct Memory Access (DMA) Controller Reference Guide』(文献番号 SPRU587D) を翻訳しています。

## 表記規則

本書では、次の表記規則を使用しています。

- 多くの場合、16 進数は末尾に h が付いて表されています。たとえば、次の数字は 16 進数の 40 (10 進数の 64) です。

40h

- 同様に、2 進数は通常、末尾に b が付いて表されています。たとえば、次の数字は 10 進数の 4 を 2 進数で示したものです。

0100b

## 関連資料

C55x デバイスおよびそのサポート・ツールなどを解説した関連資料は、次のとおりです。関連資料は、[www.ti.com](http://www.ti.com) から入手可能です。[www.ti.com](http://www.ti.com) にアクセスして、検索ボックスに文献番号を入力してください。

『**TMS320VC5503 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS245) では、TMS320VC5503 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5507 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS244) では、TMS320VC5507 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5509 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS163) では、TMS320VC5509 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5509A Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS205) では、TMS320VC5509A 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320VC5510 Fixed-Point Digital Signal Processor Data Manual**』(文献番号 SPRS076)では、TMS320VC5510 固定小数点 DSP の機能や、信号表記、ピンアウト、電氣的仕様、タイミングについて説明しています。

『**TMS320C55x Technical Overview**』(文献番号 SPRU393)では、TMS320C5000TM DSP プラットフォームにおける最新版固定小数点 DSP である TMS320C55x DSP について説明しています。以前の製品と同様に、このプロセッサは、高性能で低消費電力での動作に最適です。この資料では、CPU のアーキテクチャ、拡張された低消費電力機能、および組み込みエミュレーション機能について説明しています。

『**TMS320C55x DSP CPU Reference Guide**』(文献番号 SPRU371)では、TMS320C55x DSP のアーキテクチャ、レジスタ、CPU の動作について説明しています。

『**TMS320C55x DSP Peripherals Overview Reference Guide**』(文献番号 SPRU317)では、TMS320C55x DSP で使用可能なペリフェラル、インターフェイス、および関連するハードウェアについて説明しています。

『**TMS320C55x DSP Algebraic Instruction Set Reference Guide**』(文献番号 SPRU375)では、TMS320C55x DSP の各代数表記命令について説明しています。また、命令セットの要約、命令オペコードの一覧、およびニーモニック命令セットへの相互参照も記述しています。

『**TMS320C55x DSP Mnemonic Instruction Set Reference Guide**』(文献番号 SPRU374)では、TMS320C55x DSP の各ニーモニック命令について説明しています。また、命令セットの要約、命令オペコードの一覧、および代数表記命令セットへの相互参照も記述しています。

『**TMS320C55x Optimizing C/C++ Compiler User's Guide**』(文献番号 SPRU281)では、TMS320C55x の C/C++ コンパイラについて説明しています。この C/C++ コンパイラは、ISO 標準の C および C++ ソース・コードに対応し、TMS320C55x デバイス用のアセンブリ言語ソース・コードを生成します。

『**TMS320C55x Assembly Language Tools User's Guide**』(文献番号 SPRU280)では、TMS320C55x デバイス用のアセンブリ言語ツール(アセンブリ言語コードの開発に使用するアセンブラやリンカなどのツール)、アセンブラ擬似命令、マクロ、共通オブジェクト・ファイル・フォーマット、およびシンボリック・デバッグの擬似命令について説明しています。

『**TMS320C55x DSP Programmer's Guide**』(文献番号 SPRU376)では、TMS320C55x DSP の C とアセンブリのコードを最適化する方法、また DSP の特殊な機能と命令を使用するコードの書き方について説明しています。

## 商標

TMS320、TMS320C5000、TMS320C55x、および C55x は Texas Instruments の商標です。

その他の商標は各社の所有物です。

# 目次

<b>1</b>	<b>DMA コントローラの概要</b> .....	<b>11</b>
1.1	DMA コントローラの重要な機能 .....	11
1.2	DMA コントローラのブロック図 .....	12
<b>2</b>	<b>チャンネルとポート・アクセス</b> .....	<b>14</b>
<b>3</b>	<b>チャンネルの自動初期化機能</b> .....	<b>16</b>
3.1	同一コンテキストによる自動初期化 .....	18
3.2	異なるコンテキストによる自動初期化 .....	19
<b>4</b>	<b>HPI アクセス設定</b> .....	<b>20</b>
<b>5</b>	<b>サービス・チェーン</b> .....	<b>21</b>
5.1	サービス・チェーンの例 .....	23
<b>6</b>	<b>データの単位：バイト、エレメント、フレーム、およびブロック</b> .....	<b>25</b>
<b>7</b>	<b>チャンネルの開始アドレス</b> .....	<b>26</b>
7.1	メモリの開始アドレス .....	26
7.2	I/O 空間の開始アドレス .....	28
<b>8</b>	<b>チャンネルのアドレスの更新</b> .....	<b>29</b>
<b>9</b>	<b>データ・バースト機能</b> .....	<b>30</b>
<b>10</b>	<b>チャンネル動作の同期</b> .....	<b>31</b>
10.1	DMA チャンネルのリード同期とライト同期 .....	32
10.2	同期ステータスのチェック .....	33
10.3	失われた同期イベント .....	33
<b>11</b>	<b>チャンネル動作のモニタ</b> .....	<b>33</b>
11.1	チャンネル割り込み .....	34
11.2	タイム・アウト・エラー状態 .....	35
<b>12</b>	<b>DMA 転送の遅れ</b> .....	<b>37</b>
<b>13</b>	<b>電力、エミュレーション、リセットについての考慮事項</b> .....	<b>38</b>
13.1	DMA コントローラの消費電力の削減 .....	38
13.2	DMA コントローラのエミュレーション・モード .....	38
13.3	DSP リセット後の DMA コントローラ .....	38
<b>14</b>	<b>DMA コントローラのレジスタ</b> .....	<b>39</b>
14.1	グローバル制御レジスタ (DMAGCR) .....	40

14.2	グローバル・ソフトウェア互換性レジスタ (DMAGSCR) .....	41
14.3	グローバル・タイム・アウト制御レジスタ (DMAGTCR) .....	43
14.4	チャンネル制御レジスタ (DMACCR) .....	44
14.5	割り込み制御レジスタ (DMACICR) とステータス・レジスタ (DMACSR) .....	49
14.6	ソースおよびデスティネーション・パラメータ・レジスタ (DMACSDP) .....	52
14.7	ソース開始アドレス・レジスタ (DMACSSAL と DMACSSAU) .....	56
14.8	デスティネーション開始アドレス・レジスタ (DMACDSAL と DMACDSAU) .....	57
14.9	エレメント数レジスタ (DMACEN) とフレーム数レジスタ (DMACFN) .....	59
14.10	エレメント・インデックス・レジスタ (DMACEI/DMACSEI、DMACDEI) と フレーム・インデックス・レジスタ (DMACFI/DMACSEFI、DMACDFI) .....	59
14.11	ソース・アドレス・カウンタ (DMACSAC) と デスティネーション・アドレス・カウンタ (DMACDAC) .....	62

## 図目次

図 1.	DMA コントローラ接続の概念ブロック図 .....	13
図 2.	DMA 転送の 2 つのポート .....	14
図 3.	チャンネルのコンテキストの制御用レジスタ .....	15
図 4.	チャンネル制御レジスタ (DMACCR) .....	16
図 5.	同一コンテキストによる自動初期化シーケンス (REPEAT = 1) .....	18
図 6.	異なるコンテキストによる自動初期化シーケンス (REPEAT = 0) .....	19
図 7.	HPI アクセス設定 .....	20
図 8.	設定可能なサービス・チェーンの例 .....	21
図 9.	3 つの DMA ポートに適用されるサービス・チェーン .....	24
図 10.	TMS320C55x DSP のメモリ・マップ .....	27
図 11.	TMS320C55x DSP の I/O マップ .....	28
図 12.	チャンネル割り込みリクエストのトリガ .....	34
図 13.	グローバル制御レジスタ (DMAGCR) .....	40
図 14.	グローバル・ソフトウェア互換性レジスタ (DMAGSCR) .....	42
図 15.	グローバル・タイム・アウト制御レジスタ (DMAGTCR) .....	43
図 16.	チャンネル制御レジスタ (DMACCR) .....	44
図 17.	割り込み制御レジスタ (DMACICR) とステータス・レジスタ (DMACSR) .....	49
図 18.	ソースおよびデスティネーション・パラメータ・レジスタ (DMACSDP) .....	52
図 19.	ソース開始アドレス・レジスタ (DMACSSAL と DMACSSAU) .....	57
図 20.	デスティネーション開始アドレス・レジスタ (DMACDSAL と DMACDSAU) .....	58
図 21.	エレメント数レジスタ (DMACEN) とフレーム数レジスタ (DMACFN) .....	59
図 22.	エレメント・インデックス・レジスタ (DMACSEI、DMACDEI) と フレーム・インデックス・レジスタ (DMACSFI、DMACDFI) .....	61
図 23.	ソース・アドレス・カウンタ (DMACSAC) と デスティネーション・アドレス・カウンタ (DMACDAC) .....	62

# 表目次

表 1.	チャンネル制御レジスタ (DMACCR) のフィールドの説明 .....	17
表 2.	図 9. に示される動作 .....	23
表 3.	DMA 転送の開始アドレスの定義に使用されるレジスタ .....	26
表 4.	リード/ライトの同期 .....	32
表 5.	DMA コントローラの動作イベントおよび関連ビットと割り込み .....	34
表 6.	DMA コントローラのレジスタ .....	39
表 7.	グローバル制御レジスタ (DMAGCR) のフィールドの説明 .....	40
表 8.	グローバル・ソフトウェア互換性レジスタ (DMAGSCR) のフィールドの説明 .....	42
表 9.	グローバル・タイム・アウト制御レジスタ (DMAGTCR) のフィールドの説明 .....	43
表 10.	チャンネル制御レジスタ (DMACCR) のフィールドの説明 .....	45
表 11.	割り込み制御レジスタ (DMACICR) のフィールドの説明 .....	50
表 12.	ステータス・レジスタ (DMACSR) のフィールドの説明 .....	51
表 13.	ソースおよびデスティネーション・パラメータ・レジスタ (DMACSDP) のフィールドの説明 .....	53
表 14.	DMA コントローラによるデータ・パッキング .....	56
表 15.	ソース開始アドレス・レジスタの下位部分 (DMACSSAL) のフィールドの説明 .....	57
表 16.	ソース開始アドレス・レジスタの上位部分 (DMACSSAU) のフィールドの説明 .....	57
表 17.	デスティネーション開始アドレス・レジスタの下位部分 (DMACDSAL) のフィールドの説明 .....	58
表 18.	デスティネーション開始アドレス・レジスタの上位部分 (DMACDSAU) のフィールドの説明 .....	58
表 19.	エレメント数レジスタ (DMACEN) のフィールドの説明 .....	59
表 20.	フレーム数レジスタ (DMACFN) のフィールドの説明 .....	59
表 21.	ソース・エレメント・インデックス・レジスタ (DMACSEI/DMACEI) のフィールドの説明 .....	61
表 22.	ソース・フレーム・インデックス・レジスタ (DMACSEI/DMACFI) のフィールドの説明 .....	61
表 23.	デスティネーション・エレメント・インデックス・レジスタ (DMACDEI) のフィールドの説明 .....	61
表 24.	デスティネーション・フレーム・インデックス・レジスタ (DMACDFI) のフィールドの説明 .....	62
表 25.	ソース・アドレス・カウンタ (DMACSAC) のフィールドの説明 .....	62
表 26.	デスティネーション・アドレス・カウンタ (DMACDAC) のフィールドの説明 .....	62

# ダイレクト・メモリ・アクセス (DMA) コントローラ

本書では、TMS320VC5503、TMS320VC5507、TMS320VC5509、TMS320VC5509A、および TMS320VC5510 の各 DSP 上で利用できる DMA コントローラの機能および動作について説明します。この DMA コントローラを使用すると、内部メモリ、外部メモリ、ペリフェラル、およびホスト・ポート・インターフェイス (HPI) の間で、CPU からの干渉を受けずに、CPU の動作のバックグラウンドでデータを移動することができます。

## 1 DMA コントローラの概要

CPU の動作のバックグラウンドで、DMA コントローラは、以下の処理を実行できます。

- 内部メモリ、外部メモリ、およびオンチップ・ペリフェラルの間でデータを転送できます。
- ホスト・ポート・インターフェイス (HPI) とメモリの間でデータを転送できます。

### 1.1 DMA コントローラの重要な機能

DMA コントローラには、以下のような重要な機能があります。

- DMA は CPU と独立して動作します。
- データ・リソースごとに用意された 4 つの標準ポート。データ・リソースには、内部メモリのデュアル・アクセス RAM (DARAM)、内部メモリのシングル・アクセス RAM (SARAM)、外部メモリ、およびペリフェラルがあります。
- ホスト・ポート・インターフェイス (HPI) とメモリ間の転送の一部を実現する補助ポート。
- 6 チャンネルの DMA。DMA コントローラは、標準ポート間の 6 つの独立したブロック転送のコンテキストをモニタします。
- 各チャンネルごとに優先順位の高低を設定するビットです。詳細については、21 ページの 5 節「サービス・チェーン」を参照してください。
- イベント同期。各チャンネルの設定イベントの発生に対して DMA 転送を実行させることができます。詳細については、31 ページの 10 節「チャンネル動作の同期」を参照してください。
- 各チャンネルの割り込み。各チャンネルは、特定のイベント動作完了時に CPU 割り込みをかけることができます。33 ページの 11 節「チャンネル動作のモニタ」を参照してください。

- データ転送のソースおよびディスティネーションのアドレスのアップデートをソフトウェアで設定できます。
- 専用のアイドル・ドメイン。DMA コントローラは、このドメインをオフにすることで、低電力状態に移行できます。C55x DSP 上の各マルチチャンネル・バッファード・シリアル・ポート (McBSP) には、McBSP が DMA コントローラを必要とする際に、DMA ドメインをこのアイドル状態から一時的に移行させる機能があります。38 ページの 13.1 節「DMA コントローラの消費電力の削減」を参照してください。

DMA コントローラのプログラムに使用するレジスタについては、39 ページの 14 節「DMA コントローラのレジスタ」を参照してください。

## 1.2 DMA コントローラのブロック図

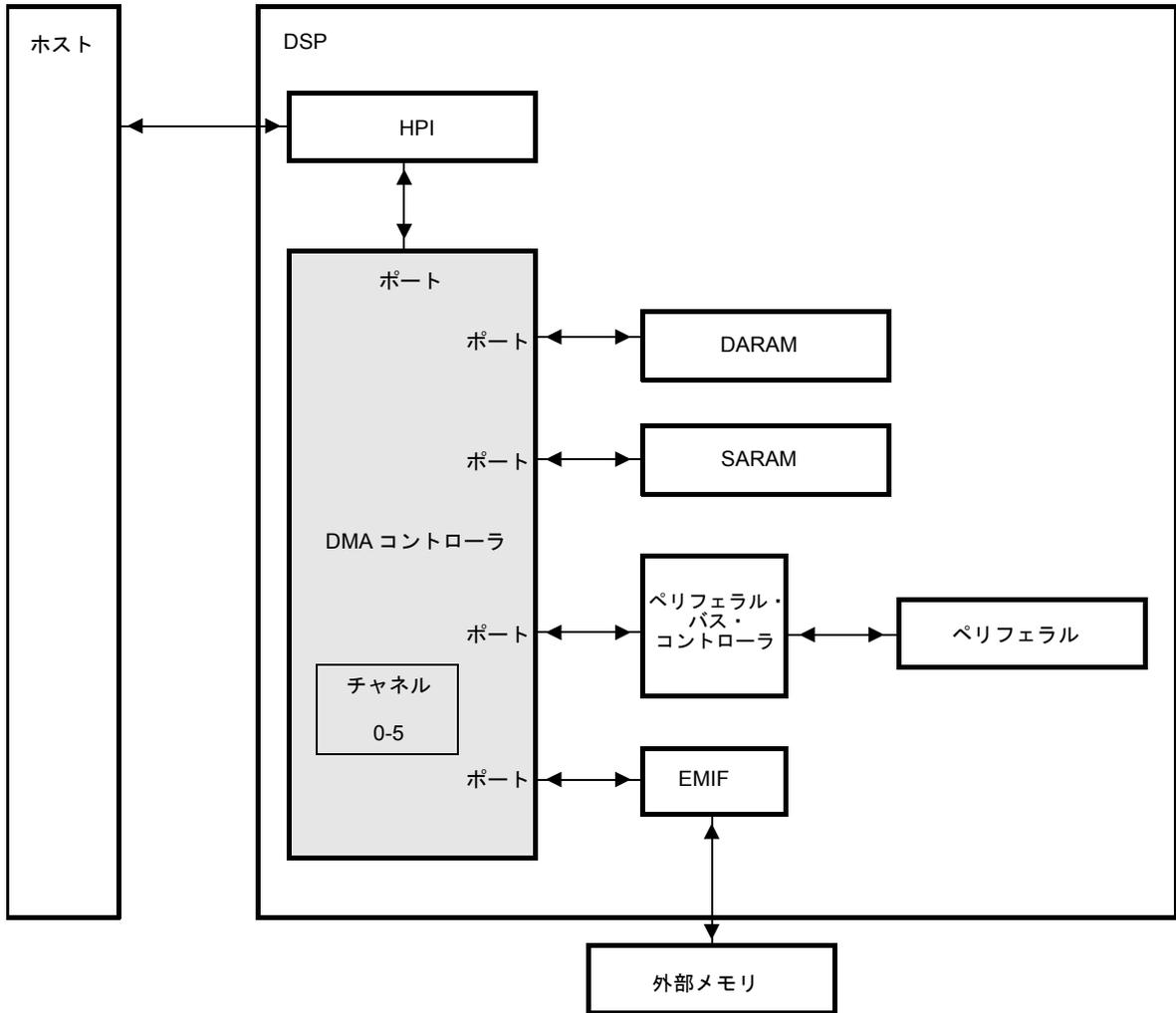
図 1. は、DSP の DMA コントローラとその他の部分の接続の概念図です。図に示されている DMA コントローラ・ポートは、以下のとおりです。

- 4 つの標準ポート。DMA コントローラには、内部メモリのデュアル・アクセス RAM (DARAM)、内部メモリのシングル・アクセス RAM (SARAM)、外部メモリ、およびペリフェラルの各リソースに対応する標準ポートが装備されています。標準ポート間のデータ転送は、6 つの DMA チャンネルで発生します (DMA チャンネルについては 14 ページを参照)。
- 補助ポート。5 番目のポートは、メモリとホスト・ポート・インターフェイス (HPI) 間のデータ転送をサポートします。HPI は、ペリフェラル・ポートにアクセスすることはできません。データを HPI からペリフェラル・ポートに転送する場合は、データ・メモリを一時バッファとして使用する必要があります。HPI とメモリ・ポート間の転送には、DMA チャンネルを使用しません。

TMS320VC5507/5509 DSP では、HPI は、補助ポートを USB モジュールと共有します。USB モジュールには、ポートで高い優先順位が割り当てられます。

複数のチャンネル (または 1 つ以上のチャンネルと HPI) が同時に同じ標準ポートへのアクセスをリクエストすることは可能です。同時に発生するリクエストを調停するために、DMA コントローラには、各標準ポートによって使用されるプログラマブル・サービス・チェーンが 1 つ存在します。サービス・チェーンの詳細については、21 ページを参照してください。

図1. DMA コントローラ接続の概念ブロック図



## 2 チャンネルとポート・アクセス

DMA コントローラには、4 つの標準ポート（DARAM、SARAM、外部メモリ、およびペリフェラルに対応）間でデータを転送するための、**チャンネル**と呼ばれる6つのパスがあります。各チャンネルは、あるポート（ソース）からデータをリードし、同じポートまたは別のポート（デスティネーション）にデータをライトします。

各チャンネルは先入れ先出し（FIFO）バッファであり、データ転送はこのバッファを使用して2段階で実行されます（図2.を参照）。

**ポート・リード・アクセス** ソース・ポートからチャンネル FIFO バッファへのデータ転送  
**ポート・ライト・アクセス** チャンネル FIFO バッファからデスティネーション・ポートへのデータ転送

図2. DMA 転送の2つのポート



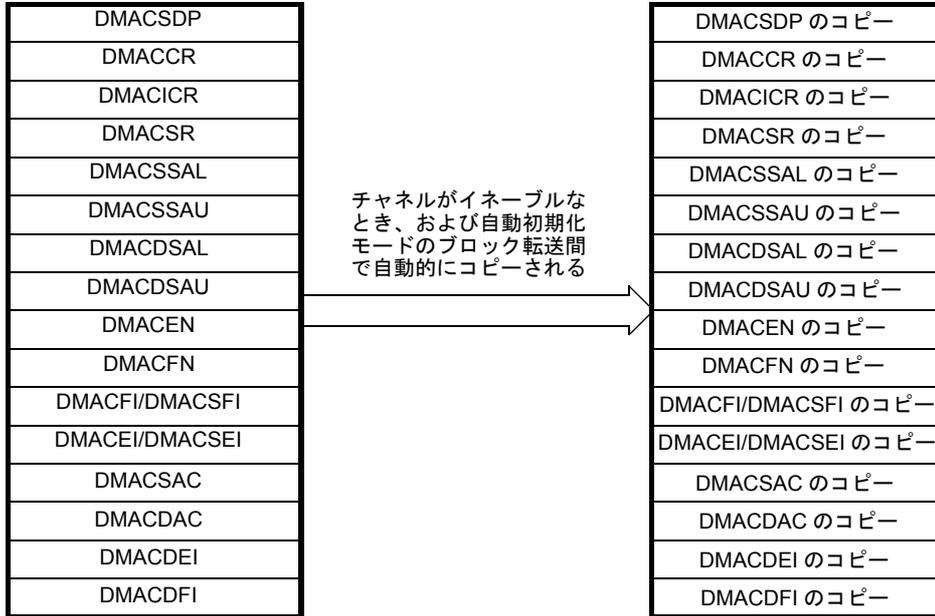
チャンネルで転送が発生する条件セットは、**チャンネル・コンテキスト**と呼ばれます。6つのチャンネルにはそれぞれチャンネル・コンテキストをプログラミングおよび更新するためのレジスタ構造が含まれています（図3.を参照）。コンフィギュレーション・レジスタは、コードによって変更します。データ転送を行う際は、コンフィギュレーション・レジスタの内容が作業レジスタにコピーされ、DMA コントローラが作業レジスタの値を使用してチャンネルの動作を制御します。コンフィギュレーション・レジスタから作業レジスタへのコピーは、コードでチャンネルが有効にされる（DMACCR で EN=1）たびに行われます。また、自動初期化モードがオン（DMACCR で AUTOINIT = 1）の場合も、そのコピーがブロック転送間で行われます。自動初期化モードの詳細については、16 ページの 3 節「チャンネルの自動初期化機能」を参照してください。DMA コントローラのレジスタの詳細については、39 ページを参照してください。

一部のコンフィギュレーション・レジスタは、DMA コントローラが作業レジスタに基づいて現在のコンテキストで動作している間に、次のブロック転送のためにプログラムすることができます。次の転送では、DMA コントローラを停止することなく、新しいコンフィギュレーションが使用されます。この方法で設定してはいけないレジスタとして、DMACSDP、DMACCR、DMACICR、DMACSR、DMAGCR、DMAGSCR、および DMAGTCR があります。DMA チャンネルの動作中にこれらのレジスタを変更すると、チャンネルが予測不可能な動作をする可能性があります。

図3. チャンネルのコンテキストの制御用レジスタ

コンフィギュレーション・レジスタ  
(コードによりプログラミング)

作業レジスタ  
(DMA コントローラにより使用)



### 3 チャンネルの自動初期化機能

ブロック転送が完了した後（ブロック内のすべてのエレメントとフレームが移動された後）、DMA コントローラは自動的にチャンネルをディスエーブルにします。チャンネルを再び使用する必要がある場合は、CPU が新しいチャンネルコンテキストを再プログラムして DMA チャンネルを再度イネーブルにするか、または DMA コントローラが自動的に新しいコンテキストを初期化してチャンネルを再度イネーブルにすることで使用可能になります。

自動初期化を使用する場合は、ブロック転送が完了するたびに、DMA コントローラが自動的にチャンネル・コンテキストをコンフィギュレーション・レジスタから作業レジスタに再コピーし、チャンネルを再度イネーブルにすることによって、チャンネルが再動作できるようにします。自動初期化をイネーブルにするには、チャンネル・コントローラ・レジスタ（DMACCR）の AUTOINIT ビットをセットします。

DMACCR の REPEAT および ENDPROG の 2 つのビットは、自動初期化の処理中に使用されません。REPEAT は、コンフィギュレーション・レジスタでコピーの準備ができるまで CPU によって DMA コントローラを待たせるかどうかを制御します。ENDPROG は、CPU と DMA コントローラ間でのレジスタ・コピー処理の状態に応じてハンドシェイクするためのビットです。図 4. に DMACCR を示します。また、表 1. では AUTOINIT、REPEAT、および ENDPROG について説明します。DMACCR の詳細については、44 ページの 14.4 節「チャンネル制御レジスタ（DMACCR）」を参照してください。

自動初期化を使用する方法は 2 つあります。1 つは各ブロック転送で同じチャンネル・コンテキストをリピートする方法、もう 1 つは各ブロック転送で新しいコンテキストを使用する方法です。この 2 つの方法について、以下の節で説明します。

図 4. チャンネル制御レジスタ（DMACCR）

15	14	13	12	11	10	9	8
				ENDPROG			AUTOINIT
				R/W-0			R/W-0
7	6	5	4	3	2	1	0

凡例： R = リード、W = ライト、-n=DSP リセット後の値

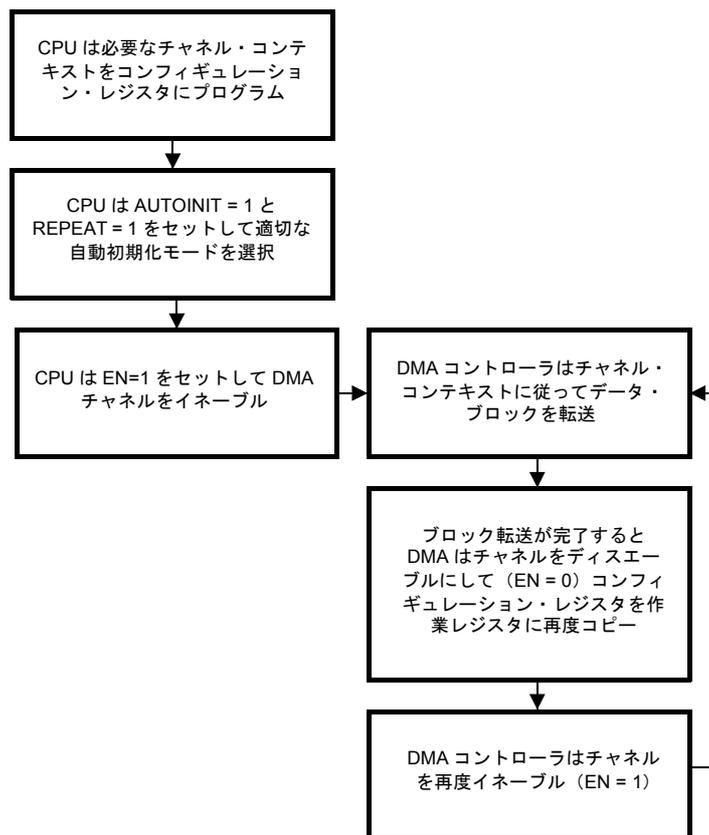
表 1. チャネル制御レジスタ (DMACCR) のフィールドの説明

ビット	フィールド	値	説明
11	ENDPROG		<p>エンド・オブ・プログラミング・ビット。各 DMA チャンネルにつき、コンフィギュレーション・レジスタと作業レジスタの 2 つのレジスタ・セットが存在します。自動初期化 (AUTOINIT = 1) が原因でブロック転送が繰り返し発生する場合は、現在のブロック転送中にコンフィギュレーション・レジスタにライトすることによって、次の DMA 転送のコンテキストを変更できます。現在の転送の最後にコンフィギュレーション・レジスタの内容が作業レジスタにコピーされ、DMA コントローラは新しいコンテキストを使用して次の転送を開始します。自動初期化を正しく実行するには、DMA コントローラがコンフィギュレーション・レジスタの内容をコピーする前に、CPU がコンフィギュレーション・レジスタのプログラミングを完了する必要があります。</p> <p>DMA コントローラは、コンフィギュレーション・レジスタを作業レジスタにコピーした後で、自動的に ENDPROG ビットをクリアします。これによって、CPU は、コンフィギュレーション・レジスタをプログラムすることによって、次の転送で使用する DMA チャンネル・コンテキストをプログラムできるようになります。</p> <p>CPU の動作を待つ自動初期化が行われるようにするには、以下のシーケンスに従います。</p> <ol style="list-style-type: none"> <li>1) REPEAT ビットをクリアして (REPEAT = 0)、自動初期化が ENDPROG = 1 になるまで待機するように設定します。</li> <li>2) ENDPROG = 0 をポーリングします。ENDPROG = 0 は、DMA コントローラが前のコンテキストのコピーを完了したことを示します。この時点で、コンフィギュレーション・レジスタは、次の転送のためにプログラムできるようになります。</li> <li>3) コンフィギュレーション・レジスタをプログラムします。</li> <li>4) ENDPROG をセットして (ENDPROG = 1)、レジスタのプログラミングの完了を示します。</li> </ol>
		0	コンフィギュレーション・レジスタはプログラミング可能 / プログラミング中
		1	プログラミング完了
9	REPEAT		<p>リピート条件ビット。自動初期化が選択されている (AUTOINIT = 1) チャンネルでは、REPEAT が 2 つの特殊なリピート条件のうちのどちらかを指定します。</p>
		0	<p>ENDPROG=1 の場合のみリピート</p> <p>現在の DMA 転送が完了したら、自動初期化はエンド・オブ・プログラミング・ビット (ENDPROG) がセットされるまで待機します。</p>
		1	<p>ENDPROG に関係なくリピート</p> <p>現在の DMA 転送が完了したら、自動初期化は ENDPROG が 0 または 1 のどちらであるかに関係なく実行されます。</p>
8	AUTOINIT		<p>自動初期化ビット。DMA コントローラは自動初期化をサポートします。自動初期化では、DMA ブロック転送間でチャンネルの再初期化が行われます。AUTOINIT を使用して、この機能をイネーブルまたはディスエーブルにします。</p>
		0	<p>自動初期化はディスエーブル</p> <p>チャンネルの動作は、現在のブロック転送が完了すると停止します。転送を即時停止するには、チャンネル・イネーブル・ビット (EN) をクリアします。</p>
		1	<p>自動初期化はイネーブル</p> <p>現在のブロック転送が完了すると、DMA コントローラはチャンネルを再初期化し、新しいブロック転送を開始します。チャンネルの動作を停止するには、2 つの選択肢があります。</p> <p><input type="checkbox"/> 転送を即時停止するには、チャンネル・イネーブル・ビットをクリア (EN = 0) します。</p> <p><input type="checkbox"/> 現在のブロック転送の完了後に動作を停止するには、AUTOINIT をクリアします (AUTOINIT = 0)。</p>

### 3.1 同一コンテキストによる自動初期化

チャンネルのコンテキストを繰り返し使用し、変更する必要がない場合は、DMA コントローラを AUTOINIT = 1、REPEAT = 1 に設定します。REPEAT = 1 の場合は、DMA コントローラは ENDPROG ビットの状態を無視します。CPU が DMA チャンネルを初期設定した後は、チャンネルが動作を継続するために、それ以外の CPU の干渉は必要ありません。このモードでの詳細なイベント・シーケンスを、図 5. に示します。

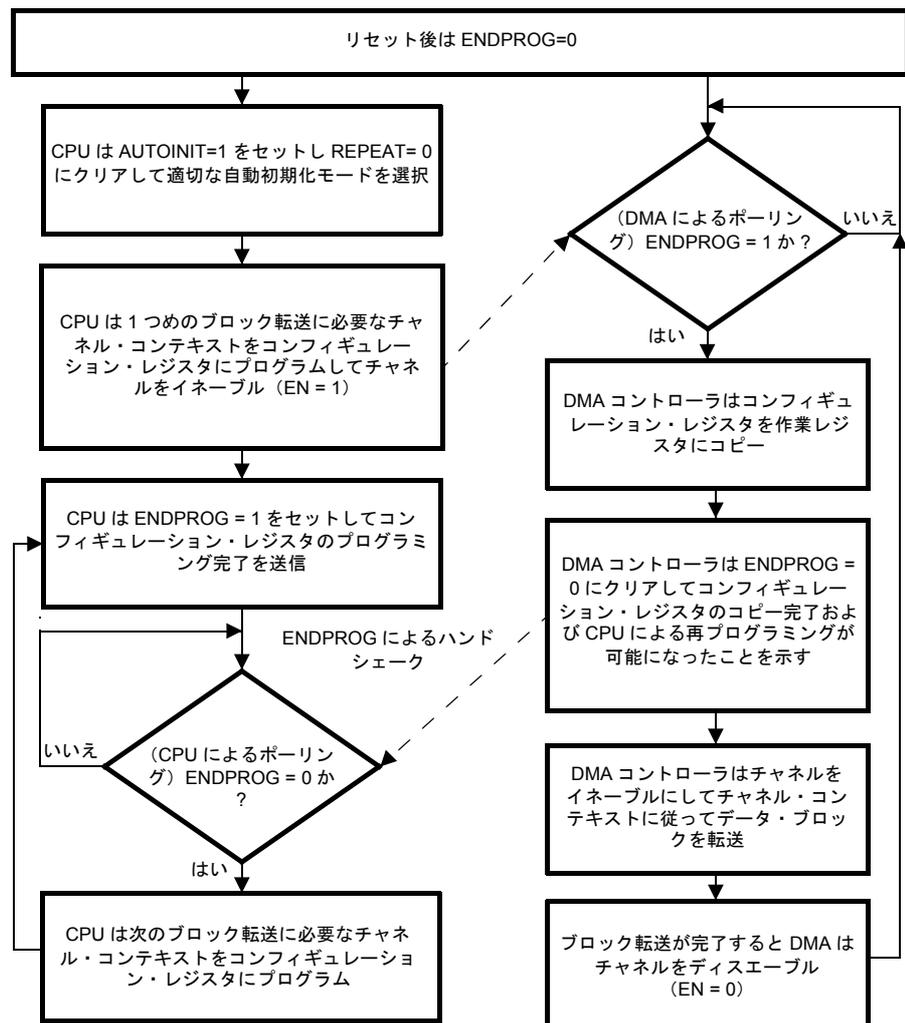
図 5. 同一コンテキストによる自動初期化シーケンス (REPEAT = 1)



### 3.2 異なるコンテキストによる自動初期化

チャンネルのコンテキストを繰り返し使用する必要があるが、各ブロック転送で異なる場合は、DMA コントローラを AUTOINIT = 1、REPEAT = 0 で設定する必要があります。REPEAT = 0 の場合は、CPU が ENDPROG = 1 とライトするまで、DMA コントローラは、コンフィギュレーション・レジスタをコピーするのを待ちます。これにより DMA のハンドシェークが行われ、CPU がレジスタを設定している間に DMA がそのレジスタをコピーするのを防ぎます。このモードでの詳細なイベント・シーケンスを、図 6. に示します。

図 6. 異なるコンテキストによる自動初期化シーケンス (REPEAT = 0)

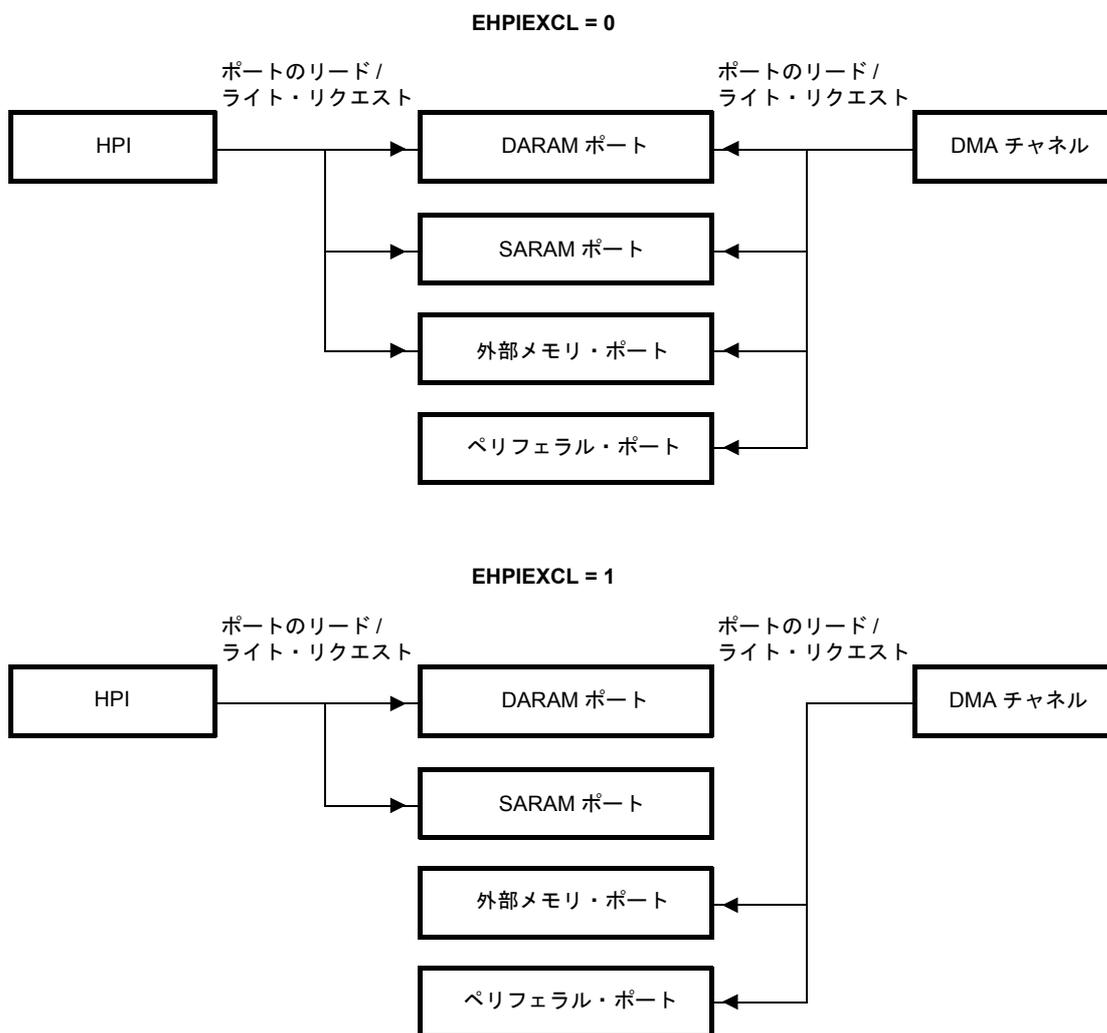


## 4 HPI アクセス設定

図 7. に示すように、DMAGCR の EHPIEXCL ビットによって、HPI と DMA チャンネル の間の関係が決まります。

- EHPIEXCL = 0 の場合は、HPI はチャンネルとメモリを共有します。
- EHPIEXCL = 1 の場合は、HPI は外部メモリにアクセスすることはできませんが、チャンネルからの割り込みがなくとも内部 RAM にアクセスすることはできません。DARAM ポートと SARAM ポートは、すべてのチャンネルがサービス・チェーンから切り離されているかのように動作します（サービス・チェーンについては 21 ページの 5 節「サービス・チェーン」を参照）。

図 7. HPI アクセス設定

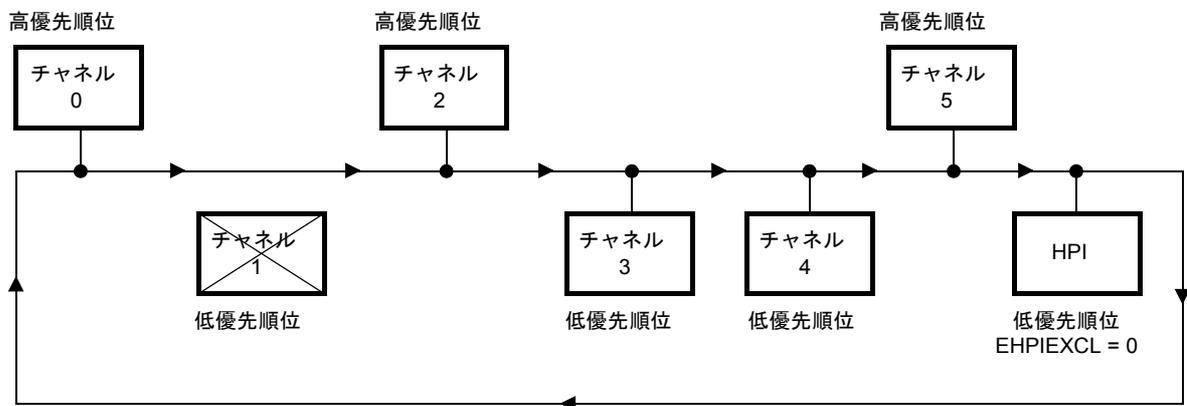


## 5 サービス・チェーン

各標準ポートは、6つのDMAチャンネルとホスト・ポート・インターフェイス（HPI）によって同時に送信されたアクセス・リクエストを調停することができます。各標準ポートには、独立して動作するサービス・チェーン、すなわちアクセス・リクエストを処理するための、ソフトウェアおよびハードウェアによって制御された仕組みが備わっています。4つのサービス・チェーンは独立して動作しますが、共通の設定を共有しています。たとえば、チャンネル2をディスエーブルにすると4つのポートすべてでチャンネル2がディスエーブルになり、チャンネル4の優先順位を高くすると4つのポートすべてでチャンネル4の優先順位が高くなります。設定可能なサービス・チェーンの例を図8.に示します。サービス・チェーンの重要な特性を、図の次のリストに示します。

23ページの5.1節「サービス・チェーンの例」に、3つのポートに適用されるサービス・チェーンの設定例が示されています。

図8. 設定可能なサービス・チェーンの例



- チャンネルとHPIには、プログラマブルな優先順位レベルがあります。各チャンネルに対応してDMACCRのPRIOビットが存在し、このビットで高い優先順位または低い優先順位を選択します。HPIに高い優先順位または低い優先順位を割り当てるには、DMAGCRのEHPIPRIOビットを使用します。DMAコントローラが低い優先順位のアイテムを処理するのは、高い優先順位のアイテムの処理がすべて完了したか、またはストールされている場合だけです。DSPのリセット後は、すべてのチャンネルとHPIが低い優先順位になります。

図では、チャンネル0、2、および5が高い優先順位です（この3つのチャンネルではPRIO = 1）。DMAチャンネル1、3、および4、およびHPIは低い優先順位です（この3つのチャンネルではPRIO = 0、HPIではEHPIPRIO = 0）。

- チャンネルとHPIの位置は、サービス・チェーン内で固定されています。ポートは、チャンネルとHPIを、0、1、2、3、4、5、HPI、0、1、2、3、4、5、HPIというように、サーキュラーなシーケンスで繰り返しチェックします。サービス・チェーン内の各位置で、ポートは、チャンネル/HPIの準備が完了し、処理可能な状態であることをチェックします。チャンネルが処理可能な状態で、優先順位の高いリクエストが別のチャンネルで保留中でない場合は、そのリクエストが処理されます。それ以外の場合は、次の位置にスキップします。DSPのリセット後は、ポートは、チャンネル0からサーキュラーなシーケンスを再開します。

- 
- チャンネルは、個別にサービス・チェーンへの接続または切り離しを、ソフトウェアから実行できます。チャンネルがイネーブル (DMACCR で EN = 1) の場合は、サービス・チェーンに接続されます。チャンネルがディスエーブル (EN = 0) の場合は、サービス・チェーンから切り離されます。DSP のリセット後は、すべてのチャンネルが切り離されます。

図では、チャンネル 1 だけが切り離されています。ポートがチャンネルと HPI をサーキュラーなシーケンスで繰り返しチェックするときは、チャンネル 1 が再接続されるまでは、チャンネル 1 をスキップし続けます。

- HPI は、ペリフェラル・ポートにアクセスすることはできません。ペリフェラル・ポートは、HPI がサービス・チェーンから切り離されているかのように動作しません。
- DMAGCR の EXPIEXCL ビットに 1 をライトすることによって、HPI が DARAM ポートと SARAM ポートに排他的にアクセスできるようになります。このとき、DARAM ポートと SARAM ポートは、HPI だけがサービス・チェーンに接続されているかのように (チャンネルがイネーブルかどうかに関係なく、すべてのチャンネルが切り離されているかのように) 動作します。詳細については、20 ページの「HPI アクセス設定」を参照してください。

図では、EHPIEXCL = 0 です。HPI は、RAM ポートをチャンネルと共有します。

- •チャンネルが同期イベントに関連付けられている場合は、同期イベントが発生するまで、チャンネルは DMA リクエストを生成しません (したがって、処理されることもありません)。

## 5.1 サービス・チェーンの例

図 9. は、DRAM ポート、外部メモリ・ポート、およびペリフェラル・ポートに適用される DMA サービス・チェーンを示しています。このサービス・チェーンには、以下の特性がプログラムされています。

- チャンネル 0、2、および 5 は高い優先順位 (DMACCR で PRIO = 1) です。チャンネル 1、3、および 4 は低い優先順位 (PRIO = 0) です。
- チャンネル 1、2、および 4 はイネーブル (DMACCR で EN = 1) です。チャンネル 0、3、および 5 はディスエーブル (EN = 0) です。
- HPI は、内部メモリをチャンネルと共有し (DMAGCR で EHPIEXCL = 0)、低い優先順位のチャンネル (DMAGCR で EHPIPRIO = 0) として扱われます。HPI は、ペリフェラル・ポートでは切り離されているものとして表示されていることに注意してください。これは、HPI がペリフェラル・ポートにアクセスすることができないためです。

表 2. に図 9. のポートの動作の概要を示します。

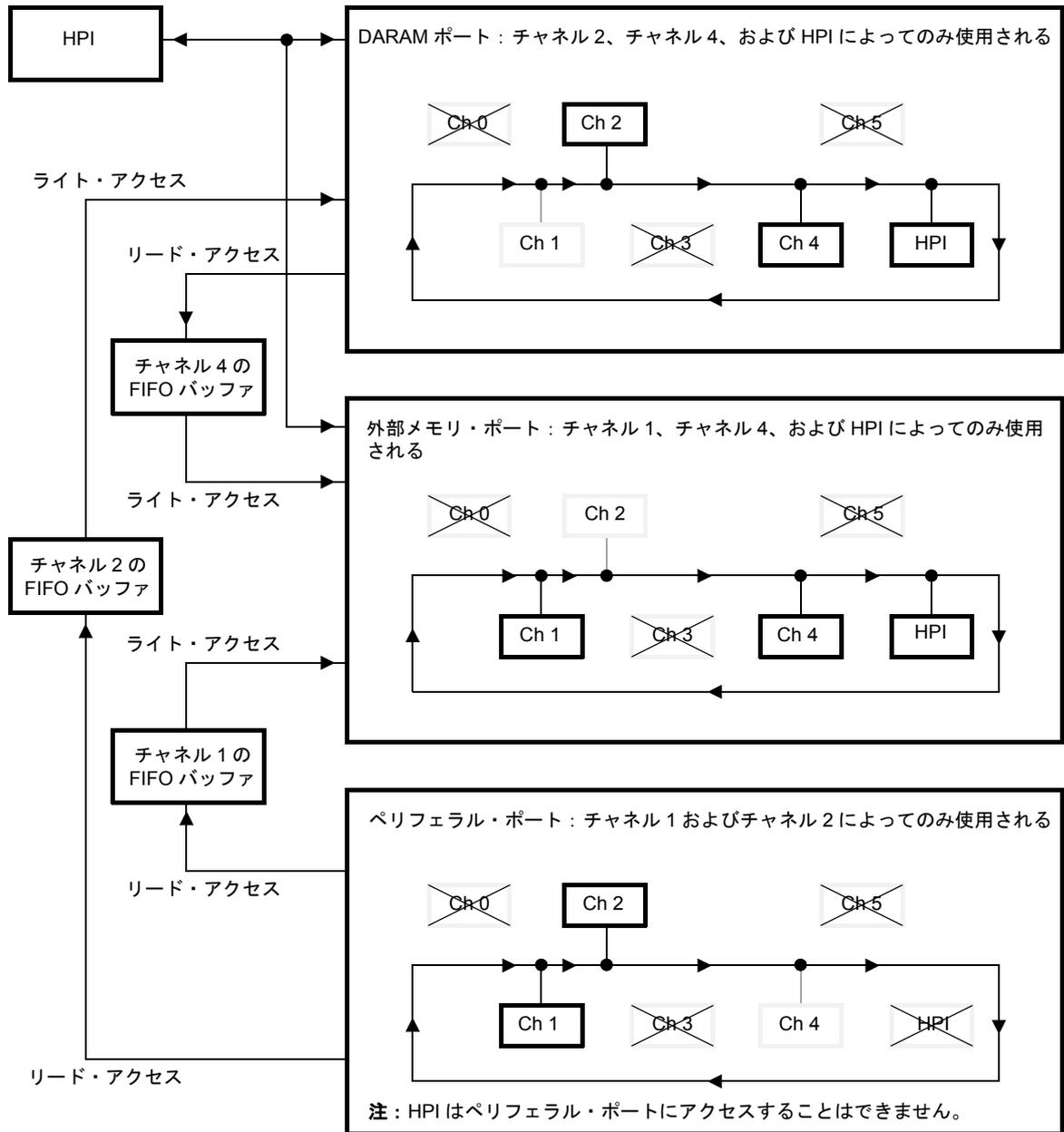
表 2. 図 9. に示される動作

ポート	このポートでの調停対象
DARAM	チャンネル 2 からのライト・アクセス・リクエスト チャンネル 4 からのリード・アクセス・リクエスト HPI からのリードまたはライト・アクセス・リクエスト
外部メモリ	チャンネル 1 からのライト・アクセス・リクエスト チャンネル 4 からのライト・アクセス・リクエスト HPI からのリードまたはライト・アクセス・リクエスト
ペリフェラル	チャンネル 1 からのリード・アクセス・リクエスト チャンネル 2 からのリード・アクセス・リクエスト

最後に、図の各ポートについて、サービス・チェーンに接続されているのにそのポートを使用しないチャンネルが存在することに注意してください。たとえば、ペリフェラル・ポートは、チャンネル 4 によって使用されていません。チャンネル 4 がソースまたはデスティネーションとしてペリフェラル・ポートを含むように再定義された場合は、そのポートが、サービス・チェーン内での位置と優先順位に従って、チャンネル 4 を処理します。

図9. 3つのDMAポートに適用されるサービス・チェーン

サービス・チェーンの 設定	高優先順位 : 0, 2, 5	ディスエーブル : 0, 3, 5	HPIはチャンネルを共有
	低優先順位 : 1, 3, 4, HPI	イネーブル : 1, 2, 4	



## 6 データの単位：バイト、エレメント、フレーム、およびブロック

本書では、DMA コントローラを説明するに際して、4 つのレベルからなるデータをまとめて説明します。

<b>バイト</b>	8 ビットの値。バイトは DMA チャンネルで転送されるデータの最小単位です。
<b>エレメント</b>	1 バイト以上の転送単位。プログラムされたデータ・タイプに応じて、エレメントは 8 ビット、16 ビット、または 32 ビットの値になります。エレメント転送は割り込み不可能であり、そのすべてのバイトがポートに転送されるまで、別のチャンネルまたは HPI はそのポートを支配することはできません。
<b>フレーム</b>	1 つ以上の要素からなる転送単位。フレーム転送は、エレメント転送の間で割り込み可能です。
<b>ブロック</b>	1 つ以上のフレームからなる転送単位。各チャンネルは、1 ブロックのデータを (1 回以上) 転送できます。ブロック転送は、フレーム転送およびエレメント転送の間で割り込み可能です。

6 つの DMA チャンネルのそれぞれについて、1 ブロックあたりのフレーム数 (DMACFN)、1 フレームあたりのエレメント数 (DMACEN)、および 1 エレメントあたりのバイト数 (DMACSDP の DATATYPE ビット) を定義できます。DMACFN、DMACEN、DMACSDP、および DMA コントローラのほかのレジスタについては、39 ページの 14 節「DMA コントローラのレジスタ」を参照してください。

## 7 チャンネルの開始アドレス

DMA チャンネルのデータ転送では、データがリードされる先頭アドレスはソース開始アドレスと呼ばれます。データをライトする先頭アドレスはデスティネーション開始アドレスと呼ばれます。これらはバイト・アドレスです。DMA コントローラから見ると、メモリまたは I/O 空間の 8 ビットごとに固有のアドレスが割り当てられます。各チャンネルでは、以下のレジスタで、開始アドレスが指定されます。

表 3. DMA 転送の開始アドレスの定義に使用されるレジスタ

レジスタ	内容
DMACSSAL	ソース開始アドレス (下位)
DMACSSAU	ソース開始アドレス (上位)
DMACDSAL	デスティネーション開始アドレス (下位)
DMACDSAU	デスティネーション開始アドレス (上位)

以下の節では、メモリ・アクセスと I/O アクセスの開始アドレス・レジスタにロードする方法について説明します。DMA コントローラは、すべての内部メモリと外部メモリ、および I/O 空間全体 (DSP ペリフェラルのレジスタを含む) にアクセスできます。

### 7.1 メモリの開始アドレス

図 10. は、TMS320C55x DSP のメモリ・マップです。この図では、CPU が使用するワード・アドレス (23 ビット・アドレス) と DMA コントローラが使用するバイト・アドレス (24 ビット・アドレス) の両方が示されています。ソース / デスティネーション開始アドレス・レジスタにロードするには、以下の手順に従います。

- 1) 適切な開始アドレスを指定します。データ・タイプのアラインメントの制約をチェックします。DMACSDP の DATATYPE ビットの説明 (55 ページ) を参照してください。ワード・アドレスが既知の場合は、1 ビット左にシフトして、24 ビットのバイト・アドレスを生成します。たとえば、ワード・アドレスの 02 4000h は、バイト・アドレスの 04 8000h に変換されます。
- 2) バイト・アドレスの最下位 16 ビット (LSB) を DMACSSAL (ソース用) または DMACDSAL (デスティネーション用) にロードします。
- 3) バイト・アドレスの最上位 8 ビット (MSB) を DMACSSAU (ソース用) または DMACDSAU (デスティネーション用) の最下位 8 ビットにロードします。

**注:**

ワード・アドレス 00 0000h ~ 00 005Fh (バイト・アドレス 00 0000h ~ 00 00BFh に対応) は、DSP CPU のメモリ・マップド・レジスタ (MMR) 用に予約されています。

図 10. TMS320C55x DSP のメモリ・マップ

	ワード・アドレス (16 進数で表した範囲)	メモリ	バイト・アドレス (16 進数で表した範囲)
メイン・データ・ページ 0	MMRs 00 0000-00 005F		00 0000-00 00BF
	00 0060-00 FFFF		00 00C0-01 FFFF
メイン・データ・ページ 1	01 0000-01 FFFF		02 0000-03 FFFF
メイン・データ・ページ 2	02 0000-02 FFFF		04 0000-05 FFFF
.	.		.
.	.		.
.	.		.
.	.		.
メイン・データ・ページ 127	7F 0000-7F FFFF		FE 0000-FF FFFF

## 7.2 I/O 空間の開始アドレス

図 11. は、TMS320C55x DSP の I/O 空間マップです。この図では、CPU が使用するワード・アドレス（16 ビット・アドレス）と DMA コントローラが使用するバイト・アドレス（17 ビット・アドレス）の両方が示されています。ソース / デスティネーション開始アドレス・レジスタにロードするには、以下の手順に従います。

- 1) 適切な開始アドレスを指定します。データ・タイプのアラインメントの制約をチェックします。DMACSDP の DATATYPE ビットの説明（55 ページ）を参照してください。ワード・アドレスが既知の場合は、1 ビット左にシフトして、17 ビットのバイト・アドレスを生成します。たとえば、ワード・アドレスの 8000h は、バイト・アドレスの 1 0000h に変換されます。
- 2) バイト・アドレスの最下位 16 ビット（LSB）を DMACSSAL（ソース用）または DMACDSAL（デスティネーション用）にロードします。
- 3) バイト・アドレスの最上位ビット（MSB）を DMACSSAU（ソース用）または DMACDSAU（デスティネーション用）にロードします。

図 11. TMS320C55x DSP の I/O マップ

ワード・アドレス (16 進数で表した範囲)	I/O 空間	バイト・アドレス (16 進数で表した範囲)
0000-FFFF		0 0000-1 FFFF

## 8 チャンネルのアドレスの更新

DMA チャンネルでデータ転送を行う際、DMA コントローラは指定された開始アドレスからリード・アクセスおよびライト・アクセスを開始します（26 ページの 7 節「チャンネルの開始アドレス」を参照）。多くの場合、データ転送が始まった後で、連続する位置またはインデックスで示された位置のデータをリードおよびライトできるように、これらのアドレスを更新する必要があります。アドレス更新は、以下の 2 つのレベルで設定できます。

- **ブロック・レベルのアドレス更新。**自動初期化モード(DMACCRでAUTOINIT = 1)では、ブロック転送は、自動初期化をオフにするか、またはチャンネルをディスエーブルにするまで、連続的に実行できます。別の開始アドレスをブロック転送で使用する場合は、ブロック転送間で開始アドレスを更新できます。
- **エレメント・レベルのアドレス更新。**DMA コントローラに、エレメント転送のたびにソース・アドレスまたはデスティネーション・アドレス、あるいはその両方を更新させることができます。エレメント転送が完了したときに DMA コントローラによって保持されているソース・アドレスは、ソースからリードされた最終バイトのアドレスです。同様に、エレメント転送が完了したときに DMA コントローラによって保持されているデスティネーション・アドレスは、デスティネーションで変更された最終バイトのアドレスです。ソフトウェアからの制御を通じて、確実にソース・アドレスが次のエレメントの先頭を指し、確実にエレメントがデスティネーションの正しい位置にライトされるようにすることができます。ソースのアドレッシング・モードは、DMACCR の SRCAMODE ビットで選択します。デスティネーションのアドレッシング・モードは、DMACCR の DSTAMODE ビットで選択します。シングル・インデックス・アドレッシング・モードまたはダブル・インデックス・アドレッシング・モードを選択する場合は、1 つまたは複数の適切なインデックス・レジスタをロードする必要があります（59 ページの 14.10 節「エレメント・インデックス・レジスタ (DMACEI/DMACSEI、DMACDEI) とフレーム・インデックス・レジスタ (DMACFI/DMACSFI、DMACDFI)」を参照）。

## 9 データ・バースト機能

DMA チャンネルに関連付けられたポートのどちらかまたは両方がバースト機能をサポートしている場合は、データ・バーストを使用して DMA スループットを向上させることができます。バーストがイネーブルな場合は、DMA コントローラは、チャンネルが処理されるたびに、1つのエレメントを移動するのではなく、4つのエレメントのバーストを実行します。SARAM ポートと DARAM ポートは、バースト機能をサポートします。EMIF ポートは、リクエストされたアドレス範囲が同期（バースト）メモリ・タイプとして設定されている場合にのみ、バースト機能をサポートします。リクエストされたアドレスが非同期メモリとして設定されている場合は、DMA コントローラは4回のシングル・アクセスを実行してバースト・データを移動します。ペリフェラル・ポートはバースト機能をサポートしないので、DMA コントローラはペリフェラル・ポートに対して4回のシングル・アクセスを実行してバースト・データを移動します。

バーストが使用される場合は、ソースおよびデスティネーションの開始アドレスは、バースト境界にアラインしている必要があります。バースト境界は、最下位バイトが 0h のバイト・アドレスに相当します。

バーストを使用するには、以下の条件が満たされる必要があります。

- バーストがイネーブルなポートの開始アドレスは、バースト境界上にある必要があります。
- エレメント・インデックスは1である必要があります。
- フレーム・インデックスによって、各バースト・アクセスはバースト境界にアラインされる必要があります。
- (エレメント数×エレメント・サイズ) の値は、バースト境界にアラインされている必要があります。これは、各フレームの最後でアドレスがバースト境界にアラインされている必要があることを意味します。

ソースとデスティネーションの両方でバーストがイネーブルであっても、ソース開始アドレスがバースト境界から始まらない場合は、ソース・バーストは内部で自動的にディスエーブルになります。ソースからチャンネル FIFO にロードし、十分なデータが集まったら、デスティネーション・バーストが実行されます。デスティネーションがバースト境界から始まらない場合は、デスティネーション・アクセスはシングル・アクセスとして実行されます。

フレーム・サイズが4つのエレメントの倍数でない場合は、フレームの最後に残る1~3つのエレメントはシングル（非バースト）アクセスとして転送されます。

ソースとデスティネーションがどちらも EMIF ポートとして設定されている場合は、バースト・モードはサポートされません。

## 10 チャンネル動作の同期

チャンネルの動作は、DSP ペリフェラル内のイベントまたは外部割り込みピンのドライブによって発生したイベントに同期させることができます。DMACCR の SYNC ビットを使用して、同期イベント（存在する場合）を指定することができます。

また、各チャンネルの DMACCR に FS ビットが存在し、このビットを使用して 2 つの同期モードから選択することができます。

- エlement同期モード (FS = 0) では、1 回の Element 転送を行うために 1 つのイベントが必要です。選択された同期イベントが発生すると、リード・アクセス・リクエストがソース・ポートに送られ、次にライト・アクセス・リクエストがデスティネーション・ポートに送られます。現在の Element のすべてのバイトが転送されると、チャンネルは同期イベントが次に発生するまで何もリクエストしません。
- フレーム同期モード (FS = 1) では、複数の Element からなるフレーム全体をトリガするために 1 つのイベントが必要です。イベントが発生すると、チャンネルはフレーム内の各 Element に対してリード・アクセス・リクエストとライト・アクセス・リクエストを送信します。すべての Element が転送されると、チャンネルは同期イベントが次に発生するまで何もリクエストしません。

同期イベントを指定する場合は、ソースとデスティネーションに対する DMA アクセスは、32 ページの 10.1 節「DMA チャンネルのリード同期とライト同期」の説明に従って処理されます。リクエストが受信されると、そのリクエストは DMA サービス・チェーンのチャンネルの事前定義された位置とプログラムされた優先順位に従って処理されます (23 ページを参照)。

チャンネルを同期しないことを選択する (SYNC = 00000b) 場合は、チャンネルはイネーブルになる (DMACCR で EN = 1) と同時にアクセス・リクエストをソース・ポートに送信します。EN = 1 にセットすると、チャンネルに定義されているブロック全体の転送が開始されます。

DMA が同期イベントを認識するように設定され (SYNC が 00000b 以外の値)、チャンネルがイネーブルになる前に同期イベントが発生した場合は、チャンネルがイネーブルになると同時に同期イベントがラッチされ、処理されます。チャンネルがイネーブルになる前に発生した同期イベントを無視する必要がある場合は、チャンネルがディスエーブルなときに、SYNC フィールドを 00000b にセットする必要があります。

## 10.1 DMA チャンネルのリード同期とライト同期

DMA チャンネルが同期するように設定されている場合は、同期イベントは、ソース・ポートとデスティネーション・ポートに基づいて、エレメント・リード操作またはエレメント・ライト操作に関連付けられます。一般的なケースは3つ存在します（表4を参照）。

- ケース 1：ソース・ポートがペリフェラルであり、デスティネーション・ポートが SARAM、DARAM、または EMIF である場合  
 チャンネルは、ペリフェラル・ポートからチャンネル FIFO にリードする前に、同期イベントを待ちます。FIFO がフルになったら、DMA チャンネルはデスティネーション・ポートへのライトを開始し、FIFO を空にします（ソース同期）。
- ケース 2：ソース・ポートが SARAM、DARAM、または EMIF であり、デスティネーション・ポートがペリフェラルである場合  
 チャンネルがイネーブルになる（DMA チャンネル制御レジスタ（DMACCR）の EN ビットがセットされる）と同時に、ソース・ポートからチャンネル FIFO にデータがリードされます。FIFO からペリフェラル・ポートへのライトは、同期イベントが検出されるまで開始されません。チャンネルがフレーム同期モード（DMACCR\_FS=1）で動作しているときは、チャンネルが同期イベントを待機している（デスティネーション同期）間に、FIFO がフルになるまで複数のプリリードが行われる可能性があります。
- ケース 3：ソース・ポートが SARAM、DARAM、または EMIF であり、デスティネーション・ポートが SARAM、DARAM、または EMIF である場合  
 チャンネルは、ソース・ポートからチャンネル FIFO にリードする前に、同期イベントを待ちます。FIFO がフルになったら、DMA チャンネルはデスティネーション・ポートへのライトを開始し、FIFO を空にします（ソース同期）。

表 4. リード/ライトの同期

チャンネル同期 (DMACCR の sync[4:0] が 00000 に等しいかどうかで セット)	ソース・ポート	デスティネーション・ポート	同期イベントの トリガ対象
いいえ	任意のポート	任意のポート	なし
はい	ペリフェラル・ポート	SARAM、DARAM、または EMIF ポート	ソース・リード
はい	SARAM、DARAM、または EMIF ポート	ペリフェラル・ポート	デスティネーション・ライト
はい	SARAM、DARAM、または EMIF ポート	SARAM、DARAM、または EMIF ポート	ソース・リード

## 10.2 同期ステータスのチェック

各チャンネルには、そのステータス・レジスタの DMACSR に同期フラグ (SYNC) があります。同期イベントが発生すると、DMA コントローラはこのフラグをセットします (SYNC = 1)。フラグは、DMA コントローラが同期を受信した後の最初のリード・アクセスを完了した時点でクリアされます (SYNC = 0)。

## 10.3 失われた同期イベント

同期イベントがチャンネルで発生したときに、DMA コントローラがその前にそのチャンネルで発生した同期イベントの処理を完了していない (DMA コントローラが DMACSR の SYNC ビットをクリアしていない) 場合は、その同期イベントは失われます。DMA コントローラは、イベントの喪失に対して、以下の方法で対応します。

- 現在のエレメント転送が完了すると、DMA コントローラはチャンネルをディスエーブルにし (DMACCR で EN = 0)、チャンネルの動作は停止します。
- 対応する割り込みイネーブル・ビットがセットされている (DMACICR の DROPIE = 1) 場合は、DMA コントローラはイベント・ドロップ・ステータス・ビットもセットし (DMACSR で DROP = 1)、割り込みリクエストを CPU に送信します。詳細については、33 ページの 11 節「チャンネル動作のモニタ」を参照してください。

## 11 チャンネル動作のモニタ

DMA コントローラは、表 5. にリストした動作イベントに対応して、CPU に割り込みを送信できます。各チャンネルについて、割り込み制御レジスタ (DMACICR) の割り込みイネーブル (IE) ビットとステータス・レジスタ (DMACSR) の対応するいくつかのステータス・ビットが存在します (DMACICR と DMACSR については 49 ページの 14.5 節「割り込み制御レジスタ (DMACICR) とステータス・レジスタ (DMACSR)」を参照)。表にある動作イベントの 1 つが発生した場合は、DMA コントローラは対応する IE ビットをチェックし、結果に応じて動作します。

- IE ビットが 1 (割り込みがイネーブル) の場合は、DMA コントローラは対応するステータス・ビットをセットし、関連付けられた割り込みリクエストを CPU に送信します。プログラムがレジスタをリードした場合は、DMACSR は自動的にクリアされます。
- IE ビットが 0 の場合は、割り込みは送信されず、ステータス・ビットは変更されません。

また、DMACSR には SYNC ビットがあり、チャンネルの同期イベントを選択した場合に使用されます。SYNC は選択された同期イベントが発生した時 (SYNC = 1)、およびそれが処理された時 (SYNC = 0) を示します。同期イベントの詳細については、31 ページの 10 節「チャンネル動作の同期」を参照してください。

表 5. DMA コントローラの動作イベントおよび関連ビットと割り込み

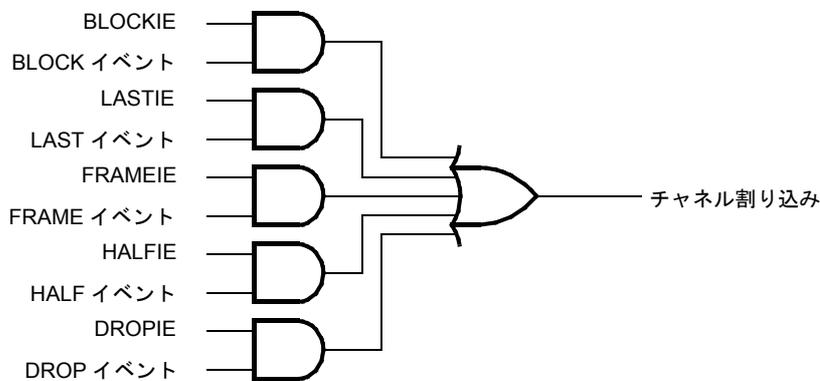
動作イベント	割り込みイネーブル・ビット	ステータス・ビット	関連付けられた割り込み
ブロック転送の完了	BLOCKIE	BLOCK	チャンネル割り込み
最後のフレーム転送の開始	LASTIE	LAST	チャンネル割り込み
フレーム転送の完了	FRAMEIE	FRAME	チャンネル割り込み
現在のフレームの前半分を転送済み <sup>†</sup>	HALFIE	HALF	チャンネル割り込み
同期イベントの喪失	DROPIE	DROP	チャンネル割り込み
タイム・アウト・エラーの発生	TIMEOUTIE	TIMEOUT	バス・エラー割り込み

<sup>†</sup> 奇数個の要素を含むフレームの場合は、転送済み要素数が転送待ち要素数を上回ったときにハーフ・フレーム・イベントが発生します。たとえば、5つの要素からなるフレームの場合は、DMA コントローラが3つの要素を転送した時点でハーフ・フレーム・イベントが発生します。

### 11.1 チャンネル割り込み

6つのチャンネルにはそれぞれ固有の割り込みがあります。図 12. に示すように、チャンネル割り込みは、タイム・アウト・イベント以外のすべてのイネーブルな動作イベントの論理和です（タイム・アウト・イベントはバス・エラー割り込みリクエストを生成）。これらの5つのイベントは、チャンネルの割り込み制御レジスタ（DMACICR）の該当する割り込みイネーブル（IE）ビットをセットまたはクリアすることによって、任意の組み合わせを選択できます。チャンネルのステータス・レジスタ（DMACSR）のビットをリードすることによって、どのイベントが割り込みを発生させたのかを判断できます。DMACSR のビットは自動的にクリアされることはありません。DMACSR をリードすると、すべてのステータス・ビットがクリアされます。割り込みが発生するたびに、保留中のステータス・ビットをクリアするために、DMACSR をリードする必要があります。

図 12. チャンネル割り込みリクエストのトリガ



割り込みイネーブル・ビットの使用例としては、チャンネル 1 の動作をモニタしており、DMACICR が以下のように設定されているものとします。

```

BLOCKIE = 0
LASTIE = 0
FRAMEIE = 1
HALFIE = 0
DROPIE = 1
    
```

現在のフレーム転送が完了したとき、または同期イベントが失われた場合（33 ページの 10.3 節「失われた同期イベント」を参照）に、チャンネル 1 の割り込みリクエストが CPU に送られます。ほかのイベントは、チャンネル 1 割り込みを生成することは

できません。1 つまたは両方のイベントが割り込みをトリガしたかどうかを確認するために、DMACSR の FRAME ビットと DROP ビットをリードすることができます。

チャンネル 1 割り込みは、CPU の割り込みフラグ・レジスタの対応するフラグ・ビットをセットします。CPU は、割り込みに対応するか、または割り込みを無視します。

DMACICR と DMACSR の詳細については、49 ページの 14.5 節「割り込み制御レジスタ (DMACICR) とステータス・レジスタ (DMACSR)」を参照してください。

## 11.2 タイム・アウト・エラー状態

タイム・アウト・エラー状態は、メモリ・アクセスのサイクルが多すぎてストールが発生している時に存在します。DMA コントローラの 4 つの標準ポートにはタイム・アウト・エラーを検出するハードウェアがサポートされています。

- DARAM ポート: DARAM ポートのタイム・アウト・カウンタに、DARAM へのアクセスがリクエストされてからのサイクル数が記録されます。カウンタが、CPU クロック・サイクルのタイム・アウト値である 255 に達すると、DARAM ポートが内部タイム・アウト信号を生成します。このカウンタは、DARAM タイム・アウト・カウンタ・イネーブル・ビット (DMAGTCR の DTCE) にライトすることによって、イネーブルまたはディスエーブルにすることができます。DARAM ポートでのタイム・アウト・エラーは、CPU がそのポートを使用していて DMA コントローラからアクセスできない場合、または DSP の DARAM に存在しないアドレスを指定された場合に発生する可能性があります。
- SARAM ポート: SARAM ポートのタイム・アウト・カウンタに、SARAM へのアクセスがリクエストされてからのサイクル数が記録されます。カウンタが、CPU クロック・サイクルのタイム・アウト値である 255 に達すると、SARAM ポートがタイム・アウト信号を生成します。このカウンタは、SARAM タイム・アウト・カウンタ・イネーブル・ビット (DMAGTCR の STCE) にライトすることによって、イネーブルまたはディスエーブルにすることができます。SARAM ポートでのタイム・アウト・エラーは、CPU がそのポートを使用していて DMA コントローラからアクセスできない場合、または DSP の SARAM に存在しないアドレスを指定された場合に発生する可能性があります。
- 外部メモリ・ポート: 外部メモリ・インターフェイス (EMIF) のタイム・アウト・カウンタに、外部レディ・ピン (ARDY) がローとサンプリングされたサイクル数が記録されます。カウンタが、プログラムされたタイム・アウト値に達すると、EMIF は DMA コントローラにタイム・アウト信号を送信します。外部メモリ・マップは 4 つのメモリ空間に分割され、それぞれに最大 255 サイクルまでの値をプログラム可能なタイム・アウト値が存在します。

- 
- ペリフェラル・ポート：ペリフェラル・バス・コントローラのタイム・アウト・カウンタに、ペリフェラルへのアクセスがリクエストされてから経過したサイクル数が記録されます。カウンタが、CPU クロック・サイクルのタイム・アウト値である 127 に達すると、ペリフェラル・バス・コントローラが DMA コントローラにタイム・アウト信号を送ります。ペリフェラル・ポートのタイム・アウト・エラーは、DSP の I/O 空間に存在しないアドレスが指定された場合に発生する可能性があります。

タイム・アウト信号に対応して、DMA コントローラはチャネルをディスエーブルにし (DMACCR で EN = 0)、チャネルの動作を停止します。対応する割り込みイネーブル・ビットがセットされている (DMACICR で TIMEOUTIE = 1) 場合は、DMA コントローラはタイム・アウト・ステータス・ビットもセットし (DMACSR で TIMEOUT = 1)、タイム・アウト信号を CPU に割り込みリクエストとして送信します。割り込みリクエストは、CPU のバス・エラー割り込み (BERRINT) フラグ・ビットをセットします。CPU は、割り込みリクエストに対応するか、または割り込みリクエストを無視します。

## 12 DMA 転送の遅れ

チャンネルの各エレメント転送では、1 回のリード・アクセス（ソース・ロケーションからチャンネル・バッファへの転送）と 1 回のライト・アクセス（チャンネル・バッファからデスティネーション・ロケーションへの転送）が行われます。この動作の完了に要する時間は、以下の要因に依存します。

- 設定された CPU クロックの周波数が DMA コントローラに反映され、すべての DMA 転送のタイミングを決定します。
- インターフェイスによって追加される、またはインターフェイスから生じる、ウェイト・ステートまたはその他のサイクル。
- ほかのチャンネルの動作。チャンネルは順番に処理されるので、ほかのチャンネルに保留中の DMA サービス・リクエストの数が、所定のチャンネルを処理できる頻度に影響します。チャンネルの処理方法の詳細については、21 ページの 5 節「サービス・チェーン」を参照してください。
- ホスト・ポート・インターフェイス (HPI) との競合。HPI が内部 RAM をチャンネルと共有している場合は、DMA コントローラは、チャンネルに対してサイクルを割り当てるのと同様に、HPI に対してサイクルを割り当てます。HPI が内部 RAM に排他的にアクセスできるように設定した場合は、その HPI アクセス設定を変更するまで、どのチャンネルも内部 RAM にアクセスできません 20 ページの 4 節「HPI アクセス設定」を参照)。
- CPU との競合。DMA コントローラと CPU が同一サイクルで同一内部メモリ・ブロックへのアクセスをリクエストし、そのメモリ・ブロックが同時に両方のリクエストを処理できない場合は、CPU のリクエストが高い優先順位で処理されます。DMA リクエストは、保留中の CPU リクエストがなくなった時点で処理されます。
- 同期イベントのタイミング（チャンネルが同期している場合）。DMA コントローラは、同期イベントが発生するまで、同期しているチャンネルを処理できません。同期の詳細については、31 ページの 10 節「チャンネル動作の同期」を参照してください。

最小遅延（ベストケース）は、使用するポートによって決まります。SARAM ポートまたは DARAM ポートでは、DMA コントローラは、CPU と同一のメモリ・ブロックへのアクセス競合がない場合は、1 サイクルあたり 1 回のアクセスを開始できます。SARAM メモリは、DMA または CPU のどちらからでも、1 つのメモリ・ブロックで 1 サイクルあたり 1 回のアクセスをサポートできます。DMA によって使用されている SARAM ブロックに対して CPU がアクセスすると（同一サイクルにて）、DMA のアクセスにストールが発生します。DARAM メモリは、DMA または CPU のどちらからでも、1 つのメモリ・ブロックで 1 サイクルあたり 2 回のアクセスをサポートできます。DMA によって使用されている DARAM ブロックに対して CPU が 2 回以上アクセスすると、DMA のアクセスにストールが発生します。これらのポートを使用しているチャンネルのベストケースの転送レートは、ソースをリードする 1 サイクルとデスティネーションにライトする 1 サイクルです。EMIF ポートの最小遅延は、使用するメモリ・タイプ、プログラムされているタイミング、およびメモリ自身に起因するあらゆる遅延 (ARDY ピンの制御など) を含む EMIF 設定によって決まります。ペリフェラル・ポートの最小遅延は、1 回のアクセスあたり約 5 サイクルです。

## 13 電力、エミュレーション、リセットについての考慮事項

以下の節では、DMA コントローラを低電力状態に移行する方法、エミュレーション・ブレイクポイントに対する DMA コントローラの対応をプログラムする方法、および DMA コントローラに対する DSP リセットの影響について説明します。

### 13.1 DMA コントローラの消費電力の削減

DSP は、アイドルまたはアクティブにプログラム可能なアイドル・ドメインに分割されます。すべてのドメインの状態をアイドル設定と呼びます。クロック・ジェネレータ・ドメインまたは DMA ドメイン、あるいはその両方をディスエーブルにするアイドル設定では、DMA クロックが停止し、その結果 DMA コントローラの動作が停止します。チャンネル同期（存在する場合）のタイプによって、DMA コントローラが停止するまでの時間が決まります。

- 同期なし (DMACCR で SYNC = 00000b)。DMA コントローラは、ブロック転送全体が完了した後に停止します。
- フレーム同期 (DMACCR で SYNC は 0 以外、FS = 1)。DMA コントローラは、現在のフレーム転送が完了した後に停止します。
- エレメント同期 (DMACCR で SYNC は 0 以外、FS = 0)。DMA コントローラは、現在のエレメント転送が完了した後に停止します。

DMA ドメインがアイドルのときは、アイドル設定を変更せずに一時的にアクティブにすることができるケースが 1 つあります。マルチチャンネル・バッファード・シリアル・ポート (McBSP) のいずれかでデータ転送するための DMA コントローラが必要になった場合は、DMA コントローラはアイドル状態から脱してデータ転送を実行し、その後再びアイドル状態に入ります。

### 13.2 DMA コントローラのエミュレーション・モード

DMAGCR の FREE ビットは、エミュレーション・ブレイクポイントが検出されたときの DMA コントローラの対応を制御します。FREE = 0 (リセット値) の場合は、ブレイクポイントは DMA 転送を一時停止します。FREE = 1 の場合は、DMA 転送がブレイクポイントによって割り込まれることはありません。

### 13.3 DSP リセット後の DMA コントローラ

DSP リセットは、DMA コントローラと DMA コンフィギュレーション・レジスタをリセットします。一部のレジスタはリセット後に初期化されますが、それ以外のレジスタは初期化されません。以下に示すレジスタ定義は、レジスタの内容に対するリセットの影響について説明します。

## 14 DMA コントローラのレジスタ

表 6. に、ダイレクト・メモリ・アクセス (DMA) コントローラのレジスタのタイプを列挙します。3 つのグローバル制御レジスタ (DMAGCR、DMAGSCR、および DMAGTCR) は、すべてのチャンネルの動作に影響します。さらに、各 DMA チャンネルについて、チャンネル・コンフィギュレーション・レジスタがあります。各レジスタの I/O アドレスについては、使用している TMS320C55x DSP のデータ・マニュアルを参照してください。

表 6. DMA コントローラのレジスタ

レジスタ	説明	詳細説明ページ
DMAGCR	グローバル制御レジスタ (1 つのみ)	40 ページ
DMAGSCR †	グローバル・ソフトウェア互換レジスタ (1 つのみ)	41 ページ
DMAGTCR †	グローバル・タイム・アウト制御レジスタ (1 つのみ)	43 ページ
DMACCR	チャンネル制御レジスタ (各チャンネルに 1 つ)	44 ページ
DMACICR	割り込み制御レジスタ (各チャンネルに 1 つ)	49 ページ
DMACSR	ステータス・レジスタ (各チャンネルに 1 つ)	49 ページ
DMACSDP	ソースおよびデスティネーション・パラメータ・レジスタ (各チャンネルに 1 つ)	52 ページ
DMACSSAL	ソース開始アドレス (下位) レジスタ (各チャンネルに 1 つ)	56 ページ
DMACSSAU	ソース開始アドレス (上位) レジスタ (各チャンネルに 1 つ)	56 ページ
DMACDSAL	デスティネーション開始アドレス (下位) レジスタ (各チャンネルに 1 つ)	57 ページ
DMACDSAU	デスティネーション開始アドレス (上位) レジスタ (各チャンネルに 1 つ)	57 ページ
DMACEN	エレメント数レジスタ (各チャンネルに 1 つ)	59 ページ
DMACFN	フレーム数レジスタ (各チャンネルに 1 つ)	59 ページ
DMACEI/ DMACSEI	エレメント・インデックス・レジスタ / ソース・エレメント・インデックス・レジスタ (各チャンネルに 1 つ)	59 ページ
DMACFI/ DMACSEFI	フレーム・インデックス・レジスタ / ソース・フレーム・インデックス・レジスタ (各チャンネルに 1 つ)	59 ページ
DMACDEI †	デスティネーション・エレメント・インデックス・レジスタ (各チャンネルに 1 つ)	59 ページ
DMACDFI †	デスティネーション・フレーム・インデックス・レジスタ (各チャンネルに 1 つ)	59 ページ
DMACSAC †	ソース・アドレス・カウンタ・レジスタ (各チャンネルに 1 つ)	62 ページ
DMACDAC †	デスティネーションアドレス・カウンタ・レジスタ (各チャンネルに 1 つ)	62 ページ

† このレジスタとその関連機能は TMS320VC5509 DSP ではサポートされていませんが、TMS320VC5503/5507/5509A/5510 DSP ではサポートされています。



## 14.2 グローバル・ソフトウェア互換性レジスタ (DMAGSCR)

グローバル・ソフトウェア互換性レジスタは 16 ビット・リード/ライト・レジスタで、DMA コントローラによるデスティネーション・エレメント・インデックスとデスティネーション・フレーム・インデックスを取得する方法を制御するために使用されます。初期の DMA コントローラ的设计では、ソースとデスティネーションの両方で、同じエレメント・インデックス・レジスタ (DMACEI) と同じフレーム・インデックス・レジスタ (DMACFI) が使用されていました。最新的设计では、ソース・インデックスとデスティネーション・インデックスを別々にできるように、拡張されています。拡張モードの場合 :

- DMACEI はソース・エレメント・インデックス・レジスタの DMACSEI です。DMACFI はソース・フレーム・インデックス・レジスタの DMACSEI です。
- デスティネーション・エレメント・インデックスは独立したデスティネーション・エレメント・インデックス・レジスタ (DMACDEI) に保存され、デスティネーション・フレーム・インデックスは独立したデスティネーション・フレーム・インデックス・レジスタ (DMACDFI) に保存されます。

DMAGSCR は、初期のインデックシング方法 (初期的设计に基づいて作成されたコードとのソフトウェア互換性を維持) または拡張インデックシング方法のどちらかを選択する機能を提供します。

DMAGSCR については、図 14. と表 8. にまとめられています。

**注 :**

DMAGSCR とその関連機能は TMS320VC5509 DSP ではサポートされていませんが、TMS320VC5503/5507/5509A/5510 DSP ではサポートされています。

図 14. グローバル・ソフトウェア互換性レジスタ (DMAGSCR)



凡例: R = リード、W = ライト、-n = DSP リセット後の値

表 8. グローバル・ソフトウェア互換性レジスタ (DMAGSCR) のフィールドの説明

ビット	フィールド	値	説明
15-1	予約		これらのリード専用ビットは、リードされると 0 を返します。
0	DINDXMD		デスティネーション・エレメントおよびフレーム・インデックス・モード・ビット。このビットは、どのレジスタを使用してデスティネーション・エレメント・インデックスとデスティネーション・フレーム・インデックスを表すかを決定します。
		0	<p>互換モード</p> <p>ソースとデスティネーションの両方を表すエレメント・インデックスが 1 つ、チャンネル・ソース・エレメント・インデックス・レジスタ (DMACSEI) に格納されます。</p> <p>ソースとデスティネーションの両方を表すフレーム・インデックスが 1 つ、チャンネル・ソース・フレーム・インデックス・レジスタ (DMACSFI) に格納されます。</p>
		1	<p>拡張モード</p> <p>ソース・エレメント・インデックスが 1 つ、チャンネル・ソース・エレメント・インデックス・レジスタ (DMACSEI) に格納されます。</p> <p>デスティネーション・エレメント・インデックスが 1 つ、チャンネル・デスティネーション・エレメント・インデックス・レジスタ (DMACDEI) に格納されます。</p> <p>ソース・フレーム・インデックスが 1 つ、チャンネル・ソース・フレーム・インデックス・レジスタ (DMACSFI) に格納されます。</p> <p>デスティネーション・フレーム・インデックスが 1 つ、チャンネル・デスティネーション・フレーム・インデックス・レジスタ (DMACDFI) に格納されます。</p>

### 14.3 グローバル・タイム・アウト制御レジスタ (DMAGTCR)

グローバル・タイム・アウト制御レジスタ (図 15. と表 9. を参照) は 16 ビット・リード/ライト・レジスタで、SARAM ポートと DARAM ポートのタイム・アウト・カウンタをイネーブルまたはディスエーブルにするために使用されます。タイム・アウト・カウンタがディスエーブルな場合は、DMA コントローラはそれらのポートでタイム・アウト・エラーを生成しません。タイム・アウト・エラー条件の詳細については、35 ページの 11.2 節「タイム・アウト・エラー状態」を参照してください。

**注：**

DMAGTCR とその関連機能は TMS320VC5509 DSP ではサポートされていませんが、TMS320VC5503/5507/5509A/5510 DSP ではサポートされています。

図 15. グローバル・タイム・アウト制御レジスタ (DMAGTCR)



凡例： R = リード、W = ライト、-n = DSP リセット後の値

表 9. グローバル・タイム・アウト制御レジスタ (DMAGTCR) のフィールドの説明

ビット	フィールド	値	説明
15-2	予約		これらのリード専用ビットは、リードされると 0 を返します。
1	DTCE	0	DARAM タイム・アウト・カウンタ・イネーブル・ビット。このビットは、DARAM ポートへの DMA リクエストの遅延をモニタするために使用するタイム・アウト・カウンタをイネーブル/ディスエーブルにします。
		1	DARAM タイム・アウト・カウンタはイネーブル
0	STCE	0	SARAM タイム・アウト・カウンタ・イネーブル・ビット。このビットは、SARAM ポートへの DMA リクエストの遅延をモニタするために使用するタイム・アウト・カウンタをイネーブル/ディスエーブルにします。
		1	SARAM タイム・アウト・カウンタはイネーブル

#### 14.4 チャンネル制御レジスタ (DMACCR)

各チャンネルには、図 16. に示す形式のチャンネル制御レジスタがあります。この I/O マップド・レジスタを使用すると、以下の操作を実行できます。

- ソース・アドレスとデスティネーション・アドレスの更新方法を選択 (SRCAMODE と DSTAMODE)
- DMA 転送のリピートをイネーブルにし、制御する (AUTOINIT、REPEAT、および ENDPROG)
- チャンネルをイネーブルまたはディスエーブルにする (EN)
- チャンネルの低い優先順位または高い優先順位を選択 (PRIO)
- エレメント同期またはフレーム同期を選択 (FS)
- チャンネルで転送を開始する同期イベント (存在する場合) を決定 (SYNC)

表 10. では、このレジスタのフィールドについて説明します。

図 16. チャンネル制御レジスタ (DMACCR)

15	14	13	12	11	10	9	8
DSTAMODE		SRCAMODE		ENDPROG	予約 †	REPEAT	AUTOINIT
R/W-0		R/W-0		R/W-0	R/W-0	R/W-0	R/W-0
7	6	5	4				0
EN	PRIO	FS	SYNC				
R/W-0	R/W-0	R/W-0	R/W-0				

凡例： R = リード、W = ライト、-n = DSP リセット後の値

† ビット 10 は、DMA コントローラが正常に動作するために 0 のままにする必要があります。

表 10. チャネル制御レジスタ (DMACCR) のフィールドの説明

ビット	フィールド	値	説明
15-14	DSTAMODE		デスティネーション・アドレッシング・モード・ビット。DSTAMODE は、DMA コントローラがチャネルのデスティネーション・ポートにライトするときに使用するアドレッシング・モードを決定します。転送が完了した後、インクリメントされる前のデスティネーション・アドレスは、デスティネーションで変更された最終バイトのアドレスです。
		00b	定数アドレス 同じアドレスが各エレメント転送で使用されます。
		01b	自動ポスト・インクリメント エレメント転送が完了するたびに、アドレスは選択されたデータ・タイプに従ってインクリメントされます。 データ・タイプが 8 ビットの場合： アドレス = アドレス + 1 データ・タイプが 16 ビットの場合： アドレス = アドレス + 2 データ・タイプが 32 ビットの場合： アドレス = アドレス + 4
		10b	シングル・インデックス エレメント転送が完了するたびに、アドレスはプログラムされたエレメント・インデックスの量だけインクリメントされます。 アドレス = アドレス + エレメント・インデックス
		11b	ダブル・インデックス (ソート) エレメント転送が完了するたびに、アドレスは適切なインデックス量だけインクリメントされます。 現在のフレームに転送されていないエレメントが残っている場合： アドレス = アドレス + エレメント・インデックス フレーム内の最終エレメントが転送された場合： アドレス = アドレス + フレーム・インデックス
13-12	SRCAMODE		ソース・アドレッシング・モード・ビット SRCAMODE は、DMA コントローラがチャネルのソース・ポートからリードするときに使用するアドレッシング・モードを決定します。転送が完了した後、インクリメントされる前のソース・アドレスは、ソースからリードされた最終バイトのアドレスです。
		00b	定数アドレス 同じアドレスが各エレメント転送で使用されます。
		01b	自動ポスト・インクリメント エレメント転送が完了するたびに、アドレスは選択されたデータ・タイプに従ってインクリメントされます。 データ・タイプが 8 ビットの場合： アドレス = アドレス + 1 データ・タイプが 16 ビットの場合： アドレス = アドレス + 2 データ・タイプが 32 ビットの場合： アドレス = アドレス + 4
		10b	シングル・インデックス エレメント転送が完了するたびに、アドレスはプログラムされたエレメント・インデックスの分だけインクリメントされます。 アドレス = アドレス + エレメント・インデックス

表 10. 「チャンネル制御レジスタ (DMACCR) のフィールドの説明」 (続き)

ビット	フィールド	値	説明
13-12		11b	<p>ダブル・インデックス (ソート)</p> <p>エレメント転送が完了するたびに、アドレスは適切なインデックスの分だけインクリメントされます。</p> <p>現在のフレームに転送されていないエレメントが残っている場合： アドレス = アドレス + エレメント・インデックス</p> <p>フレーム内の最終エレメントが転送された場合： アドレス = アドレス + フレーム・インデックス</p>
11	ENDPROG	0 1	<p>エンド・オブ・プログラミング・ビット。各 DMA チャンネルにつき、コンフィギュレーション・レジスタと作業レジスタの 2 つのレジスタ・セットが存在します。自動初期化 (AUTOINIT = 1) が原因でブロック転送が繰り返し発生する場合は、現在のブロック転送中にコンフィギュレーション・レジスタにライトすることによって、次の DMA 転送のコンテキストを変更できます。現在の転送の最後にコンフィギュレーション・レジスタの内容が作業レジスタにコピーされ、DMA コントローラは新しいコンテキストを使用して次の転送を開始します。自動初期化を正しく実行するには、DMA コントローラがコンフィギュレーション・レジスタの内容をコピーする前に、CPU がコンフィギュレーション・レジスタのプログラミングを完了する必要があります。</p> <p>DMA コントローラは、コンフィギュレーション・レジスタを作業レジスタにコピーした後で、自動的に ENDPROG ビットをクリアします。これによって、CPU は、コンフィギュレーション・レジスタをプログラムすることによって、次の転送で使用する DMA チャンネル・コンテキストをプログラムできるようになります。</p> <p>CPU の動作を待機して自動初期化が行われるようにするには、以下の手順に従います。</p> <ol style="list-style-type: none"> <li>1) REPEAT ビットをクリアして (REPEAT = 0)、自動初期化が ENDPROG = 1 になるまで待つように設定します。</li> <li>2) ENDPROG = 0 をポーリングします。ENDPROG = 0 は、DMA コントローラが前のコンテキストのコピーを完了したことを示します。この時点で、コンフィギュレーション・レジスタは、次の転送のためにプログラムできるようになります。</li> <li>3) コンフィギュレーション・レジスタをプログラムします。</li> <li>4) ENDPROG を設定して (ENDPROG = 1)、レジスタのプログラミングの完了を示します。</li> </ol> <p>0 コンフィギュレーション・レジスタはプログラミング可能 / プログラミング中</p> <p>1 プログラミング完了</p>
10	予約	0	<p>この予約ビットは 0 のままにする必要があります。プログラムで DMACCR を変更するときは必ず、ビット 10 に 0 をライトしてください。</p>
9	REPEAT	0 1	<p>リピート条件ビット。自動初期化が選択されている (AUTOINIT = 1) チャンネルでは、REPEAT が 2 つの特殊なリピート条件のうちのどちらかを指定します。</p> <p>0 ENDPROG = 1 の場合のみリピート</p> <p>現在の DMA 転送が完了したら、自動初期化はエンド・オブ・プログラミング・ビット (ENDPROG) がセットされるまで待機します。</p> <p>1 ENDPROG に関係なくリピート</p> <p>現在の DMA 転送が完了したら、自動初期化は ENDPROG が 0 または 1 のどちらであるかに関係なく実行されます。</p>

表 10. 「チャンネル制御レジスタ (DMACCR) のフィールドの説明」 (続き)

ビット	フィールド	値	説明
8	AUTOINIT		自動初期化ビット。DMA コントローラは自動初期化をサポートします。自動初期化では、DMA ブロック転送間でチャンネルの自動再初期化が行われます。AUTOINIT を使用して、この機能をイネーブルまたはディスエーブルにします。
		0	自動初期化はディスエーブル チャンネルの動作は、現在のブロック転送が完了すると停止します。転送を即時停止するには、チャンネル・イネーブル・ビット (EN) をクリアします。
		1	自動初期化はイネーブル 現在のブロック転送が完了すると、DMA コントローラはチャンネルを再初期化し、新しいブロック転送を開始します。チャンネルの動作を停止するには、2 つの選択肢があります。 <input type="checkbox"/> 転送を即時停止するには、チャンネル・イネーブル・ビットをクリア (EN = 0) します。 <input type="checkbox"/> 現在のブロック転送の完了後に動作を停止するには、AUTOINIT (AUTOINIT = 0) をクリアします。
7	EN		チャンネル・イネーブル・ビット。EN を使用して、チャンネルでの転送をイネーブルまたはディスエーブルにします。DMA コントローラは、チャンネルでのブロック転送が完了した後に、EN をクリアします。  <b>注:</b> DMA コントローラが EN をクリアするときに同時に CPU が EN にライトを試みた場合は、DMA コントローラに高い優先順位が与えられます。EN がクリアされ、CPU からの値は捨てられます。
		0	チャンネルはディスエーブル チャンネルは DMA コントローラによって処理できません。DMA 転送がチャンネルで既にアクティブな場合は、DMA コントローラはその転送を停止して、チャンネルをリセットします。
		1	チャンネルはイネーブル チャンネルは、次に使用可能なタイム・スロットで、DMA コントローラによって処理できます。
6	PRIO		チャンネル優先順位ビット。6 つの DMA チャンネルにはすべて、DMA コントローラのサービス・チェーン上の固定位置とプログラマブルな優先順位レベルが割り当てられます。PRIO は、関連付けられたチャンネルが高い優先順位または低い優先順位のどちらであるかを決定します。高い優先順位のチャンネルは、低い優先順位のチャンネルよりも先に処理されます。
		0	低い優先順位
		1	高い優先順位
5	FS		フレーム / エlement 同期ビット。チャンネルの同期イベントは、DMACCR の SYNC ビットで指定できます。FS ビットは、同期イベントで Element またはデータ・フレーム全体の転送を開始するかどうかを決定します。
		0	Element 同期 選択された同期イベントが発生すると、1 つの Element がチャンネルで転送されます。Element 転送のたびに同期イベントを待ちます。
		1	フレーム同期 選択された同期イベントが発生すると、1 つのフレーム全体がチャンネルで転送されます。フレーム転送のたびに同期イベントを待ちます。

表 10. 「チャンネル制御レジスタ (DMACCR) のフィールドの説明」 (続き)

ビット	フィールド	値	説明
4-0	SYNC	(データ・マニュアルを参照)	<p>同期コントロール・ビット。DMACCR の SYNC は、DSP のどのイベント (たとえばタイマ・カウントダウン) がチャンネルで DMA 転送を開始するかを決定します。複数のチャンネルで同じ SYNC 値を使用することができます。別の言い方をすると、1 つの同期イベントで複数のチャンネルの動作を開始できます。</p> <p>DSP リセットによって SYNC = 00000b が選択されます (同期イベントなし)。SYNC = 00000b の場合は、DMA コントローラは同期イベントを待たずにチャンネルで DMA 転送を開始します。チャンネルの動作はチャンネルがイネーブルになる (EN = 1) と同時に開始します。</p> <p>DMA が同期イベントを認識するように設定され (SYNC が 00000b 以外の値)、チャンネルがイネーブルになる前に同期イベントが発生した場合は、チャンネルがイネーブルになると同時に同期イベントがラッチされ、処理されます。チャンネルがイネーブルになる前に発生した同期イベントを無視する必要がある場合は、チャンネルがディスエーブルなときに、SYNC フィールドを 00000b にセットする必要があります。</p> <p>各 TMS320C55x DSP で使用できる SYNC イベントについては、デバイス別のデータ・マニュアルを参照してください。</p>

## 14.5 割り込み制御レジスタ (DMACICR) とステータス・レジスタ (DMACSR)

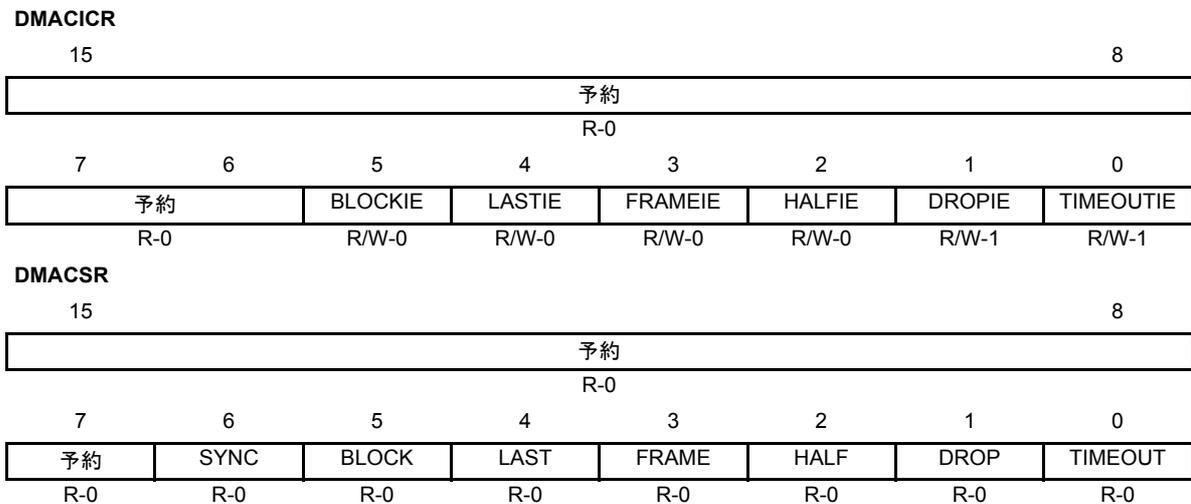
各チャンネルには、割り込み制御レジスタ (DMACICR) とステータス・レジスタ (DMACSR) があります。DMACICR と DMACSR は、I/O マップド・レジスタです。それらのビットを図 17. で示し、表 11. と表 12. で説明します。

DMACICR を使用して、DMA コントローラの 1 つ以上の動作イベントによる割り込みのトリガを指定します。動作イベントが発生し、その割り込みイネーブル (IE) ビットが 1 の場合は、割り込みリクエストが DSP CPU に送信され、そこで処理または無視されます。各チャンネルには、CPU に対する固有の割り込みライン、および CPU 内にフラグとイネーブル・ビットのセットが 1 つ存在します。また、DMA コントローラは、タイム・アウト・エラーに対応して、バス・エラー割り込みリクエストを CPU に送ることができます。バス・エラー割り込みにも、CPU 内にフラグとイネーブル・ビットのセットが 1 つ存在します。

どの動作イベントが DMA コントローラで発生したかを調べるには、プログラムで DMACSR をリードします。DMA コントローラは、動作イベントが発生して、関連する割り込みイネーブル・ビットが DMACICR でセットされている場合に限り、割り込みフラグ・ビット (ビット 5-0) のいずれかを設定できます。プログラムで DMACSR をリードした後、そのすべてのビットが自動的にクリアされます。

DMACSR の SYNC ビット (ビット 6) を使用して、同期イベントが発生したこと (SYNC = 1)、およびそこで生成されたアクセス要求が処理されたこと (SYNC = 0) を検出することができます。

図 17. 割り込み制御レジスタ (DMACICR) とステータス・レジスタ (DMACSR)



凡例： R = リード、W = ライト、-n = DSP リセット後の値

表 11. 割り込み制御レジスタ (DMACICR) のフィールドの説明

ビット	フィールド	値	説明
15-6	予約		これらのリード専用ビットは、リードされると 0 を返します。
5	BLOCKIE	0	イベントを記録しない
		1	BLOCK ビットを設定してチャンネル割り込みリクエストを CPU へ送ります。
4	LASTIE	0	イベントを記録しない
		1	LAST ビットを設定してチャンネル割り込みリクエストを CPU へ送ります。
3	FRAMEIE	0	イベントを記録しない
		1	FRAME ビットを設定してチャンネル割り込みリクエストを CPU へ送ります。
2	HALFIE	0	イベントを記録しない
		1	HALF ビットを設定してチャンネル割り込みリクエストを CPU へ送ります。
1	DROPIE	0	喪失を記録しない
		1	DROP ビットを設定してチャンネル割り込みリクエストを CPU へ送ります。
0	TIMEOUTIE	0	タイムアウトを記録しない
		1	TIMEOUT ビットを設定してバスエラー割り込みリクエストを CPU へ送ります。

表 12. ステータス・レジスタ (DMACSR) のフィールドの説明

ビット	フィールド	値	説明
15-7	予約		これらのリード専用ビットは、リードされると 0 を返します。
6	SYNC	0 1	同期イベント・ステータス・ビット。DMA コントローラは、SYNC を更新して、チャンネルの同期イベントが発生したこと、および同期しているチャンネルが処理されたことを示します。 0 DMA コントローラは直前のアクセス・リクエストの処理を完了 1 同期イベントの発生。このイベントに対応して、同期しているチャンネルはそのソース・ポートにアクセス・リクエストを送信します。 <b>注 1:</b> DMA コントローラが直前の DMA リクエストの処理を完了する前に、再び同期イベントが発生した場合は、同期イベント喪失エラーが発生します。DROPIE ビットと DROP ビットを使用して、このタイプのエラーを追跡できます。 <b>注 2:</b> チャンネルの同期イベントを選択するには、DMACCR の SYNC ビットを使用します。
5	BLOCK	0 1	ホール・ブロック・ステータス・ビット。DMA コントローラは、DMACICR で BLOCKIE = 1 であり、現在のブロックがすべてソース・ポートからデスティネーション・ポートに転送されたときにのみ、BLOCK を設定します。 0 ホール・ブロック・イベントが発生していないか、または BLOCK がクリアされた。 1 ホール・ブロックが転送済み。チャンネル割り込みリクエストが CPU へ送られています。
4	LAST	0 1	最終フレーム・ステータス・ビット。DMA コントローラは、DMACICR で LASTIE = 1 であり、ソース・ポートからデスティネーション・ポートへの最終フレームの転送が開始された場合にのみ、LAST を設定します。 0 最終フレーム・イベントが発生していないか、または LAST がクリアされた。 1 DMA コントローラは最終フレームの転送を開始済み。チャンネル割り込みリクエストが CPU へ送られています。
3	FRAME	0 1	ホール・フレーム・ステータス・ビット。DMA コントローラは、DMACICR で FRAMEIE = 1 であり、現在のフレームがすべてソース・ポートからデスティネーション・ポートに転送された場合にのみ、FRAME を設定します。 0 ホール・フレーム・イベントが発生していないか、または FRAME がクリアされた。 1 ホール・フレームが転送済み。チャンネル割り込みリクエストが CPU へ送られています。
2	HALF	0 1	ハーフ・フレーム・ステータス・ビット。DMA コントローラは、DMACICR で HALFIE = 1 であり、現在のフレームの前半分がソース・ポートからデスティネーション・ポートに転送された場合にのみ、HALF を設定します。奇数個の要素を含むフレームの場合は、転送済み要素数が転送待ち要素数を上回ったときにハーフ・フレーム・イベントが発生します。たとえば、5 つの要素からなるフレームの場合は、DMA コントローラが 3 つの要素を転送した時点でハーフ・フレーム・イベントが発生します。 0 ハーフ・フレーム・イベントが発生していないか、または HALF がクリアされた。 1 フレームの前半分を転送済み。チャンネル割り込みリクエストが CPU へ送られています。

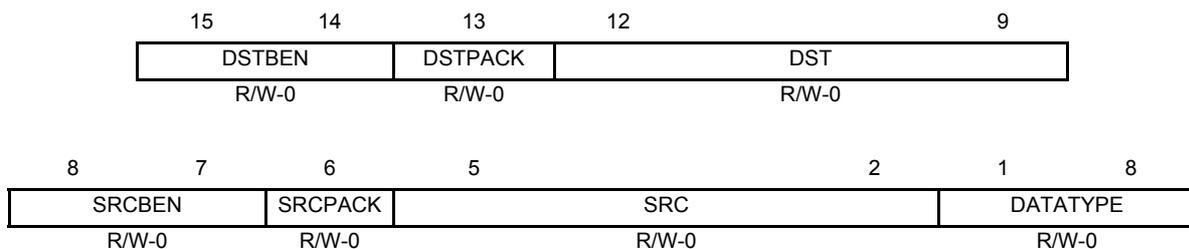
表 12. 「ステータス・レジスタ (DMACSR) のフィールドの説明」(続き)

ビット	フィールド	値	説明
1	DROP		同期イベント喪失ステータス・ビット。DMA コントローラが直前の DMA リクエストの処理を完了する前に、再び DMA 同期イベントが発生した場合は、同期イベント喪失エラーが発生します。DMA コントローラは、DMACICR で DROPIE = 1 であり、そのチャンネルで同期イベント喪失が発生した場合にのみ、DROP を設定します。
		0	同期イベント喪失が発生していないか、または DROP がクリアされた。
		1	同期イベント喪失の発生。チャンネル割り込みリクエストが CPU へ送られています。
0	TIMEOUT		タイム・アウト・ステータス・ビット。DMA コントローラは、DMACICR で TIMEOUTIE = 1 であり、チャンネルのソース・ポートまたはデスティネーション・ポートでタイム・アウト・エラーが発生した場合にのみ、TIMEOUT を設定します。タイム・アウト・エラー条件については、35 ページの 11.2 節「タイム・アウト・エラー状態」(35 ページ)を参照してください。
		0	タイム・アウト・エラーが発生していないか、または TIMEOUT がクリアされた。
		1	タイム・アウト・エラーの発生。バス・エラー割り込みリクエストが CPU へ送られています。

#### 14.6 ソースおよびデスティネーション・パラメータ・レジスタ (DMACSDP)

各チャンネルには、図 18. に示す形式のソースおよびデスティネーション・パラメータ・レジスタがあります。この I/O マップド・レジスタを使用して、ソース・ポート (SRC) とデスティネーション・ポート (DST) の選択、ポート・アクセスのデータ・タイプ (DATATYPE) の指定、データ・パッキング (SRCPACK と DSTPACK) のイネーブルまたはディスエーブル、およびバースト転送 (SRCBEN と DSTBEN) のイネーブルまたはディスエーブルを実行できます。表 13. では、このレジスタのフィールドについて説明します。

図 18. ソースおよびデスティネーション・パラメータ・レジスタ (DMACSDP)



凡例: R = リード、W = ライト、-n = DSP リセット後の値

表 13. ソースおよびデスティネーション・パラメータ・レジスタ (DMACSDP) のフィールドの説明

ビット	フィールド	値	説明
15-14	DSTBEN		デスティネーション・バースト・イネーブル・ビット。DMA コントローラのバーストとは、DMA ポートでの連続した 4 つの 32 ビット・アクセスを指します。DSTBEN は、DMA コントローラがチャンネルのデスティネーション・ポートでバーストを実行するかどうかを決定します。
		00b	ソースとデスティネーションがどちらも EMIF ポートとして設定されている (SRC = DST = XX10b) 場合は、バーストはサポートされません。
		01b	デスティネーションでのバーストはディスエーブル (シングル・アクセスがイネーブル)
		10b	デスティネーションでのバーストはイネーブル。デスティネーションにライトするときは、DMA コントローラは 4 つ連続した 32 ビット・アクセスを実行します。
		11b	予約 (使用しないでください)
13	DSTPACK		デスティネーション・パッキング・イネーブル・ビット。DMA コントローラは、データ・パッキングを実行して、1 回の転送でデスティネーションに渡すデータ量を 2 倍または 4 倍にします。たとえば、8 ビット・データ・タイプが選択されていて、デスティネーション・ポートに 32 ビット・データ・バスが存在する場合は、4 つの 8 ビット・データを、デスティネーションに送信する前に、32 ビットにパッキングすることができます。DSTPACK は、データ・パッキングをデスティネーション・ポートで使用するかどうかを決定します。
		0	デスティネーションでのパッキングはディスエーブル
		1	デスティネーションでのパッキングはイネーブル。可能であれば、DMA コントローラはデスティネーションにライトする前に毎回データをパッキングします。表 14. (56 ページ) に、データ・パッキングが実行されている例を示します。
12-9	DST †‡		デスティネーション選択ビット。DST は、チャンネルでのデータ転送のデスティネーションにする DMA ポートを選択します (X で示されるビットは 0 または 1 のどちらでも可)。
		0000b	SARAM (DSP 内のシングル・アクセス RAM)
		0001b	DARAM (DSP 内のデュアル・アクセス RAM)
		0010b	外部メモリ (外部メモリ・インターフェイス EMIF 経由)
		0011b	ペリフェラル (ペリフェラル・バス・コントローラ経由)
			8 ビット・データ・タイプを使用するように設定されたチャンネルをペリフェラル・ポートに接続することはサポートされていません。
その他	予約		

† 5503/5507/5509/5509A では、ソース/デスティネーションがペリフェラル・ポートとして設定されている場合は、DMA は SROM レジスタ (SROM)、USB アイドル制御およびステータス・レジスタ (USBIDLECTL)、外部バス選択レジスタ (EBSR)、タイマ・レジスタ、EMIF レジスタ、PLL レジスタ、または DMA レジスタをリード/ライトすることができません。

‡ 各 TMS320C55x DSP で使用できる DMA ポートのデバイス別のデータ・マニュアルを参照してください。

表 13. 「ソースおよびデスティネーション・パラメータ・レジスタ (DMACSDP) のフィールドの説明」(続き)

ビット	フィールド	値	説明
8-7	SRCBEN		<p>ソース・バースト・イネーブル・ビット。DMA コントローラのバーストとは、DMA ポートでの連続した 4 つの 32 ビット・アクセスを指します。SRCBEN は、DMA コントローラがチャンネルのソース・ポートでバーストを実行するかどうかを決定します。</p> <p>このフィールドは、以下のいずれかの条件が満たされる場合は無視されます。</p> <ul style="list-style-type: none"> <li><input type="checkbox"/> ソース・ポートがバースト機能をサポートしない</li> <li><input type="checkbox"/> ソース・ポートで定数アドレス・モードが選択されている</li> <li><input type="checkbox"/> チャンネルがエレメント同期されている</li> </ul> <p>ソースとデスティネーションがどちらも EMIF ポートとして設定されている (SRC = DST = XX10b) 場合は、バーストはサポートされません。</p> <p>00b ソースでのバーストはディスエーブル (シングル・アクセスがイネーブル)</p> <p>01b ソースでのバーストはディスエーブル (シングル・アクセスがイネーブル)</p> <p>10b ソースでのバーストはイネーブル。ソースからリードするときは、DMA コントローラは 4 つ連続した 32 ビット・アクセスを実行します。</p> <p>11b 予約 (使用しないでください)</p>
6	SRCPACK		<p>ソース・パッキング・イネーブル・ビット。DMA コントローラは、データ・パッキングを実行して、転送する前にソースで収集するデータ量を 2 倍または 4 倍にします。たとえば、8 ビット・データ・タイプが選択されていて、ソース・ポートに 32 ビット・データ・バスが存在する場合は、4 つの 8 ビット・データを、チャンネルに転送する前に、32 ビットにパッキングすることができます。SRCPACK は、データ・パッキングをソース・ポートで使用するかどうかを決定します。</p> <p>0 ソースでのパッキングはディスエーブル</p> <p>1 ソースでのパッキングはイネーブル。可能であれば、DMA コントローラはチャンネルでデータ転送を開始する前にソースからデータをパッキングします。表 14. (56 ページ) に、データ・パッキングが実行されている例を示します。</p>
5-2	SRC †		<p>ソース選択ビット。SRC は、チャンネルでのデータ転送のソースにする DMA ポートを選択します (X で示されるビットは 0 または 1 のどちらでも可)。</p> <p>0000b SARAM (DSP 内のシングル・アクセス RAM)</p> <p>0001b DARAM (DSP 内のデュアル・アクセス RAM)</p> <p>0010b 外部メモリ (外部メモリ・インターフェイス EMIF 経由)</p> <p>0011b ペリフェラル (ペリフェラル・バス・コントローラ経由)</p> <p>8 ビット・データ・タイプを使用するように設定されたチャンネルをペリフェラル・ポートに接続することはサポートされていません。</p> <p>その他 予約</p>

† 5503/5507/5509/5509A では、ソース/デスティネーションがペリフェラル・ポートとして設定されている場合は、DMA は SROM レジスタ (SROM)、USB アイドル制御およびステータス・レジスタ (USBIDLECTL)、外部バス選択レジスタ (EBSR)、タイマ・レジスタ、EMIF レジスタ、PLL レジスタ、または DMA レジスタをリード/ライトすることができません。

‡ 各 TMS320C55x DSP で使用できる DMA ポートのデバイス別のデータ・マニュアルを参照してください。

表 13. 「ソースおよびデスティネーション・パラメータ・レジスタ (DMACSDP) のフィールドの説明」(続き)

ビット	フィールド	値	説明
1-0	DATATYPE		データ・タイプ・ビット。DATATYPE は、チャンネルのソースとデスティネーションにおけるデータへのアクセス方法を示します。DMA コントローラはアクセスする際にバイト・アドレスを使用しており、データ空間または I/O 空間のバイトはそれぞれ固有のアドレスを持っていることに注意してください。エレメント転送間のアドレス更新方法については、DMACCR の DSTAMODE ビットと SRCAMODE ビットの説明を参照してください (45 ページと 45 ページを参照)。
		00b	8 ビット DMA コントローラは、チャンネルのソースとデスティネーションに 8 ビットでアクセスします。ソース開始アドレスとデスティネーション開始アドレスにアラインメントの制約はありません。 開始アドレス : XXXX XXXX XXXX XXXXb (X は 0 または 1 のどちらでも可) ソースまたはデスティネーションで自動ポスト・インクリメント・アドレッシング・モードを選択している場合は、エレメント転送を 1 回実行するたびにに対応するアドレスに 1 が加算されます。 8 ビット・データ・タイプを使用するように設定されたチャンネルをペリフェラル・ポートに接続することはサポートされていません。
		01b	16 ビット DMA コントローラは、ソースとデスティネーションに 16 ビットでアクセスします。ソース開始アドレスとデスティネーション開始アドレスは偶数の 2 バイト境界上に存在する必要があります。最下位ビット (LSB) は 0 である必要があります。 開始アドレス : XXXX XXXX XXXX XXX0b (X は 0 または 1 のどちらでも可) ソースまたはデスティネーションで自動ポスト・インクリメント・アドレッシング・モードを選択している場合は、エレメント転送を 1 回実行するたびにに対応するアドレスに 2 が加算されます。
		10b	32 ビット DMA コントローラは、ソースとデスティネーションに 32 ビットでアクセスします。ソース開始アドレスとデスティネーション開始アドレスは偶数の 4 バイト境界上に存在する必要があります。最下位の 2 ビットは 0 である必要があります。 開始アドレス : XXXX XXXX XXXX XX00b (X は 0 または 1 のどちらでも可) ソースまたはデスティネーションで自動ポスト・インクリメント・アドレッシング・モードを選択している場合は、エレメント転送を 1 回実行するたびにに対応するアドレスに 4 が加算されます。
		11b	予約 (使用しないでください)

† 5503/5507/5509/5509A では、ソース / デスティネーションがペリフェラル・ポートとして設定されている場合は、DMA は SROM レジスタ (SROM)、USB アイドル制御およびステータス・レジスタ (USBIDLECTL)、外部バス選択レジスタ (EBSR)、タイマ・レジスタ、EMIF レジスタ、PLL レジスタ、または DMA レジスタをリード / ライトすることができません。

‡ 各 TMS320C55x DSP で使用できる DMA ポートのデバイス別のデータ・マニュアルを参照してください。

表 14. DMA コントローラによるデータ・パッキング

データ・タイプ	ポート・バス・サイズ	データ・パッキング
8 ビット	16 ビット	2 つのデータ値を 16 ビットにパッキング
8 ビット	32 ビット	4 つのデータ値を 32 ビットにパッキング
16 ビット	32 ビット	2 つのデータ値を 32 ビットにパッキング

SARAM ポート、DARAM ポート、および EMIF ポートには 32 ビットの内部バスがあります。ペリフェラル・ポートには 16 ビットの内部バスがあります。

#### 14.7 ソース開始アドレス・レジスタ (DMACSSAL と DMACSSAU)

各チャンネルには 2 つのソース開始アドレス・レジスタがあります。このレジスタを図 19. で示し、表 15. と表 16. で説明します。チャンネルのソース・ポートに最初にアクセスするとき、DMA コントローラは 2 つの I/O マップド・レジスタに合わせてバイト・アドレスを生成します。DMACSSAU は上位ビットとして、DMACSSAL は下位ビットとして、それぞれ使用されます。

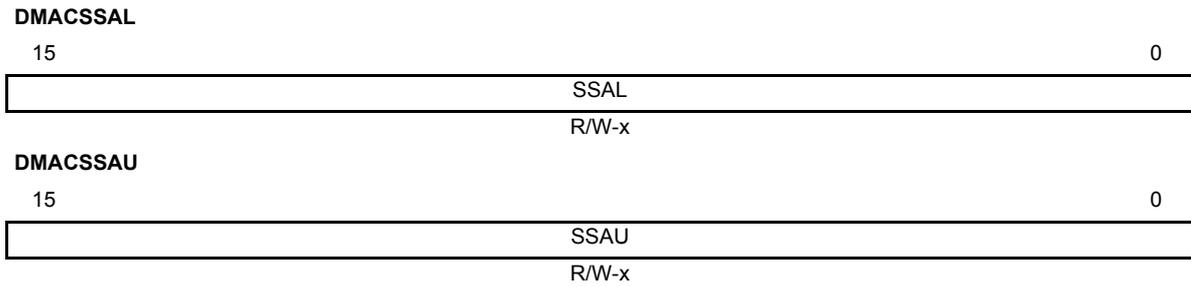
ソース開始アドレス = DMACSSAU:DMACSSAL

##### 注：

- 1) ソース開始アドレス・レジスタにはバイト・アドレスをロードする必要があります。ワード・アドレスが既知の場合は、レジスタにロードする前に 1 ビット左にシフトします。
- 2) 16 ビットまたは 32 ビットのデータ・タイプを使用している場合は、開始アドレスを正常にアラインする必要があります。DMACSDP の DATATYPE ビットの説明を参照してください (55 ページ)。
- 3) 開始アドレス、エレメント・インデックス、およびフレーム・インデックスからポートの範囲内の有効なアドレスが生成されることを確認します。無効なアドレスが生成される場合は、タイム・アウト・エラーが発生します。
- 4) 5503/5507/5509/5509A では、ソース / デスティネーションがペリフェラル・ポートとして設定されている場合は、DMA は SRAM レジスタ (SRAM)、USB アイドル制御およびステータス・レジスタ (USBIDLECTL)、外部バス選択レジスタ (EBSR)、タイマ・レジスタ、EMIF レジスタ、PLL レジスタ、または DMA レジスタをリード/ライトすることができません。

デスティネーション開始アドレスは DMACDSAL と DMACDSAU から生成されます。57 ページの 14.8 節「デスティネーション開始アドレス・レジスタ (DMACDSAL と DMACDSAU)」を参照してください。

図 19. ソース開始アドレス・レジスタ (DMACSSAL と DMACSSAU)



凡例： R = リード、W = ライト、-x = DSP リセット後の値は未定義

表 15. ソース開始アドレス・レジスタの下位部分 (DMACSSAL) のフィールドの説明

ビット	フィールド	値	説明
15-0	SSAL	0000h-FFFFh	ソース開始アドレス (バイト・アドレス) の下位部分

表 16. ソース開始アドレス・レジスタの上位部分 (DMACSSAU) のフィールドの説明

ビット	フィールド	値	説明
15-0	SSAU	0000h-00FFh	ソース開始アドレス (バイト・アドレス) の上位部分
		0100h-FFFFh	予約 (使用しないでください)

#### 14.8 デスティネーション開始アドレス・レジスタ (DMACDSAL と DMACDSAU)

各チャンネルには 2 つのデスティネーション開始アドレス・レジスタがあります。このレジスタを図 20. で示し、表 17. と表 18. で説明します。チャンネルのデスティネーション・ポートに最初にアクセスするとき、DMA コントローラは 2 つの I/O マップド・レジスタに合わせてバイト・アドレスを生成します。DMACDSAU は上位ビットとして、DMACDSAL は下位ビットとして、それぞれ使用されます。

デスティネーション開始アドレス = DMACDSAU:DMACDSAL

**注：**

- 1) デスティネーション開始アドレス・レジスタにはバイト・アドレスをロードする必要があります。ワード・アドレスが既知の場合は、レジスタにロードする前に1ビット左にシフトします。
- 2) 16ビットまたは32ビットのデータ・タイプを使用している場合は、開始アドレスを正常にアラインする必要があります。DMACSDPのDATATYPEビットの説明を参照してください(55ページ)。
- 3) 開始アドレス、エレメント・インデックス、およびフレーム・インデックスからポートの範囲内の有効なアドレスが生成されることを確認します。無効なアドレスが生成される場合は、タイム・アウト・エラーが発生します。
- 4) 5503/5507/5509/5509Aでは、ソース / デスティネーションがペリフェラル・ポートとして設定されている場合は、DMAはSRROMレジスタ(SROM)、USBアイドル制御およびステータス・レジスタ(USBIDLECTL)、外部バス選択レジスタ(EBSR)、タイマ・レジスタ、EMIFレジスタ、PLLレジスタ、またはDMAレジスタをリード/ライトすることができません。

ソース開始アドレスはDMACSSALとDMACSSAUから生成されます。56ページの14.7節「ソース開始アドレス・レジスタ(DMACSSALとDMACSSAU)」を参照してください。

図20. デスティネーション開始アドレス・レジスタ(DMACDSALとDMACDSAU)

<b>DMACDSAL</b>	
15	0
DSAL	
R/W-x	
<b>DMACDSAU</b>	
15	0
DSAU	
R/W-x	

凡例： R = リード、W = ライト、-x = DSP リセット後の値は未定義

表17. デスティネーション開始アドレス・レジスタの下位部分(DMACDSAL)のフィールドの説明

ビット	フィールド	値	説明
15-0	DSAL	0000h-FFFFh	デスティネーション開始アドレス(バイト・アドレス)の下位部分

表18. デスティネーション開始アドレス・レジスタの上位部分(DMACDSAU)のフィールドの説明

ビット	フィールド	値	説明
15-0	DSAU	0000h-00FFh	デスティネーション開始アドレス(バイト・アドレス)の上位部分
		0100h-FFFFh	予約(使用しないでください)

## 14.9 エレメント数レジスタ (DMACEN) とフレーム数レジスタ (DMACFN)

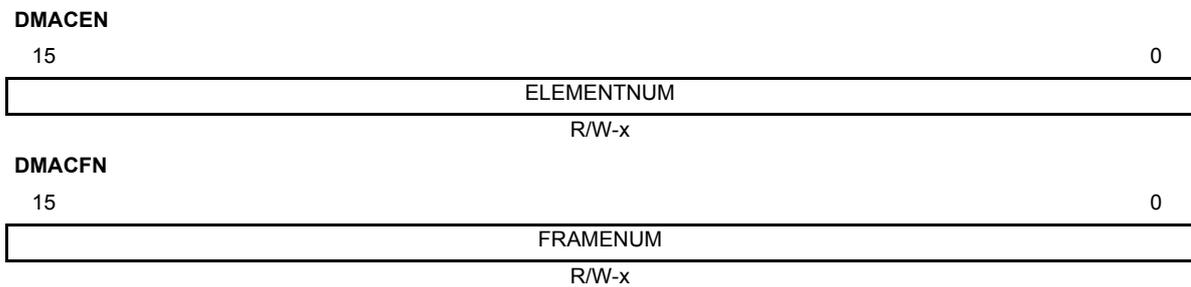
各チャンネルには、エレメント数レジスタとフレーム数レジスタがあります (図 21.、表 19.、および表 20. を参照)。DMACFN には、各ブロックに含まれるフレーム数をロードします。DMACEN には、各フレームに含めるエレメント数をロードします。それぞれ少なくとも 1 フレームおよび 1 エレメントを含める必要があります。最大ではそれぞれ 65535 個まで含めることができます。

$$1 \leq \text{フレーム数} \leq 65535$$

$$1 \leq \text{エレメント数} \leq 65535$$

DMACEN と DMACFN は、DSP のリセット後に初期化されません。

図 21. エレメント数レジスタ (DMACEN) とフレーム数レジスタ (DMACFN)



凡例: R = リード、W = ライト、-x = DSP リセット後の値は未定義

表 19. エレメント数レジスタ (DMACEN) のフィールドの説明

ビット	フィールド	値	説明
15-0	ELEMENTNUM	0000h 0001h-FFFFh	予約 (使用しないでください) フレームあたりのエレメント数 (1 ~ 65535)

表 20. フレーム数レジスタ (DMACFN) のフィールドの説明

ビット	フィールド	値	説明
15-0	FRAMENUM	0000h 0001h-FFFFh	予約 (使用しないでください) ブロックあたりのフレーム数 (1 ~ 65535)

## 14.10 エレメント・インデックス・レジスタ (DMACEI/DMACSEI、DMACDEI) とフレーム・インデックス・レジスタ (DMACFI/DMACFSI、DMACDFI)

DMACCR の SRCAMODE ビットと DSTAMODE ビットを使用すると、ソース・ポートとデスティネーション・ポートで、シングル・インデックス・アドレッシング・モードまたはダブル・インデックス・アドレッシング・モードをそれぞれ独立して選択することができます (45 ページと 45 ページを参照)。インデックス・アドレッシング・モードをサポートするために、2 つのソース・インデックス・レジスタ (DMACSEI と DMACFSI) と 2 つのデスティネーション・インデックス・レジスタ (DMACDEI と DMACDFI) の合計 4 つのインデックス・レジスタが存在します。これらのレジスタの使用方法は、DMAGSCR の DINDXMD ビットで選択されたデスティネーション・インデックス・モードに依存します。

DINDXMD=0 (DSP リセットによるデフォルト) の場合は、互換モードが選択されず、初期の DMA コントローラ設計では、ソースとデスティネーションは、DMACEI と呼ばれる 1 つのエレメント・インデックス・レジスタと DMACFI と呼ばれる 1 つのフレーム・インデックス・レジスタを共有していました。DINDXMD=0 の場合は互換性のある動作が有効になり、DMACSEI は DMACEI として、DMACSF1 は DMACFI として、それぞれ使用されます。デスティネーション・インデックス・レジスタは使用されません。

DINDXMD=1 の場合は、拡張モードが選択されます。このモードでは、ソース・インデックス・レジスタはソースでのみ、デスティネーション・インデックス・レジスタはデスティネーションでのみ、それぞれ使用されます。

エレメント・インデックスとフレーム・インデックスは 16 ビット符号付き数値であり、以下の範囲を示すことができます。

$$\begin{aligned} & -32768 \text{ バイト} \leq \text{フレーム・インデックス} \leq 32767 \text{ バイト} \\ & -32768 \text{ バイト} \leq \text{エレメント・インデックス} \leq 32767 \text{ バイト} \end{aligned}$$

エレメント・インデックスまたはフレーム・インデックス、あるいはその両方は、DMACSDP の DATATYPE フィールドで選択されたデータ・タイプに従って、アラインされたアドレスを生成する必要があります。データ・タイプが 32 ビットの場合は、エレメント/フレーム・インデックスは  $(4 \times N) + 1$  (ただし  $N = -2, -1, 0, 1, 2, \dots$ ) である必要があります。データ・タイプが 16 ビットの場合は、エレメント/フレーム・インデックスは  $(2 \times N) + 1$  (ただし  $N = -2, -1, 0, 1, 2, \dots$ ) である必要があります。データ・タイプが 8 ビットの場合は、エレメント/フレームは任意の値でかまいません。

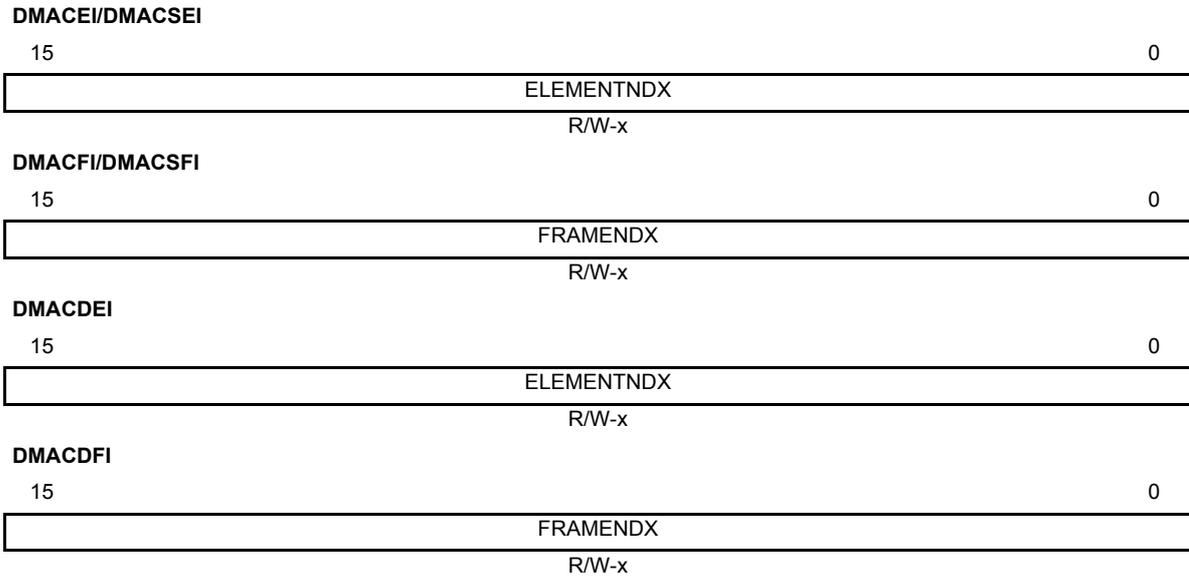
CPU がアラインされていないアドレスを生成するようなインデックスのライトを試みた場合は、DMA コントローラは、バス・エラー割り込み (BERRINT) リクエストを CPU に送信します。これは、アドレッシング・インデックスが使用されない場合にも発生します。

**注:**

- 1) DMACDEI と DMACDFI、およびその関連機能は TMS320VC5509 DSP ではサポートされていませんが、TMS320VC5503/5507/5509A/5510 DSP ではサポートされています。
- 2) 開始アドレス、エレメント・インデックス、およびフレーム・インデックスからポートの範囲内の有効なアドレスが生成されることを確認します。無効なアドレスが生成される場合は、タイム・アウト・エラーが発生します。
- 3) インデックス・アドレッシング・モードを使用する場合は、DMA コントローラが計算するアドレスがすべて、選択されたデータ・タイプのアラインメントの制約に一致することを確認してください。詳細については、DMACSDP の DATATYPE ビットの説明を参照してください (55 ページ)。

インデックス・レジスタを、図 22. とそれに続く表にまとめます。すべてのエレメント・インデックス・レジスタとフレーム・インデックス・レジスタは、DSP のリセット後に初期化されません。

図 22. エレメント・インデックス・レジスタ (DMACSEI、DMACDEI) と フレーム・インデックス・レジスタ (DMACSF1、DMACDFI)



凡例： R = リード、W = ライト、-x = DSP リセット後の値は未定義

表 21. ソース・エレメント・インデックス・レジスタ (DMACSEI/DMACEI) のフィールドの説明

ビット	フィールド	値	説明
15-0	ELEMENTNDX	-32768 ~ 32767	DINDEXMD = 0 の場合は、DMACSEI が DMACEI として使用され、ソースとデスティネーションの両方のエレメント・インデックス (バイト数) が格納されます。 DINDEXMD = 1 の場合は、DMACSEI にソース・エレメント・インデックス (バイト数) が格納されます。

表 22. ソース・フレーム・インデックス・レジスタ (DMACSF1/DMACFI) のフィールドの説明

ビット	フィールド	値	説明
15-0	FRAMENDX	-32768 ~ 32767	DINDEXMD = 0 の場合は、DMACSF1 が DMACFI として使用され、ソースとデスティネーションの両方のフレーム・インデックス (バイト数) が格納されます。 DINDEXMD = 1 の場合は、DMACSF1 にソース・フレーム・インデックス (バイト数) が格納されます。

表 23. デスティネーション・エレメント・インデックス・レジスタ (DMACDEI) のフィールドの説明

ビット	フィールド	値	説明
15-0	ELEMENTNDX	-32768 ~ 32767	DINDEXMD = 1 の場合は、DMACDEI にデスティネーション・エレメント・インデックス (バイト数) が格納されます。

表 24. デスティネーション・フレーム・インデックス・レジスタ (DMACDFI) のフィールドの説明

ビット	フィールド	値	説明
15-0	FRAMENDX	-32768 ~ 32767	DINDEXMD = 1 の場合は、DMACDFI にデスティネーション・フレーム・インデックス (バイト数) が格納されます。

#### 14.11 ソース・アドレス・カウンタ (DMACSAC) と デスティネーション・アドレス・カウンタ (DMACDAC)

各 DMA チャンネルの進行状況は、ソースおよびデスティネーション・アドレス・カウンタ (DMACSAC および DMACDAC) をリードすることによってモニタできます。DMACSAC は現在のソース・アドレスの下位 16 ビットを示します。DMACDAC は現在のデスティネーション・アドレスの下位 16 ビットを示します。

アドレス・カウンタについては、図 23.、表 25.、および表 26. にまとめられています。DMACSAC と DMACDAC は、DSP のリセット後に初期化されません。

**注：**  
DMACSAC、DMACDAC、およびその関連機能は TMS320VC5509 DSP ではサポートされていませんが、TMS320VC5503/5507/5509A/5510 DSP ではサポートされています。

図 23. ソース・アドレス・カウンタ (DMACSAC) と  
デスティネーション・アドレス・カウンタ (DMACDAC)

##### DMACSAC

15	0
SAC	
R/W-x	

##### DMACDAC

15	0
DAC	
R/W-x	

凡例： R = リード、W = ライト、-x = DSP リセット後の値は未定義

表 25. ソース・アドレス・カウンタ (DMACSAC) のフィールドの説明

ビット	フィールド	値	説明
15-0	SAC	0000h-FFFFh	現在のソース・アドレスの下位 16 ビット

表 26. デスティネーション・アドレス・カウンタ (DMACDAC) のフィールドの説明

ビット	フィールド	値	説明
15-0	DAC	0000h-FFFFh	現在のデスティネーション・アドレスの下位 16 ビット

以下余白