

Application Note

モーター・ドライバ向け基板レイアウト事例



Motor Drive Business Unit

概要

モーター・ドライブ・システムの PCB 設計は簡単ではありません。最良の性能を実現するには特別の配慮と技術が必要です。電力効率、高速スイッチング周波数、低ノイズ・ジッタ、コンパクトな基板設計は、モーター・ドライブ・システムのレイアウトを行う際に考慮する必要がある数少ない主要な要素です。テキサス・インスツルメンツの DRV デバイスは高集積であり保護回路を豊富に備えているため、この種のシステムに理想的です。このアプリケーション・レポートの目的は、DRV デバイスを使ったモーター・ドライブのレイアウトの主要な要素を明らかにし、モーター・ドライブ・アプリケーションの熱ストレスを低減し、効率を最適化し、ノイズを最小化する高性能ソリューションに関するベスト・プラクティスの指針を提供することです。

目次

1 グランド配線の最適化.....	2
2 熱の概要.....	7
3 ピア.....	11
4 一般的な配線手法.....	15
5 バルクおよびバイパス・コンデンサの配置.....	18
6 MOSFET の配置と電力段の配線.....	22
7 電流センス・アンプの配線.....	29
8 関連資料.....	34
9 改訂履歴.....	34

商標

PowerPAD™™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 グランド配線の最適化

すべての適切な接地方法の目的は、ノイズもその他の発振もない安定した基準を IC とその周辺回路に提供することです。このセクションでは、各種の接地手法、グラウンドの一般的な課題、グラウンド・プレーンの最適な使い方、2 層基板のグラウンドに関する考慮事項について説明します。

1.1 よく使用される用語 / 接続

このセクションで使用する用語を以下のように定義します。

1 点 1 点分配では、すべての基準点が 1 つの源を起源にしています。これにより、各供給源が専用の連続したグラウンド経路を持つようにしています (図 1-1 を参照)。電力分配トレースにはこの接続を推奨します。

星型 星型接地分配では、すべての基準点が 1 点を中心にして配置されます。しかし、供給源はその中心に配置されない場合があります。この方法を使うと、すべての供給源にわたって共通インピーダンスを等しくできます (図 1-1)。信号トレースにはこの接続を推奨します。

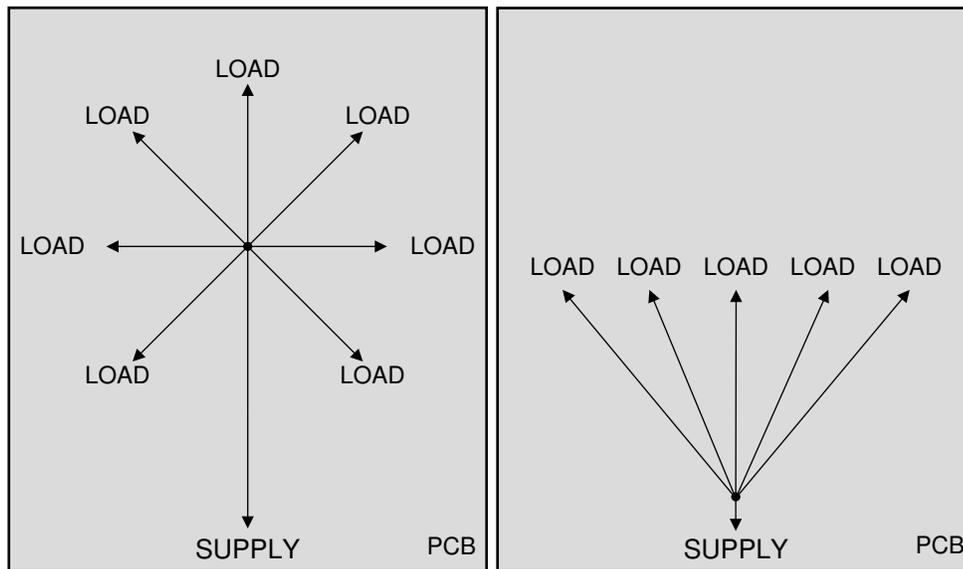


図 1-1. 星型接地と 1 点電力分配

分割 グランド分割方式では、デジタル、アナログ、大電力の信号が専用の独立した領域を持つようにプリント基板 (PCB) をレイアウトします (図 1-2 を参照)。この分離は、デジタル・グラウンドとアナログ・グラウンドの物理的な分割ではありません。

グリッド グリッド処理は、各信号が信号源への帰路を持つように、基板全体でグラウンド経路を連続的にします (図 1-3 を参照)。この処理には、グラウンドへの帰路を最小限にするための、部品の配置、グラウンド・ベタ、ビア配置、トレース経路の小さな変更が含まれます。グリッド処理は、より多く相互接続されたグラウンド・プレーンを効果的に生み出します。これにより、ノイズを低減させ、電源と負荷の間のインピーダンスを下げることができます。

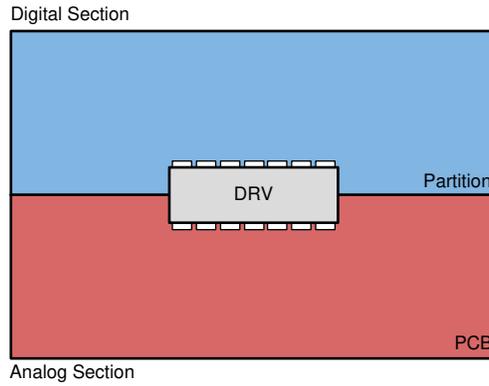
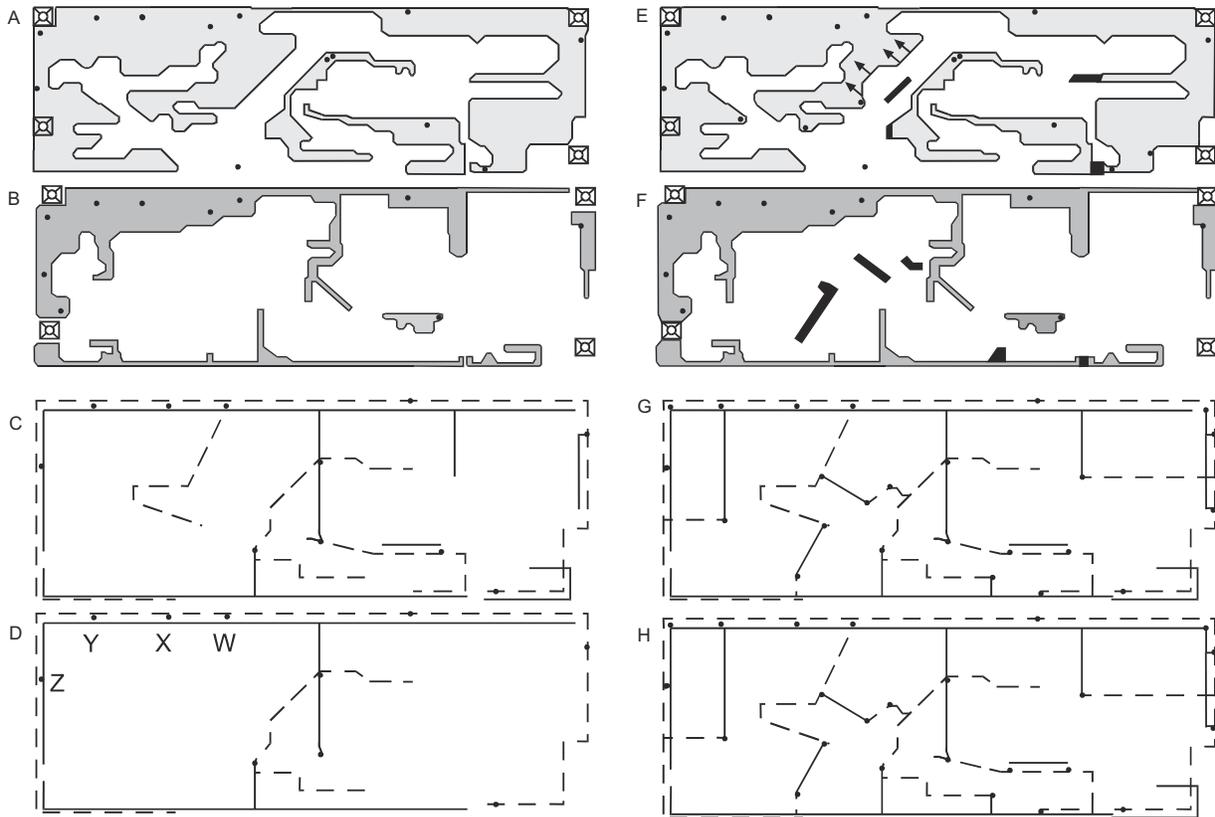


図 1-2. デジタルとアナログの分離とグラウンド分割

図 1-3 に、グラウンドのグリッド処理を使って効果的なグラウンド・プレーンを実現した例を示します。レイアウトでグリッド処理を行うために加えられた変更は小さく、どれほど小さな努力が大きな影響を及ぼし得るかを示しています。



破線は表面、実線は裏面を表します。

図 1-3. グラウンド・ベタとトレースのグリッド処理によるグラウンド・プレーンの形成

図 1-3 の例では、レイアウト A とレイアウト B は最上層と最下層であり、表面と裏面の間にはグラウンド・ベタ、グラウンド・トレース、ビアのみが残されています。図 1-3 のレイアウト C は、基板のグラウンド配線の単純なスティック線図です。各スティック (脚) はグラウンド導体の経路を表します。ほとんどのトレースは一方の端のみで接続されています。図 1-3 のレイアウト D に、基板全体でグラウンドがどのように配線されているかを示します。この図では、一方の端のみで接続されたトレースのほとんどが削除されており、配線上の任意の場所の任意の 2 点間に 1 本の経路のみが存在しています。

図 1-3 のレイアウト E、レイアウト F、レイアウト G、レイアウト H に、グラウンドにグリッド処理を施すために修正された設計を示します。図 1-3 のレイアウト E とレイアウト F では、一部のトレースが追加され (黒の実線で表示)、形状が変更されました (矢印で表示)。図 1-3 のレイアウト G に、修正されたグラウンド・スティック線図を示します。両端で接続された完全なトレースがより完全な導体を形成しています。図 1-3 のレイアウト H とレイアウト D を比較します。グリッド処理されたグラウンド

によって、目的のグリッドを形成する相互接続の大きな回路網が作成されました。この結果は、本来のグランド・プレーンとほぼ同じ効果があります。

1.2 グランド・プレーンの使用

4 層基板または大きな 2 層基板の設計では、グランド・プレーンを使用することを推奨します。PCB の 1 つの層を連続的なグランド・プレーンとすることで、各信号の帰路が最短になり、結合と干渉が低減されます。信号パターンを注意深く配線することでグランド・プレーンの不連続性を最小限に抑え、ビアを互いに離して配置することでプレーン内でのビアの断線を防止することを推奨します。ビアの配置の詳細については、[セクション 2.4](#) を参照してください。

ほとんどの DRV デバイスは、グランドとして機能するサーマル・パッドを備えており、放熱のためにグランド銅を使います。

[図 1-4](#) に、共通グランド・プレーンと分割グランド・プレーンの適切なレイアウト例を示します。

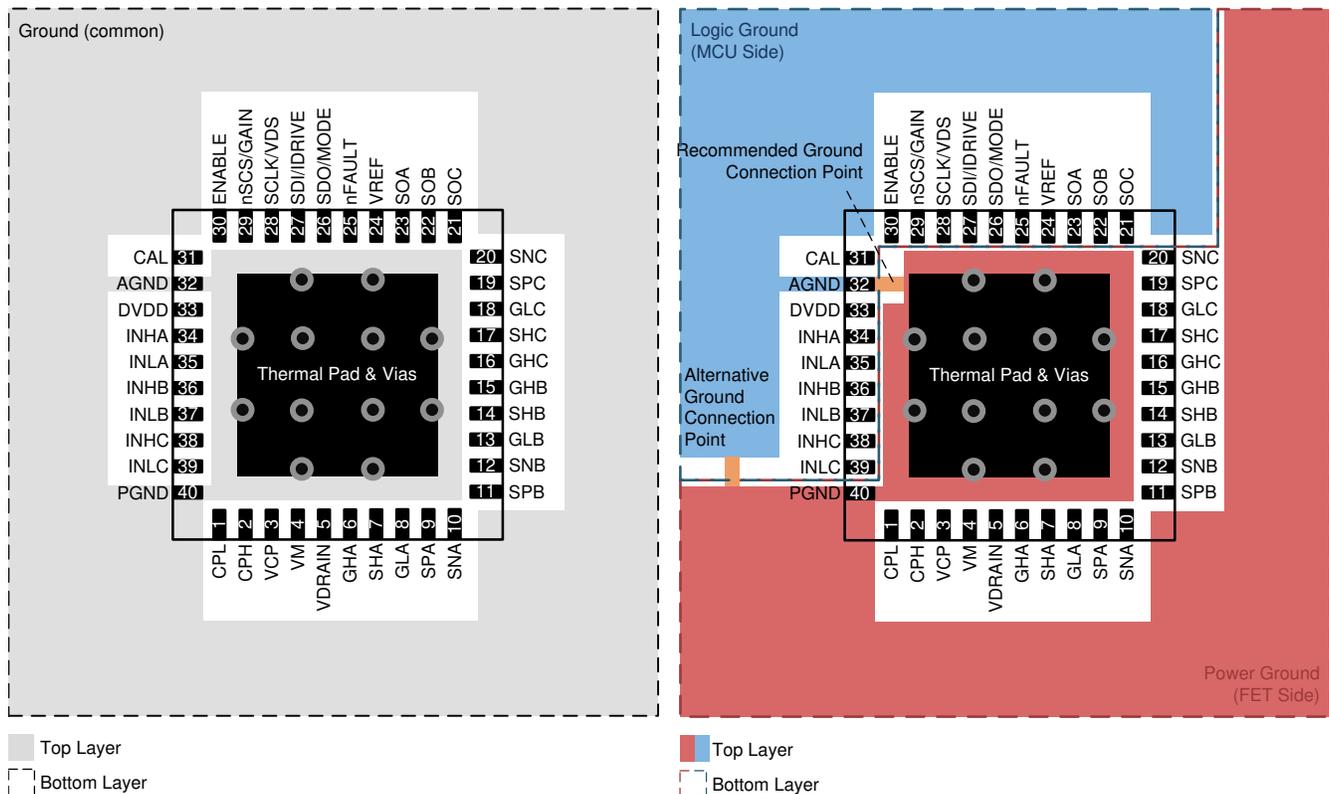


図 1-4. 共通グランド・プレーンと分割グランド・プレーン

1.2.1 2 層基板技術

設計が、スペースの制約が厳しい 2 層基板である場合、グランド・プレーンは必ずしも実現可能とは限りません。この場合、PCB レイアウトがさらに重要になります。ノイズに敏感な信号から大電流経路を離して配線するように注意を払う必要があります。パワー段 FET、ブートストラップ回路、チャージ・ポンプなどの PCB のノイズの多い部分には通常大きなノイズとリップルが含まれているため、ノイズに敏感な信号から分離する必要があります。

1.3 共通の問題

1.3.1 容量性および誘導性結合

短い距離でも 2 本のトレースが並走する場合、容量性または誘導性の結合が発生する可能性があります。容量性結合の場合、一方のトレースの立ち上がりエッジが、他方のトレースに立ち上がりエッジを生じさせます。誘導性結合の場合、一方のトレースの立ち上がり / 立ち下がりエッジが、他方のトレースに結合による立ち下がり / 立ち上がりエッジを生じさせます。容量性結合は、誘導性結合よりも高い頻度で発生します。

結合の強さの要因には、トレース長、スイッチング周波数、電圧変化、トレース間の距離があります。容量性結合を小さくするには、ノイズの多い信号のトレースを重要なデジタルおよびアナログ信号から遠ざけて配線します。グランド・プレーン上にトレースを配置することを試みます。

プリドライバを使用したスイッチング・アプリケーションでは、大電流が流れるプリドライバのグランド・プレーンを IC の残りの部分のグランド・プレーンから物理的に分離するように、特に注意を払う必要があります。これらの 2 つのグランドは星型または 1 点接地の配置で接続できます (セクション 1.1 を参照)。

1.3.2 同相および差動ノイズ

差動モード・ノイズとは、トレースを伝って受信デバイスに達し、次に帰路を通過して信号源に戻ることで、2 つのトレースの間に差動電圧を生じさせるノイズを言います。同相ノイズとは、共通インピーダンス全体の電圧変動に起因して信号と帰路の両方に同じ電圧を発生させるノイズを言います。グランド・バウンスは同相ノイズの一例です。信号源へのすべての帰路を幅広で短い低インピーダンスのトレースにすることで、この問題が生じる可能性は大幅に減少します。

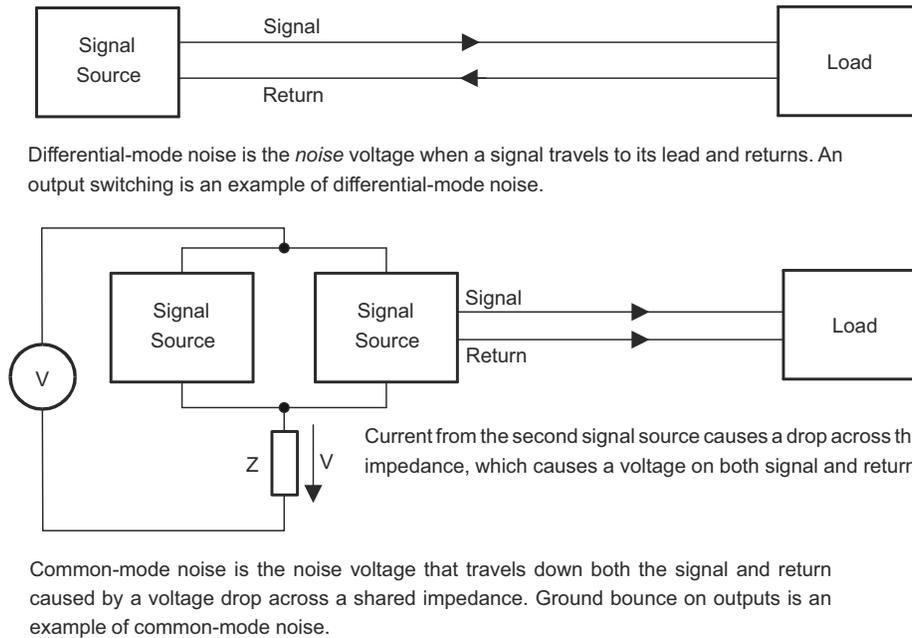


図 1-5. 差動モード・ノイズと同相ノイズ

1.4 EMC に関する考慮事項

電磁適合性 (EMC) は、主にレイアウトと部品間の電氣的接続で決まります。

各信号の帰路は供給源から信号原点に流れる必要があります。これにより、電流ループが形成されます。この配線のループは、電流振幅、信号の繰り返し周波数、電流ループの幾何学的面積で決まる電磁エネルギーを放射し得るアンテナを形成します。EMC 性能を最適化するため、これらの電流ループををできるだけ小さくすることを推奨します。図 1-6 に、一般的な電流ループのタイプを示します。

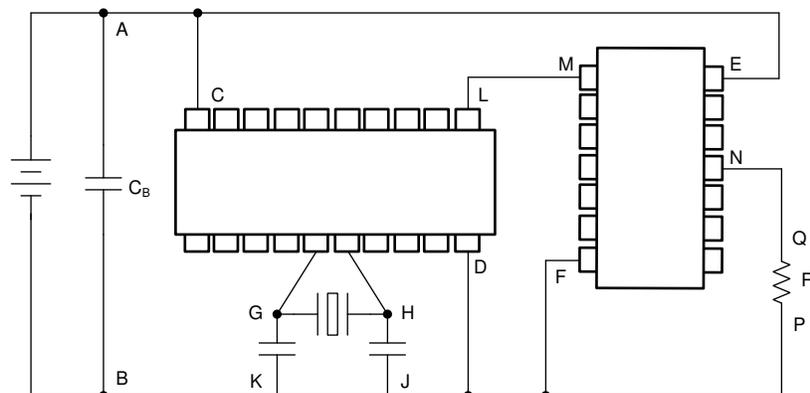


図 1-6. 電子システムの電流経路

図 1-6 の電源配線はループ **A-C-D-B** および **A-E-F-B** を形成します。システムが動作するために必要なエネルギーはこれらの配線によって伝達されます。

ループ **L-M-F-D**、**N-Q-P-F**、**G-H-J-K** は、信号および制御配線によって形成されます。これら配線が囲む面積は、システムの外部の配線を考慮しない場合、通常小さいです。しかし高い周波数では、これらの配線は **EMC** 性能に影響を及ぼす可能性がある信号をしばしば放射するため、これらの配線を考慮に入れる必要があります。

また、コネクタ、ヘッダ、その他の部品をグラウンド・プレーンに実装した場合のグラウンドの分岐接続により、電流ループが形成されることがあります。その結果、スイッチング電流の高周波成分が基板の周囲にまで伝わり、実質的により大きなループを形成します。これはビアでも発生する可能性があります (セクション 3.2.2 を参照)。

2 熱の概要

モーター・ドライバは理想的なデバイスではありません。実際のアプリケーションでは、これらのデバイスの電力の一部は内部で熱として消散されます。熱に変換されたエネルギーを、ドライバが損傷する前に処理する必要があります。PCBを適切に設計することで、低い効率によって生成された熱を効果的に除去し、デバイスを推奨温度に維持することができます。

2.1 PCBの熱伝導および対流

モーター・ドライバの熱性能に関する重要な考慮事項は、デバイス内で発生した熱が放散できる経路です。ダイから低温環境に熱が伝わる3つの主要な経路を以下に示します。

- 封止材料
- ボンド・ワイヤ
- 放熱パッド

これらの3つの経路を例として使用すると、デバイスから熱が出ていく最も効率的な経路は放熱パッドであり、次が封止材料、最後がボンド・ワイヤです。放熱パッド IC パッケージで使われている技術は、ダイから外部の銅プレーンへの低熱抵抗の経路を実現しています。そのため、放熱パッドはダイから外部に大量の熱を効率的に伝えることができます。本ドライバの下を埋める放熱パッドは、放熱パッド全体の領域を覆うのに十分な大きさを備え、さらに PCB のその他の部分の大きな面積を含む必要があります。また放熱パッドは、放熱パッドの直下に置かれた複数のサーマル・ビアで底面のグラウンド・プレーンに強固に結合させる必要があります。図 2-1 に、デバイス・ダイで発生した熱を逃がす経路の例を示します。

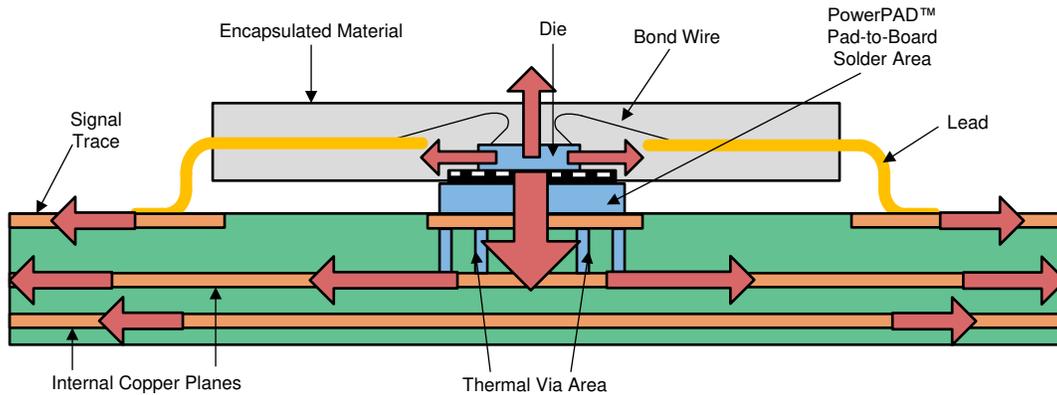


図 2-1. PCB に実装された Thermal Pad™ パッケージとそれによる熱伝達の断面図

最上層と最下層のグラウンド・プレーンをドライバの放熱パッドに接続すると、PCB 設計で消散される熱量が大幅に増えます。このため、レイアウトではこれらのプレーンをできるだけ大きくする必要があります。

2.2 連続的な最上層のサーマル・パッド

ドライバ・ダイで発生した熱を逃がす経路を作るには、サーマル・パッドをベタの銅プレーンに接続することは重要な要件です。デバイスから熱を逃がすには、サーマル・パッドから基板上のその他の領域まで銅プレーンが連続している必要があります。1つの良い方法は、ドライバ下の銅ベタ・パターンから幅広の大面积プレーンに幅広の出口路を設けることです。これらのプレーンが途切れていると、熱を逃がす経路が妨げられ、熱抵抗が増加します。熱抵抗が増加すると、同じプレーン上のサーマル・パッドと大面积領域との間の温度差が大きくなります。図 2-2 に、ドライバの下のグラウンド・プレーンが連続的である場合に対して、グラウンド・プレーンがくびれている場合に温度が上昇する例を示します。

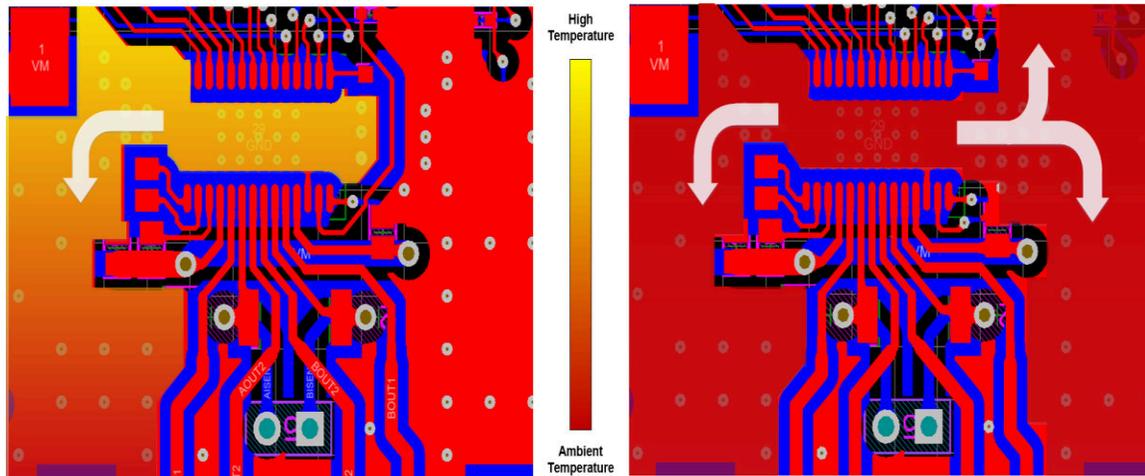


図 2-2. くびれたグラウンド・プレーンと連続的なグラウンド・プレーンの温度分布の比較

ドライバ下の銅サーマル・パッドが途切れないように保つことは、デバイスを効率的に冷却する上で重要です。面積の大きいプレーンへの幅広い経路を設けることで、ドライバのサーマル・パッドと周囲空気との熱抵抗を最小限に抑えることができます。

2.3 銅厚

連続的で幅広いプレーンを使用すると熱抵抗が下がりますが、プレーンの銅の厚さも PCB の熱性能に対する非常に重要な考慮事項です。PCB 上の銅のめっき厚を増やすことで、プレーンの実効的な熱抵抗が下がります。銅の厚さとプレーンの面積の関係を計算するには式 1 を使います。

$$\theta_{Cu} = (1 / \lambda_{Cu} \times \text{長さ}) / \text{面積} \quad (1)$$

長さと幅が 1cm、めっき厚が 1 オンス (0.0035cm) と仮定すると、ドライバと横方向につながった銅プレーンの熱抵抗は式 2 で概算されます。

$$\theta_{Cu} = (1 / \lambda_{Cu} \times \text{長さ}) / \text{面積} = (25^{\circ}\text{C cm/W} \times 1\text{cm}) / 1\text{cm} \times 0.0035\text{cm} = 71.4^{\circ}\text{C/W} \quad (2)$$

銅の厚さを 2 オンス (0.007cm) 銅に倍増した場合、式 2 と同じ寸法でドライバと横方向につながった銅プレーンの熱抵抗は式 3 で計算されます。

$$\theta_{Cu} = (1 / \lambda_{Cu} \times \text{長さ}) / \text{面積} = (0.25^{\circ}\text{C cm/W} \times 1\text{cm}) / 1\text{cm} \times 0.007\text{cm} = 35.7^{\circ}\text{C/W} \quad (3)$$

銅の厚さを 2 倍にした場合、同じ大きさのプレーンの熱抵抗は半分になります。ドライバに接続されたグラウンド・プレーンの銅を厚くすると、基板上に大きな温度差を生じさせないでデバイスから周囲空気に熱を効率よく逃がすことができます。

2.4 サーマル・ビアの接続

熱が IC から両方の層に消散できるように、サーマル・ビアが最上層と最下層を一緒に接続する必要があります。最上層からビアを経由して最下層に熱が流れる経路が妨げられる原因になるため、サーマル・ビアにはサーマル・リリーフ接続を使用しないでください。この妨げられた熱流の経路は、ビア周辺の最上層の残りの部分の温度上昇をもたらします。ビアを直接接続することで、ビアと銅層の間の熱抵抗を最小限に抑えることができます。サーマル・ビアは、めっきされたスルーホール周囲全体にわたって完全に接続された内部グラウンド・プレーンに接続する必要があります。ビアをはんだマスクで覆わないでください。過剰なボイド発生の原因になります。図 2-3 に、サーマル・リリーフ・ビアと直接接続ビアの温度の違いを示します。

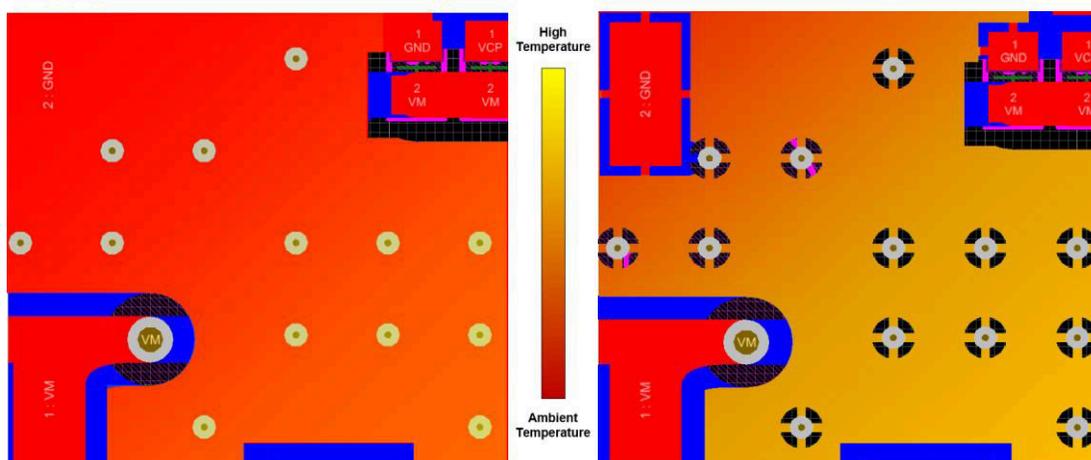


図 2-3. サーマル・リリーフと直接接続の温度分布の比較

サーマル・リリーフ接続はプレーンをビアまたは部品と電氣的に接続しますが、部品またはビアとプレーン間の熱の流れを減少させます。これは、半田ごてまたはリフロー・オープンが部品のみを加熱することで確実なはんだ接続を確保できるように行われます。この方法は、プレーン間の熱伝導にビアを必要としない用途に効果的です。しかし、モータ・ドライバなどの電力アプリケーションでは、層の間の熱性能を最適化するため、これらのビアをプレーンに直接接続する必要があります。

2.5 サーマル・ビアの幅

サーマル・パッドは、ダイと PCB 上面のグランド・プレーン間に低インピーダンスの熱経路を形成しますが、最上層と最下層のグランド・プレーンをつなぐビアの熱的インピーダンスを考慮する必要があります。テキサス・インスツルメンツはサーマル・パッドの直下に直径が 20mil、穴のサイズが 8mil のサーマル・ビアを配置することを推奨します。式 4 を使って、1.561mm の厚さを持つ FR-4 PCB を貫通する 1 つのサーマル・ビアの熱抵抗を計算します。

$$\theta_{Cu} = (1 / \lambda_{Cu} \times \text{長さ}) / \text{面積} = (0.25\text{cm}/^\circ\text{CW} \times 0.1561\text{cm}) / \pi \times [(0.0508\text{cm})^2 - (0.02032\text{cm})^2] = 5.7304^\circ\text{C/W} \quad (4)$$

サーマル・ビアの直径を小さくするか、穴のサイズを大きくすると、熱抵抗が増加します。推奨される 8mil の穴サイズと 20mil の直径を使うと、サーマル・パッドから底面へのはんだウィッキングを最小限にとどめ、ビアの熱抵抗を最小限に維持できます。図 2-4 に、推奨されるビア配置を示します。

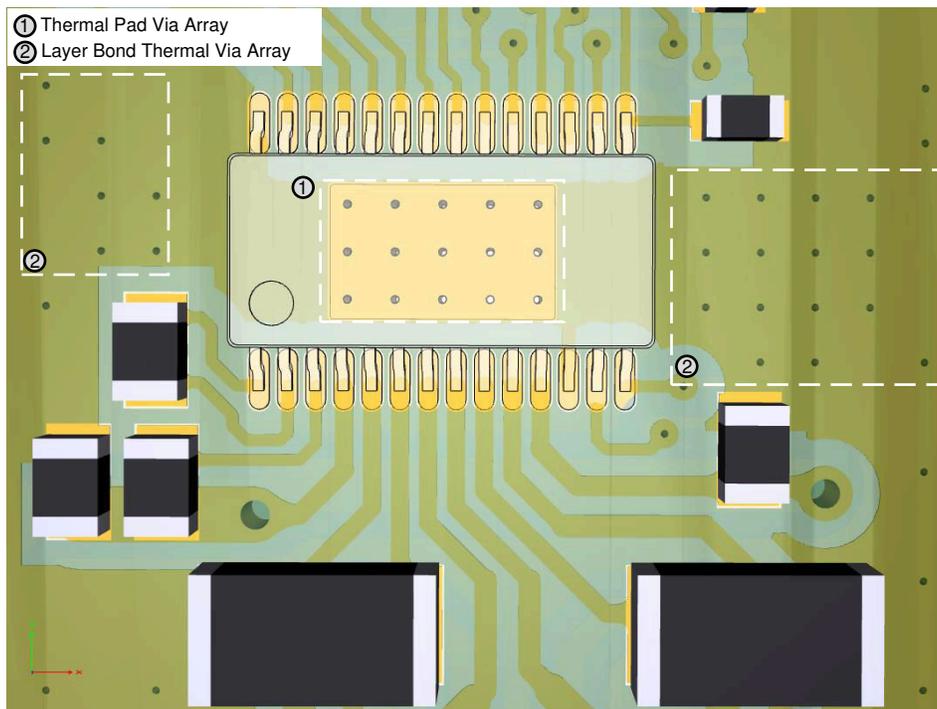


図 2-4. サーマル・ビアの配置

2.6 熱設計のまとめ

熱設計を要約すると、モーター・ドライバ・システムの熱設計に関する主な考慮事項は以下のとおりです。

- 放熱パッド接続はデバイス・ダイの熱伝導の最も効率的な経路です。
- 放熱パッドからグラウンド・プレーンまで、連続的な最上層ベタ・パターンを使用します。
- 可能な場合、1.5 オンスまたは 2 オンスの銅を使用します。
- 直接接続サーマル・ビアを使用します。
- 7.874mil x 19.874mil のサーマル・ビア・サイズを使用して、過度のはんだウィッキングを防ぎます。
- サーマル・ビアをアレイ状に集中して配置することで、プレーン間の熱抵抗を最小限に抑えます。

3 ビア

PCB 内のビア・ホールは、基板の異なる層の対応する位置に、基板を貫通する穴によって電氣的に接続された 2 つのパッドを持っています。この穴は電気めっきにより導電性を持つように処理されています。ブラインド・ビア、埋込ビア、サーマル・ビアなど、複数の種類のビアを利用できます。モーター・ドライバの PCB 設計でよく使われるのは通常のスルーホール・ビアとサーマル・ビアです。

ビアは、信号配線と電源配線の両方の PCB 配線で高い頻度で使用されます。信号接続の場合、電流が小さいため (数マイクロアンペアから数ミリアンペア)、信号を別の層に配線するのに 1 つまたは 2 つのビアでも十分です。電源接続の場合、複数ビア、または「ビア・ステッチング」を電源トレースまたはグランド・トレースに追加することで、層間および電源 / グランド・プレーン間の低インピーダンス接続を確保できます。複数ビアを追加することで、デバイスから他の基板層に熱を放散することもできます (セクション 2.4 を参照)。



図 3-1. 最下層の銅プレーンのビア接続

3.1 ビアの電流容量

モーター・ドライバの PCB 設計では、層間の大電流接続のために複数ビアをしばしば使います。低抵抗と長寿命を実現するには、ビアの寸法と数を適切に指定することが重要です。一般に、ビアの直径はトレースの長さ以上である必要があります。トレースとして銅プレーンを使用する場合、部品のピンに電流が出入りする場所の近くに複数のビアを配置する必要があります。

表 3-1 に、IPC-2152 規格による各種ビア径に対する電流容量 (10°C の温度上昇、1 オンス PCB) を示します。

表 3-1. ビアの電流容量

ビアの直径	電流容量
6mil	0.2A
8mil	0.55A
10mil	0.81A
12mil	0.84A
16mil	1.1A

3.2 ビアのレイアウトに関する推奨事項

3.2.1 複数ビアのレイアウト

複数ビアは、寄生抵抗が小さい接地と大電流の接続に便利です。図 3-2、図 3-3、図 3-4 に、基板設計の各種場所での複数ビアの配置例を示します。

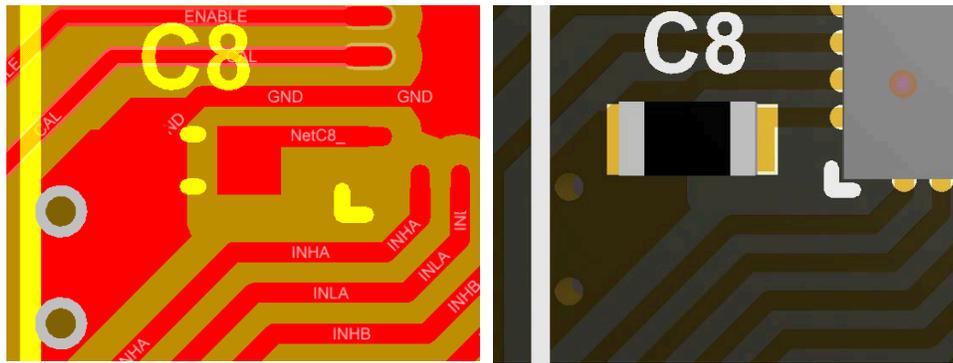


図 3-2. デカップリングの接地のための複数ビア

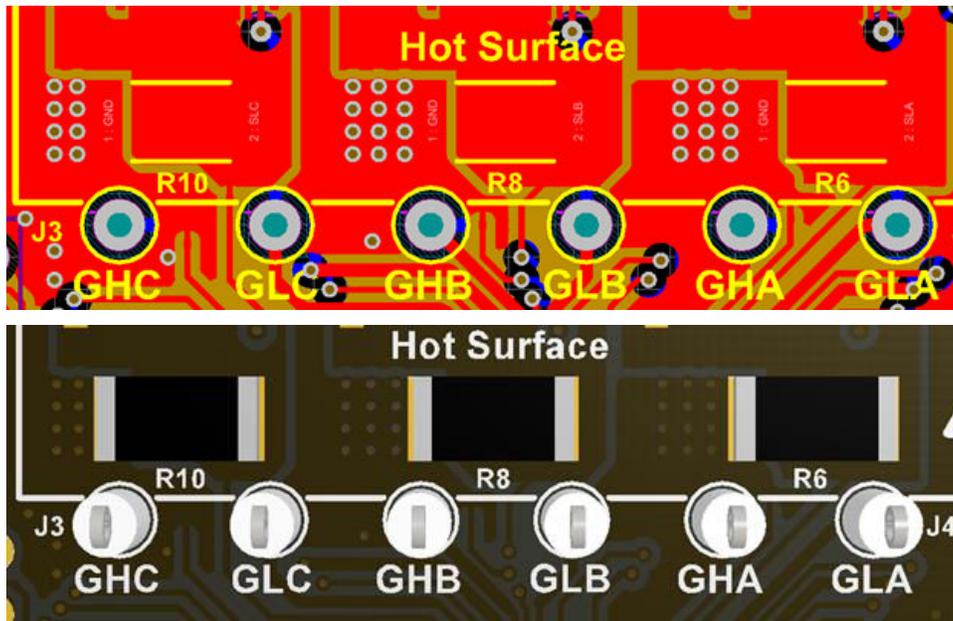


図 3-3. 電流センスの接地のための複数ビア

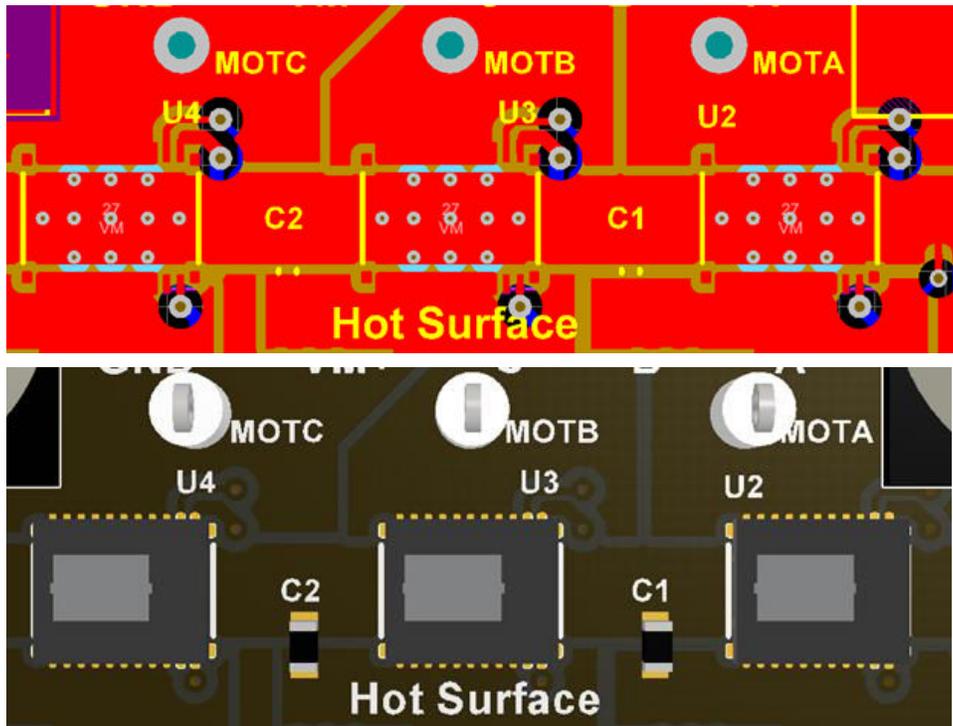


図 3-4. 大電流接続のための複数ビア

3.2.2 ビアの配置

ビアは小さいものですが、PCB 上でもグランド・プレーン上でもスペースを使用します。多数のビアを一緒に配線すると、プレーン上にすき間が生じ、電流とグランド帰路に影響を与える可能性があります。ビアをうまく配置することで、すべての信号に対して十分な帰路を確保します。図 3-5 に、グランド・プレーンのビアによる不要な分割を回避する方法の例を示します。

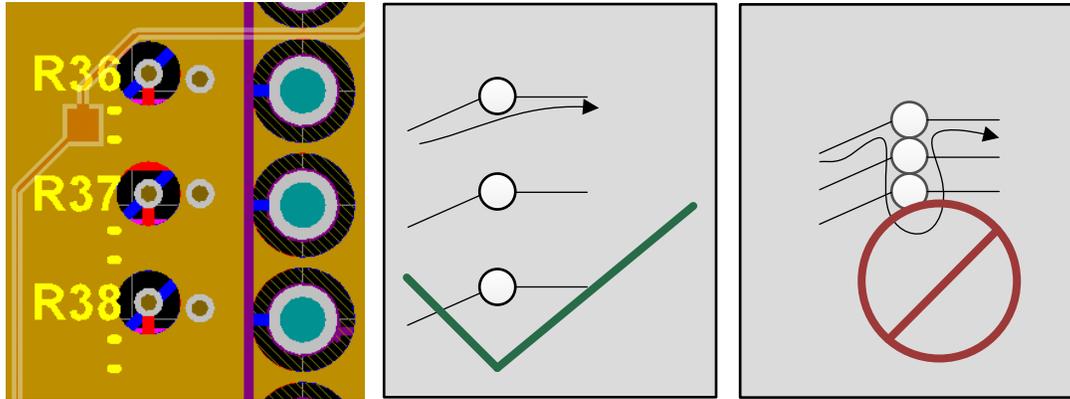


図 3-5. グランド・プレーンのビアによる分割の回避

4 一般的な配線手法

モーター・ドライバの PCB を設計する場合、以下の一般的な配線手法に従います。

- ゲート駆動トレースはできるだけ幅広く、かつ短くします。1oz 以上の銅の場合、20mil のトレース幅から始め、大電流によって必要とされる場合さらに幅を広げます。

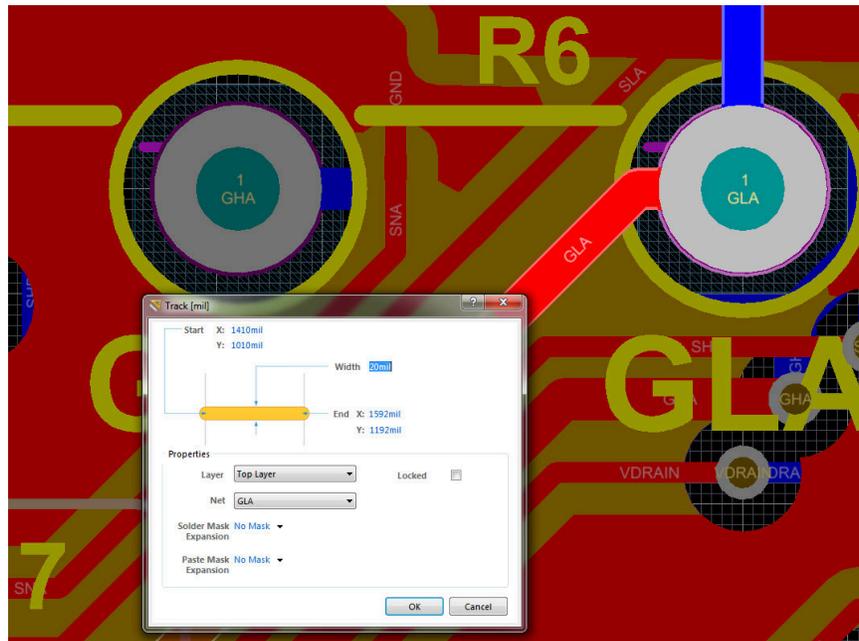


図 4-1. DRV8323xEVM のゲート信号

- インダクタンス、ループ面積、 dv/dt スwitchングに起因するノイズの可能性を最小化するため、ハイサイド・ゲートの信号トレースとスイッチ・ノードのトレースをできるだけ近づけて配線します。

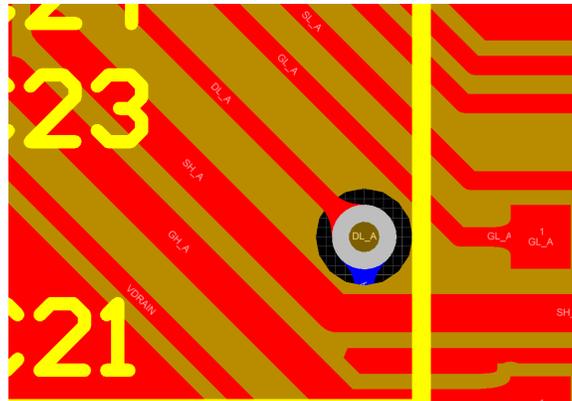


図 4-2. 並行ゲート・トレース

- 直角のあるトレースは使いません。トレースの 90 度の曲げはインピーダンスとして振る舞い、電流が反射する原因となることがあります。モーターの相がスitchングする際、鋭い曲げは電磁干渉 (EMI) の問題を引き起こす場合があります。丸い曲げは理想的ですが、実際の設計では実用的ではない場合があります。角の配線のための良い方法は鈍角を使うことです。図 4-3 に、トレースの角の各種の例を示します。

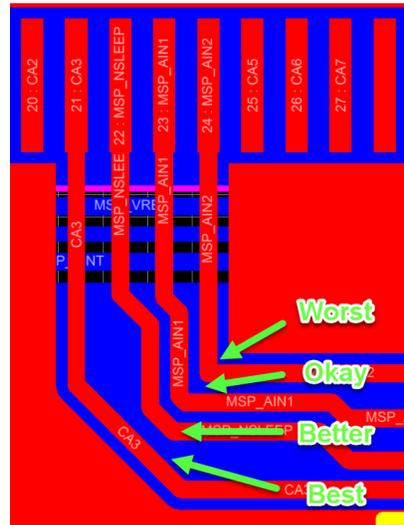


図 4-3. 直角のあるトレース

- ビアからパッドに、具体的には細いトレースから出力ピンの太いトレースに滑らかな曲線をつなぎます。ティアドロップ手法は信号遷移部の熱応力を低減します。また、この手法はトレースの亀裂を防止し、トレースを機械的により堅牢にします。ティアドロップ手法は、細い信号線からスルーホール・パッドに接続する際に適用できます。

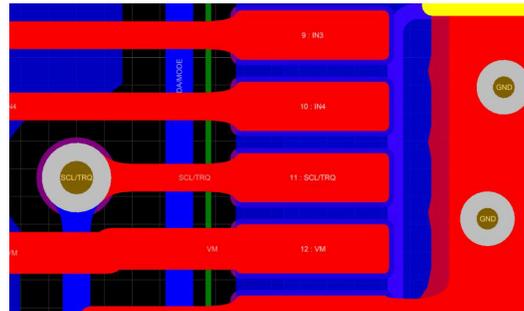


図 4-4. ビアからパッドへの滑らかな接続

- オブジェクトの周囲に配線する際、並行する 2 本 1 組でトレースを配線することで、トレースが分かれることに起因するインピーダンスの不一致と不連続性を回避します。電流センス・アンプの信号の場合、この方法は重要です。

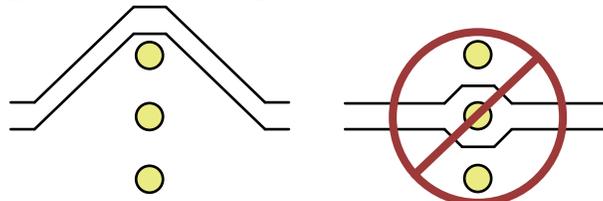


図 4-5. 並行トレースの配線

- ソース整合抵抗、AC 結合コンデンサなどの受動部品は信号路の中に互いに隣接して配置します。部品を横に並べて配置するとトレース間隔が広がります。部品を交互に配置することは、狭い領域が生じる原因となるため、推奨しません。

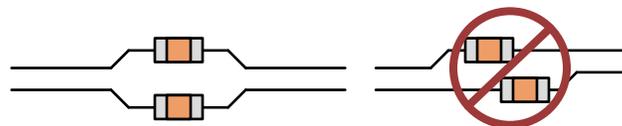


図 4-6. 推奨される部品配置

- 回路のアナログ部とデジタル部のグラウンド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の一つです。

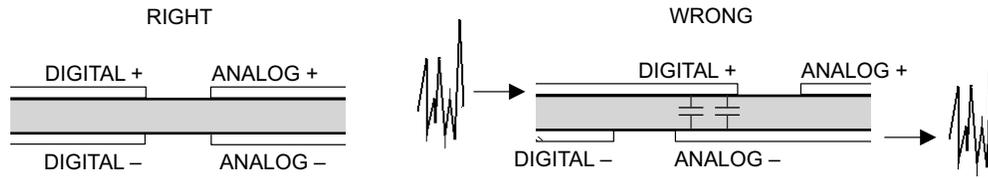


図 4-7. アナログとデジタルのグラウンドの分離

5 バルクおよびバイパス・コンデンサの配置

5.1 バルク・コンデンサの配置

モーター・ドライブ・システムの設計では、バルク・コンデンサが低周波数の電流過渡の影響を最小限に抑え、モーター・ドライバのスイッチングに必要な大電流を供給するための電荷を蓄積します。バルク・コンデンサを選択する際、モーター・システムに必要な最大電流、電源電圧リップル、モーターのタイプを考慮します。

モーター巻線を通して駆動される電流から低周波数の大電流を供給できるようにバルク電解コンデンサを使います。これらのコンデンサは、アプリケーションの要件に応じて通常 $10\mu\text{F}$ を上回る値とします。

すべてのバルク・コンデンサは、基板の電源モジュールまたは電源端子の近くに配置します。各バルク・コンデンサには、パッドをそれぞれの電源プレーンに接続する複数のビアを使用することを推奨します。また、すべてのバルク・コンデンサを低 ESR (等価直列抵抗) 品とすることも推奨します。

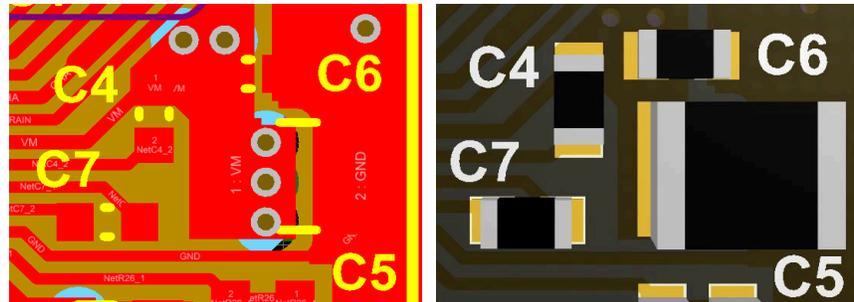


図 5-1. バルク・コンデンサの複数ビアの配置

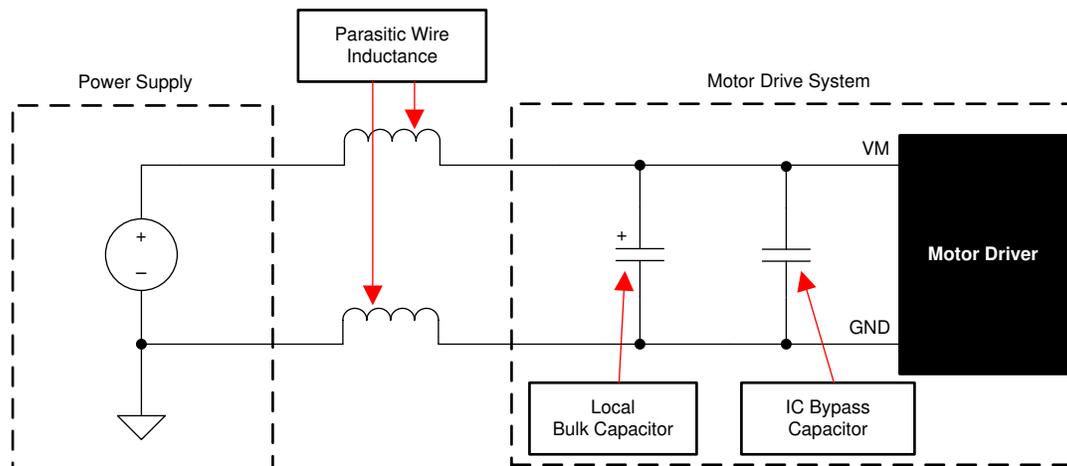


図 5-2. バルクおよびバイパス・コンデンサの配置

5.2 チャージ・ポンプ・コンデンサ

TI のモーター・ドライブ・デバイス (DRVxx) の多くは、ハイサイド N チャンネル MOSFET のゲートを完全にスイッチングするためにチャージ・ポンプまたはブートストラップ・コンデンサを使います。これらのコンデンサは、モーター・ドライブ・デバイスのできるだけ近くに配置します。図 5-3 で、C4 コンデンサは VM から VCP ピンへのチャージ・ポンプ出力容量であり、C7 コンデンサはチャージ・ポンプのスイッチング・ノードのためのものです。

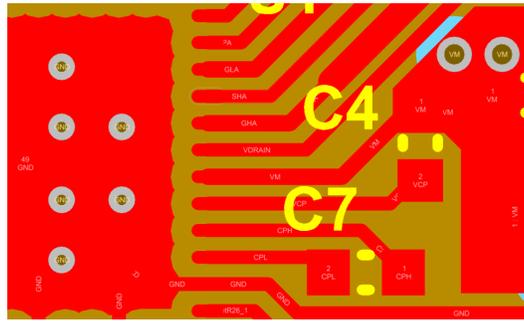


図 5-3. チャージ・ポンプ・コンデンサの配置

5.3 バイパス / デカップリング・コンデンサの配置

5.3.1 電源の近く

DRV デバイスの電源ピンに入る高周波ノイズを最小化するため、バイパス・コンデンサを使用します。デバイスの電源入力ピンとグラウンド・ピンにできるだけ近づけてコンデンサを配置することを推奨します。バイパス・コンデンサとデバイス間のトレース長が最小化されていない場合、バイパス・コンデンサのフィルタ処理の対象である高い周波数でこれらのトレースが誘導性を示す場合があります。トレースのインダクタンスによる追加インピーダンスは、電源ピンの電圧または電流リングングを引き起こすことがあります。このリングングは EMI の一因となり、デジタルまたはアナログ回路の性能に影響を及ぼします。1 つの良い方法は、小さな値のコンデンサをデバイスにできるだけ近づけて配置し、トレースのインダクタンスの影響を最小限に抑えることです。コンデンサの値が大きいほどインダクタンスの影響が小さいため、より大きな値のコンデンサは小さな値のコンデンサの後に接続します。

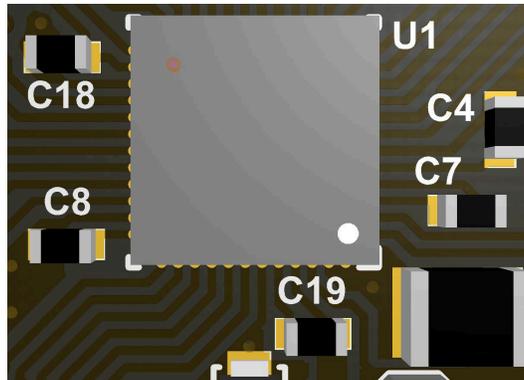


図 5-4. デバイスに近づけて配置したデカップリング・コンデンサ

セクション 3.2 に示すように、使用するビアの数が多いほど、インピーダンスは低くなります。電源およびグラウンド層には複数のビアを使用することを強く推奨します。コンデンサの実装パッドにビアを直接配置することは、配線面積を最小限に抑えながら電流の流れに従った配線を実現する効果的な方法です。以下に示すバイパス・コンデンサのための指針に従います。

- バイパス・コンデンサとアクティブ・デバイスの間にはビアを使用しません。高周波の電流の流れを推定し、高周波の電流ループをできるだけ小さくします。
- 最適な結果を得るには、アクティブ部品と同じ層にバイパス・コンデンサを配置します。バイパス・コンデンサのピンと IC の電源またはグラウンド・ピンの間にはビアを配置しないでください。
- ビアはバイパス・コンデンサに配線し、次にアクティブ部品に配線します。
- 最適なレイアウトを得るには、できるだけ多くのビアとできるだけ幅広いトレースを使用します。
- バイパス・コンデンサは近いほど望ましいです (0.5cm (0.2 インチ) 未満)。
- 3:1 より大きい長さとの幅の比を使用しないでください。

図 5-5 に、適切なバイパスと不適切なバイパスの例を示します。

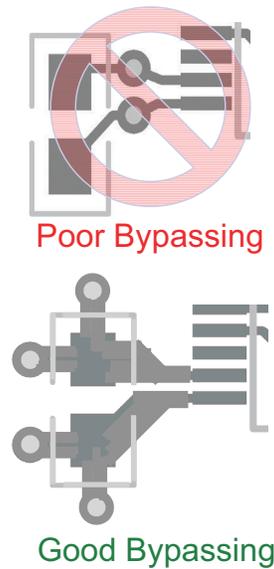


図 5-5. バイパス・コンデンサの配置

5.3.2 電力段の近く

電力段のバイパス容量には、MOSFET とその他の寄生容量のスイッチングに起因する高周波電流を減衰させるため、小容量のセラミック・コンデンサを使います。これらのコンデンサは、アプリケーションの要件に応じて通常 $10\mu\text{F}$ 未満の容量値です。

図 5-6 に、これらのコンデンサを備えた H ブリッジの例を示します。

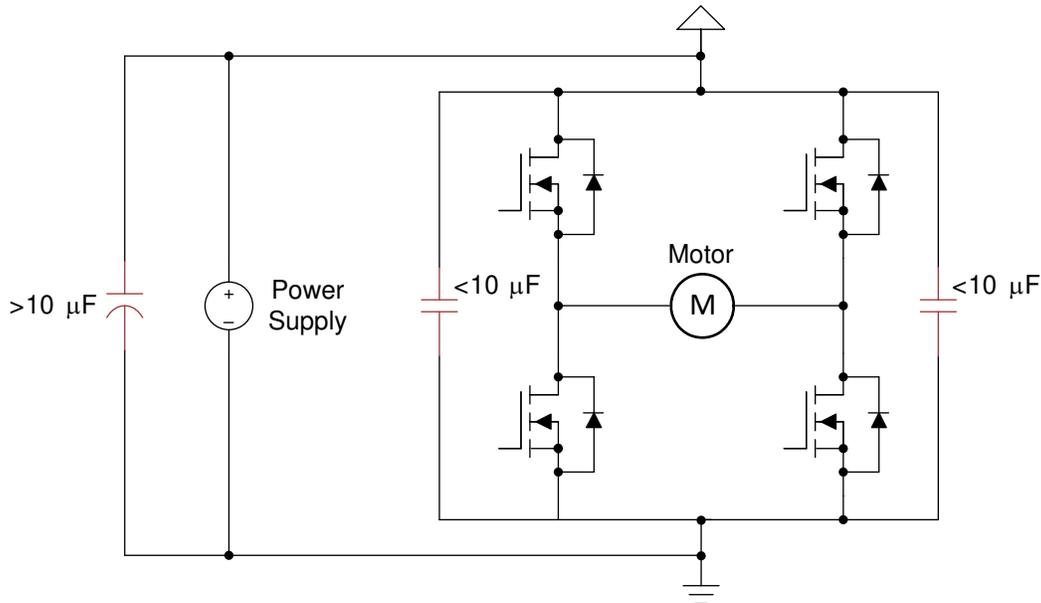


図 5-6. バイパス・コンデンサを備えた H ブリッジの例

5.3.3 スイッチ電流源の近く

これらのコンデンサの適切なレイアウトと配置は、コンデンサが効果的に機能する上で非常に重要です。容量とスイッチング電流源の間に追加の寄生インダクタンスがあると、コンデンサの効果は低下します。理想的には、スイッチング電流源 (この場合はモーターと MOSFET) にできるだけ近づけてコンデンサを配置します。図 5-7 に、前述の回路図例に基づくレイアウト例を示します。

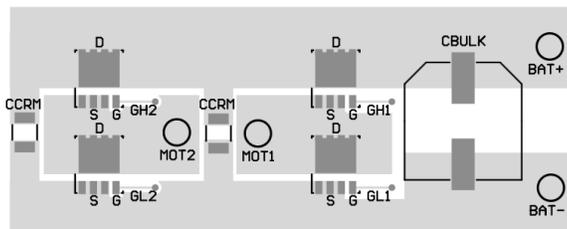


図 5-7. バイパス・コンデンサのレイアウト例

5.3.4 電流センス・アンプの近く

電流センス・アンプ (CSA) を内蔵したデバイスの場合、追加のデカップリング・コンデンサをセンシング・ピンにできるだけ近づけて配置し、約 1nF の値を使用することを推奨します。図 5-8 に、デカップリング・コンデンサ C12、C13、C17 を示します。

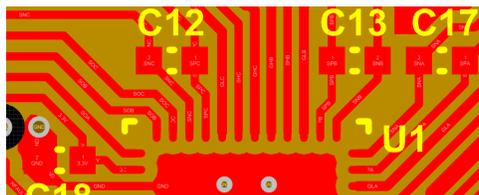


図 5-8. SNx と SPx のレイアウト

5.3.5 電圧レギュレータの近く

電圧レギュレータを備えたデバイスの場合、ピンにできるだけ近づけてコンデンサを配置します。グラウンド・ピンへのグラウンド帰還ループをできるだけ小さくします。例として図 5-9 に、DVDD レギュレータにできるだけ近づけた C18 コンデンサを示します。

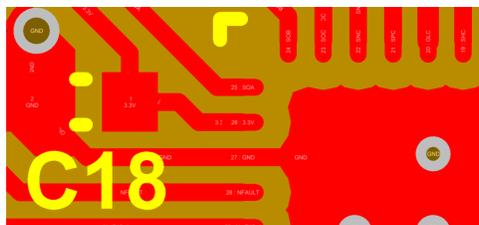


図 5-9. DVDD のグラウンド帰還ループ

6 MOSFET の配置と電力段の配線

ブリドライバ・モーター・ドライブ・ソリューションで適切な機能と最適な性能を実現する上で、ゲート・ドライバとパワー MOSFET の配置は非常に重要です。DRV8870、DRV8313、DRV10987、DRV10983-Q1、DRV8873-Q1 などの MOSFET 内蔵モーター・ドライバの場合、すでに内部で適切に配線されています。DRV8701、DRV8304、DRV8306、DRV8323、DRV8343-Q1、DRV8353 などのゲート・ドライバの場合、PCB のレイアウトとパワー MOSFET の配置を注意深く計画することが重要です。以下のセクションでは、複数の一般的な MOSFET トポロジを説明し、一般的なモーター・ドライブ・アーキテクチャを使った基本的なレイアウト例を示します。

6.1 一般的なパワー MOSFET パッケージ

このセクションでは、N チャネル・パワー MOSFET の一般的なパッケージ・タイプについて説明します。大部分のパワー MOSFET では、以下の 4 種類のパッケージの 1 つを選択できます。パッケージのタイプ、寸法、ピン配置を理解することで、最適なソリューションのために PCB をよりよく設計できます。

図 6-1 の記号は N チャネル・パワー MOSFET を表します。MOSFET はソース、ゲート、ドレイン、ボディを持つ 4 端子デバイスですが、ボディ端子は通常ソース端子に接続されています。

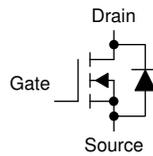


図 6-1. N チャネル・パワー MOSFET の記号

MOSFET のパッケージは、電力段および熱放散との直接接続を持ちます。パッケージの種類によって、配線ルールは異なります。

6.1.1 DPAK

図 6-2 に示す DPAK (SOT-252) パッケージは、業界で最もよく使われているパッケージの 1 つです。このパッケージはサイズと性能を両立させています。DPAK パッケージは大電力の MOSFET と電圧レギュレータによく使われます。

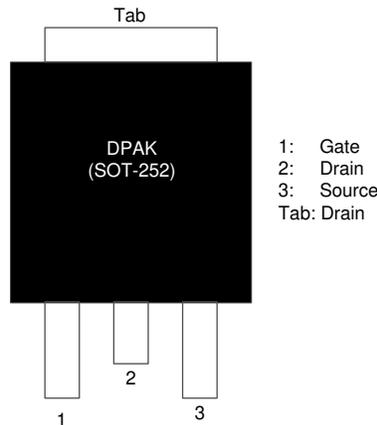


図 6-2. DPAK パッケージ

6.1.2 D2PAK

D2PAK (TO-252) パッケージ (図 6-3 を参照) は、DPAK パッケージのより放熱性が高い大型バージョンです。

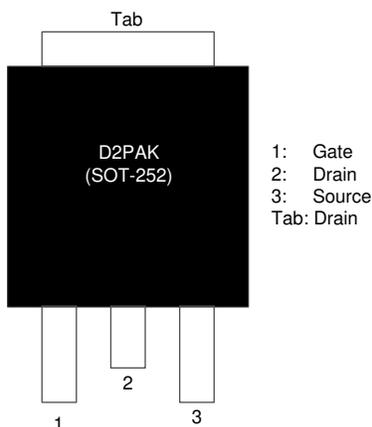


図 6-3. D2PAK パッケージ

6.1.3 TO-220

TO-220 パッケージ (図 6-4 を参照) はスルーホール MOSFET パッケージです。直立したタブは、ヒートシンクを取り付けるために使うことができます。このパッケージを使用する場合の欠点は、通常 DPAK および D2PAK パッケージなどの表面実装パッケージよりも大きなスペースを必要とすることと、背が高いことです。

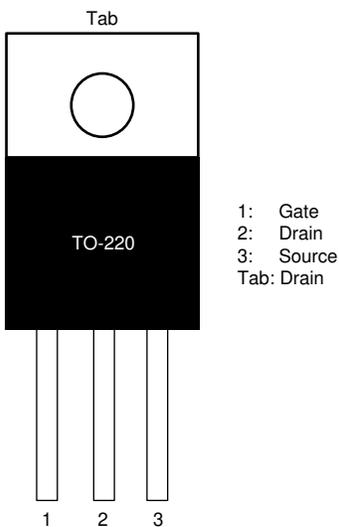


図 6-4. TO-220 パッケージ

6.1.4 8ピン SON

8ピン SON パッケージ (図 6-5 を参照) は、最も一般的なリードなしパッケージです。このパッケージを使うと、最小限の基板面積と最適な性能を両立できます。リード付きパッケージの多くは、ピン配置が似通っています。8ピン SON パッケージがユニークなのは、リード付きパッケージ (TO-252、TO-220) と比べてゲート・ピンが反対側にあることです。

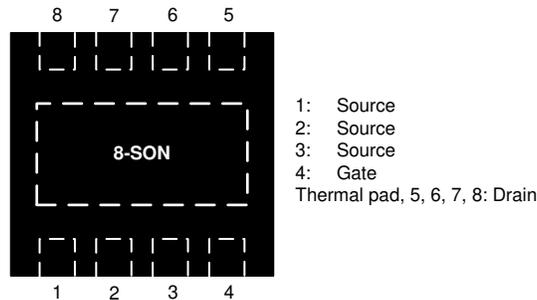


図 6-5. 8ピン SON パッケージ

6.2 MOSFET のレイアウト構成

図 6-6 と図 6-7 に、2つの代表的な構成 (ハーフ・ブリッジ・スタック、ハーフ・ブリッジ・サイド・バイ・サイド) の一般的な MOSFET の配置とレイアウトを、リード付きとリードなしの両方のパッケージについて示します。

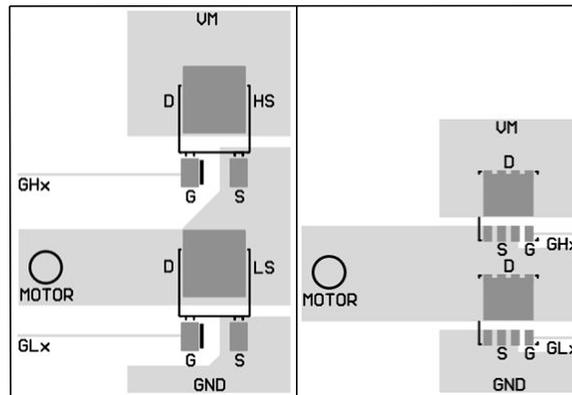


図 6-6. ハーフ・ブリッジ・スタック構成

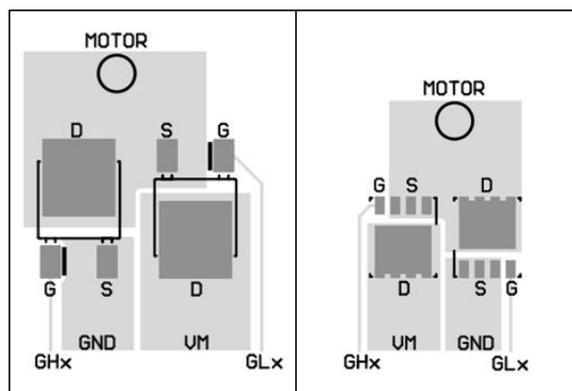


図 6-7. ハーフ・ブリッジ・サイド・バイ・サイド構成

これらのハーフ・ブリッジのレイアウトを繰り返すことで H ブリッジ (2 ハーフ・ブリッジ)、インバータ (3 ハーフ・ブリッジ)、デュアル H ブリッジ (4 ハーフ・ブリッジ) などのマルチ・ハーフ・ブリッジ・トポロジを構成できます。

6.3 電力段のレイアウト設計

パワー MOSFET の適切な配置を選択した後、次の段階は適切な配線を行うことです。この MOSFET はモーター・ドライブ用大電力スイッチング・アプリケーションで使われるため、その設計は理想的でないレイアウトによって生じる寄生素子の影響をうけます。このセクションでは、一部の非常に重要な信号の配線と、それらを管理するためのベスト・プラクティスについて説明します。図 6-8 に、電力段を示します。

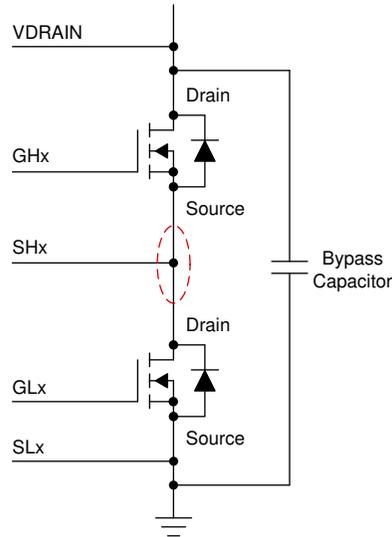


図 6-8. スイッチ・ノードを持つハーフ・ブリッジ電力段

6.3.1 スイッチ・ノード

スイッチ・ノードは、ハイサイド MOSFET のソース・ピンとローサイド MOSFET のドレイン・ピンの間の接続です (図 6-10 を参照)。このノードは最終的に負荷 (このアプリケーションではモーター) に接続されるネットです。このネットの信号の高周波数、大電流という特性のために、スイッチ・ノードはハーフ・ブリッジ構成で配線される最も重要な信号と言えます。図 6-8 に示す回路には、PCB とパワー MOSFET に起因する多くの理想的でない寄生素子が存在します。図 6-9 に、スイッチ・ノード・リングングと呼ばれる現象の主な原因であるこれらの主要な寄生素子の一部を示します。

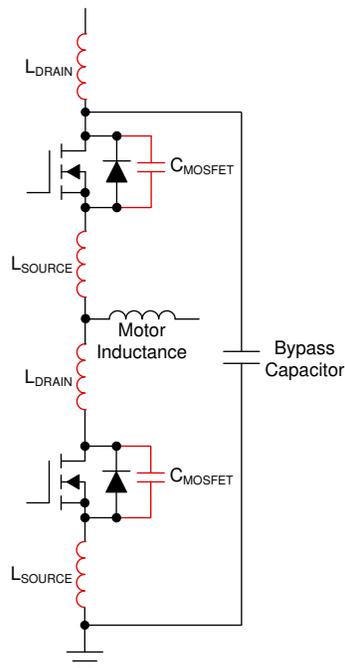


図 6-9. ハーフ・ブリッジの寄生素子

スイッチ・ノード・リングングは、PCB とパワー MOSFET の寄生素子に起因するスイッチ・ノードの LC 発振です。スイッチ・ノード・リングングは EMI を引き起こし、MOSFET のドレイン - ソース間電圧とゲート・ドライバ・ピンの絶対最大定格を超える可能性があるオーバーシュートおよびアンダーシュート電圧を発生させます。また、電力段の効率を低下させることもあります。

外部的な手段とシステムの調整 (スルーレートの低減、外部スナバなど) によってスイッチ・ノード・リングングに対処する方法が利用できますが、基本的には健全なレイアウトがこれらの主要な課題の多くに対処できます。図 6-10 のレイアウト例に、ハイサイド MOSFET のソースとローサイド MOSFET のドレインの間のインダクタンスを最小化する設計を示します。良い方法は、銅プレーン接続の長さを最小、幅を最大にし、寄生インダクタンスが最も小さい MOSFET パッケージを採用することです。

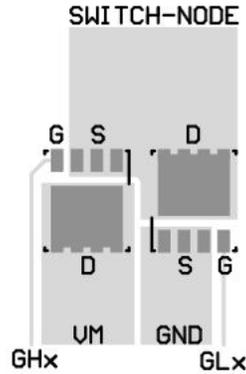


図 6-10. スイッチ・ノードのレイアウト例

6.3.2 大電流ループ経路

モーター・アプリケーションは大きなスイッチング電流を利用しているため、大電流経路の総ループ・インダクタンスを最小化することが非常に重要です。このインダクタンスを最小化することで電圧リップルおよびノイズが最小化されるため、追加のバイパス・コンデンサの必要性を減らすことができます。

モーター・システムで大電流ループをたどると、電源の正端子からハイサイド・パワー MOSFET を通り、モーター巻線を通り、反対側のローサイド MOSFET を通って電源の負端子に戻ります。図 6-11 に、H ブリッジを例としてこの流れを示します。

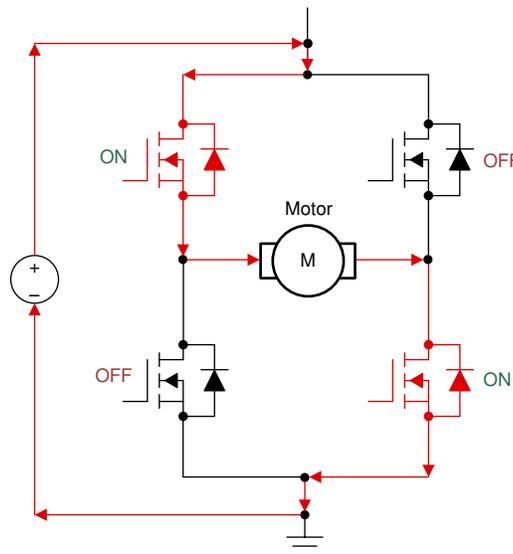


図 6-11. 大電流ループ経路の例

以下を実行することで、大電流ループ経路を最小にする必要があります。

- 大電流ループ全体で適切なトレース幅を使用します。トレース幅を広げると、寄生インダクタンスが減少します。

- 部品間の距離を最小化するため、適切な配置を使用します。トレース長を短くすると、寄生インダクタンスが減少します。
- 大電流経路で層を切り換える回数を最小限に抑えます。大電流のトレースで層を切り換える場合、適切なビア・サイズと回数を使用します。

図 6-12 に、最適化された大電流ループのレイアウト例を示します。

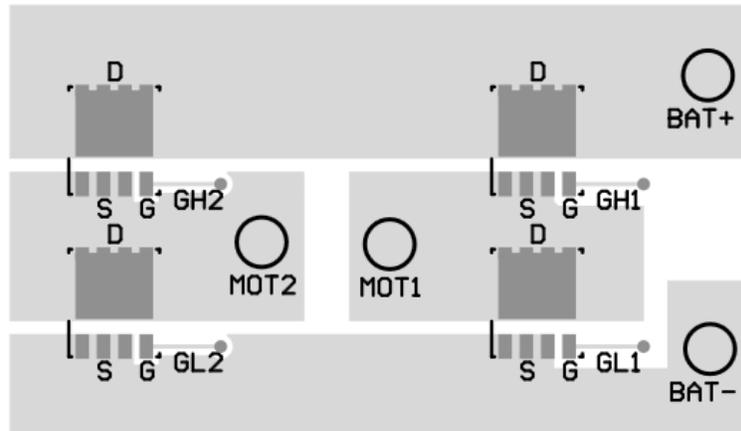


図 6-12. 大電流ループ経路のレイアウト例

6.3.3 VDRAIN センス・ピン

VDRAIN ピンは、ハイサイド MOSFET のドレイン電圧を検出するために使います。VDRAIN ピンを備えたモーター・ドライブ・デバイスの性能を最大限に引き出すには、配線する際に考慮すべき事項があります。電源電圧が、ハイサイド MOSFET のドレインに最初に印加されるため、VDRAIN ピンの配線がレイアウトにとって非常に重要です。VDRAIN ピンは、過電流イベント時にハイサイド MOSFET の VDS 電圧を監視できる電源電圧 (VM) のケルビン接続を可能にします (図 6-13 を参照)。電力段の VM 接続は通常、必要な電流に対応する広い銅プレーンと幅広いトレースで構成されているため、プレーンの追加のインダクタンスと電圧降下は VDS の測定精度に影響を与える可能性があります。このため、VDRAIN ピンを 1 本のトレースで外部パワー MOSFET のドレインに直接配線します。OCP フォルトの誤発生を引き起こす可能性のある追加のインダクタンスを最小限に抑えるため、ドレインの近くにネット・タイを使用することを推奨します (図 6-14 を参照)。



図 6-13. VDRAIN のケルビン接続

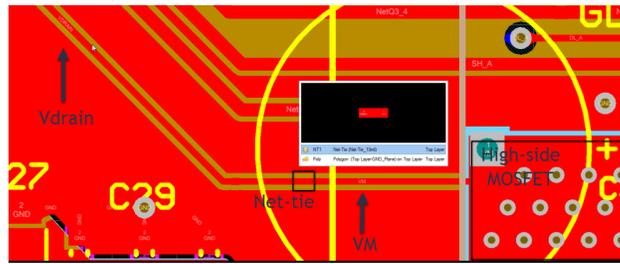


図 6-14. ハイサイド MOSFET ドレインのネット・タイ

7 電流センス・アンプの配線

TI の広範なモーター・ドライバには電流センシング機能を内蔵したデバイスが用意されており、その多くは測定源として外部シャント抵抗を使用します。ドライバに電流センス・アンプを内蔵することで、モーター・インターフェイスのオールインワン・ソリューションが実現できます。このソリューションを使うと、より低コストでより高品質の電流センシングが可能です。図 7-1 に、提供しているすべての電流センス・トポロジを示します。

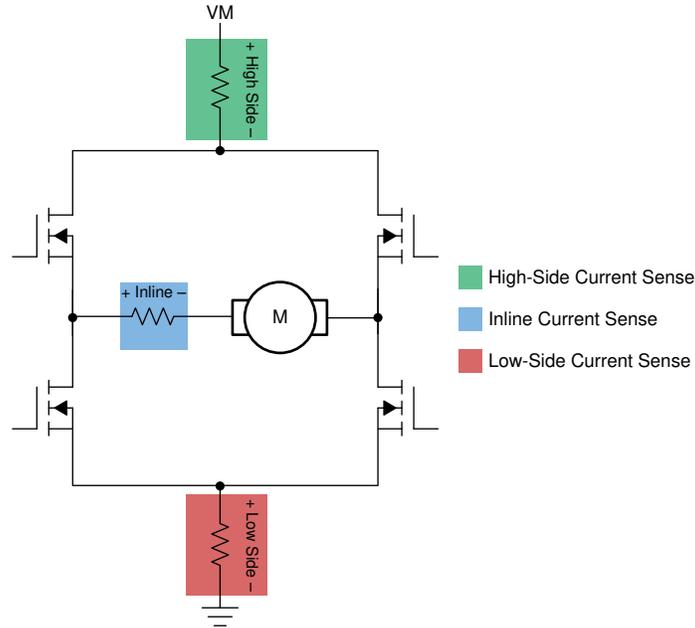


図 7-1. 電流センスのトポロジ

これらのデバイスに組み込まれた内蔵電流センス・アンプ (CSA) は通常 3 つの種類に分類され、それぞれ利点があります。これらの種類について以下のセクションで説明します。

7.1 シングル・ハイサイド電流シャント

図 7-2 に、ハイサイド電流センスの回路を示します。

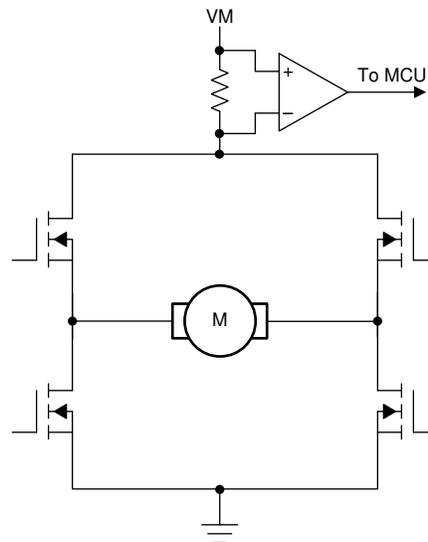


図 7-2. ハイサイド電流センス

ハイサイド電流センスを使う利点を以下に示します。

- 電源から直接電流を測定します。

- 負荷の短絡を検出できます。
- グランドの変動に耐えます。

ハイサイド電流センスを使うことの代償は、必要な同相電圧が高いことです。

7.2 シングル・ローサイド電流シャント

図 7-3 に、ローサイド電流シャントの回路を示します。

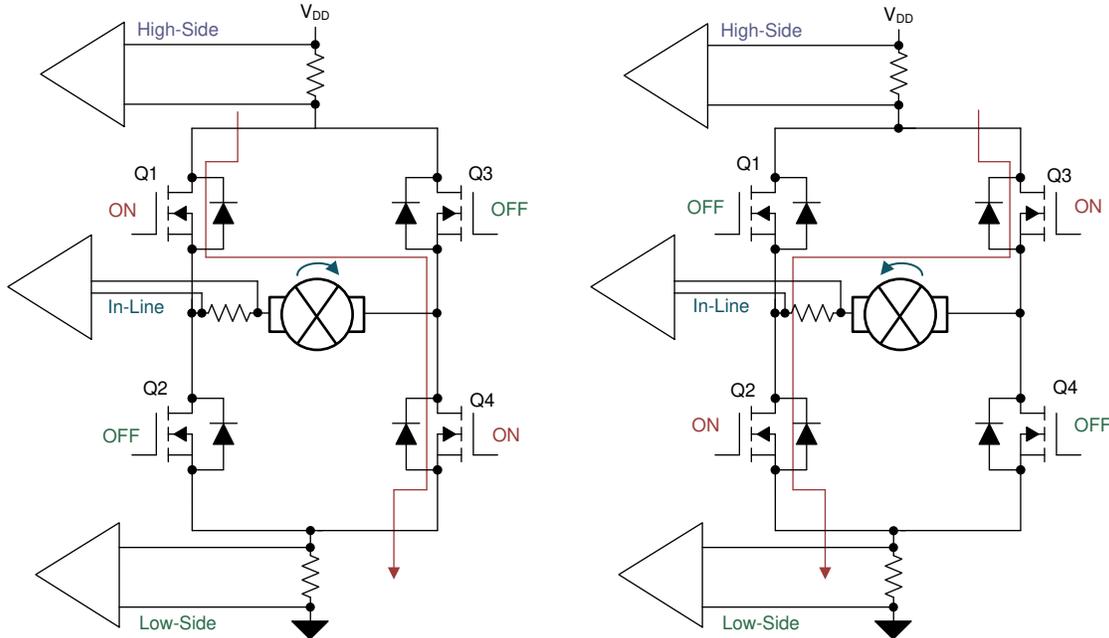


図 7-3. ローサイド電流センス

ローサイドの電流シャントを使う利点は、必要な同相電圧が低いことです。

ローサイド電流シャントを使うことの代償は、グランド・ノイズの影響を受けやすく、グランド短絡を検出できないことです。

7.3.2 相および 3 相電流シャント・アンプ

図 7-4 に、2 相および 3 相 CSA (電流センス・アンプ) を備えた回路を示します。

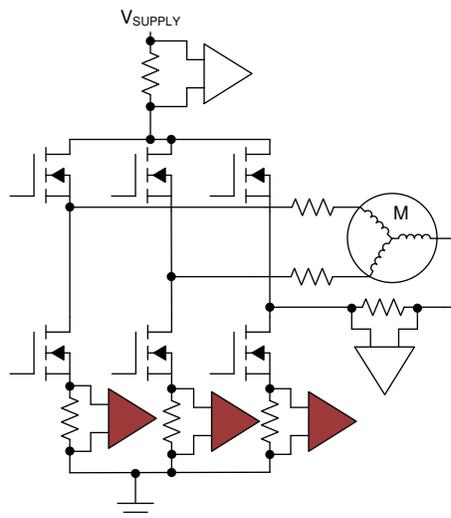


図 7-4. 2 相および 3 相 CSA

2相および3相 CSA は必要な同相電圧が低いいため、基板レイアウトにおいて有利です。また、各チャンネルを個別に測定するため、磁界方向制御などのより複雑な制御方法で使用できます。

基板レイアウトで2相および3相 CSA を使うことの代償は、以下のとおりです。

- グランド・ノイズの影響を受けやすいです。
- グランドの短絡を検出できません。
- システム全体の電流を知るためには、より多くのソフトウェアが必要になることがあります。

7.4 部品選定

センス抵抗を選択する際、精度と消費電力の間に根本的なトレードオフが存在します。電力段の大電流がセンス抵抗を流れるため、消費電力を最小限に抑えるには、選択する抵抗値を小さくする必要があります。大電流システムの場合、その抵抗値は通常 $m\Omega$ 単位です。たとえば、20A の電流を駆動し $1m\Omega$ のセンス抵抗を使用するシステムは、その抵抗によって 400mW を消費します。この条件では、CSA の入力は 20mV の信号を受け取るのみです。抵抗値を増やすと信号対雑音比が改善されますが、消費電力も増加します。

CSA の性能パラメータも考慮する必要があります。システムのワーストケースの電流を設計する際、電流センス入力ピンの電圧が CSA の絶対最大定格を超えないようにシャント抵抗を選択する必要があります。通常動作中、この電圧は差動電圧範囲の規定パラメータの内側に維持する必要があります。センス抵抗を選択するには、デバイスのデータシートを参照してください。

外付けゲイン抵抗を使用する DRV3201-Q1 などのデバイスでは、高精度の部品を選択します。部品のミスマッチは、システム全体の同相ゲインと差動モード・ゲインの両方を大きく変動させます。

7.5 配置

トレースのインピーダンスを最小限に抑えるため、センス抵抗は電力段の部品と一直線に並べて配置する必要があります。またシャント抵抗は、基板上のその他のトレースとの結合の可能性を減らすため、CSA の接続の近くに配置する必要があります。

ハイサイド電流センスの場合、電源とハイサイド MOSFET のソースの間の星型点の近くにシャント抵抗を配置する必要があります。外付けゲイン抵抗を使用するハイサイド電流センス・デバイス (DRV3205-Q1 など) の場合、分圧器の第 1 の抵抗をシャント抵抗に最も近づけて配置する必要があります。残りの部品は、デバイスのできるだけ近くに配置する必要があります。

ローサイド電流センスの場合、ローサイド MOSFET のソースと電力段の星型点のグランド接続の間にシャント抵抗を配置する必要があります。

2つまたは3つの個別の位相にシャント抵抗を使用するシステムの場合、各ローサイド MOSFET のソースと星型点のグランド接続の間にシャント抵抗を配置する必要があります。

7.6 配線

センス信号の配線には、差動ペアを使う必要があります。差動ペアでは、両方の信号がレイアウト内で密結合され、トレースはシャント (センス) 抵抗から IC の入力の CSA まで並行配線されます。

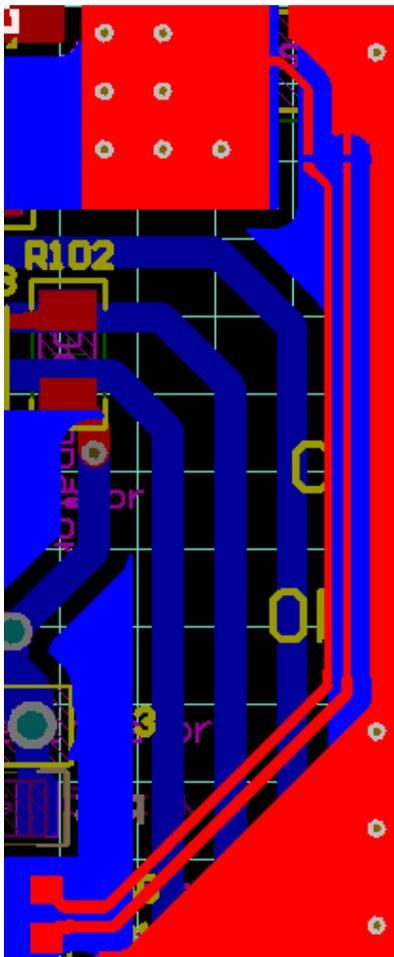


図 7-5. センス・アンプの配線

7.7 便利なツール (ネット・タイと差動ペア)

最新の CAD ツールの多くには、レイアウト・エンジニアが PCB を正しく配線するのに役立つ機能が実装されています。このセクションで説明している機能は、Altium Designer ツールの一部です。しかし、その他の多くのツールにも同様の機能があります。

初期段階で PCB を配線する際、センス抵抗の配線については、どの部品がどこに接続されるかを示すためのガイドが紛らわしい場合があります。ローサイド・シャント抵抗の場合、負の入力はグラウンドに直接接続し、正の入力はローサイドのソース・ピンへ接続する可能性があります。この状況を回避するため、設計者が配線中ではなく配置中に配線制約を設定できるように、デバイスとシャント抵抗の間にネット・タイを配置します。図 7-6 に、ネット・タイの配置例を示します。

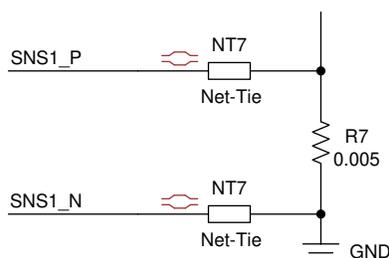


図 7-6. ネット・タイの配置例

差動ペアを使用するレイアウト手法を使うと、密結合された 2 つの信号を並行配線することで同相ノイズを低減できます。シャント抵抗から CSA への信号を配線するために差動ペアを使うことを推奨します。ノイズの結合をさらに低減するため、ノイズに敏感なパターンをノイズの多い (スイッチング) 信号と並行して配線しないようにします。

7.8 入力および出力フィルタ

センス・アンプの入力および出力フィルタは、センス・アンプにできるだけ近づけて配置します。このように配置することで、フィルタとセンス・アンプの間でデバイスが受け取る不要なノイズが制限されます。図 7-7 に、入力フィルタ (C40、R30、R31) のレイアウト例を示します。

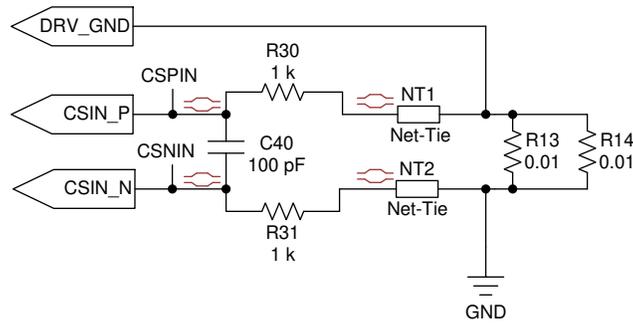


図 7-7. 入力および出力フィルタの回路図



図 7-8. 入力および出力フィルタのレイアウト

7.9 必須事項と禁止事項

モーター・ドライバの基板レイアウトを設計するには、以下を行います。

- ケルビン接続を使います。
- レイアウトを対称にします。
- すべての接続を近づけます。
- ネット・タイおよび差動配線ツールを使います。

8 関連資料

追加の資料については、以下を参照してください。

- テキサス・インスツルメンツ『[AN-1520 A Guide to Board Layout for Best Thermal Resistance for Exposed Packages](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[AN-2020 Thermal Design By Insight, Not Hindsight](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[Analog-to-Digital Converter Grounding Practices Affect System Performance](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[Grounding in mixed-signal systems demystified, Part 1](#)』テクニカル・ブリーフ (英語)
- テキサス・インスツルメンツ、『[Grounding in mixed-signal systems demystified, Part 2](#)』テクニカル・ブリーフ (英語)
- テキサス・インスツルメンツ、『[PCB Design Guidelines For Reduced EMI](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[PowerPAD™™ Thermally Enhanced Package](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[Printed-Circuit-Board Layout for Improved Electromagnetic Compatibility](#)』アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『[Thermal Characteristics of Linear and Logic Packages Using JEDEC PCB Designs](#)』アプリケーション・レポート (英語)

9 改訂履歴

Changes from Revision A (2019 年 1 月) to Revision B (2021 年 10 月)	Page
• 文書全体にわたって表、図、相互参照の採番方法を更新.....	1

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022, Texas Instruments Incorporated