

Application Note

低速またはフローティング CMOS 入力の影響



概要

近年、CMOS (AC/ACT、AHC/AHCT、ALVC、CBT、CBTLV、HC/HCT、LVC、LV/LV-A) および BiCMOS (ABT、ALVT、BCT、FB、GTL、および LVT) ロジックファミリは、半導体市場での地位をさらに強化しています。新しい設計は、PC、ワークステーション、デジタルスイッチなど、存在するほぼすべてのシステムで両方のテクノロジーを採用しています。その理由は明らかです。現在の市場で、消費電力が大きな課題になってきているためです。CMOS と BiCMOS の各デバイスを使用してシステムを設計する場合、これらのファミリの特性と、システム内での入出力の挙動を理解する必要があります。設計者はデータシートの仕様内で設計するだけでなく、メーカーが要求するすべてのルールと制限に従うことが非常に重要です。デバイスの入力動作は詳細に記載されていないため、このアプリケーションレポートでは CMOS および BiCMOS ファミリ全般の入力特性について解説します。また、フローティング入力が問題となるファミリの設計時に生じる問題に対処する方法についても解説します。こうした入力による挙動を理解することで、より堅牢な設計と信頼性の向上を実現できます。

目次

1 低速またはフローティング CMOS 入力の影響.....	3
2 低速の入力エッジレート.....	4
3 より信頼性の高いシステムを設計するための推奨事項.....	6
4 バス制御.....	6
5 プルアップまたはプルダウン抵抗.....	6
6 バスホールド回路.....	8
7 まとめ.....	13
8 改訂履歴.....	13

図の一覧

図 1-1. ABT および LVT/LVC デバイスの入力構造.....	3
図 1-2. 電源電流と入力電圧との関係 (1 つの入力).....	3
図 2-1. 入出力モデル.....	4
図 2-2. 電源電流と入力電圧(36V).....	5
図 2-3. 代表的な双方向バス.....	6
図 5-1. 定義済レベルの非アクティブバスモデル.....	6
図 6-1. 代表的なバスホールド回路.....	8
図 6-2. スタンドアロンのバスホールド回路 (SN74ACT107x).....	8
図 6-3. 上側クランプのダイオード特性 (SN74ACT107x).....	9
図 6-4. 低クランプダイオード特性 (SN74ACT107x).....	9
図 6-5. バスホールド回路を搭載した ABT / LVT と ALVC/LVC ファミリの入力構造.....	10
図 6-6. V _O —出力電圧—V _{BH} バスホールド入力特性.....	10
図 6-7. V _I —入力電圧—V _{BH} バスホールド入力特性.....	10
図 6-8. ドライバおよびレシーバ機能.....	11
図 6-9. ドライバが High から Low へのスイッチングを行ったときのドライバ波形 (レシーバのバスホールド回路のありとなし).....	11
図 6-10. ドライバが Low から High へのスイッチングを行ったときのドライバ波形 (レシーバのバスホールド回路ありとなし).....	11
図 6-11. バスホールド回路電源電流と入力電圧との関係.....	12
図 6-12. さまざまな周波数におけるバスホールド入力電力のプロット.....	12
図 6-13. バスホールドがない場合のさまざまな周波数における入力電力のプロット.....	12

表の一覧

表 1-1. 推奨動作条件.....	4
--------------------	---

表 2-1. 推奨動作温度範囲における電気的特性 (特に注記のない場合).....	5
表 6-1. バスホールド機能を持つデバイス.....	8
表 6-2. データシートのバスホールド最小仕様の例.....	13

商標

Widebus™ and Widebus+™ are trademarks of TI.

すべての商標は、それぞれの所有者に帰属します。

1 低速またはフローティング CMOS 入力の影響

CMOS と BiCMOS 両方のファミリーは CMOS 入力構造を採用しています。この構造は、図 1-1 に示すように、VCC への P チャネルと GND への N チャネルで構成されるインバータです。Low レベル入力の場合、P チャネルトランジスタはオンで N チャネルはオフで、電流は VCC から流れ、ノードは HIGH 状態になります。HIGH レベル入力では、N チャネルトランジスタがオンだと P チャネルがオフになり、電流は GND に流れ、ノードは LOW になります。どちらの場合も、電流は VCC から GND に流れません。ただし、ある状態から別の状態に切り替えるとき、入力はしきい値の領域を超え、N チャネルと P チャネルが同時にオンになり、VCC と GND の間に電流パスを生成します。この電流サージは、入力がしきい値の領域 (0.8V ~ 2V) 内にある時間の長さに応じて損傷を与える可能性があります。電源電流(I_{CC})は入力ごとに数ミリアンペアまで上昇することがあり、ピーク時には約 1.5-V V_I に達することがあります (図 2-1 を参照)。これは、特定のデバイスの推奨動作条件の表に記載されているデータシートが定める入力遷移時間制限内で、スイッチング状態を切り替える場合には問題になりません。表 1-1 に事例を示します。

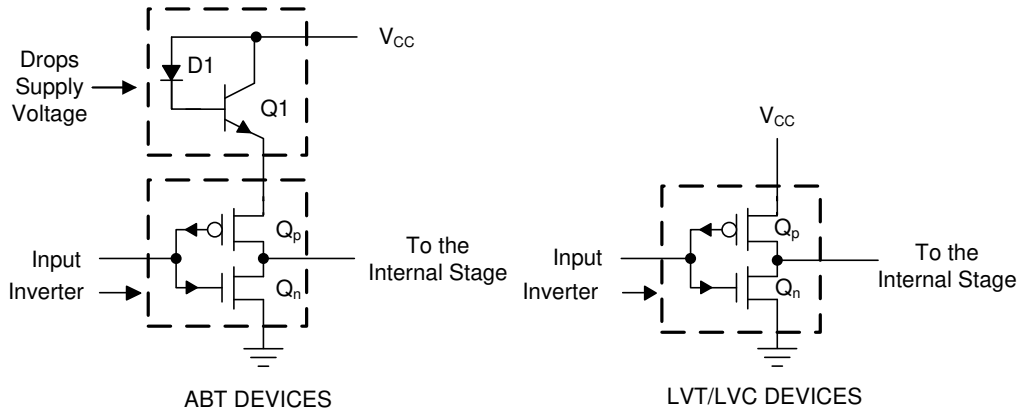
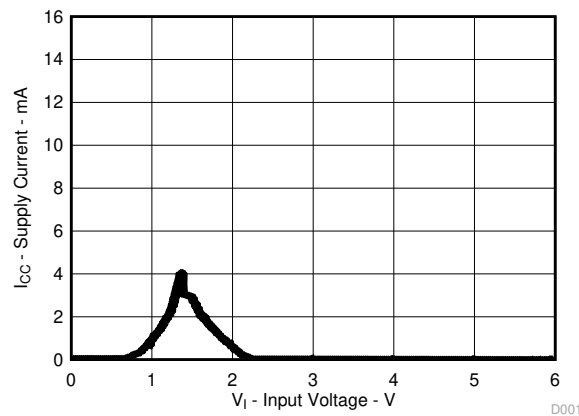


図 1-1. ABT および LVT/LVC デバイスの入力構造



V_{CC} = 5 V

T_A = 25°C

1 つのビットは 0V ~ 6V で駆動されます

図 1-2. 電源電流と入力電圧との関係 (1 つの入力)

表 1-1. 推奨動作条件

データシートに規定されている入力遷移の立ち上がりまたは立ち下がりレート ⁽¹⁾

		最小値	最大値	単位
$\Delta t/\Delta v$	入力遷移の立ち上がりまたは立ち下がりレート			
	ABT オクタル		5	ns/V
	ABT Widebus™ および Widebus+™		10	
	AHC、AHCT		20	
	FB		10	
	LVT、LVC、ALVC、ALVT		10	
	LV		100	
t_t	入力遷移の (立ち上がりと立ち下がり) 時間	LV-A	$V_{CC} = 2.3V \sim 2.7V$	ns
			$V_{CC} = 3V \sim 3.6V$	
			$V_{CC} = 4.5V \sim 5.5V$	
		HC、HCT	$V_{CC} = 2V$	
			$V_{CC} = 4.5V$	
			$V_{CC} = 6V$	

(1) デバイスの仕様については、テキサスインスツルメンツの最新データシートを参照してください。

2 低速の入力エッジレート

速度が上がるにつれて、ロジックデバイスは低速の入力エッジレートに敏感になりました。入力エッジレートが低速だと、出力スイッチのときに電源レールで生成されるノイズが重なると、過剰な出力エラーや発振が発生する可能性があります。同様の状況は、未使用の入力がフローティングのままになっている場合や有効なロジックレベルでアクティブに保持されていない場合に発生する可能性があります。

機能上の問題は、出力負荷電流 (I_O) がスイッチング中に寄生リードインダクタンスを通して流れると、デバイスの電源システムで発生する電圧過渡に起因するものです (図 2-1 を参照)。本デバイスの内部電源ノードは IC 全体で電圧リファレンスとして使用されるため、誘導性の電圧スパイク V_{GND} が、内部のゲート構造に現れる信号経路に影響を及ぼします。たとえば、デバイスのグランドノードに印加される電圧が上昇すると、入力信号 V_I の振幅が減少していくように見えます。この望ましくない現象によって、しきい値違反が発生した場合に出力を誤って変更する可能性があります。

入力エッジがゆっくりと立ち上がり、 GND の電圧の変化が十分大きい場合、本デバイスの見かけ上の信号 V_I がしきい値を超えて逆方向に駆動されたように見え、出力は逆方向にスイッチングを開始します。ワーストケースの条件が優先される場合 (大きな過渡負荷電流とすべての出力を同時にスイッチング)、低速入力エッジがしきい値電圧を超えて繰り返し駆動され、出力は動揺します。したがって、回路やパッケージの損傷を防ぐため、デバイスの最大入力遷移時間に違反しないようにする必要があります。

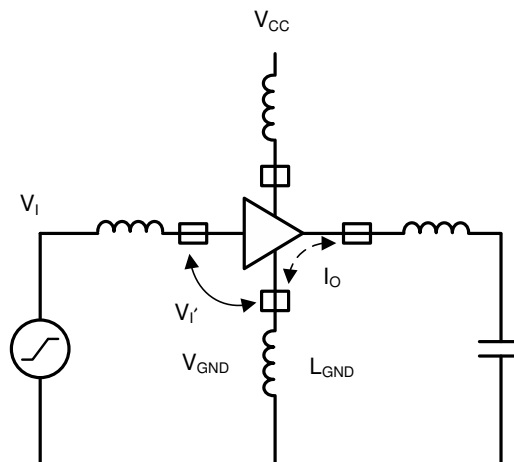


図 2-1. 入出力モデル

入力に 0.8V ~ 2V の電圧を長時間印加すると、この状況は致命的なものとなるので、特にビット数が多く高密度のパッケージ (SSOP、TSSOP) では無視しないでください。たとえば、18 ビットのトランシーバで、しきい値でフローティング (浮遊) している I/O ピンが 36 本ある場合、 V_{CC} からの電流は 150 mA から 200 mA まで上がる可能性があります。これはデバイスによって消費される電力が約 1W になり、深刻な過熱問題につながります。デバイスがこのように連続的に過熱すると、デバイスの信頼性に影響が及びます。また、入力がしきい値の領域内にあるため、出力が動揺する傾向があり、内部回路が長時間にわたって損傷することになります。データシートには、入力が TTL レベルであるときの電源電流 (ΔI_{CC}) の増大が示されています [ABT $V_I = 3.4V$ 、 $\Delta I_{CC} = 1.5$ mA の場合 (表 2-1 を参照)]。この特性は、入力がしきい値の領域内にある場合、図 2-2 に示すとおり、さらに重要になります。

これらの特性は、マイクロプロセッサやメモリを含むすべての CMOS 入力回路で共通です。

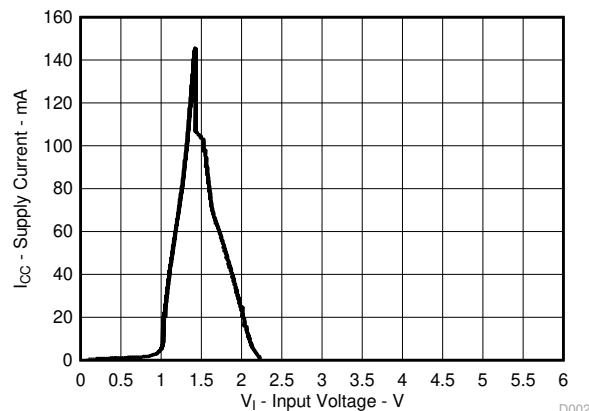
CBT または CBTLV デバイスの場合、制御入力にこれが適用されます。FB および GTL デバイスの場合、これは制御入力と TTL ポートにのみ適用されます。

表 2-1. 推奨動作温度範囲における電氣的特性 (特に注記のない場合)

データシートに記載されている TTL レベルでの入力による電源電流の変化事例 (1)

					最小値	最大値	単位
ΔI_{CC} (2)	ABT、AHCT	$V_{CC} = 5.5V$ 、	3.4V の単一入力、	他の入力は V_{CC} または GND	1.5	mA	
	CBT 制御入力	$V_{CC} = 5.5V$ 、	3.4V の単一入力、	他の入力は V_{CC} または GND	2.5		
ΔI_{CC} (2)	CBTLV 制御入力	$V_{CC} = 3.6V$ 、	3V の単一入力、	他の入力は V_{CC} または GND	750	μA	
ΔI_{CC} (2)	LVC	$V_{CC} = 3V \sim 36V$	1 つの入力は $V_{CC} - 0.6V$ 、	他の入力は V_{CC} または GND	0.2	mA	
	LVC、ALVC、LV				0.5		

- (1) デバイスの仕様については、テキサスインスツルメンツの最新データシートを参照してください。
(2) これは、0V や V_{GND} ではなく、規定の TTL 電圧レベルのいずれかにおける各入力の電源電流の増加量です。



$V_{CC} = 5V$

$T_A = 25^\circ C$

36 ビットすべては 0V ~ 6V で駆動されます

図 2-2. 電源電流と入力電圧(36V)

ドライバが伝送経路またはバスでアクティブである限り、レシーバの入力は常に有効な状態になります。立ち上がりおよび立ち下がり時間がデータシートの制限範囲内である限り、入力仕様に違反することはありません。ただし、ドライバが高インピーダンス状態になると、レシーバの入力は定義されたレベルではなく、フローティングになる傾向があります。複数のトランシーバが同じバスを共有すると、この状況は悪化する可能性があります。図 2-3 は代表的なバスシステムの例です。すべてのトランシーバが非アクティブのとき、バスラインのレベルは未定義です。バス上の各コンポーネントのリーク電流によって決まる電圧に達した場合、その状態をフローティング状態と呼びます。その結果、消費電力が大幅に増加し、バス上のすべてのコンポーネントが損傷する危険性があります。入力または I/O ピンを使用していないとき、またはそれらを駆動する部分が高インピーダンス状態にあるときは、有効なロジックレベルに保持することをお勧めします。

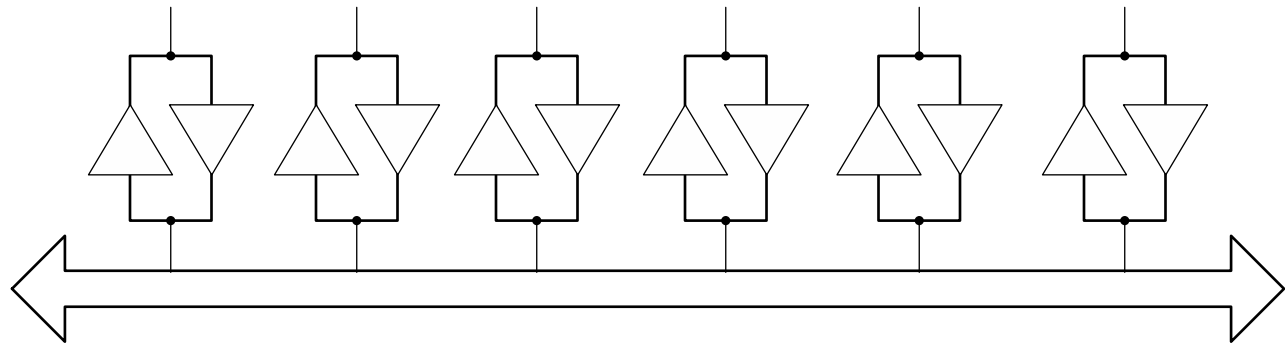


図 2-3. 代表的な双方向バス

3 より信頼性の高いシステムを設計するための推奨事項

4 バス制御

バスシステムでフローティング入力を回避する最も簡単な方法は、電圧の蓄積が V_{IL} の仕様最大値 (TTL 互換入力では 0.8V) を超えない限り、バスを常時アクティブまたは非アクティブのいずれかにすることです。この電圧では、対応する I_{CC} 値が十分に低いので、デバイスは問題なく動作します (図 1-2 および図 2-1 を参照)。

コンポーネント部品の損傷を防止するため、バスが浮遊電位になる最大時間を把握しておく必要があります。まず、最大リーク電流が $I_{OZ} = 50\text{mA}$ で、合計容量 (I/O およびライン容量) が $C = 20\text{pF}$ であると仮定すると、0.8-V レベルを超える非アクティブラインの時間に対する電圧の変化は、式 1 に示すように計算できます。

$$\Delta V / \Delta t = \frac{I_{OZ}}{C} = \frac{50 \mu\text{A}}{20 \text{ pF}} = 2.5 \text{ V} / \mu\text{s} \quad (1)$$

この例では、バスで許容される浮遊電位の時間を最大 320ns に低減し、バスが指定された 0.8-V レベルを超えないようにする必要があります。複数のコンポーネント部品が関与しても時定数は変化しません。これらの部品のリーク電流と静電容量が合計されるからです。

この方法の利点は、特別なコンポーネント部品を追加するための追加コストが不要であることです。残念ながら、バスが常にアクティブではないため、この方法は必ず適用できるとは限りません。

5 プルアップまたはプルダウン抵抗

バスが最大許容時間を超えて無効になっている場合は、コンポーネントの損傷や過熱を防ぐために、他の方法を使用する必要があります。バスを定義された状態に維持するには、それぞれ V_{CC} または GND にプルアップ抵抗またはプルダウン抵抗を使用する必要があります。抵抗のサイズは重要な役割を果たし、その抵抗が適切に選択されていない場合は問題が発生する可能性があります。通常は、1-k Ω ~ 10-k Ω の抵抗が推奨されます。プルアップ抵抗またはプルダウン抵抗を選択するときは、最大入力遷移時間を守ってください (表 1-1 を参照)。そうしないと、コンポーネント部品が振動し、デバイスの信頼性に影響を及ぼす可能性があります。

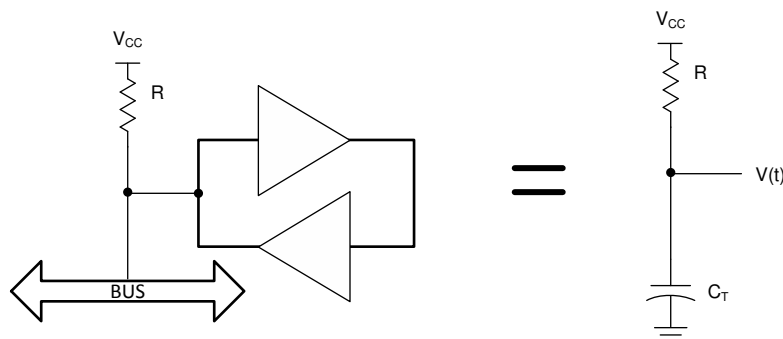


図 5-1. 定義済レベルの非アクティブバスモデル

図 5-1 でモデル化されたように、アクティブ Low バスが高インピーダンス状態になると仮定します。 C_T はデバイスとバスライン容量の和、 R は V_{CC} に対するプルアップ抵抗です。必要な抵抗の値は、式 2 に示すように計算できます。

$$V(t) = V_{CC} - \left(e^{-t/RC_T} (V_{CC} - V_i) \right) \quad (2)$$

ここで、

- $V(t) = 2\text{ V}$ 、時間 t での最小電圧
- $V_i = 0.5\text{ V}$ 、初期電圧
- $V_{CC} = 5\text{ V}$
- C_T = 端子間総容量
- R = プルアップ抵抗
- T = データシートに規定されている最大入力立ち上がり時間 (表 1-1 を参照)。

R について解くと、次の式が得られます。

$$R = \frac{t}{0.4 \times C_T} \quad (3)$$

バス上に複数のトランシーバがある場合：

$$R = \frac{t}{0.4 \times C \times N} \quad (4)$$

ここで、

- C = 個々のコンポーネント部品と静電容量
- N = バスに接続されているコンポーネント部品の数

バスに接続されている 2 つのコンポーネント部品 (それぞれ容量 $C = 15\text{ pF}$) があり、入力 (2V) には最大立ち上がり時間 10 ns/V および $t = 15\text{ ns}$ の合計立ち上がり時間が必要と仮定すると、抵抗の最大サイズは式 5 で計算できます。

$$R = \frac{15\text{ ns}}{0.4 \times 15\text{ pF} \times 2} = 1.25\text{ k}\Omega \quad (5)$$

このプルアップ抵抗方式は AC 電源のシステムで推奨されますが、バッテリー動作の機器には消費電力が重要なため推奨されません。代わりに、次のセクションで解説するバスホールド機能を使用します。プルアップ抵抗を使用する全体的な利点は、抵抗もバス終端として機能することができるので、バスがフローティングのときに定義されたレベルを確保して、ライン反射の一部を除去できることです。

6 バスホールド回路

フローティングバスに対して定義済みのレベルを提供する最も効果的な方法は、選択したファミリがテキサスインスツルメンツ (TI™) のバスホールド機能を内蔵している部品か、または [SN74ACT1071](#) や [SN74ACT1073](#) のような外部コンポーネントを使用することです (を参照 [表 6-1](#))。

表 6-1. バスホールド機能を持つデバイス

デバイス タイプ	内蔵バスホールド
SN74ACT1071	クランプダイオード付きの 10 ビット・バスホールド
SN74ACT1073	クランプダイオード付きの 16 ビット・バスホールド
ABT Widebus+ (32 および 36 ビット)	すべてのデバイス
ABT Octals と Widebus	選択したデバイスのみ
AHC/AHCT Widebus	TBA (選択したデバイスのみ)
低電圧 (LVT および ALVC)	すべてのデバイス
LVC Widebus	すべてのデバイス

一部の TI ファミリではバスホールド回路を使用して、フローティング入力の問題を解決し、プルアップ抵抗およびプルダウン抵抗が不要になっています。バスホールド回路は 2 つの双方向インバータで構成され、出力は抵抗経由で入力にフィードバックされます ([図 6-1](#) を参照)。バスホールド回路の動作方法を理解するため、アクティブドライバがラインをハイレベルに切り替えたと仮定します。この場合、帰還回路に電流は流れません。これでドライバが **HIGH** インピーダンス状態になり、バスホールド回路が帰還抵抗を通じて **High** レベルを保持します。バスホールド回路の電流要件は、回路のリーク電流でのみ決まります。同じ条件は、バスが **Low** 状態のときに適用され、その後非アクティブになります。

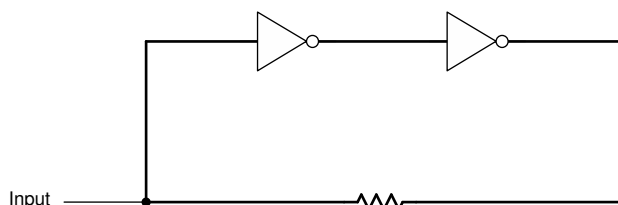


図 6-1. 代表的なバスホールド回路

このセクションで説明したように、テキサスインスツルメンツは、 V_{CC} および **GND** にクランプダイオードを備えたスタンダードアロンの 10 ビットおよび 16 ビットデバイス ([SN74ACT1071](#) および [SN74ACT1073](#)) としてのバスホールド機能を提供しており、バス上のインピーダンスの不一致に起因するライン反射からの保護を強化します。**CMOS** 回路には純粋な抵抗を簡単に実装できないため、伝送ゲートと呼ばれる構成を帰還素子として使用します ([図 6-2](#) を参照)。**N** チャネルと **P** チャネルは、バッファ段の入力と出力との間に並列に配置されます。**N** チャネルトランジスタのゲートは V_{CC} に接続され、**P** チャネルのゲートは **GND** に接続されます。バッファの出力が **HIGH** のとき **P** チャネルはオンで、出力が **LOW** のとき **N** チャネルはオンです。どちらのチャネルも表面積は比較的小さくなっています。ドレインからソースへのオン抵抗 $R_{DS(on)}$ は、約 $5k\Omega$ です。

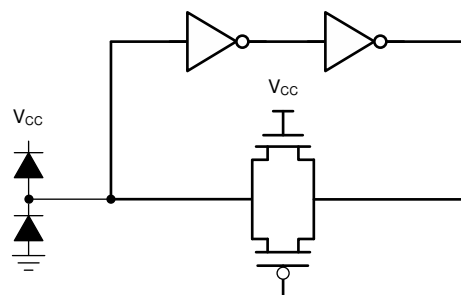


図 6-2. スタンダードアロンのバスホールド回路 (SN74ACT107x)

実用的なアプリケーションでは、バス上のドライバのリーク電流が $I_{OZ} = 10 \text{ mA}$ であり、 $5\text{-k}\Omega$ 抵抗の両端での電圧降下は $V_D = 0.8\text{V}$ であると仮定します(この値は、定義されたロジックレベルを保証するためのものと想定)。次に、バスホールド回路が処理できるコンポーネント部品の最大数は、式 6 で計算されます。

$$N = \frac{V_D}{I_{OZ} \times R} = \frac{0.8 \text{ V}}{10 \mu\text{A} \times 5 \text{ k}\Omega} = 16 \text{ components} \quad (6)$$

74ACT1071 および **74ACT1073** は、バスホールド回路への追加機能としてクランプダイオードも搭載しています。これらのダイオードは、ライン反射によって発生するオーバーシュートまたはアンダーシュートをクランプするのに役立ちます。[図 6-3](#) および [図 6-4](#) は、入力電圧が V_{CC} を上回っている場合、または **GND** を下回っている場合のダイオードの特性を示しています。 $V_I = -1\text{V}$ のとき、ダイオードは 50mA の電流を供給でき、アンダーシュートを除去するのに役立ちます。これは、ノイズの多いバスが問題である場合に非常に役立ちます。

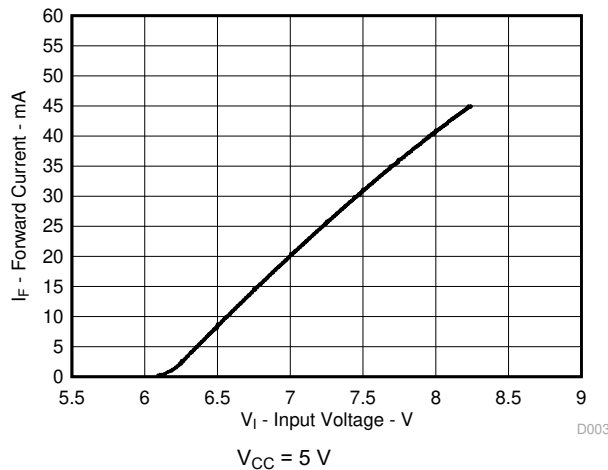


図 6-3. 上側クランプのダイオード特性 (SN74ACT107x)

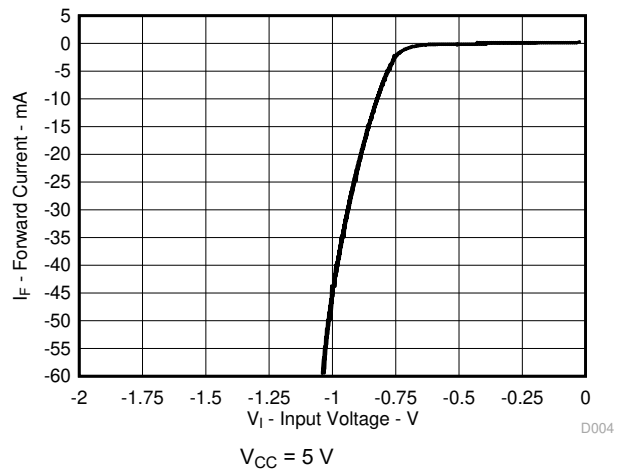


図 6-4. 低クランプダイオード特性 (SN74ACT107x)

TI は、一部の高度なファミリドライバおよびレシーバに追加する機能として、バスホールド回路も提供しています。この回路はスタンドアロン回路と似ていますが、2 番目のインバータのドレインにダイオードを追加します ([ABT](#) および [LVT](#) のみ、[図 6-5](#) を参照)。ダイオードは、入力電圧が V_{CC} ($V_I > V_{CC}$) より高いときのオーバーシュート電流をブロックするため、リーク電流だけが存在します。この回路は、デバイスの入力段を 1 番目のインバータとして使用し、2 番目のインバータがフィードバック機能を生成します。バスホールド回路が処理できるコンポーネント部品の最大数の計算は、前の例と同様です。ただし、この回路をスタンドアロンのバスホールド回路と比較した場合の利点は、基板上のより多くの面積を占有する外付けの部品や抵抗が不要になることです。特にワイドバスを使用する場合、一部の設計ではこのことが重要になります。また、コストと基板寸法の制約が大きな問題となるため、設計者は修理の簡便性を好みます。つまり、直接差し替え可能な部品です。TI は、複数のファミリで一般的に使用される機能のほとんどでこの機能を提供しています (詳細については [表 6-1](#) を参照)。

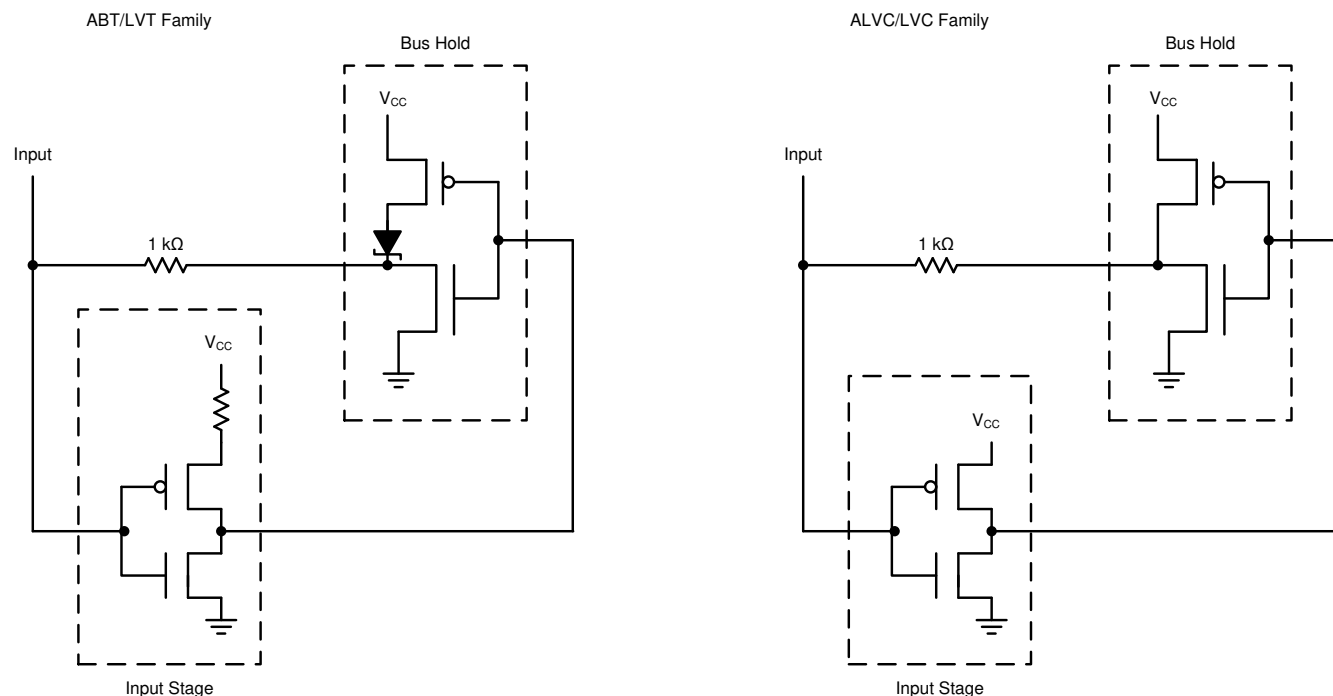


図 6-5. バスホールド回路を搭載した ABT / LVT と ALVC/LVC ファミリの入力構造

図 6-6 と図 6-7 は、入力電圧が 0 ～ 5V の範囲で掃引されているので、3.3-V および 5-V 動作におけるバスホールド回路の入力特性を示します。これらの特性は、弱いドライバと似ています。このドライバは入力が高いときにデバイスに電流をシンクし、入力が高いときにデバイスから電流を供給します。電圧がしきい値に近いとき、回路は常に入力を有効なレベルに維持しながら、他の状態への切り替えを試みます。これは、内部フィードバック回路の効果です。また、入力がしきい値に近いとき、電流が最大になることも示しています。 $I_{I(\text{hold})}$ の最大値は、3.3-V 入力では約 25mA、5-V 入力では 400mA です。

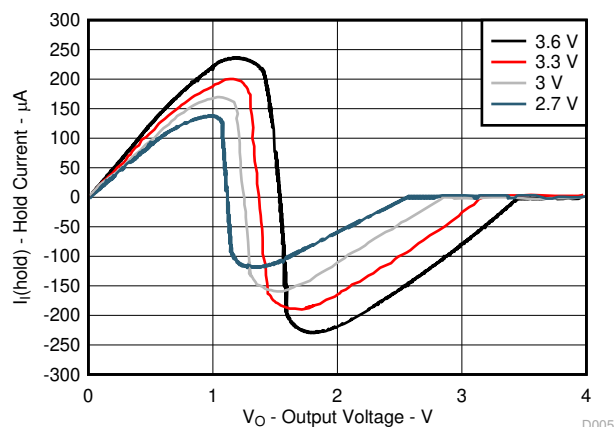


図 6-6. V_O —出力電圧—V バスホールド入力特性

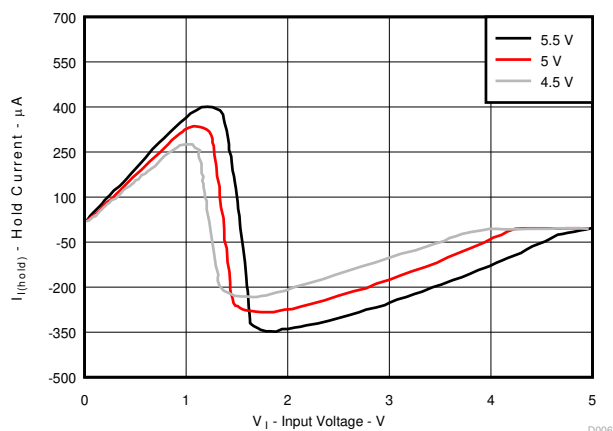


図 6-7. V_I —入力電圧—V バスホールド入力特性

バスホールド回路を備えた複数のデバイスが単一のドライバで駆動される場合、ドライバの AC スイッチング能力が弱くなる懸念が生じる可能性があります。小型ドライバなので、バスホールド回路はスイッチングのために AC 電流を必要とします。TI の CMOS および BiCMOS ファミリを使用している場合、この電流は重要ではありません。図 6-8 に、6 つの LVTH16244 デバイスを駆動する 4-mA バッファを示します。このトレースは 75Ω の伝送経路です。レシーバは 1cm 離れており、ドライバはトレースの中央に配置されています。図 6-9 および図 6-10 は、6 つのレシーバを Low または High に切り替えたときのドライバに対するバスホールドの負荷効果を示しています。図 6-9 および図 6-10 は、同じシステムのバスホールド回路がレシーバから切断された状態を示しています。どちらのプロットも、ドライバの立ち上がり時間と立ち下がり時間に対するバスホールドの影響を示しています。当初、バスホールド回路はドライバを打ち消そうとするため、立ち上がりまたは立ち下がり時間が長くなります。その後、バスホールド回路の状態が変化し(クロスオーバーポイントに注意)、ドライバの切り替えを高速化し、立ち上がりまたは立ち下がり時間の短縮に寄与します。

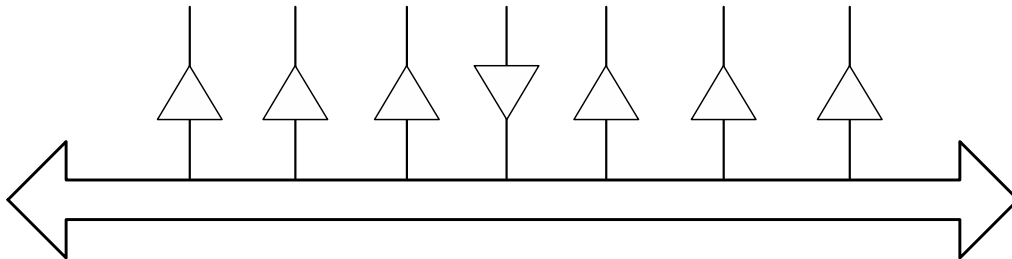


図 6-8. ドライバおよびレシーバ機能

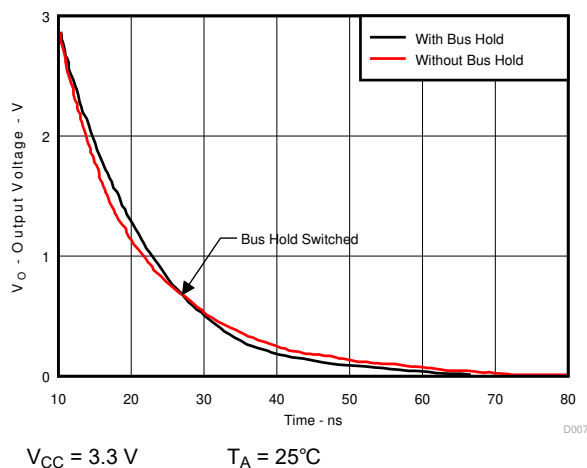


図 6-9. ドライバが High から Low へのスイッチングを行ったときのドライバ波形(レシーバのバスホールド回路のありとなし)

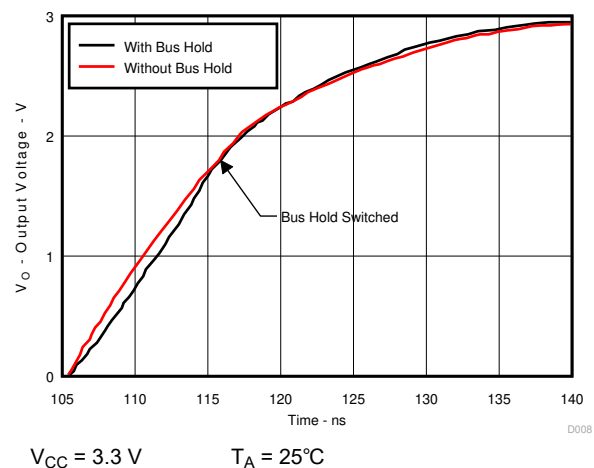
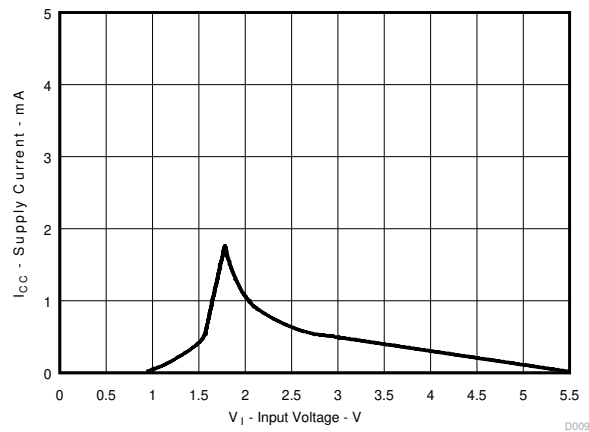


図 6-10. ドライバが Low から High へのスイッチングを行ったときのドライバ波形(レシーバのバスホールド回路のありとなし)

図 6-11 に、入力を 0 ~ 5V の範囲で掃引したときのバスホールド回路の電源電流(I_{CC})を示します。約 1.5-V V_I のスパイクは、N チャネルと P チャネルの両方が同時に導通していることに起因しています。これは CMOS トランジスタの特性の 1 つです。



$V_{CC} = 5\text{ V}$

図 6-11. バスホールド回路電源電流と入力電圧との関係

より高い周波数で入力をスイッチングすると、バスホールド回路の消費電力は最小限に抑えられます。図 6-12 バスホールドありなしでの、さまざまな周波数で入力したときの消費電力を、図 6-13 に示します。高い周波数によるバスホールド回路の消費電力の増加は、電力計算で考慮するほどの大きさにはなりません。

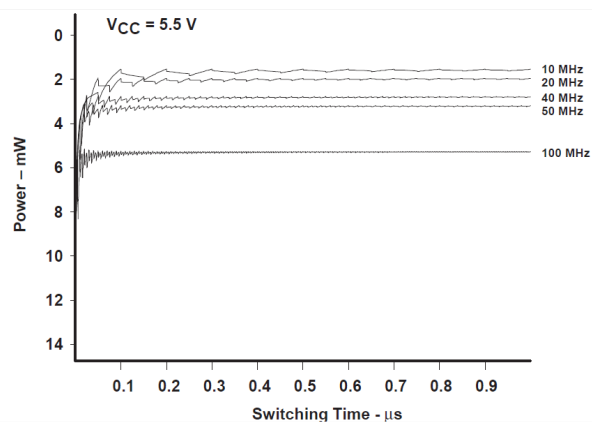


図 6-12. さまざまな周波数におけるバスホールド入力電力のプロット

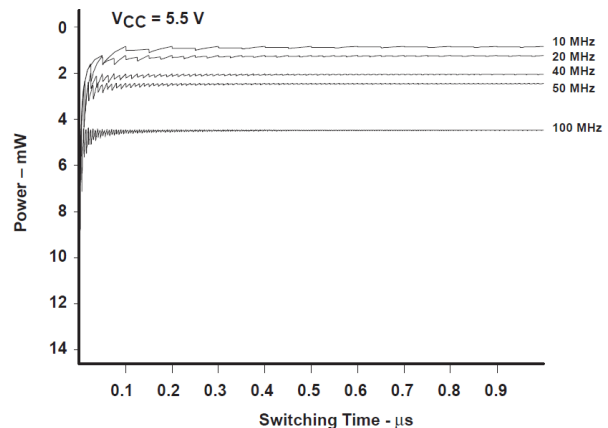


図 6-13. バスホールドがない場合のさまざまな周波数における入力電力のプロット

表 6-2 に、バスホールドのデータシートの DC 仕様を示します。最初のテスト条件は、バスを 0.8V または 2V に保持するために必要な最小電流です。これらの電圧は、TTL 入力規定された Low および High レベルを満たしています。2 番目のテスト条件は、0V ~ 3.6V (低電圧ファミリの場合) または 0V ~ 5.5V (ABT の場合) の任意の入力電圧で、バスホールド回路がソースまたはシンクする最大電流です。入力電圧がレール電圧に近づく、バスホールド電流は最小限に抑えられます。バスホールド付きのトランシーバでは、出力リーク電流 I_{OZH} と I_{OZL} は重要ではありません。バスホールド回路の存在により真のリークテストを実行できないためです。バスホールド回路は小型のドライバとして動作するため、リーク電流とは逆方向になる電流をソースまたはシンクする傾向があります。この状況は、バスホールド機能を備えたトランシーバにのみ当てはまり、バッファには適用されません。すべての LVT、ABT Widebus+、選択された ABT オクタールおよび Widebus デバイスには、バスホールド機能が備わっています (詳細については最寄りのテキサスインスツルメンツ販売代理店にお問い合わせください)。表 6-1

表 6-2. データシートのバスホールド最小仕様の例

自由空気での推奨動作温度範囲における電気特性 (特に注記のない場合) ⁽¹⁾

					最小値	最大値	単位
$I_{I(\text{hold})}$	データ入力または I/O	LVT、LVC、ALVC	$V_{CC} = 3\text{ V}$	$V_I = 0.8\text{ V}$	75		μA
				$V_I = 2\text{ V}$	-75		
		LVC、ALVC	$V_{CC} = 3.6\text{ V}$	$V_I = 0 \sim 3.6\text{ V}$		± 500	
		ABT Widebus+ および選択した ABT	$V_{CC} = 4.5\text{ V}$	$V_I = 0.8\text{ V}$	100		
				$V_I = 2\text{ V}$	-100		
I_{OZH}/I_{OZL}	バスホールド機能を搭載したトランシーバ	ABT	バスホールドは常に I/O ピンでアクティブなので、このテストは真の I_{OZ} テストとはなりません。バスホールドは、出力リーク電流とは逆方向の電流を供給する傾向があります。			± 1	μA
		LVT、LVC、ALVC					
	バスホールド付きのパッパ	ABT	出力ピンにはバスホールドが存在しないため、このテストは真の I_{OZ} テストとなります。			± 10	
		LVT、LVC、ALVC				± 5	

(1) デバイスの仕様については、テキサスインスツルメンツの最新データシートを参照してください。

7 まとめ

CMOS や高度な BiCMOS ファミリを使用した設計を行う際には、フローティング入力と低速の立ち上がり/立ち下がり時間が重要な問題となります。フローティング入力に関連する複雑性を理解することが重要です。信頼性の高いシステムを実現するうえで、バスの適切な終端が重要な役割を果たします。このアプリケーションレポートで推奨する 3 つの方法を検討する必要があります。バスを直接制御できず、消費電力と基板面積が制限されるため、プルアップ抵抗またはプルダウン抵抗の追加が現実的ではない場合、バスホールドが最適解です。TI が設計したバスホールドは、バス設計で使用する抵抗の必要性を低減し、基板上の部品点数を減らすことで、システム全体の信頼性を向上させます。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (September 2016) to Revision E (December 2020)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	3
データシートのバス最小仕様の例に関する図の形式を更新.....	8

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated