

ドライバの統合による GaN性能の最適化



Yong Xie
IC設計エンジニア

Paul Brohlin
設計およびシステム・マネージャ

GaNおよびNextチーム
高電圧パワー・ソリューション
テキサス・インスツルメンツ

GaN FETとドライバの統合によるスイッチング性能の向上と GaNを用いたパワーステージ・デザインの簡素化

窒化ガリウム (GaN) トランジスタは、シリコン MOSFET よりもはるかに高速でのスイッチングが可能であるため、スイッチング損失を小さくすることができます。しかし、スルーレートが高いときには、パッケージの種類によって GaN FET のスイッチング性能が制限される場合があります。GaN FET 用のドライバを GaN FET と同じパッケージに内蔵すれば、寄生インダクタンスが減少し、スイッチング性能が最適化されます。また、ドライバを内蔵することにより、保護機能の実装も可能になります。

概要

窒化ガリウム (GaN) トランジスタは、シリコン MOSFET と比較すると、同じオン抵抗に対して端子容量が低く、また逆方向回復損失を伴うボディ・ダイオードを持たないため、よりスイッチング性能が優れています。これらの特長により、GaN FET はより高い周波数でスイッチングできるため、スイッチング損失を妥当な値に抑えながら、電力密度と過渡特性を向上させることが可能です。

GaN デバイスは従来、ディスクリート・デバイスとしてパッケージングされ、別個のドライバで駆動されてきました。これは、GaN デバイスとドライバが異なるプロセス技術

によって製造されており、製造元も異なる場合が多いためです。各パッケージにはそれぞれボンド・ワイヤやリードがあり、**図 1a** に示すような寄生インダクタンスを伴います。数十～数百 V/ns の高いスルーレートでスイッチングを行うと、これらの寄生インダクタンスによってスイッチング損失、リングング、および信頼性の問題が発生する場合があります。

GaN トランジスタとそのドライバを同じパッケージに内蔵すると (**図 1b**)、コモン・ソース・インダクタンスが取り除かれ、ドライバ出力と GaN ゲートの間のインダクタンスが大きく減少するほか、ドライバのグランド配線でのインダクタンスも減少します。このホワイト・ペーパーでは、

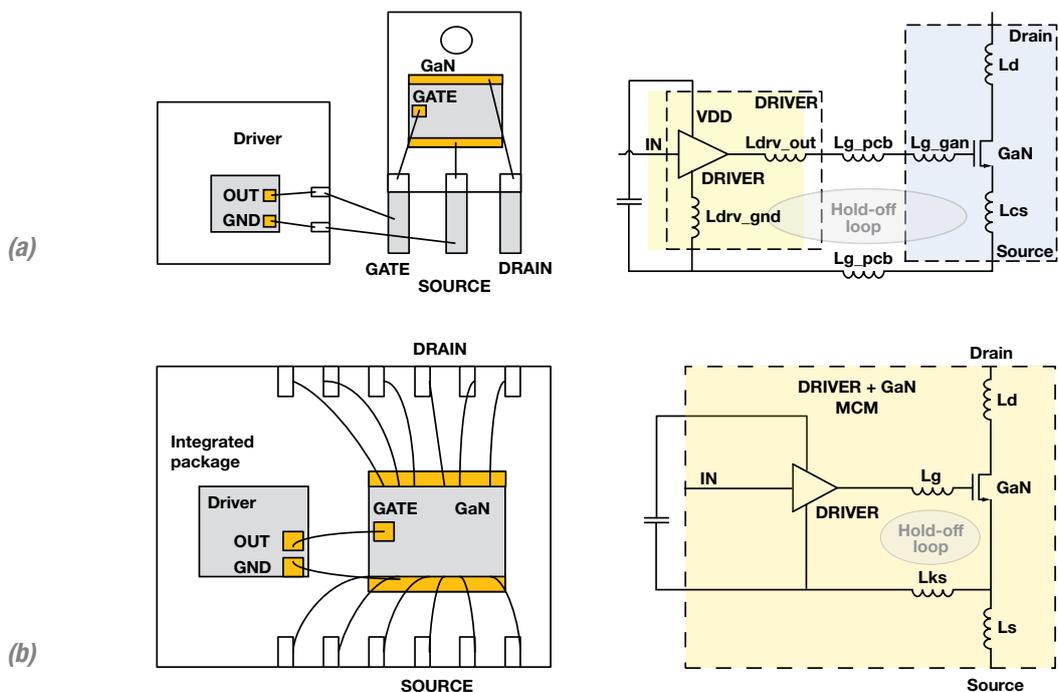


図 1. GaN デバイスを別パッケージのドライバで駆動した場合 (a) と、GaN/ドライバ統合パッケージの場合 (b)

パッケージの寄生容量によって生じる問題や制限について精査します。パッケージの統合によってこれらの寄生成分を最適化すれば、寄生に関連した問題が軽減され、100V/ns を超えるスルーレートでも優れたスイッチング性能を実現できます。

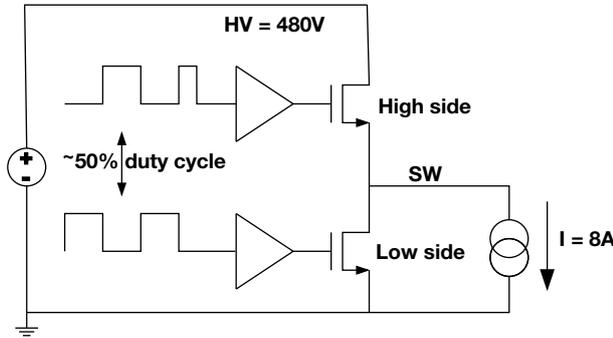


図 2. シミュレーション用ハーフブリッジ回路の概略図

シミュレーションの設定

寄生インダクタンスの影響をシミュレートするために、ノーマリーオン GaN ハーフブリッジ・パワーステージを直接駆動構成で用いました(図 2)。このハーフブリッジを、バス電圧 480V、デューティ・サイクル 50%、デッドタイム 50ns (出力電圧 [VOUT] = 240V)、インダクタ電流 8A の降圧コンバータとして構成しました。GaN のゲートは、オン電圧レベルとオフ電圧レベルの間で直接駆動されます。抵抗性駆動によって、GaN デバイスのターンオン・スルーレートが設定されます。電流源を使用することで、連続導通モードのバック・コンバータでスイッチ (SW) ノードに接続される誘導性負荷をエミュレートしています。

コモン・ソース・インダクタンス

高速スイッチング時に最も重要となる寄生要素の 1 つがコモン・ソース・インダクタンス (図 1a の Lcs) であり、これによってデバイスのドレイン電流のスルーレートが制限されます。従来の TO-220 パッケージでは、GaN のソースがボンド・ワイヤを経由して 1 本のリードに接続され、

このリードにはドレイン電流とゲート電流の両方が流れます。このコモン・ソース・インダクタンスにより、ドレイン電流の変化に伴ってゲート・ソース間電圧が変調されます。このコモン・ソース・インダクタンス (ボンド・ワイヤとパッケージ・リードを含む) は、10nH を超える場合があります、これはスルーレート (di/dt) の制限およびスイッチング損失の増加につながります。

図 1b に示される統合パッケージでは、ドライバのグラウンドが GaN FET のソース・パッドにワイヤ・ボンディングされています。このケルビン・ソース接続によって、パワー・ループとゲート・ループの間で共有されるコモン・ソースの誘導性パスが最小化され、デバイスはずっと高い電流スルーレートでスイッチングできるようになります。ディスプレイ・パッケージにケルビン・ソース・ピンを追加することもできますが、ピンを追加すると非標準のパワー・パッケージになってしまいます。また、ケルビン・ソース・ピンはプリント基板 (PCB) 上でドライバ・パッケージに戻るよう配線する必要があります、それによってゲート・ループ・インダクタンスが増加します。

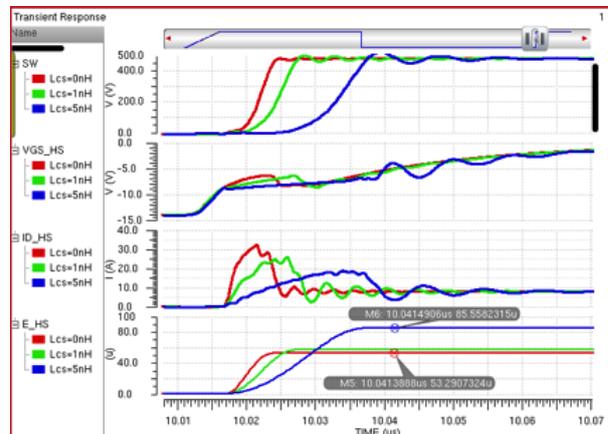


図 3. 異なるコモン・ソース・インダクタンスでのハイサイドのターンオン波形: 赤 = 0nH、緑 = 1nH、青 = 5nH。E_HS は、ハイサイド・デバイスの VDS と IDS の時間積分 (エネルギー消費)。

図 3 に、ハイサイド・スイッチがオンになるときのハード・スイッチング波形を示します。コモン・ソース・インダクタンスが 5nH のときは、ソースの負帰還効果によって、スルーレートが半分になります。スルーレートが低いと、遷移時間が長くなるため、エネルギー消費領域に示されるクロス導通損失が増加します。コモン・ソース・インダ

クタンスが 0nH と 5nH の場合を比較すると、エネルギー損失は 53μJ から 85μJ へと 60%増加します。スイッチング周波数を 100kHz と仮定すると、電力損失は 5.3W から 8.5W に増加します。

ゲート・ループ・インダクタンス

ゲート・ループ・インダクタンスには、ゲート・インダクタンスとドライバのグラウンド・インダクタンスの両方が含まれています。ゲート・インダクタンスは、ドライバ出力と GaN ゲート間のインダクタンスです。GaN とドライバを別パッケージで構成した場合は、**図 1a** に示すとおり、ゲート・インダクタンスにはドライバ出力ボンド・ワイヤ (Ldrv_out)、GaN ゲート・ボンド・ワイヤ (Lg_gan)、PCB パターン (Lg_pcb) のインダクタンスがそれぞれ含まれます。

パッケージのサイズに応じて、ゲート・インダクタンスは、コンパクトな表面実装パッケージ (QFN など) での数 nH から、リード付きパワー・パッケージ (TO-220 など) での 10nH 以上にまでに及びます。ドライバを GaN FET とともに同じリードフレーム上に内蔵した場合 (**図 1b**) は、GaN ゲートがドライバ出力に直接ボンディングされるため、ゲート・インダクタンスを 1nH 以下まで低減できます。また、パッケージの統合により、ドライバのグラウンド・インダクタンスも大きく減少します (**図 1a** の Ldrv_gnd + Ls_pcb から **図 1b** の Lks へ)。

ゲート・ループ・インダクタンスの減少は、スイッチング性能に大きな影響を与えます。特に、GaN ゲートが抵抗でプルダウンされている場合のターンオフ時に大きな効果が見られます。スイッチング中にドレインが High になったときにデバイスが再度オンにならないように、抵抗は十分に低くする必要があります。この抵抗は、GaN デバイスのゲート - ソース間容量およびゲート・ループ・インダクタンスとともに、インダクタ - 抵抗 - コンデンサ (L-R-C) タンクを形成します。Q 係数は**式 1**のように表されます。

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}} \quad (1)$$

ゲート・ループ・インダクタンスが大きいほど、Q 係数が増加し、リングングが大きくなります。この効果は、1Ω のプルダウン抵抗を使用してローサイド GaN FET をオフにすることでシミュレートでき、**図 4** の 9.97 μs 付近に現れています。ここでは、ゲート・ループ・インダクタンスを 2nH から 10nH まで変化させています。10nH の場合は、ローサイドの VGS が負のゲート・バイアスよりも下に 12V リングングします。その結果、GaN トランジスタのゲートにかかるストレスが増加します。一般に、FET のゲートにストレスがかかりすぎると、信頼性の問題につながります。

また、ゲート・ループ・インダクタンスは、オフ保持能力にも大きく影響します。ローサイド・デバイスのゲートをターンオフ電圧に保持し、ハイサイド・デバイスをオンにすると、ローサイドのドレイン - ゲート間容量によって、ゲートのオフ保持ループに大きな電流がソースされます。この電流はゲート・ループ・インダクタンスを通してゲートを押し上げます。**図 4** の 10.02 μs 付近に、この事象が示されています。ゲート・ループ・インダクタンスが増加すると、ローサイド VGS が上昇するため、貫通電流が増加し、これはハイサイドのドレイン電流プロット (ID_HS) に示されています。この貫通電流により、クロス導通エネルギー損失 (E_HS) が 53μJ から 67μJ に増加します。

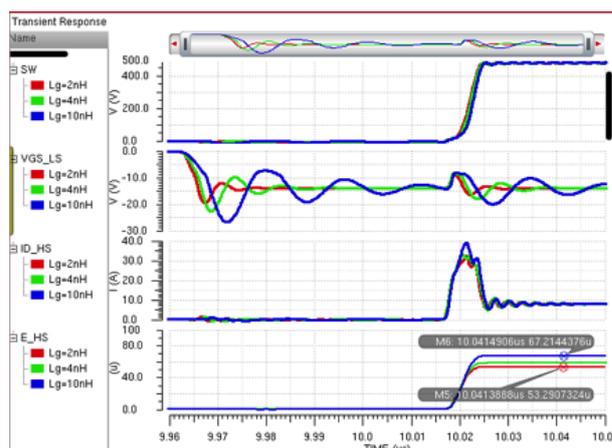


図 4. 異なるゲート・ループ・インダクタンスでのローサイドのターンオフ波形とハイサイドのターンオン波形：赤 = 2nH、緑 = 4nH、青 = 10nH。E_HS はハイサイドのエネルギー消費。

ストレスを軽減する方法の1つは、プルダウン抵抗を大きくして、式(1)に基づくL-R-CタンクのQ係数を小さくすることです。図5は、10nHのゲート・ループ・インダクタンスについて、プルダウン抵抗(Rpd)を1Ωから3Ωまで変化させたときのシミュレーション結果を示しています。プルダウン抵抗が3Ωのとき、ゲートのアンダーシュートは負バイアス以下数ボルト以内に収まっていますが、オフ保持性能の低下により、貫通電流が増加しています。これは、ドレイン電流のプロットを見ると明らかです。

E_HS エネルギーのプロットでは、各スイッチング・サイクルで13μJの損失が追加で生じています。2nHのゲート・ループ・インダクタンスでプルダウン抵抗が1Ωの場合(図4)と比較すると、53μJから約60パーセント増加しています。

スイッチング周波数を100kHzと仮定すると、ハイサイドデバイスでの電力損失は5.3Wから8Wに増加しています。これは、高いゲート・ループ・インダクタンスと高いプルダウン抵抗の両方によって生じる貫通電流が原因です。この追加の電力損失によって、パワー・デバイスでの放熱管理が非常に難しくなる場合があり、パッケージと冷却のコストが増加します。

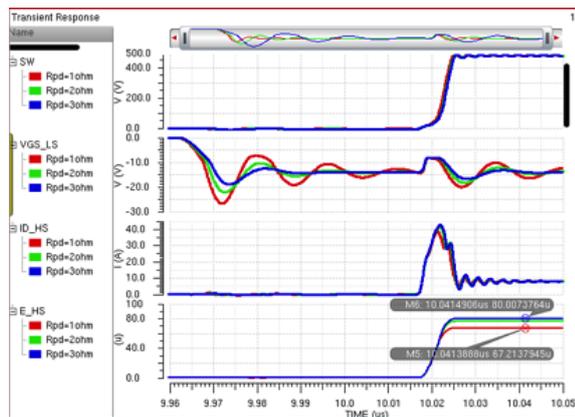


図5. 10nHのゲート・ループ・インダクタンスによるシミュレーション。プルダウン抵抗(Rpd)は赤=1Ω、緑=2Ω、青=3Ω。E_HSはハイサイドのエネルギー消費。

貫通電流を低減するためにゲートをより高い負電圧にバイアスすることも可能ですが、その場合、ゲートのストレスが増加し、デバイスが第3象限にあるときのデッドタイム損失も増えます。したがって、ゲート・ループ・インダクタンスが高いときには、ゲートのストレスとデバイスのオフ保持能力との間で、トレードオフの調整が難しくなります。ゲートのストレスを増加させるか、またはハーブリッジの貫通電流を許容するかを選ぶ必要がありますが、クロス導通損失と電源ループのリンギングが増加し、安全動作領域(SOA)の問題も生じる可能性があります。統合GaN/ドライバ・パッケージを使用すると、ゲート・ループ・インダクタンスが低くなり、ゲートのストレスと貫通電流のリスクがともに最小限に抑えられます。

GaN デバイスの保護

GaNトランジスタと同じリードフレーム上にドライバを実装すると、リードフレームが優れた熱伝導体として働くため、両者の温度が近い値になります。熱センシングと過熱保護をドライバに組み込むことで、検出された温度が保護制限を超えた場合に、GaN FETをシャットダウンすることができます。

直列のMOSFETまたは並列のGaNセンスFETを使用して、過電流保護を実装できます。どちらを使用する場合も、GaNデバイスとドライバとの間に低インダクタンスの接続が必要です。通常、GaNは大きなdi/dtによって非常に高速でスイッチングされるため、相互接続に余分なインダクタンスがあるとリンギングの原因となります。その場合、電流保護が誤作動しないように、長いブランキング時間が必要となります。ドライバを内蔵することで、センシング回路とGaN FETの間の誘導性接続が最小限に抑えられ、電流保護回路はデバイスを過電流ストレスから保護するために可能な限り最速で応答できます。

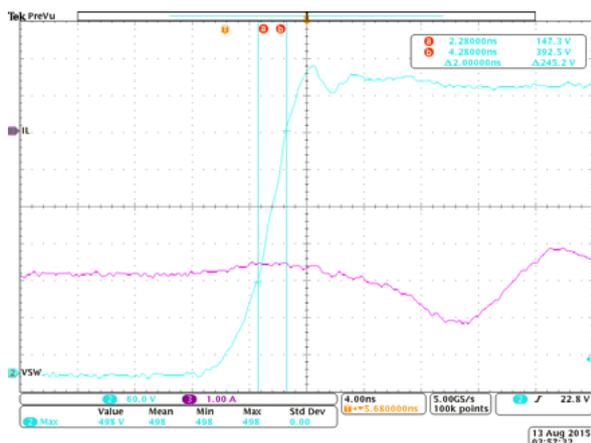


図 6. ハーフブリッジバック回路での SW ノードのハイサイドターンオン波形 (チャンネル 2)

ベンチ・スイッチング波形

図 6 は、8mm × 8mm の QFN (Quad Flat No-lead) パッケージに 2 個の GaN デバイスをドライバとともに内蔵したハーフブリッジ回路のスイッチング波形を示しています。チャンネル 2 は、バス電圧が 480V で、ハイサイド・デバイスが 120V/ns のスルーレートでハード・スイッチングされたときの SW ノードを示しています。最適化されたドライバ内蔵パッケージと PCB によって、オーバーシュートが 50V 未満に収まっています。波形は 1GHz のスコープとプローブでキャプチャされています。

結論

GaN トランジスタとドライバをパッケージ内に統合することで、コモン・ソース・インダクタンスがなくなり、高い電流スルーレートを実現できます。また、ゲート・ループ・インダクタンスも低減されるため、ターンオフ時のゲートのストレスが最小限に抑えられ、デバイスのオフ保持能力も向上します。この統合はさらに、GaN FET に対する効果的な熱保護および電流保護回路の構築も可能にします。

関連情報

- GaN の詳細情報：www.tij.co.jp/gan
- Michael Seeman、Dave Freeman、『Advancing power supply solutions through the promise of GaN』、テキサス・インスツルメンツ・ホワイト・ペーパー、2015 年 2 月
- Sandeep R. Bahl、『A comprehensive methodology to qualify the reliability of GaN products』、テキサス・インスツルメンツ・ホワイト・ペーパー、2015 年 3 月
- 無料のソフトウェア・ツールのダウンロード：[TINA-TI](#)
- Narendra Mehta、『GaN FET module performance advantage over silicon』、テキサス・インスツルメンツ・ホワイト・ペーパー、2015 年 3 月
- Zhong Ye、『GaN FET-Based CCM Totem-Pole Bridgeless PFC』、テキサス・インスツルメンツ電源設計セミナー、2014 年

ご注意：本資料に記載された製品・サービスにつきましては予告なしにご提供の中止または仕様の変更をする場合がありますので、本資料に記載された情報が最新のものであることをご確認の上ご注文下さいませようお願い致します。TI は製品の使用用途に関する援助、お客様の製品もしくはその設計、ソフトウェアの性能、または特許侵害に対して責任を負うものではありません。また、他社の製品・サービスに関する情報を記載していても、TI がその他社製品を承認あるいは保証することにはなりません。

*プラットフォーム・バーは、テキサス・インスツルメンツの商標です。
*すべての商標および登録商標はそれぞれの所有者に帰属します。

ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2016, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単体で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単体を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上