

# TINA-TI™によるオペアンプ回路設計入門 (第6回)

## 1.3.1 オペアンプの基礎

宇田達広

MARKETING

### アブストラクト

今回は、本連載の主題であるオペアンプについて、その起源、初期に開発された IC オペアンプの回路技術、負帰還増幅回路の基礎方程式、安定性解析、応用回路、および 741 型オペアンプの SPICE モデルを取り上げます。

### 目次

<b>1.3 オペアンプ</b> .....	<b>2</b>
<b>1.3.1 オペアンプの基礎</b> .....	<b>2</b>
<b>オペアンプの起源</b> .....	<b>2</b>
<b>ICオペアンプの誕生</b> .....	<b>4</b>
μA702 オペアンプ.....	6
μA709 オペアンプ.....	7
LM101 オペアンプ.....	8
μA741 オペアンプ.....	9
<b>負帰還増幅回路の理論</b> .....	<b>10</b>
負帰還増幅回路の基礎方程式.....	10
負帰還増幅回路の安定性解析.....	11
負帰還によるゲイン変動の低減.....	21
負帰還による歪の低減.....	22
反転増幅回路.....	25
非反転増幅回路.....	26
差動増幅回路.....	27
<b>741 型オペアンプ</b> .....	<b>28</b>
741 型オペアンプの SPICE モデル (741X.MOD).....	28
パルス応答.....	30
開ループゲイン特性.....	34
<b>参考文献</b> .....	<b>35</b>

## 1.3 オペアンプ

### 1.3.1 オペアンプの基礎

#### オペアンプの起源

19世紀に至るまで「電気」は身の回りに起きる静電気や落雷などの正体不明な自然現象として認識されていました。人類が電気を安定に取り扱えるようになったのは、イタリアの物理学者ボルタが、銅の正極と、亜鉛の負極を、硫酸の電解液に浸したボルタ電池を発明した1800年からです。これが契機となりアンペア、オーム、ヘルツ、ファラデー、ケルビン、ヘンリー、マクスウェルなどの業績により19世紀半ばに電気磁気学と電気工学が誕生します。米国のトーマス・エジソンは電話、蓄音機、映写機、白熱電球などの電気機器を初めて実用化した実業家兼発明家ですが、1883年に発見したエジソン効果で電子の発見とそれに続く真空管の発明にも大きな貢献をしています。

「序章 IC オペアンプの誕生まで」で触れたように、整流特性を持つ2極真空管は、米国のフレミングがエジソン効果の整流作用にヒントを得て1905年に発明しました。電気信号の増幅作用を持つ最初の能動素子である3極真空管は1908年に米国のリー・ド・フォレストが発明しました。2極真空管のフレミング特許にはバイアス点(電流が流れ始める点)を整流効率の最良点に設定するためにフィラメント温度を調整する方法が含まれていました。ド・フォレストはこの特許を回避するためフィラメントと白金版の間に配置した格子状の電極を用いてバイアスを調節しました。3極真空管は、グリッド電圧を変化させるとプレート電流が大きく変化する特性、つまり増幅作用を持つことが判明し、感度の良い検波器としてだけでなく増幅器、発振器、変調器などに応用範囲を広げます。

3極真空管の発明から数年後には大陸横断電話伝送システムに使える高真空度真空管が開発されます。1915年1月にはベル電話会社の創業者であるアレクサンダー・ベルが、ニューヨークとサンフランシスコ間を結ぶ世界初の大陸間横断通話を公開しました。1921年6月にウェスタンエレクトリック社に入社したハロルド・ブラックはニューヨーク州ウエストストリートの研究所で架空線電話システムの開発に従事しました。架空線電話システムは音声信号を搬送波信号で変調して数マイル毎に設置されるレピータ・アンプを中継して架空線で伝送するシステムです。

ブラックが勤務を始めたばかりの9月のことでした。Type C 架空線電話システムに障害が発生しました。詳細に原因を調査したブラックは、レピータ・アンプの歪が原因であることを突き止めました。レピータ・アンプの数をNとすると第2次高調波成分は $\sqrt{N}$ 倍で増加しますが、第3次高調波成分と混変調歪成分はN倍で増加します。これは、1000個のレピータ・アンプが接続されると歪が1000倍に増加することを意味します。架空線電話システムを経済的に構築するにはレピータ・アンプの歪を50dB以上は低減する必要があります。ブラックはその後の数年間に歪の低減に費やしました。ウエストストリート研究所では多くのエンジニアが真空管の改善に取り組みましたが目標である歪の50dB低減を達成することはできませんでした。

1927年8月2日のこと、いつものようにウエストストリート研究所に通勤するラカワナ・フェリーの上で歪の低減について思索していたブラックの頭に斬新なアイデアが閃きました。増幅器の出力を逆位相で入力に戻して発振しない状態を保ちます。これは増幅器の歪が出力でキャンセルされる状態を意味しています。ブラックは手にしていたニューヨークタイムズ紙を開いて負帰還増幅器の簡単な概念と伝達関数を書き留めました。(図1.3.1参照)

図1.3.1において $\alpha$ は基本増幅器(真空管自体)の伝達関数を表しており、 $\beta$ は帰還回路の伝達関数を表しています。 $\alpha$ と $\beta$ の積はループゲイン $\alpha\beta$ と呼ばれループを一巡する伝達関数を意味します。ここで $\alpha\beta \gg 1$ とすると閉ループ・ゲイン $A_F$ は $\approx 1/\beta$ となります。具体的にはループ・ゲイン $\alpha\beta$ を60dB確保すると、真空管の伝達関数 $\alpha$ が10%変動しても、閉ループ・ゲイン $A_F$ の変動はおよそ0.01%に減少します。

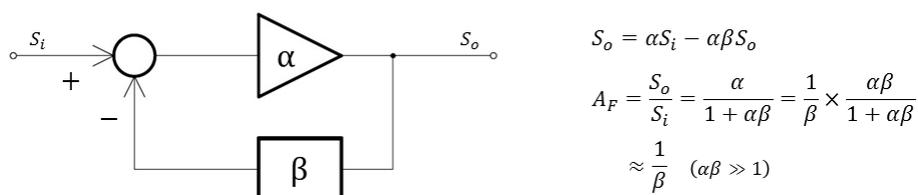


図 1.3.1 負帰還増幅器の概念

ブラックはループゲイン $\alpha\beta$ を50dB以上確保すれば問題を解決できると考えました。残る問題は負帰還増幅回路の発振です。 $A_f = 20dB, \alpha\beta = 60dB$ とすると、真空管には全周波数範囲で80dBの開ループゲインが必要となるため、負帰還回路の安定性が問題になりました。ブラックは注意深く設計を進め、1927年11月に図1.3.2に示す3段構成の広帯域負帰還増幅器で目標の50dB歪低減を達成しました<sup>[1],[2]</sup>。

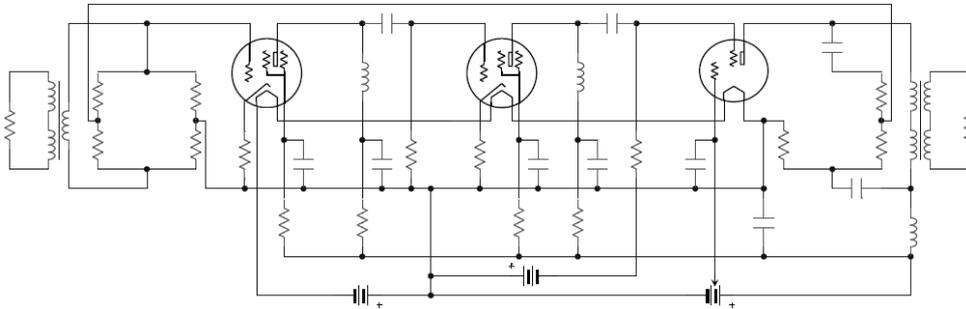


図 1.3.2 ブラックの負帰還増幅回路

英国のウィリアム・トムソンが1876年に発明した微分解析器 (Differential Analyser) は、回転軸と円盤を使用した積分演算により微分方程式を解くように設計された機械式アナログコンピュータです。1950年代には真空管の実用化が進み、電子式の微分解析器であるアナログコンピュータが開発されました。1952年にRCAが発表したアナログコンピュータ "Typhoon" は、約4,000本の真空管を使用する大規模なものでした<sup>[3]</sup>。

アナログコンピュータの心臓部はオペレーショナル・アンプ(Operational Amplifier)と呼ばれる高利得増幅器でありそれが省略されて オペアンプ となりました。オペアンプと受動素子で構成された負帰還増幅器がアナログ演算を実行します。プログラミングはオペアンプと受動素子の配線を切り替えて行います。BURR-BROWN RESEARCH CORPORATIONが1960年代に製品化した教育用アナログシミュレータ MODEL 600の外観を図1.3.3に示します。

米国のジョージ・フィルブリックは、アナログコンピュータ・モジュールの製品化を目的としてマサチューセッツ州ボストンにGEORGE A. PHILBRICK RESEARCHES, INC. (GAP/R)を1946年に設立しました。アナログコンピューティングユニットモデルK3シリーズは、加算、減算、係数乗算、積分、微分、遅延などの機能ブロックをブラックボックス化したモジュール型の製品です。これらのモジュールを基に、1951年には最初に市販された真空管オペアンプであるMODEL K2-Wが発表されました。

MODEL K2-Wの外観を図1.3.4に示します。K2-WはRCAが1946年にリリースした、デュアル型のミニチュア3極真空管の12AX7を2本使用しています。一方は差動入力ペアとして他方はカソードコモン出力段として使用されています。K2-Wは電源電圧 $\pm 300V$ 、消費電流4.5mA、入出力電圧範囲 $\pm 50V$ 、DCゲイン15,000、小信号帯域幅300kHzの性能を持ち、1951年から1971年までの20年間にわたって販売されました。

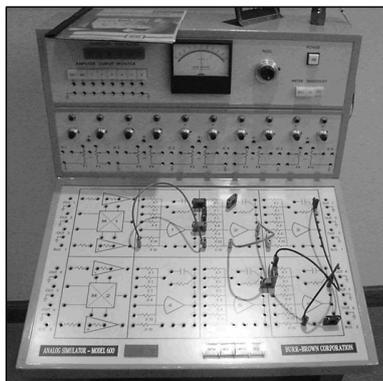


図 1.3.3 MODEL 600<sup>[4]</sup>

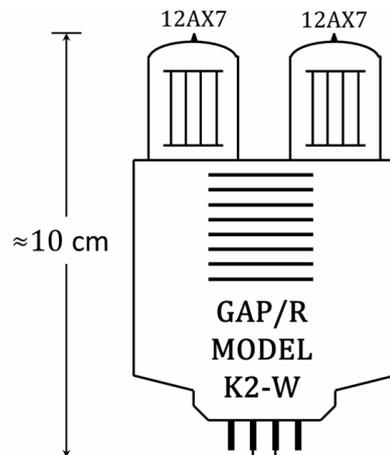


図 1.3.4 真空管オペアンプ K2-W<sup>[5]</sup>

## IC オペアンプの誕生

第二次世界大戦中はイギリスとアメリカを中心にレーダーの開発が進みマイクロ波を検波できるシリコン点接触型ダイオードなど、半導体デバイスの研究が盛んになりました<sup>[6]</sup>。戦後は半導体研究の中心がアメリカに移り、特にベル研究所では、ATTの搬送電話システムが使用する真空管の代替を目標として半導体デバイスの研究を強化しました。その成果は、ブラッテンとバーディーンによる1947年の点接触型トランジスタの発見と、ショックレーによる1948年の接合型トランジスタの発明となって現れます<sup>[7],[8]</sup>。1957年にはノイスとムーアを中心とする8人のメンバーが、フェアチャイルドセミコンダクターを設立します。フェアチャイルドセミコンダクターは、1950年代後半から1960年代の数年間において最初の市販用メサ型シリコントランジスタ(図1.3.5参照)、最初のプレーナ型トランジスタ(図1.3.6参照)、最初の市販用デジタル集積回路(IC)、最初の市販用ICオペアンプを開発するなど、半導体産業の黎明期に重要な貢献をしました。

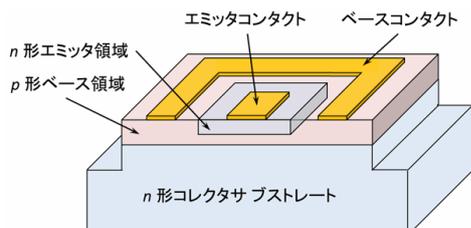


図 1.3.5 メサ型シリコン npn トランジスタ

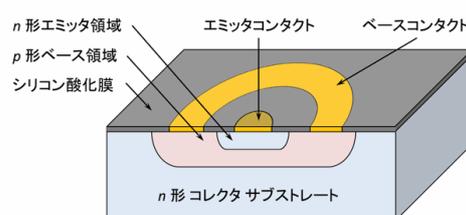


図 1.3.6 プレーナ型シリコン npn トランジスタ

ノイスはプレーナ技術を基にプレーナICプロセスを考案しモノリシックICの内部素子間配線方法として1961年に特許化しました<sup>[9]</sup>。モノリシックICではウェハ内の素子を分離する技術と素子間の配線技術が必要です。プレーナ技術では全ての素子を共通のサブストレート上に形成します。ノイスは素子を分離する技術として素子間に逆バイアスしたpn接合を挿入する方法を考案します。同時に、アルミニウムメタライゼーションによる素子間配線、pn接合キャパシタ、拡散抵抗を考案してシリコンウェハ上に完全な回路を形成する方法を示しました。

1961年には8ピンTO-5パッケージに5種類のRTL (Resistor-Transistor Logic) を封止した最初の市販ロジックICであるMicrologicファミリ、1963年には最初の市販モノリシックICオペアンプである $\mu A702$ 、1965年には改良型の $\mu A709$ 、そして1968年には初期のモノリシックICオペアンプにおけるデファクトスタンダードとなる $\mu A741$ が販売されました。

図1.3.7にトランジスタ化された最初の市販オペアンプであるModel 130の外観、図1.3.8に $\mu A741$ のダイサイズを示します。Model 130と $\mu A741$  DIEの主な仕様の比較を表1.3.1に示します。

表 1.3.1 Model 130 と  $\mu A741$  の主な仕様の比較

パラメータ	Model 130	$\mu A741$ DIE
DC 開ループゲイン	10,000	200,000
入力バイアス電流	10 $\mu A$	80 nA
スルーレート	0.5 V/ $\mu s$	0.5 V/ $\mu s$
体積	7 $inch^3$	23 $\mu inch^3$
価格	\$100	\$0.5
販売開始年	1958	1968

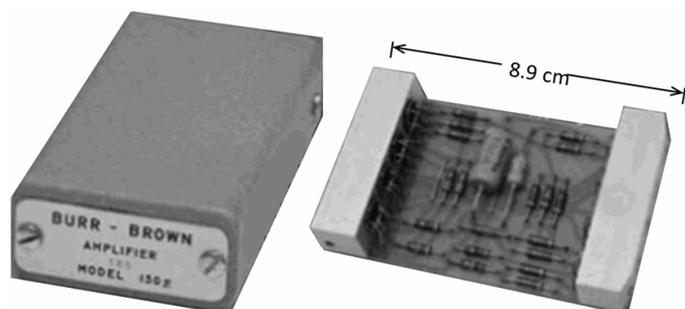


図 1.3.7 Model 130<sup>[10]</sup>

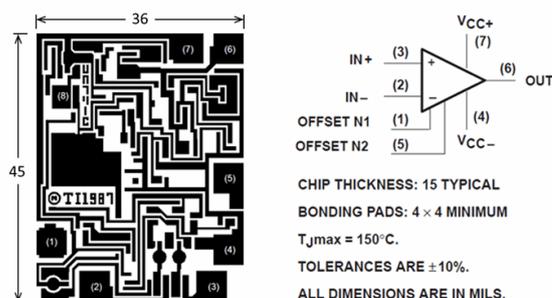


図 1.3.8  $\mu A741$  DIE<sup>[11]</sup>

## プレーナプロセス

プレーナ型バイポーラ IC ではトランジスタを 5-6 回のホットマスク工程と拡散工程で形成します。

(a) 埋込層拡散

p 形シリコンウェハに、第 1 マスク行程と拡散行程で埋込層 (buried layer) を形成します。埋込層はシート抵抗が低いため、トランジスタのコレクタ抵抗を下げる効果があります。n 形不純物にはヒ素 (arsenic) やアンチモン (antimony) などが用いられます。

(b) エピタキシャル層成長

ウェハ表面の酸化膜 (SiO<sub>2</sub>) を除去しエピタキシャル層 (epitaxial layer) を成長させます。エピタキシャル層はトランジスタのコレクタ領域となり、その厚さと不純物濃度はコレクターベース間耐圧に応じて決まります。

(c) 分離拡散

ウェハ全面に酸化膜を成長させ、第 2 マスク行程の後に、p 形不純物のホウ素 (boron) を拡散します。この拡散は、逆バイアスした p n 接合でトランジスタを互いに分離するための分離壁 (isolation walls) を形成する目的で行われ、分離拡散 (isolation diffusion) と呼ばれます。

(d) ベース拡散

第 3 のマスク工程の後に、p 形不純物のホウ素 (boron) が拡散され npn トランジスタのベースが形成されます。この拡散領域はベース拡散抵抗素子の形成にも利用されるため、シート抵抗値は±20%以内にコントロールされます。

(e) エミッタ拡散

第 4 のマスク工程の後に、n 形不純物のリン (phosphorus) が拡散され npn トランジスタのエミッタが形成されます。この拡散層は n 形エピタキシャル層で形成されたコレクタへの低抵抗コンタクトとしても用いられます。

(f) コンタクト窓、メタルコンタクト

第 5 のコンタクトマスク行程で能動素子と受動素子へのコンタクト窓を開けた後、ウェハ全面にアルミ薄膜を蒸着します。第 6 のメタルマスク行程で不要な部分のアルミ薄膜が除去され、ウェハ上の素子間を接続するための配線パターンが形成されます。

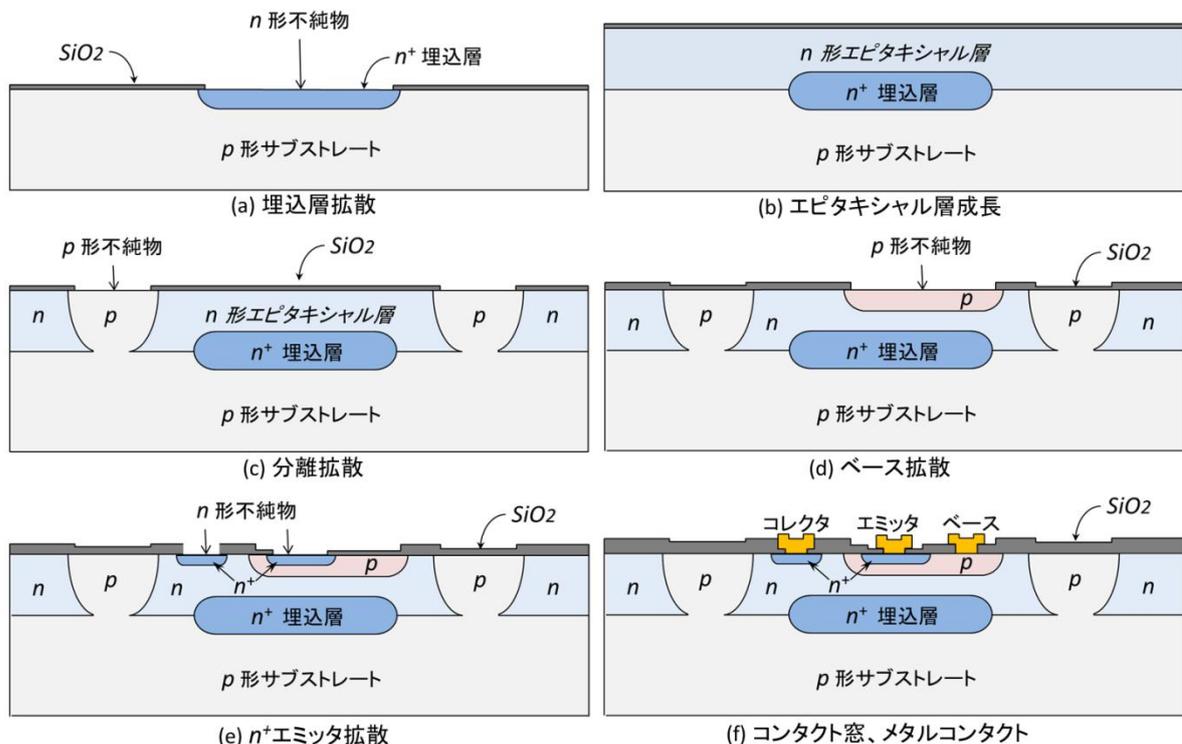


図 1.3.9 プレーナ IC プロセスにおいて npn バイポーラトランジスタを形成する工程の概要

## μA702 オペアンプ

図 1.3.10 はフェアチャイルドセミコンダクターが 1961 年にリリースした最初の市販ロジック IC である Micrologic シリーズに使用された、抵抗と NPN トランジスタで構成された RTL (Resistor-Transistor Logic) による 3 ゲート NOR 回路です。

最初に市販されたモノリシック IC オペアンプはフェアチャイルドセミコンダクターが 1963 年にリリースした μA702 です。1962 年にフェアチャイルドセミコンダクターに入社したボブ・ワイドラーは μA702 をはじめ、商業的に最初に成功した μA709、デファクトスタンダードの μA741 が手本とした LM101、電圧レギュレータ IC の μA723 などを開発した、アナログ IC 開発の先駆者です。また、図 1.3.11 に示すワイドラー低電流回路やワイドラー形バンドギャップ基準電圧回路などアナログ IC の基礎となる機能回路を発明しています。

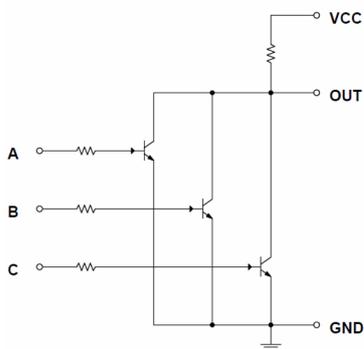


図 1.3.10 RTL 3 ゲート NOR 回路

May 16, 1967

R. J. WIDLAR

3,320,439

LOW-VALUE CURRENT SOURCE FOR INTEGRATED CIRCUITS

Filed May 26, 1965

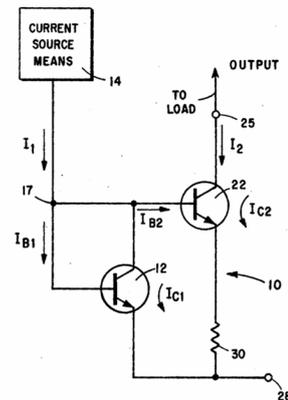


図 1.3.11 ワイドラー定電流回路  
(米国特許 3,320,439 からの引用)<sup>[12]</sup>

ワイドラーが最初に開発した μA702 は、IC 製造プロセスの制約による、非対称電源電圧 (+12V, -6V)、低ゲイン (68dB)、低入力電圧範囲 (-4.0V to +0.5V) などの、ディスクリート設計のオペアンプより低い性能と、高い販売価格 (\$300/1 個) により市場に受け入れられることはありませんでした。

μA702 は RTL ロジック IC に最適化された IC プロセスで開発されたため、図 1.3.12 に示すように抵抗と npn トランジスタだけで構成されており、信号経路を負電源の方向にシフトすることが容易な pnp トランジスタを使用できませんでした。

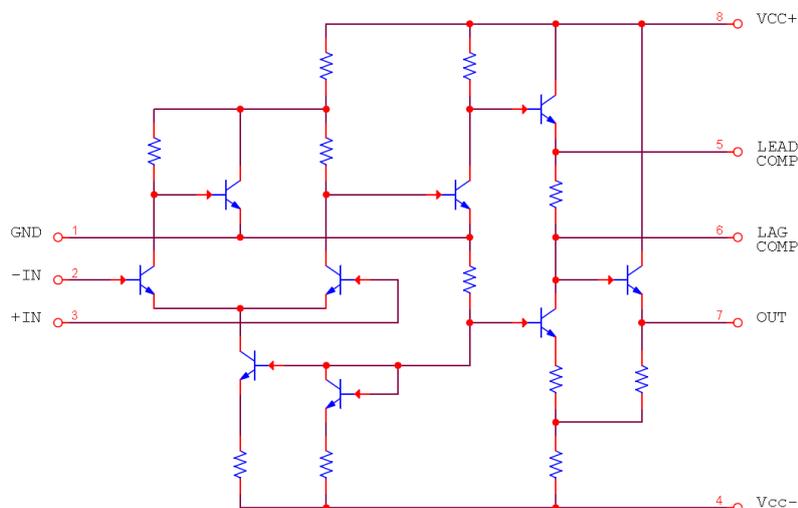


図 1.3.12 μA702 の回路<sup>[13]</sup>

## μA709 オペアンプ

ワイドローが開発した μA709 はフェアチャイルドセミコンダクターから 1965 年に発表されました。μA709 は対称な電源電圧 ( $\pm 15V$ )、高入力電圧範囲 ( $\pm 10V$ )、高ゲイン (94dB)、低入力バイアス電流 (200nA) などの優れた特性により、ディスクリット設計のオペアンプを置き換えた最初のモノリシック IC オペアンプになりました。最盛期には 709 型オペアンプとして 8 社からセカンドソースが供給されました。

図 1.3.15 に μA709 の回路を示します。Q1, Q2 は初段の差動増幅回路を形成し、Q3~ Q6 は 2 段目増幅回路を形成します。Q9 (ラテラル pnp トランジスタ) で形成されるレベルシフトは、2 段目増幅回路出力を Q12 で形成される 3 段目増幅回路入力に伝えます。Q14 と Q13 (ラテラル pnp トランジスタ) は出力バッファを形成しています。μA709 は等価的に 3 段構成のエミッタ接地増幅回路です。

図 1.3.16 と図 1.3.14 に npn トランジスタとラテラル pnp トランジスタの断面図を示します。ラテラル pnp トランジスタは電流増幅率と周波数特性が npn トランジスタよりも劣りますが、増幅回路では信号経路の DC レベルを負方向に移動させなければならない場合があり、μA709 ではラテラル pnp トランジスタで実現しています。

μA709 は基本性能に優れるものの、ユーザからは下記の問題が指摘されました。

- 周波数補償が複雑であり、外部部品のボード・スペースとコストが必要である。
- 高い入力コモンモード電圧が印加されて入力段が飽和するとラッチアップする。
- 過大な差動入力電圧を印加されると、入力段のトランジスタが破損する。
- 出力を短絡すると、出力段のトランジスタが破損する。
- 負荷容量に敏感であり、発振しやすい。

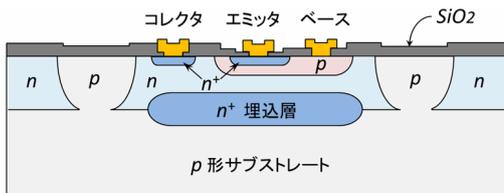


図 1.3.13 npn トランジスタの断面図

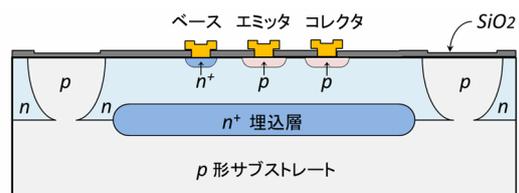


図 1.3.14 ラテラル pnp トランジスタの断面図

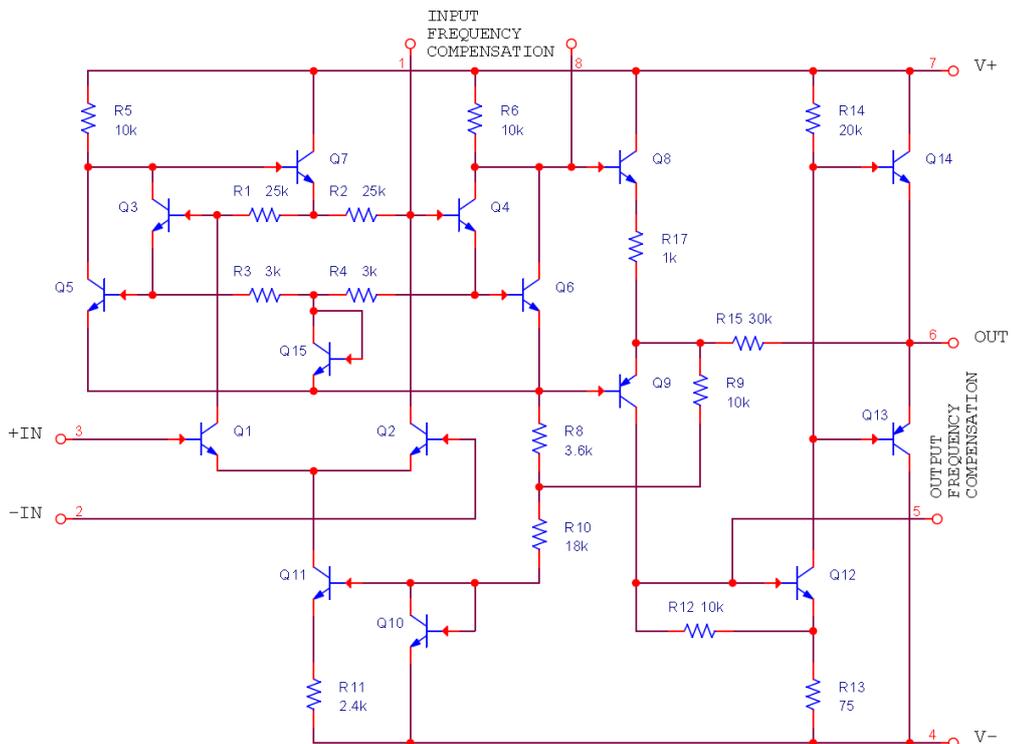


図 1.3.15 μA709 の簡略化回路 [14]

## LM101 オペアンプ

この問題にワイドラはナショナルセミコンダクターから 1967 年に発表された LM101 で答えます。LM101 の性能は基本的には  $\mu\text{A709}$  と同等ですが、より高いゲイン(104dB)と広い動作電源範囲 ( $\pm 5\text{V}\sim\pm 20\text{V}$ ) が実現されました。コモンモード電圧によるラッチアップは無くなり、入出力回路がオーバーロードから保護されました。さらに、周波数補償に必要な外付け部品は 30pF の容量一つだけとなり、後に続く  $\mu\text{A741}$  などの周波数補償内蔵型 IC オペアンプの手本となりました。

図 1.3.16 に LM101 の回路を示します。LM101 の主要な目的は、周波数補償を単純にすることでした。そのため増幅回路は 2 段の構成にしました。それには  $\mu\text{A709}$  (3 段構成) より 1 段当たりのゲインを上げる必要があります。LM101 はアクティブロードでそれを実現しました。たとえば、2 段目増幅回路を形成する Q9 には Q17 (ラテラル pnp トランジスタ) のアクティブロードが接続されています。

アクティブロードには、①. 高抵抗値が実現でき入力バイアス電流と消費電力を減らすことができる。②. 電圧降下が少なくコモンモード入力電圧範囲、出力電圧範囲、動作電源電圧範囲が増加できる。③. 少ない増幅段数で周波数補償を簡単にできるなどの利点があります。

Q1, Q2 と Q3, Q4 (ラテラル pnp トランジスタ) は、差動入力増幅段を形成します。Q5, Q6 は差動入力増幅段のアクティブロードを形成します。Q3, Q4 (ラテラル pnp トランジスタ) は増幅率が低いので、増幅率が高い npn トランジスタの Q1, Q2 でバッファリングされています。

差動入力のコモンモード入力電圧範囲は、Q1, Q2 のスイング範囲となる、正電源方向の  $V+$  から負電源方向の ( $V- + 4 \times V_{BE}$ ) までに広がり、差動入力の飽和とラッチアップは無くなりました。また、Q3 と Q4 のラテラル pnp トランジスタは  $V_{BE}$  耐圧が高いので、差動入力の絶対最大入力電圧は電源電圧にかかわらず  $\pm 30\text{V}$  となりました。

Q16, Q11 と Q12 (ラテラル pnp トランジスタ) は、nnp トランジスタと等価 pnp トランジスタのペアによる AB 級出力段を形成します。これらのトランジスタは Q13 (ラテラル pnp トランジスタ) と Q14 によりバイアスされます。R11 と Q15 および、R10 と Q12, Q10, Q8 のループは出力電流の保護回路を形成します。

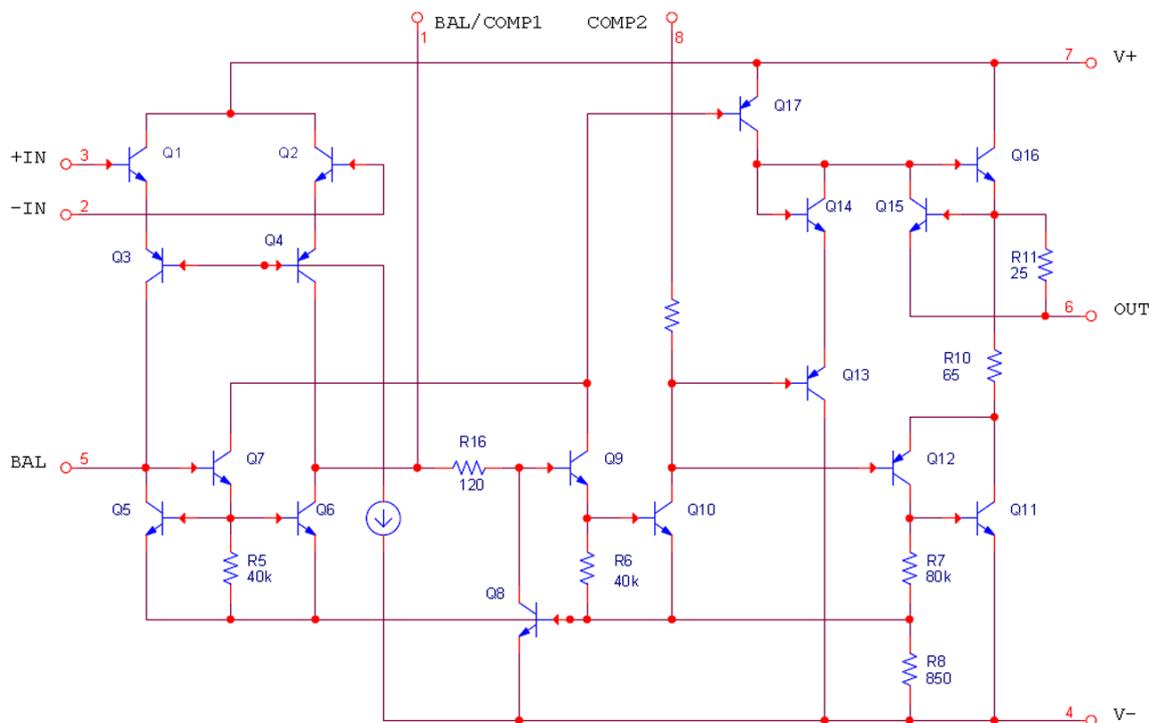


図 1.3.16 LM101 の簡略化回路<sup>[15]</sup>

## μA741 オペアンプ

フェアチャイルドセミコンダクターで μA709 の改良に励んでいた デビット・フラガーは、ワイドラーが開発した LM101 の性能を詳細に調査し、改良された特性はそのまま生かして、外付けの周波数補償用 30pF 容量を内蔵することを考案します。このようにして μA741 は、LM101 からおよそ 1 年後の 1968 年にフェアチャイルドセミコンダクターから発表されました。バイアス回路を除き μA741 のシグナルパスは LM101 と等価です。コモンモード電圧範囲、入出力保護回路、ゲイン、周波数帯域、電源電圧範囲も同等で、周波数補償用の 30pF 容量が内蔵されました。

μA741 は、外部周波数補償による動特性の最適化よりも、周波数補償内蔵の使いやすさを優先し、それがユーザに受け入れられ、初期のモノリシック IC オペアンプにおけるデファクトスタンダードとなりました。最盛期には日本メーカーを含め 10 社以上が 741 型オペアンプとしてセカンドソースを発表しました。現在も、テキサスインスツルメンツから μA741 と LM741 が販売されています。

LM741 の簡略化回路を図 1.3.17 に示します。Q1, Q2 のエミッタフォロアは、ベース接地の差動ペアトランジスタ Q3, Q4 (ラテラル pnp トランジスタ) のエミッタを駆動します。Q7, Q8 は Q3, Q4 のアクティブロードです。これら 6 つのトランジスタが入力部を形成し下記の機能を実現しています。

- 入力抵抗が高く、コモンモード電圧の影響が少ない、高ゲインの差動入力段を形成する。
- ラテラル pnp トランジスタは遷移周波数が低いためシグナルパスは npn トランジスタだけで形成するのが望ましい。しかし、nnp トランジスタだけではシグナルパスを負電源方向に駆動できないため、ラテラル pnp トランジスタ Q3, Q4 のコレクタ電位を常に負電源に近くにバイアスしている。
- Q7, Q8 のアクティブロードが、差動入力をシングルエンド出力に変換している。

Q19 は Q8 と Q18 の間に挿入されたエミッタフォロア・バッファです。Q18 で形成されるエミッタ接地増幅段は、定電流源で表されたアクティブロードを持ち高い電圧利得を実現します。Q12 と Q15 は、AB 級出力段を形成します。

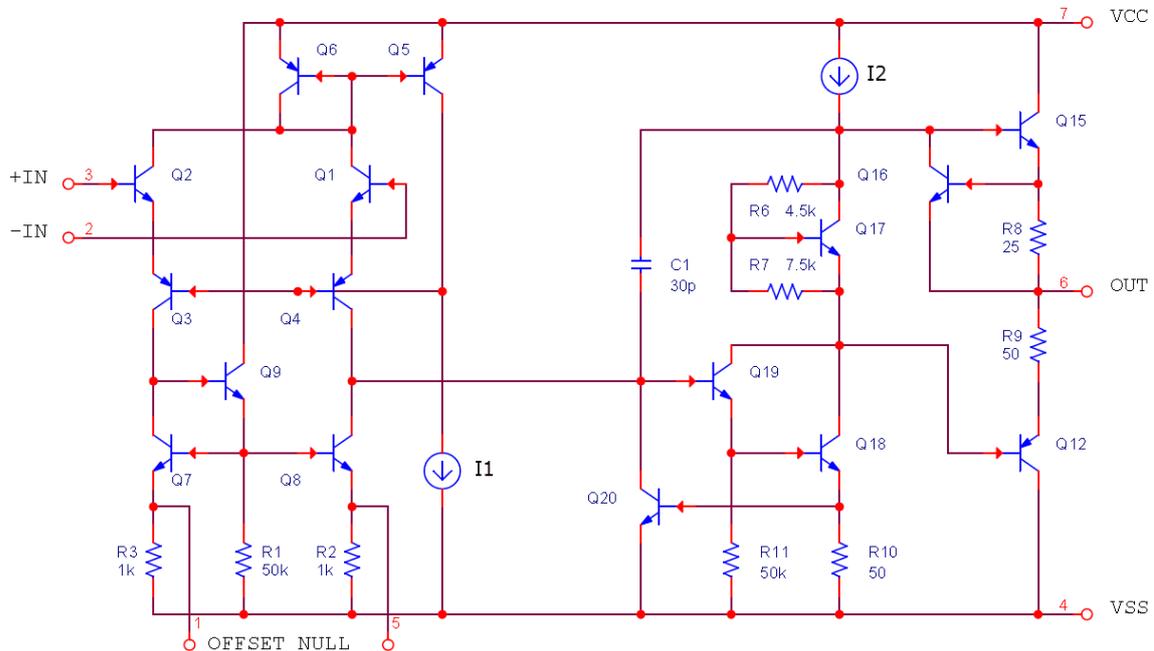


図 1.3.17 LM741 の簡略化回路<sup>[16]</sup>

## 負帰還増幅回路の理論

### 負帰還増幅回路の基礎方程式

図 1.3.18 に帰還増幅回路の概念を示します。 $S_i$  は入力信号、 $S_o$  は出力信号、 $\alpha$  は基本増幅器の伝達関数、 $\beta$  は安定な受動素子で構成される帰還回路の伝達関数、 $S_\beta$  は帰還信号、 $S_\epsilon$  は誤差信号を表しています。

基本増幅器は帰還回路に影響されないとすると、

$$S_o = \alpha S_\epsilon \quad \dots \text{式 1.3.1}$$

$$S_\beta = \beta S_o \quad \dots \text{式 1.3.2}$$

$$S_\epsilon = S_i - S_\beta \quad \dots \text{式 1.3.3}$$

式 1.3.2 を式 1.3.3 に代入すれば

$$S_\epsilon = S_i - \beta S_o \quad \dots \text{式 1.3.4}$$

式 1.3.4 を式 1.3.1 に代入すれば

$$S_o = \alpha S_i - \alpha \beta S_o \quad \dots \text{式 1.3.5}$$

式 1.3.5 を変形して

$$A_F = \frac{S_o}{S_i} = \frac{\alpha}{1 + \alpha\beta} = \frac{\alpha}{(1+T)} = \frac{1}{\beta} \times \frac{T}{(1+T)} \quad \dots \text{式 1.3.6}$$

式 1.3.6 は負帰還増幅回路の基礎方程式を表しており、 $A_F$  は負帰還増幅回路の閉ループゲインです。

$T$  は **ループ・ゲイン (loop-gain)** と呼ばれ、下式のようにシステムの帰還比を表しています。

$$T = \frac{S_o}{S_\epsilon} = \alpha\beta \quad \dots \text{式 1.3.7}$$

ここで、 $T \gg 1$  とすると、式 1.3.6 は

$$A_F = \frac{S_o}{S_i} \approx \frac{1}{\beta} \quad \dots \text{式 1.3.8}$$

となり  $T \gg 1$  であれば、帰還増幅回路の閉ループゲイン  $A_F$  は安定な受動素子で構成される帰還回路の伝達関数  $\beta$  で決まります。

式 1.3.6 において  $T = -1$  の場合には  $A_F$  が無限大となりシステムが不安定になります。一般にループゲイン  $T$  は周波数に依存する複素数量であり、 $T = -1$  となる条件は、帰還発振回路の発振条件を規定する **バルクハウゼン安定基準 (Barkhausen stability criterion)**<sup>[17]</sup>、つまり、 $|T| = 1$  and  $\angle T = 2\pi n, n \in 0, 1, 2, \dots$  の条件と等価です。

負帰還増幅器は基本増幅器の入出力間の位相があらかじめ  $180^\circ$  遅れているため、 $T$  の位相がさらに  $180^\circ$  遅れ、 $T$  のゲインが 1 よりも大きいと、正帰還により発振します。

負帰還増幅回路では、発振に対する余裕を表すために **ゲイン・マージン** と **位相マージン** が用いられます。ゲイン・マージンは、ループゲイン  $T$  の位相が DC に対し  $180^\circ$  遅れる周波数において振幅が 1 からどのくらい低いかわを示します。位相マージンは、ループゲイン  $T$  の振幅が 1 になる周波数において、位相遅れが  $180^\circ$  からどのくらい少ないかわを示します。

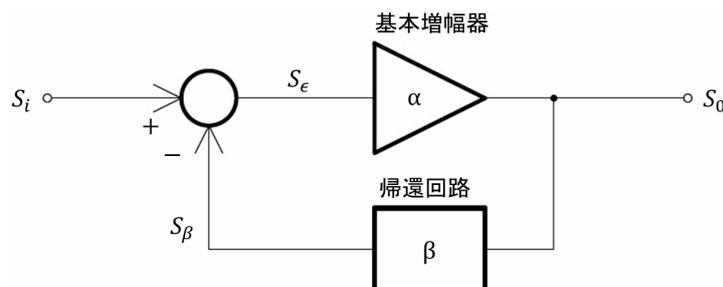


図 1.3.18 帰還増幅回路の概念

## 負帰還増幅回路の安定性解析

負帰還増幅回路の安定性はループゲイン特性から判定できることがわかりました。ループゲインを直接的に測定するためには①ループを開き、②一方にテスト信号を与え、③他方のフィードバック信号をテスト信号と比較する必要がある、一般的には正確な測定が困難です。例として、図 1.3.19 に示したボルテージフォロア回路のループゲイン  $T$  を測定することを考えます。この回路は出力と反転入力に直接接続されているため、帰還回路のゲイン成分  $|\beta|$  は  $+1$ 、 $\mu\text{A}741$  のゲイン成分  $|\alpha|$  は図 1.3.19 に示す値になります。したがって、ループゲイン  $T = \alpha\beta$  のゲイン成分  $|T|$  は直流において  $+106\text{dB}$ 、(200,000 倍)にも達します。この状態でループを開放すると、僅か  $150\mu\text{V}$  のオフセット電圧や雑音電圧で、出力電圧が電源レールに飽和します。

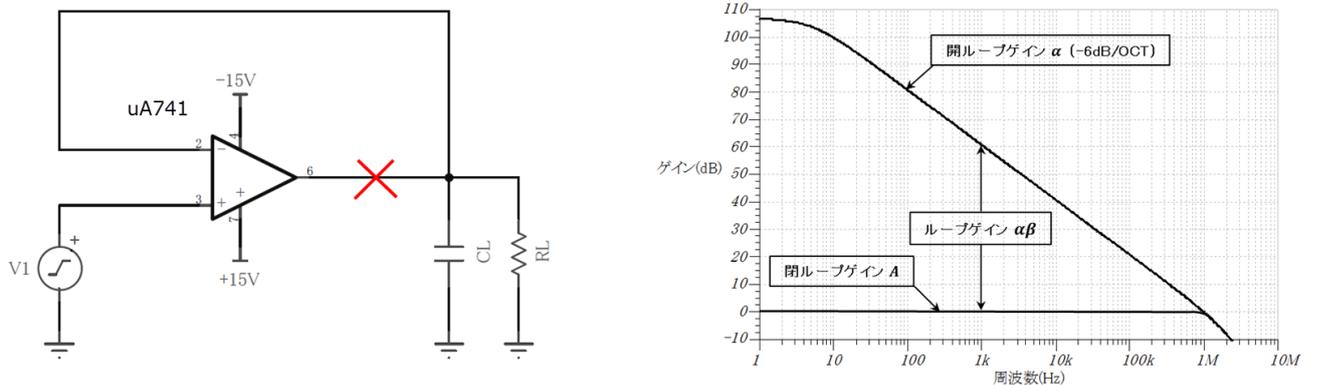


図 1.3.19 ボルテージフォロア回路 ( $\text{Gain} = +1$ )

今日では、負帰還回路の安定性を測定または、SPICE シミュレーションで解析する手法として、カリフォルニア工科大学のミドルブルック教授が 1975 年に提案したミドルブルック法<sup>[18]</sup> が広く用いられています。ミドルブルック法では帰還ループを閉じたままループゲインを測定することができます。

### ミドルブルック法によるループゲインの解析

ミドルブルック法によるループゲインの解析例として図 1.3.19 のボルテージフォロア回路を取り上げます。図 1.3.20 (a) は電流ループゲイン  $T_I = i_y/i_x$  の測定回路です。電圧制御電流源  $G$  と出力インピーダンス  $Z_O$  でオペアンプをモデル化しています。 $Z_L$  は負荷インピーダンスです。負帰還ループに接続されるテスト電流源  $i_z$  は内部インピーダンスが無限大であるため  $Z_O, Z_L$  には影響を与えません。図 1.3.20 (b) は電圧ループゲイン  $T_V = v_y/v_x$  の測定回路です。負帰還ループに挿入されるテスト電圧源  $v_z$  は内部インピーダンスがゼロであるため閉ループを保ちます。

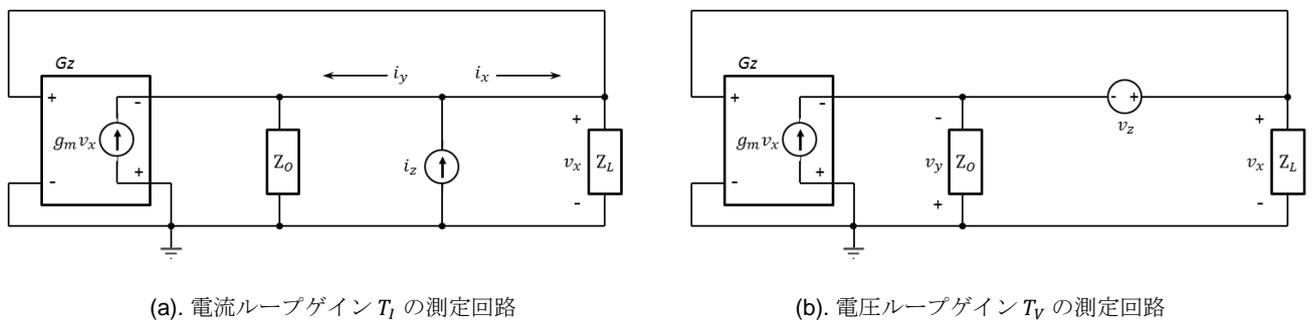


図 1.3.20 ミドルブルック法によるループゲインの解析

図 1.3.20 (a) において電流  $i_y$  は下式で表されます。

$$i_y = g_m v_x - \frac{v_x}{Z_o} \quad \dots \text{式 1.3.9}$$

電流ループゲイン  $T_i = i_y/i_x$  は、 $i_y$  に式 1.3.9 を代入した値となり、下式で表されます。

$$T_i = \frac{i_y}{i_x} = \frac{g_m v_x - \frac{v_x}{Z_o}}{\frac{v_x}{Z_L}} = g_m Z_L - \frac{Z_L}{Z_o} \quad \dots \text{式 1.3.10}$$

ループゲイン  $T$  は、電圧制御電圧源  $G$  のコンダクタンス  $g_m$  に  $Z_o$  と  $Z_L$  の並列負荷が接続された値となり、下式で表されます。

$$T = g_m \frac{Z_o Z_L}{Z_o + Z_L} \quad \dots \text{式 1.3.11}$$

式 1.3.10 と式 1.3.11 から、電流ループゲイン  $T_i$  は下式で表されます。

$$T_i = \frac{i_y}{i_x} = g_m \frac{Z_L Z_o (Z_L + Z_o)}{Z_o (Z_L + Z_o)} - \frac{Z_L}{Z_o} = T \left( 1 + \frac{Z_L}{Z_o} \right) - \frac{Z_L}{Z_o} \quad \dots \text{式 1.3.12}$$

$$\left\{ \therefore T \left( 1 + \frac{Z_L}{Z_o} \right) = g_m \frac{Z_o Z_L}{Z_o + Z_L} + g_m \frac{Z_L Z_o Z_L}{Z_o (Z_o + Z_L)} = g_m \frac{Z_L Z_o (Z_L + Z_o)}{Z_o (Z_L + Z_o)} \right\} \quad \dots \text{式 1.3.13}$$

式 1.3.12 からインピーダンス  $Z_L, Z_o$  の比率と、ループゲイン  $T$ 、電流ループゲイン  $T_i$  の関係は下式で表されます。

$$\frac{Z_L}{Z_o} = \frac{T_i - T}{T - 1} \quad \dots \text{式 1.3.14}$$

図 1.3.20 (b) において、グラウンドノードに流れ込む電流は、キルヒホッフの電流則により、下式で表されます。

$$-g_m v_x + \frac{-v_y}{Z_o} + \frac{v_x}{Z_L} = 0 \quad \dots \text{式 1.3.15}$$

式 1.3.15 から、電圧ループゲイン  $T_v = v_y/v_x$  は下式で表されます。

$$T_v = \frac{-v_y}{v_x} = g_m Z_o - \frac{Z_o}{Z_L} \quad \dots \text{式 1.3.16}$$

式 1.3.12 の電流ループゲイン  $T_i$  と同様に、電圧ループゲイン  $T_v$  は式 1.3.11 と式 1.3.16 から下式で表されます。

$$T_v = \frac{-v_y}{v_x} = g_m \frac{Z_o Z_L (Z_o + Z_L)}{Z_L (Z_o + Z_L)} - \frac{Z_o}{Z_L} = T \left( 1 + \frac{Z_o}{Z_L} \right) - \frac{Z_o}{Z_L} \quad \dots \text{式 1.3.17}$$

式 1.3.17 からインピーダンス  $Z_o, Z_L$  の比率と、ループゲイン  $T$ 、電圧ループゲイン  $T_v$  の関係は下式で表されます。

$$\frac{Z_o}{Z_L} = \frac{T_v - T}{T - 1} \quad \dots \text{式 1.3.18}$$

式 1.3.14 と式 1.3.18 から  $Z_L$  と  $Z_o$  を消去すると下式が得られます。

$$(T - 1)^2 = (T_i - T)(T_v - T) \quad \dots \text{式 1.3.19}$$

以上よりループゲイン  $T$  は、電流ループゲイン  $T_i$  と電圧ループゲイン  $T_v$  により下式で表されます。

$$T = \frac{T_v T_i - 1}{T_v + T_i + 2} \quad \dots \text{式 1.3.20}$$

$\mu$ A741 マクロモデル(UA741.301)を使用したボルテージフォロア回路のループゲインをミドルブルック法により解析した例を図 1.3.21~1.3.25 に示します。図 1.3.21 はテスト回路と AC 解析のセットアップ画面です。AC 解析の信号源は一つに限られるため、テスト電流源  $i_z$  は電圧制御電流源  $G_{z1}$  によりテスト電圧源  $v_z$  から生成しています。

「AC 伝達特性」ダイアログボックスの「OK」をクリックすると、図 1.3.22 のように  $i_x, i_y, v_x, v_y$  特性がプロットされます。ここで  アイコンをクリックして「詳細な編集」入力欄にループゲイン計算式を入力します。「曲線の追加」ダイアログボックスの「OK」をクリックすると、図 1.3.23, 1.3.24 のように、ループゲイン特性を表すボード曲線が得られます。

図 1.3.23 のループゲイン特性から、主要極 (*dominant pole*) は 5Hz、第 2 極は 2MHz にあり、位相余裕 (*Phase Margin*) は  $66.5^\circ$  ( $C_L = 0$ )、 $61.8^\circ$  ( $C_L = 100pF$ ) であることがわかります。

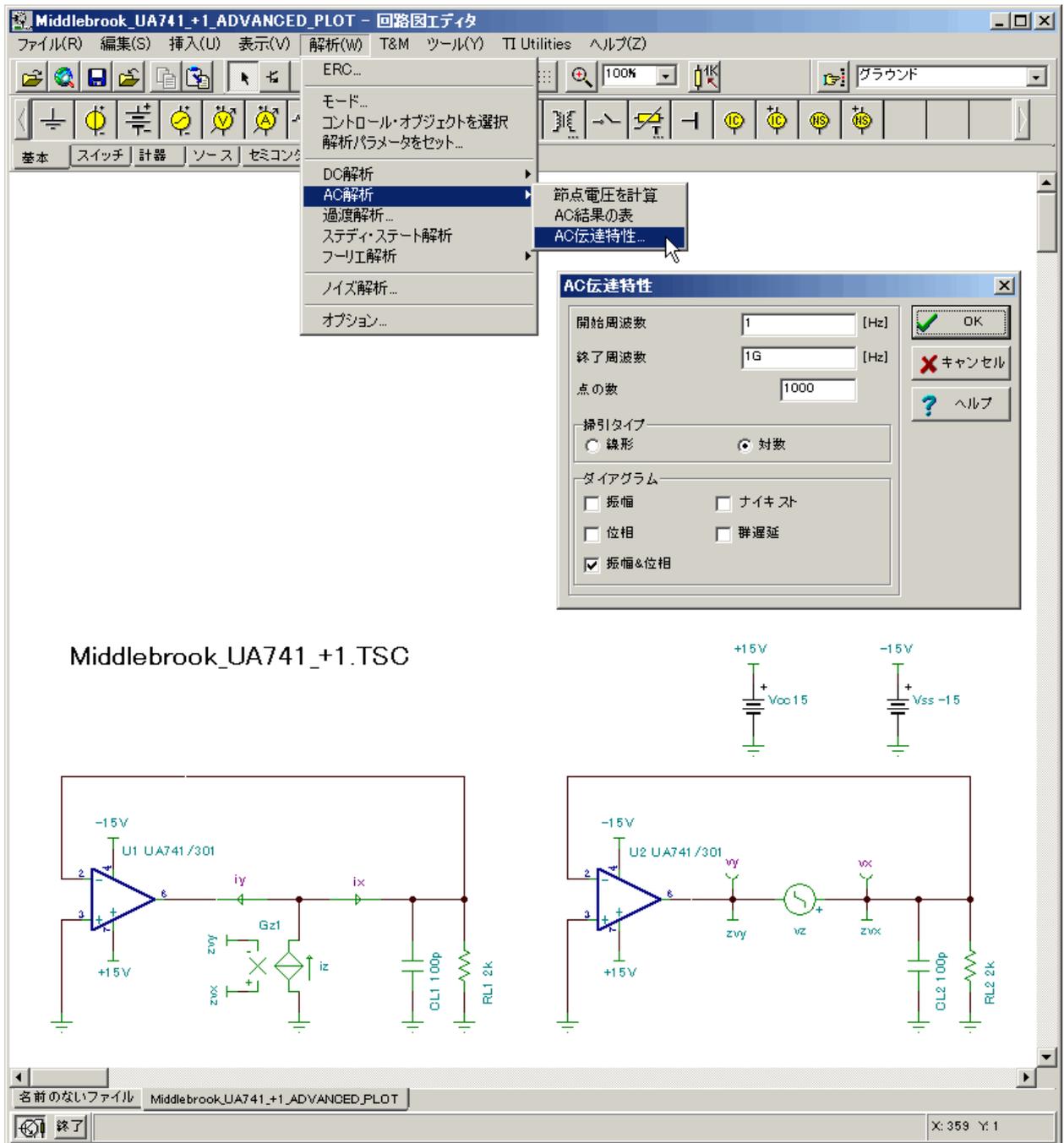


図 1.3.21 回路図の入力と解析メニューの設定

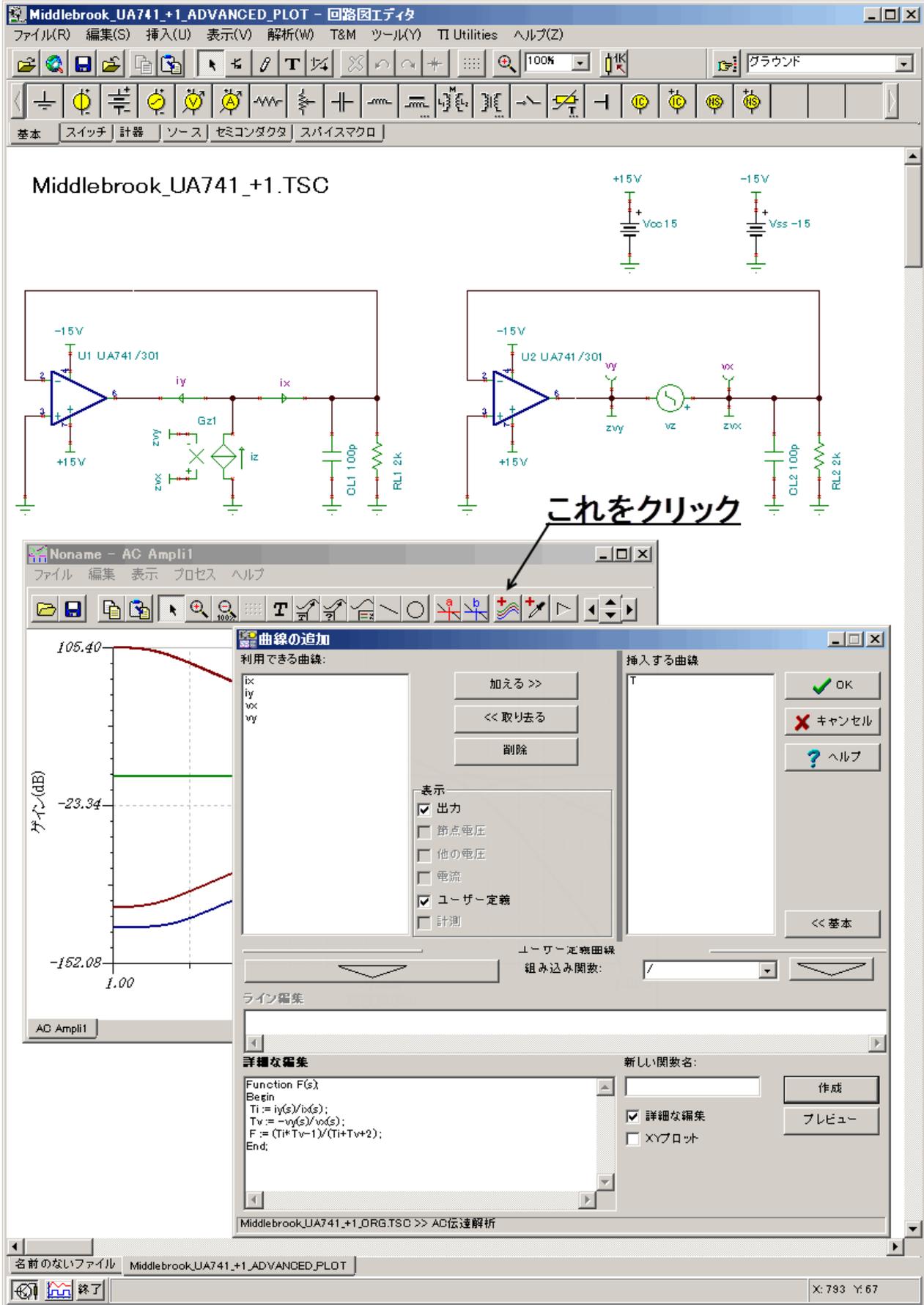


図 1.3.22  $T_i, T_v, T$  曲線の追加

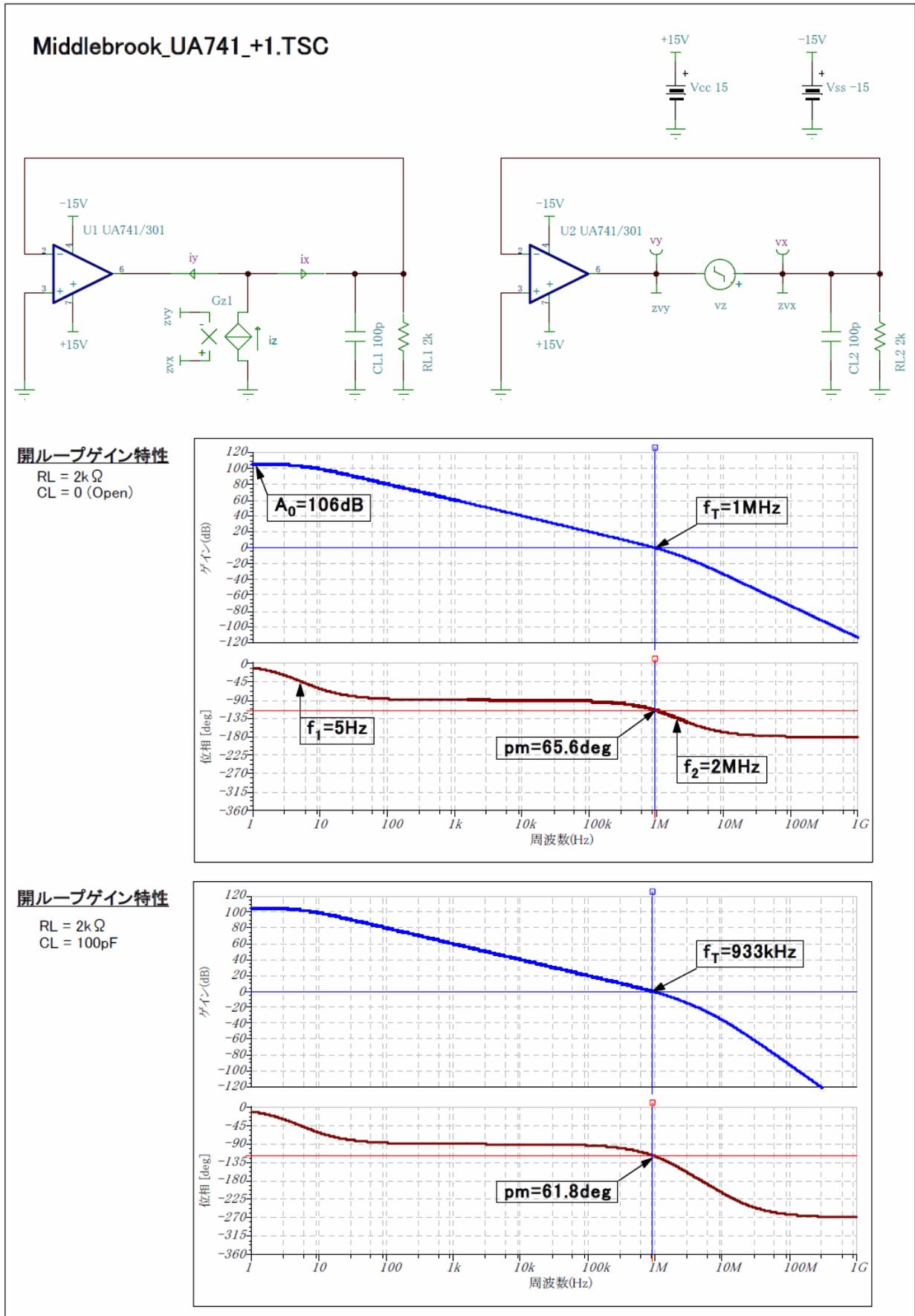
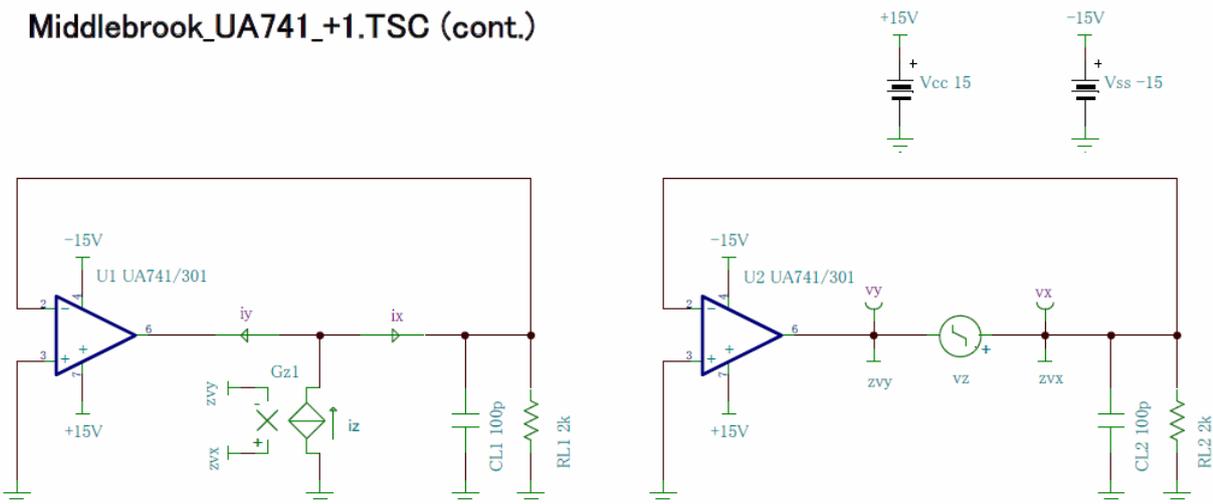
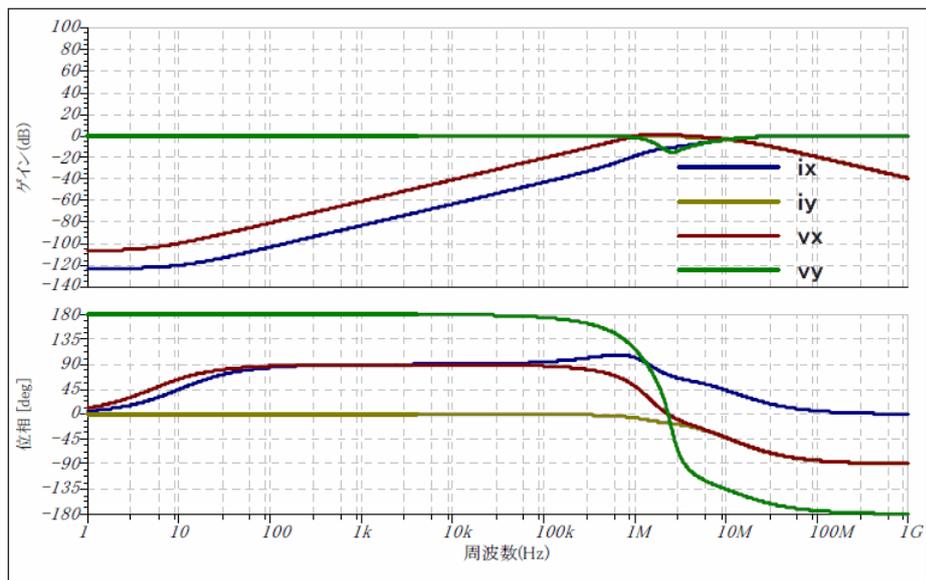


図 1.3.23 UA741.マクロモデルを使用したループゲインの解析例

### Middlebrook\_UA741\_+1.TSC (cont.)



#### ix, iy, vx, vy 特性



#### Ti, Tv, T 特性

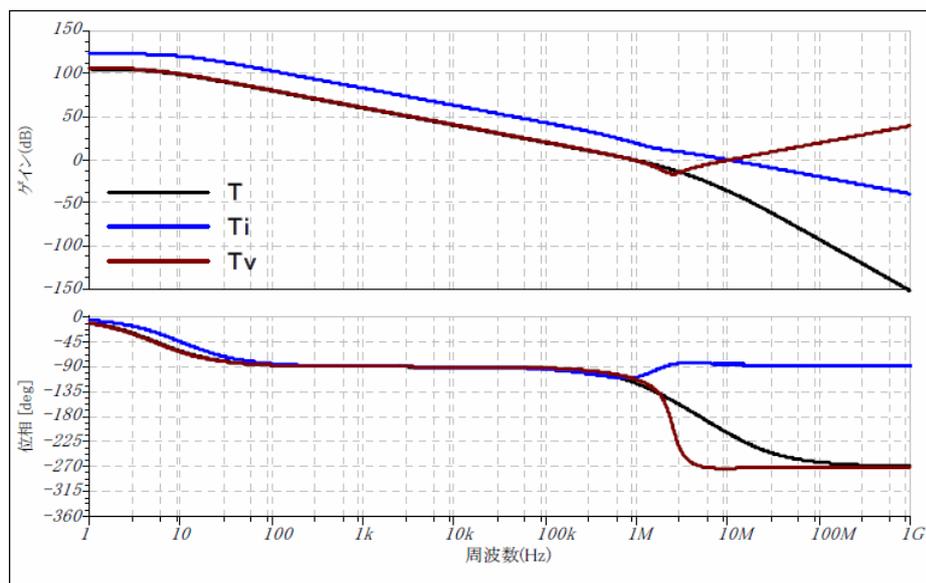


図 1.3.24 UA741.マクロモデルを使用したループゲインの解析例 ( 続き )

```

* UA741 OPERATIONAL AMPLIFIER "MACROMODEL" SUBCIRCUIT
* CREATED USING PARTS RELEASE 4.01 ON 07/05/89 AT 09:09
* (REV N/A)      SUPPLY VOLTAGE: +/-15V
* CONNECTIONS:  NON-INVERTING INPUT
*                | INVERTING INPUT
*                | | POSITIVE POWER SUPPLY
*                | | | NEGATIVE POWER SUPPLY
*                | | | | OUTPUT
*                | | | | |
*
.SUBCKT UA741    1 2 3 4 5
*
C1  11 12 4.664E-12
C2  6 7 20.00E-12
DC  5 53 DX
DE  54 5 DX
DLP 90 91 DX
DLN 92 90 DX
DP  4 3 DX
EGND 99 0 POLY(2) (3,0) (4,0) 0 .5 .5
FB  7 99 POLY(5) VB VC VE VLP VLN 0 10.61E6 -10E6 10E6 10E6 -10E6
GA 6 0 11 12 137.7E-6
GCM 0 6 10 99 2.574E-9
IEE 10 4 DC 10.16E-6
HLIM 90 0 VLIM 1K
Q1  11 2 13 QX
Q2  12 1 14 QX
R2  6 9 100.0E3
RC1 3 11 7.957E3
RC2 3 12 7.957E3
RE1 13 10 2.740E3
RE2 14 10 2.740E3
REE 10 99 19.69E6
RO1 8 5 150
RO2 7 99 150
RP  3 4 18.11E3
VB  9 0 DC 0
VC 3 53 DC 2.600
VE  54 4 DC 2.600
VLIM 7 8 DC 0
VLP 91 0 DC 25
VLN 0 92 DC 25
.MODEL DX D (IS=800.0E-18)
.MODEL QX NPN (IS=800.0E-18 BF=62.50)
.ENDS

```

図 1.3.25  $\mu$ A741 マクロモデル(UA741.301) <sup>[19]</sup>

### ステップ応答による位相余裕の解析

$\mu A741$  の開ループゲインを式 1.3.21 に示す 2 次伝達関数でモデル化した特性を図 1.3.28 に示します。 $A_0$  は DCループゲイン、 $f_1$  は位相補償容量で設定する主要極周波数、 $f_{2A}$  はバイポーラトランジスタの  $pn$  接合容量など  $\mu A741$  内の寄生素子が形成する 2 次極周波数を表します。 $\mu A741$  の 2 次極周波数は  $f_{2A} \cong 2MHz$  に位置するため、ユニティゲイン周波数を  $f_T \cong 1MHz$  に抑え、およそ  $63^\circ$  の位相余裕を確保しています。

$$A(s) = \frac{A_0}{\left(1 + \frac{s}{2\pi f_1}\right)\left(1 + \frac{s}{2\pi f_{2x}}\right)} \quad \dots \text{式 1.3.21}$$

2 次極の周波数  $f_{2A}$  は負荷容量が増加すると  $f_{2B}, f_{2C}$  のように移動し位相余裕  $pm$  が減少します。ユニティゲイン周波数  $f_T$ 、2 次極周波数  $f_{2x}$ 、位相余裕  $pm$  との関係は式 1.2.22 で表されます。

$$pm = 90^\circ - \tan^{-1}\left(\frac{f_T}{f_{2x}}\right) \quad \dots \text{式 1.3.22}$$

$\mu A741$  ボルテージフォロア回路の開ループゲインを式 1.3.23 に示す 2 次伝達関数でモデル化した特性を図 1.3.29 に示します。式 1.3.23 の  $\beta (= 1)$  は帰還回路の伝達関数を表しています。

$$A_{CL}(s) = \frac{A(s)}{1 + \beta A(s)} = \frac{A_0}{1 + \frac{s}{2\pi f_1 A_0} + \frac{s^2}{2\pi f_1 A_0 2\pi f_{2x}}} \quad \dots \text{式 1.3.23}$$

負荷容量が増加して位相余裕  $pm$  が減少すると図 1.3.29 に示すようにゲインピーキングが発生します。ゲインピーキングの  $Q$  (quality factor) は式 1.3.24 で表されます。

$$Q = \sqrt{\frac{2\pi f_T}{2\pi f_2} \left(1 + \frac{(2\pi f_2)^2}{(2\pi f_2)^2}\right)^{\frac{1}{2}}} \quad \dots \text{式 1.3.24}$$

式 1.3.23 で表される 2 次伝達関数ステップ応答を図 1.3.26 に示します。位相余裕が減少するにつれて、オーバーシュートは大きくなります。位相余裕とピークオーバーシュートの関係は下式で表されます。

$$\text{ピークオーバーシュート}(\%) = 100e^{-\frac{\pi}{\sqrt{4Q^2-1}}} \quad \dots \text{式 1.3.25}$$

図 1.3.27 に位相余裕とピークオーバーシュート(%) の関係を示します。ミドルブルック法に比べるとステップ応答の観測は容易であるため、実回路では図 1.3.27 を利用して位相余裕を推定する方法が便利です。TINA-TI によるオーバーシュート特性とゲインピーキング特性の解析例を図 1.3.30 に示します。一般的なガイドラインとして、発振を防止するためには少なくとも  $45^\circ$  の位相余裕が推奨されます。

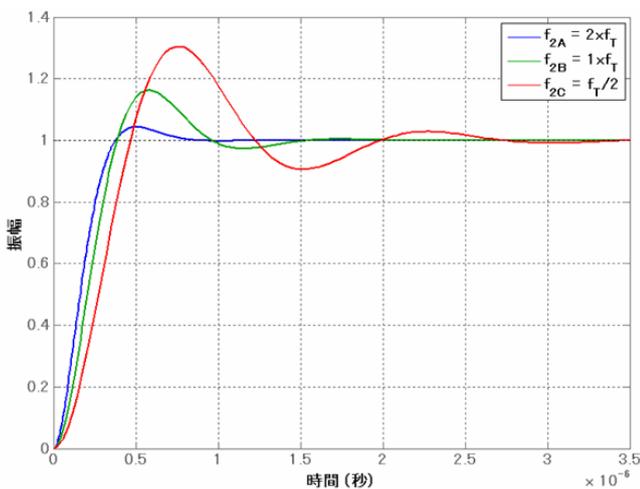


図 1.3.26 式 1.3.23 のステップ応答

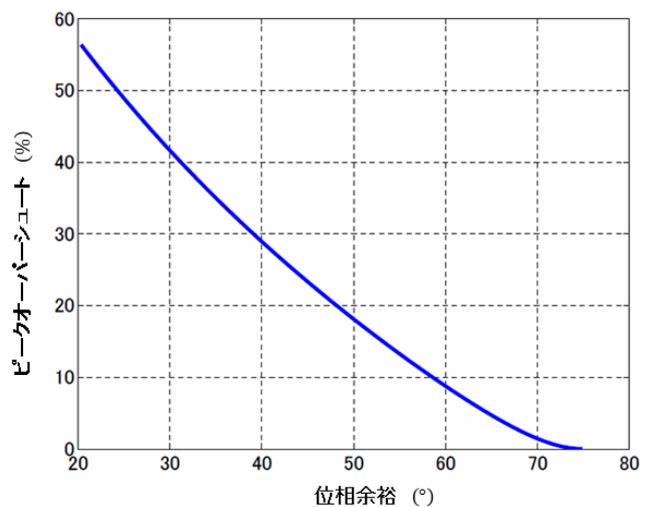


図 1.3.27 2 次伝達関数の位相余裕対オーバーシュート

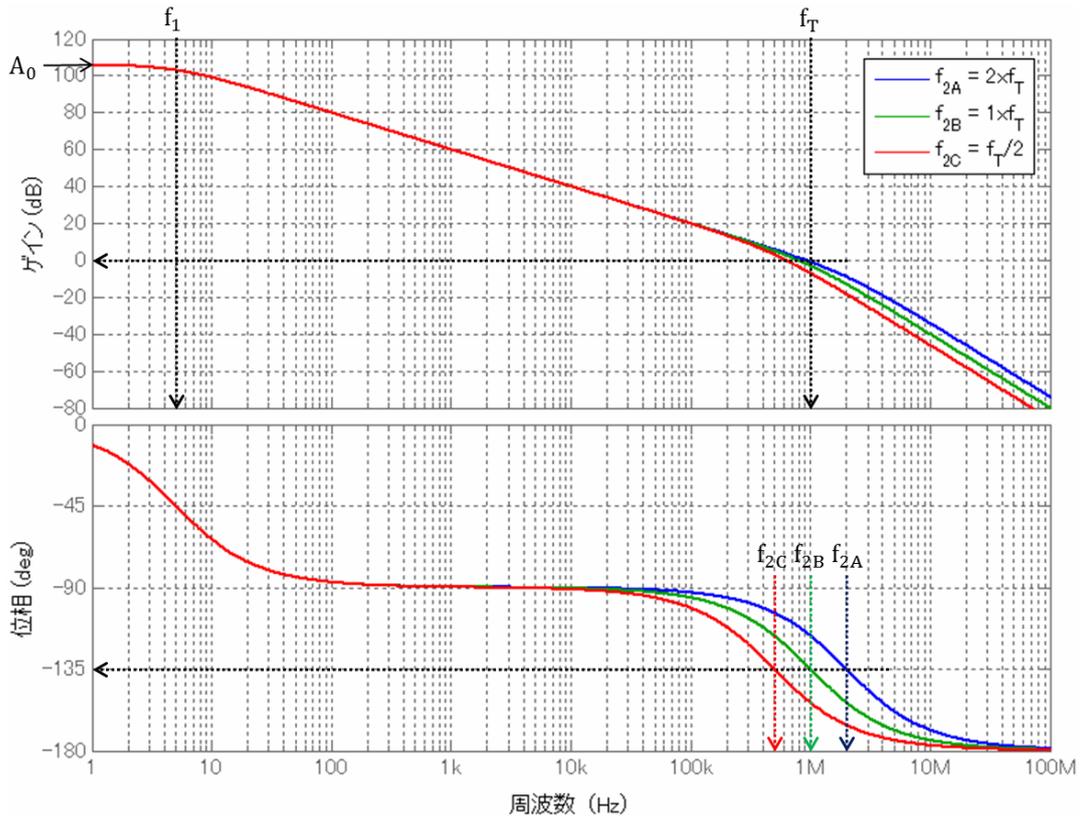


図 1.3.28 式 1.3.21 の 2 次伝達関数でモデル化したループゲイン特性

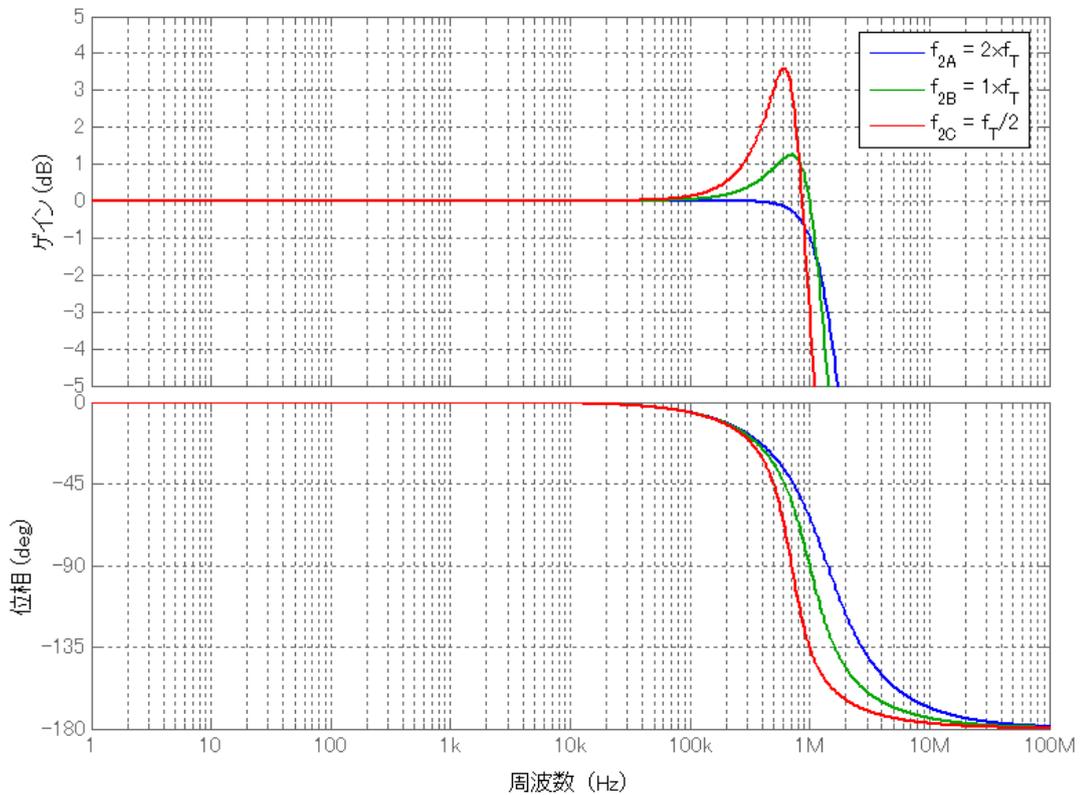


図 1.3.29 式 1.3.23 の 2 次伝達関数でモデル化した閉ループゲイン特性

## UA741\_+1\_CLOSED\_LOOP.TSC

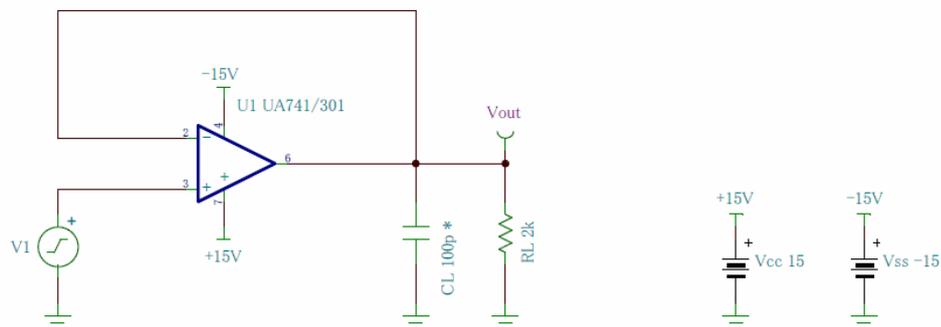
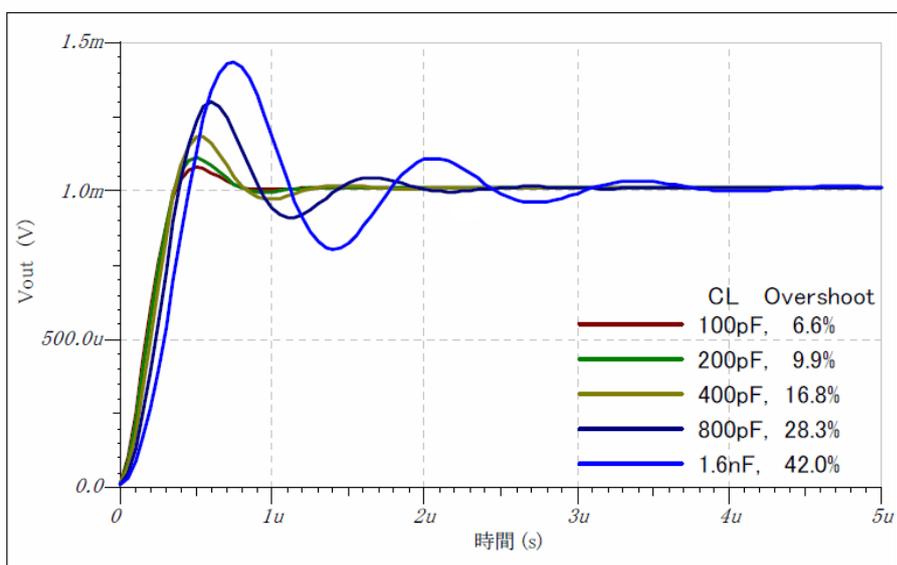
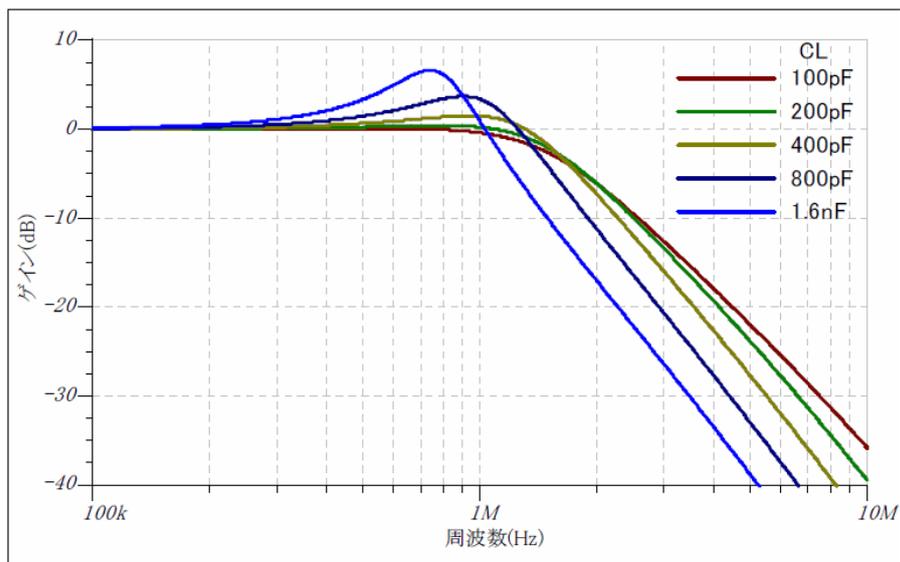
オーバーシュートゲインピーキング

図 1.3.30 TINA-TI によるオーバーシュート特性とゲインピーキング特性の解析例

## 負帰還によるゲイン変動の低減

オペアンプの開ループゲインは大きく表 1.3.1 に示すように  $\mu\text{A}741$  の標準的な DC 開ループゲインは  $200\text{ V/mV}$  ( $106\text{ dB}$ ) です。この大きな開ループゲインは内部トランジスタの電流増幅率のバラツキや、周囲温度、電源電圧などの条件により変動します。汎用オペアンプ  $\mu\text{A}741$  の開ループゲイン vs. 電源電圧特性を図 1.3.31 に示します。

負帰還増幅回路は、オペアンプなど基本増幅器の伝達関数  $\alpha$  が変動しても、負帰還増幅回路全体の閉ループゲイン  $A_F$  の変動を減少させる機能を持ちます。負帰還増幅回路の基礎方程式  $A_F = \alpha / (1 + \alpha\beta)$  を基本増幅器の伝達関数  $\alpha$  について微分すると

$$\frac{dA_F}{d\alpha} = \frac{1}{\alpha^2\beta^2 + 2\alpha\beta + 1} = \frac{1}{(1 + \alpha\beta)^2} \quad \dots \text{式 1.3.26}$$

$\alpha$  の変化  $\delta\alpha$  に対する  $A_F$  の変化  $\delta A_F$  を求めると

$$\delta A_F = \frac{\delta\alpha}{(1 + \alpha\beta)^2} \quad \dots \text{式 1.3.27}$$

$A_F$  の変化率の式に変形すると

$$\frac{dA_F}{A_F} = \frac{1 + \alpha\beta}{\alpha} \times \frac{\delta\alpha}{(1 + \alpha\beta)^2} \quad \dots \text{式 1.3.28}$$

式 1.3.28 から基本増幅器の伝達関数  $\alpha$  の変化率 ( $\delta\alpha/\alpha$ ) に対する負帰還増幅回路全体の閉ループゲイン  $A_F$  の変化率を求めると

$$\frac{dA_F}{A_F} = \frac{\delta\alpha}{\alpha} \frac{1}{1 + \alpha\beta} \quad \dots \text{式 1.3.29}$$

式 1.3.29 は、負帰還増幅回路全体の閉ループゲイン  $A_F$  の変化率が基本増幅器の伝達関数  $\alpha$  変化率の変化率の  $(1 + \alpha\beta)$  分の 1 になることを示しています。

例として、 $\mu\text{A}741$  を使用したボルテージフォロア回路 ( $\beta = 1$ ) において、電源電圧が  $\pm 15\text{ V}$  から  $\pm 13.5\text{ V}$  に  $-10\%$  変化した時の閉ループゲインの変化率  $dA_F/A_F$  を求めます。図 1.3.31 から開ループゲイン  $\alpha$  の変化量は  $\delta\alpha = 200,000 - 170,000 = 30,000$  ( $-15\%$ ) となります。これらを式 1.3.29 に代入すると、閉ループゲイン  $A_F$  は  $0.75\text{ ppm}$  しか変化しないことがわかります。

$$\frac{dA_F}{A_F} = \frac{\delta\alpha}{\alpha} \frac{1}{1 + \alpha\beta} = \frac{30,000}{200,000} \frac{1}{1 + 200,000 \times 1} = \frac{0.15}{200,001} \approx 0.75 \text{ ppm}$$

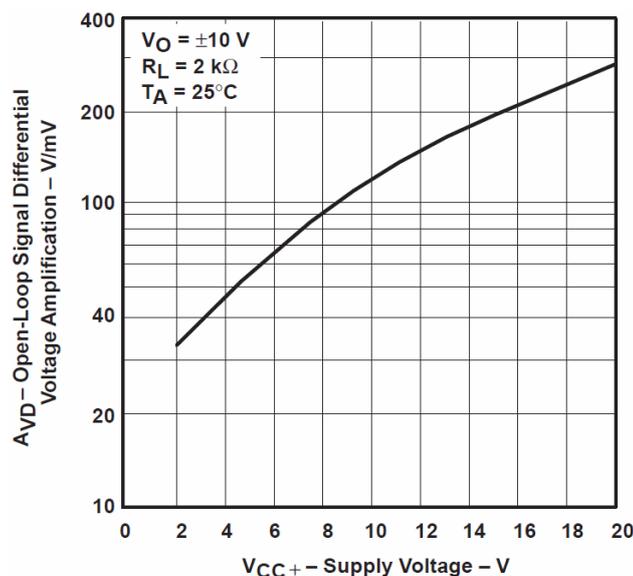


図 1.3.31  $\mu\text{A}741$  の開ループゲイン vs. 電源電圧特性<sup>[14]</sup>

## 負帰還による歪の低減

図 1.3.32 に  $\mu A741$  マクロモデルによるボルテージフォロアのゲイン特性を示します。一次の主要極により  $F_1$  から  $F_T$  までのゲイン特性を  $-6\text{dB/oct}$  として、位相補償による DC  $\sim F_T$  の最大位相変化量を  $-90^\circ$  に抑えています。

図 1.3.33 にプッシュプル・バッファの全高調波歪の解析を示します。トランジスタのクロスオーバー歪はダイオードバイアス回路で低減されていますが、 $1\text{kHz}$ ,  $1V_{p-p}$  の測定信号による全高調出力波歪は約 **0.692%** ( $-43.20.00288\text{dBFS}$ ) です。

図 1.3.34 ではプッシュプル・バッファをボルテージフォロアの負帰還ループ中に挿入しています。その結果として全高調波歪は約 **0.00288%** ( $-90.8\text{dBFS}$ ) となり、図 1.3.33 比べ約  $0.000288/0.00692 \approx -47.6\text{dB}$  に低減されました。

TINA-TI の解析による出力波形歪の比較を、図 1.3.35、図 1.3.36 に示します。

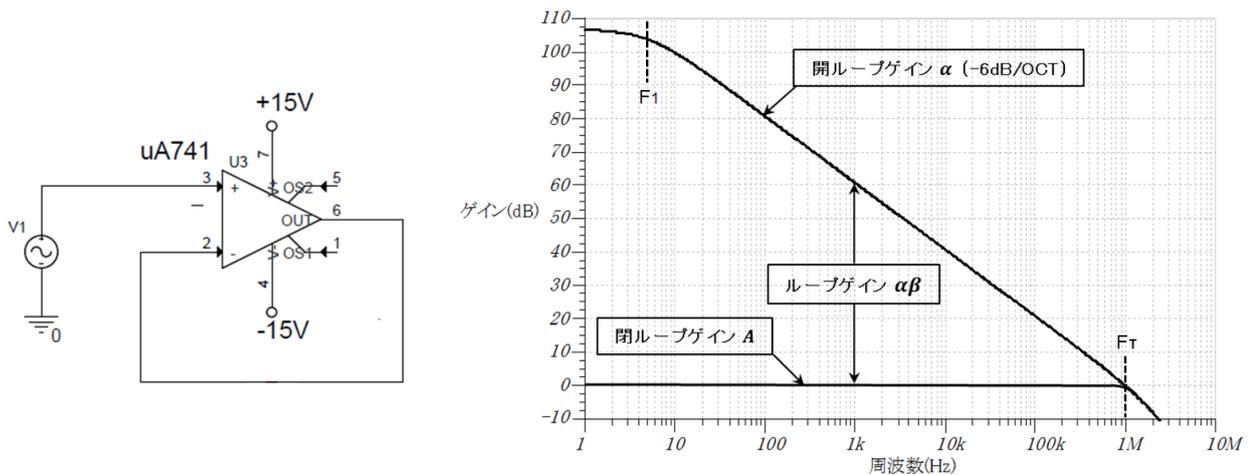


図 1.3.32  $\mu A741$  マクロモデルを使用したボルテージフォロアのゲイン特性

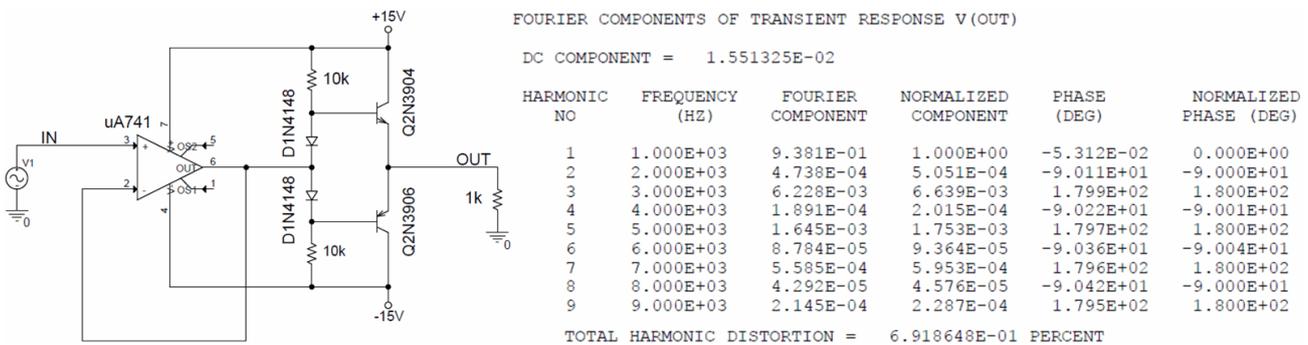


図 1.3.33 プッシュプル・バッファの全高調波歪の解析

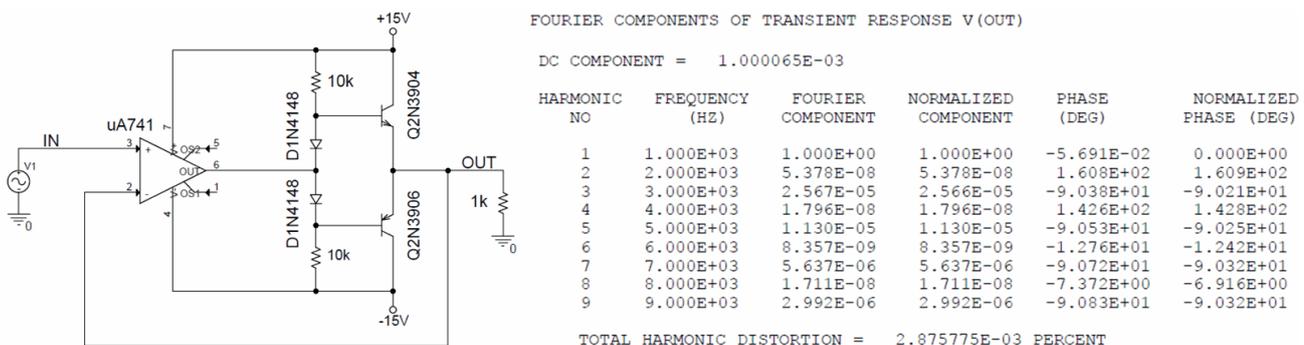
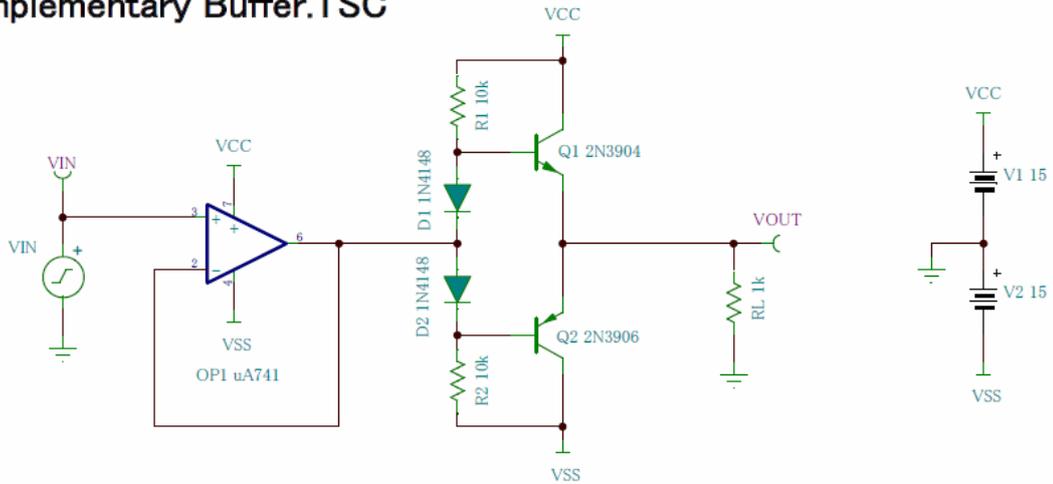
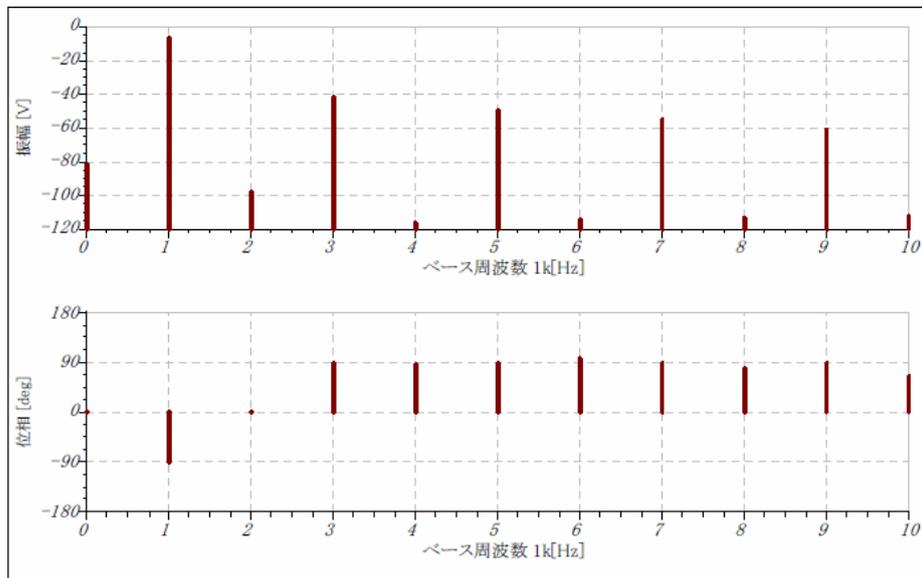


図 1.3.34 ボルテージフォロアの負帰還ループに挿入したプッシュプル・バッファの全高調波歪の解析

### Complementary Buffer.TSC



#### 出力波形歪



#### 入出力波形

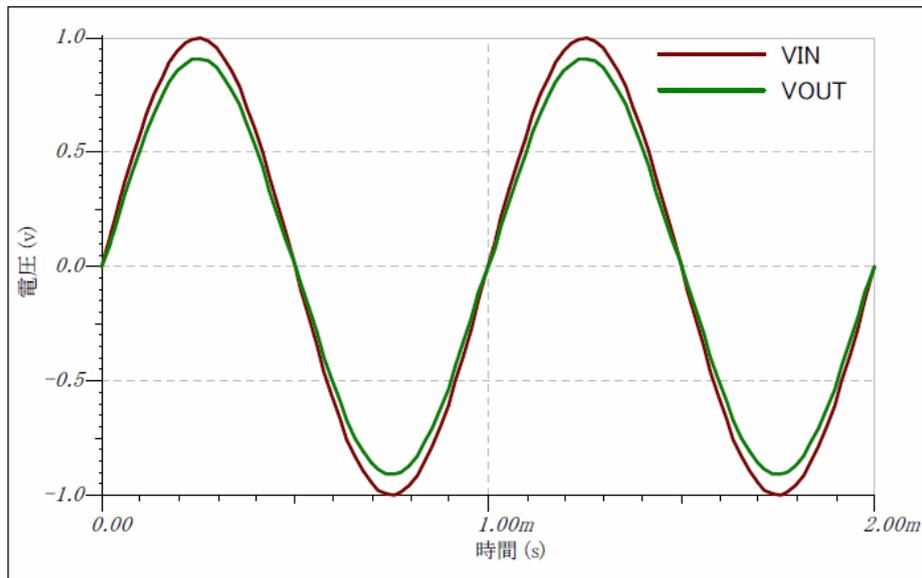
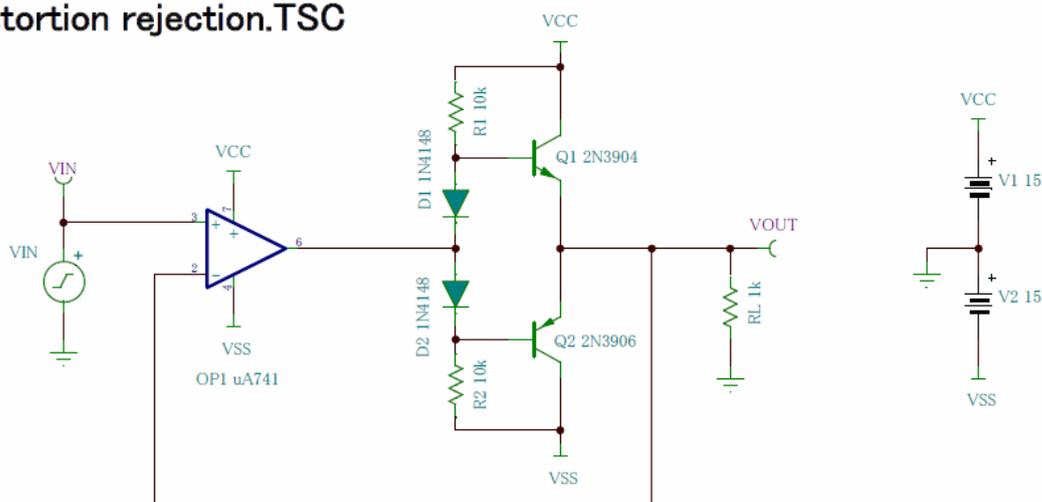
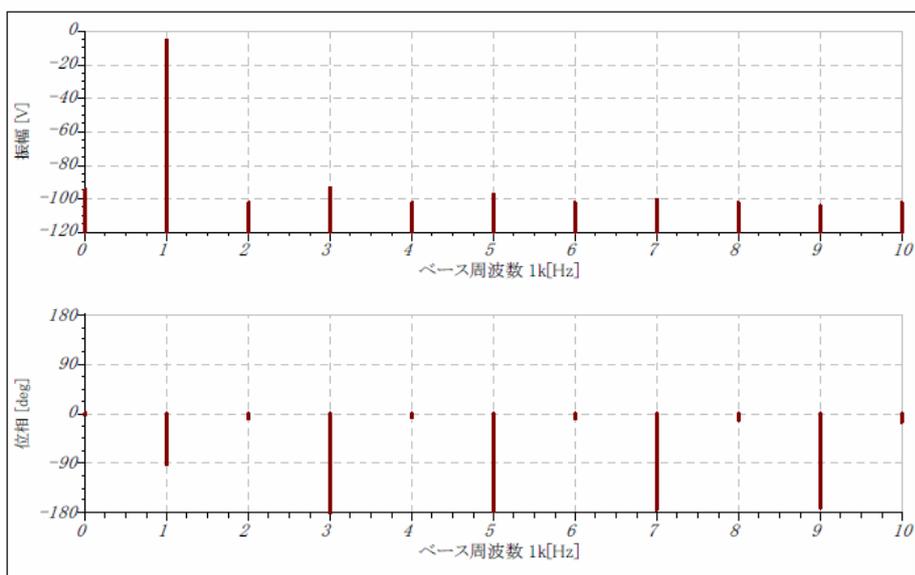


図 1.3.35 プッシュプル・バッファの出力波形歪の解析例

### Distortion rejection.TSC



#### 出力波形歪



#### 入出力波形

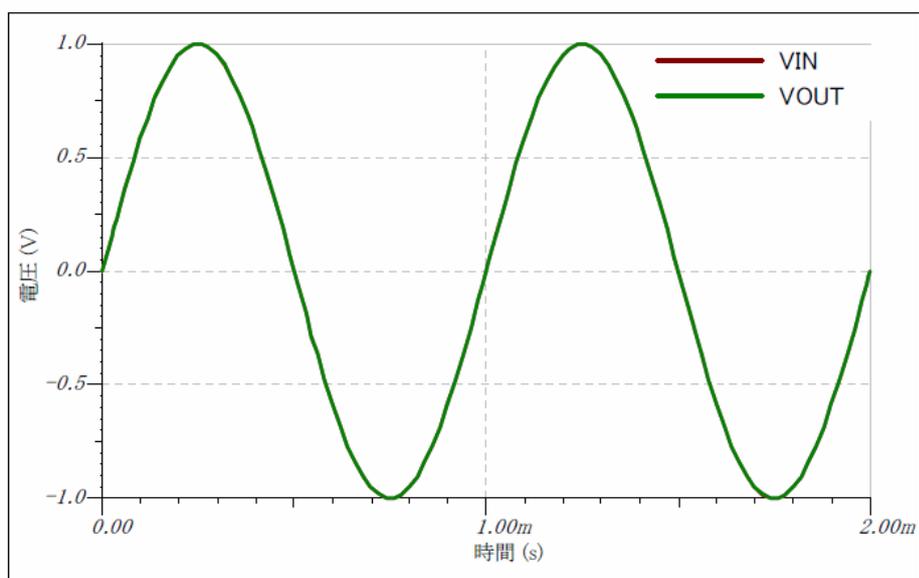


図 1.3.36 ボルテージフォロアの負帰還ループに挿入したプッシュプル・バッファの出力波形歪の解析例

## 反転増幅回路

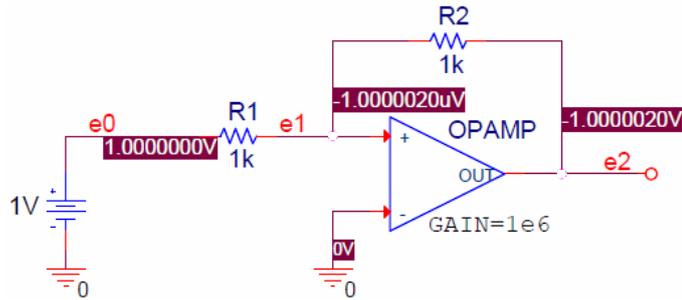


図 1.3.37 反転増幅回路のバイアスポイント解析例

図 1.8.37 に反転増幅回路のバイアス・ポイント解析例を示します。理想オペアンプを表す OPAMP の入力インピーダンスは $\infty$ 、出力インピーダンスは 0、開ループゲインは  $10^6$  です。ノード電圧の有効桁数 [ NUMDG ] は 7 桁に設定しています。

キルヒホッフの電流則と理想オペアンプの伝達式から下式が成立します。

$$\begin{cases} \frac{(e0 - e1)}{R1} - \frac{(e1 - e2)}{R2} = 0 \\ GAIN \times (e1 - 0) - e2 = 0 \end{cases} \quad \dots \text{式1.3.30}$$

オープンソースの数式処理システム REDUCE<sup>[20]</sup> を使用した式 1.2.30 の解を図 1.3.38 に示します。結果より反転増幅回路のゲインA は下式で表されます。

$$A = \frac{e2}{e0} = -\frac{R2}{R1 - \frac{R1}{GAIN} - \frac{R2}{GAIN}} = \frac{\frac{R2}{R1}}{1 - \frac{1}{GAIN} - \frac{R2}{R1 GAIN}} \approx -\frac{R2}{R1} \quad \dots \text{式 1.3.31}$$

図 1.3.37 中のノード電圧  $e1, e2$  は、下式に示すように図 1.3.38 のバイアス・ポイント解析結果と一致します。

$$e1 = -\frac{1}{999998} = -1.0000020e - 6 \text{ V}, \quad e2 = -\frac{500000}{499999} = -1.0000020 \text{ V}$$

```
Reduce (Free CSL version), 19-Jul-09 ...
% inverting_amp.red
% 2014/10/06
f1:=(e0-e1)/R1-(e1-e2)/R2$
f2:=e1*GAIN-e2$
a:=solve {{f1,f2},{e1,e2}};

a: = { { { e1 = \frac{-e_0 r_2}{gain r_1 - r_1 - r_2}, e2 = \frac{-e_0 gain r_2}{gain r_1 - r_1 - r_2} } } }

R1 := 1000$
R2 := 1000$
GAIN := 1e6$
a:=solve {{f1,f2},{e1,e2}};

a: = { { { e1 = \frac{-e_0}{999998}, e2 = \frac{-500000 e_0}{499999} } } }
```

図 1.3.38 数式処理システム REDUCE を使用した式 1.3.30 の解

## 非反転増幅回路

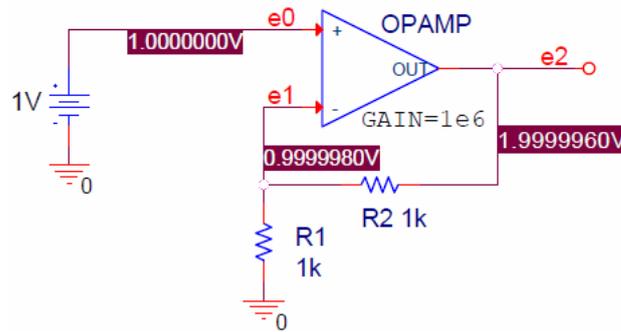


図 1.3.39 非反転増幅回路のバイアスポイント解析例

図 1.3.39 に非反転増幅回路のバイアス・ポイント解析例を示します。反転増幅回非と同様の手順で下式が成立します。

$$\begin{cases} \frac{(e2 - e1)}{R2} - \frac{e1}{R1} = 0 \\ GAIN \times (e0 - e1) - e2 = 0 \end{cases} \quad \dots \text{式1.3.32}$$

非反転増幅回路のゲインA とノード電圧  $e1, e2$  は、図 1.3.40 に示す解析結果から下式で表されます。

$$A = \frac{e2}{e0} = \frac{R1 + R2}{R1 - \frac{R1}{GAIN} - \frac{R2}{GAIN}} = \frac{\frac{R1 + R2}{R1}}{1 - \frac{1}{GAIN} - \frac{R2}{GAIN R1}} \approx 1 + \frac{R2}{R1} \quad \dots \text{式 1.3.33}$$

$$e1 = \frac{500000}{500001} = 0.9999980 \text{ V}$$

$$e2 = \frac{1000000}{500001} = 1.9999960 \text{ V}$$

```
Reduce (Free CSL version), 19-Jul-09 ...
% noninverting_amp.red
% 2014/10/06
f1:=(e2-e1)/R2-e1/R1$
f2:=(e0-e1)*GAIN-e2$
a:=solve ({f1,f2},{e1,e2});

a: = { { e1 = \frac{e_0 \text{ gain } r_1}{\text{gain } r_1 + r_1 + r_2}, e_2 = \frac{e_0 \text{ gain } (r_1 + r_2)}{\text{gain } r_1 + r_1 + r_2} } }

R1 := 1000$
R2 := 1000$
GAIN := 1e6$
a:=solve ({f1,f2},{e1,e2});

a: = { { e1 = \frac{500000 e_0}{500001}, e_2 = \frac{1000000 e_0}{500001} } }
```

図 1.3.40 式 1.3.32 の解

## 差動増幅回路

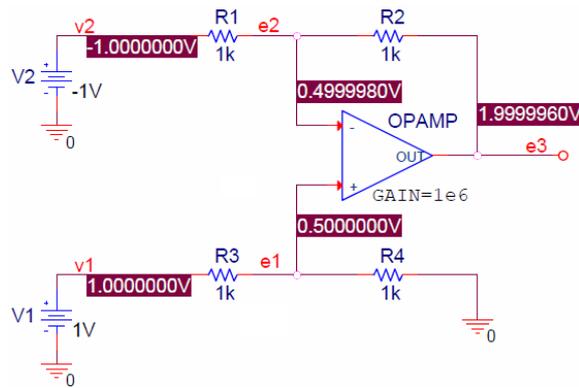


図 1.3.41 差動増幅回路

図 1.8.41 に差動増幅回路のバイアス・ポイント解析例を示します。ここで  $R1 = R2 = R3 = R4 = R$  とすると下式が成立します。

$$\begin{cases} \frac{(v2 - e2)}{R} - \frac{(e2 - e3)}{R} = 0 \\ \frac{(v1 - e1)}{R} - \frac{e1}{R} = 0 \\ GAIN \times (e1 - e2) - e3 = 0 \end{cases} \quad \dots \text{式1.3.34}$$

非反転増幅回路の差動ゲインA とノード電圧  $e1, e2, e3$  は、図 1.3.42 に示す解析結果から下式で表されます。

$$A = \frac{e3}{v1 - v2} = \frac{1}{1 - \frac{2}{GAIN}} \approx 1 \quad (GAIN \gg 2) \quad \dots \text{式 1.3.35}$$

$$e1 = \frac{1}{2} = 0.5000000 \text{ V}, \quad e2 = -\frac{499999}{1000002} = 0.4999980 \text{ V}, \quad e3 = -\frac{1000000}{500001} = 1.9999960 \text{ V}$$

```

Reduce (Free CSL version), 19-Jul-09 ...
% differential_amp.red
% 2014/10/06

f1:=(v2-e2)/R-(e2-e3)/R$
f2:=(v1-e1)/R-e1/R$
f3:=(e1-e2)*GAIN-e3$
a:=solve ({f1,f2,f3},{e1,e2,e3});

a: = { { {
e1 = v1/2, e2 = (gain*v1 + 2*v2)/(2*(gain + 2)), e3 = (v1 - v2)*gain/(gain + 2)
} } }

R:=1000$
GAIN := 1e6$
a:=solve ({f1,f2,f3},{e1,e2,e3});

a: = { { {
e1 = v1/2, e2 = (500000*v1 + v2)/1000002, e3 = (500000*(v1 - v2))/500001
} } }
    
```

図 1.3.42 式 1.3.34 の解

## 741 型オペアンプ

### 741 型オペアンプの SPICE モデル (741X.MOD)

図 1.3.43 に 741 型オペアンプの SPICE モデルである 741X.MOD の回路図を示します。基本的な動作は図 1.3.17 の簡略回路と同じですが 741X.MOD はバイアス回路を含む全回路を実回路の通りにバイポーラ・トランジスタでモデル化しています。回路中のバイポーラ・トランジスタには、モデル名とデバイス・エリアが記載されています。図 1.3.17 の簡略回路では入力段と出力段のバイアスを電流源 I1, I2 に置き換えていましたが、741X.MOD では実回路に合わせて Q10 と Q11、および Q13 と Q14 のペアによるワイドラ一定電流回路に置き換えています。

バイアス電流 I1 は、Q11, Q12 のデバイスエリアが等しいために下式で表されます。

$$I_{REF} = \frac{V_{CC} - V_{SS} - 2V_{BE(on)}}{R_4} \approx \frac{15 - (-15) - 2 \times 0.7}{39 \times 10^3} \approx 733 \mu\text{A} \quad \dots \text{式 1.3.36}$$

Q10, Q11, R5 のループ L1 についてキルヒホッフの電圧則を適用すると下式が得られます。

$$V_{BE-Q10} = V_{BE-Q11} + I_1 R_5 \quad \dots \text{式 1.3.37}$$

Q10, Q11 には下式が成立します。

$$I_{REF} = I_{S-Q10} \exp\left\{\frac{V_{BE-Q10}}{V_T}\right\} \rightarrow V_{BE-Q10} = V_T \log\left\{\frac{I_{REF}}{I_{S-Q10}}\right\} \quad \dots \text{式 1.3.38}$$

$$I_1 = I_{S-Q11} \exp\left\{\frac{V_{BE-Q11}}{V_T}\right\} \rightarrow V_{BE-Q11} = V_T \log\left\{\frac{I_1}{I_{S-Q11}}\right\} \quad \dots \text{式 1.3.39}$$

$$V_T = \frac{kT}{q} \approx 26\text{mV at } 300^\circ\text{K} \quad \dots \text{式 1.3.40}$$

式 1.3.38, 式 1.3.39 を式 1.3.37 に代入すると下式が得られます。

$$V_T \log\left\{\frac{I_{REF}}{I_{S-Q10}}\right\} = V_T \log\left\{\frac{I_1}{I_{S-Q11}}\right\} + I_1 R_5 \quad \dots \text{式 1.3.41}$$

$$I_1 R_5 = V_T \log\left\{\frac{I_{REF}}{I_1}\right\} \quad (\because I_{S-Q10} \cong I_{S-Q11}) \quad \dots \text{式 1.3.42}$$

ここで、 $V_{BE-Q10}$ ,  $V_{BE-Q11}$ ,  $I_{S-Q10}$ ,  $I_{S-Q11}$  は Q10, Q11 のベース-エミッタ間電圧、接合飽和電流です。

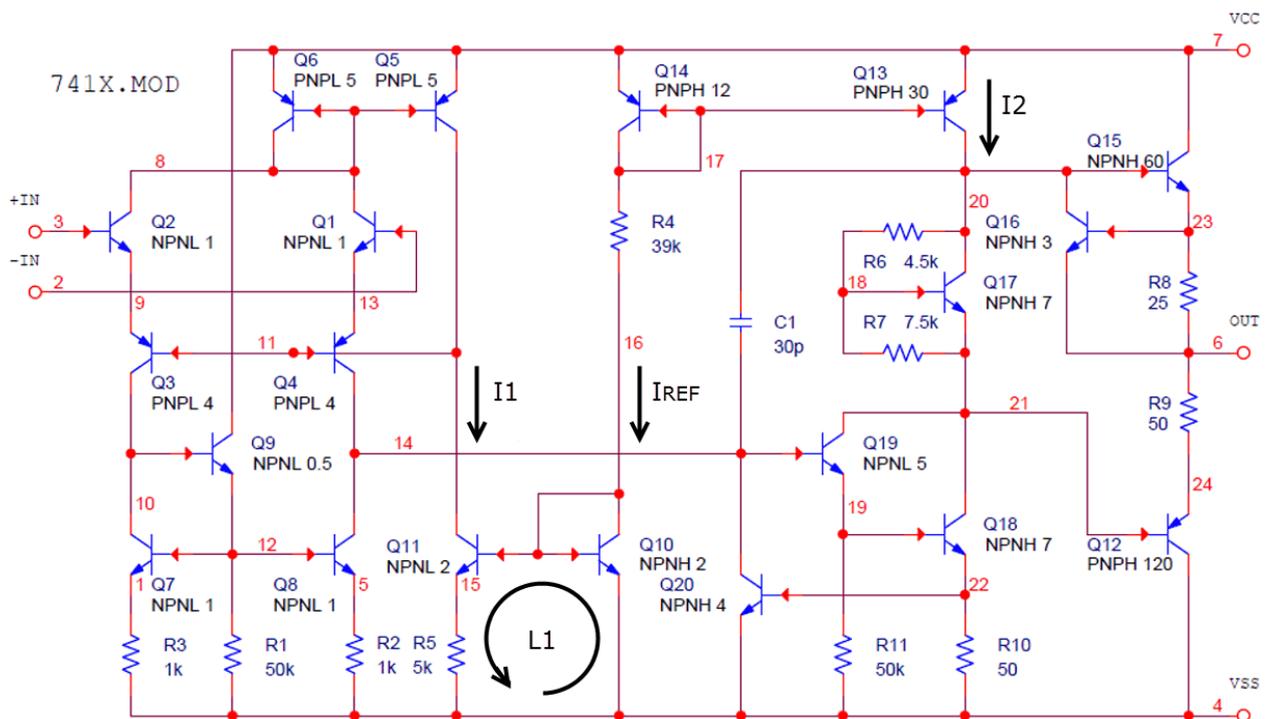


図 1.3.43 741X.MOD 回路図

バイアス電流 $I_1$ を求めるには、まず $I_1$ の値を仮定し、式 1.3.42 の両辺が等しくなるまで、 $I_1$ の値を変えながら計算を繰り返さなければなりません。その結果は図 1.3.44 に示すように下式のようにになります。

$$I_1 \approx 19 \mu A \quad \dots \text{式 1.3.43}$$

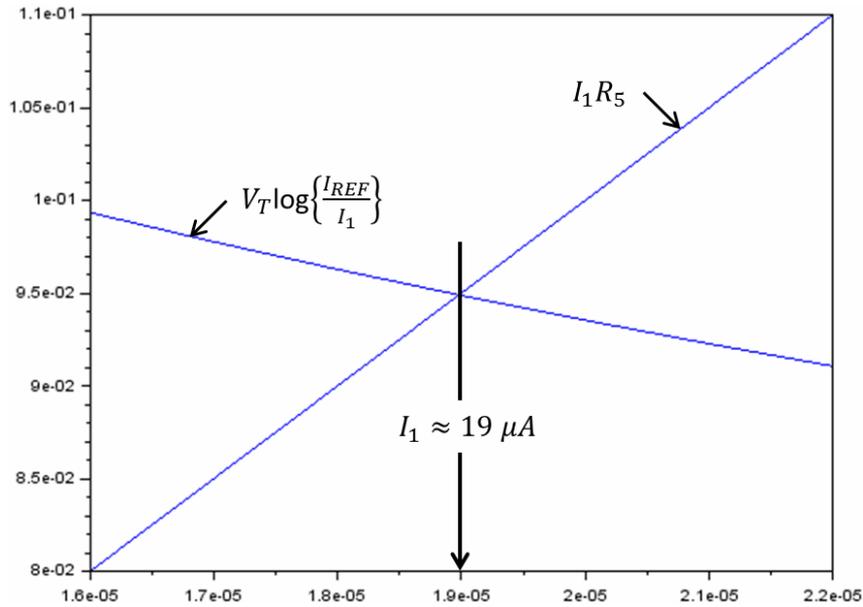


図 1.3.44  $I_1$ の近似値

バイアス電流 $I_2$ の値は Q13, Q14 のデバイス・エリア比により、下式のように決まります。

$$I_2 = \frac{30}{12} I_{REF} \approx 1.82 \text{ mA} \quad \dots \text{式 1.3.44}$$

図 1.3.43 に示す 741 型オペアンプの SPICE モデル(741X.MOD)のバイアス電流 $I_{REF}, I_1, I_2$ を、手計算と SPICE のバイアスポイント解析で求めた値の比較を表 1.3.2 に示します

表 1.3.2 手計算とバイアスポイント解析の比較

項目	手計算	バイアスポイント解析
$I_{REF}$	733 $\mu A$	719.5 $\mu A$
$I_1$	19 $\mu A$	19.99 $\mu A$
$I_2$	1.82 mA	1.963 mA

## パルス応答

図 1.3.48 に示した 741X.MOD ボルテージフォロア回路のパルス応答を図 1.3.45 に示します。出力パルスの立ち下がりエッジは約  $-0.5V/\mu s$  の正常な直線傾斜のスルーレート特性を示します。それに反し、立ち上がりエッジは、瞬間的に約  $1.5V$  立ち上がった後に、約  $+0.6V/\mu s$  の正常な直線傾斜のスルーレート特性を示します。この特性は図 1.3.49 に示す  $\mu A741$ ,  $\mu A741Y$  Data Sheet<sup>[14]</sup> の代表的特性曲線でも確認することができます。

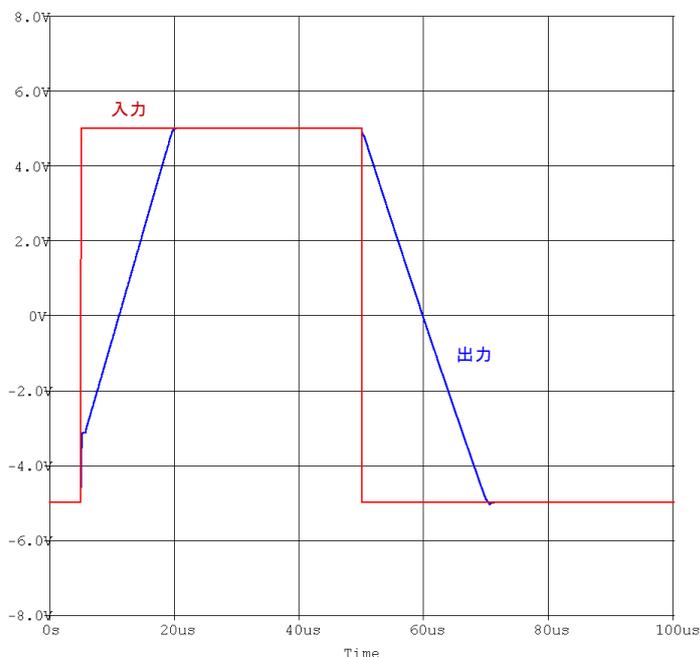


図 1.3.45 741X.MOD ボルテージフォロア回路のパルス応答

図 1.3.46 に 741X.MOD のパルス立ち下がり応答を解析するための簡略化回路を示します。ここで、電流源  $I_1$  は差動ペア  $Q_1, Q_2$  のコレクタに接続されるテール電流、 $C_C$  は位相補償キャパシタ、 $C_S$  は  $I_1$  出力と  $Q_1, Q_2$  のコレクタが接続されるノードに存在する寄生容量の総量を表しています。

パルス波形の立ち下がりエッジでは  $Q_1, (Q_2)$  が ON (OFF) になり、テール電流  $I_1$ 、 $Q_1$  コレクタ電圧  $V_O(t)$ 、 $C_S$  電流  $i_S(t)$ 、 $C_C$  電流  $i_C(t)$  の関係は下式で表されます。

$$i_C = I_1 - i_S \quad \dots \text{式 1.3.45}$$

$$\frac{dv_O}{dt} \cong \frac{i_C}{C_C} \cong \frac{i_S}{C_S} \quad \dots \text{式 1.3.46}$$

式 1.3.45 を式 1.3.46 に代入すると、 $i_S$  は下式で表されます。

$$i_S \cong \frac{I_1}{1 + C_C/C_S} \quad \dots \text{式 1.3.47}$$

式 1.3.47 を式 1.3.46 に代入すると、出力電圧  $V_O$  が立ち下がる時のスルーレートは下式で表されます。

$$\left. \frac{dv_O}{dt} \right|_{\text{立ち下がり}} \cong - \frac{I_1}{C_C + C_S} \quad \dots \text{式 1.3.48}$$

741 型オペアンプの設計値 ( $I_1 = 19\mu A$ ,  $C_C = 30pF$ ,  $C_S = 4pF$ ) を式 1.3.48 に代入すると、立ち下がりスルーレートは  $-0.558V/\mu s$  となります。

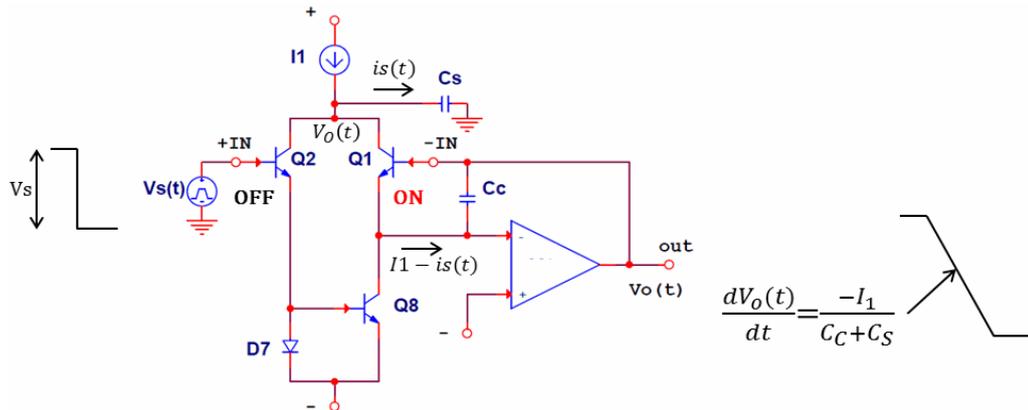


図 1.3.46 パルス応答の立ち下がり特性を解析するための簡略化回路

図 1.3.47 に 741X.MOD のパルス立ち上がり応答を解析するための簡略化回路を示します。立ち上がりエッジでは  $Q_2, (Q_1)$  が ON (OFF) となり、出力電圧  $v_o(t)$  は下式で表されます。

$$v_o(t) \cong \frac{1}{C_c} \int_0^t [I_1 + i_s(t)] dt \quad \dots \text{式 1.3.49}$$

$Q_2$  のコレクタ電圧は入力電圧  $V_s$  に等しくなるため、 $C_s$  の電流  $i_s(t)$  は下式で表されます。

$$i_s \cong C_s \frac{dv_s}{dt} \cong \frac{C_s V_s}{t_1} \quad 0 < t < t_1 \quad \dots \text{式 1.3.50}$$

式 1.3.50 を式 1.3.49 に代入すると、出力電圧  $V_o$  が立ち上がる時のスルーレートは下式で表されます。

$$v_o(t) \cong \frac{1}{C_c} \int_0^t I_1 dt + \frac{1}{C_c} \int_0^{t_1} \frac{C_s V_s}{t_1} dt \quad \dots \text{式 1.3.51}$$

または、

$$v_o(t) \cong \frac{C_s}{C_c} V_s + \frac{I_1 t}{C_c} \quad \dots \text{式 1.3.52}$$

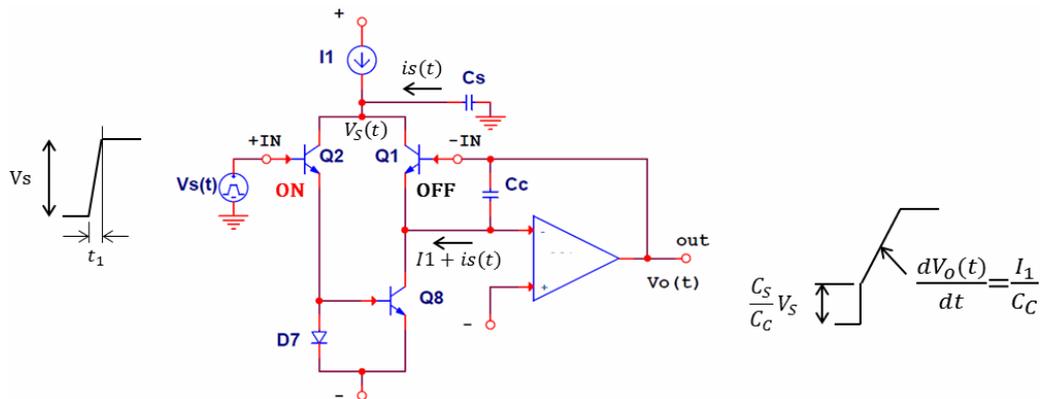


図 1.3.47 パルス応答の立ち上がり特性を解析するための簡略化回路

同様に 741 型オペアンプの設計値 ( $I_1 = 19\mu A, C_c = 30pF, C_s = 4pF$ ) を式 1.3.47 に代入すると下式が得られます。

$$v_o(t) \cong \frac{4pF}{30pF} \times 10V + \frac{19\mu A}{30pF} \times t = 1.33V + 0.633 \frac{V}{\mu s} \quad \dots \text{式 1.3.53}$$

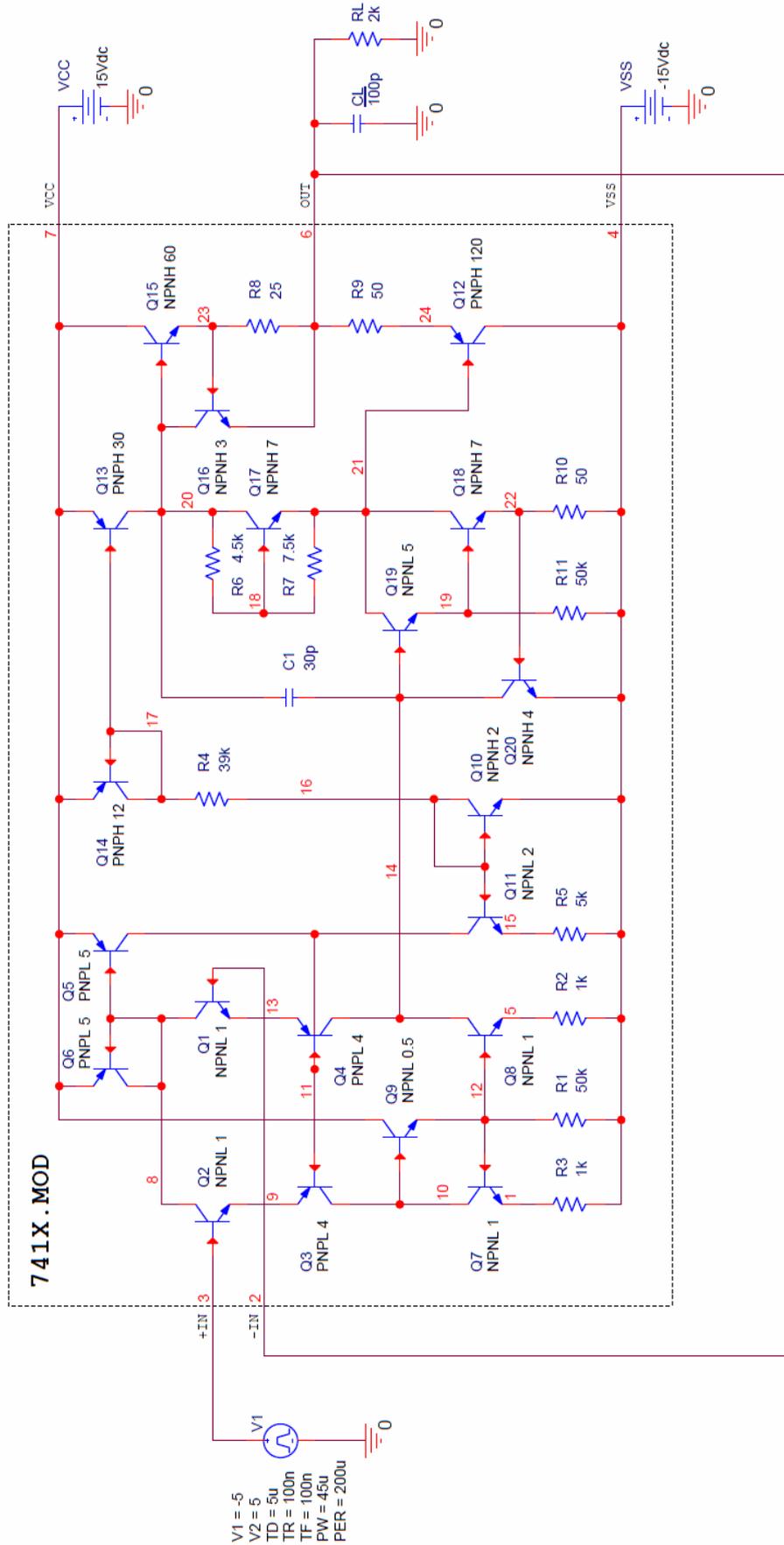


図 1.3.48 741X.MOD ボルテージフォロア回路のパルス応答解析のテストベンチ

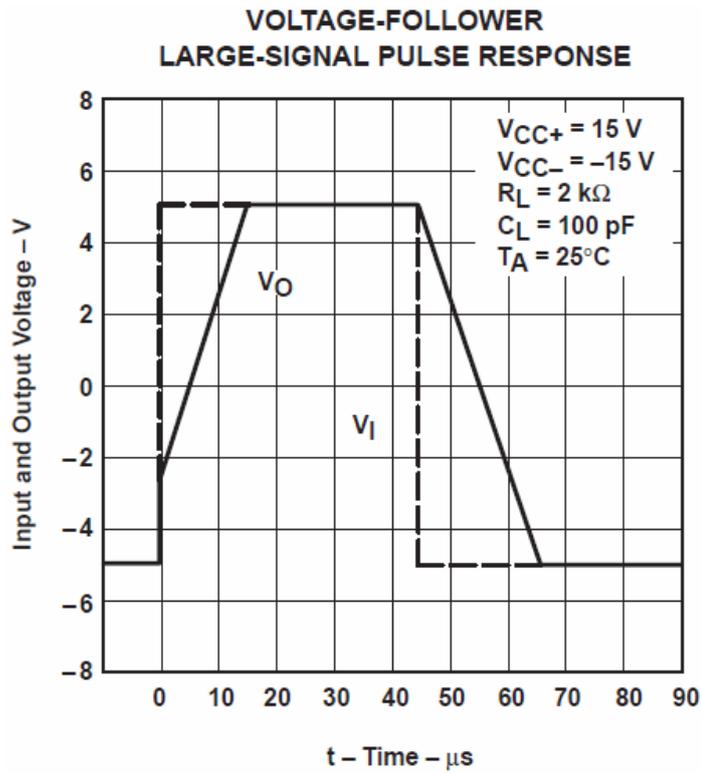


図 1.3.49  $\mu$ A741 の大信号パルス応答 ( $\mu$ A741,  $\mu$ A741Y Data Sheet) <sup>[14]</sup>

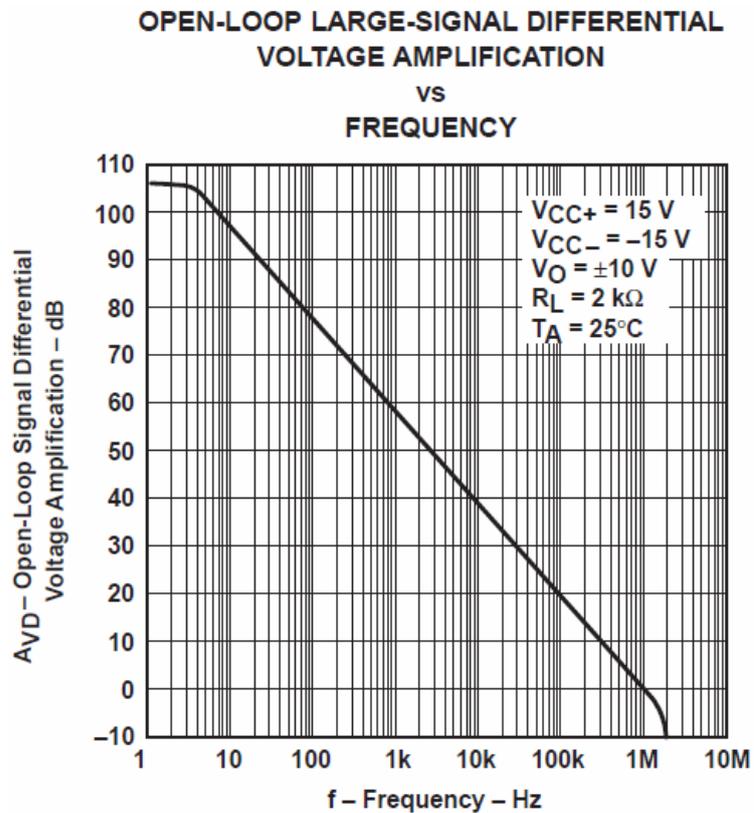


図 1.3.50  $\mu$ A741 の開ループゲイン特性 ( $\mu$ A741,  $\mu$ A741Y Data Sheet) <sup>[14]</sup>

## 開ループゲイン特性

図 1.3.51 にミドルブロック法による 741X.MOD の開ループゲイン特性を示します。図 1.3.50 は  $\mu$ A741,  $\mu$ A741Y Data Sheet<sup>[14]</sup> の代表的特性曲線に示された開ループゲイン特性です。

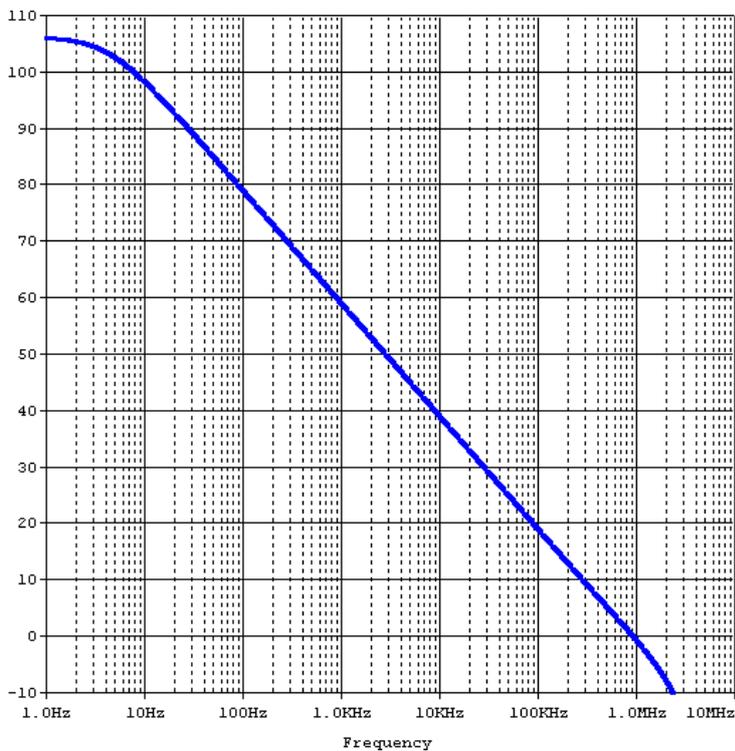


図 1.3.51 741X.MOD ボルテージフォロア回路の開ループゲイン特性

## 参考文献

- [1] Harold S. Black, "Stabilized feedback amplifiers," Bell System Technical Journal, vol. 13, pp. 1–18, Jan. 1934.
- [2] Harold Black, "Inventing the negative feedback amplifier", IEEE Spectrum, pp.55-60, Dec. 1977.
- [3] Analog Computers: RCA Typhoon, 1951 - Radiomuseum.org
- [4] MODEL 600, EDUCATIONAL ANALOG SIMULATOR, Burr-Brown Research Corporation, 1966
- [5] Model K2-W Operational Amplifier, George A. Philbrick Researches, Inc., 1951
- [6] Scaff J. H. and Ohl, R. S. "Development of Silicon Crystal Rectifiers for Microwave Radar Receivers", Bell System Technical Journal, Vol. 26, No. 1 (January 1947) pp.1-30.
- [7] Walter Houser Brattain, John Bardeen, "Three-Electrode Circuit Element Utilizing Semiconductive Materials"  
U.S. Patent 2,524,035, filed June 17, 1948, issued October 3, 1950
- [8] W.SHOCKLEY, "Circuit element utilizing semiconductive material"  
U.S. Patent 2,569,347, filed June 26, 1948, issued September 25, 1951
- [9] Robert N. Noyce, "Semiconductor Device and Lead Structure"  
US Patent 2,981,877, filed July 30, 1959, issued April 25, 1961
- [10] "Model 130, the world's first transistorized op amp", Flyer, 2000, Burr-Brown Corporation.
- [11] "μA741, μA741Y Data Sheet", SLOS094B, NOVEMBER 1970, Texas Instruments Inc.
- [12] WIDLAR, R. J, "LOW-VALUE SOURCE FOR INTEGRATED CIRCUITS"  
US Patent 3,320,439, filed May 26, 1965, issued May 16, 1967
- [13] "TYPE μA702M Data Sheet", D1004, JUNE 1975, Texas Instruments Inc.
- [14] "μA709C, μA709M, μA709AM Data Sheet", SLOS096, FEBRUARY 1971, Texas Instruments Inc.
- [15] "LM101A-N, LM201A-N, LM301A-N Data Sheet", SNOSBS0D, SEPTEMBER 1999, Texas Instruments Inc.
- [16] "LM741 Operational Amplifier Data Sheet", SNOSC25B, MAY 2004, Texas Instruments Inc.
- [17] Erik Lindberg, "The Barkhausen Criterion (Observation ?)", Proceedings of 18th IEEE Workshop on Nonlinear Dynamics of Electronic Systems (NDES2010), May 26, 2010, pp. 15-18.
- [18] R.D.Middlebrook, "Measurement of loop gain in feedback systems",  
International Journal of Electronics, pp.485~512, vol.38, no.4, Apr.1975.
- [19] UA741 PSpice Model, <http://www.tij.co.jp/product/jp/UA741/toolssoftware>
- [20] REDUCE, <http://reduce-algebra.com/>
- [21] Solomon, J.E., "The monolithic op amp: a tutorial study", Solid-State Circuits, IEEE Journal of Volume: 9, Issue: 6  
Publication Year: 1974, Page(s): 314- 332, IEEE JOURNALS & MAGAZINES

# ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを含みません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得なければならない場合があります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治療措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いをすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしていると特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2015, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光が当たる状態で保管・輸送しないこと。

### 3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

- はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上