DRV8436 ステッピング・ドライバ、電流センス機能内蔵、1/256 マイクロステッピング、STEP/DIR インターフェイス、スマート・チューン・テクノロジ搭載

1 特長

- PWM マイクロステッピングのステッパ・モータ・ドライバ
  - シンプルな STEP/DIR インターフェイス
  - 最高 1/256 のマイクロステッピング・インデクサ
- 内蔵型の電流センス機能
  - 検出抵抗が不要
  - ±7.5% のフルスケール電流精度
- スマート・チューン・ディケイ・テクノロジ、固定低速およびミックス・ディケイ・オプション
- 4.5～48V の電源電圧範囲で動作
- 低い $R_{DS(ON)}$:24V、25℃で 900mΩ HS + LS
- ブリッジごとの大電流能力:2.4A ピーク、1.5A フルスケール、1.1A RMS
- オフ時間 PWM チョッピングを構成可能
  - 7μs、16μs、24μs、32μs
- 1.8V、3.3V、5.0V のロジック入力をサポート
- 低消費電流のスリープ・モード (2μA)
- 小さなパッケージと占有面積
- 保護機能
  - VM 低電圧誤動作防止 (UVLO)
  - チャージ・ポンプ低電圧検出 (CPUV)
  - 過電流保護 (OCP)
  - サーマル・シャットダウン (OTSD)
  - フォルト条件出力 (nFAULT)

2 アプリケーション

- 多機能プリンタおよびスキャナ
- 3D プリンタおよびレーザー・ビーム・プリンタ
- 現金自動預払機および貨幣処理機
- 工業用ミシンおよびミシン
- ステージ照明機器
- CCTV、セキュリティ、ドーム・カメラ
- オフィスおよびホーム・オートメーション
- ファクトリ・オートメーションおよびロボティクス

3 概要

DRV8436 は、産業用および民生用アプリケーション向けのステッピング・モータ・ドライバです。このデバイスには、2 つの N チャネル・パワー MOSFET H ブリッジ・ドライバ、マイクロステッピング・インデクサ、および電流検出機能が完全に統合されています。最大 1.1A RMS (PCB の設計に依存) を駆動できます。

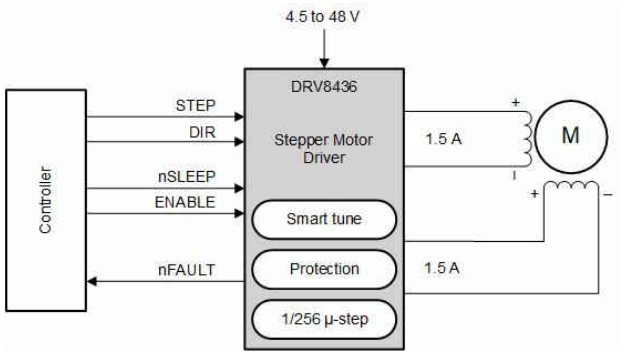
本デバイスは、2 つの外部電力検出抵抗が不要な内部電流検出アーキテクチャを採用しているため、PCB 面積とシステム・コストを低減できます。本デバイスは、スマート・チューン、低速、混合の減衰オプションを選択できる内部 PWM 電流レギュレーション方式を採用しています。スマート・チューン・ディケイ・テクノロジは、最適な電流レギュレーション性能を実現するよう自動的に調整を行い、モータの偏差や経年変化を補償します。

シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。低消費電力のスリープ・モードが用意されており、専用の nSLEEP ピンを使用することで、静止電流の非常に低いスタンバイ・モードに移行できます。電源の低電圧、チャージ・ポンプ障害、過電流、短絡、過熱に対する保護機能が備わっています。フォルト条件は、nFAULT ピンで通知されます。

製品情報(1)

部品番号	パッケージ	本体サイズ (公称)
DRV8436PWPR	HTSSOP (28)	9.7mm × 4.4mm
DRV8436RGER	VQFN (24)	4.0mm × 4.0mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



概略回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....2
5 ピン構成および機能.....3
5.1 端子機能.....4
6 仕様.....6
6.1 絶対最大定格.....6
6.2 ESD 定格.....6
6.3 推奨動作条件.....7
6.4 熱に関する情報.....7
6.5 電気的特性.....8
6.6 ステッピング制御ロジック・タイミング要件.....9
6.7 代表的特性.....10
7 詳細説明.....12
7.1 概要.....12
7.2 機能ブロック図.....13
7.3 機能説明.....13
7.4 デバイスの機能モード.....31
8 アプリケーションと実装.....33
8.1 アプリケーション情報.....33
8.2 代表的なアプリケーション.....33
9 熱に関連する計算.....37
9.1 消費電力.....37
9.2 デバイスの接合部温度の概算.....38
10 レイアウト.....40
10.1 レイアウトの注意点.....40
10.2 レイアウト例.....40
11 デバイスおよびドキュメントのサポート.....42
11.1 ドキュメントのサポート.....42
11.2 ドキュメントの更新通知を受け取る方法.....42
11.3 コミュニティ・リソース.....42
11.4 商標.....42
12 メカニカル、パッケージ、および注文情報.....43

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (August 2020) to Revision B (May 2022)	Page
• アプリケーション曲線を追加。	36
• HTSSOP と QFN のレイアウト例を更新。	40
• 「関連資料」セクションを追加	42

Copyright © 2022 Texas Instruments Incorporated

5 ピン構成および機能

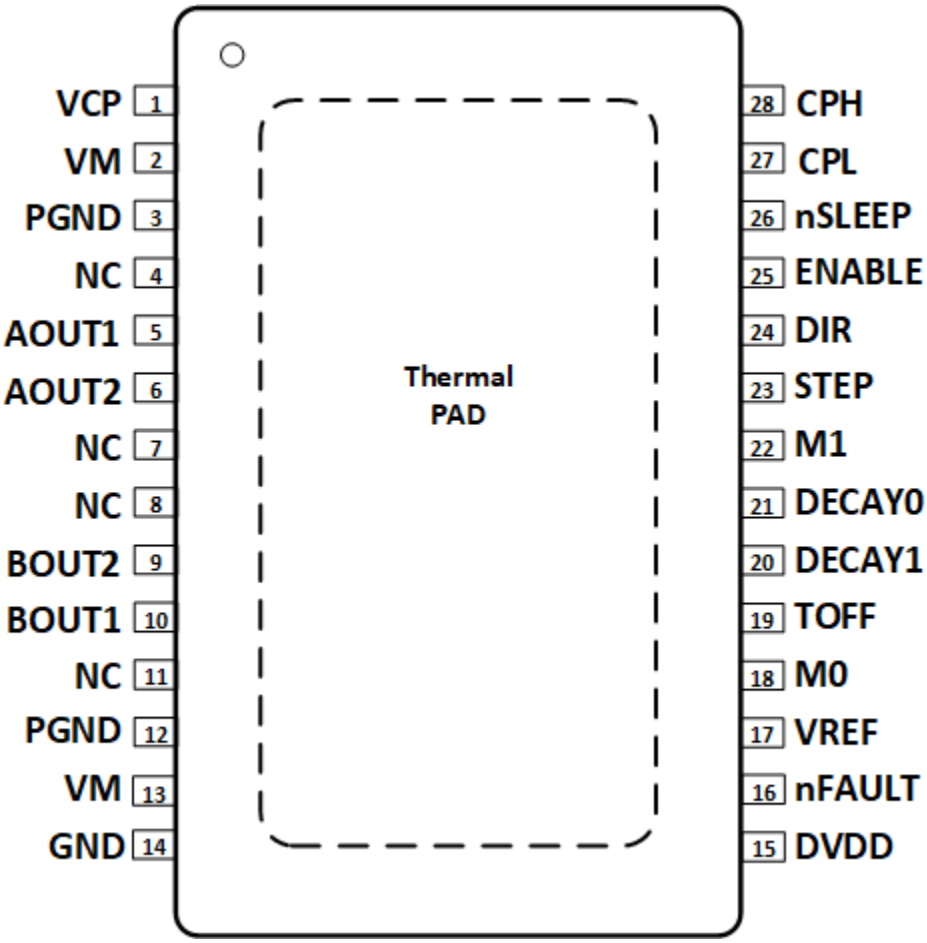


図 5-1. PWP PowerPAD™ パッケージ 28 ピン HTSSOP 上面図

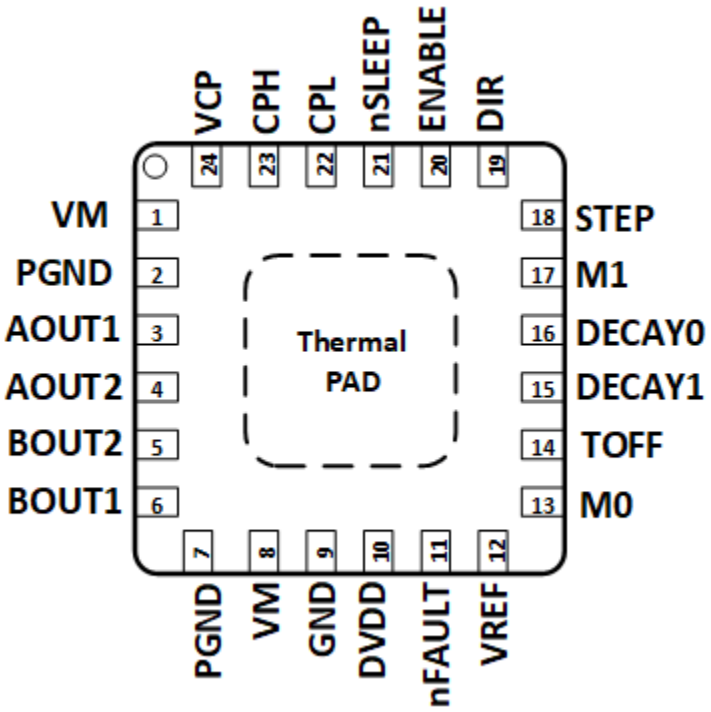


図 5-2. RGE パッケージ 24 ピン VQFN (露出サーマル・パッド付き) 上面図

5.1 端子機能

端子			I/O	種類	説明
名前	番号				
	HTSSOP	VQFN			
AOUT1	5	3	O	出力	巻線 A 出力。モータの巻線に接続します。
AOUT2	6	4	O	出力	巻線 A 出力。モータの巻線に接続します。
PGND	3, 12	2, 7	—	電源	電源グランド。両方の PGND ピンは内部で短絡されています。PCB 上のシステム・グランドに接続します。
BOUT2	9	5	O	出力	巻線 B 出力。モータの巻線に接続します。
BOUT1	10	6	O	出力	巻線 B 出力。モータの巻線に接続します。
CPH	28	23	—	電源	チャージ・ポンプのスイッチング・ノード。X7R、0.022μF、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
CPL	27	22			
DIR	24	19	I	入力	方向入力。論理レベルによりステッピング方向を設定します。内部プルダウン抵抗。
ENABLE	25	20	I	入力	論理 Low でデバイスの出力をディセーブル。論理 High でイネーブル。DVDD への内部プルアップ。OCP 応答のタイプも決定します。
DVDD	15	10		電源	ロジック電源電圧。X7R、0.47μF～1μF、6.3V または 10V 定格セラミック・コンデンサを GND との間に接続します。
GND	14	9	—	電源	デバイスのグランド。システム・グランドに接続します。
VREF	17	12	I	入力	電流設定リファレンス入力。最大値 3.3V。DVDD と抵抗分割器を使用して VREF を供給できます。
M0	18	13	I	入力	マイクロステッピング・モード設定ピン。ステップ・モードを設定します。内部プルダウン抵抗。
M1	22	17			
DECAY0	21	16	I	入力	ディケイ・モード設定ピン。ディケイ・モードを設定します (セクション 7.3.6 セクションを参照)。
DECAY1	20	15			

Copyright © 2022 Texas Instruments Incorporated

端子			I/O	種類	説明
名前	番号				
	HTSSOP	VQFN			
STEP	23	18	I	入力	ステップ入力。立ち上がりエッジでシーケンス制御ロジックが 1 ステップ進みます。内部プルダウン抵抗。
VCP	1	24	—	電源	チャージ・ポンプの出力。X7R、0.22μF、16V セラミック・コンデンサを VM との間に接続します。
VM	2, 13	1, 8	—	電源	電源。モータ電源電圧に接続し、VM 定格の 2 つの 0.01μF セラミック・コンデンサ (各ピンに 1 つずつ) と 1 つのバルク・コンデンサを使用して GND にバイパスします。
TOFF	19	14	I	入力	電流チョッピング中のディケイ・モードのオフ時間を設定します。4 レベル・ピン。
nFAULT	16	11	O	オープン・ドレイン	フォルト通知。フォルト条件により論理 Low に駆動されます。オープンドレイン出力には外部プルアップ抵抗が必要です。
nSLEEP	26	21	I	入力	スリープ・モード入力。論理 High でデバイスをイネーブル。論理 Low で低消費電力スリープ・モードに移行。内部プルダウン抵抗。
NC	4, 7, 8, 11	-	-	-	無接続ピン。これらのピンには何も接続しません。
PAD	-	-	-	-	サーマル・パッド。システム・グランドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[(1)]

	最小	最大	単位
電源電圧 (VM)	–0.3	50	V
チャージ・ポンプ電圧 (VCP、CPH)	–0.3	V_{VM} + 7	V
チャージ・ポンプ負スイッチング・ピン (CPL)	–0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	–0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	–0.3	5.75	V
制御ピン電圧 (STEP、DIR、ENABLE、nFAULT、DECAY0、DECAY1、TOFF、M0、M1)	–0.3	5.75	V
オープンドレイン出力電流 (nFAULT)	0	10	mA
リファレンス入力ピン電圧 (VREF)	–0.3	5.75	V
巻線出力ピン電圧 (連続) (AOUT1、AOUT2、BOUT1、BOUT2)	–1	V_{VM} + 1	V
巻線出力ピン電圧 (過渡 100ns) (AOUT1、AOUT2、BOUT1、BOUT2)	–3	V_{VM} + 3	V
ピーク駆動電流 (AOUT1、AOUT2、BOUT1、BOUT2)	内部的に制限		A
動作時周囲温度、T_A	–40	125	°C
動作時の接合部温度、T_J	–40	150	°C
保管温度、T_{stg}	–65	150	°C

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「*推奨動作条件*」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠		±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠	PWP のコーナー・ピン (1、14、15、28)	±750	
			その他のピン	±500	

Copyright © 2022 Texas Instruments Incorporated

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小	最大	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	48	V
V_I	論理レベル入力電圧	0	5.5	V
V_{VREF}	VREF 電圧	0.05	3.3	V
f_{PWM}	印加 STEP 信号 (STEP)	0	500(1)	kHz
I_{FS}	モータ・フルスケール電流 (xOUTx)	0	1.5(2)	A
I_{rms}	モータ RMS 電流 (xOUTx)	0	1.1(2)	A
T_A	動作時の周囲温度	–40	125	°C
T_J	動作時のジャンクション温度	–40	150	°C

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。
(2) 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準(1)		PWP (HTSSOP)	RGE (VQFN)	単位
		28 ピン	24 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.3	41.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	26.0	32.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.5	18.5	°C/W
ψ_{JT}	接合部から上面への評価パラメータ	0.5	0.6	°C/W
ψ_{JB}	接合部から基板への評価パラメータ	11.5	18.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	3.4	4.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

6.5 電気的特性

標準値は T_A = 25℃、V_{VM} = 24V での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VM、DVDD)						
I_{VM}	VM 動作電源電流	ENABLE = 1、nSLEEP = 1、モータ負荷なし		5	7	mA
I_{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		2	4	μA
t_{SLEEP}	スリープ時間	nSLEEP = 0 でスリープモード	75			μs
t_{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルトをクリア	18		35	μs
t_{WAKE}	ウェークアップ時間	nSLEEP = 1 で出力遷移		0.6	0.9	ms
t_{ON}	ターンオン時間	VM > UVLO で出力遷移		0.6	0.9	ms
V_{DVDD}	内部レギュレータ電圧	外部負荷なし、6V < V_{VM} < 45V	4.5	5	5.5	V
チャージ・ポンプ (VCP、CPH、CPL)						
V_{VCP}	VCP 動作電圧			V_{VM} +5		V
$f_{(VCP)}$	チャージ・ポンプ・スイッチング周波数	V_{VM} > UVLO、nSLEEP = 1		400		kHz
論理レベル入力 (STEP、DIR、nSLEEP)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧		1.5		5.5	V
V_{HYS}	入力ロジック・ヒステリシス			150		mV
I_{IL}	入力論理 Low 電流	V_{IN} = 0V	-1		1	μA
I_{IH}	入力論理 High 電流	V_{IN} = 5V			50	μA
トライレベル入力 (M0、DECAY0、DECAY1、ENABLE)						
V_{I1}	入力論理 Low 電圧	GND に接続	0		0.6	V
V_{I2}	入力 Hi-Z 電圧	ハイ・インピーダンス	1.8	2	2.2	V
V_{I3}	入力論理 High 電圧	DVDD に接続	2.7		5.5	V
I_O	出力プルアップ電流			10		μA
クワッドレベル入力 (M1、TOFF)						
V_{I1}	入力論理 Low 電圧	GND に接続	0		0.6	V
V_{I2}		330kΩ ± 5% を GND との間に接続	1	1.25	1.4	V
V_{I3}	入力 Hi-Z 電圧	ハイ・インピーダンス	1.8	2	2.2	V
V_{I4}	入力論理 High 電圧	DVDD に接続	2.7		5.5	V
I_{IL}	出力プルアップ電流			10		μA
制御出力 (nFAULT)						
V_{OL}	出力ロジック Low 電圧	I_O = 5mA			0.4	V
I_{OH}	出力ロジック High リーク電流	V_{VM} = 24V	-1		1	μA
モータ・ドライバ出力 (AOUT1、AOUT2、BOUT1、BOUT2)						
$R_{DS(ONH)}$	ハイサイド FET オン抵抗	T_J = 25℃、I_O = -1A		450	550	mΩ
		T_J = 125℃、I_O = -1A		700	850	mΩ
		T_J = 150℃、I_O = -1A		780	950	mΩ
$R_{DS(ONL)}$	ローサイド FET オン抵抗	T_J = 25℃、I_O = 1A		450	550	mΩ
		T_J = 125℃、I_O = 1A		700	850	mΩ
		T_J = 150℃、I_O = 1A		780	950	mΩ
t_{SR}	出力スルーレート	V_{VM} = 24V、I_O = 0.5A、10% と 90% の間		150		V/μs
PWM 電流制御 (VREF)						

Copyright © 2022 Texas Instruments Incorporated

標準値は T_A = 25℃、V_{VM} = 24V での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
K_V	トランスインピーダンス・ゲイン	VREF = 3.3V		2.2		V/A
t_{OFF}	PWM オフ時間	TOFF = 0		7		μs
		TOFF = 1		16		
		TOFF = ハイ・インピーダンス		24		
		TOFF = 330kΩ を GND との間に接続		32		
ΔI_{TRIP}	電流トリップ精度	I_O = 1.5A、10%～20% 電流設定	–13		10	%
		I_O = 1.5A、20%～67% 電流設定	–8		8	
		I_O = 1.5A、67%～100% 電流設定	–7.5		7.5	
$I_{O,CH}$	AOUT と BOUT の電流マッチング	I_O = 1.5A	-2.5		2.5	%
保護回路						
V_{UVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり、UVLO 立ち下がり	4.15	4.25	4.35	V
		VM 立ち上がり、UVLO 立ち上がり	4.25	4.35	4.45	
$V_{UVLO,HYS}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッショルド		100		mV
V_{CPUV}	チャージ・ポンプ低電圧	VCP 立ち下がり、CPUV 通知		V_{VM} + 2		V
I_{OCP}	過電流保護	いずれかの FET を流れる電流	2.4			A
t_{OCP}	過電流グリッチ除去時間	V_{VM} < 37V		3		μs
		V_{VM} >= 37V		0.5		
t_{RETRY}	過電流リトライ時間			4		ms
T_{OTSD}	サーマル・シャットダウン	ダイ温度 T_J	150	165	180	℃
T_{HYS_OTSD}	サーマル・シャットダウン・ヒステリシス	ダイ温度 T_J		20		℃

6.6 ステッピング制御ロジック・タイミング要件

特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

番号			最小	最大	単位
1	f_{STEP}	ステップ周波数		500[(1)]	kHz
2	$t_{WH(STEP)}$	パルス幅、STEP High	970		ns
3	$t_{WL(STEP)}$	パルス幅、STEP Low	970		ns
4	$t_{SU(DIR, Mx)}$	セットアップ時間、DIR または MODEx から STEP 立ち上がりまで	200		ns
5	$t_{H(DIR, Mx)}$	ホールド時間、DIR または MODEx から STEP 立ち上がりまで	200		ns

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモータの負荷により制限されます。

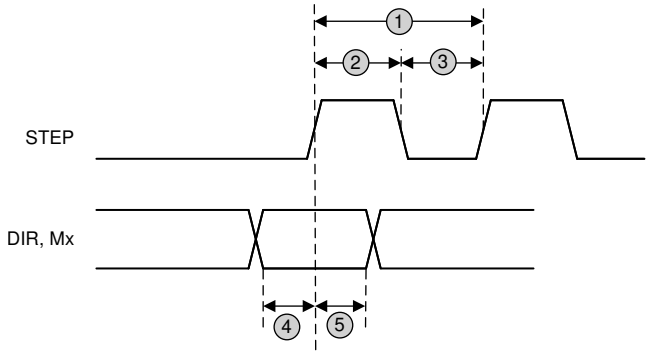


図 6-1. タイミング図

6.7 代表的特性

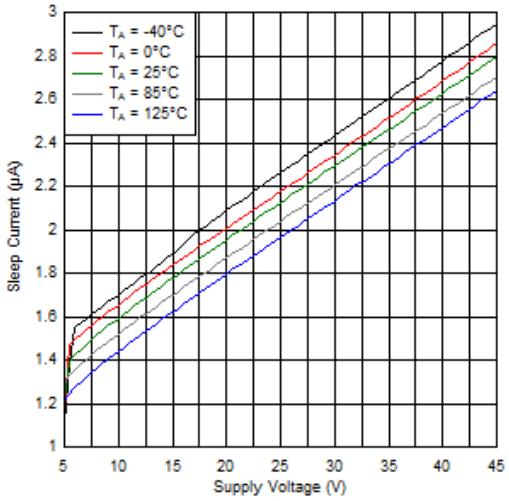


図 6-2. スリープ電流と VM との関係

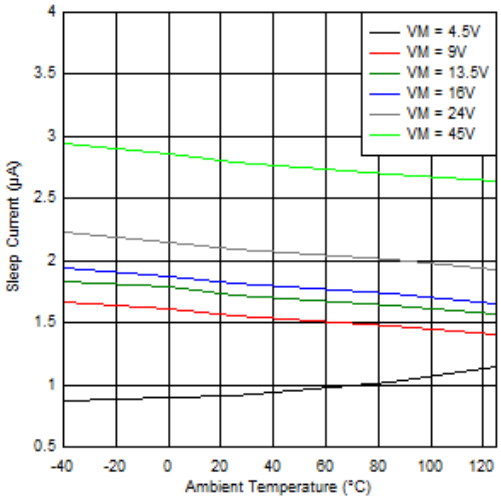


図 6-3. スリープ電流と温度との関係

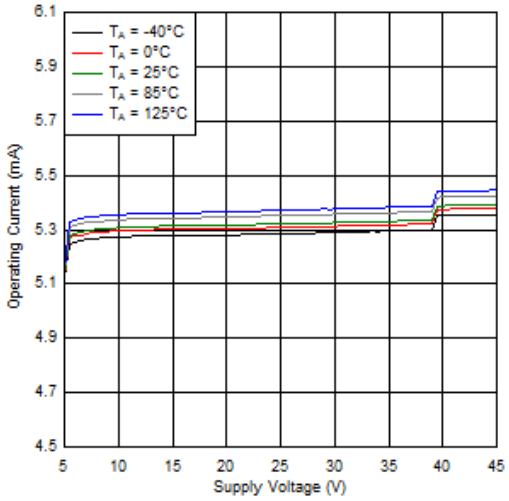


図 6-4. 動作電流と VM との関係

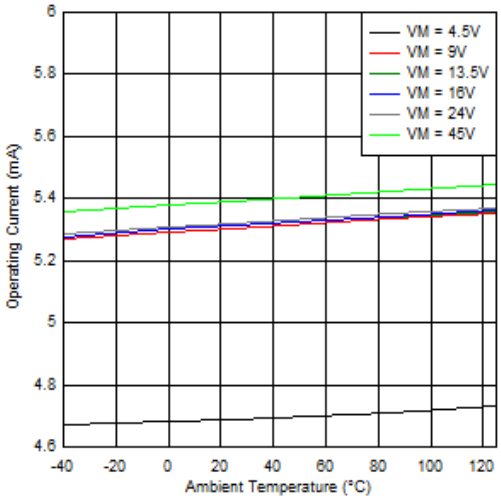


図 6-5. 動作電流と温度との関係

Copyright © 2022 Texas Instruments Incorporated

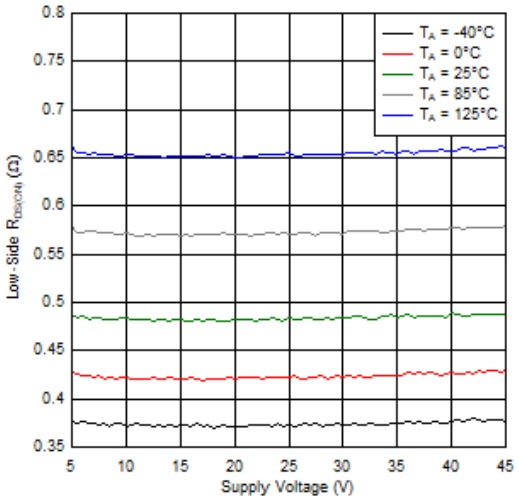


図 6-6. ローサイド $R_{DS(ON)}$ と VM との関係

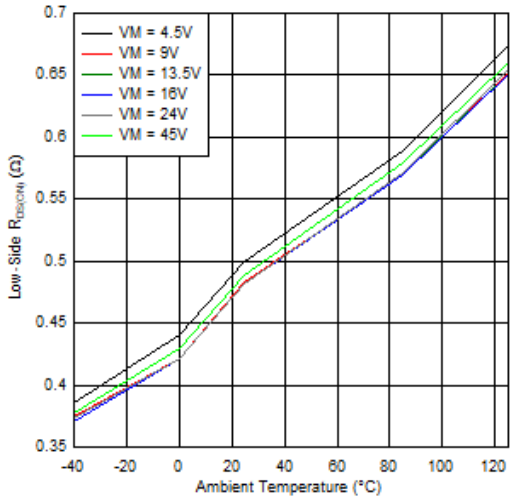


図 6-7. ローサイド $R_{DS(ON)}$ と温度との関係

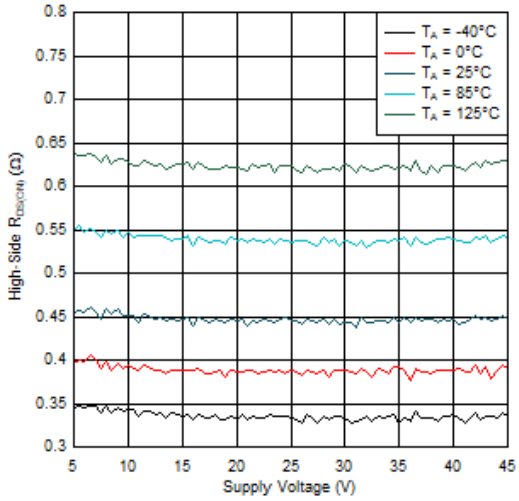


図 6-8. ハイサイド $R_{DS(ON)}$ と VM との関係

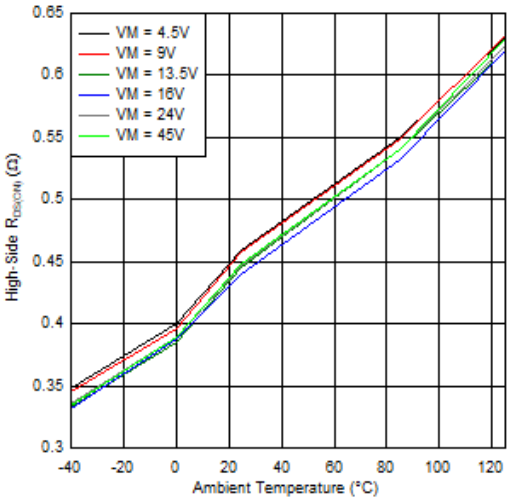


図 6-9. ハイサイド $R_{DS(ON)}$ と温度との関係

7 詳細説明

7.1 概要

DRV8436 はバイポーラ・ステッピング・モータ用の高集積モータ・ドライバ・ソリューションです。このデバイスは、2 個の N チャネル・パワー MOSFET H ブリッジ、統合型電流センス機能、レギュレーション回路、およびマイクロステップ・インデクサを統合しています。DRV8436 は 4.5～48V の電源電圧範囲で動作し、ピーク時で最大 2.4A、フルスケールで最大 1.5A、実効値 (RMS) で最大 1.1A の出力電流を供給できます。実際のフルスケールおよび RMS 電流は、周囲温度、電源電圧、PCB の熱性能に依存します。

DRV8436 は、2 つの外部電流センス・シャント抵抗を必要としない内部電流センス・アーキテクチャを採用しています。このアーキテクチャでは、電流センシングに電流ミラー手法と内部パワー MOSFET を使うことで、センス抵抗での電力消費をなくしています。電流レギュレーションの設定点は VREF ピンの電圧で調整できます。このため、外付け部品のコスト、プリント基板 (PCB) のサイズ、システムの消費電力を低減できます。

シンプルな STEP/DIR インターフェイスにより、外部コントローラからステッピング・モータの方向とステップ速度を制御できます。内部ステッピング制御ロジックを使うと、巻線電流レベルを制御する外部コントローラを使わなくても高精度のマイクロステッピングを実行できます。このステッピング制御ロジック (インデクサ) はフルステップ、ハーフステップ、1/4、1/8、1/16、1/32、1/64、1/128、1/256 マイクロステッピングを実行できます。標準のハーフステップ・モードに加えて、非真円ハーフステップ・モードを利用して、モータの RPM が高いときにトルク出力を増大させることもできます。

電流レギュレーションは、複数のディケイ・モードに構成できます。ディケイ・モードは、スロー・ミックス、ミックス・ディケイ、スマート・チューン・リップル・コントロール、またはスマート・チューン・ダイナミック・ディケイ電流レギュレーション方式のいずれかを選択できます。スロー・ミックス・ディケイ・モードでは、ステップの増加時にはスロー・ディケイを、ステップの減少時にはミックス・ディケイを使用します。スマート・チューン・ディケイ・モードでは、最適な電流レギュレーション性能が得られるように自動調整を行い、モータのばらつきと経年変化の影響を補償します。スマート・チューン・リップル・コントロールでは、オフ時間可変型のリップル制御方式により、モータ巻線電流の歪みを最小限に抑えることができます。スマート・チューン・ダイナミック・ディケイでは、オフ時間固定のダイナミック・ディケイ率方式により、モータ巻線電流の歪みを最小限に抑え、周波数成分も最小化できます。

また、低消費電力スリープ・モードを内蔵しているため、モータをアクティブ駆動していないときにシステムの電力を節約できます。

Copyright © 2022 Texas Instruments Incorporated

7.2 機能ブロック図

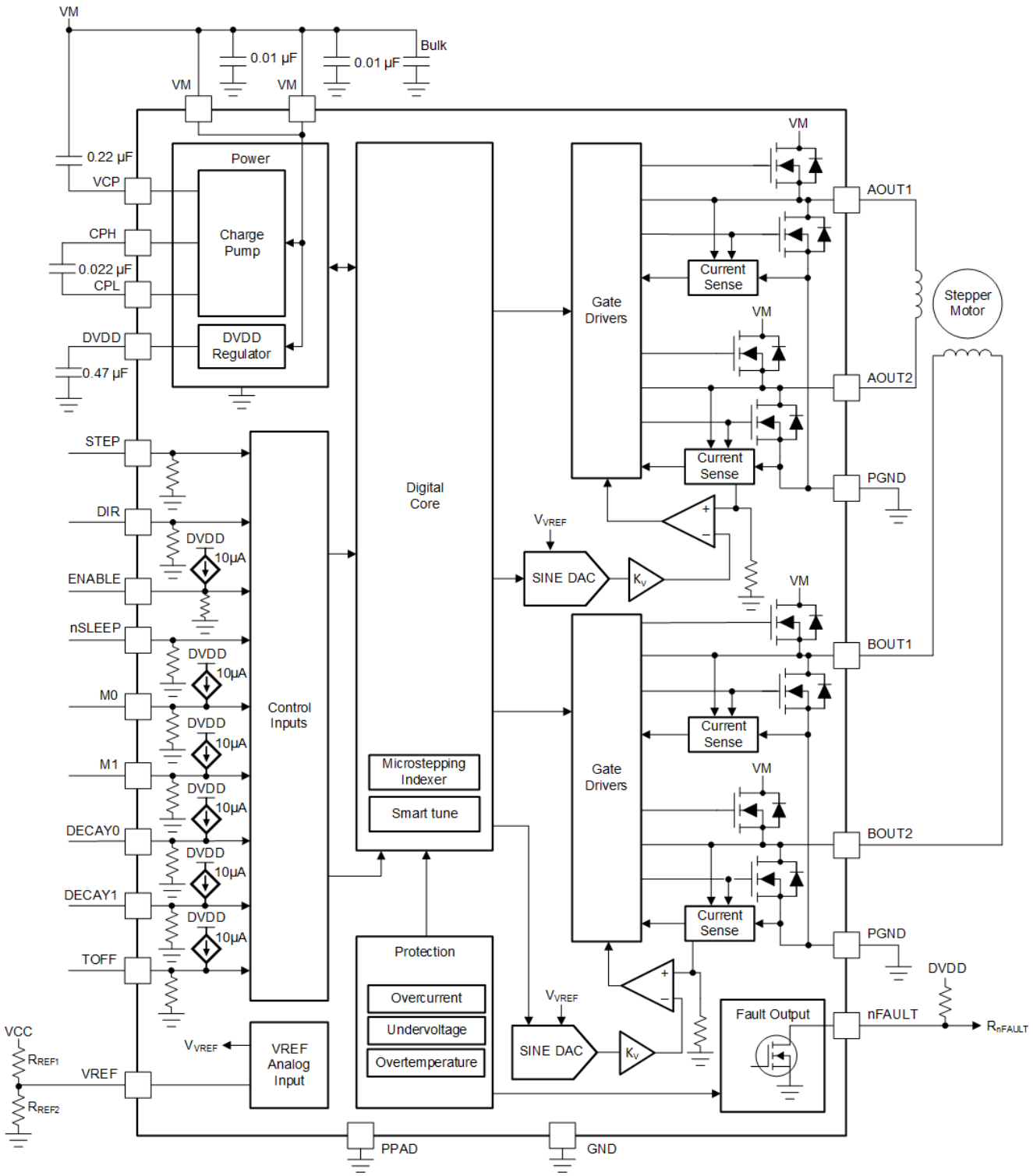


図 7-1.

7.3 機能説明

表 7-1 に、DRV8436 の推奨外付け部品を示します。

表 7-1. DRV8436 の外付け部品

部品	ピン 1	ピン 2	推奨する事項
C_{VM1}	VM	GND	2 つの X7R、0.01µF、VM 定格セラミック・コンデンサ
C_{VM2}	VM	GND	バルク、VM 定格コンデンサ
C_{VCP}	VCP	VM	X7R、0.22µF、16V セラミック・コンデンサ
C_{SW}	CPH	CPL	X7R、0.022µF、VM 定格セラミック・コンデンサ
C_{DVDD}	DVDD	GND	X7R、0.47µF～1µF、6.3V セラミック・コンデンサ
R_{nFAULT}	VCC (1)	nFAULT	4.7kΩ 以上の抵抗
R_{REF1}	VREF	VCC	チョッピング電流を制限するための抵抗。R_{REF1} と R_{REF2} の並列抵抗値を 50kΩ よりも小さくすることを推奨します。
R_{REF2} (オプション)	VREF	GND	

(1) VCC は DRV8436 のピンではありませんが、オープンドレイン出力の nFAULT は VCC 電源電圧にプルアップする必要があります。nFAULT は DVDD にプルアップすることもできます。

7.3.1 ステッピング・モータ・ドライバの電流定格

ステッピング・モータ・ドライバは、出力電流を表す 3 種類の数値 (ピーク、RMS、フルスケール) を使用して分類できます。

7.3.1.1 ピーク電流定格

ステッピング・モータ・ドライバのピーク電流は、過電流保護スレッショルド I_{OCP} で制限されます。ピーク電流は、何らかの過渡電流パルスを指します (例：静電容量を充電するとき、デューティ・サイクルが極めて小さいとき)。一般に、I_{OCP} の最小値は、ステッピング・モータ・ドライバのピーク電流定格を規定します。DRV8436 デバイスの場合、ピーク電流定格はブリッジあたり 2.4A です。

7.3.1.2 RMS 電流定格

RMS (平均) 電流は、IC の熱性能を考慮して求めます。RMS 電流は、25℃の代表的なシステムでの $R_{DS(ON)}$、立ち上がりおよび立ち下がり時間、PWM 周波数、デバイスの静止電流、パッケージの熱的性能に基づいて計算されます。実動作時の RMS 電流は放熱と周囲温度に応じて上下する場合があります。DRV8436 の場合、RMS 電流定格はブリッジあたり 1.1A です。

7.3.1.3 フルスケール電流定格

フルスケール電流とは、マイクロステッピング時の正弦電流波形の最大値を指します。この正弦波振幅は RMS 電流に関係しているため、フルスケール電流もデバイスの熱性能を考慮して求めます。フルスケール電流定格は、およそ $\sqrt{2} \times I_{RMS}$ です。DRV8436 の場合、フルスケール電流定格はブリッジあたり 1.5A です。

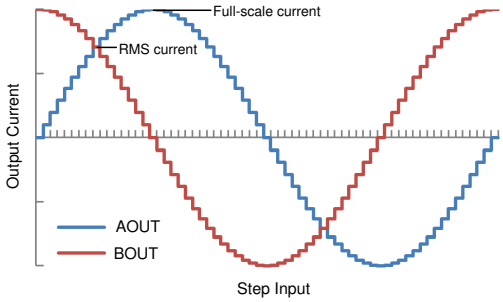


図 7-2. フルスケール電流と RMS 電流

Copyright © 2022 Texas Instruments Incorporated

7.3.2 PWM モータ・ドライバ

DRV8436 は、バイポーラ・ステッピング・モータの 2 つの巻線を駆動するために、2 つのフル H ブリッジ回路を駆動します。図 7-3 に、この回路のブロック図を示します。

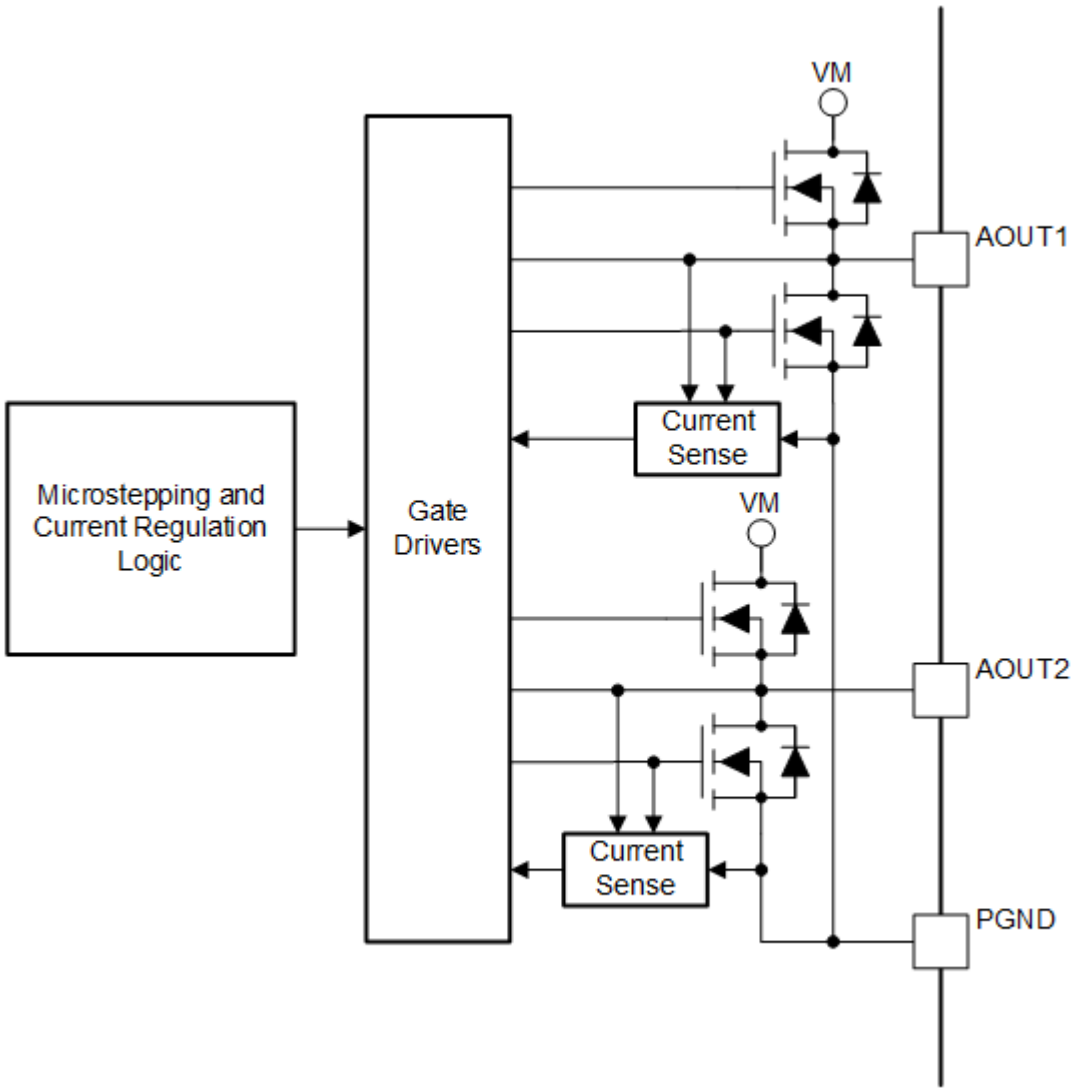


図 7-3. PWM モータ・ドライバのブロック図

7.3.3 マイクロステッピング・インデクサ

DRV8436 の内蔵インデックス状態制御 (インデクサ) ロジックを使用すると、各種ステップ・モードに対応できます。表 7-2 に示すとおり、M0 ピンと M1 ピンを使用してステップ・モードを設定します。この設定は、実行中に変更できます。

表 7-2. マイクロステッピングの設定

M0	M1	ステップ・モード
0	0	100% 電流によるフルステップ (2 相励起)
0	330kΩ を GND との間に接続	71% 電流によるフルステップ (2 相励起)
1	0	非真円 1/2 ステップ
ハイ・インピーダンス	0	1/2 ステップ

表 7-2. マイクロステッピングの設定 (continued)

M0	M1	ステップ・モード
0	1	1/4 ステップ
1	1	1/8 ステップ
ハイ・インピーダンス	1	1/16 ステップ
0	ハイ・インピーダンス	1/32 ステップ
ハイ・インピーダンス	330kΩ を GND との間に接続	1/64 ステップ
Hi-Z	Hi-Z	1/128 ステップ
1	ハイ・インピーダンス	1/256 ステップ

表 7-3 に、フルステップ (71% 電流)、1/2 ステップ、1/4 ステップ、1/8 ステップ動作の電流の相対値とステップ方向を示します。マイクロステッピングの分解能がより高い場合も同じパターンに従います。AOUT 電流は電気角の正弦、BOUT 電流は電気角の余弦です。正電流は、駆動時に xOUT1 ピンから xOUT2 ピンに流れる電流と定義します。

STEP 入力の各立ち上がりエッジで、インデクサは表内の次の状態に移行します。この方向は、DIR ピンが論理 High の場合です。DIR ピンが論理 Low の場合、シーケンスは反転します。

注

ステップの実行中にステップ・モードが変更された場合、STEP の立ち上がりエッジで、インデクサは次の有効な状態に進み、新しいステップ・モード設定になります。

注

DIR = 0 かつ電気角がフルステップ角 (45、135、225、315 度) である場合に、いずれかのマイクロステップ・モードからフルステップ・モードに変更した後、インデクサが進むには STEP ピンに 2 つの立ち上がりエッジが必要です。最初のパルスでは電気角は変化しません。2 番目のパルスで、インデクサは次のフルステップ角に進みます。

初期状態は電気角 45° です。この状態には、電源投入後、電圧誤動作防止ロジック解除後、スリープ・モード解除後のいずれかで移行します。

表 7-3. 電流の相対値とステップ方向

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	1	1		0%	100%	0.00
2				20%	98%	11.25
3	2			38%	92%	22.50
4				56%	83%	33.75
5	3	2	1	71%	71%	45.00
6				83%	56%	56.25
7	4			92%	38%	67.50
8				98%	20%	78.75
9	5	3		100%	0%	90.00
10				98%	-20%	101.25
11	6			92%	-38%	112.50
12				83%	-56%	123.75

Copyright © 2022 Texas Instruments Incorporated

表 7-3. 電流の相対値とステップ方向 (continued)

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
13	7	4	2	71%	-71%	135.00
14				56%	-83%	146.25
15	8			38%	-92%	157.50
16				20%	-98%	168.75
17	9	5		0%	-100%	180.00
18				-20%	-98%	191.25
19	10			-38%	-92%	202.50
20				-56%	-83%	213.75
21	11	6	3	-71%	-71%	225.00
22				-83%	-56%	236.25
23	12			-92%	-38%	247.50
24				-98%	-20%	258.75
25	13	7		-100%	0%	270.00
26				-98%	20%	281.25
27	14			-92%	38%	292.50
28				-83%	56%	303.75
29	15	8	4	-71%	71%	315.00
30				-56%	83%	326.25
31	16			-38%	92%	337.50
32				-20%	98%	348.75

表 7-4 に、100% のフルスケール電流によるフルステップ動作を示します。このステッピング・モードは、71% の電流によるフルステップ・モードよりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 7-4. 100% 電流によるフルステップ

フルステップ 100%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	100	100	45
2	100	-100	135
3	-100	-100	225
4	-100	100	315

表 7-5 に、非真円 1/2 ステップ動作を示します。このステッピング・モードは真円 1/2 ステップ動作よりも多くの電力を消費しますが、高いモータ RPM で高トルクを実現できます。

表 7-5. 非真円 1/2 ステッピング電流

非真円 1/2 ステップ	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	0	100	0
2	100	100	45
3	100	0	90
4	100	–100	135
5	0	–100	180
6	–100	–100	225
7	–100	0	270

表 7-5. 非真円 1/2 ステッピング電流 (continued)

非真円 1/2 ステップ	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
8	–100	100	315

7.3.4 MCU DAC による VREF の制御

場合によっては、フルスケール出力電流を、モータの速度と負荷に応じて各種の値に変更する必要があります。VREF ピンの電圧をシステムで調整する事でフルスケール電流を変更できます。

この動作モードでは、DAC 電圧が増加するにつれて、フルスケール・レギュレーション電流も減少します。正常に動作させるには、DAC の出力が 3.3V を超えないようにする必要があります。

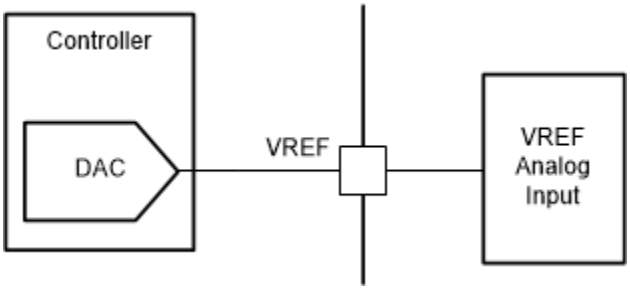


図 7-4. DAC 出力による VREF の制御

また、PWM 信号とローパス・フィルタを使用して VREF ピンを調整することもできます。

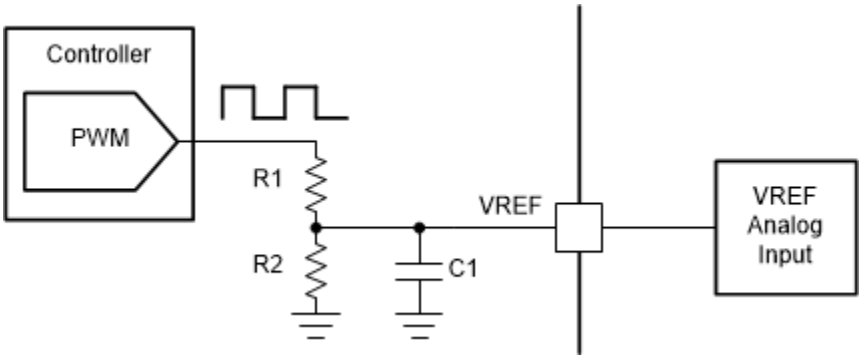


図 7-5. PWM 出力による VREF の制御

Copyright © 2022 Texas Instruments Incorporated

7.3.5 電流レギュレーション

モータ巻線に流れる電流は、調整可能なオフ時間 PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルすると、現在の DC 電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線を流れる電流が増加します。電流が電流レギュレーション・スレッショルドに達すると、ブリッジは TOFF ピンの設定で決まる時間の間ディケイ・モードに移行して電流を低減します。オフ時間が経過すると、ブリッジは再イネーブルされ、次の PWM サイクルを開始します。

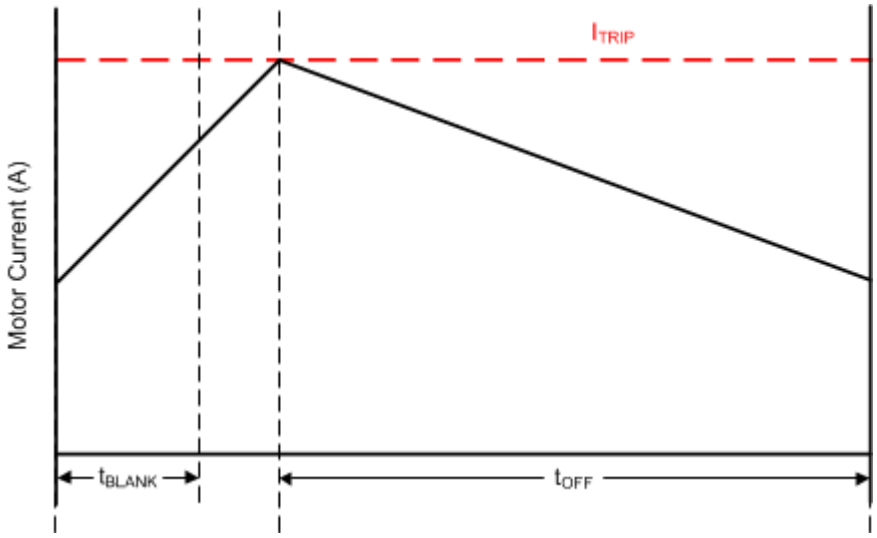


図 7-6. 電流チョッピング波形

PWM レギュレーション電流は、ローサイド・パワー MOSFET と並列に接続した電流センス MOSFET の両端の電圧を監視するコンパレータによって設定されます。電流センス MOSFET は、正弦波で重み付けした電流モード DAC の出力であるリファレンス電流でバイアスされます。この DAC のフルスケール・リファレンス電流は VREF ピンの電圧で設定します。

このフルスケール・レギュレーション電流 (I_{FS}) は次の式で計算できます。I_{FS} (A) = V_{REF} (V) / K_V (V/A) = V_{REF} (V) / 2.2 (V/A)

7.3.6 減衰モード

PWM 電流チョッピング中、PWM 電流チョッピング・スレッショルドに達するまで H ブリッジはモータ巻線を駆動します。図 7-7 の項目 1 に、これを示します。

チョッピング電流スレッショルドに達した後、H ブリッジは 2 種類の状態 (高速減衰または低速減衰) で動作できます。高速減衰モードでは、PWM チョッピング電流スレッショルドに達すると、巻線電流が逆方向に流れるように H ブリッジは状態を反転させます。図 7-7 の項目 2 に、高速減衰モードを示します。低速減衰モードでは、ブリッジの両方のローサイド FET をオンにすることで巻線電流を再循環させます。図 7-7 の項目 3 に、これを示します。

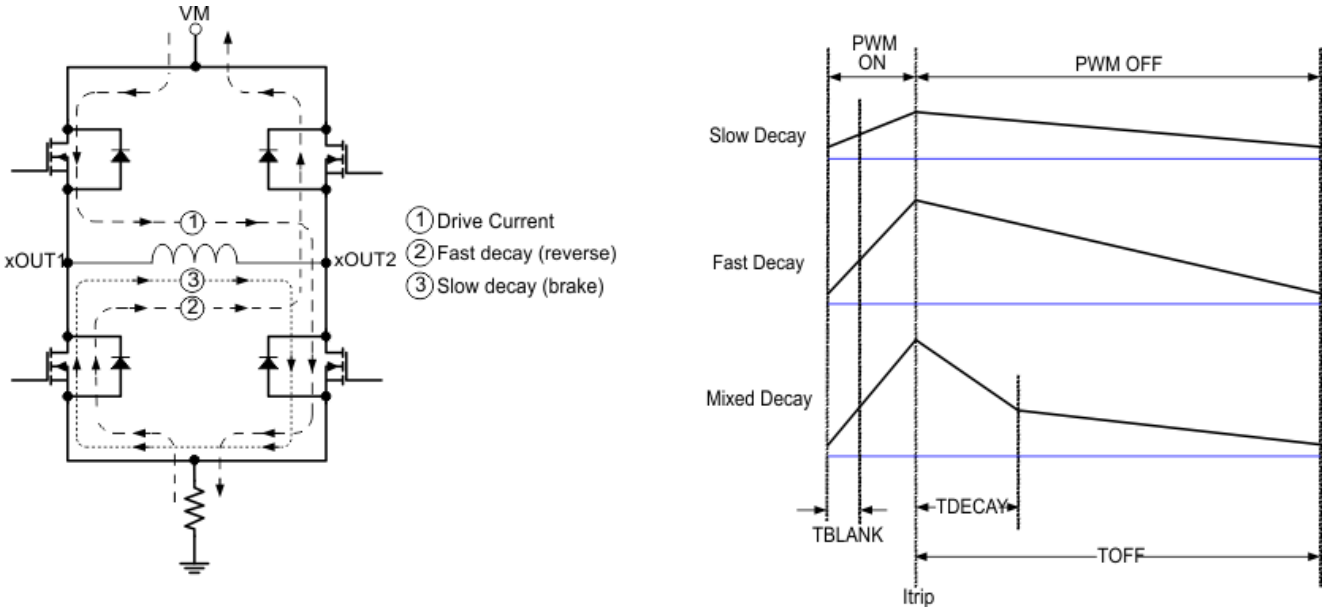


図 7-7. 減衰モード

DRV8436 の減衰モードは DECAY0 ピンと DECAY1 ピンで選択されます (表 7-6 を参照)。この減衰モードは、実行中に変更できます。

表 7-6. 減衰モードの設定

DECAY0	DECAY1	増加ステップ	減少ステップ
0	0	スマート・チューン・ダイナミック・ディケイ	スマート・チューン・ダイナミック・ディケイ
0	1	スマート・チューン・リップル・コントロール	スマート・チューン・リップル・コントロール
1	0	混合減衰:30% 高速	混合減衰:30% 高速
1	1	低速減衰	混合減衰:30% 高速
ハイ・インピーダンス	0	混合減衰:60% 高速	混合減衰:60% 高速
ハイ・インピーダンス	1	低速減衰	低速減衰

図 7-8 に、電流の増減を定義します。低速混合減衰モードの場合、電流増加ステップ中は低速減衰モードに設定され、電流減少ステップ中は混合減衰モードに設定されます。フルステップ動作および非真円 1/2 ステップ動作では、減少ステップに対応する減衰モードが常に使用されます。

Copyright © 2022 Texas Instruments Incorporated

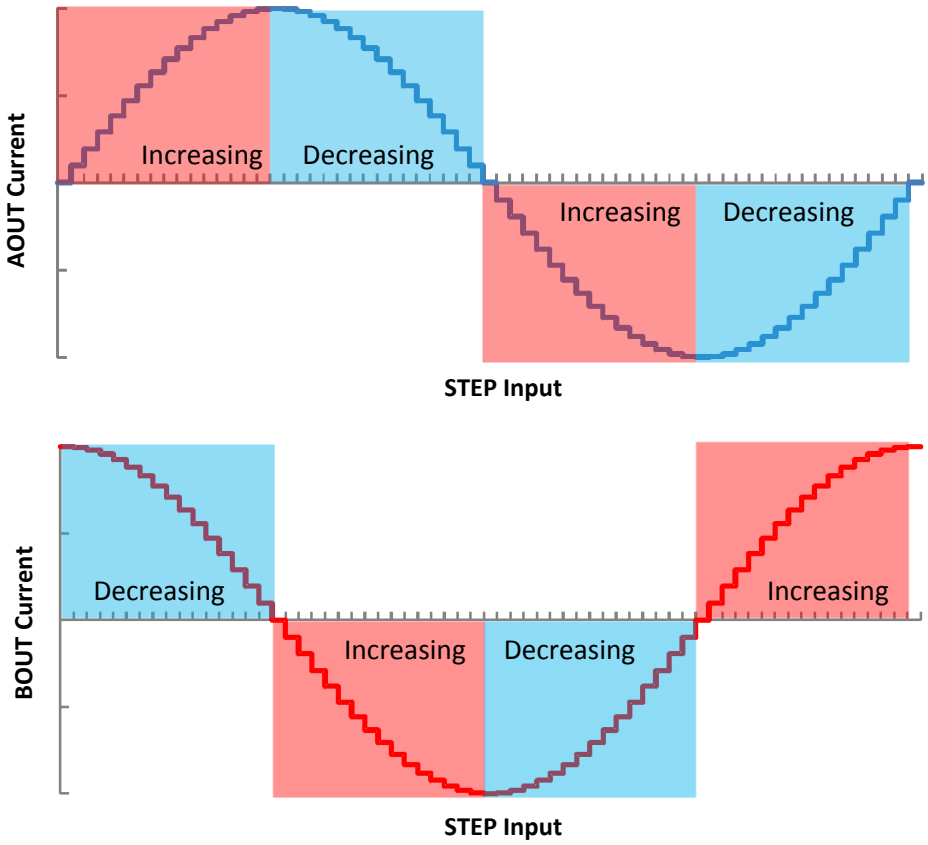


図 7-8. 増加および減少ステップの定義

7.3.6.1 電流増加および減少でスロー・ディケイ

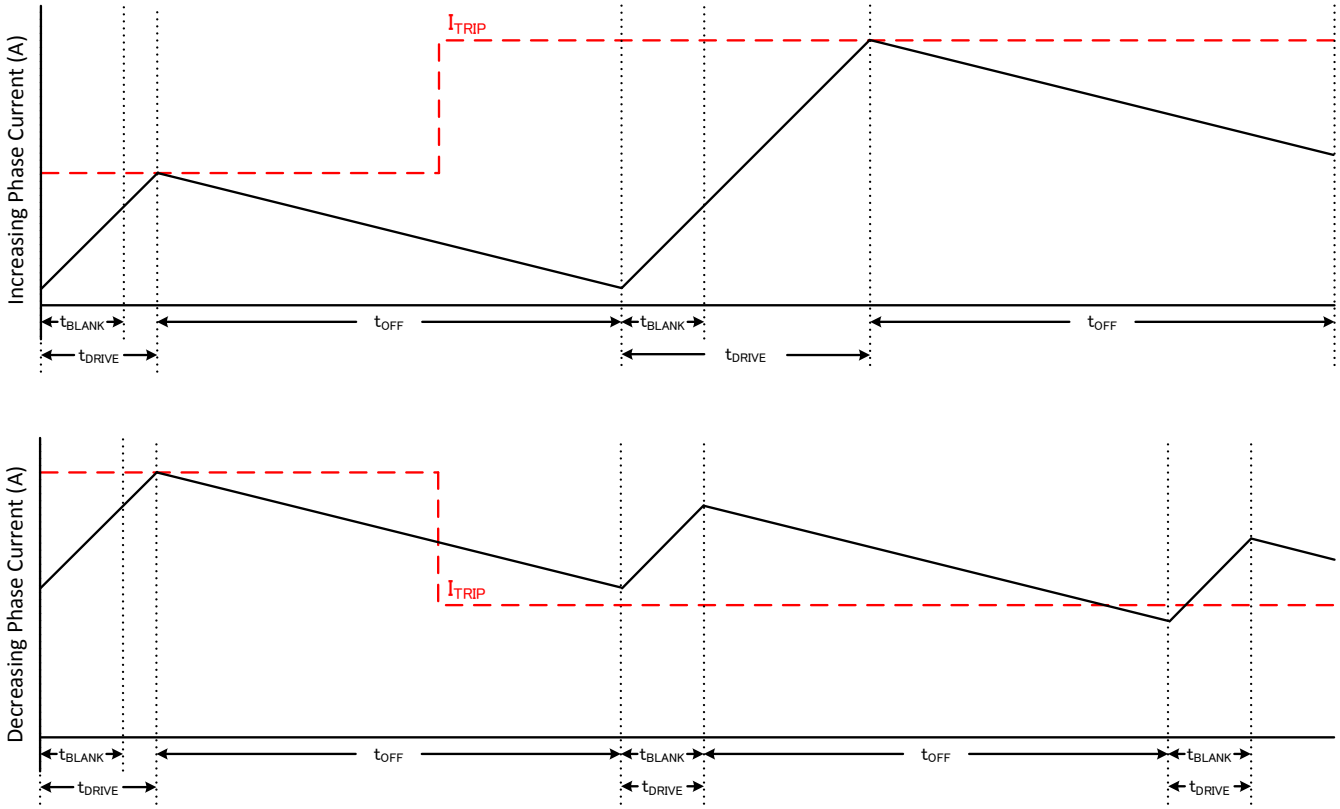


図 7-9. スロー / スロー・ディケイ・モード

スロー・ディケイ中、H ブリッジのローサイド FET はどちらもオンになり、電流を再循環させます。

スロー・ディケイは、与えられた t_{OFF} に対して、ディケイ・モードの中で最も小さい電流リップルを示します。しかし電流減少ステップでは、電流が非常にゆっくり減少するため、スロー・ディケイは新しい ITRIP レベルに落ち着くのに長い時間がかかります。オフ時間の終わりの電流が ITRIP レベルを上回っている場合、もう一度オフ時間の間スロー・ディケイが延長され、オフ時間の終わりの電流が ITRIP レベルを下回るまで繰り返されます。

電流が長時間保持されている (STEP ピンの入力がない) 場合、またはステップ速度が非常に小さい場合、モータ巻線に逆起電力が生じないため、スロー・ディケイでは適切に電流を制御できない場合があります。この状態では、モータ電流が急速に増加する可能性があり、長いオフ時間を必要とする場合があります。場合によっては、このために電流レギュレーションが失われる可能性があるため、より積極的なディケイ・モードが推奨されます。

Copyright © 2022 Texas Instruments Incorporated

7.3.6.2 電流増加ではスロー・ディケイ、電流減少ではミックス・ディケイ

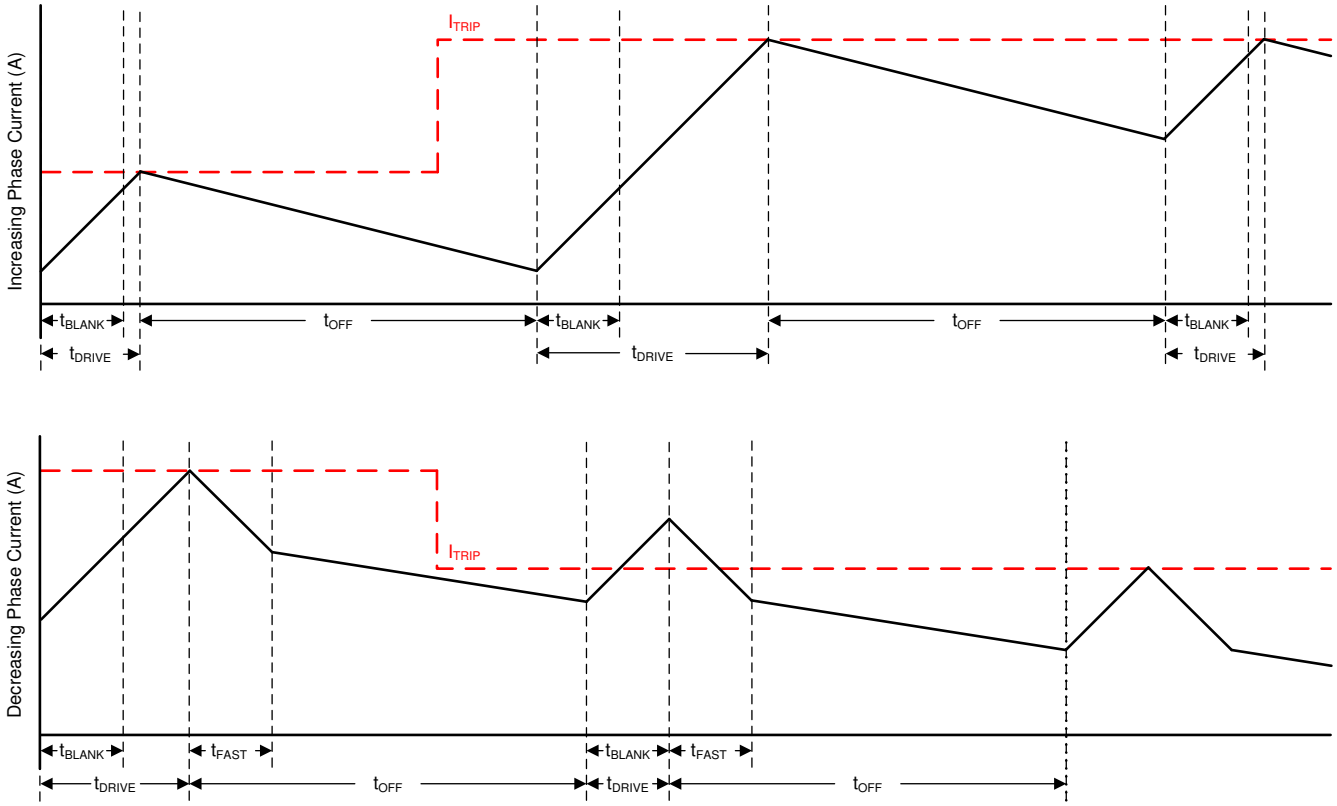


図 7-10. スロー・ミックス・ディケイ・モード

ミックス・ディケイでは、t_{OFF} 時間の初めの一定期間はファースト・ディケイを行い、その後スロー・ディケイに切り替わります。このモードでは、ミックス・ディケイは電流減少時にのみアクティブになります。電流増加時にはスロー・ディケイが使用されます。

このモードでは、電流増加時にスロー・ディケイと同じ電流リップルが生じていますが、これは、電流増加時にはスロー・ディケイのみを使用するためです。電流減少時のリップルは、スロー・ディケイ時より大きくなりますが、ファースト・ディケイ時よりは小さくなります。電流減少ステップでは、ミックス・ディケイはスロー・ディケイよりも高速に新しい I_{TRIP} レベルに落ち着きます。

7.3.6.3 電流増加および減少でミックス・ディケイ

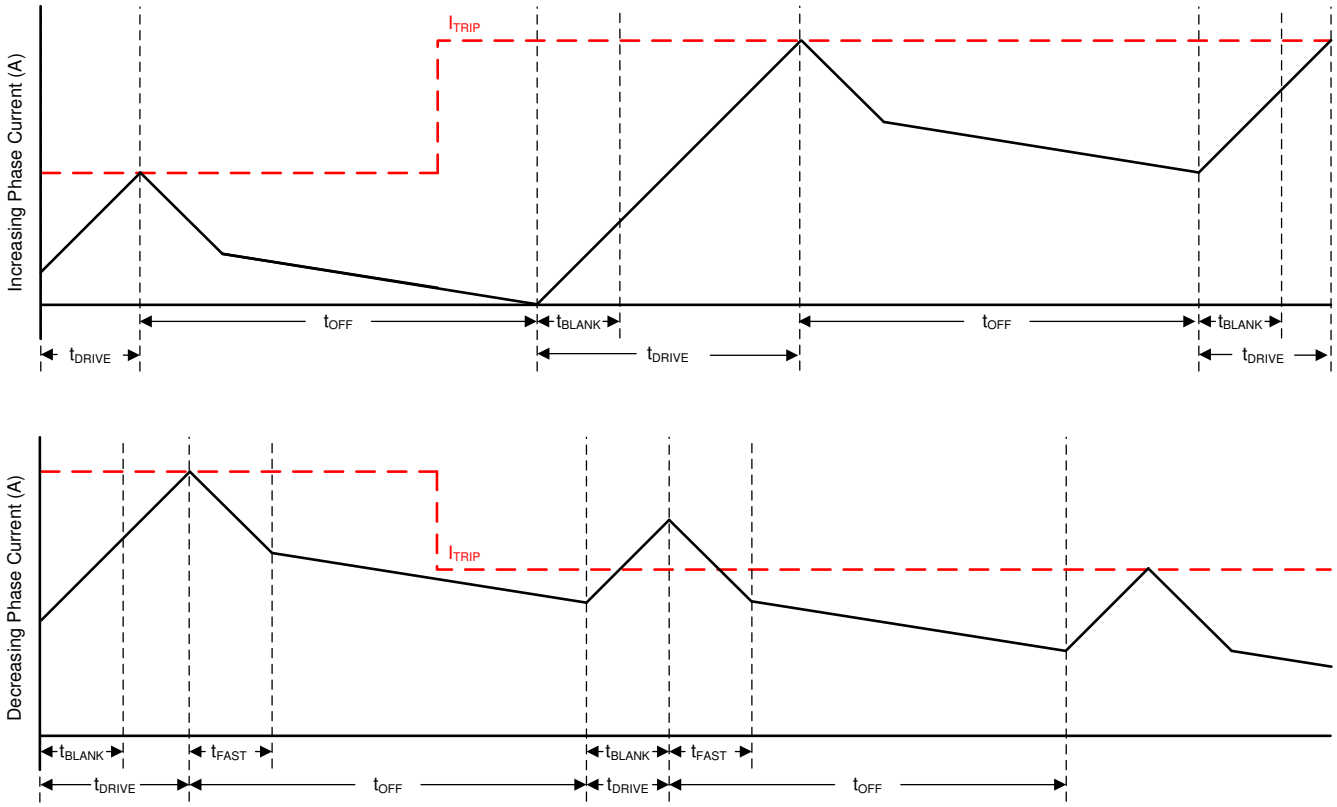


図 7-11. ミックス・ミックス・ディケイモード

ミックス・ディケイでは、t_{OFF} 時間の初めの一定期間はファースト・ディケイを行い、その後スロー・ディケイに切り替わります。このモードでは、電流増加ステップと電流減少ステップの両方ともミックス・ディケイになります。

このモードでのリップルは、スロー・ディケイ時より大きくなりますが、ファースト・ディケイ時よりは小さくなります。電流減少ステップでは、ミックス・ディケイはスロー・ディケイよりも高速に新しい I_{TRIP} レベルに落ち着きます。

電流が長時間保持されている (STEP ピンの入力がない) 場合、またはステップ速度が非常に小さい場合、モータ巻線に逆起電力が生じないため、スロー・ディケイでは適切に電流を制御できない場合があります。この状態では、モータ電流が急速に増加する可能性があり、非常に長いオフ時間が必要です。増加または減少のミックス・ディケイ・モードを使用すると、モータ巻線に逆起電力が生じない場合、電流レベルは制御状態を維持できます。

Copyright © 2022 Texas Instruments Incorporated

7.3.6.4 スマート・チューン・ダイナミック・ディケイ

スマート・チューン電流レギュレーション方式は、従来の固定オフ時間電流レギュレーション方式に比べて高度な電流レギュレーション制御手法です。スマート・チューン電流レギュレーション方式を使うと、ステッピング・モータ・ドライバは以下のような動作要因に基づいてディケイ方式を調整できます。

- モータの巻線抵抗およびインダクタンス
- モータの経年変化
- モータの動的速度および負荷
- モータの電源電圧変動
- 立ち上がりおよび立ち下がりステップでのモータの逆起電力の差
- ステップ遷移
- 小電流と大電流の dI/dt

本デバイスは 2 つのスマート・チューン電流レギュレーション・モード (スマート・チューン・ダイナミック・ディケイとスマート・チューン・リップル・コントロール) を備えています。

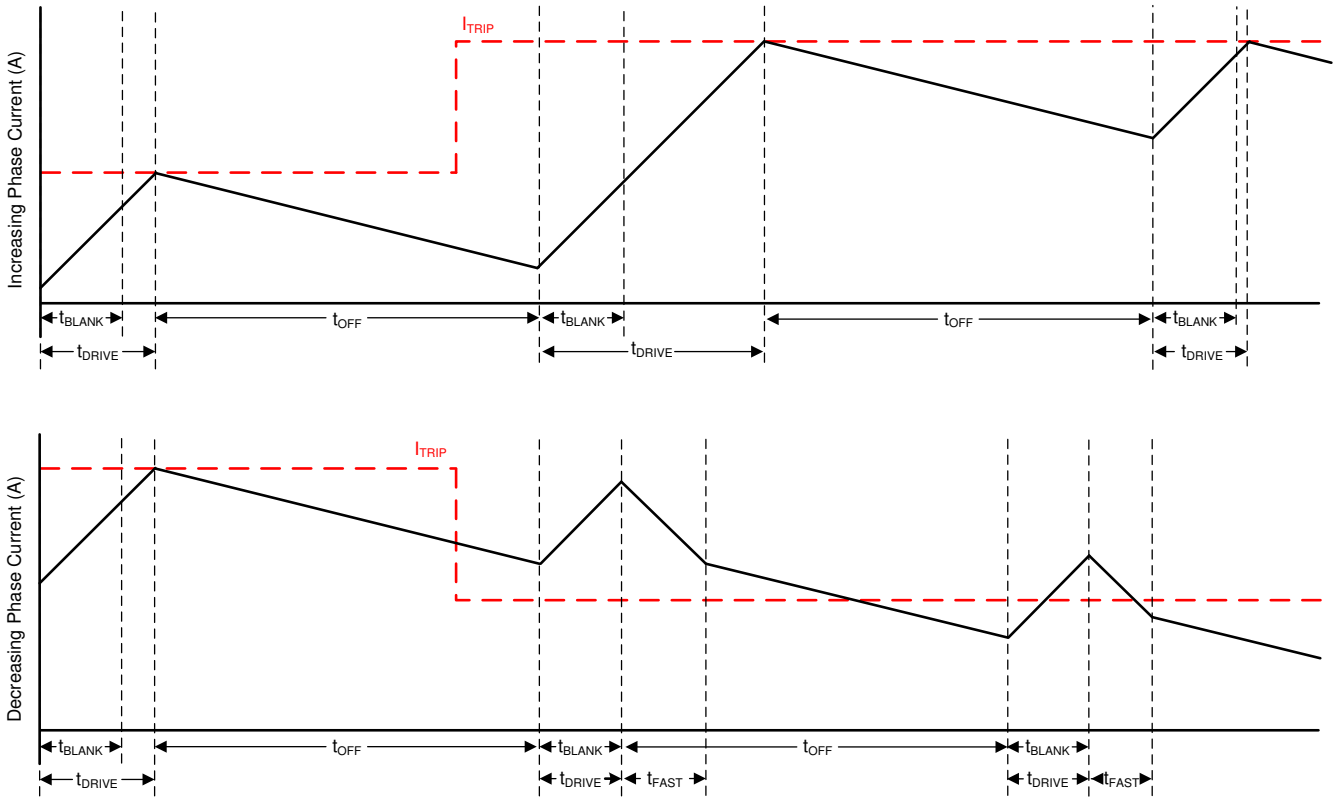


図 7-12. スマート・チューン・ダイナミック・ディケイ・モード

スマート・チューン・ダイナミック・ディケイでは、スロー、ミックス、ファースト・ディケイといったディケイ・モードが自動的に構成されるため、ディケイ・モードの選択が大幅に簡略化されます。ミックス・ディケイ・では、スマート・チューンにより、ミックス・ディケイの総時間に対するファースト・ディケイの割合が動的に調整されます。この機能により、モータのリップルを最小限に抑える最良のディケイ設定が自動的に決定されるため、モータのチューニングが不要になります。

ディケイ・モード設定は、各 PWM サイクルで繰り返し最適化されます。モータ電流が目標トリップ・レベルを超えると、レギュレーション損失を防ぐため、次のサイクルでディケイ・モードはより積極的になります (ファースト・ディケイの割合を増やします)。目標トリップ・レベルに達するまでに長い駆動時間を必要とする場合は、リップルを抑え、効率を上げるために、次のサイクルでディケイ・モードはより消極的になります (ファースト・ディケイの割合を減らします)。立ち下がりステップでは、次のステップに素早く達するために、スマート・チューン・ダイナミック・ディケイは自動的にファースト・ディケイに切り替わります。

スマート・チューン・ダイナミック・ディケイは、電流レギュレーション方式で電流リップルを最小限に抑える必要がありながら、固定周波数を維持する必要があるアプリケーションに最適です。

Copyright © 2022 Texas Instruments Incorporated

7.3.6.5 スマート・チューン・リップル・コントロール

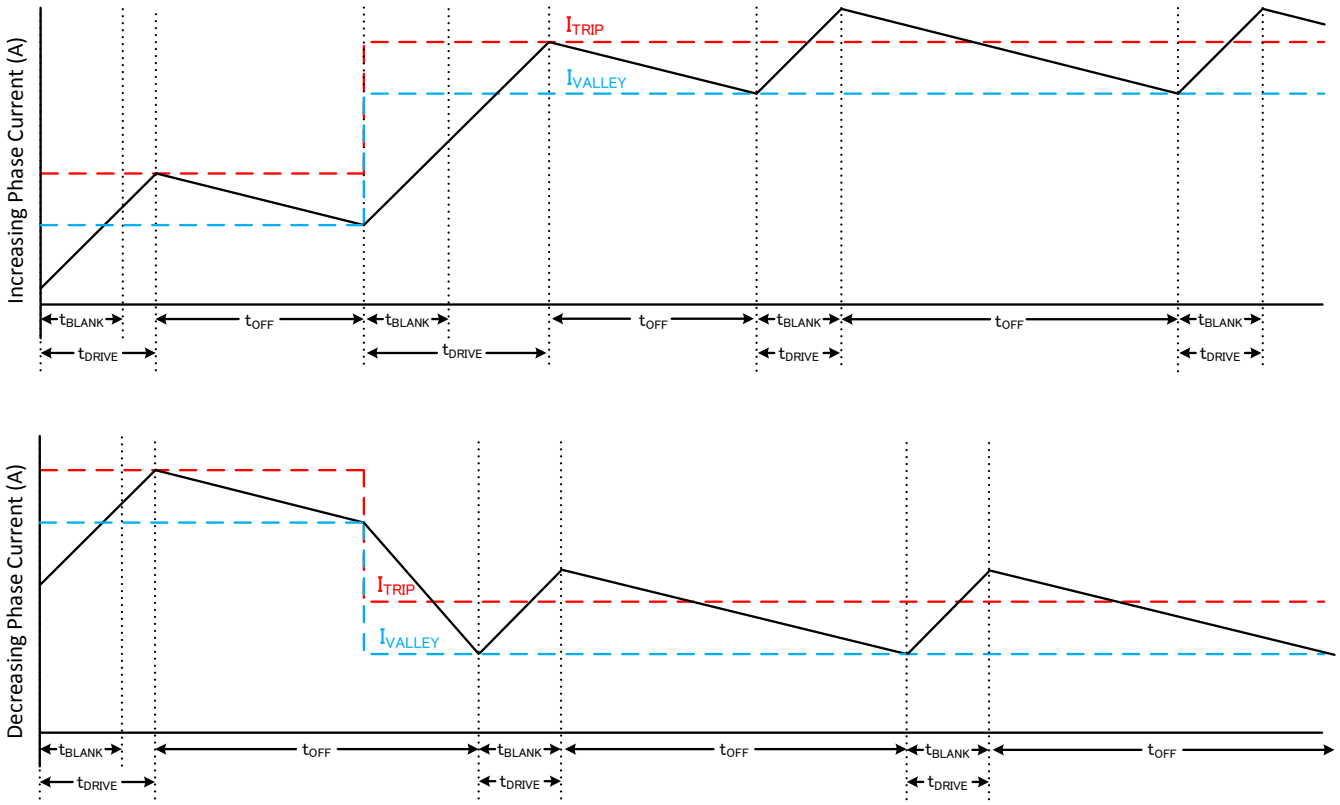


図 7-13. スマート・チューン・リップル・コントロール・ディケイ・モード

スマート・チューン・リップル・コントロールは、I_{TRIP} レベルと I_{VALLEY} レベルを設定することで動作します。電流レベルが I_{TRIP} に達すると、ドライバは t_{OFF} 時間が経過するまでスロー・ディケイに移行する代わりに、I_{VALLEY} に達するまでスロー・ディケイに移行します。スロー・ディケイは、両方のローサイド MOSFET がオンになって電流が再循環できるモード 1 と同様に動作します。このモードでは、電流レベルと動作条件に応じて t_{OFF} が変化します。

この手法によって、はるかに厳密な電流レベルのレギュレーションが可能になり、モータの効率とシステムの性能が向上します。スマート・チューン・リップル・コントロールは、可変オフ時間レギュレーション方式に対応するシステムで電流レギュレーションの電流リップルを小さくするために使用できます。

7.3.6.6 PWM オフ時間

表 7-6 に示すように、TOFF ピンで PWM オフ時間を設定します。このオフ時間設定は、実行中に変更できます。

表 7-7. オフ時間の設定

TOFF	オフ時間
0	7μs
1	16μs
ハイ・インピーダンス	24μs
330kΩ を GND との間に接続	32μs

7.3.6.7 ブランキング時間

H ブリッジで電流が出力されると (駆動相の開始)、電流センス・コンパレータ出力を一定時間 (t_{BLANK}) 無視した後、電流センス回路を有効にします。ブランキング時間は、PWM の最小駆動時間も設定します。ブランキング時間は約 860ns です。

7.3.7 チャージ・ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷保持のためのコンデンサを接続する必要があります。また、フライング・コンデンサの役割として、CPH ピンと CPL ピンの間にもセラミック・コンデンサを接続する必要があります。

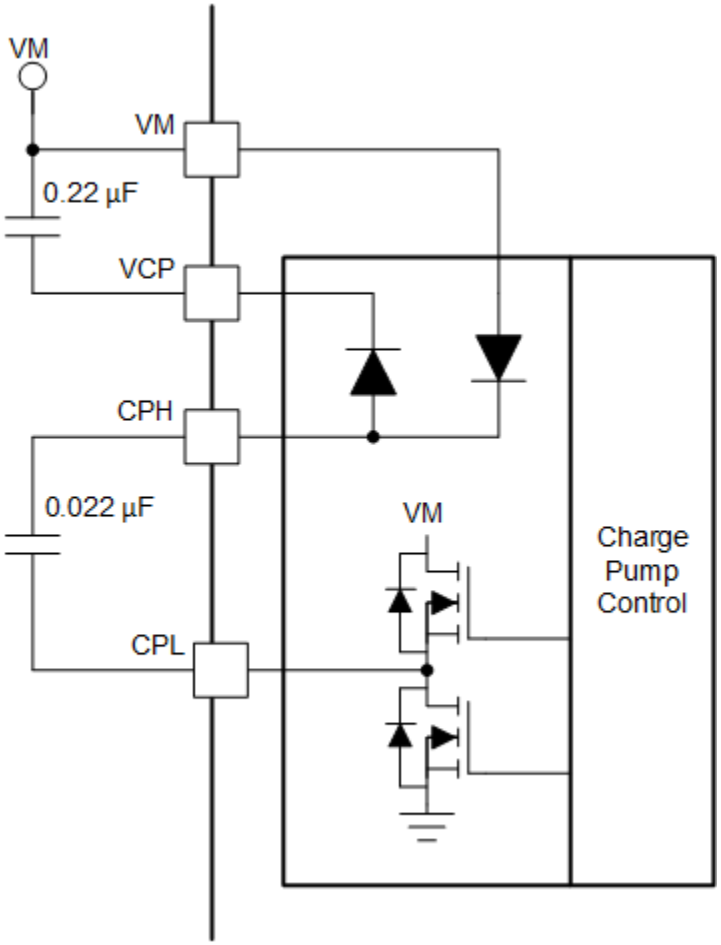


図 7-14. チャージ・ポンプのブロック図

Copyright © 2022 Texas Instruments Incorporated

7.3.8 リニア電圧レギュレータ

DRV8436 には、リニア電圧レギュレータが内蔵されています。DVDD レギュレータの出力は、リファレンス電圧に使用することができます。DVDD は、最大 2mA の負荷電流を供給できます。正常に動作させるため、セラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。

DVDD の出力は通常 5V です。DVDD LDO の電流負荷が 2 mA を超えると、出力電圧は大きく低下します。

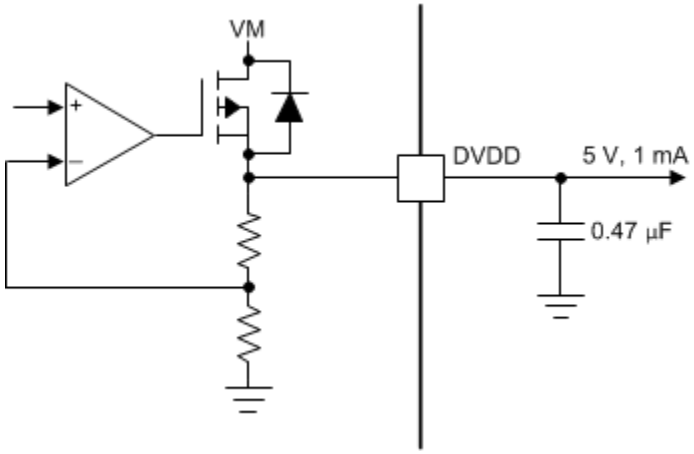


図 7-15. リニア電圧レギュレータのブロック図

デジタル入力 (すなわち Mx、DECAYx、TOFF) を永続的に High に固定する場合、入力を外部レギュレータではなく DVDD ピンに接続することを推奨します。これにより、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約できます。DVDD のレギュレータがディセーブルされている間、電流が入力プルダウン抵抗に流れないためです。参考までに、論理レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続することはできません。さもないと本デバイスはスリープ・モードから出ることができません。

7.3.9 論理レベル、トライレベル、クワッドレベルのピン構造図

図 7-16 に、M0、DECAY0、DECAY1、ENABLE ピンの入力構造を示します。

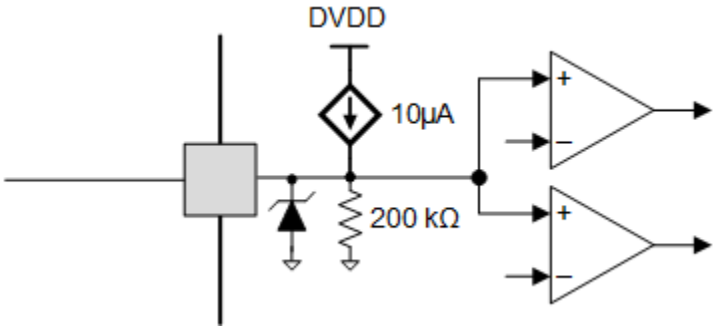


図 7-16. トライレベル入力ピン構造図

図 7-16 に、M1、TOFF ピンの入力構造を示します。

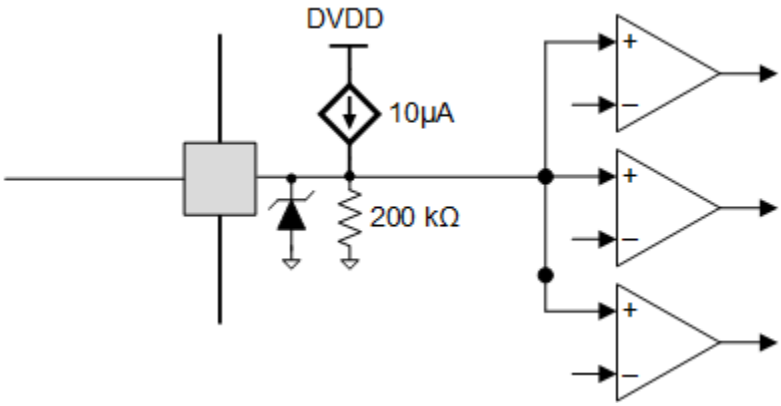


図 7-17. クワッドレベル入力ピン構造図

図 7-18 に、STEP、DIR、nSLEEP ピンの入力構造を示します。

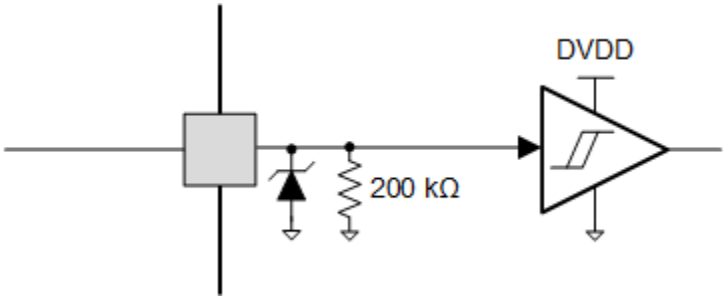


図 7-18. 論理レベル入力ピン構造図

7.3.9.1 nFAULT ピン

nFAULT ピンはオープンドレインの出力を持っているため、5V または 3.3V 電源にプルアップする必要があります。フォルトが検出された場合、nFAULT ピンは論理 Low になります。起動後、nFAULT ピンは High になります。5V にプルアップする場合、nFAULT ピンを DVDD ピンに抵抗で接続できます。3.3V にプルアップする場合、外部の 3.3V 電源を使う必要があります。

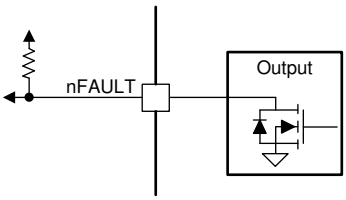


図 7-19. nFAULT ピン

7.3.10 保護回路

DRV8436 は、電源低電圧、チャージ・ポンプ低電圧、出力過電流、デバイス過熱イベントからデバイスを保護します。

7.3.10.1 VM 低電圧誤動作防止 (UVLO)

VM ピンの電圧が電圧源の UVLO スレッショルド電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件では、チャージ・ポンプはディセーブルされます。VM 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

Copyright © 2022 Texas Instruments Incorporated

7.3.10.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると常に、すべての出力がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。VCP 低電圧条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.10.3 過電流保護 (OCP)

各 FET のアナログ電流制限回路は、ゲート駆動を止めることで、FET に流れる電流を制限します。この電流制限が t_{OCP} 時間よりも長く続いた場合、その特定の H ブリッジの FET がディセーブルされ、nFAULT ピンは Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。過電流保護は 2 つのモード (ラッチド・シャットダウンと自動リトライ) で動作できます。

7.3.10.3.1 ラッチド・シャットダウン

ラッチド・シャットダウン・モードを選択するには、DRV8436 の ENABLE ピンをハイ・インピーダンスにする必要があります。このモードでは、OCP イベントの後、関連する出力がディセーブルされ、nFAULT ピンが Low に駆動されます。OCP 条件が解消すると、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

7.3.10.3.2 自動リトライ

自動リトライ・モードを選択するには、DRV8436 の ENABLE ピンを DVDD に接続する必要があります。このモードでは、OCP イベントの後、関連する出力がディセーブルされ、nFAULT ピンが Low に駆動されます。t_{RETRY} 時間が経過し、フォルト条件が解消した後、自動的に通常動作に復帰します (モータ・ドライバの動作と nFAULT の解放)。

7.3.10.4 サーマル・シャットダウン (OTSD)

デバイス温度がサーマル・シャットダウン限界値 (T_{OTSD}) を超えると、H ブリッジのすべての MOSFET がディセーブルされ、nFAULT ピンが Low に駆動されます。この条件の間、チャージ・ポンプはアクティブのまま維持されます。OTSD 条件が解消すると、通常動作に復帰します (モータ・ドライバの動作と nFAULT ラインの解放)。

7.3.10.5 フォルト条件のまとめ

表 7-8. フォルト条件のまとめ

フォルト	条件	構成	異常通知	H ブリッジ	チャージ・ポンプ	インデクサ	ロジック	復帰
VM 低電圧 (UVLO)	VM < V_{UVLO}	—	nFAULT	ディセーブル	ディセーブル	ディセーブル	リセット (V_{DVDD} < 3.9V)	自動:VM > V_{UVLO}
CP 低電圧検出 (CPUV)	CP < V_{CPUV}	—	nFAULT	ディセーブル	動作	動作	動作	CP > V_{CPUV}
過電流 (OCP)	I_{OUT} > I_{OCP}	ENABLE = ハイ・インピーダンス	nFAULT	ディセーブル	動作	動作	動作	ラッチ
		ENABLE = 1	nFAULT	ディセーブル	動作	動作	動作	自動リトライ:t_{RETRY}
サーマル・シャットダウン (OTSD)	T_J > T_{OTSD}	—	nFAULT	ディセーブル	ディセーブル	動作	動作	自動:T_J < T_{OTSD} - T_{HYS_OTSD}

7.4 デバイスの機能モード

7.4.1 スリープ・モード (nSLEEP = 0)

DRV8436 の状態は nSLEEP ピンで制御されます。nSLEEP ピンが Low になると、DRV8436 デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内蔵 MOSFET がディセーブルされ、チャージ・ポンプがディセーブルされます。nSLEEP ピンでの立ち下がりエッジの後、t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、DRV8436 は自動的にスリープから復帰します。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.2 ディセーブル・モード (nSLEEP = 1、ENABLE = 0)

ENABLE ピンは、DRV8436 デバイスのハーフ・ブリッジをイネーブルまたはディセーブルするために使用します。ENABLE ピンが Low になると、出力ドライバは無効化され、ハイ・インピーダンス状態になります。

7.4.3 動作モード (nSLEEP = 1、ENABLE = ハイ・インピーダンス / 1)

nSLEEP ピンが High、ENABLE ピンがハイ・インピーダンスまたは High、VM > UVLO のすべてに該当する場合、本デバイスはアクティブ・モードに入ります。t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.4.4 nSLEEP リセット・パルス

ラッチされたフォルトは短い nSLEEP パルスでクリアできます。このパルス幅は 18µs より長く 35µs より短い必要があります。nSLEEP が 35µs より長く 75µs より短い間 Low である場合、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります (図 7-20 を参照)。このリセット・パルスはチャージ・ポンプの状態にもその他の機能ブロックの状態にも影響を与えません。

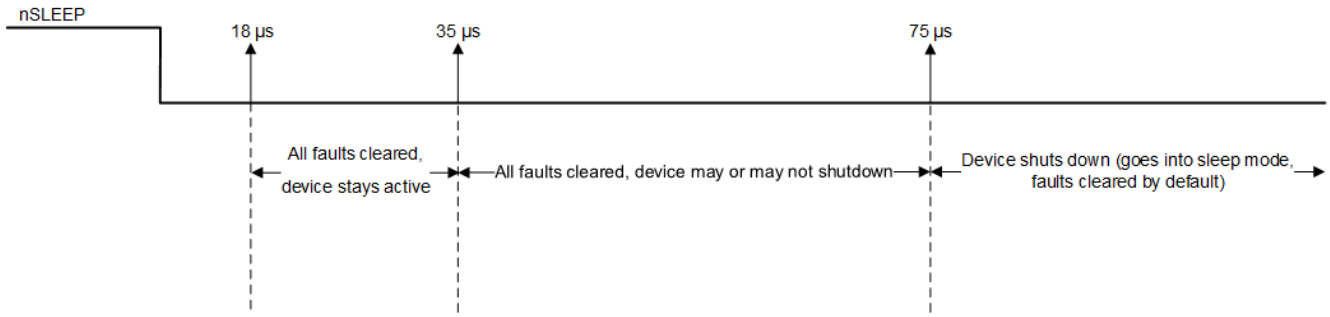


図 7-20. nSLEEP リセット・パルス

7.4.5 機能モードのまとめ

表 7-9 に、機能モードのまとめを示します。

表 7-9. 機能モードのまとめ

条件		構成	H ブリッジ	DVDD レギュレータ	チャージ・ポンプ	インデクサ	ロジック
スリープ・モード	4.5V < VM < 48V	nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 48V	nSLEEP ピン = 1 ENABLE ピン = 1	動作	動作	動作	動作	動作
ディセーブル	4.5V < VM < 48V	nSLEEP ピン = 1 ENABLE ピン = 0	ディセーブル	動作	動作	動作	動作

Copyright © 2022 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8436 はバイポーラ・ステッピング制御で使用されます。

8.2 代表的なアプリケーション

次の設計手順で DRV8436 を構成できます。

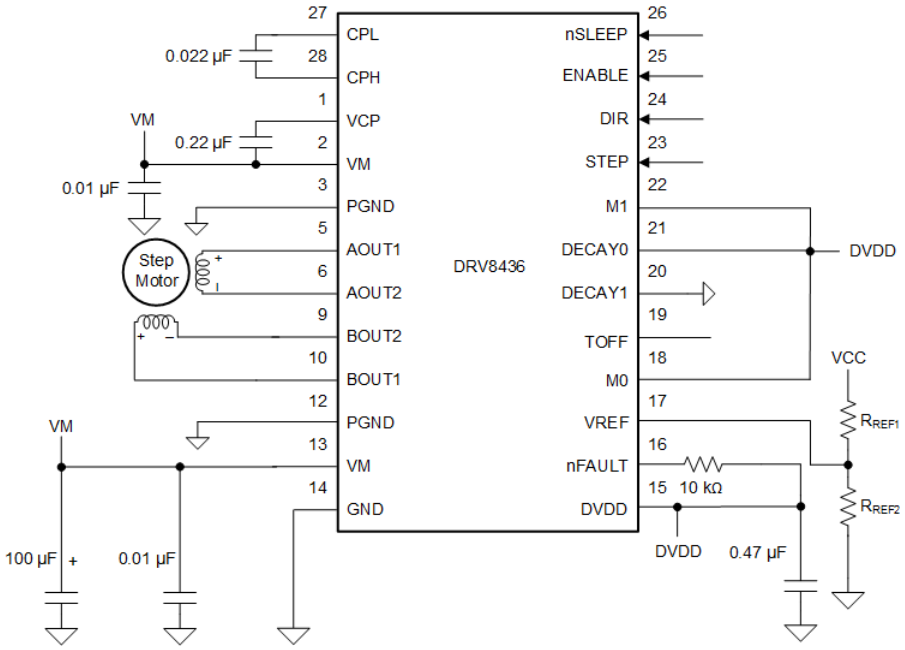


図 8-1. 代表的なアプリケーション回路図 (HTSSOP パッケージ)

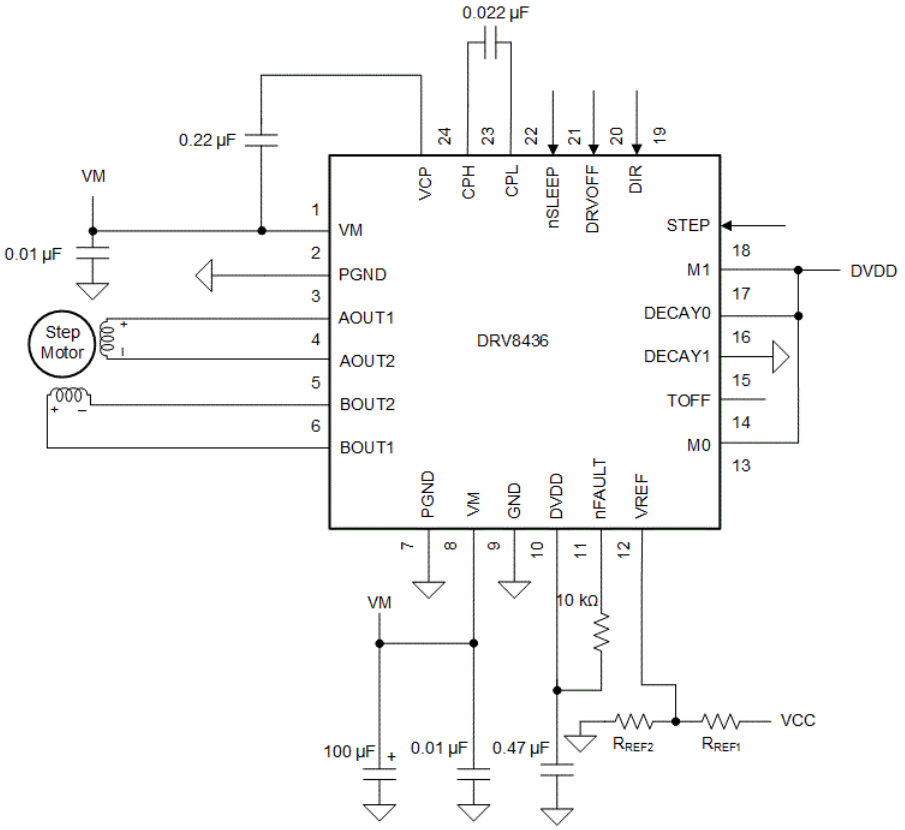


図 8-2. 代表的なアプリケーション回路図 (VQFN パッケージ)

8.2.1 設計要件

表 8-1 に、システム設計の設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	24V
モータ巻線抵抗	R_L	2.6Ω/相
モータ巻線インダクタンス	L_L	1.4mH/相
モータ・フルステップ角	θ_{step}	1.8°/ステップ
目標マイクロステッピング・レベル	n_m	1/8 ステップ
目標モータ速度	v	120rpm
目標フルスケール電流	I_{FS}	500mA

8.2.2 詳細な設計手順

8.2.2.1 ステッピング・モータの速度

本デバイスを構成するには、まず、モータ速度とマイクロステッピング・レベルの目標値が必要です。対象とするアプリケーションで一定速度が必要な場合、周波数 f_{step} の矩形波を STEP ピンに印加する必要があります。目標モータ速度が高すぎる場合、モータは回転しません。モータが目標速度に対応できることを確認してください。

モータ速度 (v)、マイクロステッピング・レベル (n_m)、モータのフルステップ角 (θ_{step}) の目標値に対応する f_{step} を計算するには式 1 を使用します。

Copyright © 2022 Texas Instruments Incorporated

$$f_{step}\ (\text{steps / s}) = \frac{v\ (\text{rpm}) \times 360\ (°\ /\ \text{rot})}{\theta_{step}\ (°\ /\ \text{step}) \times n_m\ (\text{steps / microstep}) \times 60\ (\text{s / min})} \tag{1}$$

θ_{step} 値は、ステッピング・モータのデータシートまたはモータそのものに記載されています。

DRV8436 の場合、マイクロステッピング・レベルは M0 および M1 ピンで設定され、表 8-2 に示す設定のいずれかにできます。マイクロステッピング・レベルが高いほどモータの動きは円滑になり、可聴ノイズは小さくなりますが、スイッチング損失が増え、同じモータ速度を実現するのにより高い f_{step} を必要とします。

表 8-2. マイクロステッピング・インデクサの設定

M0	M1	ステップ・モード
0	0	100% 電流によるフルステップ (2 相励起)
0	330kΩ を GND との間に接続	71% 電流によるフルステップ (2 相励起)
1	0	非真円 1/2 ステップ
ハイ・インピーダンス	0	1/2 ステップ
0	1	1/4 ステップ
1	1	1/8 ステップ
ハイ・インピーダンス	1	1/16 ステップ
0	ハイ・インピーダンス	1/32 ステップ
ハイ・インピーダンス	330kΩ を GND との間に接続	1/64 ステップ
ハイ・インピーダンス	ハイ・インピーダンス	1/128 ステップ
1	ハイ・インピーダンス	1/256 ステップ

たとえば、1/8 マイクロステップ・モードで 120rpm という目標に対して、モータは 1.8°/step となります。

$$f_{step}\ (\text{steps / s}) = \frac{120\ \text{rpm} \times 360° / \text{rot}}{1.8° / \text{step} \times 1/8\ \text{steps / microstep} \times 60\ \text{s / min}} = 3.2\ \text{kHz} \tag{2}$$

8.2.2.2 電流レギュレーション

ステッピング・モータでは、フルスケール電流 (I_{FS}) は、どちらかの巻線に駆動される最大電流です。この量は VREF 電圧に依存します。VREF ピンの最大許容電圧は 3.3V です。DVDD と抵抗分割器を使用して VREF を供給できます。

ステッピング時には、I_{FS} により、最大電流ステップの電流チョッピング・スレッショルド (I_{TRIP}) が定義されます。I_{FS} (A) = V_{REF} (V) / 2.2 (V/A)

注

モータを飽和させないように、I_{FS} 電流は以下に示す式にも従う必要があります。VM はモータの電源電圧、R_L はモータの巻線の抵抗です。

$$I_{FS}\ (A) < \frac{VM\ (V)}{R_L\ (\Omega) + 2 \times R_{DS(ON)}\ (\Omega)} \tag{3}$$

8.2.2.3 ディケイ・モード

表 7-6 に示すように、本デバイスは 6 種類のディケイ・モードをサポートしています。モータ巻線を流れる電流は、調整可能な固定オフ時間方式によって制御されます。これは、モータ巻線電流が電流チョッピング・スレッショルド (I_{TRIP}) に達した駆動相の後には常に、本デバイスが t_{OFF} にわたり巻線を 8 つのディケイ・モードのいずれかに設定することを意味します。t_{OFF} が経過すると、新たなドライブフェーズが開始します。

8.2.3 アプリケーション曲線

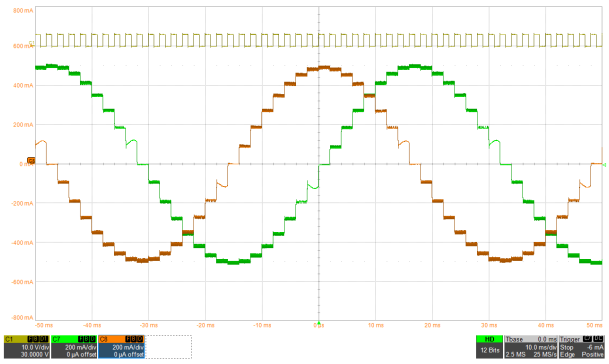


図 8-3. スマート・チューン・リップル制御減衰による 1/8 マイクロステッピング

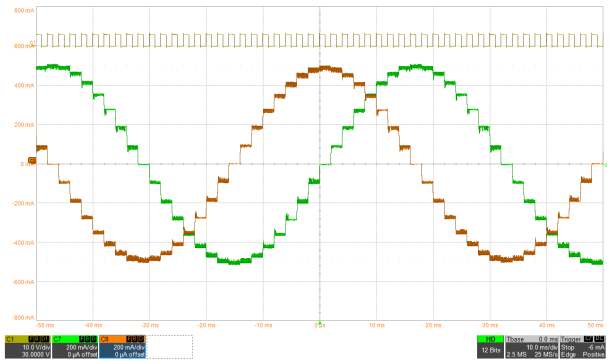


図 8-4. スマート・チューン・ダイナミック減衰による 1/8 マイクロステッピング

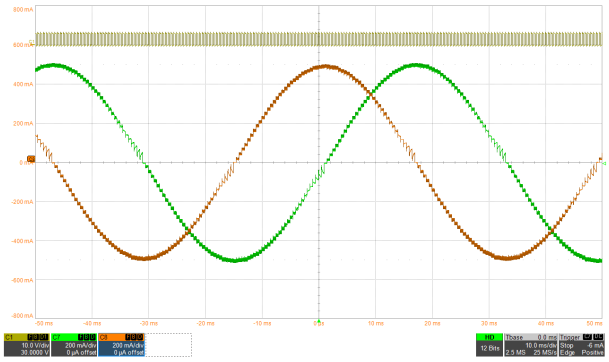


図 8-5. スマート・チューン・リップル制御減衰による 1/32 マイクロステッピング

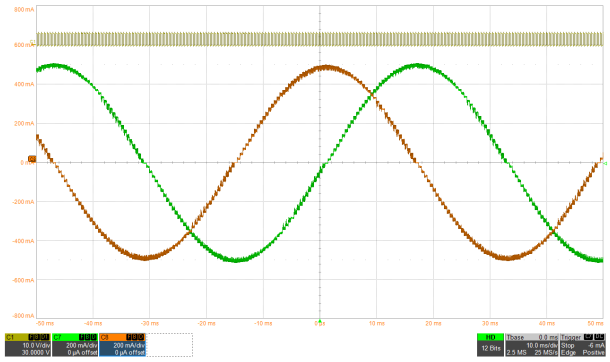


図 8-6. スマート・チューン・ダイナミック減衰による 1/32 マイクロステッピング

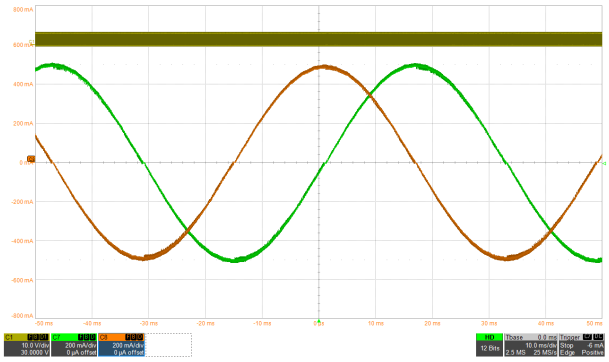


図 8-7. スマート・チューン・リップル制御減衰による 1/256 マイクロステッピング

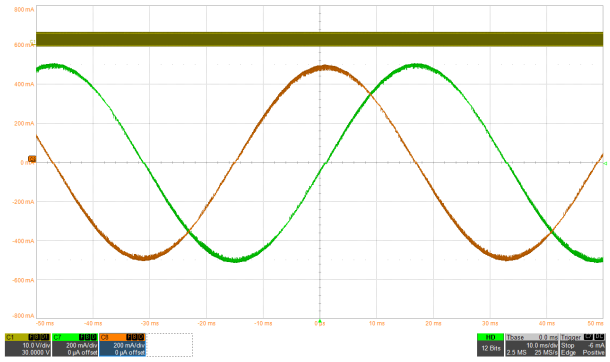


図 8-8. スマート・チューン・ダイナミック減衰による 1/256 マイクロステッピング

Copyright © 2022 Texas Instruments Incorporated

9 熱に関連する計算

このセクションでは、デバイスの消費電力の計算と接合部温度の概算について説明します。

9.1 消費電力

全消費電力は主な 3 つの要素 (導通損失 (P_{COND})、スイッチング損失 (P_{SW})、静止消費電流による電力損失 (P_Q)) で構成されます。

9.1.1 導通損失

フル・ブリッジに接続されたモータの電流経路は一方のハーフ・ブリッジのハイサイド FET と他方のハーフ・ブリッジのローサイド FET を通ります。導通損失 (P_{COND}) は、以下のように、モータの RMS 電流 (I_{RMS})、ハイサイド・オン抵抗 ($R_{DS(ONH)}$)、ローサイド・オン抵抗 ($R_{DS(ONL)}$) で決まります。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (4)$$

このセクションで説明する代表的なアプリケーションの導通損失は以下のように計算されます。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (0.5A / \sqrt{2})^2 \times (0.45\Omega + 0.45\Omega) = 0.225W \quad (5)$$

注

この電力の計算値は、ハイサイド FET とローサイド FET のオン抵抗に大きな影響を与えるデバイス温度に大きく影響されます。より精密に計算するには、FET のオン抵抗の温度依存性を考慮します。

9.1.2 スイッチング損失

PWM スイッチング周波数に起因する電力損失はスルーレート (t_{SR})、電源電圧、モータの RMS 電流、PWM スイッチング周波数で決まります。各 H ブリッジの立ち上がり時間のスイッチング損失と立ち下がり時間のスイッチング損失は以下のように計算されます。

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RISE_PWM} \times f_{PWM} \quad (6)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{FALL_PWM} \times f_{PWM} \quad (7)$$

t_{RISE_PWM} と t_{FALL_PWM} はどちらも V_{VM}/ t_{SR}.として近似されます。各種パラメータの値を代入した後、30kHz PWM 周波数を仮定すると、各 H ブリッジのスイッチング損失は以下のように計算されます。

$$P_{SW_RISE} = 0.5 \times 24V \times (0.5A / \sqrt{2}) \times (24V / 150V/\mu s) \times 30kHz = 0.02W \quad (8)$$

$$P_{SW_FALL} = 0.5 \times 24V \times (0.5A / \sqrt{2}) \times (24V / 150V/\mu s) \times 30kHz = 0.02W \quad (9)$$

ステッピング・モータ・ドライバの全スイッチング損失 (P_{SW}) は立ち上がり時間のスイッチング損失 (P_{SW_RISE}) と立ち下がり時間のスイッチング損失 (P_{SW_FALL}) の合計の 2 倍として以下のように計算されます。

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (0.02W + 0.02W) = 0.08W \quad (10)$$

注

立ち上がり時間 (t_{RISE}) と立ち下がり時間 (t_{FALL}) はスルーレート (t_{SR}) の標準値に基づいて計算されます。このパラメータは、電源電圧、温度、デバイス間のばらつきに基づいて変化することが予想されます。

スイッチング損失は PWM スイッチング周波数に正比例します。アプリケーションでの PWM 周波数は電源電圧、モータ・コイルのインダクタンス、逆起電圧、オフ時間 (スマート・チューン・リップル・コントロール・ディケイ・モードの場合はリップル電流) で決まります。

9.1.3 静止電流による消費電力

電源によって消費される静止電流による消費電力は以下のように計算されます。

$$P_Q = V_{VM} \times I_{VM} \tag{11}$$

値を代入すると、静止電力損失は以下のように計算されます。

$$P_Q = 24V \times 5mA = 0.12W \tag{12}$$

注

静止電力損失は、動作電源電流 (I_{VM}、標準値) を使用して計算されます。この動作電源電流は電源電圧、温度、デバイス間のばらつきによって決まります。

9.1.4 全消費電力

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として以下のように計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 0.225W + 0.08W + 0.12W = 0.425W \tag{13}$$

9.2 デバイスの接合部温度の概算

周囲温度 T_A、全消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は $T_J = T_A + (P_{TOT} \times R_{\theta JA})$ で計算されます。

JEDEC 規格の 4 層 PCB を考慮すれば、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、HTSSOP パッケージの場合 31.3℃/W、VQFN パッケージの場合 41.3℃/W です。

25℃の周囲温度を仮定すると、HTSSOP パッケージの接合部温度は以下のように計算されます。

$$T_J = 25℃ + (0.425W \times 31.3℃/W) = 38.3℃ \tag{14}$$

VQFN パッケージの接合部温度は以下のように計算されます。

$$T_J = 25℃ + (0.425W \times 41.3℃/W) = 42.55℃ \tag{15}$$

Copyright © 2022 Texas Instruments Incorporated

電源に関する推奨事項

本デバイスは、4.5V～48V の入力電圧源 (VM) 範囲で動作するように設計されています。VM 定格の 0.01μF セラミック・コンデンサを、本デバイスにできるだけ近付けて各 VM ピンに配置する必要があります。また、バルク・コンデンサを VM に接続する必要があります。

10.1 バルク・コンデンサ

適切なローカル・バルク・コンデンサを使用することは、モータ駆動システムの設計で重要な要素の 1 つです。一般に、バルク・コンデンサが大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モータ・システムが必要とする最大電流
- 電源容量 (電流供給能力)
- 電源とモータ・システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモータの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モータのブレーキ方式

電源とモータ駆動システムの間のインダクタンスにより、電源からの電流が変化できる割合が制限されます。ローカル・バルク容量が小さすぎる場合、システムはモータからの過剰な電流要求やダンプによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モータの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モータが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

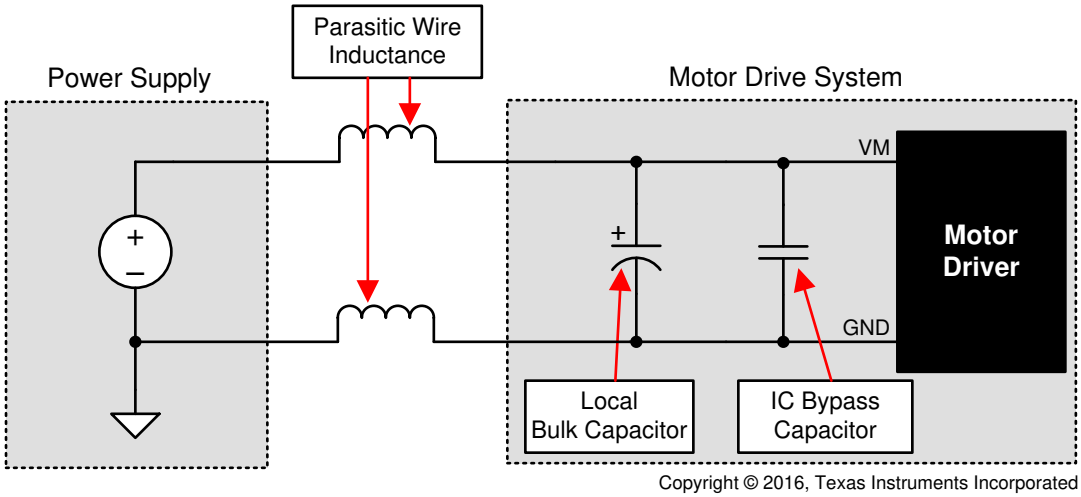


図 10-1. 外部電源を使用したモータ駆動システムの構成例

10 レイアウト

10.1 レイアウトの注意点

VM 定格で 推奨値 0.01μF の低 ESR セラミック・バイパス・コンデンサを使用して、VM ピンを GND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いトレースまたはグランド・プレーンでデバイスの GND ピンに接続する必要があります。

VM 定格のバルク・コンデンサを使用して、VM ピンをグランドにバイパスする必要があります。この部品には電解コンデンサが使用できます。

低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 電圧定格の 0.022μF を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の 0.22μF を推奨します。この部品はピンにできるだけ近付けて配置します。

低 ESR セラミック・コンデンサを使用して DVDD ピンをグランドにバイパスします。6.3V 定格の 0.47μF を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。

サーマル・パッドはシステム・グランドに接続する必要があります。

10.2 レイアウト例

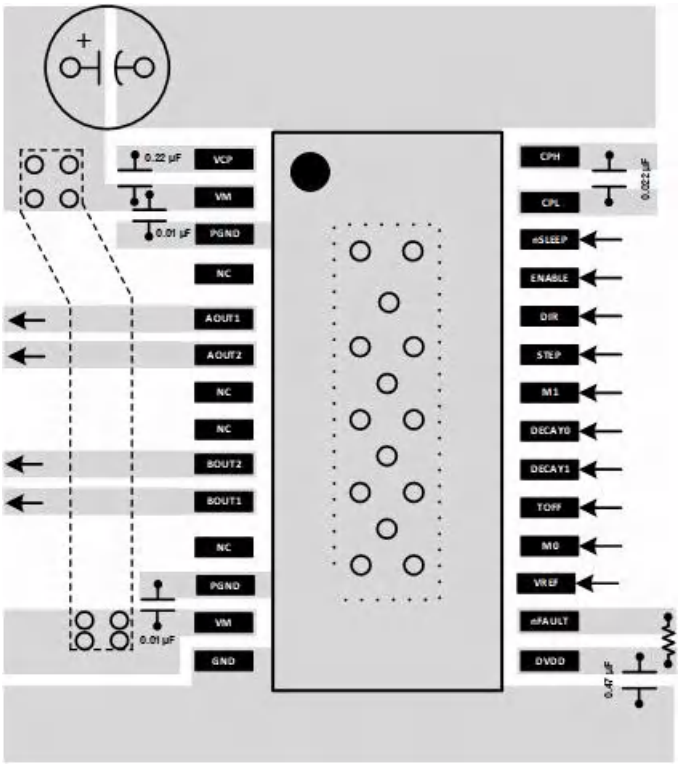


図 10-1. HTSSOP のレイアウト例

Copyright © 2022 Texas Instruments Incorporated

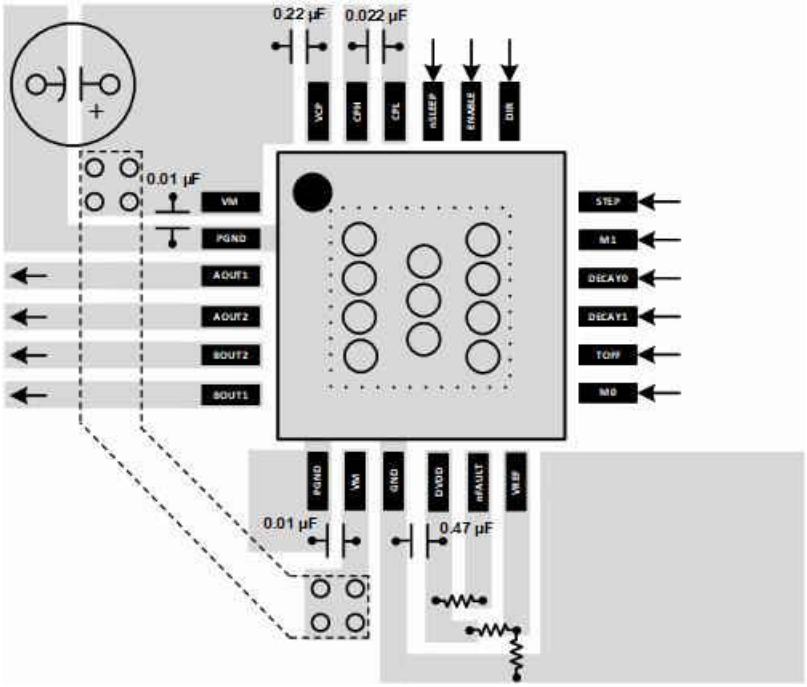


図 10-2. QFN のレイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『ステッパ・モーターの可聴ノイズを低減する方法』*アプリケーション・レポート
- テキサス・インスツルメンツ、*『動作の滑らかさと精度を向上させる方法』*アプリケーション・レポート
- テキサス・インスツルメンツ、*『DRV8xxx によるユニポーラ・ステッパ・モーターの駆動方法』*アプリケーション・レポート
- テキサス・インスツルメンツ、*『モータ・ドライバ消費電力の計算』*アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、*『電流再循環および減衰モード』*アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、*『モータ・ドライバの電流定格の理解』*アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、『モータ・ドライバの基板設計のベスト・プラクティス』アプリケーション・レポート (英語)

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「*アラートを受け取る*」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 コミュニティ・リソース

11.4 商標

すべての商標は、それぞれの所有者に帰属します。

Copyright © 2022 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

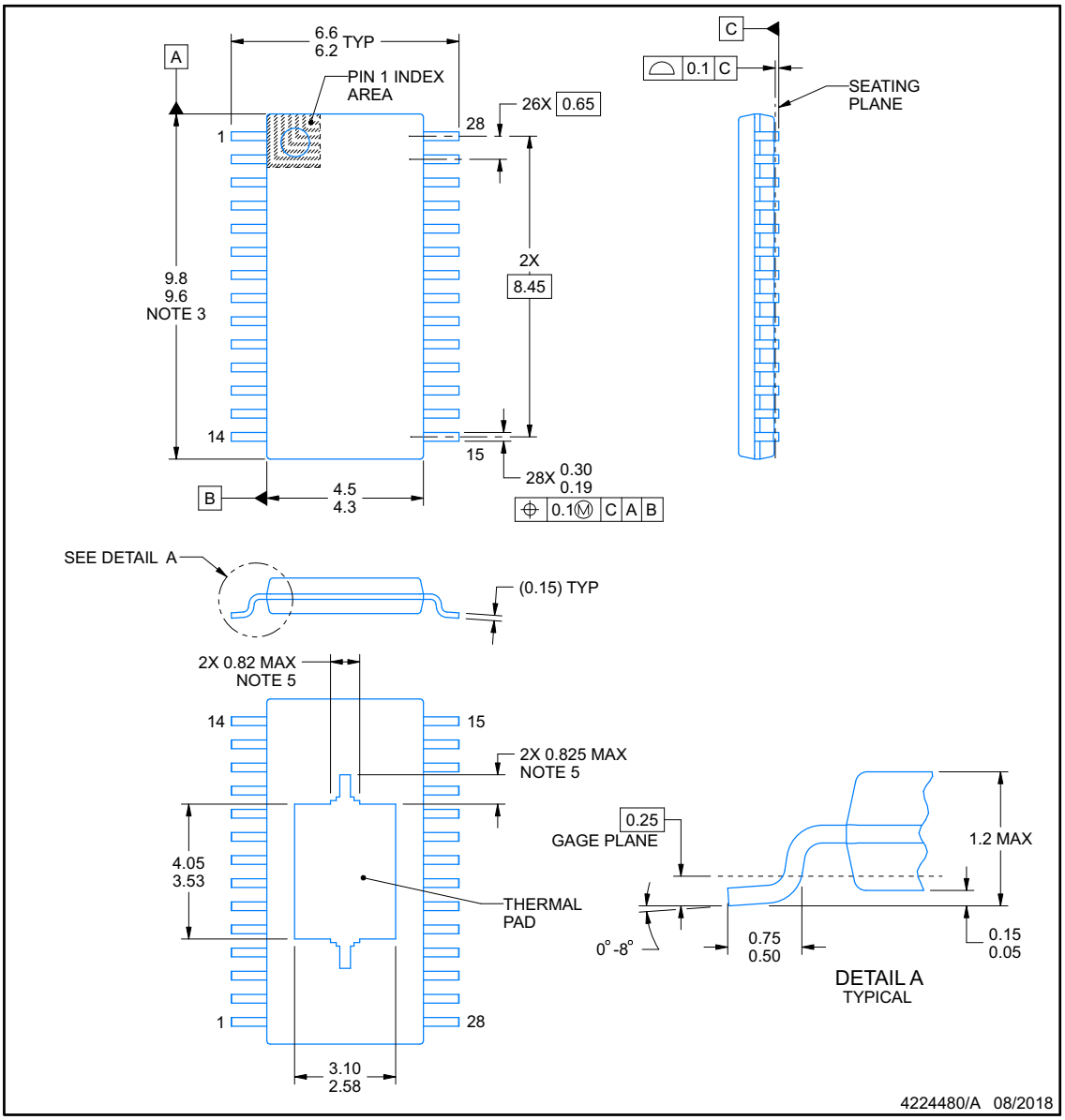
以下のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版については、左側のナビゲーションをご覧ください。

PACKAGE OUTLINE

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

TEXAS INSTRUMENTS
www.ti.com

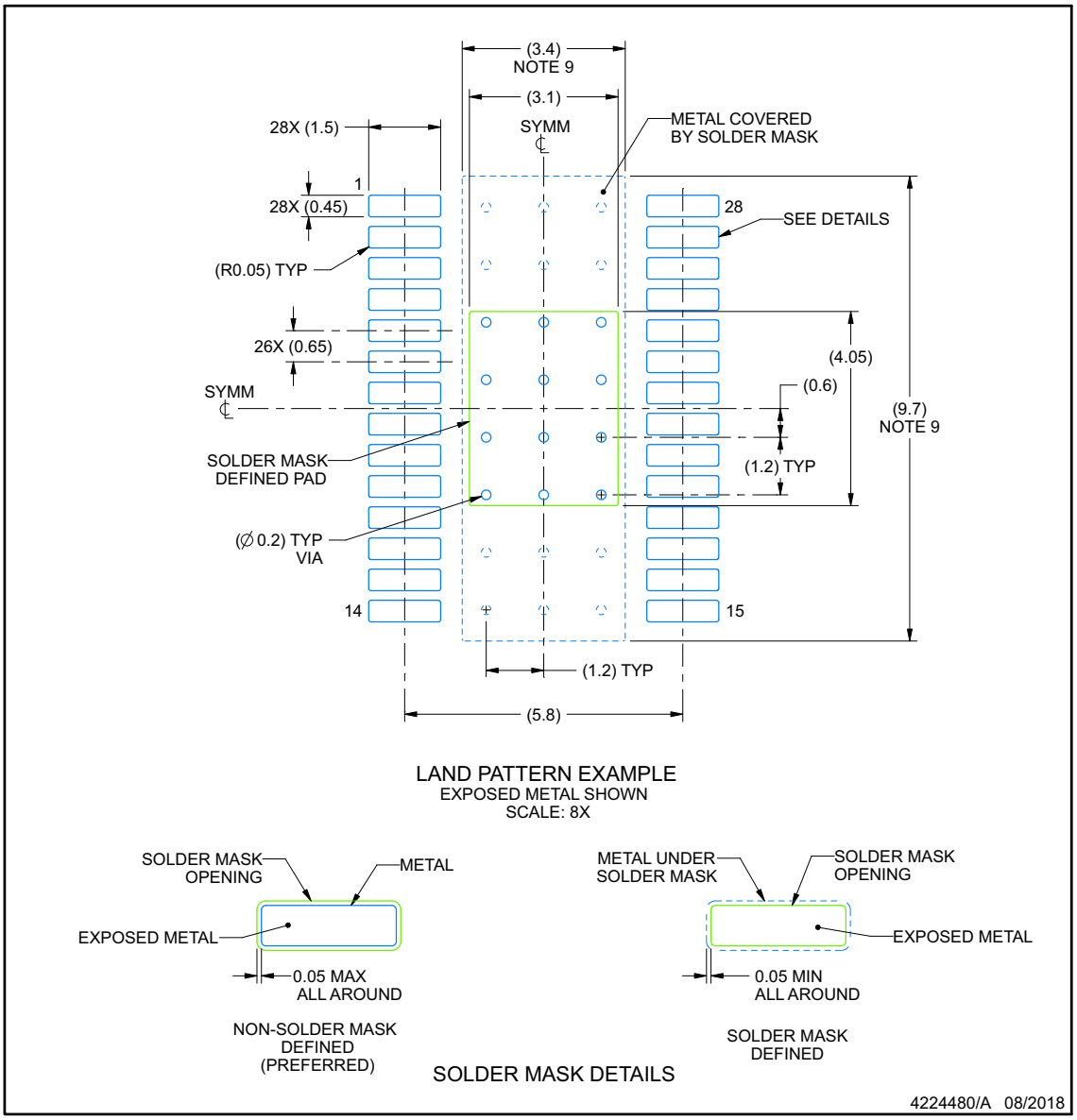
Copyright © 2022 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

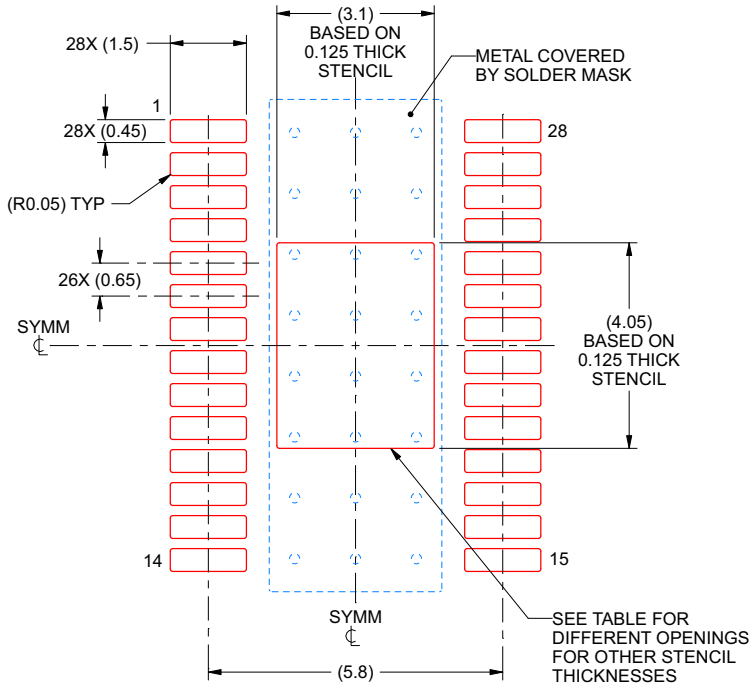
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2022 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

PWP0028M **PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.47 X 4.53
0.125	3.10 X 4.05 (SHOWN)
0.15	2.83 X 3.70
0.175	2.62 X 3.42

4224480/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8436PWPR	Active	Production	HTSSOP (PWP) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8436
DRV8436PWPR.A	Active	Production	HTSSOP (PWP) | 28	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8436
DRV8436RGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8436
DRV8436RGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	DRV 8436

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

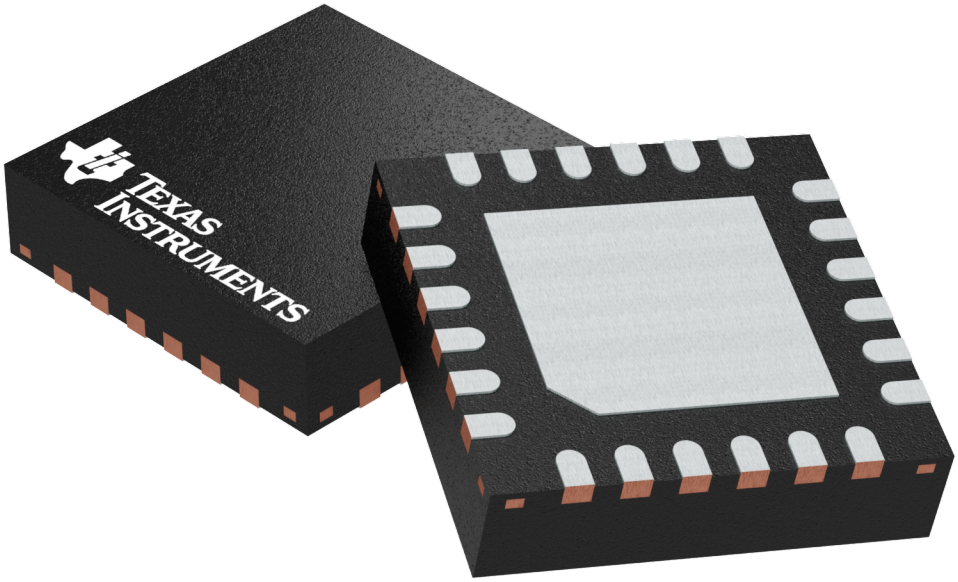
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

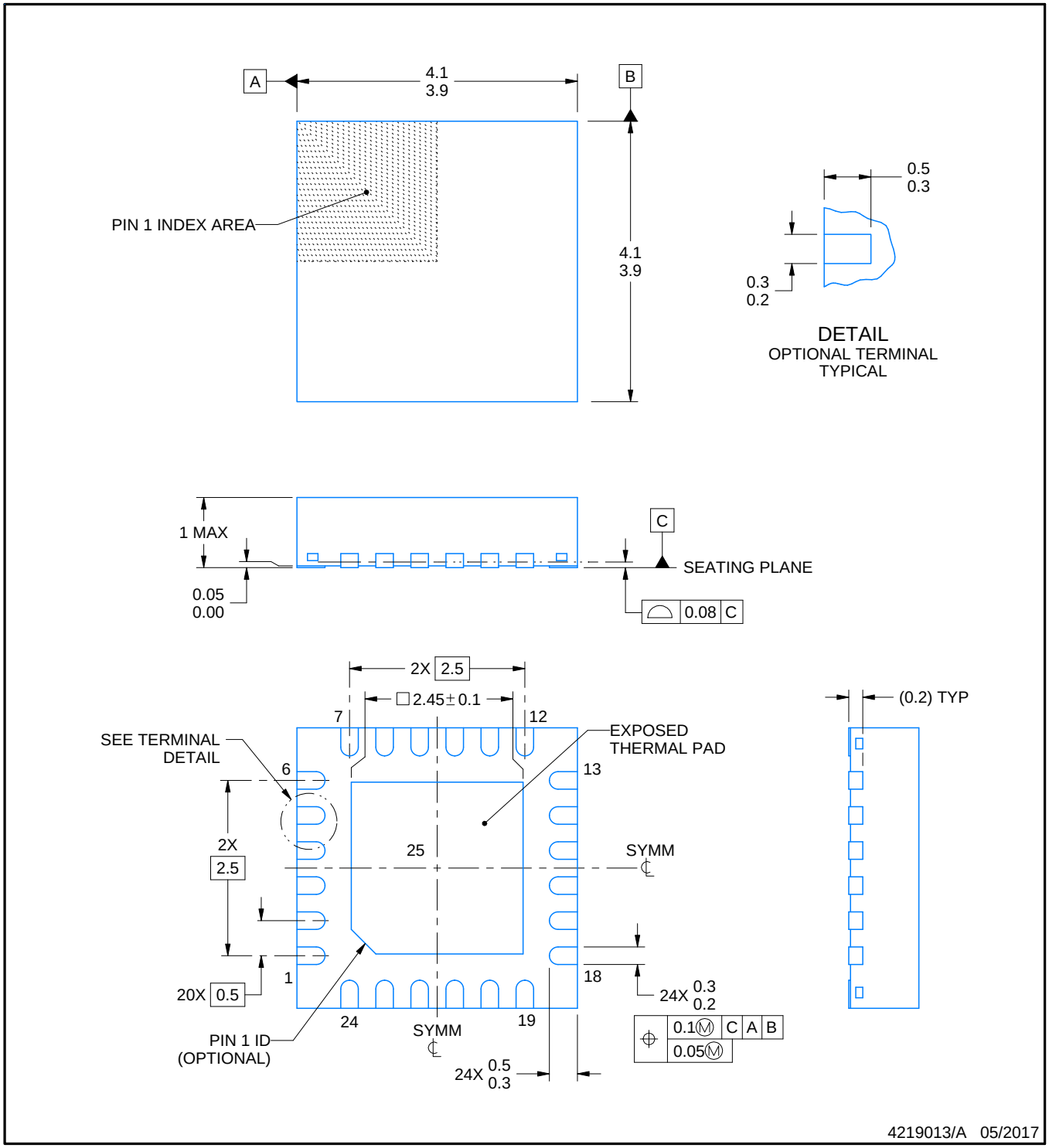
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

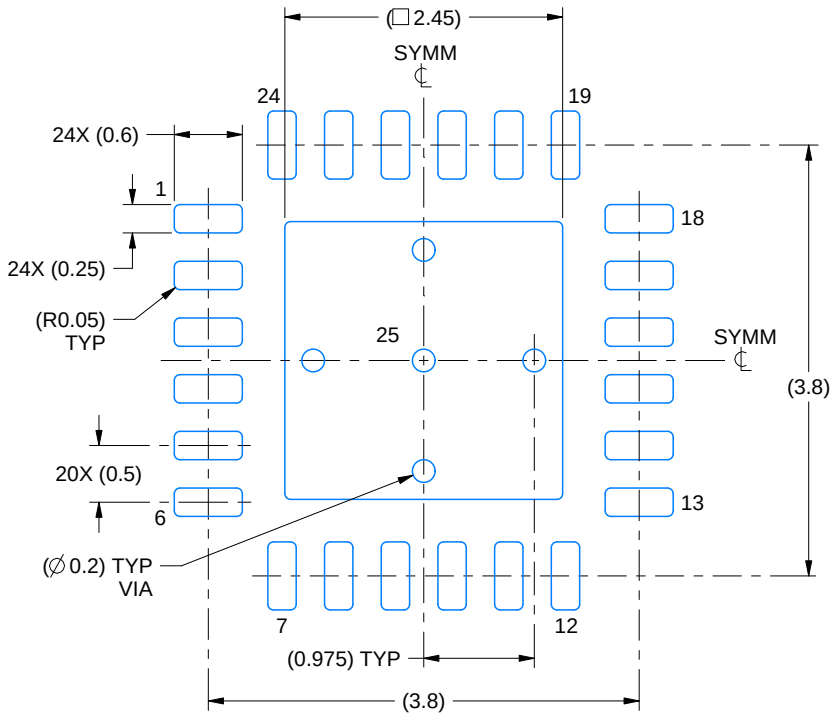


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

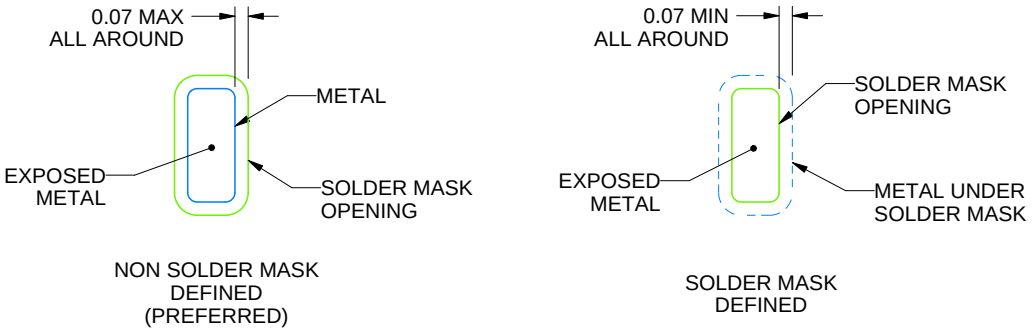


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

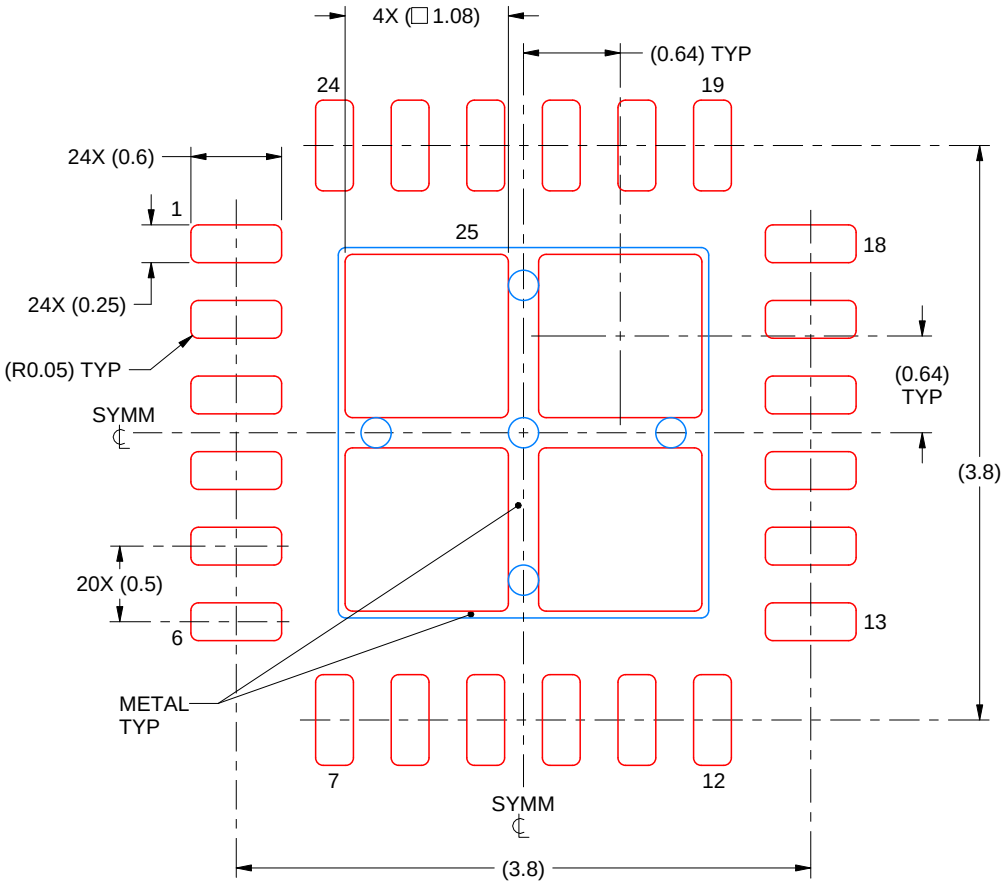


SOLDER MASK DETAILS

4219013/A 05/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219013/A 05/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

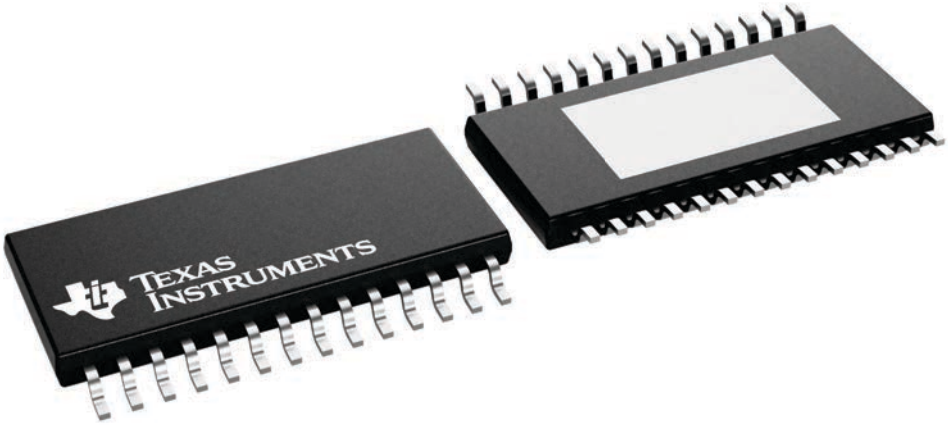
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated