TEXAS INSTRUMENTS
ISOW7840, ISOW7841, ISOW7842, ISOW7843, ISOW7844
JAJSCZ6G – MARCH 2017 – REVISED AUGUST 2021

ISOW784x 高効率低放射 DC/DC コンバータ内蔵、高性能、5000V_{RMS} 強化絶縁、クワッド・チャネル・デジタル・アイソレータ

1 特長

- 100Mbps のデータ・レート
- 堅牢な絶縁バリア:
  - 1 kV_{RMS} の動作電圧で 100 年を超える予測寿命
  - 最高 5000V_{PK} の絶縁定格
  - 最高 10 kV_{PK} のサージ耐量
  - 最小 CMTI:±100kV/µs
- 高効率の DC/DC コンバータとオンチップ変圧器を内蔵
- 3V～5.5V の広い入力電源範囲
- レギュレートされた 5V または 3.3V 出力
- 最大 0.65W の出力電力
- 5V から 5V へ、5V から 3.3V へ:利用可能負荷電流:130mA 以上
- 3.3V から 3.3V へ:利用可能負荷電流:75mA 以上
- 3.3V から 5 V へ:利用可能負荷電流:40mA 以上
- ソフトスタートにより突入電流を制限
- 過負荷および短絡保護
- サーマル・シャットダウン
- デフォルト出力:*HIGH* と *LOW* を選択可能
- 小さい伝搬遅延時間:標準値 13ns (5V 電源)
- 堅牢な電磁両立性 (EMC)
  - システム・レベルの ESD、EFT、サージ耐性
  - 絶縁バリアの両側で ±8kV の IEC 61000-4-2 接触放電保護
  - 低い放射
- 16 ピンのワイド SOIC パッケージ
- 拡張温度範囲:–40℃～+125℃
- 安全関連認証:
  - DIN V VDE V 0884-11:2017-01 に準拠した強化絶縁耐圧:7071V_{PK}
  - UL 1577 に準拠した絶縁耐圧:5000V_{RMS} (1 分間)
  - IEC 60950-1、IEC 62368-1、IEC 60601-1 最終機器規格による CSA 認証
  - Gb4943.1-2011 による CQC 認定
  - EN 60950-1 および EN 61010-1 による TUV 認証

2 アプリケーション

- 産業用オートメーション
- モーター制御
- グリッド・インフラストラクチャ
- 医療用機器
- 試験および測定機器

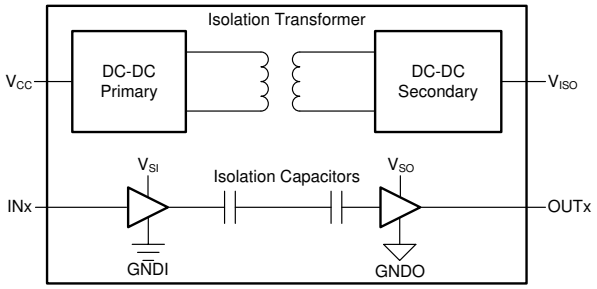
3 概要

ISOW784x デバイス・ファミリは、高効率の電力コンバータを内蔵した、高性能、クワッド・チャネル強化デジタルアイソレータです。内蔵の DC/DC コンバータは、最大 650mW の絶縁電力を高効率で供給し、各種の入力および出力電圧に構成可能です。このため、これらのデバイスを使用すると、スペースの制約が厳しい絶縁設計において別個の絶縁電源が不要になります。

製品情報

部品番号(1)	パッケージ	本体サイズ (公称)
ISOW7840 ISOW7841 ISOW7842 ISOW7843 ISOW7844	SOIC (16)	10.30mm × 7.50mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



V_{CC} は GND1 を基準とする一次電源電圧です。V_{ISO} は GND2 を基準とする絶縁電源電圧です。
V_{SI} および V_{SO} は、チャネルの方向により V_{CC} または V_{ISO} のいずれかです。
V_{SI} は GNDI を基準とする入力側電源電圧、V_{SO} は GNDO を基準とする出力側電源電圧です。

概略回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 概要 (続き) ... 4
6 ピン構成および機能 ... 4
端子機能 ... 6
7 仕様 ... 8
7.1 絶対最大定格 ... 8
7.2 ESD 定格 ... 8
7.3 推奨動作条件 ... 8
7.4 熱に関する情報 ... 9
7.5 電力定格 ... 9
7.6 絶縁仕様 ... 10
7.7 安全関連認証 ... 11
7.8 安全限界値 ... 11
7.9 電気的特性ー 5V 入力、5V 出力 ... 12
7.10 電源電流特性— 5V 入力、5V 出力 ... 13
7.11 電気的特性ー 3.3V 入力、5V 出力 ... 15
7.12 電源電流特性— 3.3V 入力、5V 出力 ... 16
7.13 電気的特性ー 5V 入力、3.3V 出力 ... 17
7.14 電源電流特性— 5V 入力、3.3V 出力 ... 18
7.15 電気的特性ー 3.3V 入力、3.3V 出力 ... 21
7.16 電源電流特性ー 3.3V 入力、3.3V 出力 ... 22
7.17 スイッチング特性 - 5V 入力、5V 出力 ... 25
7.18 スイッチング特性 - 3.3V 入力、5V 出力 ... 25
7.19 スイッチング特性 - 5V 入力、3.3V 出力 ... 25
7.20 スイッチング特性 - 3.3V 入力、3.3V 出力 ... 25
7.21 絶縁特性曲線 ... 26
7.22 代表的特性 ... 27
8 パラメータ測定情報 ... 32
9 詳細説明 ... 33
9.1 概要 ... 33
9.2 機能ブロック図 ... 34
9.3 機能説明 ... 35
9.4 デバイスの機能モード ... 36
10 アプリケーションと実装 ... 38
10.1 アプリケーション情報 ... 38
10.2 代表的なアプリケーション ... 38
11 電源に関する推奨事項 ... 41
12 レイアウト ... 42
12.1 レイアウトのガイドライン ... 42
12.2 レイアウト例 ... 43
13 デバイスおよびドキュメントのサポート ... 44
13.1 デバイスのサポート ... 44
13.2 ドキュメントのサポート ... 44
13.3 関連リンク ... 44
13.4 ドキュメントの更新通知を受け取る方法 ... 44
13.5 サポート・リソース ... 44
13.6 商標 ... 44
13.7 Electrostatic Discharge Caution ... 45
13.8 Glossary ... 45
14 メカニカル、パッケージ、および注文情報 ... 46

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (March 2019) to Revision G (August 2021) — **Page**

- 全体を通して 3.3V から 5V の電力コンバータのサポートを追加 ... 1
- 全体を通して 100 uF コンデンサへの言及を削除 ... 1
- 二次側 VISO 監視についての段落を削除 ... 41

Changes from Revision E (November 2017) to Revision F (March 2019) — **Page**

- ドキュメント全体を通して編集上および体裁上の変更 ... 1
- 「特長」に「堅牢な絶縁バリア」の箇条書き項目を追加 ... 1
- 「特長」に「1kV$_{RMS}$ の動作電圧で 100 年を超える予測寿命」の箇条書き項目を追加 ... 1
- 「特長」に「最大 5000V$_{RMS}$ の絶縁定格」の箇条書き項目を追加 ... 1
- 「特長」に「最大 10kV$_{PK}$ のサージ能力」の箇条書き項目を追加 ... 1
- 「特長」に「絶縁バリアの両側で ±8kV の IEC 61000-4-2 接触放電保護」箇条書き項目を追加 ... 1
- 「概略回路図」を更新し、絶縁信号チャネルに 1 つのコンデンサではなく、2 つの絶縁コンデンサを直列に記載 ... 1
- セクション 7.2 表に「IEC 61000-4-2 準拠の接触放電、絶縁バリア耐性試験」の仕様値 ± 8000 を追加 ... 8
- セクション 7.2 表に「IEC 試験では、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、バリアをはさんで ESD 衝撃を印加します。」の注記を追加 ... 8
- セクション 7.3 表から「T$_J$ 接合部温度」パラメータを削除。これは既に セクション 7.1 表に記載されているため。 ... 8
- V$_{IOWM}$ 仕様のテスト条件に「図 10-5 を参照」を追加 ... 10

Copyright © 2022 Texas Instruments Incorporated

- 図 8-2 に次の注を追加 。「V_{CC} と GND1 の間に 100µF コンデンサを追加できます。セクション 11 を参照してください。」 32
- ISOW7841-Q1 を使用する ADC センシング・アプリケーション向けの絶縁電源および SPI に以下の注を追加。「V_{CC} と GND1 の間に 100 µF コンデンサを追加できます。「電源に関する推奨事項」を参照してください。」 38
- セクション 10.2.1 に次のテキストを追加。「V_{CC} ピンと GND1 ピンの間に 100µF のデカップリング・コンデンサを追加できます。詳細については、*セクション 11* を参照してください。」 38
- 図 10-2 に、次の注を追加 。「V_{CC} と GND1 の間に 100 µF コンデンサを追加できます。セクション 11 を参照 してください。」 39
- セクション 10.2.3 セクションの下に セクション 10.2.3.1 サブセクションを追加 40
- 入力デカップリング・コンデンサは出力コンデンサより少なくとも 100µF 大きくする必要があることを強調するため、セクション 11 セクションにテキストを追加 41
- 図 12-1 に、以下の注を追加。「V_{CC} と GND1 の間に 100µF コンデンサを追加できます。セクション 11 を参照してください。」 43

Changes from Revision D (November 2017) to Revision E (November 2017) **Page**

- ISOW7843 デバイスを*プレビュー*から*量産データ*に変更 4
- 各「*電源電流特性*」表に ISOW7843 電流パラメータを追加 13
- 「*代表的特性*」セクションに ISOW7843 の電源電流とデータ・レートのグラフを追加 27

Changes from Revision C (October 2017) to Revision D (November 2017) **Page**

- ISOW7840 デバイスを*プレビュー*から*量産データ*に変更 4
- 各「*電源電流特性*」表に ISOW7840 電流パラメータを追加 13
- 各「*電源電流特性*」表の ISOW7841 電流パラメータのテスト条件で、I_{ISO} を I_{LOAD} に変更、波形クロック入力の値を 0.5、5、50MHz から 1、10、100Mbps に変更 13
- 各「*電源電流特性*」表の ISOW7842 および ISOW7844 デバイスについて、絶縁電源で得られる電流パラメータの*外部 I_{LOAD} なし*というテスト条件を削除 13
- *VDE による安全限界電流の熱特性低下曲線*の曲線のラベルを変更 26
- 「*代表的特性*」セクションに ISOW7840 の電源電流とデータ・レートのグラフを追加 27
- 「*デバイス I/O 回路図*」の接尾辞 F 付きデバイス入力回路図と SEL ピンの図でグランド記号を変更 37

Changes from Revision B (June 2017) to Revision C (October 2017) **Page**

- 「*安全関連認証* 」の特長リストを変更 1
- 絶縁仕様の見出し行を DIN V VDE 0884-10 (VDE V 0884-10): 2016-12 から DIN V VDE 0884-11:2017-01 に変更 10
- *絶縁仕様*の V_{IOSM} テスト条件を変更 10
- *絶縁仕様*の $V_{ISO(UL)}$ テスト条件を変更 10
- 「*安全関連認証*」表を変更 11
- 「*安全限界値*」表の注 1 を変更 11
- 各「*電源電流*」表に ISOW7842 電流パラメータを追加 13
- 「*代表的特性*」セクションに ISOW7842 の電源電流とデータ・レートのグラフを追加 27

Changes from Revision A (March 2017) to Revision B (June 2017) **Page**

- 各「*電源電流*」表に ISOW7844 電流パラメータを追加 13

Changes from Revision * (March 2017) to Revision A (March 2017) **Page**

- すべての「*スイッチング特性*」表で、最大伝搬遅延時間およびパルス幅歪みの標準値および最大値を変更 25
- *「スイッチング特性 - 5V 入力、3.3V 出力」* 表で、出力信号の立ち上がりおよび立ち下がり時間の最大値を 3ns から 4ns に変更 25

Copyright © 2022 Texas Instruments Incorporated

5 概要 (続き)

ISOW784x デバイス・ファミリは、CMOS または LVCMOS デジタル I/O を絶縁すると同時に、高い電磁気耐性と低い放射を実現します。信号絶縁チャネルでは、二酸化ケイ素 (SiO_2) の二重容量性絶縁バリアによって、ロジック入力および出力バッファが分離されています。また電力絶縁には、薄膜ポリマーを絶縁素材としたオンチップのトランスを使用しています。順方向および逆方向チャネルのさまざまな構成を利用可能です。入力信号が消失した場合のデフォルト出力は、ISOW784x デバイス (接尾辞 F なし)では HIGH となり、接尾辞 F 付きのデバイスでは LOW となります (*VSI および VSO は、チャネル方向によって、VCC または VISO のいずれかになります*)。

これらのデバイスを使えば、RS-485、RS-232、CAN などのデータバスまたは他の回路のノイズ電流がローカル・グランドに混入することによる敏感な回路への干渉や、敏感な回路の損傷を引き起こすことを防止できます。革新的なチップ設計およびレイアウト技法により、本デバイスは電磁環境適合性が大幅に強化されているため、システム・レベルの ESD、EFT、サージ、および放射のコンプライアンスを容易に達成できます。電力コンバータの効率が高いため、より高い周囲温度での動作が可能です。このデバイスは、16 ピンの SOIC ワイド・ボディ (SOIC-WB) DWE パッケージで供給されます。

6 ピン構成および機能

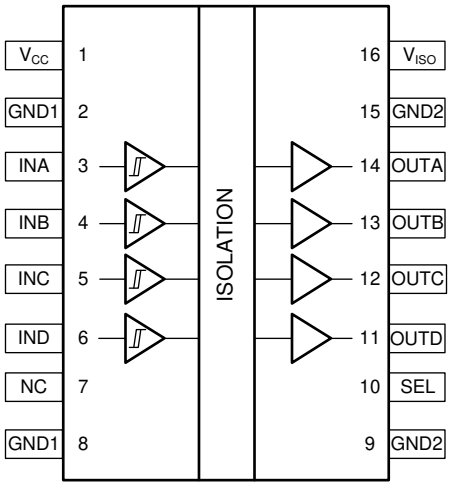


図 6-1. ISOW7840 DWE パッケージ 16 ピン SOIC-WB 上面図

Copyright © 2022 Texas Instruments Incorporated

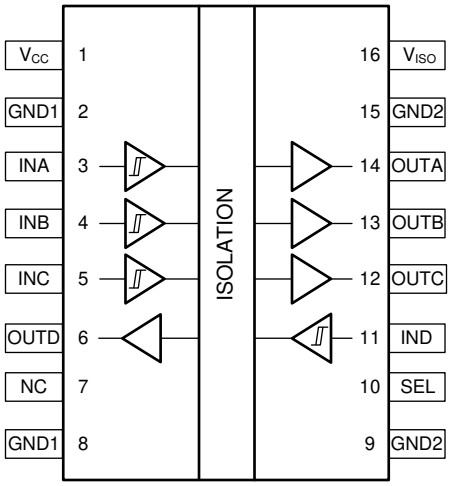


図 6-2. ISOW7841 DWE パッケージ 16 ピン SOIC-WB 上面図

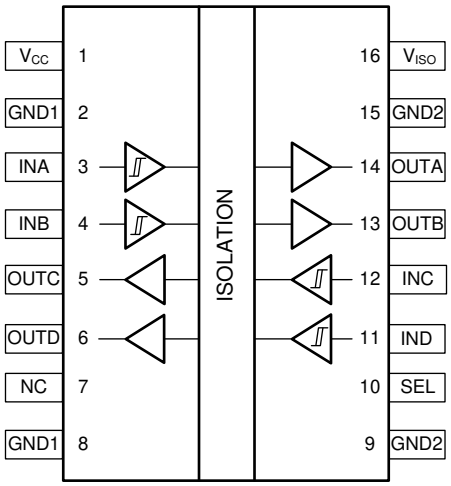


図 6-3. ISOW7842 DWE パッケージ 16 ピン SOIC-WB 上面図

Copyright © 2022 Texas Instruments Incorporated

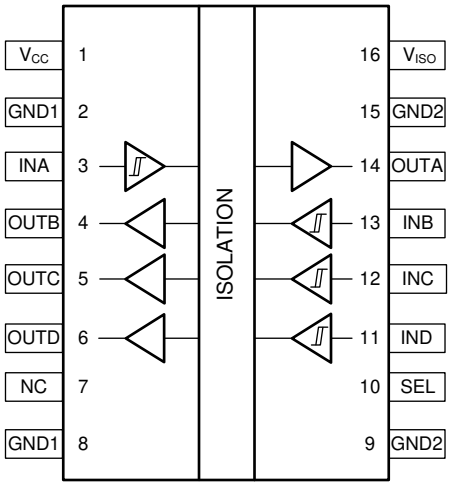


図 6-4. ISOW7843 DWE パッケージ 16 ピン SOIC-WB 上面図

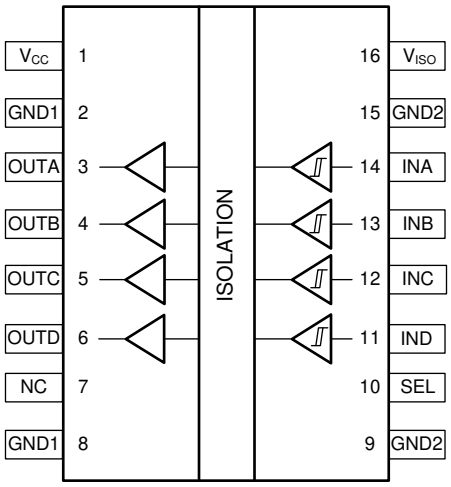


図 6-5. ISOW7844 DWE パッケージ 16 ピン SOIC-WB 上面図

端子機能

端子						I/O	説明
名前	番号						
	ISOW7840	ISOW7841	ISOW7842	ISOW7843	ISOW7844		
GND1	2、8	2、8	2、8	2、8	2、8	—	V_{CC} のグランド接続
GND2	9、15	9、15	9、15	9、15	9、15	—	V_{ISO} のグランド接続
INA	3	3	3	3	14	I	入力チャネル A
INB	4	4	4	13	13	I	入力チャネル B
INC	5	5	12	12	12	I	入力チャネル C
IND	6	11	11	11	11	I	入力チャネル D
NC	7	7	7	7	7	—	未接続
OUTA	14	14	14	14	3	O	出力チャネル A
OUTB	13	13	13	4	4	O	出力チャネル B
OUTC	12	12	5	5	5	O	出力チャネル C
OUTD	11	6	6	6	6	O	出力チャネル D

Copyright © 2022 Texas Instruments Incorporated

端子						I/O	説明
名前	番号						
	ISOW7840	ISOW7841	ISOW7842	ISOW7843	ISOW7844		
SEL	10	10	10	10	10	I	V_{ISO} 選択ピン。SEL を V_{ISO} と短絡した場合、V_{ISO} = 5V。SEL を GND2 と短絡した場合またはフローティング状態の場合、V_{ISO} = 3.3V。詳細については、*セクション 9.4* を参照してください。
V_{CC}	1	1	1	1	1	—	電源電圧
V_{ISO}	16	16	16	16	16	—	SEL ピンにより決定される絶縁電源電圧

Copyright © 2022 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

(1) (2) を参照

		最小値	最大	単位
V_{CC}	電源電圧	–0.5	6	V
V_{ISO}	絶縁電源電圧	–0.5	6	V
V_{IO}	INx、OUTx、SEL ピンの電圧	–0.5	V_{CC} + 0.5、V_{ISO} + 0.5(3)	V
I_O	データ・チャネルに流れる最大出力電流	–15	15	mA
T_J	接合部温度		150	℃
T_{stg}	保管温度	–65	150	°C

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「*推奨動作条件*」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル・グランド・ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
(3) この値 は、ピンが V_{CC} または V_{ISO} のどちら側に配置されているかに依存します。I/O ピンの最大電圧は 6V 以下にする必要があります。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	
		IEC 61000-4-2 準拠の接触放電、絶縁バリア耐性試験(3)	± 8000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 制御プロセスで安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 制御プロセスで安全な製造が可能であると記載されています。
(3) IEC 試験では、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、バリアをはさんで ESD 衝撃を印加します。

7.3 推奨動作条件

(1)

			最小	公称	最大	単位
V_{CC}	電源電圧		3		5.5	V
I_{OH}	HIGH レベル出力電圧(2)	V_{SO} (1) = 5V	-4			mA
		V_{SO} = 3.3V	–2			
I_{OL}	LOW レベル出力電圧(2)	V_{SO} = 5V			4	mA
		V_{SO} = 3.3V			2	
V_{IH}	HIGH レベル入力電圧		0.7 × V_{SI}		V_{SI}	V
V_{IL}	LOW レベル入力電圧		0		0.3 × V_{SI}	V
DR	データレート				100	Mbps
T_A	周囲温度		–40		125	℃

(1) V_{SI} は入力側電源、V_{SO} は出力側電源です
(2) この電流はデータ出力チャネルのものです。

Copyright © 2022 Texas Instruments Incorporated

7.4 熱に関する情報

熱特性(1)		ISOW784x DWE (SOIC) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	56.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	15.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	28.5	°C/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	2.4	°C/W
Ψ_{JB}	接合部から基板への熱特性パラメータ	28.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション・レポート*を参照してください。

7.5 電力定格

V_{CC} = 5.5V、I_{ISO} = 110mA、T_J = 150°C、T_A ≤ 80°C、C_L = 15pF、50MHz 50% デューティ・サイクルの方形波入力

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両側)				1.02	W
P_{D1}	最大消費電力 (1 次側)				0.51	W
P_{D2}	最大消費電力 (2 次側)				0.51	W

Copyright © 2022 Texas Instruments Incorporated

7.6 絶縁仕様

パラメータ		テスト条件	値	単位
一般				
CLR	空間距離(1)	空気を介した最短のピン間距離	>8	mm
CPG	沿面距離(1)	パッケージ表面に沿った最短のピン間距離	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部距離 - 容量性信号絶縁)	> 21	μm
		最小内部ギャップ (内部距離 - トランスによる電力絶縁)	>120	
CTI	比較トラッキング指数	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
	材料グループ	IEC 60664-1 による	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 300V 以下	I-IV	
		定格商用電源 V_{RMS} が 600V 以下	I-IV	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	
DIN V VDE 0884-11:2017-01(2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1414	V_{PK}
V_{IOWM}	最大動作絶縁電圧	AC 電圧、経時絶縁破壊 (TDDB) テスト、図 10-5 を参照	1000	V_{RMS}
		DC 電圧	1414	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定時テスト)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	7071	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(3)	IEC 62368-1 に準拠したテスト手法、1.2/50μs 波形、 $V_{TEST} = 1.6 \times V_{IOSM} = 10000V_{PK}$ (認定時テスト)	6250	V_{PK}
q_{pd}	見掛けの放電電荷(4)	メソッド A、入力 / 出力安全テスト・サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$、t_{ini} = 60s、 $V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≤ 5	pC
		メソッド A、環境テスト・サブグループ 1 の後、 $V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s	≤ 5	
		メソッド B1、ルーチン・テスト (100% 出荷時) および事前条件設定 (タイプ・テスト) の場合、 $V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、 $V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s	≤ 5	
C_{IO}	絶縁バリア容量、入力から出力へ(5)	V_{IO} = 0.4 × sin (2πft)、f = 1MHz	約 3.5	pF
R_{IO}	絶縁抵抗(5)	V_{IO} = 500V (T_A = 25℃時)	$> 10^{12}$	Ω
		V_{IO} = 500V (100℃ < T_A ≤ 125℃時)	$> 10^{11}$	
		V_{IO} = 500V (T_S = 150℃時)	$> 10^{9}$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
$V_{ISO(UL)}$	絶縁耐圧	$V_{TEST} = V_{ISO} = 5000V_{RMS}$、t = 60s (認定時テスト)、 $V_{TEST} = 1.2 \times V_{ISO} = 6000V_{RMS}$、t = 1s (100% 出荷時テスト)	5000	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、PCB 上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) この絶縁素子は、安全定格内に限定した安全な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
(4) 見掛けの放電電荷とは、部分放電 (pd) により発生する静電放電です。
(5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 端子のデバイスを構成します。

Copyright © 2022 Texas Instruments Incorporated

7.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN V VDE V 0884-11:2017-01 による認証	IEC 60950-1、IEC 62368-1、IEC 60601-1 による認証	UL 1577 部品認定プログラムの認定	GB 4943.1-2011 による認証	EN 61010-1:2010 および EN 60950- 1:2006/ A2:2013 による認証
強化絶縁。 最大過渡絶縁電圧: 7071V_{PK}、 最大反復ピーク絶縁電圧: 1414V_{PK}、 最大サージ絶縁電圧: 6250V_{PK}	CSA 60950-1-07+A1+A2、IEC 60950-1 第 2 版+A1+A2、CSA 62368-1-14 および IEC 62368-1 第 2 版による強化絶縁、800V_{RMS} 最大動作電圧 (汚染度 2、材料グループ I)。 CSA 60601-1:14 および IEC 60601-1 第 3 版+A1 による 2 MOPP (患者保護手段)、250V_{RMS} の最大動作電圧。温度定格は、強化絶縁では 90℃、基本絶縁では 125℃。詳細については、認証書を参照してください。	単一保護、5000V_{RMS}	強化絶縁、高度 ≤ 5000 m、熱帯気候、最大動作電圧 700V_{RMS}	EN 61010- 1:2010 による 5000V_{RMS} 強化絶縁、最大動作電圧 600V_{RMS}。 EN 60950- 1:2006/ A2:2013 による 5000V_{RMS} 強化絶縁、最大動作電圧 800V_{RMS}
認証書番号:40040142	マスター契約書番号:220991	ファイル番号:E181974	認証書番号: CQC15001121716	顧客 ID 番号:77311

7.8 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流(1)	$R_{\theta JA}$ = 56.8℃/W、V_I = 5.5V、T_J = 150℃、T_A = 25℃、図 7-1 参照			400	mA
		$R_{\theta JA}$ = 56.8℃/W、V_I = 3.6V、T_J = 150℃、T_A = 25℃、図 7-1 参照			611	
P_S	安全入力、出力、または合計電力(1)	$R_{\theta JA}$ = 56.8℃/W、T_J = 150℃、T_A = 25℃、図 7-2 参照			2200	mW
T_S	最高安全温度(1)				150	℃

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって変化します。
セクション 7.4 表の接合部から外気への熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。次の式を使用して、各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$、ここで、P はデバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで、$T_{J(max)}$ は最大許容接合部温度です。
$P_S = I_S \times V_I$、ここで、V_I は最大入力電圧です。

Copyright © 2022 Texas Instruments Incorporated

7.9 電気的特性ー 5V 入力、5V 出力

V_{CC} = 5V ± 10%、SEL と V_{ISO} を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{ISO}	絶縁電源電圧	外部 I_{ISO} = 0～50mA	4.75	5.07	5.43	V
		外部 I_{ISO} = 0～130mA	4.5	5.07	5.43	
$V_{ISO(LINE)}$	DC ライン・レギュレーション	I_{ISO} = 50mA、V_{CC} = 4.5V～5.5V		2		mV/V
$V_{ISO(LOAD)}$	DC 負荷レギュレーション	I_{ISO} = 0～130mA		1%		
EFF	最大負荷電流時の効率	I_{ISO} = 130mA、C_{LOAD} = 0.1µF || 10µF、V_I = V_{SI} (ISOW784x)、$_I$ = 0V (接尾辞 F 付きの ISOW784x)		53%		
$V_{CC+(UVLO)}$	V_{CC}、V_{ISO} の正方向 UVLO スレッショルド				2.7	V
$V_{CC–(UVLO)}$	V_{CC}、V_{ISO} の負方向 UVLO スレッショルド		2.1			V
$V_{HYS (UVLO)}$	V_{CC}、V_{ISO} の UVLO スレッショルド・ヒステリシス			0.2		V
V_{ITH}	入力ピンの立ち上がりスレッショルド				0.7	V_{SI}
V_{ITL}	入力ピンの立ち下がりスレッショルド		0.3			V_{SI}
$V_{I(HYS)}$	入力ピン・スレッショルドのヒステリシス (INx)		0.1			V_{SI}
I_{IL}	LOW レベル入力電流	INx または SEL で V_{IL} = 0 のとき	–10			µA
I_{IH}	HIGH レベル入力電流	INx または SEL で V_{IH} = V_{SI} (1) のとき			10	µA
V_{OH}	HIGH レベル出力電圧	I_O = -4mA、図 8-1 を参照	V_{SO} (1) – 0.4	V_{SO} – 0.2		V
V_{OL}	LOW レベル出力電圧	I_O = 4mA、図 8-1 を参照		0.2	0.4	V
CMTI	同相過渡耐性	V_I = V_{SI} または 0V、V_{CM} = 1000V、図 8-2 を参照してください	100			kV/us
I_{CC_SC}	V_{ISO} 短絡時の電源からの DC 電流	V_{ISO} と GND2 を短絡		137		mA
$V_{ISO(RIP)}$	絶縁型電源の出力リップル (ピーク・ツー・ピーク)	帯域幅 20MHz、C_{LOAD} = 0.1µF || 20µF、I_{ISO} = 130mA		100		mV

(1) V_{SI} = 入力側電源、V_{SO} = 出力側電源

Copyright © 2022 Texas Instruments Incorporated

7.10 電源電流特性— 5V 入力、5V 出力

V_{CC} = 5V ± 10%、SEL と V_{ISO} を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7840						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7840)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7840)		23		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7840)、V_I = 0V (接尾辞 F 付きの ISOW7840)		17		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		21		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		24		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		56		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7840)、V_I = V_{SI} (接尾辞 F 付きの ISOW7840)	128			mA
		V_I = V_{SI} (ISOW7840)、V_I = 0V (接尾辞 F 付きの ISOW7840)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	128			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	127			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	111			
ISOW7841						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7841)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7841)		23		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7841)、V_I = 0V (接尾辞 F 付きの ISOW7841)		17		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		20		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		24		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		54		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7841)、V_I = V_{SI} (接尾辞 F 付きの ISOW7841)	128			mA
		V_I = V_{SI} (ISOW7841)、V_I = 0V (接尾辞 F 付きの ISOW7841)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	128			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	127			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	112			

Copyright © 2022 Texas Instruments Incorporated

V_{CC} = 5V ± 10%、SEL と V_{ISO} を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7842						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7842)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7842)		24		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7842)、V_I = 0V (接尾辞 F 付きの ISOW7842)		18		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		21		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		24		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		51		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7842)、V_I = V_{SI} (接尾辞 F 付きの ISOW7842)	126			mA
		V_I = V_{SI} (ISOW7842)、V_I = 0V (接尾辞 F 付きの ISOW7842)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	128			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	127			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	116			
ISOW7843						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7843)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7843)		25		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7843)、V_I = 0V (接尾辞 F 付きの ISOW7843)		17		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		21		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		24		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		48		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7843)、V_I = V_{SI} (接尾辞 F 付きの ISOW7843)	125			mA
		V_I = V_{SI} (ISOW7843)、V_I = 0V (接尾辞 F 付きの ISOW7843)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	127			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	126			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	120			

Copyright © 2022 Texas Instruments Incorporated

V_{CC} = 5V ± 10%、SEL と V_{ISO} を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7844						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7844)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7844)		26		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7844)、V_I = 0V (接尾辞 F 付きの ISOW7844)		17		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		22		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		24		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		46		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7844)、V_I = V_{SI} (接尾辞 F 付きの ISOW7844)	123			mA
		V_I = V_{SI} (ISOW7844)、V_I = 0V (接尾辞 F 付きの ISOW7844)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	126			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	126			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	126			

(1) V_{SI} = 入力側電源、V_{SO} = 出力側電源
(2) 負荷に利用可能な電流は、T_A > 80℃ のとき 2mA/℃ でディレーティングする必要があります。

7.11 電気的特性ー 3.3V 入力、5V 出力

V_{CC} = 3.3V ± 10%、SEL と V_{ISO} を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{ISO}	絶縁電源電圧	外部 I_{ISO} = 0～40mA	4.5	5.07	5.43	V
$V_{ISO(LINE)}$	DC ライン・レギュレーション	I_{ISO} = 20mA、V_{CC} = 4.5V～5.5V		2		mV/V
$V_{ISO(LOAD)}$	DC 負荷レギュレーション	I_{ISO} = 0～40mA		1%		
EFF	最大負荷電流時の効率	I_{ISO} = 40mA、C_{LOAD} = 0.1μF || 10μF、V_I = V_{SI} (ISOW7841A-Q1)、V_I = 0V (接尾辞 F 付きの ISOW7841-Q1)		42%		
$V_{CC+(UVLO)}$	V_{CC}、V_{ISO} の正方向 UVLO スレッショルド				2.7	V
$V_{CC–(UVLO)}$	V_{CC}、V_{ISO} の負方向 UVLO スレッショルド		2.1			V
$V_{HYS (UVLO)}$	V_{CC}、V_{ISO} の UVLO スレッショルド・ヒステリシス			0.2		V
V_{ITH}	入力ピンの立ち上がりスレッショルド				0.7	V_{SI}
V_{ITL}	入力ピンの立ち下がりスレッショルド		0.3			V_{SI}
$V_{I(HYS)}$	入力ピン・スレッショルドのヒステリシス (INx)		0.1			V_{SI}
I_{IL}	LOW レベル入力電流	INx または SEL で V_{IL} = 0 のとき	–10			μA
I_{IH}	ハイレベル入力電流	INx または SEL で V_{IH} = V_{SI} (1) のとき			10	μA
V_{OH}	HIGH レベル出力電圧	I_O = – 4mA、図 8-1 を参照	V_{SO} (1) – 0.4	V_{SO} – 0.2		V

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OL}	LOW レベル出力電圧	I_O = 4mA、図 8-1 を参照		0.2	0.4	V
CMTI	同相過渡耐性	V_I = V_{SI} または 0V、V_{CM} = 1000V、図 8-2 を参照	100			kV/us
I_{CC_SC}	V_{ISO} 短絡時の電源からの DC 電流	V_{ISO} と GND2 を短絡		137		mA
$V_{ISO(RIP)}$	絶縁型電源の出力リップル (ピーク・ツー・ピーク)	帯域幅 20MHz、C_{LOAD} = 0.1µF || 20µF、I_{ISO} = 40mA		90		mV

(1) V_{SI} = 入力側電源、V_{SO} = 出力側電源

7.12 電源電流特性— 3.3V 入力、5V 出力

V_{CC} = 3.3V ± 10%、SEL と V_{ISO} を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7841						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7841)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7841)		31		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7841)、V_I = 0V (接尾辞 F 付きの ISOW7841)		24		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		28		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		33		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		80		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7841)、V_I = V_{SI} (接尾辞 F 付きの ISOW7841)	38			mA
		V_I = V_{SI} (ISOW7841)、V_I = 0V (接尾辞 F 付きの ISOW7841)	40			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	38			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	37			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	22			

Copyright © 2022 Texas Instruments Incorporated

7.13 電気的特性ー 5V 入力、3.3V 出力

V_{CC} = 5V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{ISO}	絶縁電源電圧	外部 I_{ISO} = 0～50mA	3.13	3.34	3.56	V
		外部 I_{ISO} = 0～130mA	3	3.34	3.56	
$V_{ISO(LINE)}$	DC ライン・レギュレーション	I_{ISO} = 50mA、V_{CC} = 4.5V～5.5V		2		mV/V
$V_{ISO(LOAD)}$	DC 負荷レギュレーション	I_{ISO} = 10～130mA		1%		
EFF	最大負荷電流時の効率	I_{ISO} = 130mA、C_{LOAD} = 0.1µF || 10µF、V_I = V_{SI} (ISOW784x)、$_I$ = 0V (接尾辞 F 付きの ISOW784x)		48%		
$V_{CC+(UVLO)}$	V_{CC}、V_{ISO} の正方向 UVLO スレッショルド				2.7	V
$V_{CC–(UVLO)}$	V_{CC}、V_{ISO} の負方向 UVLO スレッショルド		2.1			V
$V_{HYS\ (UVLO)}$	V_{CC}、V_{ISO} の UVLO スレッショルド・ヒステリシス			0.2		V
V_{ITH}	入力ピンの立ち上がりスレッショルド				0.7	V_{SI}
V_{ITL}	入力ピンの立ち下がりスレッショルド		0.3			V_{SI}
$V_{I(HYS)}$	入力ピン・スレッショルドのヒステリシス (INx)		0.1			V_{SI}
I_{IL}	LOW レベル入力電流	INx または SEL で V_{IL} = 0 のとき	–10			µA
I_{IH}	HIGH レベル入力電流	INx または SEL で V_{IH} = V_{SI} (1) のとき			10	µA
V_{OH}	HIGH レベル出力電圧	I_O = -2mA、図 8-1 を参照	V_{SO} (1) – 0.3	V_{SO} – 0.1		V
V_{OL}	LOW レベル出力電圧	I_O = 2mA、図 8-1 を参照		0.1	0.3	V
CMTI	同相過渡耐性	V_I = V_{SI} または 0V、V_{CM} = 1000V、図 8-2 を参照	100			kV/us
I_{CC_SC}	V_{ISO} 短絡時の電源からの DC 電流	V_{ISO} と GND2 を短絡		137		mA
$V_{ISO(RIP)}$	絶縁型電源の出力リップル (ピーク・ツー・ピーク)	帯域幅 20MHz、C_{LOAD} = 0.1µF || 20µF、I_{ISO} = 130mA		100		mV

(1) V_{SI} = 入力側電源、V_{SO} = 出力側電源

7.14 電源電流特性— 5V 入力、3.3V 出力

V_{CC} = 5V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7840						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7840)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7840)		20		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7840)、V_I = 0V (接尾辞 F 付きの ISOW7840)		15		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		17		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		19		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		39		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7840)、V_I = V_{SI} (接尾辞 F 付きの ISOW7840)	128			mA
		V_I = V_{SI} (ISOW7840)、V_I = 0V (接尾辞 F 付きの ISOW7840)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	129			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	128			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	116			
ISOW7841						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7841)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7841)		20		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7841)、V_I = 0V (接尾辞 F 付きの ISOW7841)		14		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		17		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		20		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		40		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7841)、V_I = V_{SI} (接尾辞 F 付きの ISOW7841)	128			mA
		V_I = V_{SI} (ISOW7841)、V_I = 0V (接尾辞 F 付きの ISOW7841)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L= 15pF	129			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	128			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	118			

Copyright © 2022 Texas Instruments Incorporated

V_{CC} = 5V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7842						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7842)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7842)		20		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7842)、V_I = 0V (接尾辞 F 付きの ISOW7842)		15		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		18		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		20		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		39		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7842)、V_I = V_{SI} (接尾辞 F 付きの ISOW7842)	126			mA
		V_I = V_{SI} (ISOW7842)、V_I = 0V (接尾辞 F 付きの ISOW7842)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	128			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	127			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	119			
ISOW7843						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7843)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7843)		20		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7843)、V_I = 0V (接尾辞 F 付きの ISOW7843)		14		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		18		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		20		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		39		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7843)、V_I = V_{SI} (接尾辞 F 付きの ISOW7843)	125			mA
		V_I = V_{SI} (ISOW7843)、V_I = 0V (接尾辞 F 付きの ISOW7843)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	127			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	127			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	123			

Copyright © 2022 Texas Instruments Incorporated

V_{CC} = 5V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7844						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7844)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7844)		21		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7844)、V_I = 0V (接尾辞 F 付きの ISOW7844)		15		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		18		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		20		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		41		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7844)、V_I = V_{SI} (接尾辞 F 付きの ISOW7844)	123			mA
		V_I = V_{SI} (ISOW7844)、V_I = 0V (接尾辞 F 付きの ISOW7844)	130			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	126			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	126			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	126			

(1) V_{SI} = 入力側電源、V_{SO} = 出力側電源
(2) 負荷に利用可能な電流は、T_A > 105℃ のとき 2mA/℃ でディレーティングする必要があります。

Copyright © 2022 Texas Instruments Incorporated

7.15 電気的特性ー 3.3V 入力、3.3V 出力

V_{CC} = 3.3V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{ISO}	絶縁電源電圧	外部 I_{ISO} = 0～30mA	3.13	3.34	3.58	V
		外部 I_{ISO} = 0～75mA	3	3.34	3.58	
$V_{ISO(LINE)}$	DC ライン・レギュレーション	I_{ISO} = 30mA、V_{CC} = 3V～3.6V		2		mV/V
$V_{ISO(LOAD)}$	DC 負荷レギュレーション	I_{ISO} = 0～75mA		1%		
EFF	最大負荷電流時の効率	I_{ISO} = 75mA、C_{LOAD} = 0.1µF || 10µF、V_I = V_{SI} (ISOW784x)、V_I = 0V (接尾辞 F 付きの ISOW784x)		47%		
$V_{CC+(UVLO)}$	V_{CC}、V_{ISO} の正方向 UVLO スレッショルド				2.7	V
$V_{CC–(UVLO)}$	V_{CC}、V_{ISO} の負方向 UVLO スレッショルド		2.1			V
$V_{HYS\ (UVLO)}$	V_{CC}、V_{ISO} の UVLO スレッショルド・ヒステリシス			0.2		V
V_{ITH}	入力ピンの立ち上がりスレッショルド				0.7	V_{SI}
V_{ITL}	入力ピンの立ち下がりスレッショルド		0.3			V_{SI}
$V_{I(S-th,hys)}$	入力ピン・スレッショルドのヒステリシス (INx)		0.1			V_{SI}
I_{IL}	LOW レベル入力電流	INx または SEL で V_{IL} = 0 のとき	–10			µA
I_{IH}	HIGH レベル入力電流	INx または SEL で V_{IH} = V_{SI} (1) のとき			10	µA
V_{OH}	HIGH レベル出力電圧	I_O = -2mA、図 8-1 を参照	V_{SO} (1) – 0.3	V_{SO} – 0.1		V
V_{OL}	LOW レベル出力電圧	I_O = 2 mA、図 8-1 を参照		0.1	0.3	V
CMTI	同相過渡耐性	V_I = V_{SI} または 0V、V_{CM} = 1000V、図 8-2 を参照	100			kV/us
I_{CC_SC}	V_{ISO} 短絡時の電源からの DC 電流	V_{ISO} と GND2 を短絡		143		mA
$V_{ISO(RIP)}$	絶縁型電源の出力リップル (ピーク・ツー・ピーク)	帯域幅 20 MHz、C_{LOAD} = 0.1µF || 20µF、I_{ISO} = 75mA		90		mV

(1) V_{SI}= 入力側電源、V_{SO} = 出力側電源

Copyright © 2022 Texas Instruments Incorporated

7.16 電源電流特性ー 3.3V 入力、3.3V 出力

V_{CC} = 3.3V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7840						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7840)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7840)		26		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7840)、V_I = 0V (接尾辞 F 付きの ISOW7840)		20		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		23		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		26		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		54		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7840)、V_I = V_{SI} (接尾辞 F 付きの ISOW7840)	73			mA
		V_I = V_{SI} (ISOW7840)、V_I = 0V (接尾辞 F 付きの ISOW7840)	75			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	74			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	73			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	61			
ISOW7841						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7841)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7841)		26		mA
		外部 I_{LOAD}、V_I = V_{SI} (ISOW7841)、V_I = 0V (接尾辞 F 付きの ISOW7841)		20		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		23		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		26		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		53		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7841)、V_I = V_{SI} (接尾辞 F 付きの ISOW7841)	73			mA
		V_I = V_{SI} (ISOW7841)、V_I = 0V (接尾辞 F 付きの ISOW7841)	75			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	74			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	73			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	61			

Copyright © 2022 Texas Instruments Incorporated

V_{CC} = 3.3V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7842						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7842)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7842)		28		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7842)、V_I = 0V (接尾辞 F 付きの ISOW7842)		20		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		24		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		26		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		49		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7842)、V_I = V_{SI} (接尾辞 F 付きの ISOW7842)	71			mA
		V_I = V_{SI} (ISOW7842)、V_I= 0V (接尾辞 F 付きの ISOW7842)	75			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	73			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	72			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	64			
ISOW7843						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7843)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7843)		28		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7843)、V_I = 0V (接尾辞 F 付きの ISOW7843)		19		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		24		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		26		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		45		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7843)、V_I = V_{SI} (接尾辞 F 付きの ISOW7843)	70			mA
		V_I = V_{SI} (ISOW7843)、V_I = 0V (接尾辞 F 付きの ISOW7843)	75			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	72			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	72			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	68			

Copyright © 2022 Texas Instruments Incorporated

V_{CC} = 3.3V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISOW7844						
I_{CC}	電源から引き出される電流	外部 I_{LOAD} なし、V_I = 0V (ISOW7844)、V_I = V_{SI} (1) (接尾辞 F 付きの ISOW7844)		30		mA
		外部 I_{LOAD} なし、V_I = V_{SI} (ISOW7844)、V_I = 0V (接尾辞 F 付きの ISOW7844)		19		
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		25		
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		26		
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF、外部 I_{LOAD} なし		42		
$I_{ISO(OUT)}$ (2)	絶縁電源で得られる電流	V_I = 0V (ISOW7844)、V_I = V_{SI} (接尾辞 F 付きの ISOW7844)	68			mA
		V_I = V_{SI} (ISOW7844)、V_I = 0V (接尾辞 F 付きの ISOW7844)	75			
		すべてのチャネルが 1Mbps の方形波クロック入力でスイッチング、C_L = 15pF	71			
		すべてのチャネルが 10Mbps の方形波クロック入力でスイッチング、C_L = 15pF	71			
		すべてのチャネルが 100Mbps の方形波クロック入力でスイッチング、C_L = 15pF	71			

(1) V_{SI} = 入力側電源、V_{SO} = 出力側電源
(2) 負荷に利用可能な電流は、T_A > 115℃ のとき 2mA/℃ でディレーティングする必要があります。

Copyright © 2022 Texas Instruments Incorporated

7.17 スイッチング特性 - 5V 入力、5V 出力

V_{CC} = 5V ± 10%、SEL と V_{ISO} を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 8-1 を参照		13	17.6	ns
PWD	パルス幅歪み(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.6	4.7	ns
$t_{SK(o)}$	チャネル間の出力スキュー時間(2)	同方向チャネル:			2.5	ns
$t_{SK(p-p)}$	部品間のスキュー時間(3)				4.5	ns
t_r、t_f	出力信号の立ち上がりおよび立ち下がり時間			2	4	ns

(1) 別名パルススキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

7.18 スイッチング特性 - 3.3V 入力、5V 出力

V_{CC} = 3.3V ± 10%、SEL と V_{ISO} を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 8-1 を参照		13.5	19.6	ns
PWD	パルス幅歪み(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.6	4.7	ns
$t_{SK(o)}$	チャネル間の出力スキュー時間(2)	同方向チャネル:			2.5	ns
$t_{SK(p-p)}$	部品間のスキュー時間(3)				4.5	ns
t_r、t_f	出力信号の立ち上がりおよび立ち下がり時間			2	4	ns

(1) 別名パルススキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

7.19 スイッチング特性 - 5V 入力、3.3V 出力

V_{CC} = 5V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 8-1 を参照		14	19.7	ns
PWD	パルス幅歪み(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.6	4.4	ns
$t_{SK(o)}$	チャネル間の出力スキュー時間(2)	同方向チャネル:			2	ns
$t_{SK(p-p)}$	部品間のスキュー時間(3)				4.5	ns
t_r、t_f	出力信号の立ち上がりおよび立ち下がり時間			1	4	ns

(1) 別名パルススキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

7.20 スイッチング特性 - 3.3V 入力、3.3V 出力

V_{CC} = 3.3V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 8-1 を参照		14.5	20.2	ns

Copyright © 2022 Texas Instruments Incorporated

V_{CC} = 3.3V ± 10%、SEL と GND2 を短絡 (特に記述のない限り、推奨動作条件で動作)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PWD	パルス幅歪み(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.6	4.4	ns
$t_{SK(o)}$	チャネル間の出力スキュー時間(2)	同方向チャネル			2.2	ns
$t_{SK(p-p)}$	部品間のスキュー時間(3)				4.5	ns
t_r、t_f	出力信号の立ち上がりおよび立ち下がり時間			1	3	ns

(1) 別名パルススキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

7.21 絶縁特性曲線

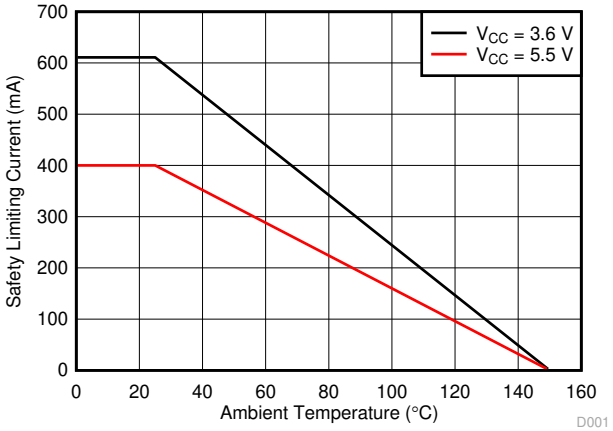


図 7-1. VDE による安全限界電流の熱特性低下曲線

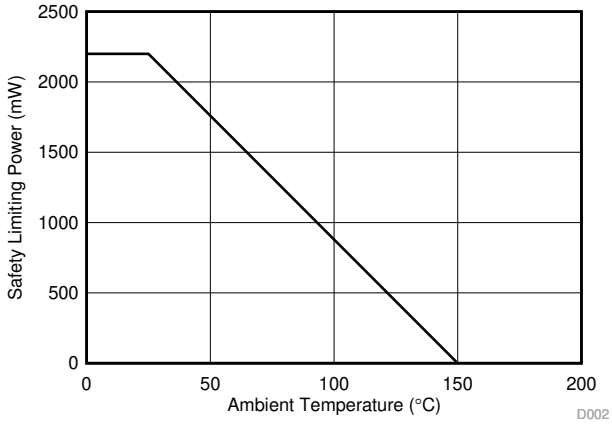
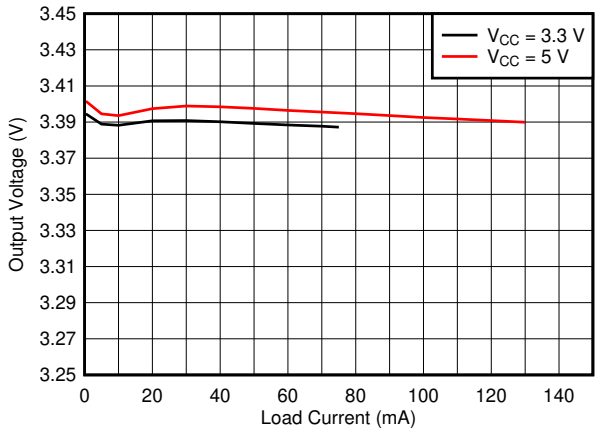


図 7-2. VDE による安全限界電力の熱特性低下曲線

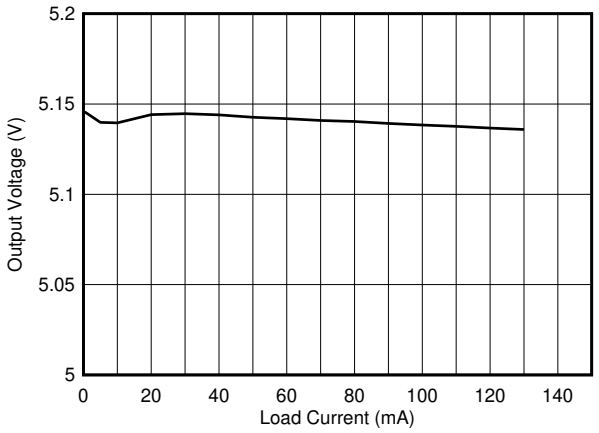
Copyright © 2022 Texas Instruments Incorporated

7.22 代表的特性



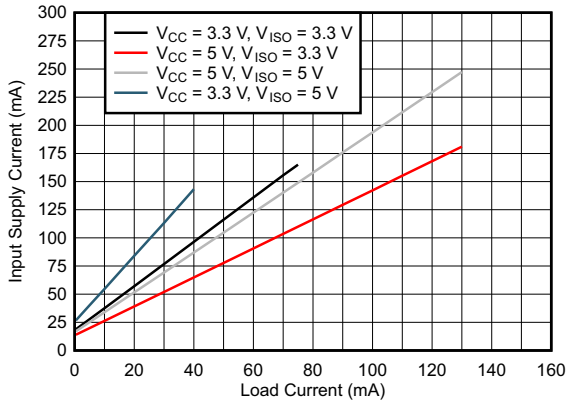
V_{ISO} = 3.3V T_A = 25℃

図 7-3. 絶縁電源電圧 (V_{ISO}) と負荷電流 (I_{ISO}) との関係



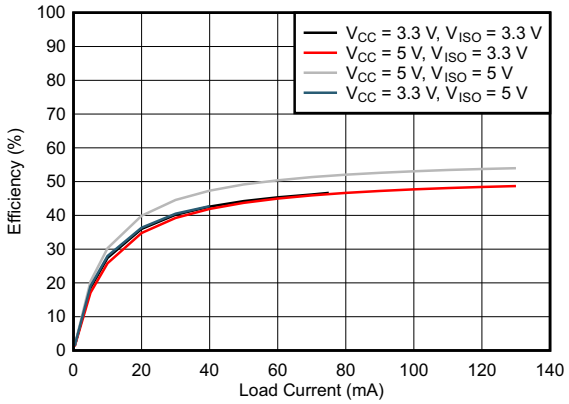
V_{ISO} = 5V T_A = 25℃

図 7-4. 絶縁電源電圧 (V_{ISO}) と負荷電流 (I_{ISO}) との関係



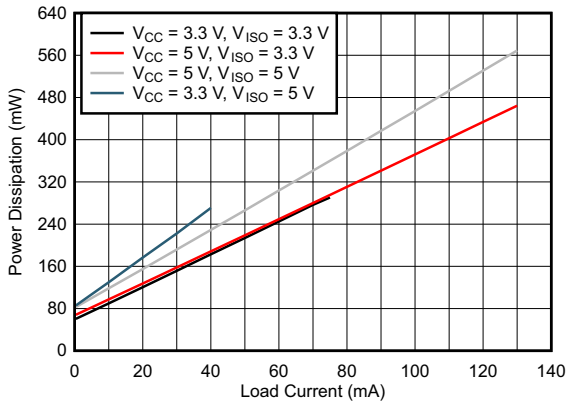
T_A = 25℃

図 7-5. ISOW7841 電源電流 (I_{CC}) と負荷電流 (I_{ISO}) との関係



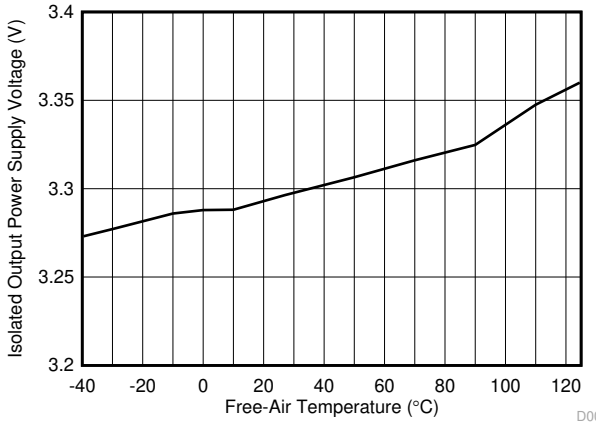
T_A = 25℃

図 7-6. ISOW7841 効率と負荷電流 (I_{ISO}) との関係



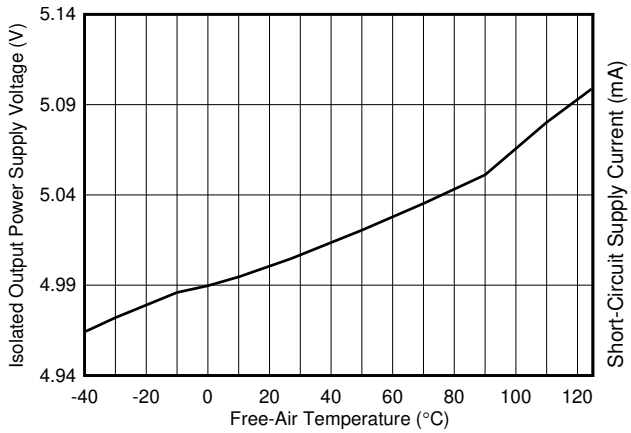
T_A = 25℃

図 7-7. ISOW7841 消費電力と負荷電流 (I_{ISO}) との関係



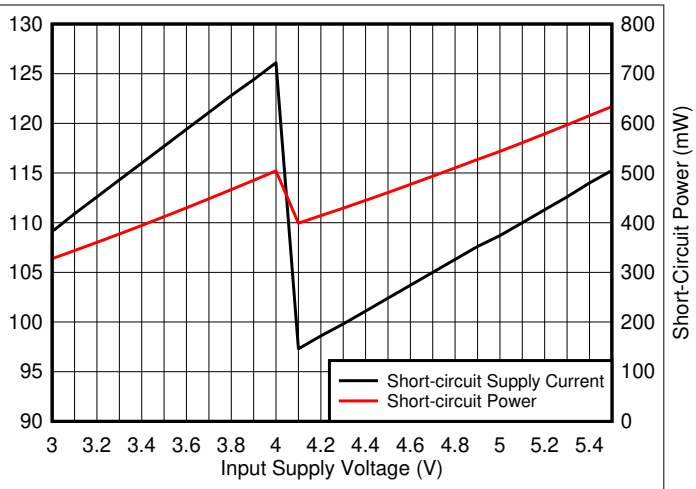
I_{ISO} 負荷なし V_{CC} = 5V V_{ISO} = 3.3V

図 7-8. 3.3V 絶縁電源電圧 (V_{ISO}) と周囲温度との関係



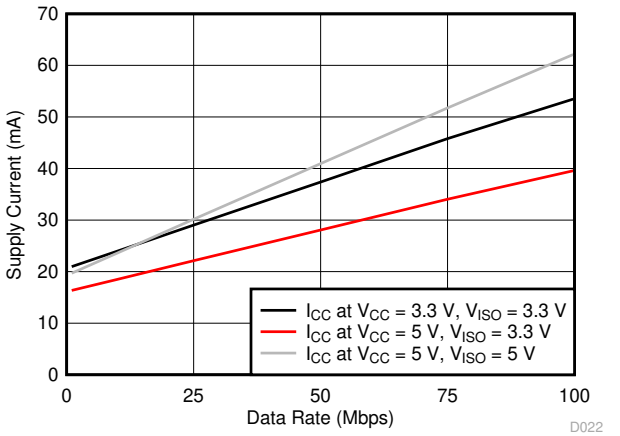
I_{ISO} 負荷なし　　V_{CC} = 5V　　V_{ISO} = 5

図 7-9. 5V 絶縁電源電圧 (V_{ISO}) と周囲温度との関係



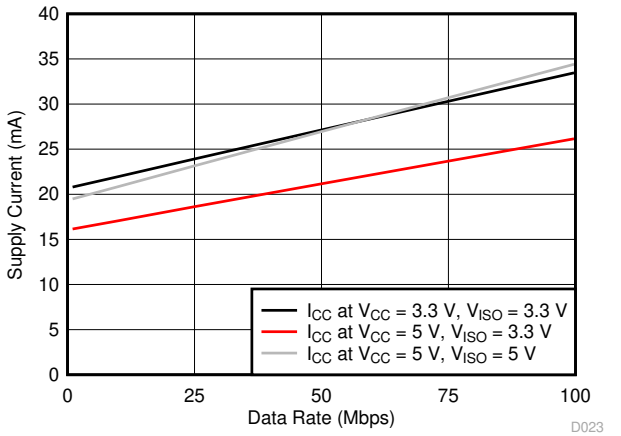
V_{ISO} と GND2 を短絡　　T_A = 25℃

図 7-10. 短絡電源電流 (I_{CC}) および電力 (P) と電源電圧 (V_{CC}) との関係



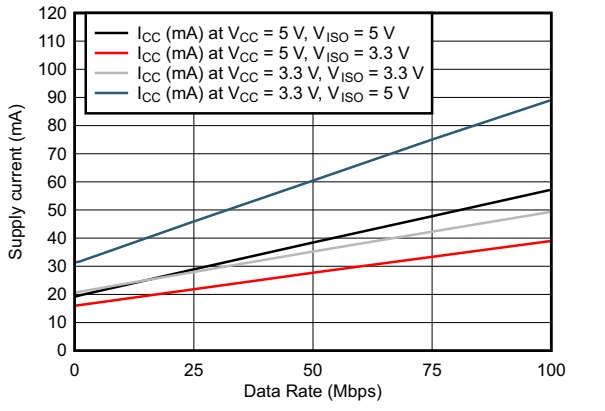
C_L = 15pF　　T_A = 25℃　　I_{ISO} 負荷なし

図 7-11. ISOW7840 電源電流とデータ・レートとの関係



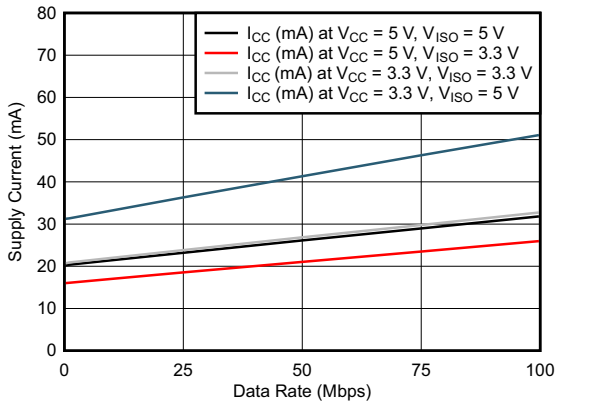
C_L = 無負荷　　T_A = 25℃　　I_{ISO} 負荷なし

図 7-12. ISOW7840 電源電流とデータ・レートとの関係



C_L = 15pF　　T_A = 25℃　　I_{ISO} 負荷なし

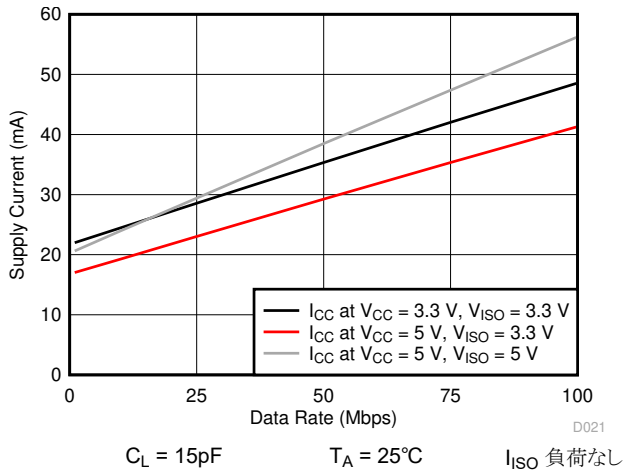
図 7-13. ISOW7841 電源電流とデータ・レートとの関係



C_L = 無負荷　　T_A = 25℃　　I_{ISO} 負荷なし

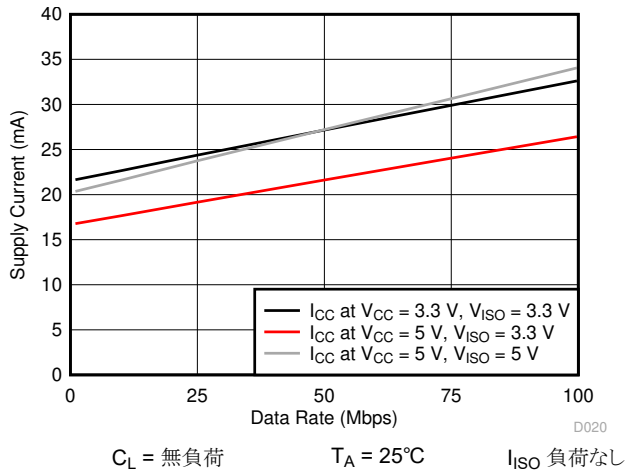
図 7-14. ISOW7841 電源電流とデータ・レートとの関係

Copyright © 2022 Texas Instruments Incorporated



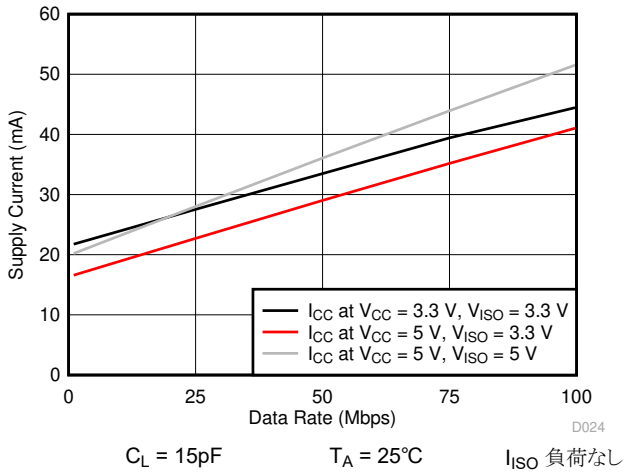
C_L = 15pF　　T_A = 25℃　　I_{ISO} 負荷なし

図 7-15. ISOW7842 電源電流とデータ・レートとの関係



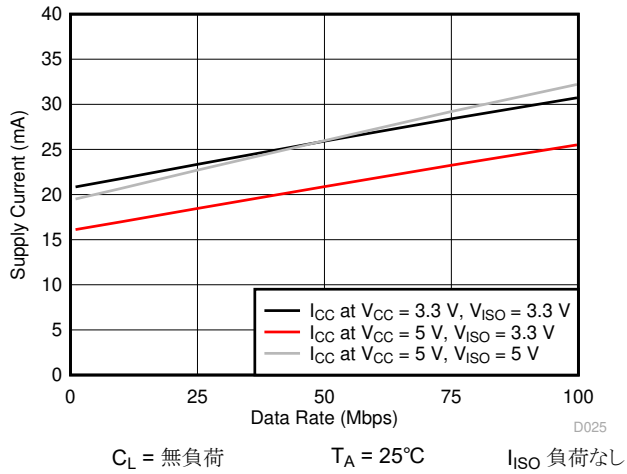
C_L = 無負荷　　T_A = 25℃　　I_{ISO} 負荷なし

図 7-16. ISOW7842 電源電流とデータ・レートとの関係



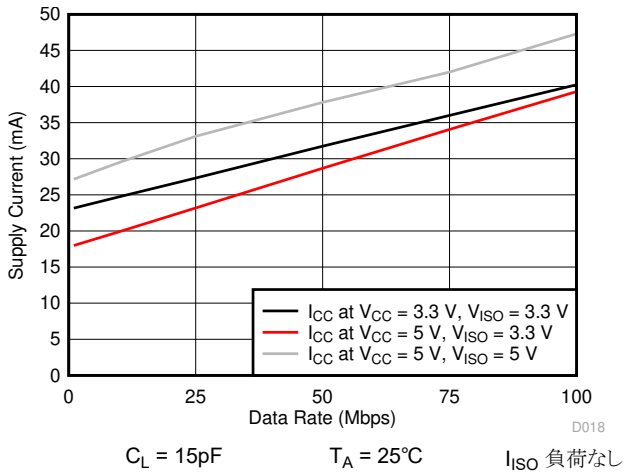
C_L = 15pF　　T_A = 25℃　　I_{ISO} 負荷なし

図 7-17. ISOW7843 消費電流とデータ・レートとの関係



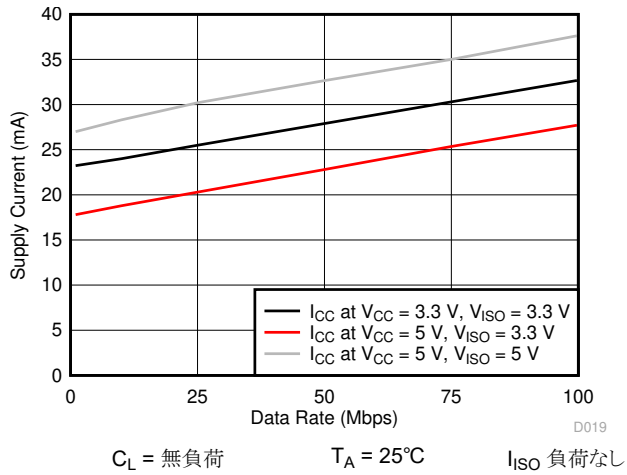
C_L = 無負荷　　T_A = 25℃　　I_{ISO} 負荷なし

図 7-18. ISOW7843 消費電流とデータ・レートとの関係



C_L = 15pF　　T_A = 25℃　　I_{ISO} 負荷なし

図 7-19. ISOW7844 消費電流とデータ・レートとの関係



C_L = 無負荷　　T_A = 25℃　　I_{ISO} 負荷なし

図 7-20. ISOW7844 消費電流とデータ・レートとの関係

Copyright © 2022 Texas Instruments Incorporated

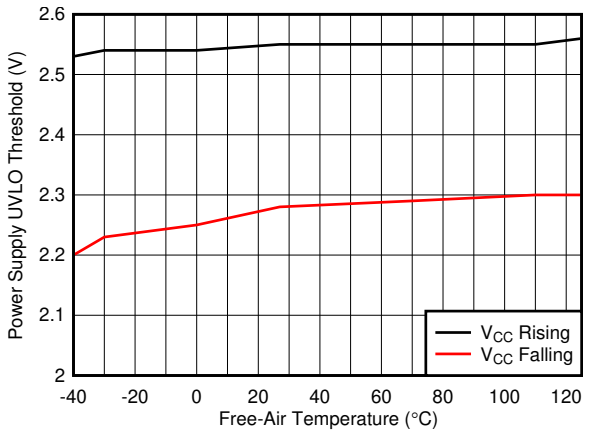


図 7-21. 電源の低電圧スレッショルドと周囲温度との関係

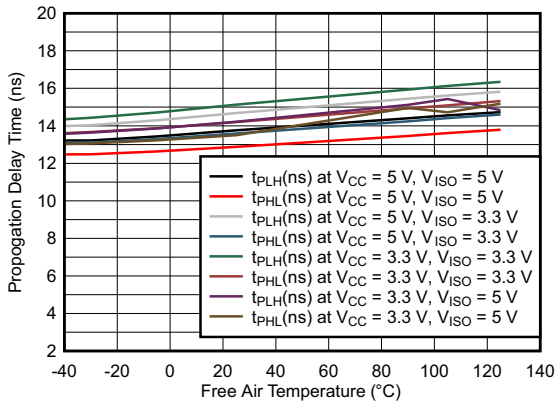
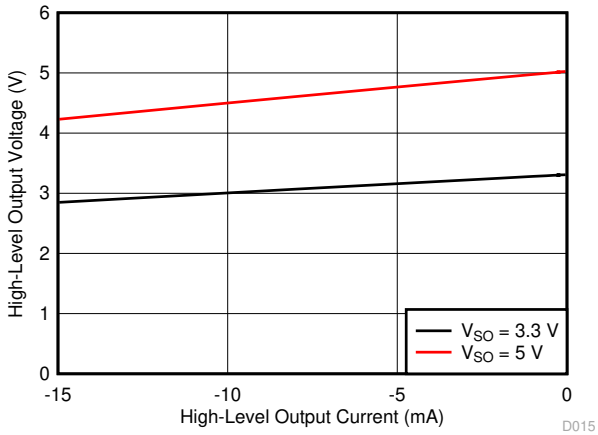
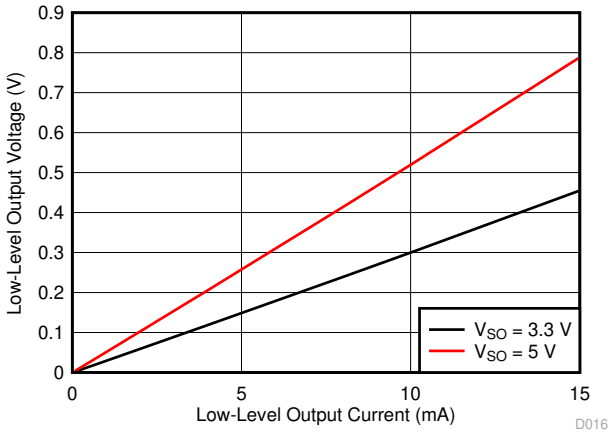


図 7-22. 伝播遅延時間と周囲温度との関係



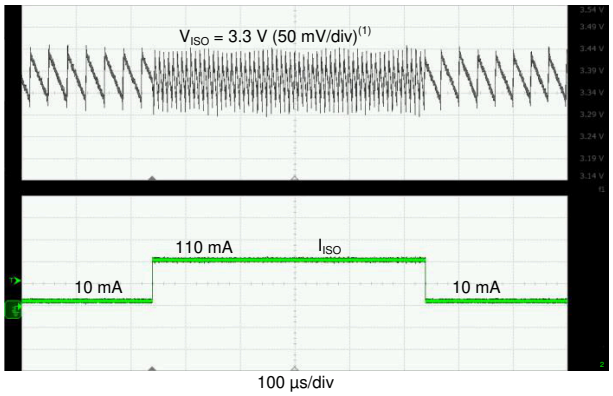
T_A = 25℃

図 7-23. HIGH レベル出力電圧と HIGH レベル出力電流との関係



T_A = 25℃

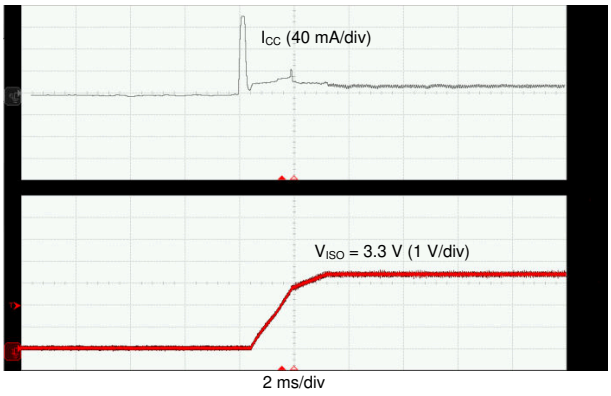
図 7-24. LOW レベル出力電圧と LOW レベル出力電流との関係



V_{CC} = 5V　　V_{ISO} = 3.3V

負荷過渡に起因する無視できる程度のアンダーシュートとオーバーシュート

図 7-25. 10mA～110mA の負荷過渡応答

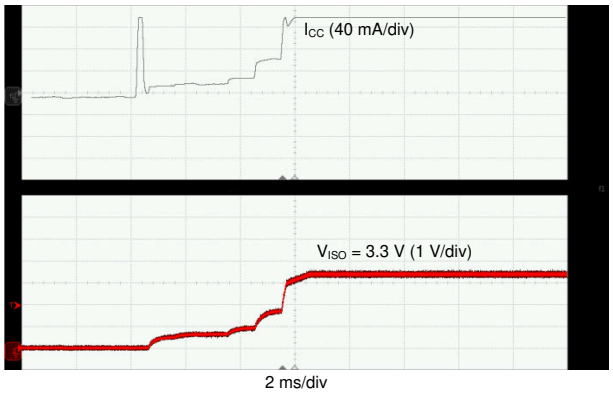


V_{CC} = 5V　　V_{ISO} = 3.3V

電流スパイクは入力電源コンデンサの充電により発生

図 7-26. 10mA 負荷でのソフトスタート

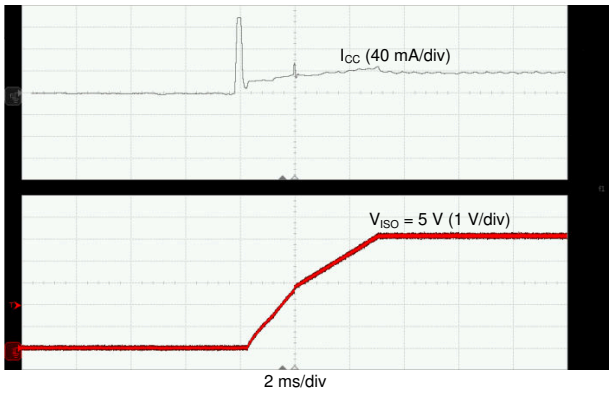
Copyright © 2022 Texas Instruments Incorporated



V_{CC} = 5V　　V_{ISO} = 3.3V

電流スパイクは入力電源デカップリング・コンデンサの充電により発生

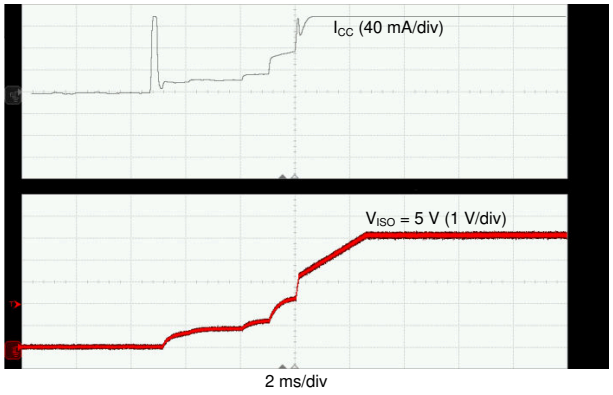
図 7-27. 120mA 負荷でのソフトスタート



V_{CC} = 5V　　V_{ISO} = 5V

電流スパイクは入力電源デカップリング・コンデンサの充電により発生

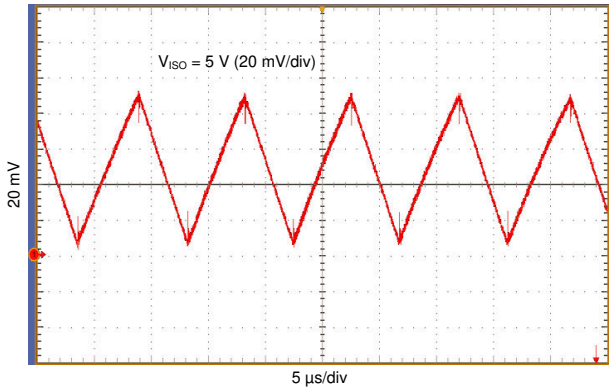
図 7-28. 10mA 負荷でのソフトスタート



V_{CC} = 5V　　V_{ISO} = 5V

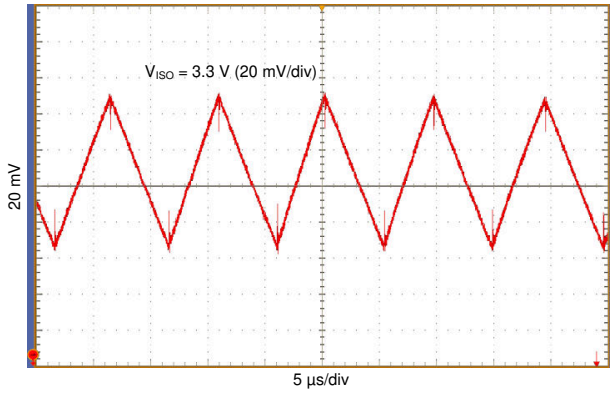
電流スパイクは入力電源デカップリング・コンデンサの充電により発生

図 7-29. 130mA 負荷でのソフトスタート



V_{CC} = 5V　　V_{ISO} = 5V

図 7-30. 130mA での V_{ISO} リップル電圧

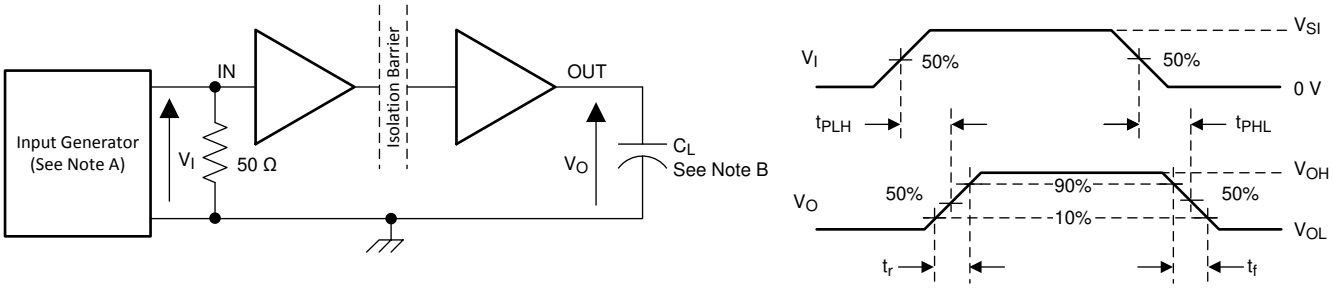


V_{CC} = 5V　　V_{ISO} = 3.3V

図 7-31. 130mA での V_{ISO} リップル電圧

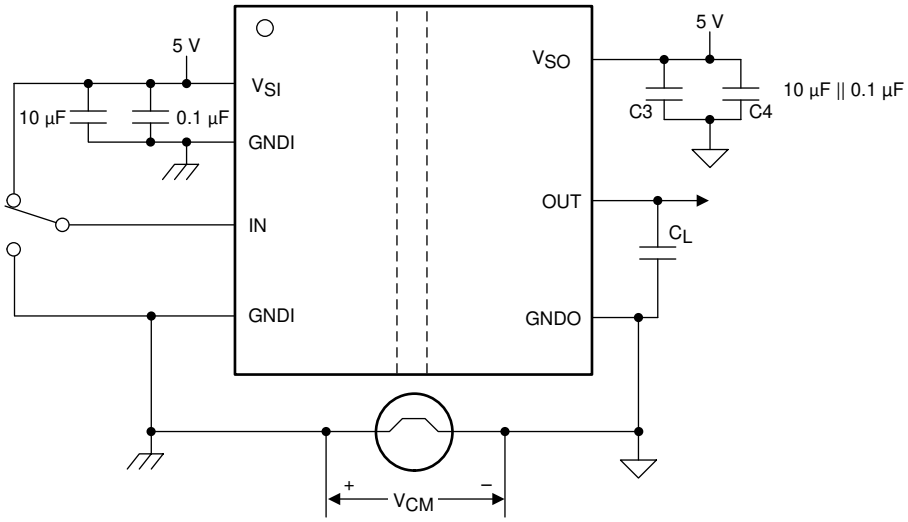
Copyright © 2022 Texas Instruments Incorporated

8 パラメータ測定情報



入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ・サイクル、t_r ≤ 3ns、t_f ≤ 3ns、Z_O = 50Ω。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この抵抗は不要です。
C_L = 15pF で、±20% 以内の計測および治具の容量があります。

図 8-1. スイッチング特性試験回路と電圧波形



C_L = 15pF で、±20% 以内の計測および治具の容量があります。
合否基準:出力が安定状態を維持。

図 8-2. 同相過渡電圧耐性試験回路

Copyright © 2022 Texas Instruments Incorporated

9 詳細説明

9.1 概要

ISOW784x デバイス・ファミリは、高効率、低放射の絶縁型 DC/DC コンバータと、4 つの高速絶縁データ・チャネルを備えています。図 9-1 に ISOW784x デバイス・ファミリの機能ブロック図を示します。

内蔵の DC-DC コンバータは、スイッチ・モード動作および独自の回路技法を使用して、電力損失を低減し効率を向上します。専用の制御メカニズム、クロック供給方式、高 Q のオンチップ・トランスの使用により、高効率と低放射を実現しています。内蔵のトランスでは、絶縁バリアとして薄膜ポリマーを使用しています。

V_{CC} 電源は、内蔵トランスに接続された電力段をスイッチングする 1 次側電源コントローラに供給されます。電力は 2 次側に転送されて、整流され、SEL ピンの設定に応じて 3.3V または 5V に安定化されます。出力電圧 V_{ISO} を監視しており、フィードバック情報が専用の絶縁チャネルを通じて 1 次側に伝達されます。それに応じて 1 次側スイッチング段のデューティ・サイクルが調整されます。 電力コンバータの高速帰還制御ループにより、負荷過渡時のオーバーシュートやアンダーシュートを小さく抑えています。V_{CC} および V_{ISO} 電源には、ヒステリシス付きの低電圧誤動作防止 (UVLO) が内蔵されているため、ノイズの多い状況でも堅牢なシステム性能が保証されます。内蔵のソフトスタート・メカニズムによって突入電流を確実に制御し、電源オン時に出力のオーバーシュートが発生することを防止します。

内蔵の信号絶縁チャネルは、オン・オフ・キーイング (OOK) 変調方式を採用しており、二酸化ケイ素をベースとする絶縁バリアを介してデジタル・データを送信します。トランスミッタは、一方の状態を表す信号については、バリアを介して高周波キャリアを送信し、もう一方の状態については信号を送信しません。レシーバは、シグナル・コンディショニングの後、信号を復調し、バッファ段経由で出力を生成します。信号絶縁チャネルに高度な回路手法を採用して、CMTI 性能を最大化し、高周波キャリアおよび IO バッファ・スイッチングによる放射エミッションを最小化しています。図 9-2 に代表的な信号絶縁チャネルの機能ブロック図を示します。

ISOW784x デバイス・ファミリ は、基板面積が限定されていて高集積を必要とするアプリケーションに適しています。 また、このデバイス・ファミリは、所要の絶縁仕様を満たす電力トランスが大型で高価になる、高電圧アプリケーションにも適しています。

Copyright © 2022 Texas Instruments Incorporated

9.2 機能ブロック図

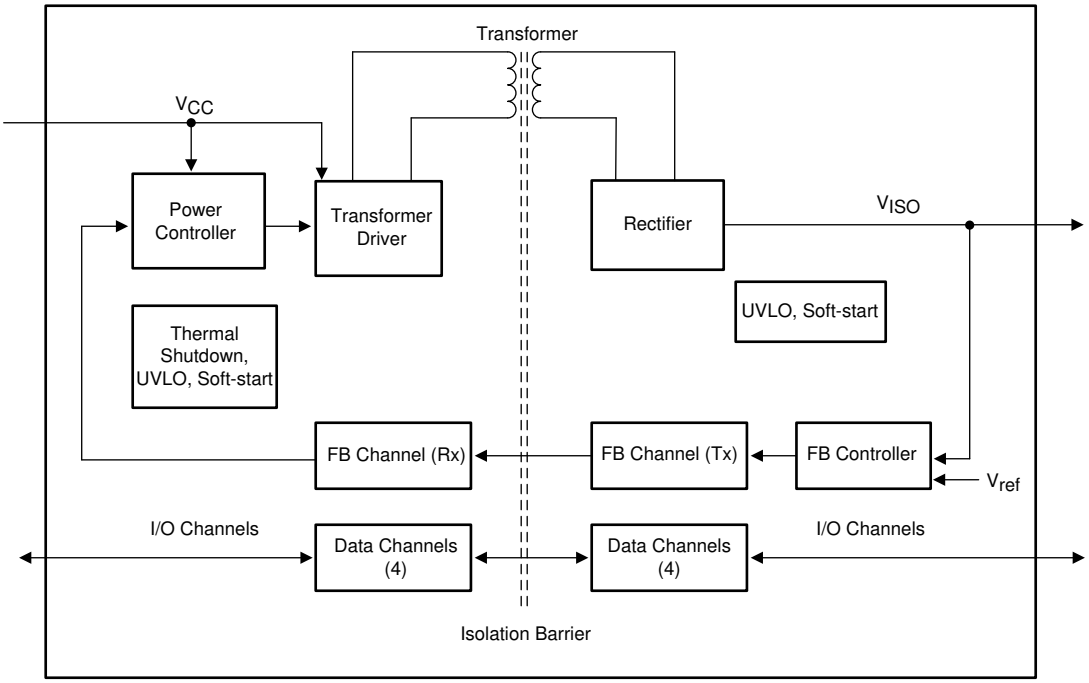


図 9-1. ブロック図

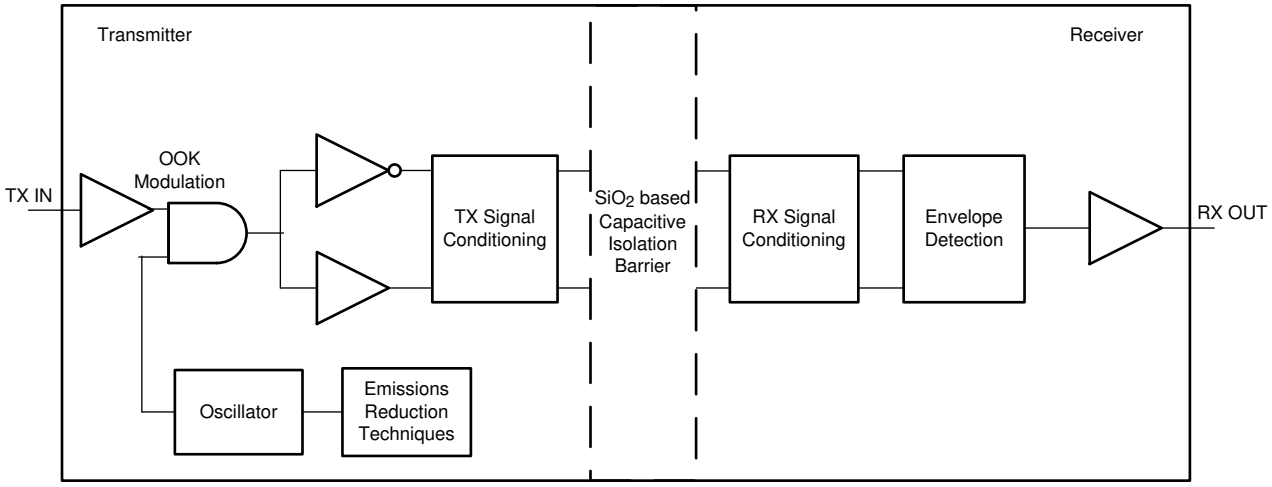


図 9-2. 容量性データチャネルの概念ブロック図

Copyright © 2022 Texas Instruments Incorporated

図 9-3 に、OOK 方式の概念図を示します。

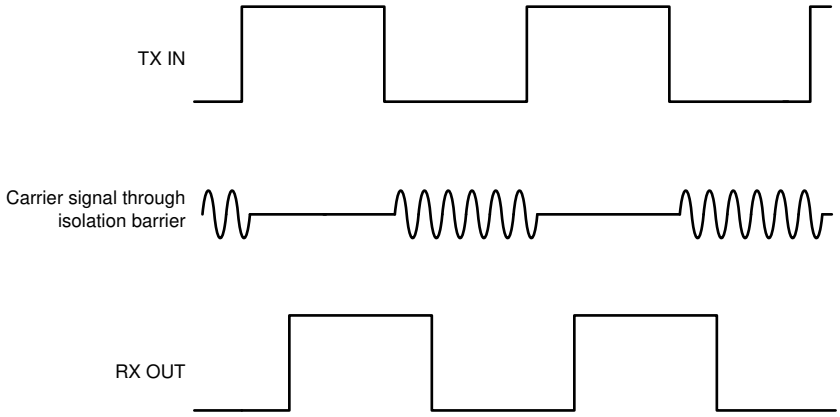


図 9-3. オン・オフ・キーイング (OOK) による変調方式

9.3 機能説明

表 9-1 に、デバイスの機能概要を示します。

表 9-1. デバイスの特長

部品番号(1)	チャネル方向	最大データ・レート	デフォルト出力状態	絶縁定格(2)
ISOW7840	正方向 4、逆方向 0	100Mbps	HIGH	5 kV_{RMS} / 7071V_{PK}
ISOW7840F			LOW	
ISOW7841	正方向 3、逆方向 1		HIGH	
ISOW7841F			LOW	
ISOW7842	正方向 2、逆方向 2		HIGH	
ISOW7842F			LOW	
ISOW7843	正方向 1、逆方向 3		HIGH	
ISOW7843F			LOW	
ISOW7844	正方向 0、逆方向 4		HIGH	
ISOW7844F			LOW	

(1) 接尾辞 F は、注文可能な型番の一部です。注文可能な型番については、*セクション 14* セクションを参照してください。
(2) 絶縁定格の詳細については、*セクション 7.7* 表を参照してください。

9.3.1 電磁両立性 (EMC) に関する検討事項

ISOW784x デバイス・ファミリは、エミッション低減方式を使った内部発振器と高度な内部レイアウト技法によって、放射エミッションをシステム・レベルで最小化しています。

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x および CISPR 22 などの国際規格により規制されています。システム・レベルの性能と信頼性は、アプリケーション・ボードの設計およびレイアウトによって大きく左右されますが、ISOW784x デバイス・ファミリは、チップ・レベルの設計改善を多数採用して、システム全体の堅牢性を高めています。改善項目の一部を以下に示します。

- 入出力信号ピンおよびチップ間のボンド・パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド・ピンに、ESD セルの低抵抗接続。
- 高電圧絶縁コンデンサの性能を強化し、ESD、EFT、サージの各イベントに対する耐性を向上。
- 低インピーダンス・パスを経由して不要な高エネルギー信号をバイパスする、オンチップ・デカップリング・コンデンサの大容量化。
- ガード・リングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確保し、絶縁バリアをまたぐコモン・モード電流を低減。

Copyright © 2022 Texas Instruments Incorporated

9.3.2 パワーアップ動作とパワーダウン動作

ISOW784x デバイス・ファミリ は、V_{CC} および V_{ISO} 電源に UVLO を内蔵しており、この UVLO は、正方向および負方向のスレッショルドとヒステリシスを備えています。電源オン時に V_{CC} 電圧が正方向の UVLO スレッショルドを超えると、DC/DC コンバータが初期化されるとともに、制御された状態で電力コンバータのデューティ・サイクルが増加していきます。このソフトスタート方式により、V_{CC} 電源から引き出される 1 次側ピーク電流を制限し、制御された状態で V_{SO} 出力に電源を供給してオーバーシュートを回避します。絶縁データ・チャネルの出力は、V_{CC} または V_{ISO} 電圧が正方向の UVLO スレッショルドを超えるまでは不定状態になります。2 次側の V_{ISO} ピンで UVLO の正方向スレッショルドを超えると、フィードバック・データ・チャネルが 1 次側コントローラへのフィードバックを開始します。レギュレーション・ループが制御を引き継ぎ、絶縁データ・チャネルは、対応する入力チャネルまたはそれぞれのデフォルト状態の定義による通常状態に移行します。このパワーアップ・シーケンスが完了して、システム機能に関与するデータ・チャネルが有効になるまで、十分な時間マージン (通常は 10µF の負荷容量で 10ms) を考慮して設計する必要があります。

V_{CC} 電源が失われた場合、UVLO 下限スレッショルドに達したときに 1 次側 DC/DC コントローラがオフになります。その後、V_{ISO} コンデンサは外部負荷によって放電されます。V_{ISO} 側の絶縁データ出力は、V_{ISO} 電圧がゼロまで放電するのに要する短時間の間、デフォルト状態に戻ります。

9.3.3 過電流制限、過熱保護

ISOW784x デバイス・ファミリは、出力過負荷および短絡から保護されています。過負荷状態において、電力コンバータが要求される電流を供給できない場合には、出力電圧が低下し始めます。V_{ISO} がグランドへ短絡した場合には、コンバータのデューティ・サイクルを制限することによって、損傷に対する保護を実現しています。

また、熱保護機能が内蔵されており、絶縁出力で過負荷および短絡の状態が発生したときにデバイスが損傷するのを防止します。このような状態では、デバイスの温度が上昇し始めます。温度が 180℃ を超えると、サーマル・シャットダウンが作動 して 1 次側コントローラがオフになり、V_{ISO} 負荷に供給されるエネルギーがなくなって、デバイスが冷却されます。接合部温度が 150℃ を下回ると、デバイスは通常動作を開始します。過負荷または出力短絡の状態が続いている場合は、この保護サイクルが繰り返されます。デバイスの接合部温度がこのような高い値に達することがないように、注意して設計する必要があります。

9.4 デバイスの機能モード

表 9-2 に、これらのデバイスの電源構成を示します。

表 9-2. 電源構成

SEL 入力	V_{CC}	V_{ISO}
V_{ISO} と短絡	5V	5V
V_{ISO} と短絡	3.3V	5V
GND2 と短絡、またはフローティング	5V	3.3V(1)
GND2 と短絡、またはフローティング	3.3V	3.3V(1)

(1) SEL ピンは、内部で弱くプルダウンされています。したがって、V_{ISO} = 3.3V の場合、ノイズの多いシステム・シナリオでは、SEL ピンを GND2 ピンに強く接続する必要があります。

表 9-3 に、ISOW784x デバイスの機能モードを示します。

表 9-3. 機能表

入力電源 (V_{CC}) (1)	入力 (INx)	出力 (OUTx)	備考
PU	H	H	出力チャネルは、入力の論理状態と同じになります
	L	L	
	開放	デフォルト	デフォルト・モード(2): INx がオープンのとき、対応する出力チャネルは、選択されたバージョンのデフォルト出力モードに基づくロジックとなります

Copyright © 2022 Texas Instruments Incorporated

表 9-3. 機能表 (continued)

入力電源 (V_{CC}) (1)	入力 (INx)	出力 (OUTx)	備考
PD	X	不定(3)	

(1) PU = 電源オン (V_{CC} ≥ 2.7V)、PD = 電源オフ (V_{CC} < 2.1V)、X = 無関係、H = HIGH レベル、L = LOW レベル、V_{CC} = 入力側電源
(2) デフォルト状態では、ISOW784x の出力は HIGH となり、接尾辞 F 付きの ISOW784x の出力は LOW となります。
(3) V_{CC} < 2.1V のとき、出力は不定状態になります。

9.4.1 デバイス I/O 回路図

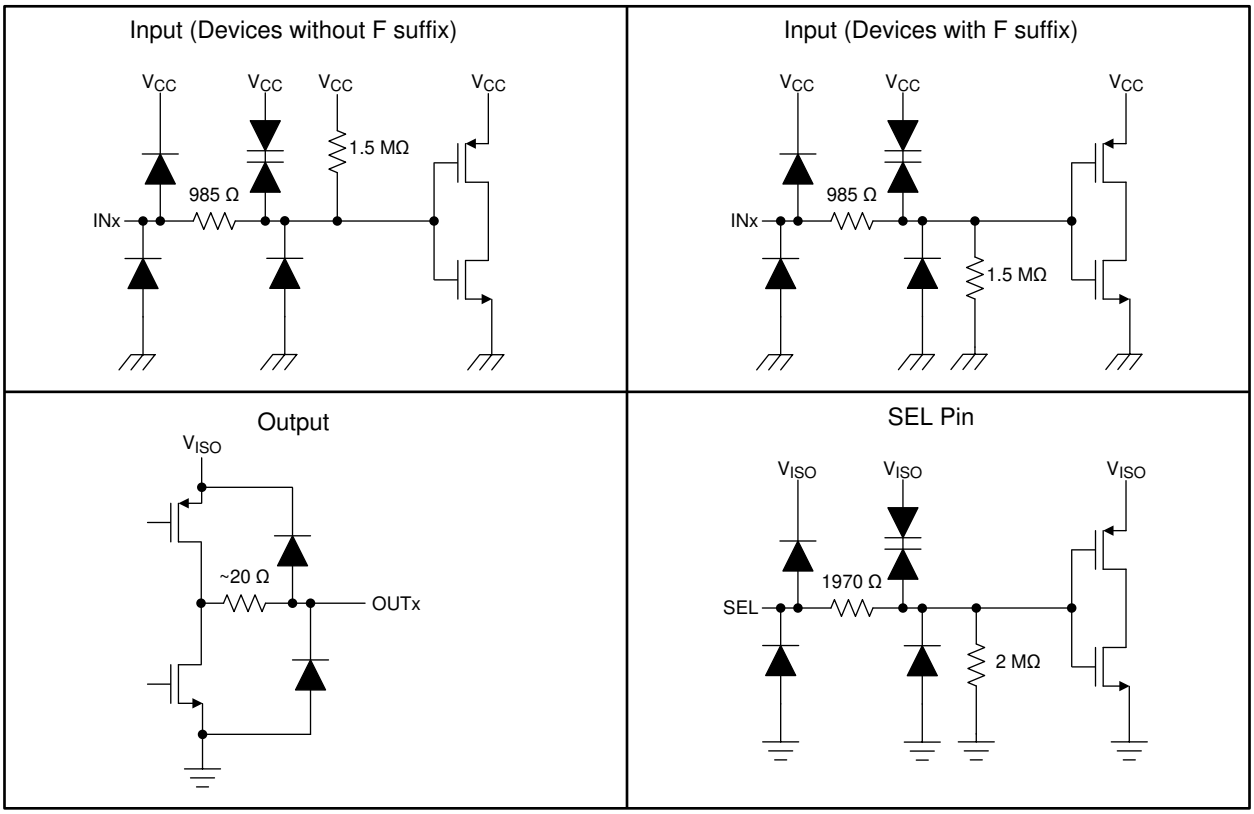


図 9-4. デバイス I/O 回路図

10 アプリケーションと実装

NOTE

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

このデバイスは、高性能クワッド・チャネル・デジタル・アイソレータで、DC/DC コンバータが内蔵されています。通常、デジタル・アイソレータは、デバイスの両側に電力を供給するために、相互に絶縁された 2 つの電源を必要とします。このデバイスには、DC/DC コンバータが内蔵されているため、絶縁電源がデバイス内で生成され、デバイスの絶縁側への電力供給および絶縁側に接続されるペリフェラルへの電力供給に使用できるため、基板面積を削減できます。このデバイスは、シングル・エンドの CMOS ロジック・スイッチング技術を使用しています。デジタル・アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル・アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは、通常、インターフェイスの種類や規格にかかわらず、データ・コントローラ (マイクロコントローラまたは UART) と、データ・コンバータまたはライン・トランシーバとの間に配置されます。

このデバイスは、基板面積が限定されていて高集積を必要とするアプリケーションに適しています。また、このデバイスは、所要の絶縁仕様を満たす電力トランスが大型で高価になる、高電圧アプリケーションにも適しています。

10.2 代表的なアプリケーション

TIDesigns	ステップバイステップの設計手順、回路図、部品表、プリント基板 (PCB) ファイル、シミュレーション結果、テスト結果については、『TI Design TIDA-01333、*ISOW7841 を使用する 8 チャネル絶縁型高電圧アナログ入力モジュールのリファレンス・デザイン*』を参照してください。

図 10-1 に、SPI 絶縁の代表的な回路を示します。

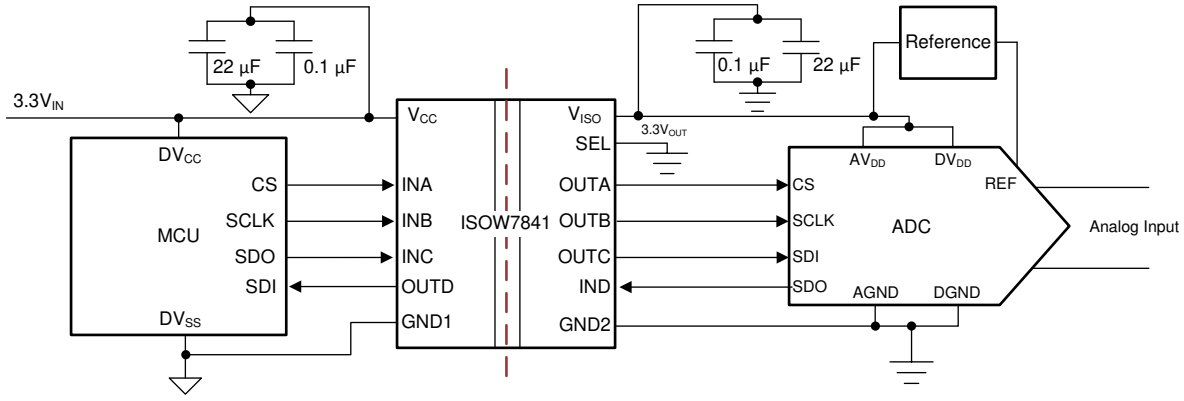


図 10-1. ISOW7841 を使用する ADC センシング・アプリケーション向けの絶縁電源および SPI

10.2.1 設計要件

このデバイスを使用して設計するには、表 10-1 に記載されているパラメータを使用します。

表 10-1. 設計パラメータ

パラメータ	値
入力電圧	3V～5.5V
V_{CC} と GND1 の間のデカップリング・コンデンサ	0.1µF～10µF

Copyright © 2022 Texas Instruments Incorporated

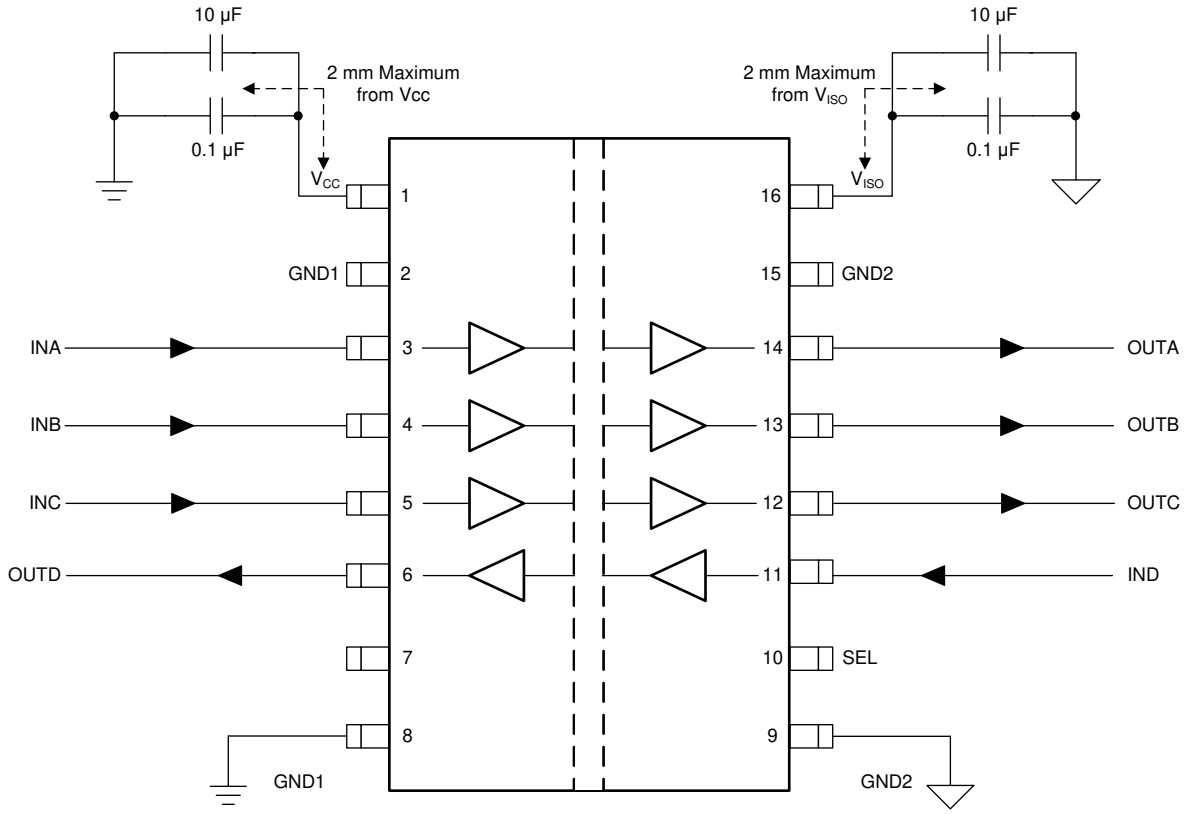
表 10-1. 設計パラメータ (continued)

パラメータ	値
V_{ISO} と GND2 の間のデカップリング・コンデンサ	0.1μF～10μF

ISOW7841 デバイスの V_{CC} および V_{ISO} 電源には非常に大きい電流が流れるため、通常は、大きいデカップリング・コンデンサを使用するとノイズおよびリップル性能が改善されます。10μF コンデンサでも十分ですが、最高の性能を得るためには、V_{CC} ピンと V_{ISO} ピンの両方に対して、より大容量のデカップリング・コンデンサ (たとえば 47μF) をそれぞれのグランドとの間に接続することを強くお勧めします。

10.2.2 詳細な設計手順

このデバイスの動作に必要なものは、外付けバイパス・コンデンサだけです。これらの低 ESR セラミック・バイパス・コンデンサは、チップ・パッドにできるだけ近づけて配置する必要があります。



V_{CC} と GND1 の間に 100μF コンデンサを追加できます。*セクション 11* を参照してください。

図 10-2. 標準的な ISOW7841 の接続図

V_{CC} 電源入力は、絶縁データ・チャネルと絶縁 DC/DC コンバータに電力を供給します。式 1 を使用して、1 次側の合計電力バジェットを計算します。

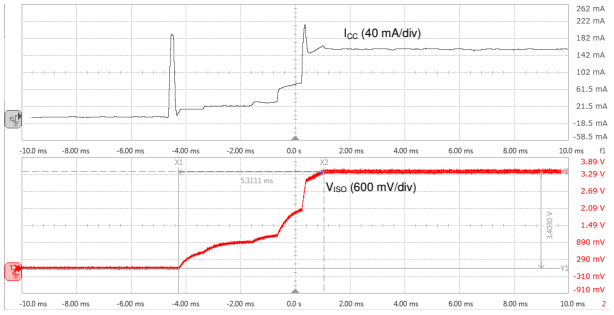
$$I_{CC} = (V_{ISO} \times I_{ISO}) / (\eta \times V_{CC}) + I_{inpx} \quad (1)$$

ここで

- I_{CC} は 1 次側電源に必要とされる合計電流です。
- V_{ISO} は絶縁電源電圧です。
- I_{ISO} は絶縁電源電圧の外部負荷です。
- η は効率です。

- V_{CC} は電源電圧です。
- I_{inpx} は、データ・チャネルが特定のデータ・レートでトグルされているときの絶縁データ・チャネルと電力コンバータに流れ込む合計電流です。このデータを *セクション 7.9* 表に示します。

10.2.3 アプリケーション曲線



V_{CC} = 3.3V　　I_{OUT} = 70mA

入力電流のスパイクは、入力電源デカップリング・コンデンサを充電するために発生しています

図 10-3. ソフトスタート波形

10.2.3.1 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、図 10-4 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 87.5% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、37.5 年の最小絶縁寿命が必要であることになります。

図 10-5 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は 1000V_{RMS}、寿命は 1184 年です。

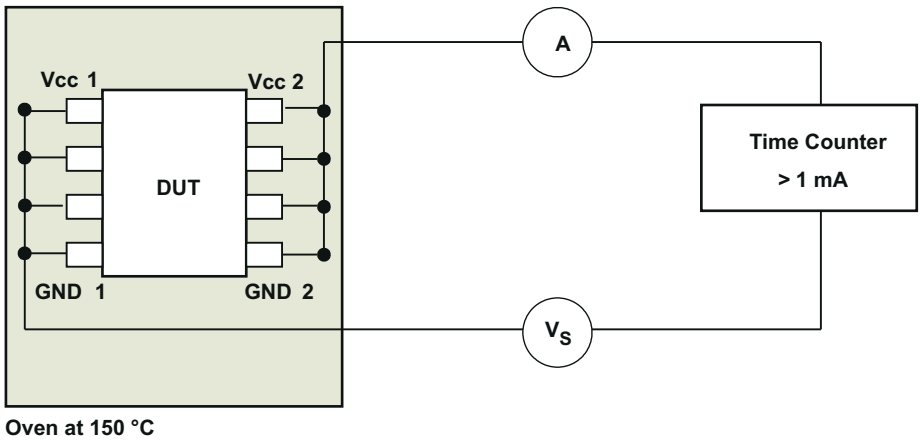


図 10-4. 絶縁寿命測定用のテスト構成

Copyright © 2022 Texas Instruments Incorporated

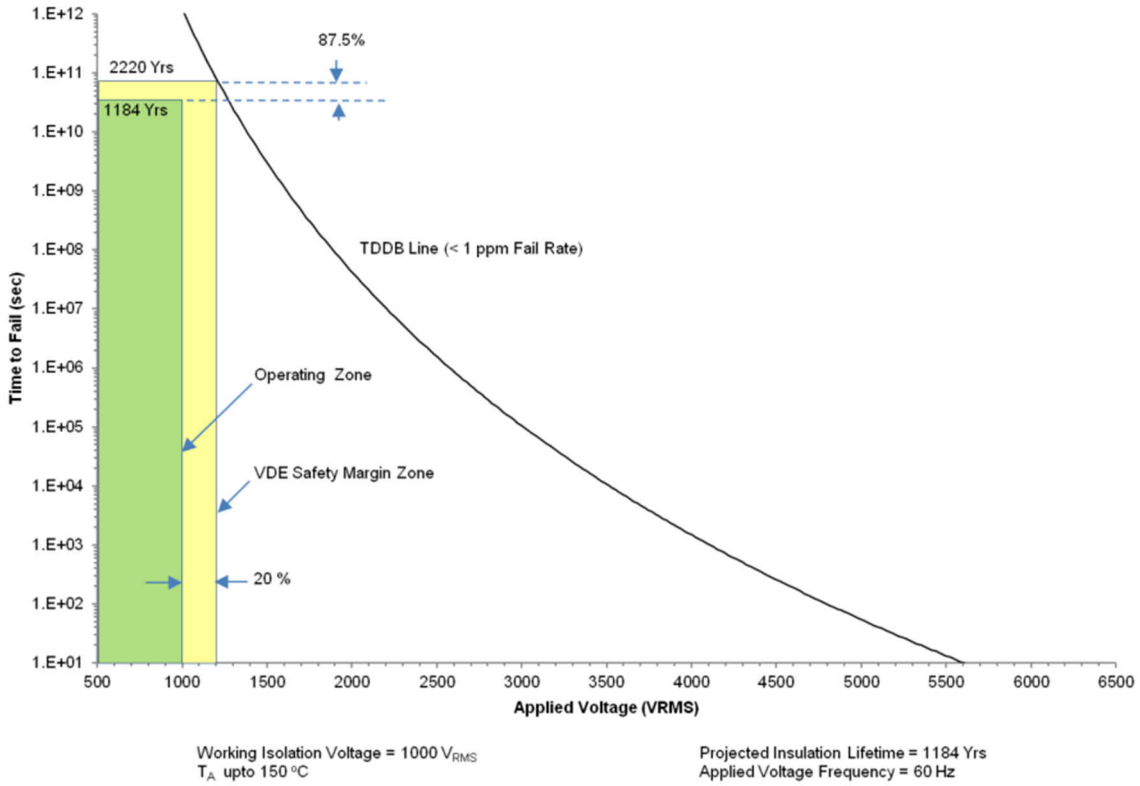


図 10-5. 絶縁寿命予測データ

11 電源に関する推奨事項

さまざまなデータ・レートおよび電源電圧での動作の信頼性を確保するため、電源ピンにできるだけ近い場所にデカップリング・コンデンサを配置する必要があります。入力電源 (V_{CC}) の定格電流は、出力負荷に対応するとともに、最終アプリケーションで必要とされる最大データ・レートでスイッチングを行うのに適したものでなければなりません。詳細については、*セクション 10.2.2* セクションを参照してください。

12 レイアウト

12.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 12-1 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランド・プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データ・リンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド・プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス・パスを実現します。
- グランド・プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100 pF/in^2 増加させることができます。
- 最下層に低速の制御信号を配線すれば、通常、これらの信号リンクには、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。
- デカップリング・コンデンサは、V_{CC} および V_{ISO} ピンにできるだけ近づけて配置してください。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド・プレーン系統を層構成に追加します。これにより、基盤の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド・プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

デバイスには放熱用のサーマル・パッドがないため、デバイスは各 GND ピンを通じて放熱します。デバイスの内部接合部温度が許容できないレベルに上昇するのを防ぐため、両方の GND ピンに十分な銅パターンを確保してください。

信号および電力の絶縁デバイスが内蔵されているため、システム設計の簡素化、基板面積の削減を実現できます。デバイスに低インダクタンスのマイクロトランスを使用する場合には、高周波スイッチングが必要になり、ディスクリート・ソリューションに比べて放射エミッションが高くなります。このデバイスは、オンチップ回路手法を使用して、競合ソリューションよりも放射を低減しています。システム・レベルで放射エミッションをさらに低減する方法については、*『ISOW7841 統合信号および電源アイソレータを使用する低放射の設計』アプリケーション・レポート*を参照してください。

12.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

Copyright © 2022 Texas Instruments Incorporated

12.2 レイアウト例

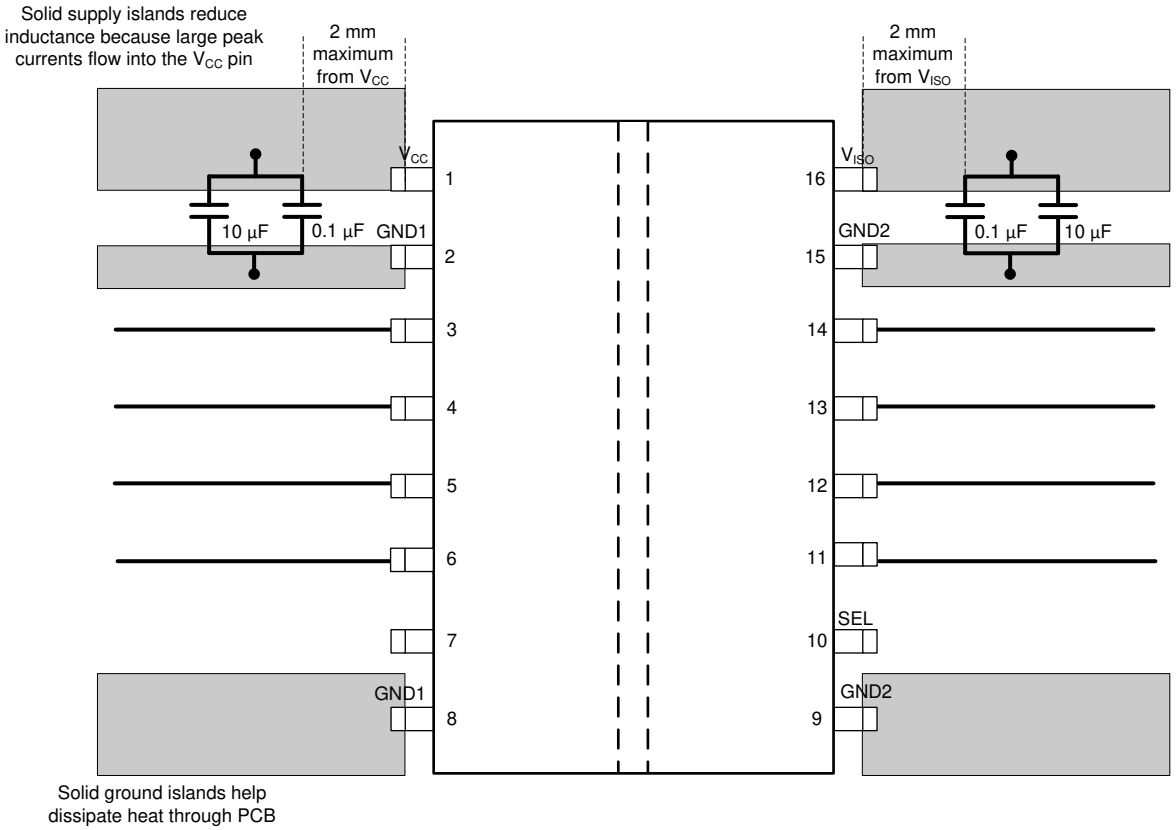


図 12-1. レイアウト例

13 デバイスおよびドキュメントのサポート

13.1 デバイスのサポート

13.1.1 開発サポート

開発サポートについては、次の資料を参照してください。

- ISOW7841 を使用する 8 チャネル絶縁型高電圧アナログ入力モジュールのリファレンス・デザイン
- 信号と電力を統合した絶縁型 RS-485 のリファレンス・デザイン
- 信号と電力を統合した絶縁型 RS-232 のリファレンス・デザイン

13.2 ドキュメントのサポート

13.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『デジタル・アイソレータ設計ガイド』*
- テキサス・インスツルメンツ、*『絶縁の用語集』*
- テキサス・インスツルメンツ、*『ISOW784x DC/DC コンバータ内蔵のクワッド・チャネル・デジタル・アイソレータ評価基板』*ユーザー・ガイド
- テキサス・インスツルメンツ、*『ISOW7841 統合信号および電源アイソレータを使用する低放射の設計』*アプリケーション・レポート
- テキサス・インスツルメンツ、*『絶縁型 DC/DC コンバータの過電圧保護』*技術ノート

13.3 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ・リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック・アクセスが含まれます。

表 13-1. 関連リンク

製品	プロダクト・フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
ISOW7840	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISOW7841	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISOW7842	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISOW7843	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISOW7844	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

13.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「*アラートを受け取る*」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

13.5 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

13.6 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2022 Texas Instruments Incorporated

13.7 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

13.8 Glossary

TI Glossary — This glossary lists and explains terms, acronyms, and definitions.

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOW7840DWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840
ISOW7840DWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840
ISOW7840DWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840
ISOW7840DWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840
ISOW7840DWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840
ISOW7840DWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840
ISOW7840DWERG4.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840
ISOW7840DWERG4.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840
ISOW7840FDWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840F
ISOW7840FDWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840F
ISOW7840FDWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840F
ISOW7840FDWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840F
ISOW7840FDWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840F
ISOW7840FDWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840F
ISOW7840FDWERG4.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840F
ISOW7840FDWERG4.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7840F
ISOW7841DWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841
ISOW7841DWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841
ISOW7841DWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841
ISOW7841DWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841
ISOW7841DWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841
ISOW7841DWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841
ISOW7841DWERG4.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841
ISOW7841DWERG4.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841
ISOW7841FDWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841F
ISOW7841FDWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841F
ISOW7841FDWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841F
ISOW7841FDWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841F
ISOW7841FDWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841F

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOW7841FDWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841F
ISOW7841FDWERG4.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841F
ISOW7841FDWERG4.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7841F
ISOW7842DWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842
ISOW7842DWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842
ISOW7842DWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842
ISOW7842DWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842
ISOW7842DWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842
ISOW7842DWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842
ISOW7842DWERG4.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842
ISOW7842DWERG4.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842
ISOW7842FDWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842F
ISOW7842FDWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842F
ISOW7842FDWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842F
ISOW7842FDWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842F
ISOW7842FDWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842F
ISOW7842FDWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842F
ISOW7842FDWERG4.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842F
ISOW7842FDWERG4.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7842F
ISOW7843DWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843
ISOW7843DWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843
ISOW7843DWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843
ISOW7843DWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843
ISOW7843DWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843
ISOW7843DWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843
ISOW7843FDWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843F
ISOW7843FDWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843F
ISOW7843FDWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843F
ISOW7843FDWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843F
ISOW7843FDWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843F
ISOW7843FDWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7843F

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOW7844DWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844
ISOW7844DWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844
ISOW7844DWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844
ISOW7844DWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844
ISOW7844DWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844
ISOW7844DWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844
ISOW7844DWERG4.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844
ISOW7844DWERG4.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844
ISOW7844FDWE	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844F
ISOW7844FDWE.A	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844F
ISOW7844FDWE.B	Active	Production	SOIC (DWE) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844F
ISOW7844FDWER	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844F
ISOW7844FDWER.A	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844F
ISOW7844FDWER.B	Active	Production	SOIC (DWE) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7844F

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

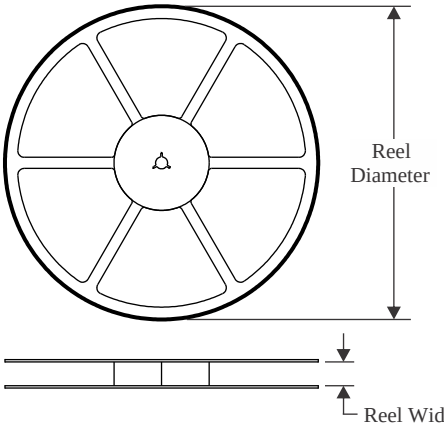
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

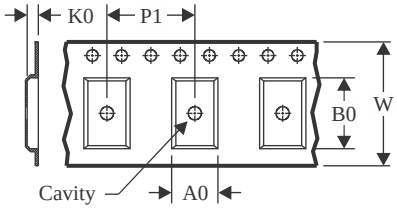
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

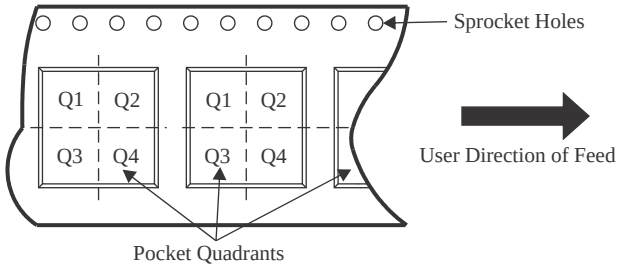


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

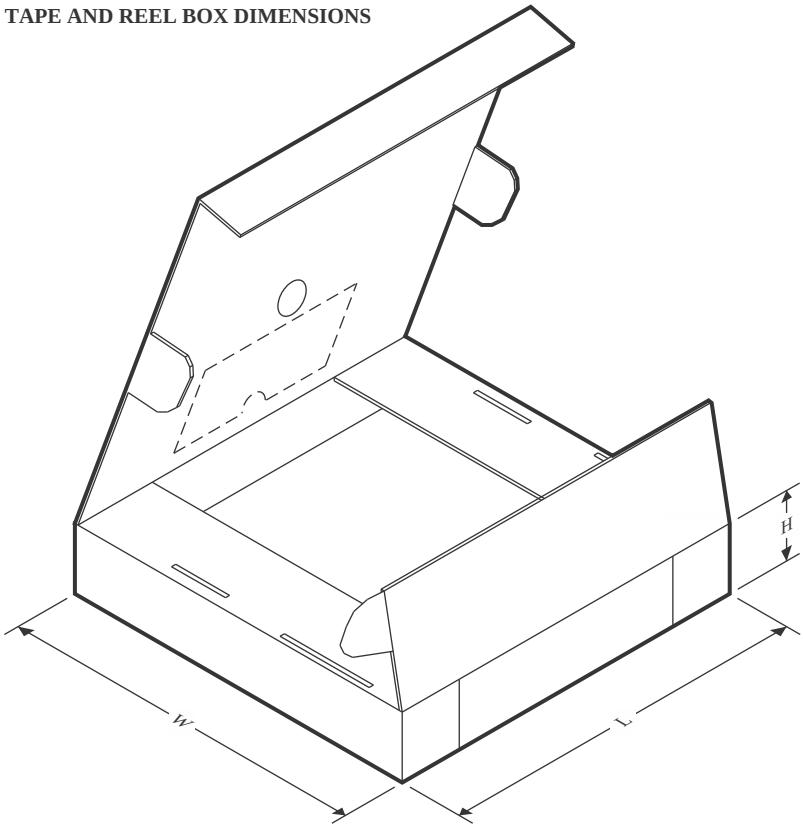
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOW7840DWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7840FDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7841DWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7841FDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7842DWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7842FDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7843DWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7843FDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7844DWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISOW7844FDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

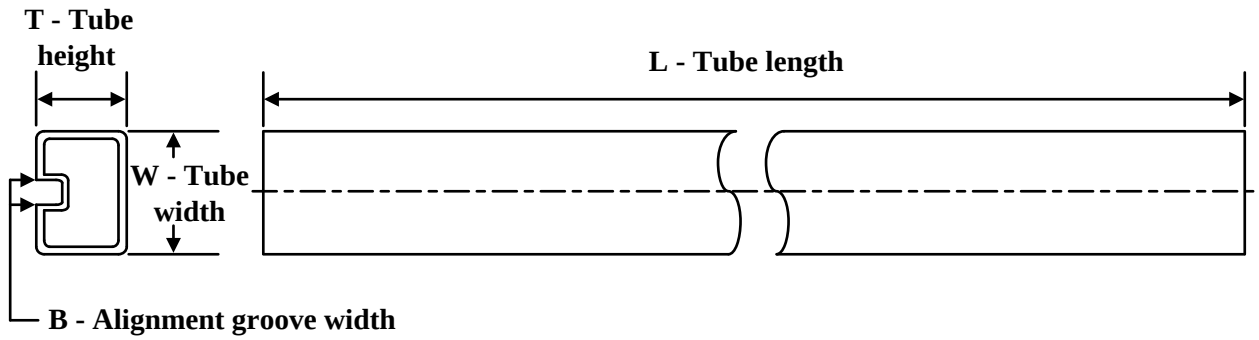
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOW7840DWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7840FDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7841DWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7841FDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7842DWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7842FDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7843DWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7843FDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7844DWER	SOIC	DWE	16	2000	350.0	350.0	43.0
ISOW7844FDWER	SOIC	DWE	16	2000	350.0	350.0	43.0

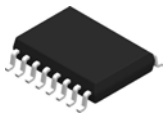
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ISOW7840DWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7840DWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7840DWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7840FDWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7840FDWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7840FDWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7841DWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7841DWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7841DWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7841FDWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7841FDWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7841FDWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7842DWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7842DWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7842DWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7842FDWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7842FDWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7842FDWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7843DWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7843DWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7843DWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7843FDWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7843FDWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7843FDWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7844DWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7844DWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7844DWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7844FDWE	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6
ISOW7844FDWE.A	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ISOW7844FDWE.B	DWE	SO-MOD	16	40	506.98	12.7	4826	6.6

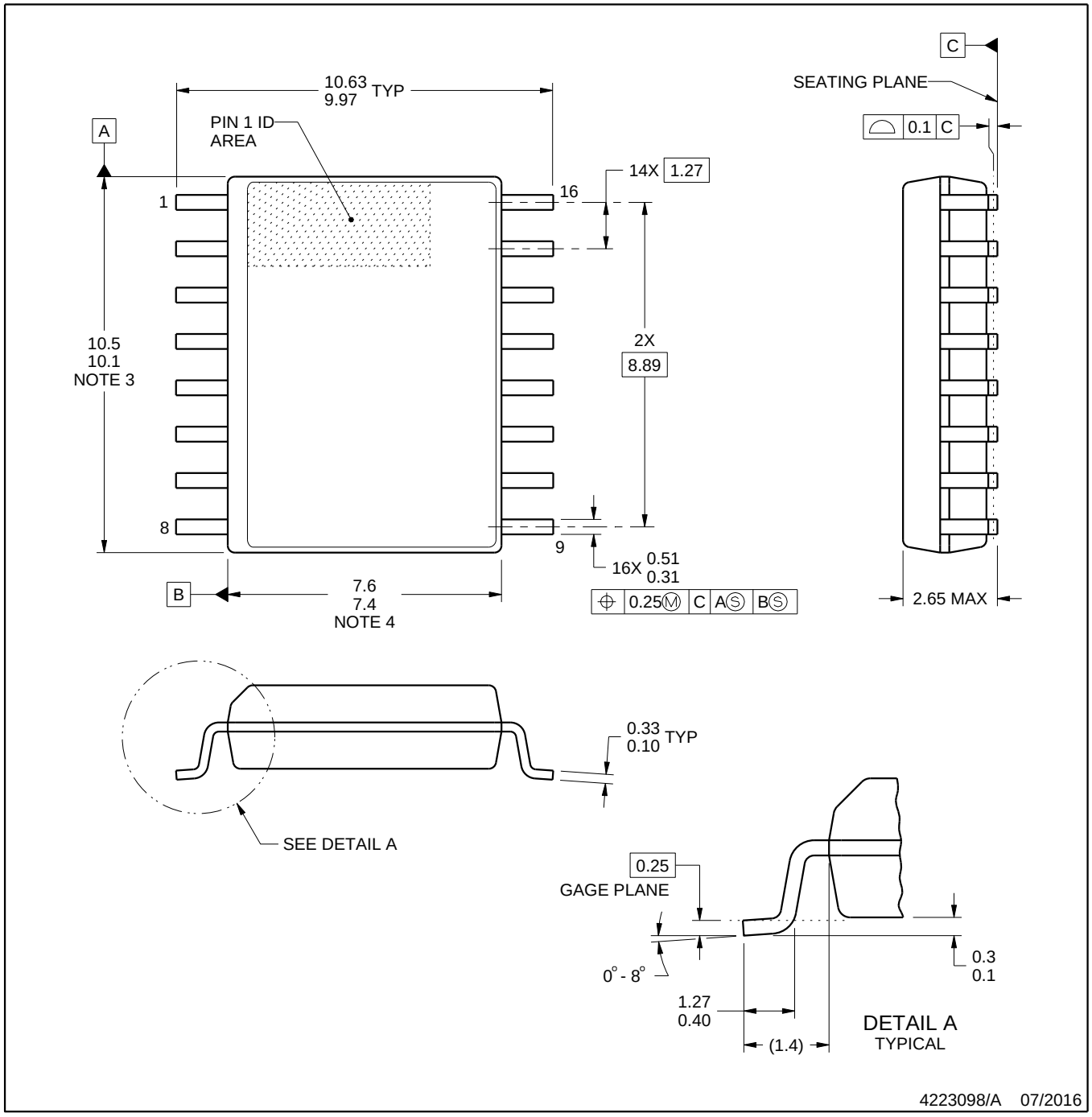


PACKAGE OUTLINE

DWE0016A

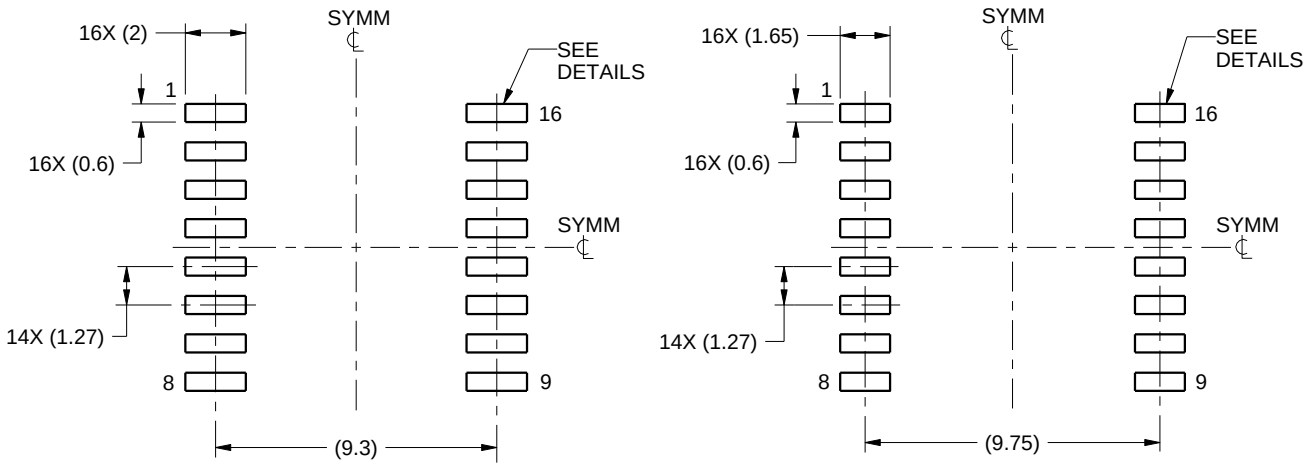
SOIC - 2.65 mm max height

SOIC



NOTES:

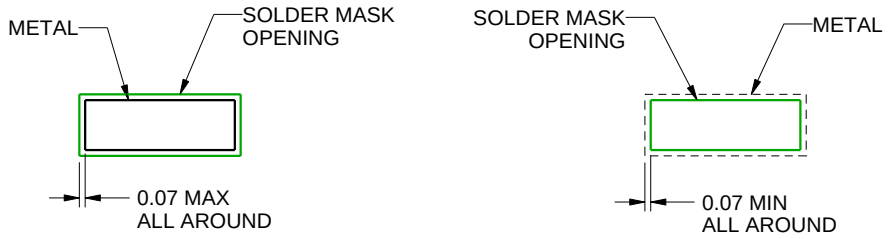
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

SOLDER MASK DEFINED

SOLDER MASK DETAILS

4223098/A 07/2016

NOTES: (continued)

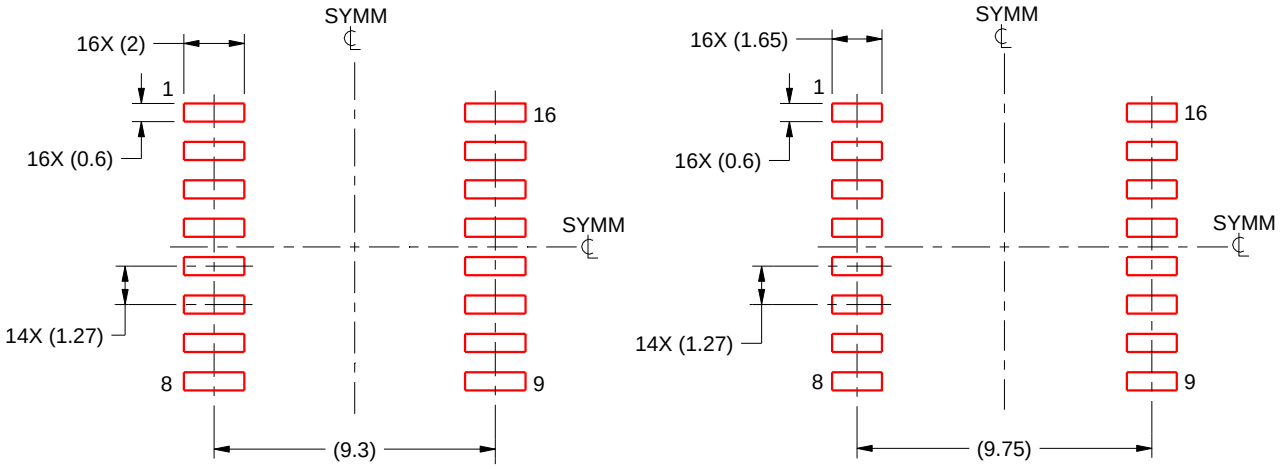
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWE0016A

SOIC - 2.65 mm max height

SOIC



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4223098/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated