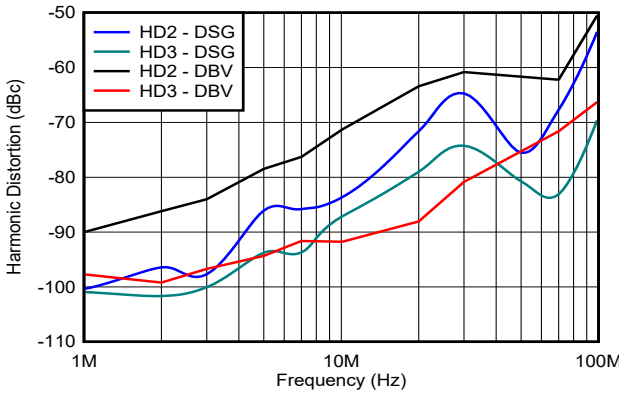
OPA695 ディセーブル機能搭載、超広帯域、電流帰還オペアンプ

1 特長

- 広い帯域幅:
  - 1900MHz (G = +1V/V)
  - 600MHz (G = +8V/V)
- 大信号帯域幅 ($2V_{PP}$):540 MHz
- 出力電圧スイング:±4.05 V
- 非常に高いスルーレート:5000V/μs
- 入力電圧ノイズ:2nV/√Hz
- 低歪み (R_L = 100Ω、V_O = $2V_{PP}$):
  - 10MHz での HD2、HD3:–65dBc、–92dBc
- 大出力電流:±140mA
- 電源電圧範囲:5V～12V
- 消費電流:14mA
- シャットダウン電流:160μA

2 アプリケーション

- 超広帯域 ADC ドライバ
- 低コストの高精度 IF アンプ
- ブロードバンド ビデオ ライン ドライバ
- 携帯型計測機器
- アクティブ フィルタ
- 任意波形の生成器
- 電流 DAC ドライバ



周波数に対する +8V/V ゲインでの高調波歪み

3 説明

OPA695 は、広い帯域幅の電流帰還オペアンプであり、5000V/μs の非常に優れたスルーレートと、低い入力電圧ノイズとの組み合わせにより、高速計測システムの中間ゲイン段として使用される、高精度かつ低歪でダイナミック レンジの広いアンプを実現します。OPA695 は、高いゲインでの動作に最適化されており、電流 DAC 出力のインターフェイス、または高速デジタイザのゲイン段として、あるいはケーブル モデム上流ライン ドライバにおいて低歪で大出力電力を供給するのに最適です。

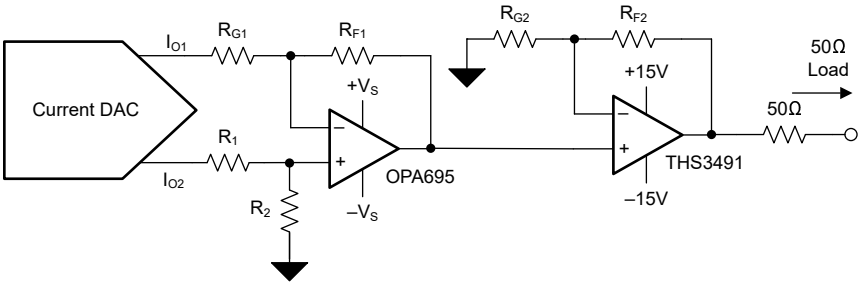
OPA695 は、14mA (25℃) という低い消費電流を特長としています。オプションのディセーブル制御ピンを使用すると、システム消費電力をさらに低減できます。このピンをオープンのままにするか、またはこのピンを High に保持すると、通常動作になります。このピンを Low にすると、OPA695 の消費電流は 160μA 未満に低下します。この省電力機能と、非常に優れた 5V 単一電源動作、超小型 SOT23-6 パッケージを備えた OPA695 は、ポータブル アプリケーションに最適です。

OPA695 は、-40℃～+85℃の広い温度範囲で動作します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
OPA695	D (SOIC、8)	4.9mm × 6mm
	DBV (SOT-23、6)	2.9mm × 2.8mm
	DGK (VSSOP、8)	3mm × 4.9mm
	DSG (WSON、8)	2mm × 2mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



標準的な任意波形発生器の出力駆動回路

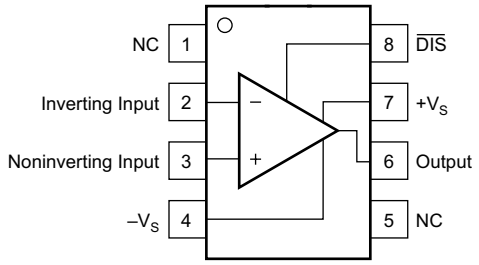
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
5 仕様.... 4
5.1 絶対最大定格.... 4
5.2 ESD 定格.... 4
5.3 推奨動作条件.... 4
5.4 熱に関する情報.... 4
5.5 電気的特性 V_S = ±5V、OPA695ID、OPA695IDBV、OPA695DSG.... 5
5.6 電気的特性 V_S = 5V、OPA695ID、OPA695IDBV、OPA695DSG.... 7
5.7 電気的特性:V_S = ±5V、OPA695IDGK.... 9
5.8 電気的特性 V_S = 5V、OPA695IDGK.... 11
5.9 代表的特性:V_S = ±5V、OPA695IDBV、OPA695ID、OPA695DSG.... 13
5.10 代表的特性:V_S = 5V、OPA695IDBV、OPA695ID、OPA695DSG.... 18
5.11 代表的特性:V_S = ±5V、OPA695IDGK.... 20
5.12 代表的特性:V_S = 5V、OPA695IDGK.... 25
6 詳細説明.... 27
6.1 概要.... 27
6.2 機能ブロック図.... 27
6.3 機能説明.... 27
6.4 デバイスの機能モード.... 29
7 アプリケーションと実装.... 30
7.1 アプリケーション情報.... 30
7.2 代表的なアプリケーション.... 38
7.3 電源に関する推奨事項.... 40
7.4 レイアウト.... 40
8 デバイスおよびドキュメントのサポート.... 42
8.1 デバイス サポート.... 42
8.2 ドキュメントのサポート.... 42
8.3 ドキュメントの更新通知を受け取る方法.... 42
8.4 サポート・リソース.... 42
8.5 商標.... 42
8.6 静電気放電に関する注意事項.... 42
8.7 用語集.... 43
9 改訂履歴.... 43
10 メカニカル、パッケージ、および注文情報.... 47

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能



NC = No Connection

図 4-1. D パッケージ、8 ピン SOIC および DGK パッケージ、8 ピン VSSOP (上面図)

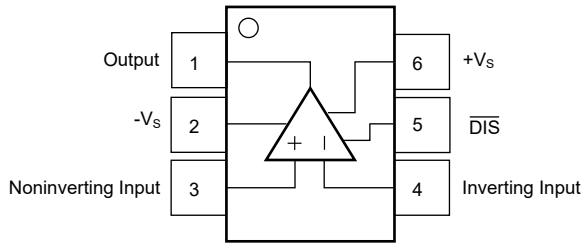
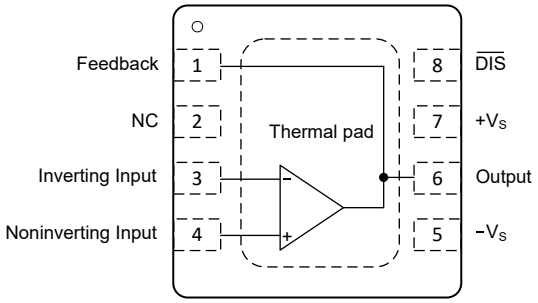


図 4-2. DBV パッケージ、6 ピン SOT-23 (上面図)



Not to scale

図 4-3. DSG パッケージ、8 ピン WSON (露出サーマル パッド付き) (上面図)

表 4-1. ピンの機能

ピン				種類[1]	説明
名称	番号				
	D (SOIC)、DGK (VSSOP)	DBV (SOT-23)	DSG (WSON)		
$\overline{DIS}$	8	5	8	I	ディセーブルではない (イネーブル)
帰還	—	—	1	—	アンプの出力への帰還接続
反転入力	2	4	3	I	反転入力
NC	1、5	—	2	—	未接続
非反転入力	3	3	4	I	非反転入力
出力	6	1	6	O	出力
$–V_S$	4	2	5	P	負電源
$+V_S$	7	6	7	P	正電源
サーマル・パッド	—	—		—	サーマル パッドを $-V_S$ に接続

(1) I = 入力、O = 出力、P = パワー

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
V_S	合計電源電圧、$V_S = (V_{S+}) - (V_{S-})$		13	V
V_{ID}	差動入力電圧		±1.2	V
V_I	入力同相電圧		$\pm V_S$	V
	内部消費電力	*「熱解析」*を参照してください		
I_{IN}	連続入力電流		±10	mA
T_J	接合部温度		150	℃
T_{stg}	保存温度	-65	125	℃

(1) *「絶対最大定格」*の範囲外の動作は、デバイスの恒久的な損傷の原因となる可能性があります。*「絶対最大定格」*は、これらの条件において、または*「推奨動作条件」*に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。*「絶対最大定格」*の範囲内であっても*「推奨動作条件」*の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピンは反転入力を想定[(1)]	±1500	V
		人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、反転入力[(1)]	±500	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン[(2)]	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{S+} - V_{S-}$	全電源電圧	5		12	V
T_A	動作時周囲温度	-40	25	85	℃

5.4 熱に関する情報

熱評価基準[(1)]		OPA695				単位
		D (SOIC)	DBV (SOT-23)	DGK (VSSOP)	DSG (WSON)	
		8 ピン	6 ピン	6 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	136	164	135	86.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78	80	81	109	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	85	49	56	52.9	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	24	28	8.5	8.3	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	84	49	48	52.9	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	27.7	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 V_S = ±5V、OPA695ID、OPA695IDBV、OPA695DSG

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 402Ω、R_L = 100Ω ～ V_S /2。

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅	V_O = 0.5V_{PP}	G = +1V/V、R_F = 523Ω		1900		MHz
			G = +2V/V、R_F = 511Ω		900		
			G = +8V/V、R_F = 402Ω		600		
			G = +16V/V、R_F = 249Ω		500		
	0.2dB ゲイン平坦度の帯域幅	V_O = 0.5V_{PP}、G = +2V/V、R_F = 511Ω			120		MHz
	+1V/V のゲインでのピーキング	V_O = 0.5 V_{PP}、R_F = 523Ω			3.7		dB
LSBW	大信号帯域幅	V_O = 4V_{PP}、G = +8V/V			510		MHz
SR	スルー レート	V_O = 4V ステップ	G = -8V/V		5000		V/µs
			G = +8V/V		5000		V/µs
	立ち上がり / 立ち下がり時間	G = +8V/V	V_O = 0.5-V ステップ		0.65		ns
			V_O = 4V ステップ		0.7		
	セトリング タイム	0.5% まで、V_O = 2-V ステップ、G = +8V/V			10		ns
HD2	2 次高調波歪み	f = 10MHz	V_O = 2 V_{PP}、R_L = 100Ω		-75		dBc
			V_O = 2 V_{PP}、R_L = 500Ω		-78		
HD3	3 次高調波歪み	f = 10MHz	V_O = 2 V_{PP}、R_L = 100Ω		-92		dBc
			V_O = 2 V_{PP}、R_L = 500Ω		-86		
e_n	入力電圧ノイズ	f > 1MHz			2		nV/√Hz
i_{n+}	非反転入力電流ノイズ	f > 1MHz			14		pA/√Hz
i_{n-}	反転入力電流ノイズ	f > 1MHz			22		pA/√Hz
DC 特性							
Z_{OL}	開ループ トランスインピーダンス ゲイン			45	300		kΩ
		T_A = -40℃ ～ +85℃		41			
V_{OS}	入力オフセット電圧	V_{CM} = 0V			±0.3	±3	mV
			T_A = –40℃～+85℃			±4	
	平均入力オフセット電圧ドリフト	V_{CM} = 0V、T_A = −40°C ～ +85°C			3	±15	µV/°C
	非反転入力バイアス電流	V_{CM} = 0V			13	±30	µA
			T_A = –40℃～+85℃			±41	
	平均非反転入力バイアス電流ドリフト	V_{CM} = 0V、T_A = −40°C ～ +85°C			60	180	nA/°C
	反転入力バイアス電流	V_{CM} = 0V			±5	±60	µA
			T_A = –40℃～+85℃			±70	
	平均反転入力バイアス電流ドリフト	V_{CM} = 0V、T_A = −40°C ～ +85°C			±16	±160	nA/°C
入力特性							
CMIR	同相入力範囲 (1)			±3.1	±3.4		V
		T_A = -40℃ ～ +85℃		±3.0			
CMRR	同相除去比	で ΔVIN = 2V		51	65		dB
			T_A = –40℃～+85℃	50			
	非反転入力インピーダンス				450 || 2		kΩ || pF
	反転入力抵抗	開ループ			20		Ω

5.5 電気的特性 V_S = ±5V、OPA695ID、OPA695IDBV、OPA695DSG (続き)

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 402Ω、R_L = 100Ω ～ V_S /2。

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力特性							
	出力電圧スイング	無負荷		±3.95	±4.05		V
			T_A = –40℃～+85℃	±3.85			
		R_L = 100 Ω		±3.65	±3.75		
			T_A = –40℃～+85℃	±3.55			
I_O	出力電流、ソース	V_O = 0V		90	140		mA
			T_A = –40℃～+85℃	70			
	出力電流、シンク	V_O = 0V			-140	–90	
			T_A = –40℃～+85℃			–70	
Z_O	閉ループ出力インピーダンス	G = +8V/V、f = 100kHz			0.02		Ω
電源							
I_Q	静止時電流			11.7	14	15.6	mA
		T_A = –40℃～+85℃		10		18	
-PSRR	負の電源電圧変動除去比			51	72		dB
		T_A = –40℃～+85℃		48			
ディセーブル モード ($\overline{DIS}$ Low)							
	パワーダウン静止時電流	$V_{\overline{DIS}}$ = 0V			160	200	μA
			T_A = –40℃～+85℃			210	
	ディセーブル時間	V_{IN} = ±0.25V_{DC}			4		μs
	イネーブル時間	V_{IN} = ±0.25V_{DC}			80		ns
	オフ アイソレーション	G = +8V/V、f = 10MHz			70		dB
	ディスエーブル時の出力容量				2.5		pF
	電圧スレッショルド有効化				3	3.5	V
		T_A = –40℃～+85℃				3.7	
	電圧スレッショルド無効化			1.7	2.3		V
		T_A = –40℃～+85℃		1.5			
	$\overline{DIS}$ 制御ピンの入力バイアス電流	$V_{\overline{DIS}}$ = 0V			95	130	μA
			T_A = –40℃～+85℃			145	
	出力ピンの抵抗への帰還	$V_{\overline{DIS}}$ = 0V、DSG パッケージ			1		Ω

(1) ±CMIR 制限において、規定されている最小 CMRR より 3dB 未満でテスト済み。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 V_S = 5V、OPA695ID、OPA695IDBV、OPA695DSG

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 348Ω、R_L = 100Ω ～ V_S /2。

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅	V_O = 0.5V_{PP}	G = +1V/V、R_F = 511Ω		1200		MHz
			G = +2V/V、R_F = 487Ω		700		
			G = +8V/V、R_F = 348Ω		500		
			G = +16V/V、R_F = 162Ω		410		
	0.2dB ゲイン平坦度の帯域幅	V_O = 0.5V_{PP}、G = +2V/V、R_F = 487Ω			110		MHz
	+1V/V のゲインでのピーキング	V_O = 0.5 V_{PP}、R_F = 511Ω			2.2		dB
LSBW	大信号帯域幅	V_O = 2V_{PP}、G = +8V/V			430		MHz
SR	スルー レート	V_O = 2-V ステップ、G = +8V/V			2500		V/µs
	立ち上がり / 立ち下がり時間	G = +8V/V	V_O = 0.5-V ステップ		0.7		ns
			V_O = 2V ステップ		0.8		
	0.5% までのセトリング タイム	V_O = 2V ステップ G = +8V/V			10		ns
HD2	2 次高調波歪み	f = 10MHz	V_O = 2 V_{PP}、R_L = 100Ω		-69		dBc
			V_O = 2 V_{PP}、R_L = 500Ω		-68		
HD3	3 次高調波歪み	f = 10MHz	V_O = 2 V_{PP}、R_L = 100Ω		-62		dBc
			V_O = 2 V_{PP}、R_L = 500Ω		-63		
e_n	入力電圧ノイズ	f > 1MHz			1.9		nV/√Hz
i_{n+}	非反転入力電流ノイズ	f > 1MHz			14		pA/√Hz
i_{n-}	反転入力電流ノイズ	f > 1MHz			22		pA/√Hz
DC 特性							
Z_{OL}	開ループ トランスインピーダンス ゲイン			40	250		kΩ
		T_A = -40℃ ～ +85℃		36			
V_{OS}	入力オフセット電圧	V_{CM} = V_S/2			±0.3	±3	mV
			T_A = –40℃～+85℃			±4	
	平均入力オフセット電圧ドリフト	V_{CM} = V_S/2、T_A = –40°C ～ +85°C			±4	±15	µV/℃
	非反転入力バイアス電流	V_{CM} = V_S/2			15	±40	µA
			T_A = –40℃～+85℃			±50	
	平均非反転入力バイアス電流ドリフト	V_{CM} = V_S/2、T_A = –40°C ～ +85°C			60	±170	nA/℃
	反転入力バイアス電流	V_{CM} = V_S/2			±5	±60	µA
			T_A = –40℃～+85℃			±70	
	平均反転入力バイアス電流ドリフト	V_{CM} = V_S/2、T_A = –40°C ～ +85°C			±16	±160	nA/℃
入力特性							
CMIR	同相入力範囲 (正の)			3.2	3.4		V
		T_A = -40℃ ～ +85℃		3.1			
	同相入力範囲 (負の)				1.6	1.8	
		T_A = -40℃ ～ +85℃				1.9	
CMRR	同相除去比	ΔVIN = 0.5V		51	65		dB
			T_A = –40℃～+85℃	50			
	非反転入力抵抗				250 || 2		kΩ || pF
	反転入力抵抗	開ループ			21		Ω

5.6 電気的特性 V_S = 5V、OPA695ID、OPA695IDBV、OPA695DSG (続き)

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 348Ω、R_L = 100Ω ～ V_S /2。

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力特性							
V_O	出力電圧スイング (最も正)	無負荷		3.95	4.05		V
			T_A = –40℃～85℃	3.75			
	出力電圧スイング (最小正)	無負荷			0.9	1.05	
			T_A = –40℃～+85℃			1.25	
I_O	出力電流、ソース	V_O = V_S/2		70	100		mA
			T_A = –40℃～+85℃	66			
	出力電流、シンク	V_O = V_S/2			-100	–70	
			T_A = –40℃～+85℃			-60	
Z_{OUT}	閉ループ出力インピーダンス	G = +2V/V、f = 100kHz			0.02		Ω
電源							
I_Q	静止時電流			10.9	13	14.4	mA
		T_A = –40℃～+85℃		9.1		17.1	
-PSRR	負の電源電圧変動除去比				69		dB
ディセーブル モード ($\overline{DIS}$ Low)							
	パワーダウン静止時電流 (+V_S)	$V_{\overline{DIS}}$ = 0V			120	160	μA
			T_A = –40℃～+85℃			180	
	ディセーブル時間	V_{IN} = ±0.25V_{DC}			5		μs
	イネーブル時間	V_{IN} = ±0.25V_{DC}			80		ns
	オフ アイソレーション	G = +8V/V、f = 10MHz			70		dB
	ディスエーブル時の出力容量				2.5		pF
	電圧スレッショルド有効化				3.1	3.5	V
		T_A = –40℃～+85℃				3.7	
	電圧スレッショルド無効化			1.7	2.4		V
		T_A = –40℃～+85℃		1.5			
	$\overline{DIS}$ 制御ピンの入力バイアス電流				95	130	μA
		T_A = –40℃～+85℃				149	

Copyright © 2025 Texas Instruments Incorporated

5.7 電気的特性：V_S = ±5V、OPA695IDGK

特に記述のない限り、T_A = +25℃、G = +8V/V、R_S= ±5V、R_F = 402Ω、R_L = 100Ω ～ V_S /2。

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅	V_O = 0.5V_{PP}	G = +1V/V、R_F = 523Ω		1700		MHz
			G = +2V/V、R_F = 511Ω		1400		
			G = +8V/V、R_F = 402Ω		450		
			G = +16V/V、R_F = 249Ω		350		
	0.2dB ゲイン平坦度の帯域幅	G = +2V/V、V_O = 0.5 V_{PP}、R_F = 511Ω			320		MHz
	+1V/V のゲインでのピーキング	R_F = 523Ω、V_O = 0.5V_{PP}			4.6		dB
LSBW	大信号帯域幅	G = +8V/V、V_O = 4V_{PP}			450		MHz
SR	スルー レート	V_O = 4V ステップ	G = -8V/V		4300		V/µs
			G = +8V/V		2900		
	立ち上がりおよび立ち下がり時間	G = +8V/V	V_O = 0.5-V ステップ		0.8		ns
			V_O = 4V ステップ		1		
	セトリング タイム	V_O = 2V ステップ、0.02%			16		ns
		V_O = 2V ステップ、0.1%			10		
HD2	2 次高調波歪み	f = 10MHz	V_O = 2 V_{PP}、R_L = 100Ω		-65		dBc
			V_O = 2 V_{PP}、R_L = 500Ω		-78		
HD3	3 次高調波歪み	f = 10MHz	V_O = 2 V_{PP}、R_L = 100Ω		-86		dBc
			V_O = 2 V_{PP}、R_L = 500Ω		-86		
e_n	入力電圧ノイズ	f > 1MHz			1.8		nV/√Hz
i_{n+}	非反転入力電流ノイズ	f > 1MHz			18		pA/√Hz
i_{n-}	反転入力電流ノイズ	f > 1MHz			22		pA/√Hz
DC 特性							
Z_{OL}	開ループ トランスインピーダンス ゲイン	V_O = 0V		45	85		kΩ
			T_A = –40℃～+85℃	41			
V_{OS}	入力オフセット電圧	V_{CM} = 0V			±0.3	±3	mV
			T_A = –40℃～+85℃			±4	
	平均入力オフセット電圧ドリフト	V_{CM} = 0V、T_A = −40°C ～ +85°C				±15	µV/℃
	非反転入力バイアス電流	V_{CM} = 0V			13	±30	µA
			T_A = –40℃～+85℃			±41	
	平均非反転入力バイアス電流ドリフト	V_{CM} = 0V、T_A = T_A−40°C ～ +85°C				+150	nA/℃
	反転入力バイアス電流	V_{CM} = 0V			±20	±60	µA
			T_A = –40℃～+85℃			±70	
	平均反転入力バイアス電流ドリフト	V_{CM} = 0V、T_A = T_A−40°C ～ +85°C				±160	nA/℃
入力特性							
CMIR	同相入力範囲 (1)			±3.1	±3.3		V
		T_A = -40℃ ～ +85℃		±3			
CMRR	同相除去比	V_{CM} = 0V		51	56		dB
			T_A = –40℃～+85℃	50			
	非反転入力インピーダンス				280 || 1.2		kΩ || pF
R_I	反転入力抵抗	開ループ			29		Ω

5.7 電気的特性：V_S = ±5V、OPA695IDGK (続き)

特に記述のない限り、T_A = +25℃、G = +8V/V、R_S= ±5V、R_F = 402Ω、R_L = 100Ω ～ V_S /2。

パラメータ		テスト条件		最小値	標準値	最大値	単位
出力特性							
V_O	出力電圧スイング	無負荷		±4	±4.2		V
			T_A = –40℃～+85℃	±3.9			
		R_L = 100 Ω		±3.7	±3.9		
			T_A = –40℃～+85℃	±3.6			
I_O	出力電流、ソース	V_O = 0V		90	120		mA
			T_A = –40℃～+85℃	70			
	出力電流、シンク	V_O = 0V			-120	-90	
			T_A = –40℃～+85℃			-70	
Z_{OUT}	閉ループ出力インピーダンス	G = +8V/V、f = 100kHz			0.04		Ω
電源							
I_Q	静止時電流			12.6	12.9	13.3	mA
		T_A = –40℃～+85℃		11		14.1	
-PSRR	負の電源電圧変動除去比			51	55		dB
		T_A = –40℃～+85℃		48			
ディセーブル モード ($\overline{DIS}$ Low)							
	パワーダウン静止時電流 (+V_S)	$V_{\overline{DIS}}$ = 0V			100	170	μA
			T_A = –40℃～+85℃			192	
	ディセーブル時間	V_{IN} = ±0.25V_{DC}			1		μs
	イネーブル時間	V_{IN} = ±0.25V_{DC}			25		ns
	オフ アイソレーション	G = +8V/V、f = 10MHz			70		dB
	ディスエーブル時の出力容量				4		pF
	ターン オン グリッチ	G = +2V/V、R_L = 150Ω、V_{IN} = 0V			±100		mV
	ターン オフ グリッチ	G = +2V/V、R_L = 150Ω、V_{IN} = 0V			±20		mV
	電圧スレッショルド有効化				3.3	3.5	V
		T_A = –40℃～+85℃				3.7	
	電圧スレッショルド無効化			1.7	1.8		V
		T_A = –40℃～+85℃		1.5			
	$\overline{DIS}$ 制御ピンの入力バイアス電流				75	130	μA
		T_A = –40℃～+85℃				145	

(1) ±CMIR 制限において、規定されている最小 CMRR より 3dB 未満でテスト済み。

Copyright © 2025 Texas Instruments Incorporated

5.8 電気的特性 V_S = 5V、OPA695IDGK

特に記述のない限り、T_A = +25℃、G = +8V/V、R_S= 5V、R_F = 348Ω、R_L = 100Ω ～ V_S /2。

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅	V_O = 0.5V_{PP}	G = +1V/V、R_F = 511Ω		1400		MHz
			G = +2V/V、R_F = 487Ω		960		
			G = +8V/V、R_F = 348Ω		395		
			G = +16V/V、R_F = 162Ω		235		
	0.2dB ゲイン平坦度の帯域幅	G = +2、V_O = 0.5V_{PP}、R_F = 487Ω			230		MHz
	+1V/V のゲインでのピーキング	R_F = 511Ω、V_O = 0.5V_{PP}			1	2	dB
LSBW	大信号帯域幅	G = +8V/V、V_O = 2V_{PP}			310		MHz
SR	スルー レート	G = +8V/V、V_O = 2-V ステップ			1700		V/µs
	立ち上がり / 立ち下がり時間 (10%～90%)	G = +8V/V	V_O = 0.5-V ステップ		1		ns
			V_O = 2V ステップ		1		
	セトリング タイム	0.02%まで、V_O = 2-V ステップ			16		ns
		0.1%まで、V_O = 2-V ステップ			10		ns
HD2	2 次高調波歪み	f = 10MHz	V_O = 2V_{PP}、R_L = 100Ω		-62	-58	dBc
			V_O = 2V_{PP}、R_L = 500Ω		-70	-66	
HD3	3 次高調波歪み	f = 10MHz	V_O = 2V_{PP}、R_L = 100Ω		-66	-64	dBc
			V_O = 2V_{PP}、R_L = 500Ω		-65	-63	
e_n	入力電圧ノイズ	f > 1MHz			1.8	2	nV/√Hz
i_{n+}	非反転入力電流ノイズ	f > 1MHz			18	19	pA/√Hz
i_{n-}	反転入力電流ノイズ	f > 1MHz			22	24	pA/√Hz
DC 特性							
Z_{OL}	開ループ トランスインピーダンス ゲイン	V_O = V_S/2		40	70		kΩ
			T_A = –40℃～+85℃	36			
	入力オフセット電圧	V_{CM} = V_S/2			±0.3	±3	mV
			T_A = –40℃～+85℃			±4	
	平均入力オフセット電圧ドリフト	V_{CM} = V_S/2、T_A = –40°C ～ +85°C				±15	µV/℃
	非反転入力バイアス電流	V_{CM} = V_S/2			±5	±40	µA
			T_A = –40℃～+85℃			±50	
	平均非反転入力バイアス電流ドリフト	V_{CM} = V_S/2、T_A = –40°C ～ +85°C				±170	nA/℃
	反転入力バイアス電流	V_{CM} = V_S/2			±5	±60	µA
			T_A = –40℃～+85℃			±70	
	平均反転入力バイアス電流ドリフト	V_{CM} = V_S/2、T_A = –40°C ～ +85°C				±160	nA/℃
入力特性							
CMIR	同相入力範囲 (正の)[(1)]			3.2	3.3		V
		T_A = –40℃～+85℃		3.1			
	同相入力範囲 (負の)[(1)]				1.7	1.8	
		T_A = –40℃～+85℃				1.9	
CMRR	同相除去比	V_{CM} = V_S/2		51	54		dB
			T_A = –40℃～+85℃	50			
	非反転入力抵抗				280 || 1.2		kΩ || pF
	反転入力抵抗	開ループ			32		Ω

5.8 電気的特性 V_S = 5V、OPA695IDGK (続き)

特に記述のない限り、T_A = +25℃、G = +8V/V、R_S= 5V、R_F = 348Ω、R_L = 100Ω ～ V_S /2。

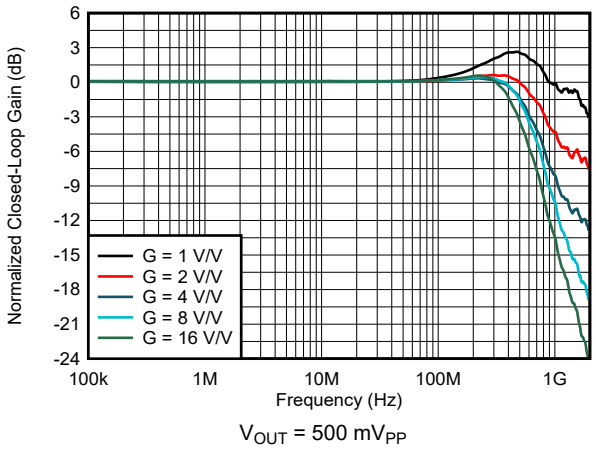
パラメータ		テスト条件		最小値	標準値	最大値	単位
出力特性							
V_O	出力電圧スイング (最も正)	無負荷		4.0	4.2		V
			T_A = –40℃～+85℃	3.8			
		R_L = 100Ω		3.9	4		
			T_A = –40℃～+85℃	3.7			
	出力電圧スイング (最小正)	無負荷			0.8	1	
			T_A = –40℃～+85℃			1.2	
		R_L = 100Ω			1	1.1	
			T_A = –40℃～+85℃			1.3	
I_O	出力電流、ソース	V_O = V_S/2		70	90		mA
			T_A = –40℃～+85℃	66			
	出力電流、シンク	V_O = V_S/2			-90	-70	
			T_A = –40℃～+85℃			-66	
Z_{OUT}	閉ループ出力インピーダンス	G = +2V/V、f = 100kHz			0.05		Ω
電源							
I_Q	静止時電流			10.9	11.4	12	mA
		T_A = –40℃～+85℃		9.1		12.9	
-PSRR	負の電源電圧変動除去比				56		dB
ディセーブル モード ($\overline{DIS}$ Low)							
	パワーダウン静止時電流	$V_{\overline{DIS}}$ = 0V			95	160	μA
			T_A = –40℃～+85℃			180	
	ディセーブル時間	V_{IN} = ±0.25V_{DC}			1		μs
	イネーブル時間	V_{IN} = ±0.25V_{DC}			25		ns
	オフ アイソレーション	G = +8V/V、f = 10MHz			70		dB
	ディスエーブル時の出力容量				4		pF
	ターン オン グリッチ	G = +2V/V、R_L = 150Ω、V_{IN} = 0V			±100		mV
	ターン オフ グリッチ	G = +2V/V、R_L = 150Ω、V_{IN} = 0V			±20		mV
	イネーブル電圧				3.3	3.5	V
		T_A = –40℃～+85℃				3.7	
	電圧スレッショルド無効化			1.7	1.8		V
		T_A = –40℃～+85℃		1.5			
	$\overline{DIS}$ 制御ピンの入力バイアス電流				75	130	μA
		T_A = –40℃～+85℃				149	

(1) ±CMIR 制限において、規定されている最小 CMRR より 3dB 未満でテスト済み。

Copyright © 2025 Texas Instruments Incorporated

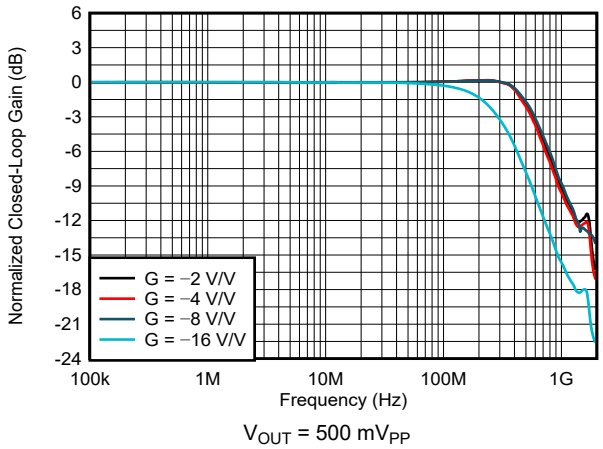
5.9 代表的特性：V_S = ±5V、OPA695IDBV、OPA695ID、OPA695DSG

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 402Ω、R_L = 100Ω。



V_{OUT} = 500 mV_{PP}

図 5-1. 非反転型の小信号周波数パルス応答



V_{OUT} = 500 mV_{PP}

図 5-2. 反転型の小信号周波数パルス応答

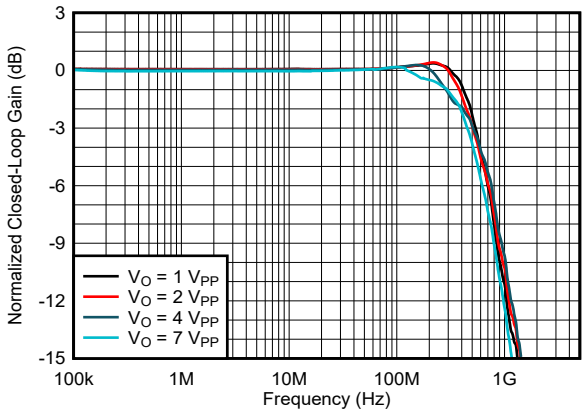
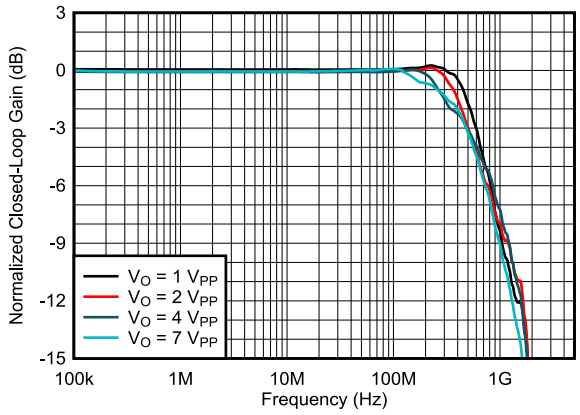


図 5-3. 非反転型の大信号周波数パルス応答



G = -8V/V

図 5-4. 反転型の大信号周波数パルス応答

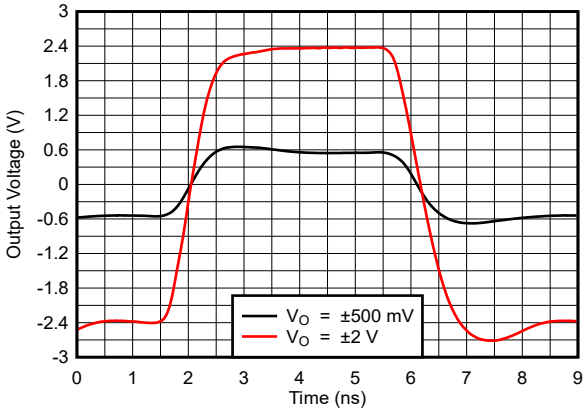
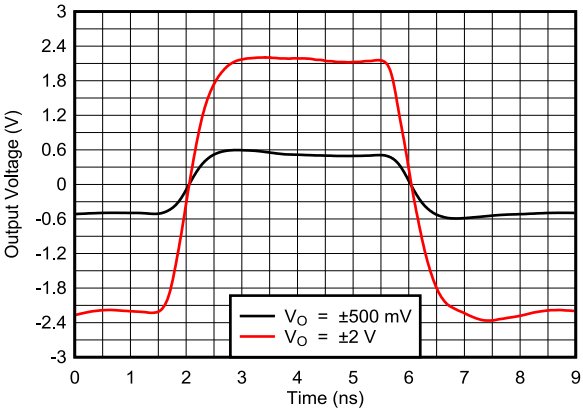


図 5-5. 非反転型の大信号と小信号周波数応答



G = -8V/V

図 5-6. 反転型の大信号と小信号周波数応答

5.9 代表的特性：V_S = ±5V、OPA695IDBV、OPA695ID、OPA695DSG (続き)

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 402Ω、R_L = 100Ω。

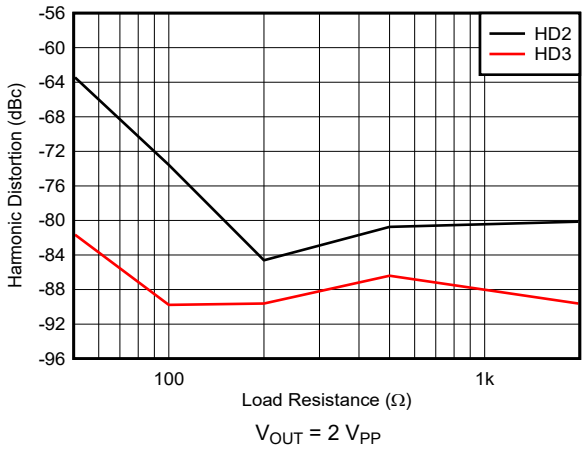


図 5-7. 10MHz 高調波歪みと負荷抵抗との関係

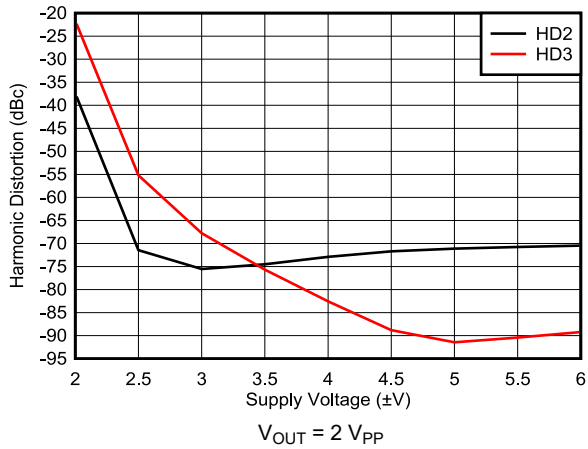


図 5-8. 10MHz 高調波歪みと電源電圧との関係

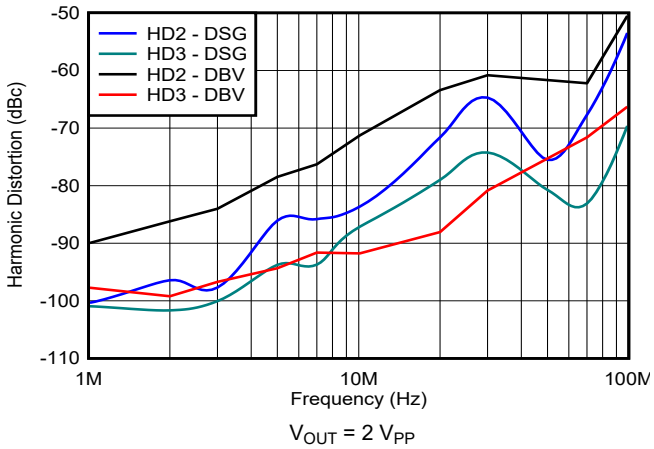


図 5-9. 高調波歪みと周波数との関係

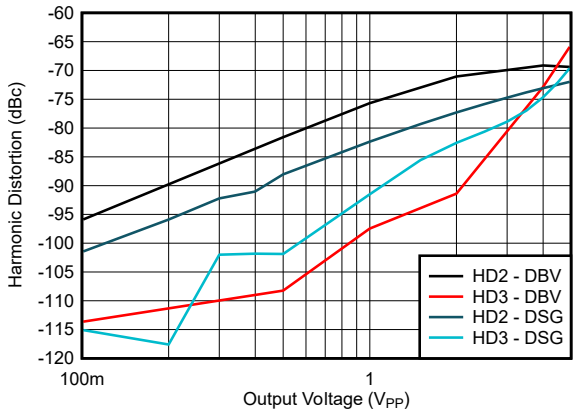


図 5-10. 10MHz 高調波歪みと出力電圧との関係

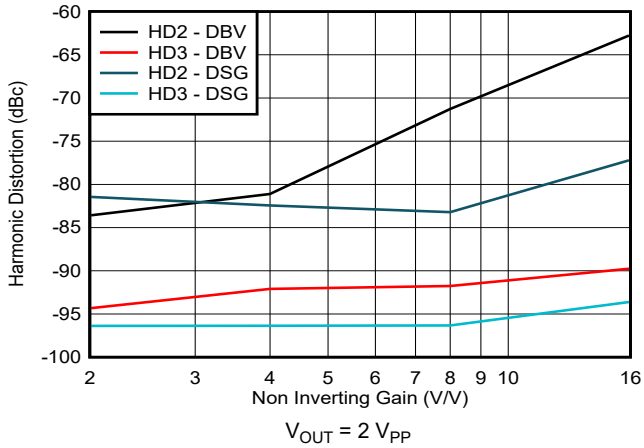


図 5-11. 10MHz 高調波歪みと非反転ゲインとの関係

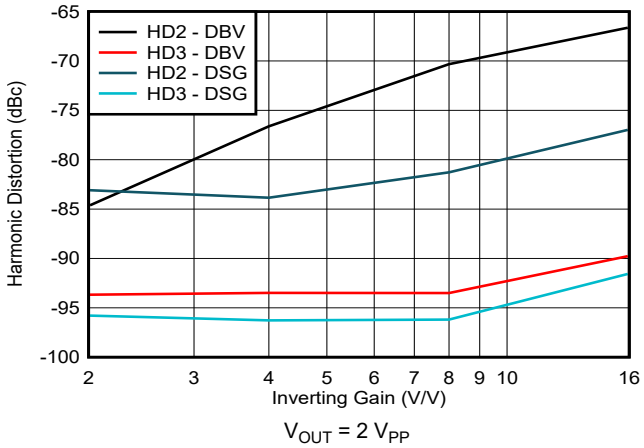


図 5-12. 10MHz 高調波歪みと反転ゲインとの関係

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性：V_S = ±5V、OPA695IDBV、OPA695ID、OPA695DSG (続き)

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 402Ω、R_L = 100Ω。

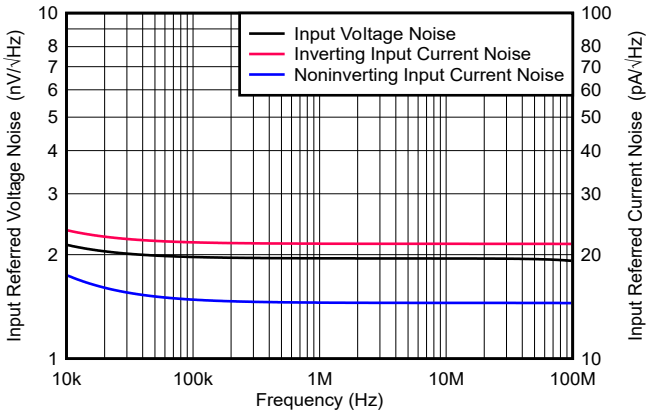


図 5-13. 入力電圧および電流ノイズ密度

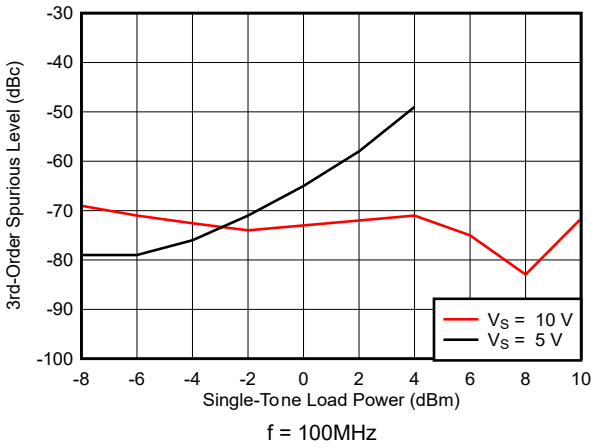


図 5-14. 2 トーンの 3 次相互変調歪と周波数との関係

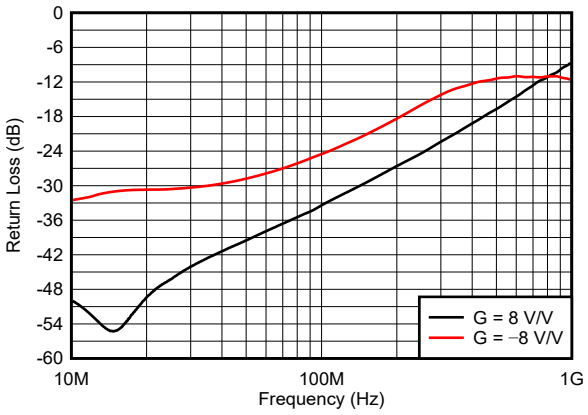


図 5-15. 入力リターン ロスと周波数との関係 (S_{11})

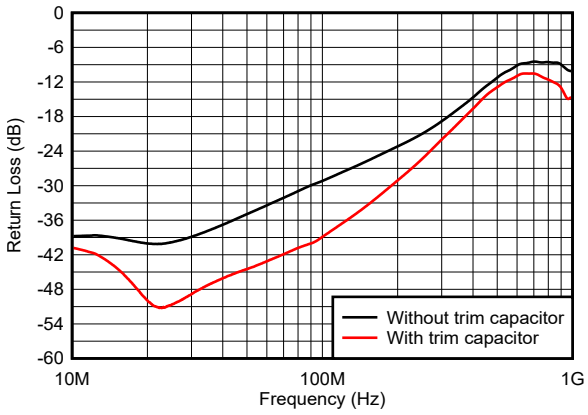


図 5-16. 出力リターン ロスと周波数との関係 (S_{22})

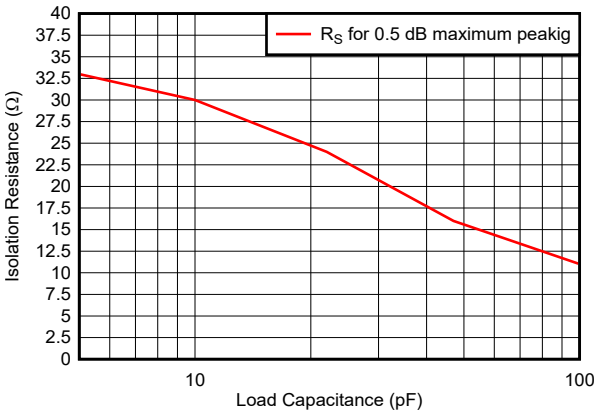


図 5-17. R_S と容量性負荷との関係

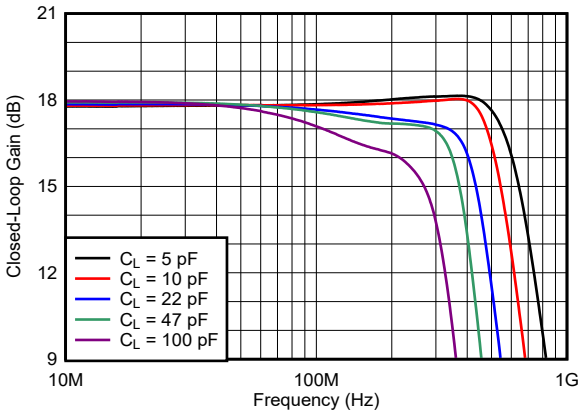


図 5-18. 小信号周波数応答と容量性負荷との関係

5.9 代表的特性：V_S = ±5V、OPA695IDBV、OPA695ID、OPA695DSG (続き)

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 402Ω、R_L = 100Ω。

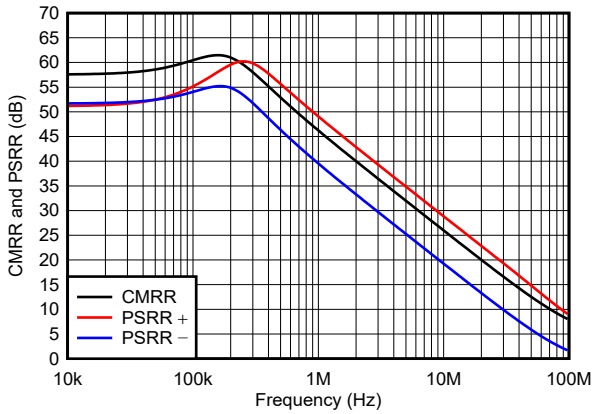


図 5-19. CMRR および PSRR と周波数との関係

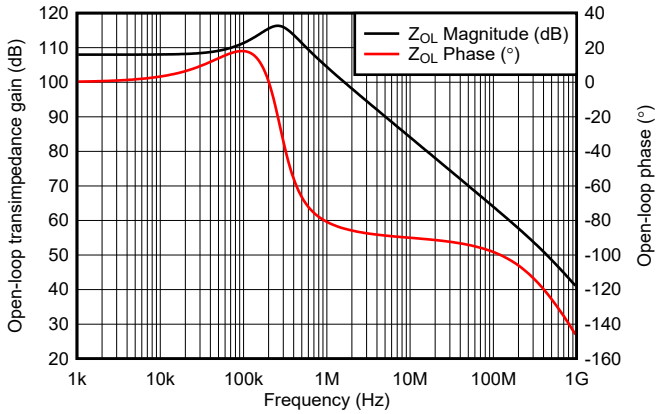


図 5-20. 開ループ トランスインピーダンスのゲインおよび位相

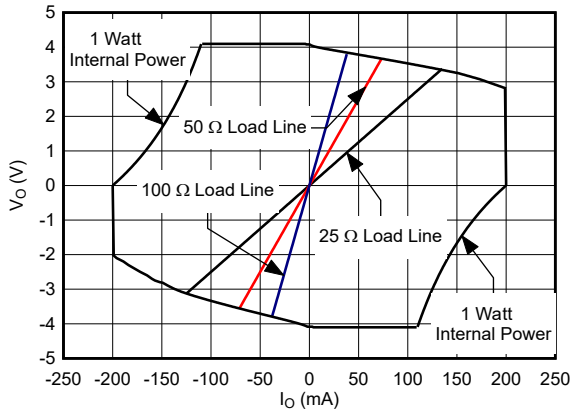


図 5-21. 出力電圧と電流の制限

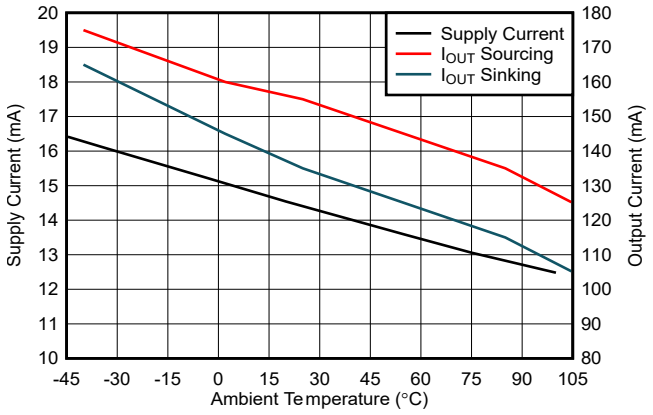


図 5-22. 電源および出力電流と温度との関係

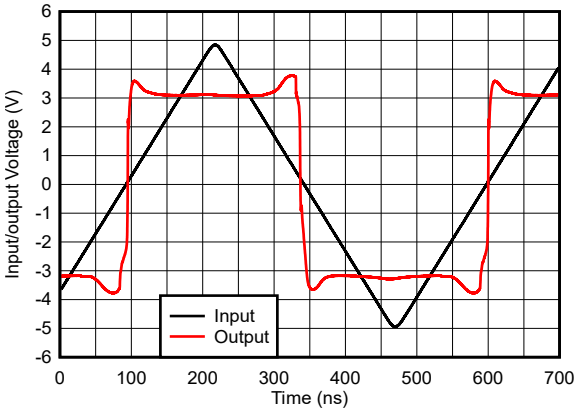


図 5-23. 非反転オーバードライブ回復

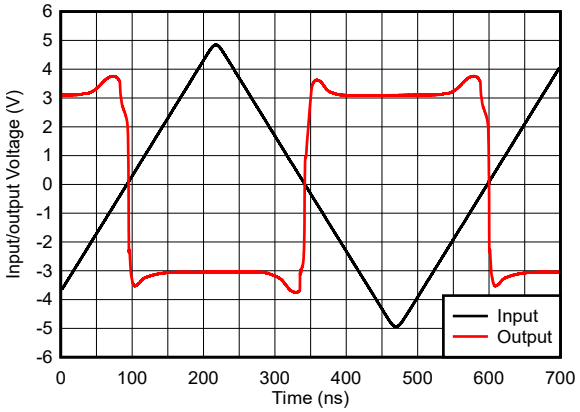


図 5-24. 反転オーバードライブ回復

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性：V_S = ±5V、OPA695IDBV、OPA695ID、OPA695DSG (続き)

特に記述のない限り、T_A = +25℃、G = +8V/V、R_F = 402Ω、R_L = 100Ω。

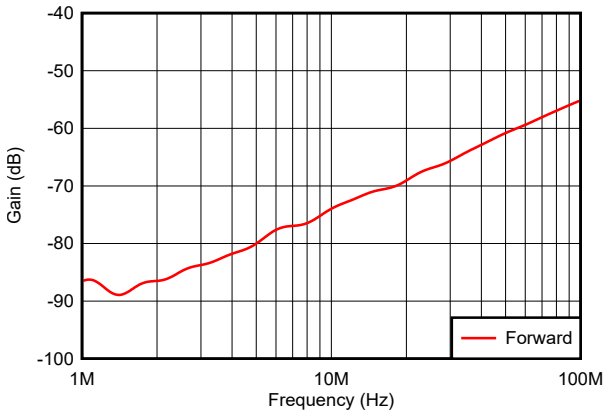


図 5-25. ディスエーブル フィードスルーと周波数との関係

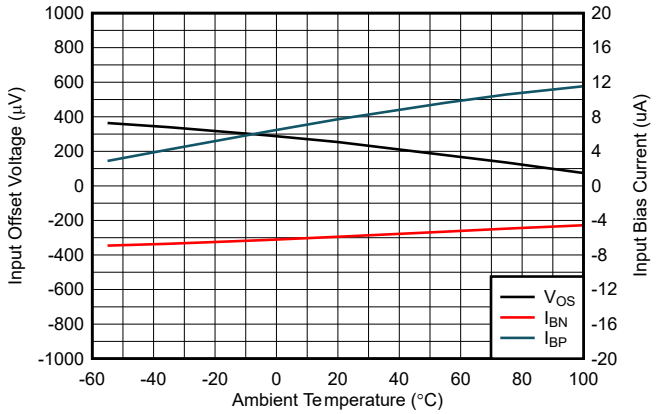


図 5-26. 温度に対する代表的な DC ドリフト

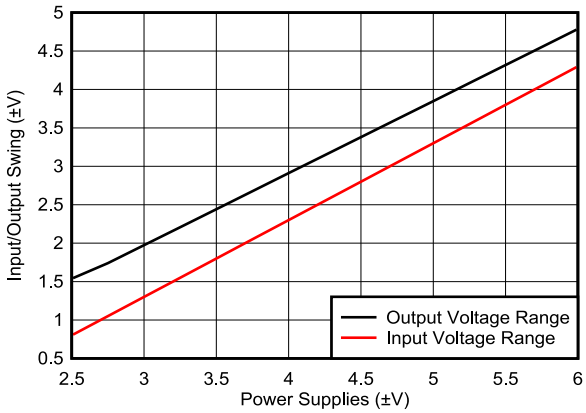


図 5-27. 同相モードの入力および出力スイングと電源電圧との関係

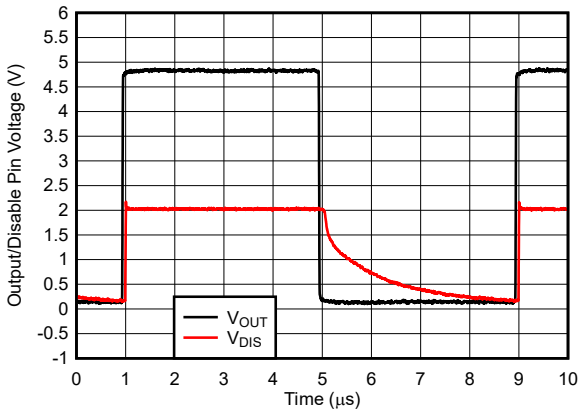


図 5-28. 大信号のディスエーブルおよびイネーブル応答

5.10 代表的特性：V_S = 5V、OPA695IDBV、OPA695ID、OPA695DSG

特に記述のない限り、G = +8V/V、R_F = 348Ω、R_L = 100Ω のとき。

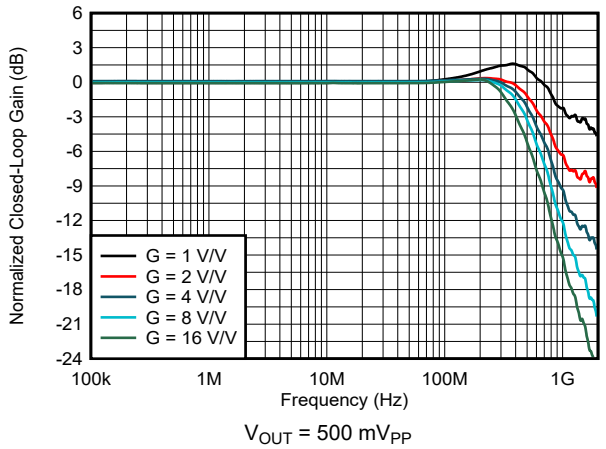


図 5-29. 非反転型の小信号周波数パルス応答

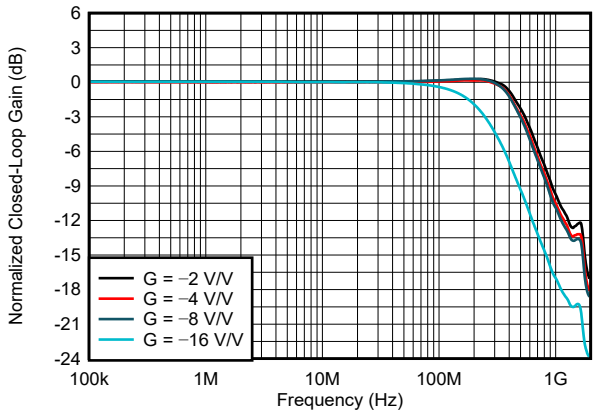


図 5-30. 反転型の小信号周波数パルス応答

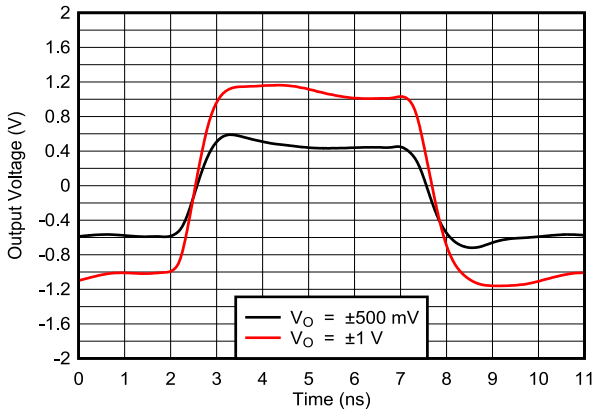


図 5-31. 非反転パルス応答

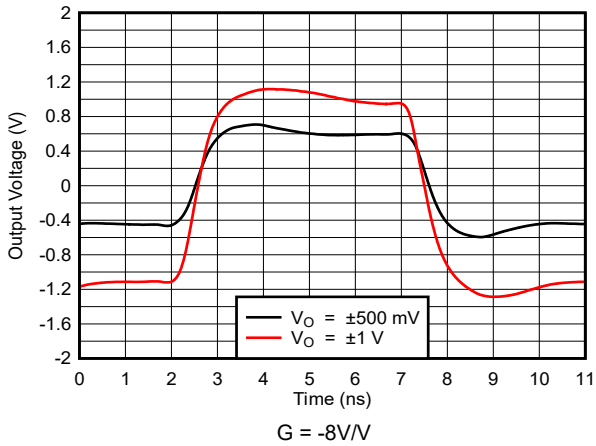


図 5-32. 反転パルス応答

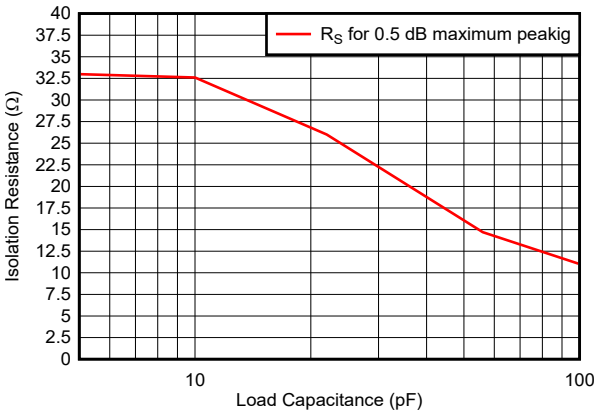


図 5-33. R_S と容量性負荷との関係

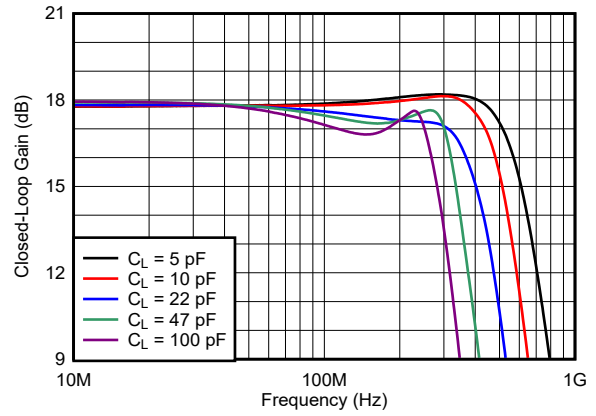


図 5-34. 小信号周波数応答と容量性負荷との関係

Copyright © 2025 Texas Instruments Incorporated

5.10 代表的特性：V_S = 5V、OPA695IDBV、OPA695ID、OPA695DSG (続き)

特に記述のない限り、G = +8V/V、R_F = 348Ω、R_L = 100Ω のとき。

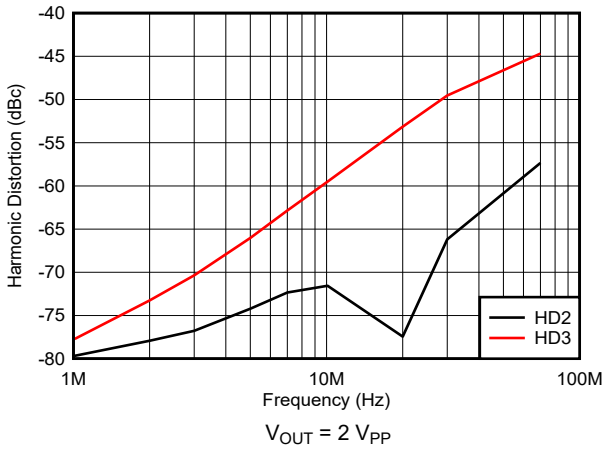


図 5-35. 高調波歪みと周波数との関係

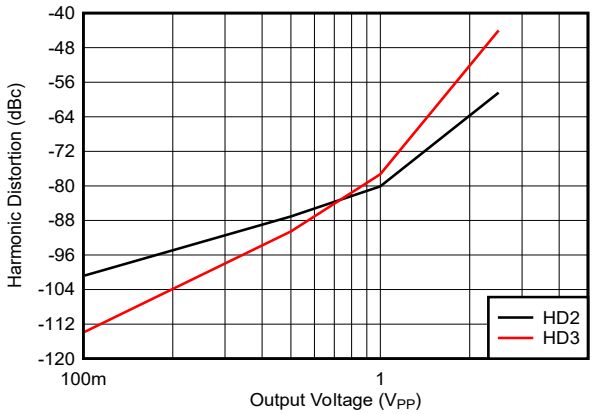


図 5-36. 10MHz 高調波歪みと出力電圧との関係

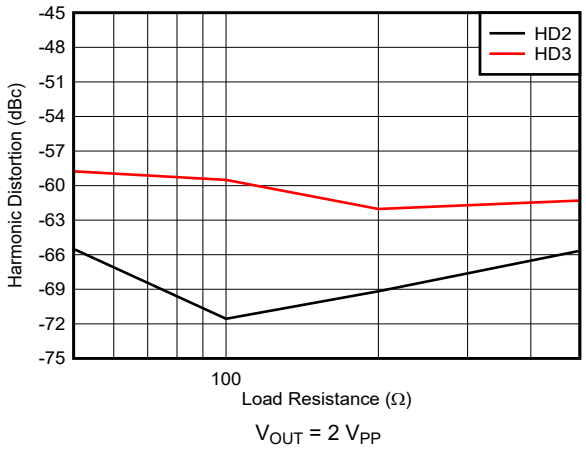


図 5-37. 10MHz 高調波歪みと負荷抵抗との関係

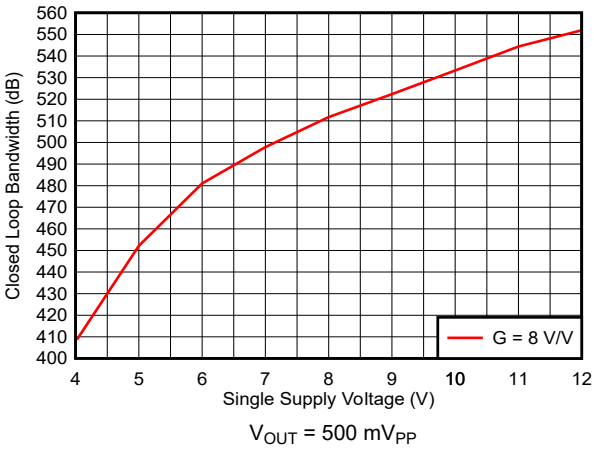


図 5-38. 小信号 BW と単一電源電圧との関係

5.11 代表的特性：V_S = ±5V、OPA695IDGK

特に記述のない限り、G = +8V/V、R_F = 402Ω、R_L = 100Ω のとき。

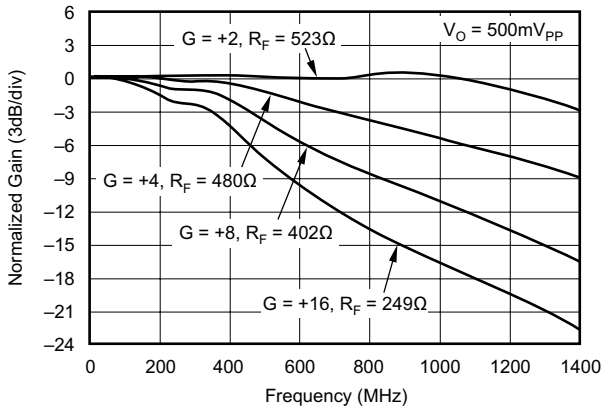


図 5-39. 非反転型の小信号周波数パルス応答

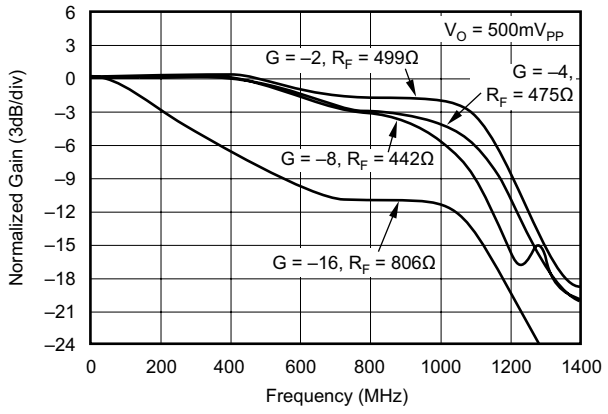


図 5-40. 反転型の小信号周波数パルス応答

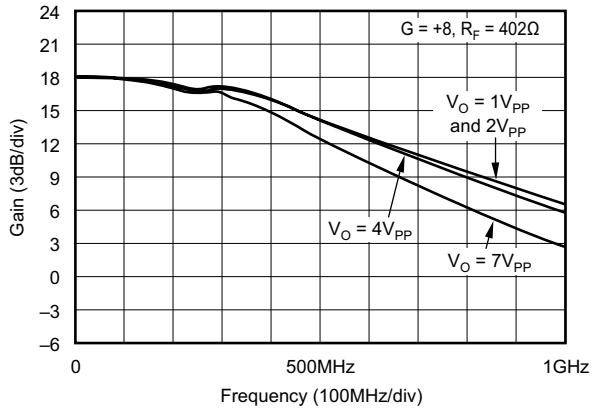


図 5-41. 非反転型の大信号周波数パルス応答

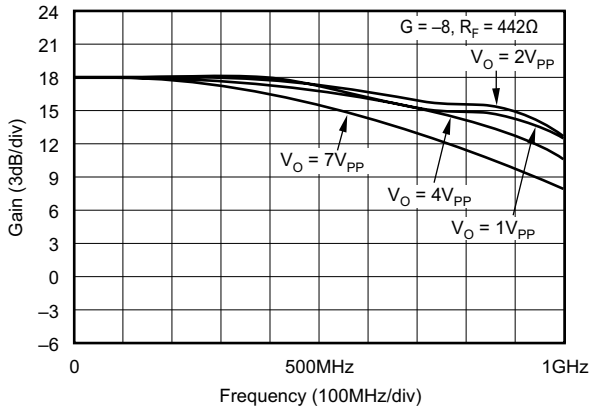


図 5-42. 反転型の大信号周波数パルス応答

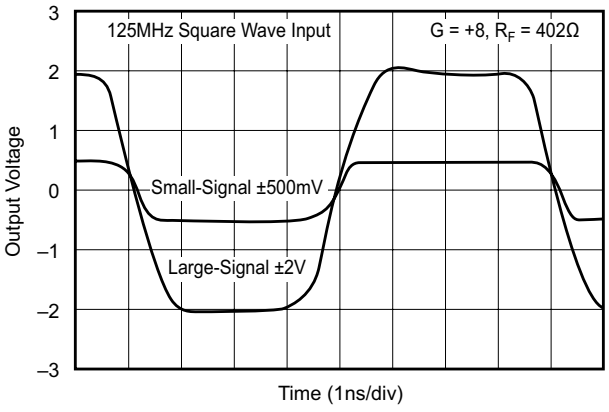


図 5-43. 非反転型の大信号と小信号周波数応答

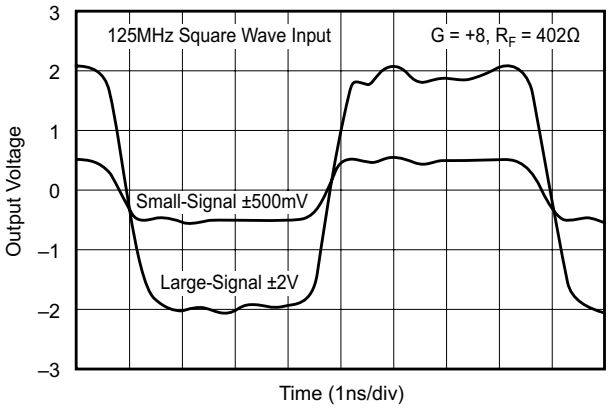


図 5-44. 反転型の大信号と小信号周波数応答

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性：V_S = ±5V、OPA695IDGK (続き)

特に記述のない限り、G = +8V/V、R_F = 402Ω、R_L = 100Ω のとき。

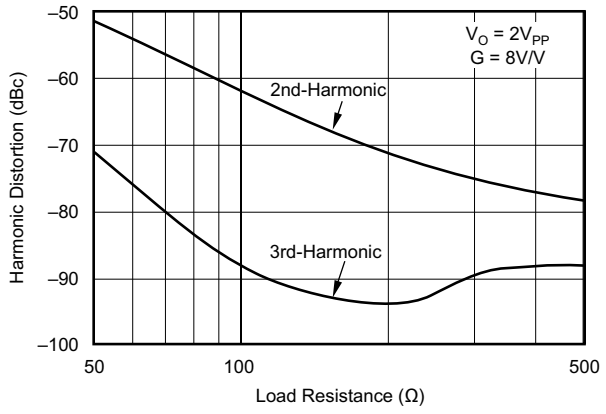


図 5-45. 10MHz 高調波歪みと負荷抵抗との関係

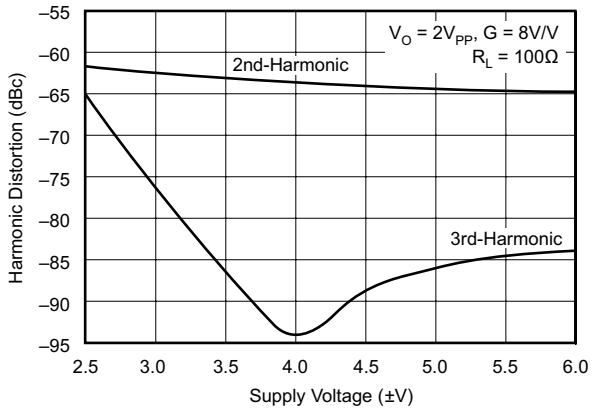


図 5-46. 10MHz 高調波歪みと電源電圧との関係

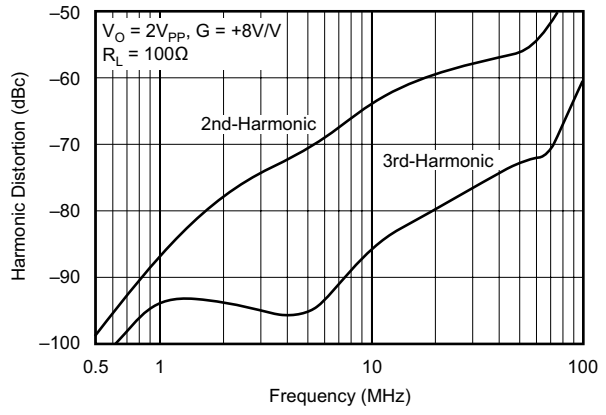


図 5-47. 高調波歪みと周波数との関係

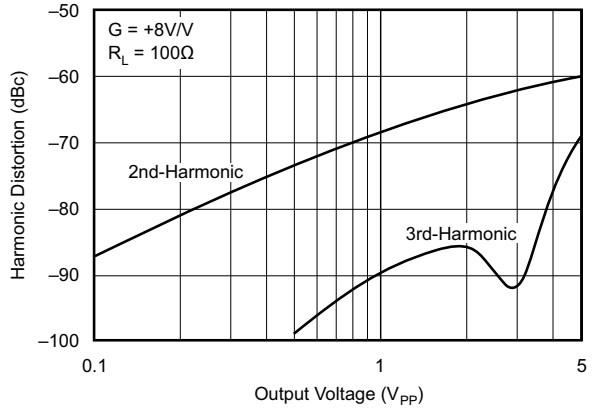


図 5-48. 10MHz 高調波歪みと出力電圧との関係

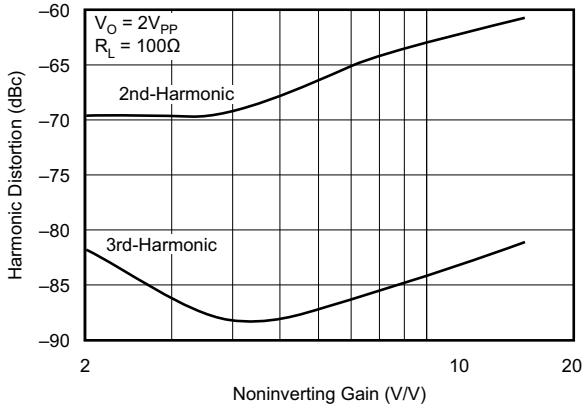


図 5-49. 10MHz 高調波歪みと非反転ゲインとの関係

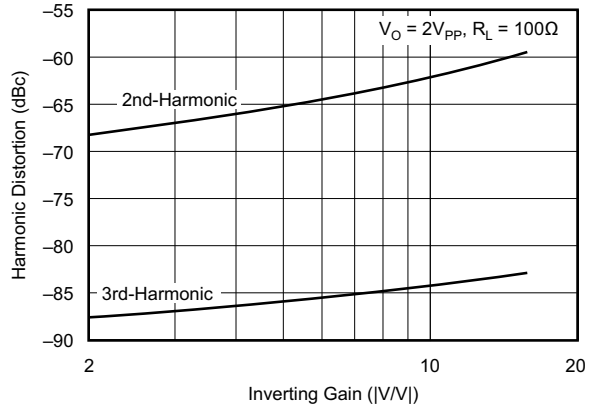


図 5-50. 10MHz 高調波歪みと反転ゲインとの関係

5.11 代表的特性：V_S = ±5V、OPA695IDGK (続き)

特に記述のない限り、G = +8V/V、R_F = 402Ω、R_L = 100Ω のとき。

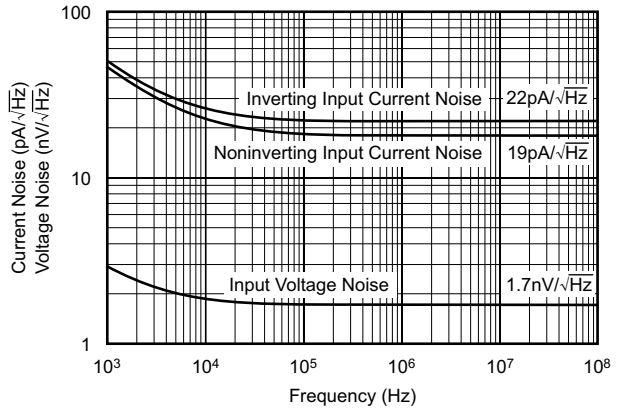


図 5-51. 入力電圧および電流ノイズ密度

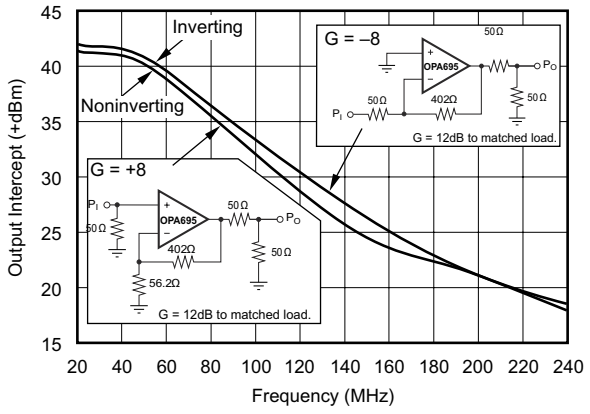


図 5-52. ツートーンの 3rd 注文インターモジュレーション インターセプト

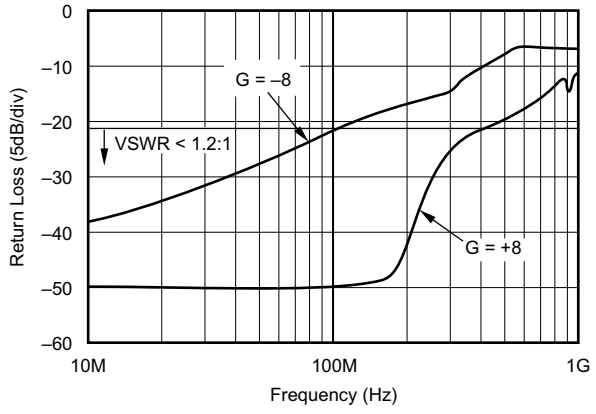


図 5-53. 入力リターン ロスと周波数との関係 (S_{11})

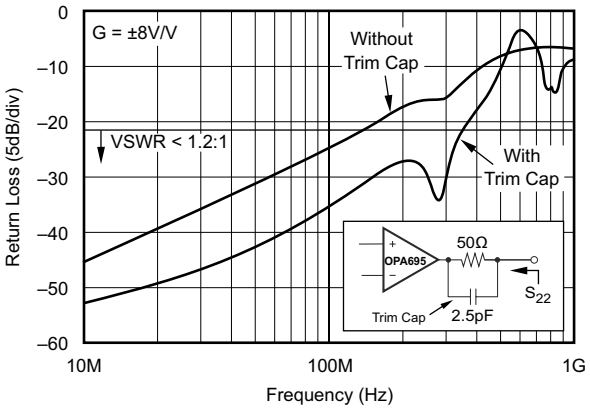


図 5-54. 出力リターン ロスと周波数との関係 (S_{22})

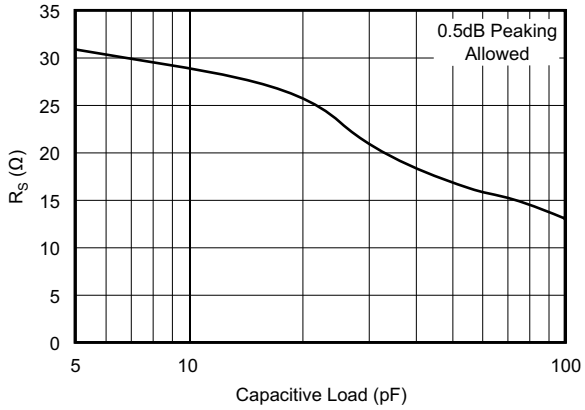


図 5-55. R_S と容量性負荷との関係

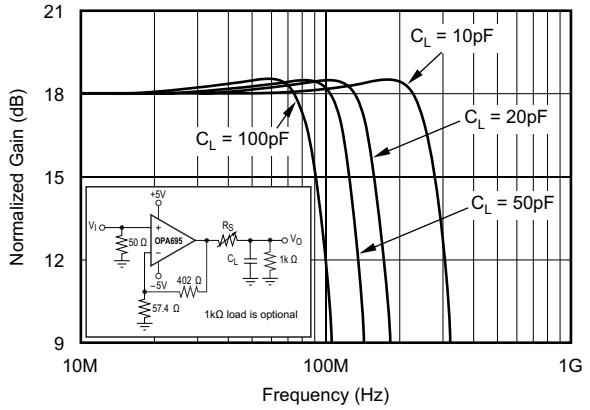


図 5-56. 小信号周波数応答と容量性負荷との関係

Copyright © 2025 Texas Instruments Incorporated

5.11 代表的特性：V_S = ±5V、OPA695IDGK (続き)

特に記述のない限り、G = +8V/V、R_F = 402Ω、R_L = 100Ω のとき。

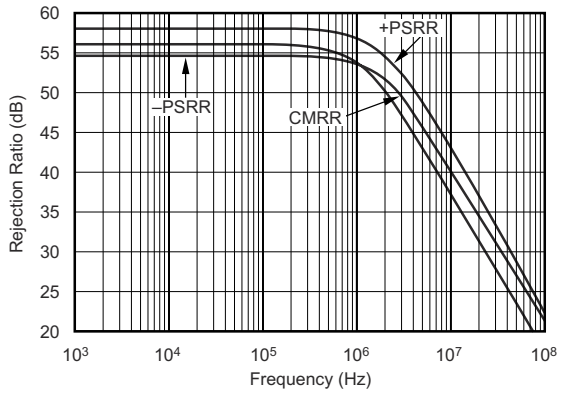


図 5-57. CMRR および PSRR と周波数との関係

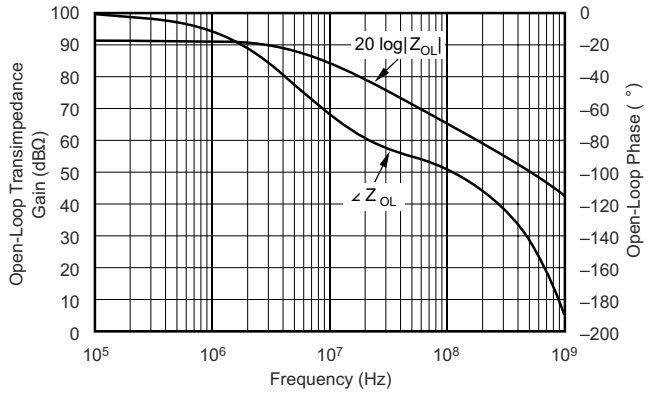


図 5-58. 開ループ トランスインピーダンスのゲインおよび位相

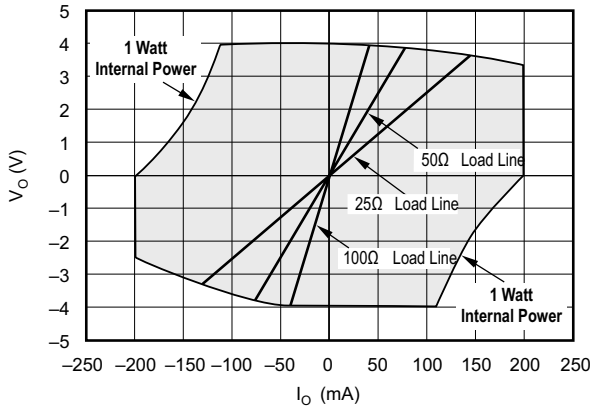


図 5-59. 出力電圧と電流の制限

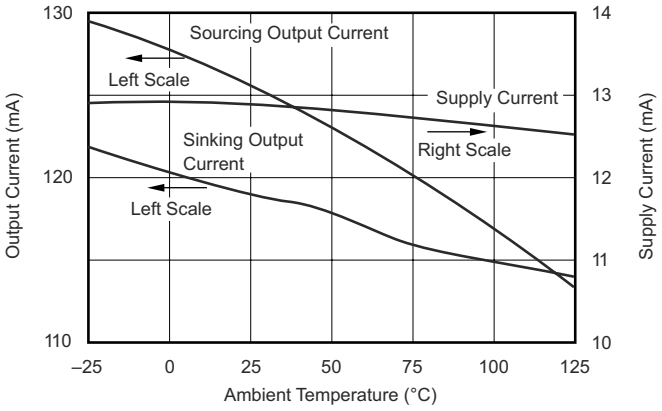


図 5-60. 電源および出力電流と温度との関係

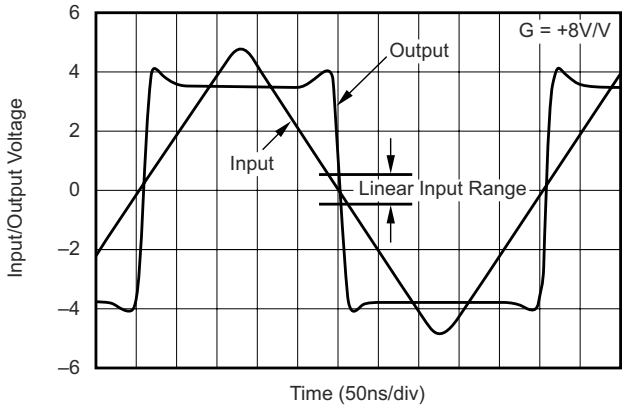


図 5-61. 非反転オーバードライブ回復

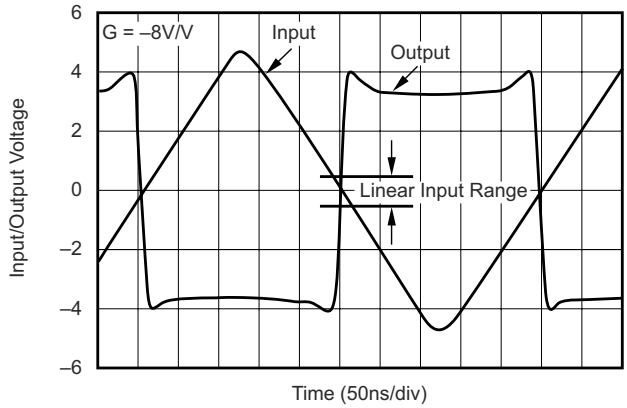


図 5-62. 反転オーバードライブ回復

5.11 代表的特性：V_S = ±5V、OPA695IDGK (続き)

特に記述のない限り、G = +8V/V、R_F = 402Ω、R_L = 100Ω のとき。

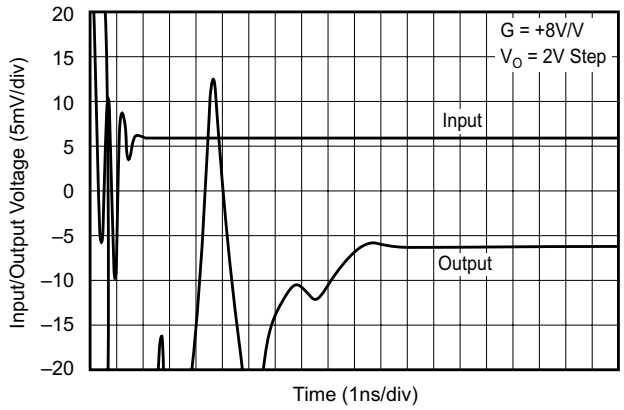


図 5-63. セトリング タイム

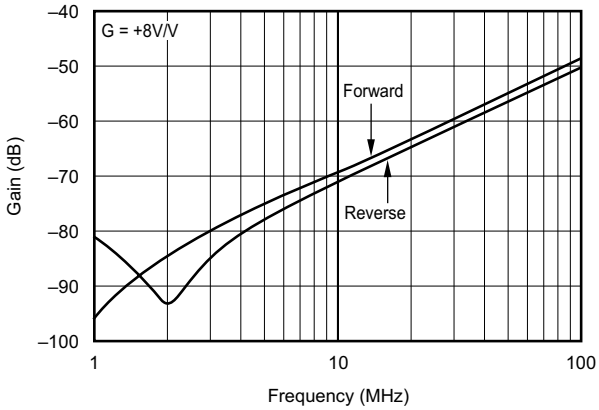


図 5-64. ディスエーブル フィードスルーと周波数との関係

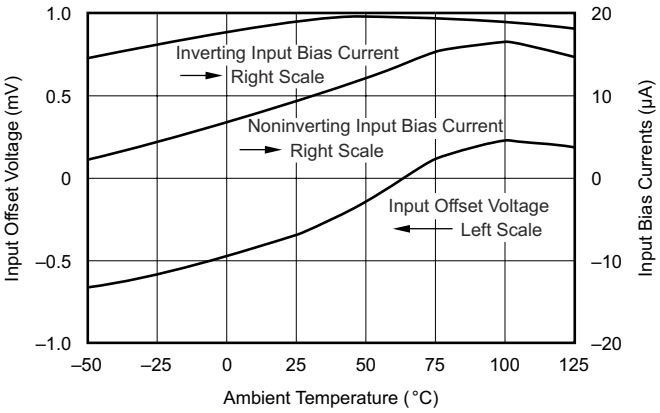


図 5-65. 温度に対する代表的な DC ドリフト

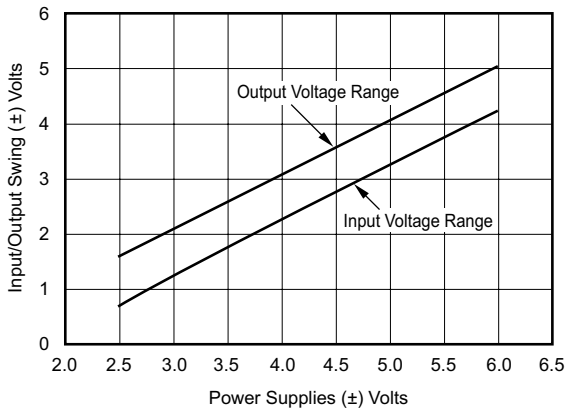


図 5-66. 同相モードの入力および出力スイングと電源電圧との関係

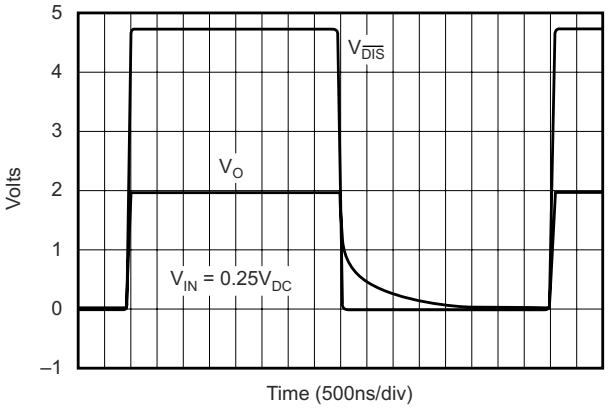


図 5-67. 大信号のディスエーブルおよびイネーブル応答

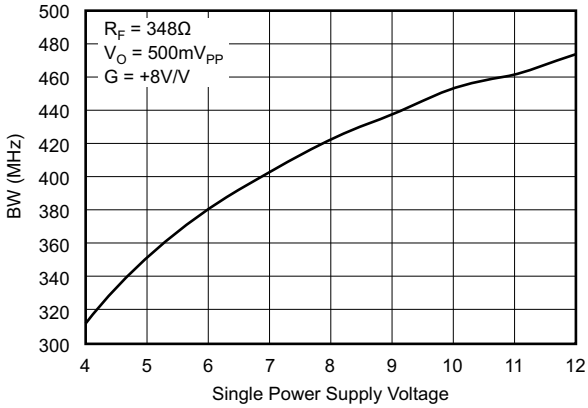


図 5-68. 小信号 BW と単一電源電圧との関係

Copyright © 2025 Texas Instruments Incorporated

5.12 代表的特性：V_S = 5V、OPA695IDGK

特に記述のない限り、G = +8V/V、R_F = 348Ω、R_L = 100Ω のとき。

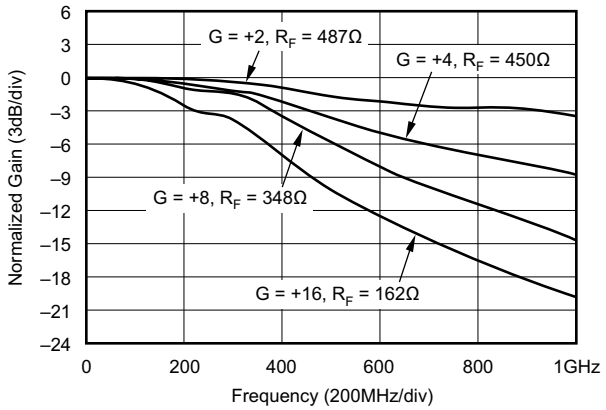


図 5-69. 非反転型の小信号周波数パルス応答

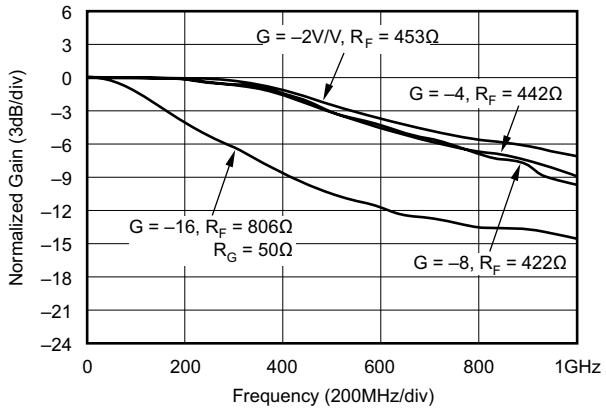


図 5-70. 反転型の小信号周波数パルス応答

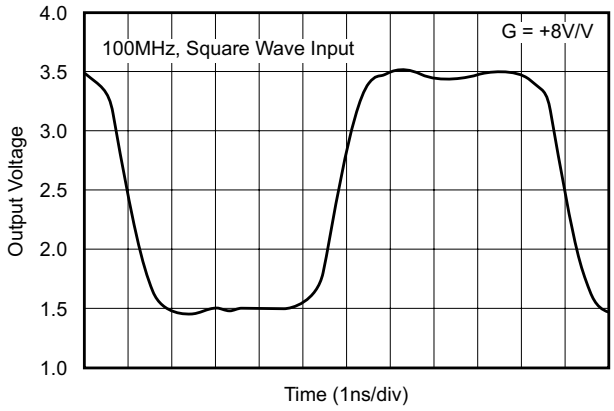


図 5-71. 非反転パルス応答

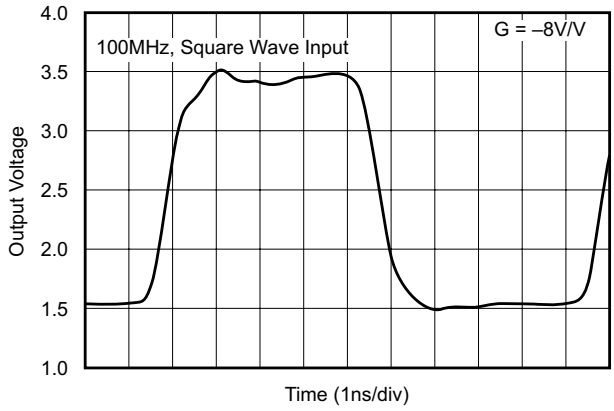


図 5-72. 反転パルス応答

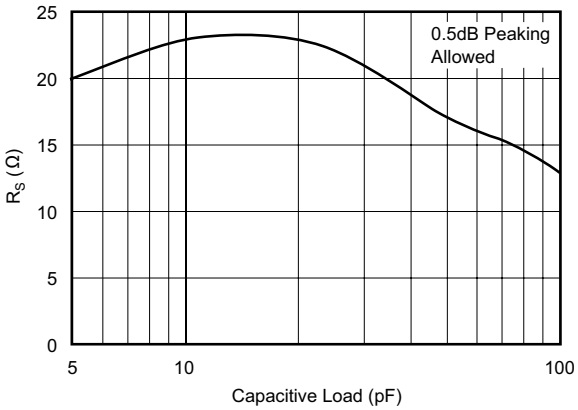


図 5-73. R_S と容量性負荷との関係

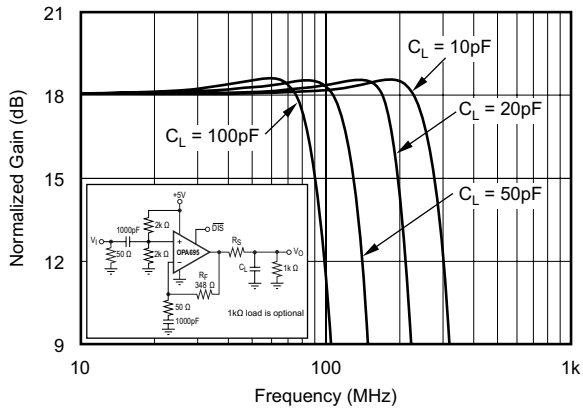


図 5-74. 小信号周波数応答と容量性負荷との関係

5.12 代表的特性：V_S = 5V、OPA695IDGK (続き)

特に記述のない限り、G = +8V/V、R_F = 348Ω、R_L = 100Ω のとき。

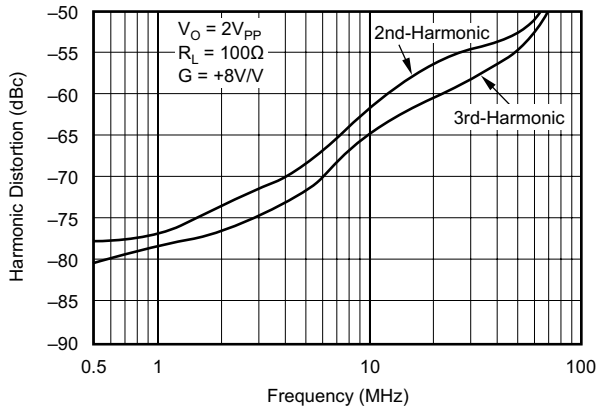


図 5-75. 高調波歪みと周波数との関係

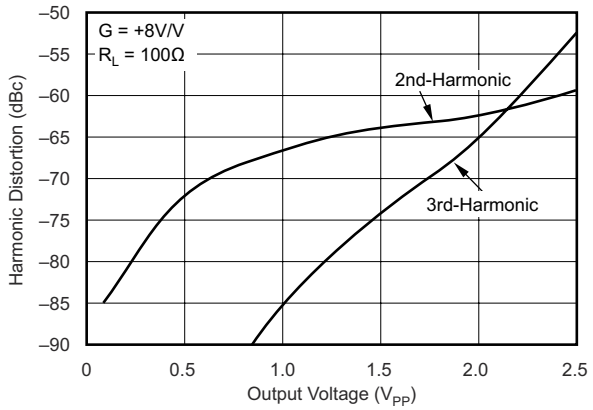


図 5-76. 10MHz 高調波歪みと出力電圧との関係

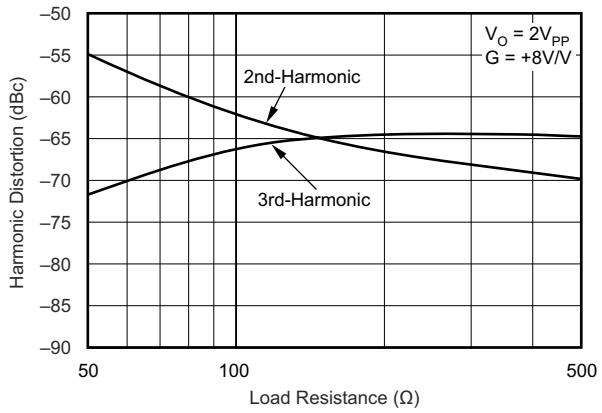


図 5-77. 10MHz 高調波歪みと負荷抵抗との関係

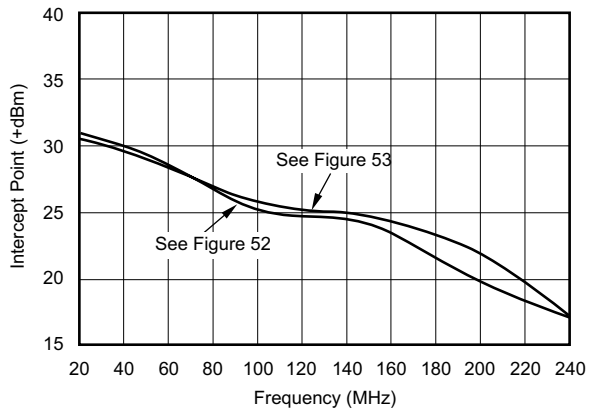


図 5-78. 2 トーン、3 次相互変調インターセプト

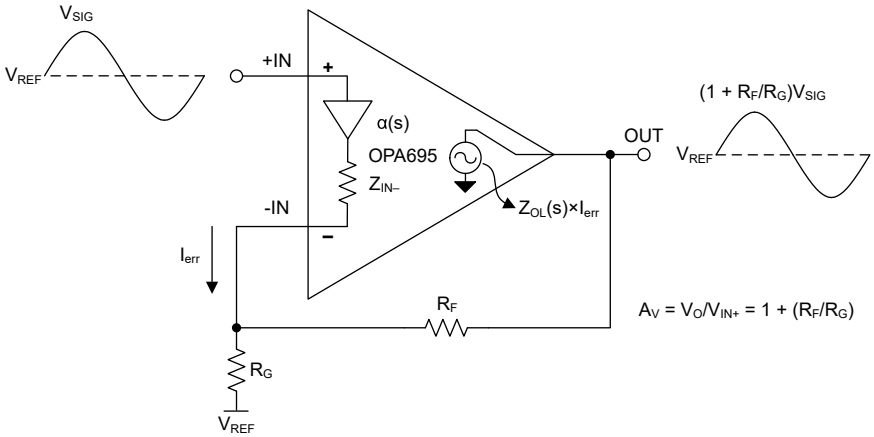
Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

OPA695 は高速の電流帰還型アンプ (CFA) で、低歪みと広い帯域幅、高いスルー レートを必要とするアプリケーション向けに、±2.5V (5V) ～ ±6V (12V) の広い電源電圧範囲で動作するよう設計されています。電流帰還型オペアンプの一般的な用途としては、高速データ収集システムのゲイン ブロック、同軸ケーブル ドライバ、アナログ / デジタル コンバータ (ADC) ドライバ、D/A コンバータ (DAC) ドライバがあります。OPA695 はパワーダウン ピン (PD) を備えており、アンプを低消費電力のスタンバイ モードに移行させ、静止電流を 14mA から 160μA に低減します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 広帯域電流帰還動作

OPA695 は、広帯域電流帰還型オペアンプで新たなレベルの性能を実現します。広いゲイン範囲にわたってほぼ一定の AC 性能を備え、5000-V/μs のスルー レートと非常に低い歪みにより、高速データ収集ゲイン段に最適です。8V/V のゲイン (50Ω 負荷に対して 12dB) で最適化されており 600MHz の帯域幅を実現していますが、1V/V ～ 40V/V のゲインをサポートできます。20V/V を超えるゲインでは、信号帯域幅は減少し始めますが、それでもゲイン 40V/V (50Ω 負荷のマッチングに対して 26dB) まで 180MHz を上回ります。単一 +5-V 電源動作も、同様の帯域幅でサポートされていますが、出力電力能力が低くなっています。

図 6-1 に、±5-V の仕様と代表的特性曲線で基礎として使用されたデュアル電源回路 (DC 結合、ゲイン +8V/V) を示します。合計実効負荷は 100Ω || 458Ω = 82Ω です。ディセーブル制御ライン ($\overline{DIS}$)は通常のアンプ動作ではオープンのままになります。ディスエーブル ラインを Low にアサートすると、OPA695 がシャットオフされます。図 6-2 に、反転特性曲線の基礎として使用されたデュアル電源回路 (DC 結合、ゲイン -8V/V) を示します。反転動作には、いくつかの性能上の利点があります。入力段全体に同相信号が存在しないため、歪み性能はわずかに向上します。グランドとの間に接続された通常の電源デカップリング コンデンサに加えて、2 つの電源ピンの間に 0.01-μF コンデンサが含まれています。実用的な PCB レイアウトでは、このオプションの追加コンデンサにより、バイポーラ電源動作では一般に、2 次高調波歪み性能が 3dB ～ 6dB 向上します。

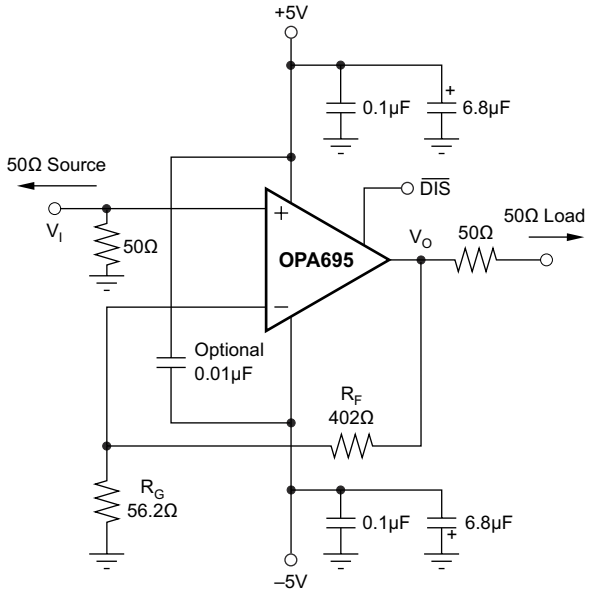


図 6-1. DC 結合、G = +8V/V、バイポーラ電源仕様、テスト回路

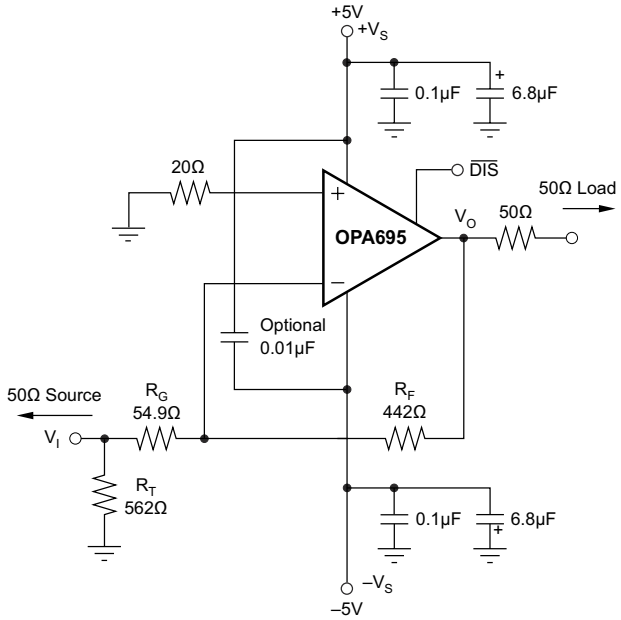


図 6-2. DC 結合、G = -8V/V、バイポーラ電源仕様、テスト回路

Copyright © 2025 Texas Instruments Incorporated

6.3.2 入力および ESD 保護

OPA695 は、非常に高速相補型バイポーラ プロセスを使って製造されています。これらの小さな形状のデバイスでは、内部接合部ブレーク ダウン電圧は比較的低くなります。これらの内訳は*「絶対最大定格」*に反映されており、絶対最大定格である ±6.5-V 電源が報告されています。すべてのデバイス ピンは、電源との間に接続された内部ダイオードを使った限定的な ESD 保護を備えています (図 6-3 を参照)。

これらのダイオードは、電源電圧を上回る入力オーバー ドライブ電圧に対してもある程度の保護を提供します。これらの保護ダイオードは 10-mA (標準値) の連続電流に耐えられます。より大きな電流が流れる可能性がある場合 (たとえば、OPA695 を駆動する ±15-V 電源部品を含むシステムの場合)、2 つの入力に電流制限用直列抵抗を追加します。値が大きい場合はノイズ性能と周波数応答の両方が低下するため、これらの抵抗値をできるだけ小さくします。

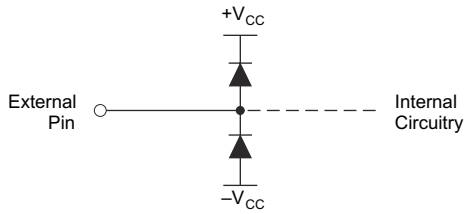


図 6-3. 内部 ESD 保護

6.4 デバイスの機能モード

OPA695 には、イネーブルとディセーブルの 2 つの機能モードがあります。V_S = ±5V のバイポーラ電源で動作しているときは、($\overline{DIS}$) ピンにロジック 1 (> 3.5V) を印加することで、最初の機能モードにアクセスします。このモードでは、アンプが完全にイネーブルになり、電源電流は 14mA です。

2 番目の機能モードはディセーブル状態です。ディスエーブル状態にアクセスするには、$\overline{DIS}$ ピンにロジック 0 (< 1.7V) を印加します。このモードでは、アンプは完全にディセーブルされ、電流は 160µA のみになります。ディセーブル時には、出力および入力ノードは高インピーダンス状態になります。OPA695 が +1V/V のゲインで動作する場合、出力のインピーダンスが非常に高くなり、非常に優れた信号絶縁が発生します。1V/V を超えるゲインで動作している場合、帰還回路の総抵抗は出力のインピーダンスとして現れますが、この回路では依然として非常に高い順絶縁と逆絶縁が示されます。反転アンプとして構成した場合、入力および出力は帰還回路抵抗を介して接続されるため、入力と出力の間の絶縁が比較的低くなります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 取り扱い時の注意事項

7.1.1.1 帯域幅を最適化するための抵抗値の設定

OPA695 などの電流帰還型オペアンプは、外付け抵抗の値を適切に調整すると、信号ゲイン設定全体にわたってほぼ一定の帯域幅を保持できます。セクション 5.9 にこの機能を示します。小信号帯域幅は、ゲインが増加してもわずかに減少するだけです。これらの特性曲線は、ゲイン設定ごとに帰還抵抗が変化していることも示しています。電流帰還型オペアンプの回路の反転側における R_F の絶対値は、周波数応答補償要素として扱うことができ、R_F と R_G の比は信号ゲインを設定します。OPA695 の小信号周波数応答の解析回路を、図 7-1 に示します。

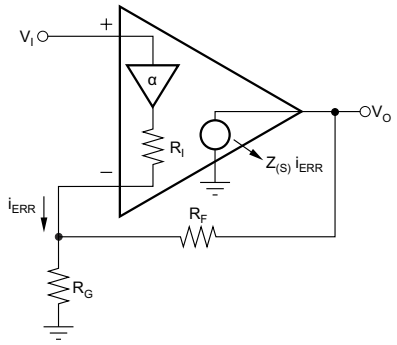


図 7-1. 電流帰還伝達関数解析回路

この電流帰還型オペアンプ モデルの主な要素は次のとおりです。

- α ⇒ 非反転入力から反転入力へのバッファ ゲイン
- R_I ⇒ バッファの出力インピーダンス
- I_{ERR} ⇒ 帰還誤差電流信号
- Z(s) ⇒ I_{ERR} から V_O までの周波数依存の開ループ トランスインピーダンス ゲイン

電流帰還型オペアンプは、反転ノードの誤差電流を検出し (電圧帰還型オペアンプの差動入力誤差電圧とは対照的に)、この誤差電流を内部の周波数依存のトランスインピーダンス ゲインを介して出力に渡します。*セクション 5.9* に、この開ループ トランスインピーダンス応答を示します。この応答は、電圧帰還オペアンプの開ループ電圧ゲイン曲線に相当します。CFA の動作理論についてさらに理解を深めるには TI プレシジョン ラボのトレーニング ビデオも参照してください。

図 7-2 に示す R_F とゲインとの関係の値は、「代表的特性」を作るために使用された値とほぼ等しく、帯域幅の最適化が必要な設計のよい出発点となります。

Copyright © 2025 Texas Instruments Incorporated

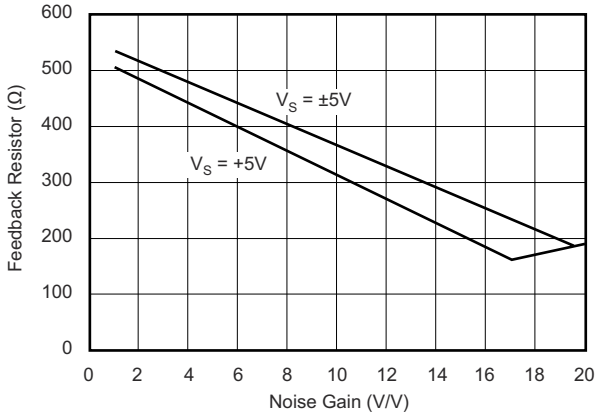


図 7-2. 推奨される帰還抵抗とノイズ ゲインとの関係

7.1.1.2 出力電流と電圧

OPA695 は、二重終端の 50Ω ラインを駆動するのと一貫した出力電圧および電流能力を備えています。ゲイン + 8V/V の 100Ω の負荷の場合 (図 6-1 を参照)、全負荷は 100Ω 負荷と 456Ω の合計帰還ネットワーク インピーダンスの並列組み合わせです。この 82Ω の負荷では、100Ω の負荷について規定されている ±3.7-V の最小出力電圧スイングに対応するため、45mA 以上の出力電流は必要ありません。この値は、最小値 ±100mA 仕様よりもはるかに小さい値です。

前述の仕様については、電圧制限と電流制限を別々に考慮してください。多くのアプリケーションでは、電圧と電流の積 (または V-I 積) が回路の動作により関係します。図 5-21 も参照してください。このグラフの X 軸と Y 軸は、それぞれゼロ電圧出力電流制限とゼロ電流出力電圧制限を示しています。4 つの象限は、OPA695 の出力駆動能力をより詳細に示しています。このプロットに重ね合わせた抵抗負荷線は、特定の負荷で使用可能な出力電圧と電流を示しています。

出力段の直線性を最大に維持するため、出力短絡保護機能はありません。通常は短絡保護は問題とはなりません。ほとんどのアプリケーションでは、この抵抗の出力側がグランドに短絡した場合に、出力に直列の整合抵抗が搭載されており、内部消費電力が制限されます。

しかし、出力ピンを隣接する正の電源ピンへ直接短絡させると、ほとんどの場合、アンプが損傷します。さらに短絡保護を必要とする場合は、電源リード線に小さな直列抵抗を配置することを検討してください。出力負荷が大きい場合、この直列抵抗により可能な出力電圧スイングが低減されます。各電源リードに 5Ω の直列抵抗を配置することで、出力短絡時の内部消費電力が 1W 未満に制限され、利用可能な出力電圧スイングは、最大 50mA の目標負荷電流に対してわずか 0.25V と低下します。0.1-μF 電源デカップリング コンデンサは、常に、これらの電源電流制限抵抗の後の電源ピンに直接配置します。

7.1.1.3 容量性負荷の駆動

オペアンプにとって最も要求が厳しいものでありながら、非常に一般的である負荷条件の 1 つは容量性負荷です。容量性負荷は多くの場合、ADC の入力であり、ADC の直線性を改善するために推奨される追加の外部容量も含まれます。OPA695 などの高速、高開ループ ゲインのアンプは、容量性負荷が出力ピンに直接配置されると、安定性の低下や閉ループ応答のピークの影響を受けやすくなります。アンプの開ループ出力抵抗を考慮すると、この容量性負荷によって信号路に追加の極が生じ、位相マージンが減少する可能性があります。この問題に対する外付けソリューションがいくつか提案されていあす。主な検討事項が周波数応答の平坦性、パルス応答の忠実度、および歪みである場合、最も単純で効果的な解決策は、アンプの出力と容量性負荷の間に直列絶縁抵抗 (R_{ISO}) を挿入して、容量性負荷 (C_L) を帰還ループから分離することです。この構成を 図 7-3 に示します。この構成では、ループ応答から極を除去するのではなく、極をシフトし、より高い周波数でゼロを追加します。追加のゼロは、容量性負荷の極からの位相遅れをキャンセルするように機能するため、位相マージンが増加して安定性が向上します。

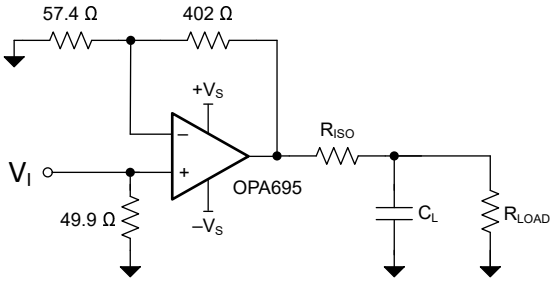


図 7-3. 出力直列絶縁抵抗を使用した大きな容量性負荷の駆動

*「代表的特性」*に、容量性負荷に対する推奨 R_S と、それによって負荷における周波数応答を示します。2pF を超える寄生容量性負荷によって、OPA695 の性能が低下する可能性があります。PCB 配線が長い、不整合のケーブル、複数のデバイスへの接続はこの値を超える可能性があります。この影響を慎重に考慮し、推奨される直列抵抗を OPA695 の出力ピンのできるだけ近くに追加します (*セクション 7.4.1* を参照)。

7.1.1.4 歪み性能

OPA695 は、±5-V 電源、100Ω 負荷において優れた歪み性能を実現します。他のデバイスと比較して、高周波数 (> 20 MHz) での歪を低く抑えます。一般に、基本信号が非常に高い周波数または電力レベルに達するまで、歪みは第 2 次高調波によって支配され、第 3 次高調波成分は無視できます。2 次高調波に注目して、負荷インピーダンスを大きくすると歪みが直接改善されます。全負荷には帰還回路が含まれています。非反転構成 (図 6-1 を参照) では、この帰還回路負荷は $R_F + R_G$ の合計であり、反転構成では帰還回路の負荷は R_F のみです。また、(バイポーラ動作用として) 電源ピン間に電源デカップリング コンデンサ (0.01μF) を追加すると、2 次歪みが改善されます。

Copyright © 2025 Texas Instruments Incorporated

7.1.1.5 ノイズ性能

OPA695 は、電圧ノイズ項と電流ノイズ項の間のバランスが優れているため、低出力ノイズを実現します。反転電流ノイズ (22pA/√Hz) は、他のほとんどの電流帰還型オペアンプよりも低く、入力電圧ノイズ (1.8nV/√Hz) はユニティゲイン安定、広帯域、電圧帰還型オペアンプよりも低くなっています。低い入力電圧ノイズは、より高い非反転入力電流ノイズ (18pA/√Hz) と引き換えにして、実現しました。非反転ノードからの AC ソース インピーダンスが 50Ω 未満である限り、この電流ノイズは合計出力ノイズに大きく影響しません。オペアンプの入力電圧ノイズと 2 つの入力電流ノイズ項を組み合わせることで、さまざまな動作条件下で低出力ノイズが得られます。図 7-4 には、すべてのノイズ項を含めたオペアンプのノイズ解析モデルが示されています。このモデルでは、すべてのノイズ項は、nV/√Hz か pA/√Hz のいずれかのノイズ電圧または電流密度項として扱われます。

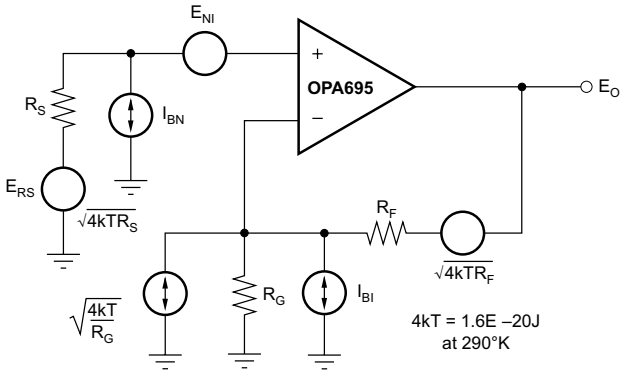


図 7-4. オペアンプのノイズ指数解析モデル

合計出力スポット ノイズ電圧は、寄与するすべての出力ノイズ電圧の 2 乗和の平方根として計算できます。式 1 は、図 7-8 に示されている項を使用した出力ノイズ電圧の一般的な式となります。

$$E_O = \sqrt{\left(E_{NI}^2 + \left(I_{BN}R_S\right)^2 + 4kTR_S\right)G_N^2 + \left(I_{BI}R_F\right)^2 + 4kTR_F G_N} \tag{1}$$

この式をノイズ ゲイン (NG = (1 + R_F/ R_G)) で割ると、式 2 に示すように、非反転入力における等価入力換算スポット ノイズ電圧が得られます

$$E_N = \sqrt{E_{NI}^2 + \left(I_{BN}R_S\right)^2 + 4kTR_S + \left(\frac{I_{BI}R_F}{NG}\right)^2 + \frac{4kTR_F}{NG}} \tag{2}$$

図 6-1 に示すこれら 2 つの式をの OPA695 回路と部品の値で評価すると、合計出力スポット ノイズ電圧は 18.7nV/√Hz、合計等価入力スポット ノイズ電圧は 2.3nV/√Hz となります。この合計入力換算スポット ノイズ電圧は、オペアンプの電圧ノイズのみの仕様である 1.8-nV/√Hz よりも高くなります。これは、反転電流ノイズと帰還抵抗によって出力に追加されるノイズによるものです。高ゲイン構成で帰還抵抗を小さくすると (前述のように)式 2 で与えられる総合入力換算電圧ノイズは、オペアンプの 1.8nV/√Hz に近付きます。たとえば、ゲイン +20 にすると (R_F = 200Ω を使用して)、合計入力換算ノイズは 2.0nV/√Hz になります。

オペアンプのノイズ計算の詳細については、www.ti.com から入手可能な『*高速オペアンプのノイズ解析*』アプリケーション ノートを参照してください。

7.1.1.6 熱解析

OPA695 は、ほとんどのアプリケーションでは追加のヒートシンクを必要としません。望ましい最大接合部温度から、許容される最大内部消費電力を設定します。これについては、このセクションで説明します。最大接合部温度 150℃を超えないようにしてください。

動作時の接合部温度 (T_J) は、$T_A + P_D \times \theta_{JA}$ によって与えられます。合計内部消費電力 (P_D) は、静止電力 (P_{DQ}) と、負荷電力を供給するための出力段での追加消費電力 (P_{DL}) の合計です。静止電力は、規定の無負荷時消費電流とデバイス全体の合計電源電圧の積です。P_{DL} は、必要な出力信号と負荷に依存します。ただし、接地された抵抗負荷の場合、P_{DL} は、出力がいずれかの電源電圧の半分に固定されているとき (等しいバイポーラ電源の場合)、PDL は最大になります。この条件で、$P_{DL} = V_S\ 2 / (4 \times R_L)$ です。ここで、R_L には帰還回路負荷が含まれます。

出力段の電力と負荷に流入しない電力によって内部消費電力が決定されることに注意してください。

絶対ワーストケースの例として、図 6-1 の回路の OPA695IDBV (SOT23-6 パッケージ) を使用して T_J の最大値を計算します。その際本デバイスは、最大周囲温度の規定値 (+85℃) において、接地された 100Ω 負荷を駆動しながら動作しているものとします。

$$P_D = 10\ V \times 14.1\ mA + 52 / (4 \times (100\ \Omega \parallel 458\ \Omega)) = 217\ mW \quad (3)$$

$$\text{Maximum } T_J = +85°C + (0.22\ W \times 150°C/W) = 118°C \quad (4)$$

この最大動作接合部温度は、ほとんどのシステム レベル目標よりもはるかに低くなっています。ほとんどのアプリケーションでは、この計算で想定されているワーストケースの出力段電力の絶対値は小さくなります。

7.1.2 LO バッファ アンプ

OPA695 は、ミキサから局部発振器 (LO) をバッファするためにも使用できます。2V/V の電圧ゲインで動作する OPA695 は、ミキサに対する実質ゲイン 0dB で、LO 用の優れた負荷絶縁を実現します。1.4GHz LO によるアプリケーションも考えられますが、ゲイン +2V/V で LO < 1.0GHz の場合が最良の動作となります OPA695 のゲインを供給し、ミキサでより高い電力レベルを駆動することもできます。図 7-5 に、OPA695 の LO バッファとしてのオプションの 1 つを示します。OPA695 は複数の出力負荷を駆動できるため、2 つの直列 50Ω 出力抵抗を通して出力をタップすることで、ダイバーシティレシーバのミキサに 2 つの同一の LO 信号を供給できます。この回路は、ミキサへ +1V/V (0dB) のゲインに応じて出力ピンへ +2V/V の電圧ゲインが設定されていますが、より高いゲインを実現するために簡単に調整できます。

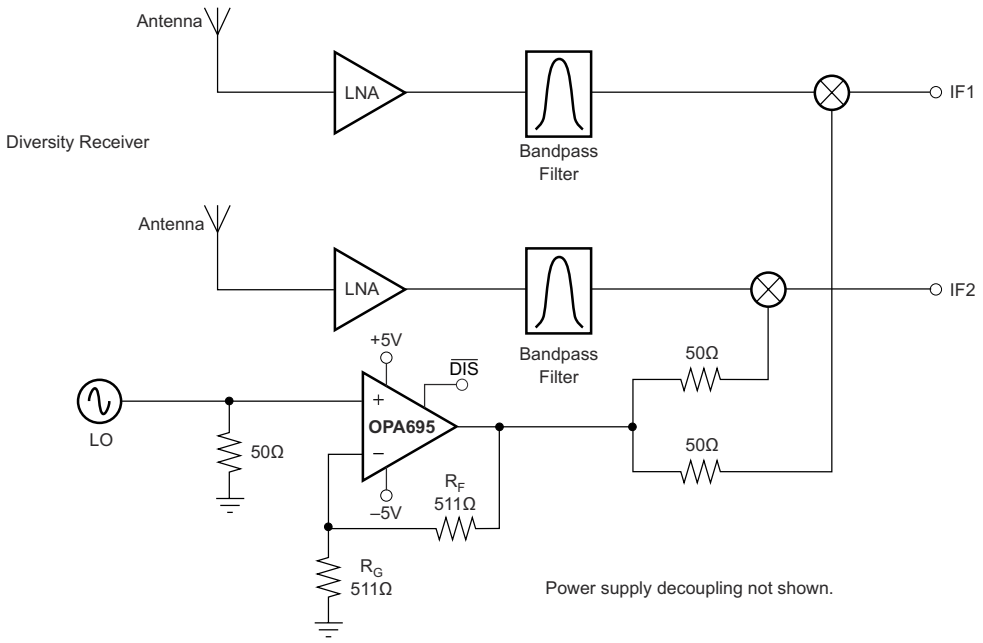


図 7-5. デュアル出力 LO バッファ

Copyright © 2025 Texas Instruments Incorporated

7.1.3 広帯域のケーブル駆動アプリケーション

OPA695 は、高いスルー レートと帯域幅を提供し、最も要求の厳しいケーブル駆動アプリケーションに使用できます。

7.1.3.1 ケーブル モデム リターン パス ドライバ

標準的なケーブル モデムのアップストリーム ドライバは通常、–50dBc 未満の歪みを実現しながら 5MHz ～ 65MHz の帯域幅で大電力を駆動する必要があります。高集積ソリューション (プログラマブル ゲイン段を含む) は、アンプ出力からラインへの大きな損失により、しばしばこの目標値を超えません。OPA695 の高いゲイン動作能力と非常に高いスルー レートにより、必要なスプリアス フリー ダイナミック レンジでこの信号を提供する低コストのデバイスが実現します。図 7-6 に、OPA695 をケーブル モデム帰還パスのアップストリーム ドライバとして使用する例を示します。この場合、ゲイン抵抗 (R_G) により、ドライバの入力インピーダンスは 75Ω に設定されます。可変ゲイン段から必要な入力レベルは、OPA695 により供給される 15.5dB のゲインによって大幅に低減されます。この例では、75Ω の物理的な出力マッチング抵抗と、ダイプレクサの 3dB 損失により、ラインの出力スイングを 9dB 減衰させます。この例では、単一 +12-V 電源を使用して、65MHz を経由する 6-V_{PP} 出力ピン電圧で最小の高調波歪みを実現しています。この例で測定された性能により、6-V_{PP} 出力ピンの電圧スイングについて、600MHz の小信号帯域幅と、65MHz を介して -54dBc 未満の歪みが得られます。

この回路の代わりに、歪みをさらに低減するには、2 つの OPA695 デバイスを使用して出力トランスを駆動する差動ドライバを使用します。差動ドライバを使用して、ライン電力を 2 倍にするか、各段で必要とされる出力スイングを半分に切ることで、歪みを改善できます。MCNS 仕様で必要なチャネル ディセーブルは、PGA ディスエーブル機能を使用して実装する必要があります。MCNS のディセーブル仕様では、信号チャネルがシャットオフされたときに出力インピーダンスが一致する必要があります。OPA695 のディセーブル機能は、主に電力削減を目的としており、出力ピンと反転入力ピンを高インピーダンス モードに移行しますが、必要な出力インピーダンスの整合は維持されません。OPA695 をアクティブに維持しながら、図 7-6 の入力で信号をオフにすることで、ラインに発生するノイズはごくわずかに抑えながらインピーダンス整合を維持します。図 7-6 の回路のディセーブル時のライン ノイズは (PGA ソースをオフにした後も 75Ω のソース インピーダンスは維持)、OPA695 の入力ノイズが低いため、4nV/√Hz (-157dBm/Hz) と非常に低くなります。

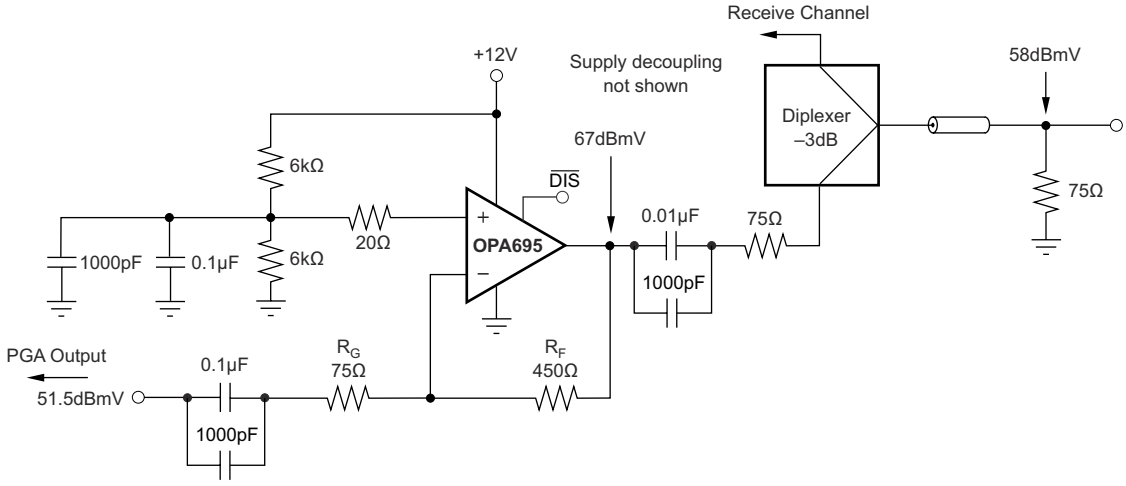


図 7-6. ケーブル モデム アップストリーム ドライバ

7.1.3.2 任意波形ドライバ

OPA695 は、中出力電力の任意波形ドライバ アプリケーション用の出力段として使用できます。50Ω の直列マッチング抵抗を介して 50Ω のマッチング負荷に駆動することで、±5-V 電源で OPA695 を動作させたとき、マッチングされた負荷 (15dBm) で 4.0-V_{PP} スイングが可能です。このレベルの電力は ±8V/V のゲインに対して利用でき、100MHz 経由でフラットな応答があります。相補電流出力 DAC から直接接続するときは、その DAC のピーク出力電流に合わせて変更したの回路図 7-7 を考慮してください。相補電流出力 DAC から純粋な AC 結合出力信号が必要な場合、図 7-7 の回路を使用してプッシュプル出力段を検討してください。ここでの抵抗値は 20mA のピーク出力電流 DAC に対して計算されて

おり、整合された負荷 (18dBm) で最大 5-V_{PP} スイングが生成されます。このアプローチでは、負荷側で大電力が得られ、2 次高調波歪みは小さくなります。

ピーク出力電流 20mA の DAC の場合、10mA の中間スケール電流により、出力のグランドとの間に 200Ω の抵抗が接続されているため、2-V DC 出力の同相動作電圧が得られます。各出力の合計 AC インピーダンスは 50Ω であるため、DAC のこの 2-V 同相電圧付近では ±0.5-V スイングが生じます。これらの抵抗は電流デバイダとしても機能し、帰還抵抗 (464Ω) を通して DAC 出力電流の 75% を送信します。ブロッキング コンデンサは OPA695 の出力電圧をグランドに基準として、ユニポーラ DAC 出力電流をバイポーラ スイング 0.75 × 20mA × 464Ω = 7V_{PP} (各アンプ出力) に変換します。各出力は、もう 1 つの出力と正確に 180° 位相差があり、マッチング抵抗に 2 倍の 7V_{PP} を生成します。ピーク出力電流を制限し、歪みを改善するために、図 7-7 の回路は 1.4:1 降圧トランスを使用して設定します。これは、トランスの 1 次側で 50Ω 負荷が 100Ω となることを反映しています。2 つのアンプの出力全体で最大 14-V_{PP} スイングを得るには、マッチング抵抗はこれをトランスの入力で 7V_{PP} まで、その後トランスの出力で 50Ω 負荷で最大 5-V_{PP} まで降下します。この降圧方式により、ピーク出力電流は 14V_P/(200Ω) = 70mA に減少します。

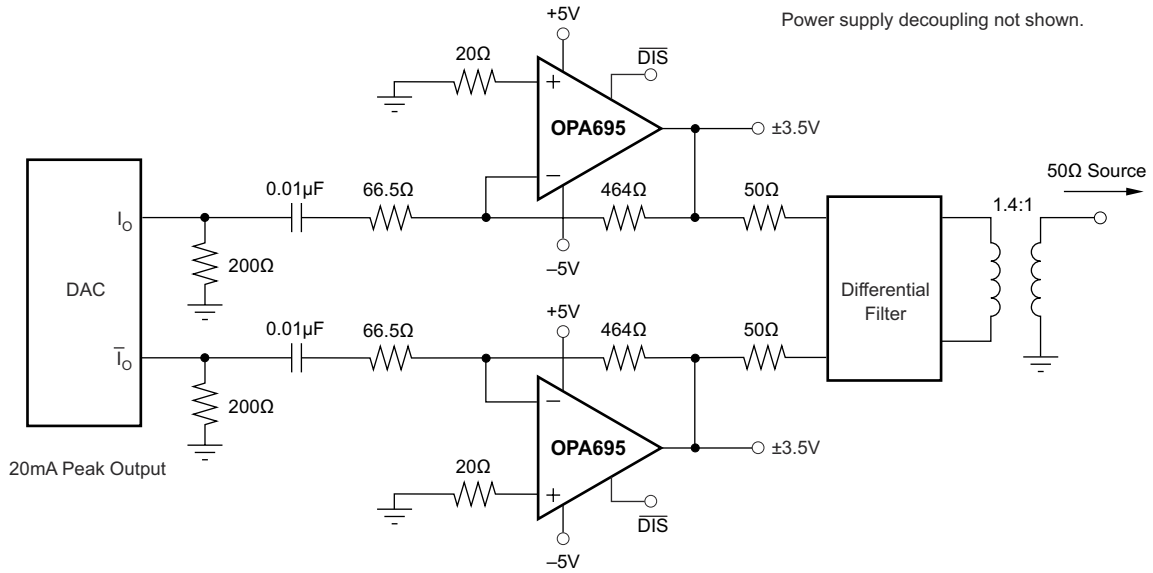


図 7-7. 大電力、広帯域の AC 結合任意波形ドライバ

7.1.4 差動 I/O アプリケーション

OPA695 は、非常に低い 3 次歪み項が実現され、1 つのアンプでドミナント 2 次歪みが発生します。歪みを最小限に抑え、特に差動出力が必要な場合には、差動 I/O 設計で 2 つの OPA695 デバイスを動作させることで、これらの偶数次の項が抑制され、高い周波数と電力で非常に低い高調波歪みを実現します。差動出力は、高性能 ADC、ツイストペア駆動、ミキサ インターフェイスにしばしば推奨されます。差動 I/O には、非反転または反転構成の 2 つの基本的なアプローチがあります。出力は差動なので、信号極性はある程度意味がありません。ここでは、非反転および反転の用語は、入力が 2 つの OPA695 に接続される場所に適用されます。各アプローチオプションには長所と短所があります。図 7-8 に、非反転差動 I/O アプリケーションの基本的な開始点を示します。

Copyright © 2025 Texas Instruments Incorporated

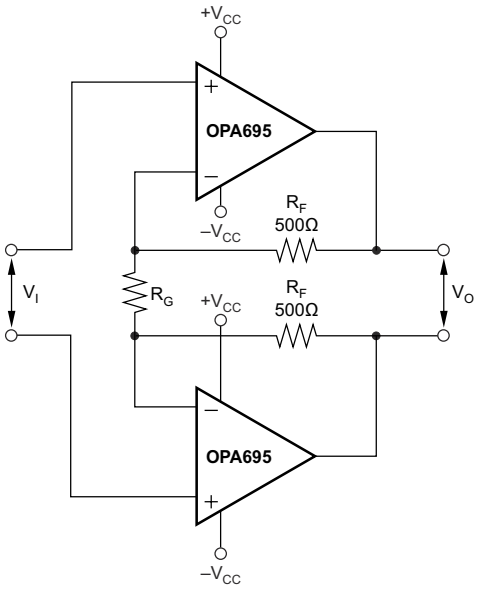


図 7-8. 非反転入力高速差動 I/O アンプ

この手法では、信号ゲインに関係なくソース終端インピーダンスを行えます。たとえば、ゲイン設定と干渉しないで、単純な差動フィルタを非反転入力に直接接続する信号パスに含めることができます。図 7-8 の回路の差動信号ゲインは、次のとおりです。

$$A_D = 1 + 2 \times R_F / R_G \quad (5)$$

OPA695 は電流帰還アンプであるため、帯域幅は主に帰還抵抗値によって制御されます。図 7-8 に、標準値 500Ω を示します。ただし、R_G 抵抗のみを使用するだけで大きな自由度で差動ゲインを調整できます。R_G は、差動周波数応答に絶縁されたシェーピングを行うリアクティブ ネットワークとなります。AC 結合アプリケーションでは多くの場合、R_G と直列にブロッキング コンデンサが接続されます。このブロッキング コンデンサは、低周波数でゲインを +1V/V に低下させ、前述の高い周波数では A_D 式まで上昇します。

図 7-9 に、反転アンプとして構成された差動 I/O 段を示します。この場合、ゲイン抵抗 (R_G)は、ソースの入力抵抗の一部になります。この構成により、非反転構成よりも優れたノイズ性能が得られますが、入力インピーダンスをゲインと別に設定する柔軟性が制限されます。

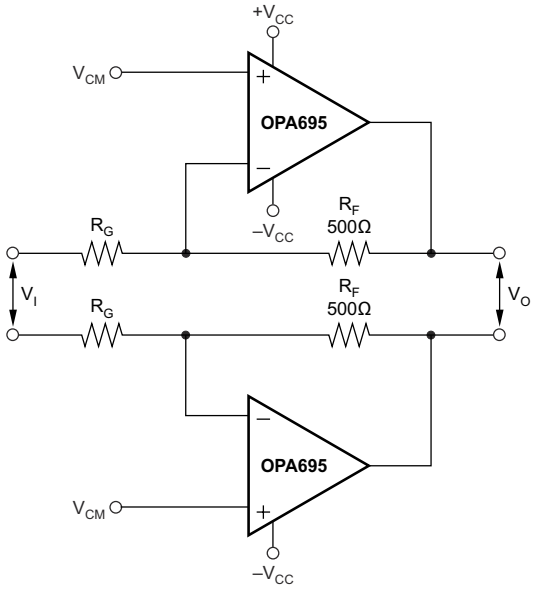


図 7-9. 反転入力差動 I/O アンプ

2 つの非反転入力を使用すると、簡単な同相制御入力を実現できます。特に、ブロッキング コンデンサまたはトランスのいずれかを使用してソースを AC 結合している場合に有効です。どちらの場合も、2 つの非反転入力の同相入力電圧は、出力ピンに対して +1V/V のゲインを持つため、単一電源動作に対して同相制御が簡単になります。この構成では、最高の周波数応答を実現するために、OPA695 はフィードバックを 500Ω 領域に制限します。R_F を固定すると、入力抵抗を目的のゲインに調整できますが、入力インピーダンスも変更します。この回路の入力から出力への高周波同相ゲインは、信号ゲインの場合と同じです。ここでも、ソースに不要な同相信号が含まれる場合は、(低周波および DC 同相用) ブロッキング コンデンサまたはトランス結合を使用して、入力で信号を除去することができます。図 7-9 の回路での差動信号ゲインは、次のとおりです。

$$A_D = R_F / R_G \tag{6}$$

この構成を使用すると 2 次高調波が抑制され、3 次高調波の項のみが出力 SFDR の制限として使用されます。反転構成のスルー レートが高いため、フルパワーの帯域幅と、図 7-8 の回路から利用可能な性能帯域幅にわたって相互変調歪の小さい範囲も拡張されます。

7.2 代表的なアプリケーション

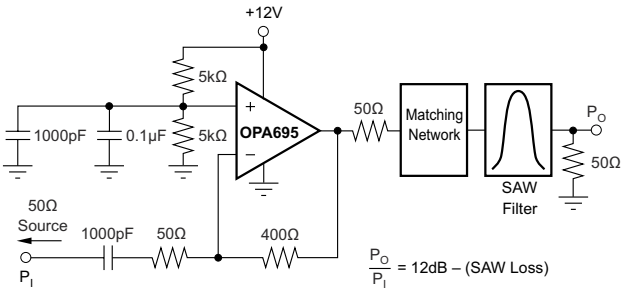


図 7-10. アンプ駆動 SAW フィルタ

Copyright © 2025 Texas Instruments Incorporated

7.2.1 設計要件

7.2.1.1 SAW フィルタ バッファ

IF ストリップの一般的な要件の 1 つは、狭帯域 SAW フィルタの挿入損失を回復するのに十分なゲインでミキサーの出力をバッファすることです。図 7-10 に、SAW フィルタを駆動する可能な構成の 1 つを示します。図 7-11 に、50Ω 負荷でのインターセプトを示します。この回路は、-8V/V の電圧ゲインの反転モードで動作しており、ゲイン設定抵抗を使用して 50Ω の入力マッチングを行い、最大帯域幅 (この場合は 700MHz) に最適化されたフィードバックを備えており、50Ω の出力抵抗を経由して SAW フィルタの入力のマッチング回路に駆動します。SAW フィルタの挿入損失が 12dB である場合、SAW の出力における 50Ω の負荷 (次の IF アンプまたはミキサの入力インピーダンス) の正味ゲインは、SAW フィルタのパス バンドに供給されます。このアプリケーションで OPA695 を使用すると、最初のミキサを SAW フィルタのインピーダンスから分離し、SAW フィルタ帯域幅で非常に低い 2 トーン、3 次スプリアス レベルを実現できます。反転動作により、最大ゲイン -12V/V (15.6dB)の最も広い帯域幅を提供します。非反転動作では、これよりも高いゲイン設定での帯域幅が広くなりますが、インターセプトとノイズ指数の性能がわずかに低下します。

7.2.2 詳細な設計手順

設計手順では、必要な信号ゲインと信号スイングの計算から開始します。ゲインおよびスイングの要件を決定した後、必要な電源電圧とともに適切なアンプを選択します。入力インピーダンスが 50Ω であるため、ゲインと入力インピーダンスには 400 Ω の帰還抵抗値が必要です。

このアプリケーションでは、電源電圧は 12V でシングル エンドです。適切な DC 動作ポイントを供給するには、2 つの 1% 精度 5-kΩ 抵抗と 2 つのセラミック バイパス コンデンサで構成される分圧抵抗回路を使用して、非反転入力に中間電源電圧を印加します。これらの部品は、非反転入力用に高精度で低 AC インピーダンスの基準電圧を供給します。反転入力には AC 結合コンデンサのみを必要とし、6-V の動作電圧を信号源から絶縁します。この例では、セラミック・1000-pF コンデンサを使用しています。

図 7-10 の回路は、出力抵抗値が 50Ω であることを示しています。この抵抗は、SAW の入力インピーダンスに対応するように調整します。追加の L/C コンポーネントが必要になる場合もあります。詳細については、SAW メーカーの設計ガイドラインを参照してください。

7.2.3 アプリケーション曲線

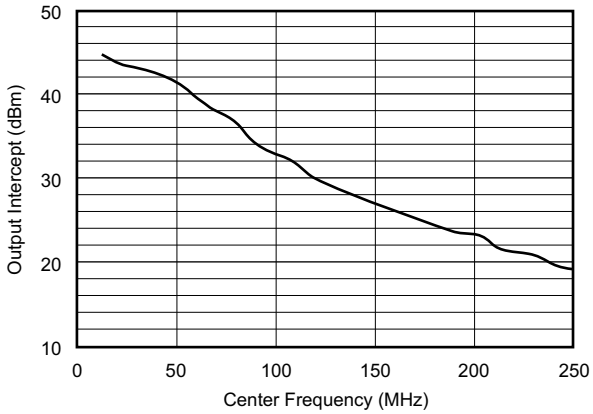


図 7-11. 2 トーン、3 次相互変調インターセプト

7.3 電源に関する推奨事項

高速アンプには、低インダクタンスの電源トレースと低 ESR バイパス コンデンサが必要です。可能な場合は、プリント基板設計で電源プレーンとグランド プレーンの両方を使用し、電源プレーンを基板の積層構造内のグランド プレーンに隣接した位置に維持します。電源電圧を目的のアンプ出力電圧の中央に配置するため、グランド基準の出力信号を使用するには、分割電源が必要です。5V ～ 12V の電源電圧を使用で動作します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

OPA695 などの高い周波数のアンプを使用して最適な性能を実現するには、基板レイアウトの寄生素子と外部部品の種類に細心の注意を払う必要があります。性能を最適化するための推奨事項として以下が挙げられます。

- **すべての信号 I/O ピンの AC グランドに対する寄生容量を最小化します。**出力ピンと反転入力ピンの寄生容量は不安定性の原因になることがあります。非反転入力では、寄生容量がソース インピーダンスの影響を受けて、意図しない帯域制限を引き起こす可能性があります。不要な容量を減らすため、信号 I/O ピンの周囲のすべてのグランド プレートおよび電源プレーンとの間を広げます。その他に、グランドおよび電源プレーンが基板上のその他の場所で決して途切れないようにします。
- **電源ピンから高周波 0.1μF のデカップリング コンデンサまでの距離を最小にします (0.25 インチ未満)。**デバイスのピンの配置では、グランドおよび電源プレーンのレイアウトを信号 I/O ピンの近くに配置しないことを確認します。ピンとデカップリング コンデンサ間のインダクタンスを最小にするため、電源パターンおよびグランド パターンは狭くならないようにします。常にこれらのコンデンサで、電源接続をデカップリングします。2 つの電源間 (バイポーラ動作の場合) にオプションの電源デカップリング コンデンサを使用すると、2 次高調波歪性能が向上します。メイン電源ピンに対して、低い周波数で効果のある、より大きな (2.2μF～6.8μF) デカップリング・コンデンサを使用します。これらのデカップリング コンデンサは、デバイスから多少遠く離して配置し、PCB の同じ領域にある複数のデバイス間で共有できます。
- **外付け部品を慎重に選択および配置することで、OPA695 の高周波性能が維持されます。**リアクタンスが小さい抵抗を使用します。最もよく機能するのは表面実装抵抗で、レイアウト全体をより厳密にすることができます。金属皮膜と炭素化合物を使ったアキシャル リード型抵抗を使うと、優れた高周波性能も実現できます。リード線と PCB パターンの長さをできるだけ短くします。高周波アプリケーションでは、巻線抵抗を使用しないでください。出力ピンと反転入力ピンは寄生容量の影響を最も受けやすいので、帰還抵抗と直列出力抵抗 (ある場合) は、出力ピンにできるだけ近付けて配置します。非反転入力終端抵抗といった他のネットワーク部品は、パッケージの近くに配置します。両面部品実装が可能な場合、出力ピンと反転入力ピンの間に接続する帰還抵抗を、基板の裏側でパッケージの直下に配置します。周波数応答は、主に帰還抵抗値によって決定されます。帰還抵抗値を大きくすると帯域幅が狭くなり、小さくすると周波数応答のピークが大きくなります。「代表的性能仕様」(±5V 電源、+8V ゲイン) で使われている 402Ω の帰還抵抗は、設計の出発点として最適です。ユニティ ゲイン フォロワ アプリケーションの場合、直接短絡するのではなく、523Ω の帰還抵抗が必要であることに注意してください。電流帰還型オペアンプには、ユニティ ゲイン フォロワ構成であっても、安定性を制御するために帰還抵抗が必要です。
- **基板上のその他の広帯域デバイスとは、短い直接配線を使って、またはオンボード伝送ラインを通して接続できます。**短い接続の場合、パターンと隣のデバイスの入力を集中容量性負荷と見なします。比較的幅の広いパターン (50mil ～ 100mil) を使用し、できればそれらのトレースのグランド プレーンと電源プレーンとの間を広げます。全体の容量性負荷を見積り、絶縁抵抗と容量性負荷特性との関係から直列絶縁抵抗を設定します。長いパターンが必要であり、二重終端伝送ラインに固有の 6dB の信号損失が許容される場合、マイクロストリップまたはストリップライン手法を使って整合インピーダンス伝送ラインを実装します (マイクロストリップおよびストリップライン レイアウト手法については、ECL 設計ハンドブックを参照)。通常、オンボードで 50Ω の環境は必要ありません。実際、インピーダンスが大きい環境では歪が改善されます (歪と負荷の対比も参照してください)。特性のある基板のパターン インピーダンスが定義された場合 (基板の材質とパターンの寸法に基づく)、OPA695 の出力からのパターンに整合直列抵抗を使用します。また、送信先デバイスの入力に終端シャント抵抗を使用します。終端インピーダンスは、シャント抵抗と相手側デバイスの入力インピーダンスの並列組み合わせになることに注意してください。トレース インピーダンスと一致するように、全体の実効インピーダンスを設定します。OPA695 は高電圧大電流で負荷を駆動できるため、複数の送信先デバイスを、それぞれ個別の直列およびシャント終端を持つ別個の伝送ラインとして扱うことができます。二重終端伝送ラインの 6dB の減衰が許容できない場合、長いパターンをソース端でのみ直列終端することができます。この場合は、トレースを容量性負荷として扱い、絶縁抵抗と容量性負荷特性の間の直列絶縁抵抗を設定します。この設定では、信号の整合性も二重

Copyright © 2025 Texas Instruments Incorporated

終端ラインも維持されません。相手側デバイスの入力インピーダンスが低い場合は、終端インピーダンスへの直列出力によって分圧が形成されるため、信号がある程度減衰します。

- **OPA695 のような高速部品をソケットにすることは推奨しません。**ソケットによってリード長とピン間容量が増加するため、厄介な寄生的ネットワークが形成され、スムーズで安定した周波数応答を実現することがほとんど不可能になります。OPA695 を基板に直接半田付けすることで、最良の結果が得られます。

7.4.2 レイアウト例

セクション 7.4.1 に詳細を示し、図 7-12 に図示されているように、入力終端抵抗、出力抵抗、およびバイパス コンデンサはアンプの近くに配置します。アンプの下に電源プレーンとグランド プレーンを配置しますが、に図 7-12 示すように、入力および出力ピンの下にこれらのプレーンが取り外されるようにします。

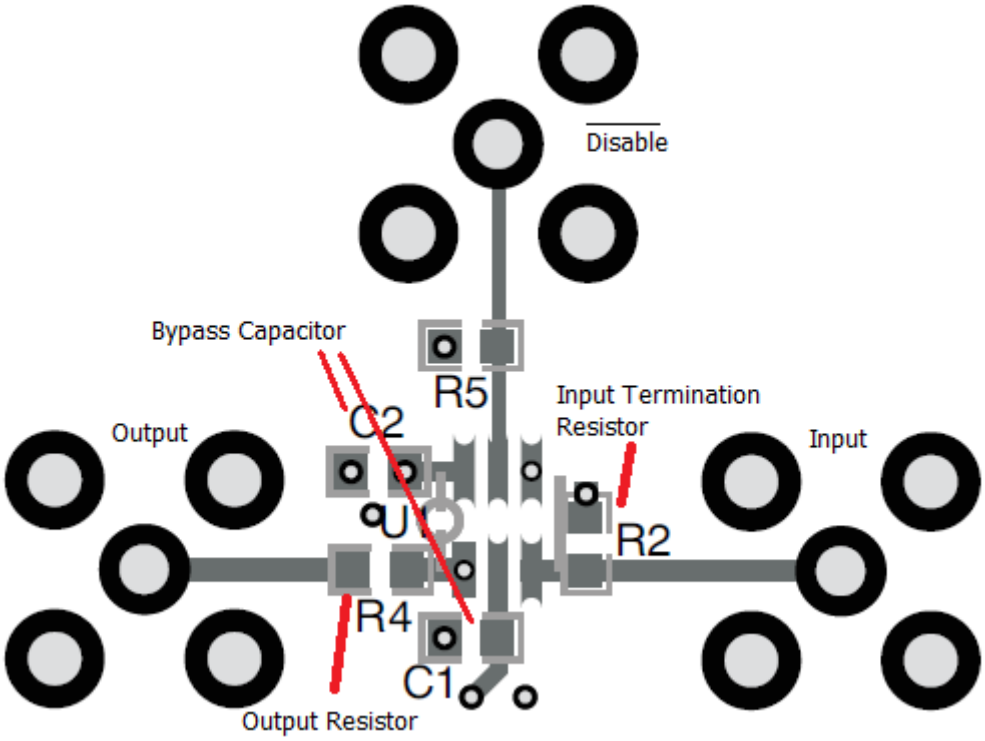


図 7-12. SBOS293 のレイアウト

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デザイン イン ツール

8.1.1.1 デモ用基板

2 種類のパッケージの OPA695 を使用した回路性能の初期評価に便利なように、2 種類のプリント基板 (PCB) を提供しています。どちらの基板も部品なしの PCB として、ユーザー ガイドとともに無償で提供しています。これらの基板の要約情報を、表 8-1 に示します。

表 8-1. デモ ボード

製品名	パッケージ	発注型番	ユーザーズ ガイド 文書資料番号
OPA695ID	VSSOP-8	DEM-OPA-SO-1B	SBOU026
OPA691IDBV	SOT23-6	DEM-OPA-SOT-1B	SBOU027

このデモ用基板は、テキサス・インスツルメンツの Web サイト (www.ti.com) の OPA695 製品フォルダで請求できます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*『ハンダ付けの絶対最大定格』*
- テキサス インスツルメンツ、*『電流帰還型オペアンプ アプリケーション回路ガイド』、アプリケーション ノート OA-07*
- テキサス インスツルメンツ、*『広帯域電流帰還型アンプ適用時に多見される失敗』、アプリケーション ノート OA-15*
- テキサス インスツルメンツ、*『Comlinear アンプのノイズ解析』、アプリケーション ノート OA-12*
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

Copyright © 2025 Texas Instruments Incorporated

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (October 2024) to Revision J (March 2024) — **Page**

- (WSON、8) パッケージと関連コンテンツを追加 1

Changes from Revision H (April 2015) to Revision I (October 2024) — **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- *「絶対最大定格」で、電源電圧の仕様を ±6.5V から 13V に変更* 4
- 分かりやすくするため *「絶対最大定格」*の脚注を更新 4
- *「絶対最大定格」*に連続入力電流仕様を追加 4
- *「ESD 定格」*からマシン モデル (MM) 仕様を削除 4
- D と DBV パッケージの熱パラメータを *「熱に関する情報」に更新* 4
- すべての *「電気的特性」*表で、T_A = 0°C を 70°C の仕様に削除 5
- *「電気的特性」で、最小、最大、および過熱仕様を削除:「AC 性能」*セクションの最小、最大、および過熱仕様を削除 5
- *「電気的特性」で、G = +1V/V の SSBW を 1700MHz から 1900MHz に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」セクションで、G = +2V/V の SSBW を 1400MHz から 900MHz に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」セクションで、G = +8V/V の 標準 SSBW を 450MHz から 600MHz に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」セクションで、G = +16V/V の SSBW を 350MHz から 500MHz に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」で、0.2-dB のゲイン平坦性の帯域幅を 320MHz から 120MHz に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」で、+1V/V のゲインでのピークの標準値を 4.6dB から 3.7dB に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」セクションで、G = 8V/V の LSBW を 450MHz から 510MHz に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」で、G = –8V/V での標準スルー レートを 4300V/µs から 5000V/µs に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」で、G = +8V/V での標準スルー レートを 4300V/µs から 5000V/µs に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」で、*V_O *= 0.5V ステップでの立ち上がり / 立ち下がり時間を 0.8ns から 0.65ns に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」で、*V_O *= 4V ステップでの立ち上がり / 立ち下がり時間を 1ns から 0.7ns に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」で、セトリング タイム 10ns の 0.1% からセトリング タイム 10ns の 0.5% に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」表*から 0.02% および 0.1% までのセトリング タイムを削除 5
- *「電気的特性」で、*R_L *= 100Ω での標準の 2 次高調波歪みを -65dBc から -75dBc に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5
- *「電気的特性」で、*R_L *= 100Ω での標準の 3 次高調波歪みを -86dBc から -92dBc に変更:* V_S *= ±5V、OPA695D、OPA695DBV 表* 5

- 「電気的特性」で、入力電圧ノイズの標準値を 1.8nV/√Hz から 2nV/√Hz に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、非反転入力電流ノイズの標準値を 18pA/√Hz から 14pA/√Hz に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」全体にわたって差動ゲインおよび差動位相の仕様を削除 5
- 「電気的特性」で、標準開ループ トランスインピーダンス ゲインを 85kΩ から 300kΩ に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、反転入力バイアス電流の標準値を ±20μA から ±5μA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、平均反転入力バイアス電流ドリフトの標準仕様を追加:V_S = ±5V、OPA695D、OPA695DBV 表 .. 5
- 「電気的特性」で、標準同相入力範囲を ±3.3V から ±3.4V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、標準同相信号除去比を 56dB から 65dB に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、非反転入力インピーダンスを 280 || 1.2 (kΩ || pF) から 450 || 2 (kΩ || pF) に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、反転入力抵抗を 29Ω から 20Ω に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、無負荷での最小入力電圧スイングを ±4V から ±3.95V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、無負荷での標準入力電圧スイングを ±4.2V から ±4.05V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、無負荷での最小出力電圧スイング T_A = –40°C ～ +85°C を ±3.9V から ±3.85V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、無負荷での最小入力電圧スイング R_L = 100Ω を ±3.7V から ±3.65V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、無負荷での標準入力電圧スイング R_L = 100Ω を ±3.9V から ±3.75V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、R_L = 100Ω、T_A = –40°C ～ +85°C を ±3.6V から ±3.55V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」の標準出力電流ソースを 120mA から 140mA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」の標準出力電流ソースを -120mA から -140mA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、閉ループ出力インピーダンスを 0.04Ω から 0.02Ω に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、標準静止電流を 12.9mA から 14mA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、最小および最大静止電流を 12.6mA を 13.3mA に、11.7mA を 15.6mA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、最小および最大静止電流 T_A = –40°C ～ +85°C を 11mA から 10mA に、14.1mA から 18mA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、標準負の電源除去比を 55dB から 72dB に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、最小パワーダウン静止電流を –170μA から 200μA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、標準パワーダウン静止電流を –100μA から 160μA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、最小パワーダウン静止電流 T_A= –40°C ～ +85°C を -192μA から 210μA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、ディセーブル時間を 1μs から 4μs に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、イネーブル時間を 25ns から 80ns に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、ディスエーブル時の出力容量を 4pF から 2.5pF に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、標準イネーブル電圧スレッショルドを 3.3V から 3V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5

Copyright © 2025 Texas Instruments Incorporated

- 「電気的特性」で、標準ディスエーブル電圧スレッショルドを 1.8V から 2.3V に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」で、標準ディスエーブル制御ピン入力バイアス電流を 75µA から 95µA に変更:V_S = ±5V、OPA695D、OPA695DBV 表 5
- 「電気的特性」全体でテスト レベル関連と電流極性の脚注を更新 5
- 「電気的特性」セクションで、G = 1V/V の SSBW を 1400MHz から 1200MHz に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」セクションで、G = 2V/V の SSBW を 960MHz から 700MHz に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」セクションで、G = 8V/V の 標準 SSBW を 395MHz から 500MHz に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」セクションで、G = 16V/V の 標準 SSBW を 235MHz から 410MHz に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、0.2dB のゲイン平坦性の帯域幅を 230MHz から 110MHz に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、+1V/V のゲインでのピークの標準値を 1dB から 2.2dB に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」セクションで、G = 8V/V の LSBW を 310MHz から 430MHz に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、G = +8V/V での標準スルー レートを 1700V/µs から 2500V/µs に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、V_O = 0.5V ステップでの立ち上がり / 立ち下がり時間を 1ns から 0.7ns に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、V_O = 2V ステップでの立ち上がり / 立ち下がり時間を 1ns から 0.8ns に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、セトリング タイム 10ns の 0.1% からセトリング タイム 10ns の 0.5% に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、R_L = 100Ω での標準の 2 次高調波歪みを -69dBc から -62dBc に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、R_L = 500Ω での標準の 2 次高調波歪みを -68dBc から -70dBc に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、R_L = 100Ω での標準の 3 次高調波歪みを -62dBc から -66dBc に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、R_L = 500Ω での標準の 3 次高調波歪みを -63dBc から -65dBc に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、入力電圧ノイズの標準値を 1.8nV/√Hz から 1.9nV/√Hz に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、非反転入力電流ノイズの標準値を 18pA/√Hz から 14pA/√Hz に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、標準開ループ トランスインピーダンス ゲインを 70kΩ から 250kΩ に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、標準非反転入力バイアス電流を ±5µA から+15µA に変更:V_S = 5V、OPA695D、OPA695DBV . 7
- 「電気的特性」で、標準同相入力範囲 (正の) を ±3.3V から ±3.4V に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、標準同相入力範囲 (負の) を 1.7V から 1.6V に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、標準同相信号除去比を 54dB から 65dB に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、非反転入力インピーダンスを 280 || 1.2 (kΩ || pF) から 250 || 2 (kΩ || pF) に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、反転入力抵抗を 32Ω から 21Ω に変更:V_S = 5V、OPA695D、OPA695DBV 7
- 「電気的特性」で、無負荷での標準出力電圧 (正の) を 4.2V から 4.05V に変更:V_S = 5V、OPA695D、OPA695DBV 7

- *「電気的特性」で、無負荷での最小出力電圧スイング (正の) を 4V から 3.95V に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、無負荷での最小出力電圧スイング (正の)、T_A = –40°C ～ +85°C を 3.8V から 3.75V に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、無負荷での最大出力電圧スイング (負の) を 1V から 1.05V に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、無負荷での標準出力電圧スイング (負の) を 0.8V から 0.9V に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、無負荷での最大出力電圧スイング (負の)、T_A = –40°C ～ +85°C を 1.2V から 1.25V に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」の標準出力電流ソースを 90mA から 100mA に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、最小出力電流シンク T_A = –40°C ～ +85°C を -66mA から -60mA に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、閉ループ出力インピーダンスを 0.05Ω から 0.02Ω に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、最大静止電流を 12mA から 14.4mA に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、最大最小静止電流 T_A = –40°C ～ +85°C を 12.9mA から 17.1mA に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、標準負の電源除去比を 51dB から 69dB に変更:V_S = 5V、OPA695D、OPA695DBV 表* 7
- *「電気的特性」で、標準パワーダウン静止電流を –95μA から 120μA に変更:V_S = 5V、OPA695D、OPA695DBV 表* 7
- *「電気的特性」で、ディセーブル時間を 1μs から 5μs に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、イネーブル時間を 25ns から 80ns に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、標準イネーブル電圧スレッショルドを 3.3V から 3.1V に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、標準ディスエーブル電圧スレッショルドを 1.8V から 2.4V に変更:V_S = 5V、OPA695D、OPA695DBV* 7
- *「電気的特性」で、標準ディスエーブル制御ピン入力バイアス電流を 75μA から 95μA に変更:V_S = 5V、OPA695D、OPA695DBV 表* 7
- *「代表的な特性」からコンポジット ビデオ dG/dφ プロットを削除 V_S = ±5V、OPA695IDGK* 20
- *「代表的な特性」から差動動作プロットを削除 V_S = ±5V、OPA695IDGK* および差動小信号パラメータ測定情報セクション 20
- *「機能説明」から* RF 仕様およびアプリケーション、入力リターン ロス (S11)、出力リターン ロス (S22)、順方向ゲイン (S21)、逆絶縁、*ダイナミック レンジへの制限を*削除 27
- *「アプリケーション情報」から SAW フィルタ バッファと RGB ビデオ ライン ドライバ* セクションを削除 30

Changes from Revision G (April 2009) to Revision H (April 2015) **Page**

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

Changes from Revision F (July 2006) to Revision G (April 2009) **Page**

- 「パッケージ注文情報」表および「電気的特性」表の熱抵抗仕様に DGK (MSOP-8) パッケージを追加 1

Changes from Revision E (March 2006) to Revision F (July 2006) **Page**

- 保存温度仕様範囲を -40℃ ～ +125℃ から −65°C ～ 125°C に変更 4

Copyright © 2025 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA695DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	O695
OPA695DSGR.B	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See OPA695DSGR	O695
OPA695ID	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	OPA 695
OPA695IDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A71L
OPA695IDBVR.B	Active	Production	null (null) |	3000 | LARGE T&R	-	SN	Level-1-260C-UNLIM	See OPA695IDBVR	A71L
OPA695IDBVT	Obsolete	Production	SOT-23 (DBV) | 6	-	-	Call TI	Call TI	-40 to 85	A71L
OPA695IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	695
OPA695IDGKR.A	Active	Production	null (null) |	2500 | LARGE T&R	-	NIPDAUAG	Level-2-260C-1 YEAR	See OPA695IDGKR	695
OPA695IDGKT	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 85	695
OPA695IDGKT.A	Active	Production	null (null) |	250 | SMALL T&R	-	NIPDAUAG	Level-2-260C-1 YEAR	See OPA695IDGKT	695
OPA695IDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	OPA 695
OPA695IDR.B	Active	Production	null (null) |	2500 | LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	See OPA695IDR	OPA 695

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

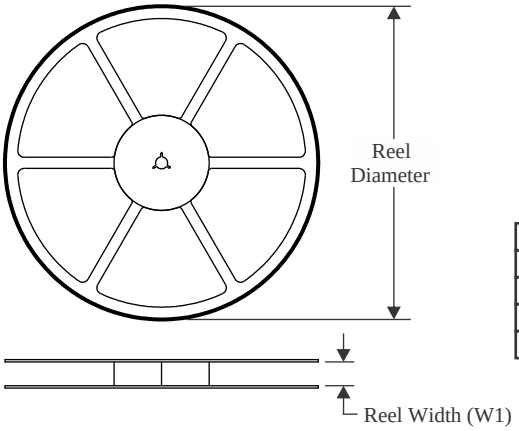
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

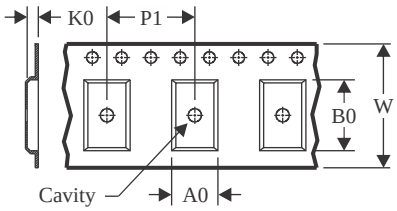
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

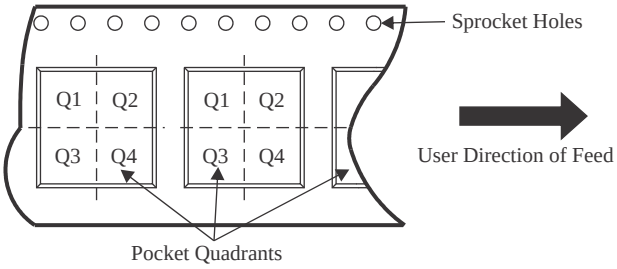


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

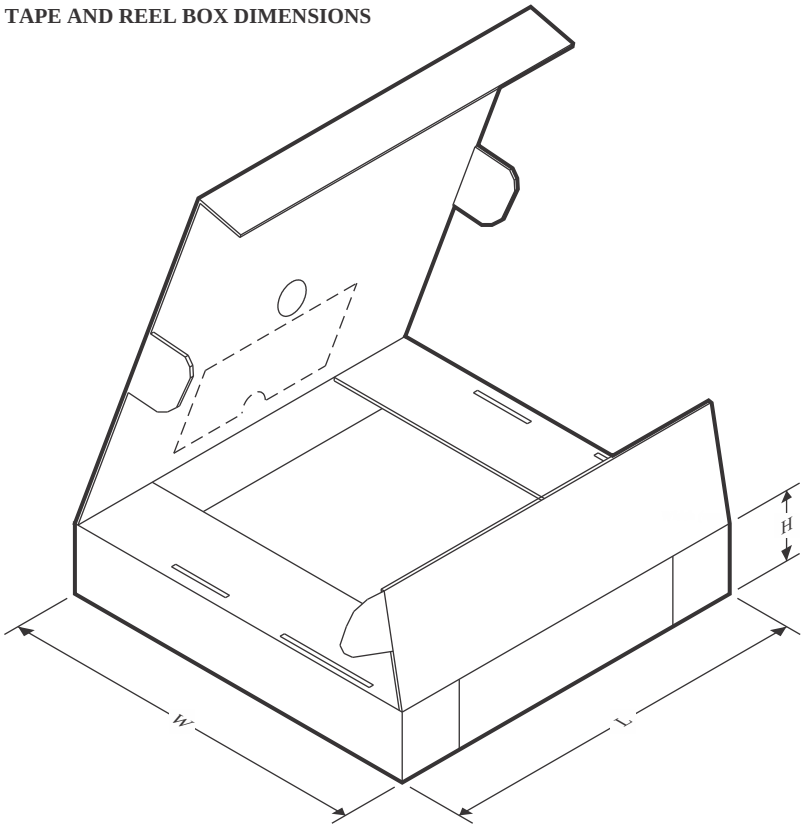
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA695DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
OPA695IDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA695IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA695IDGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA695IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA695IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

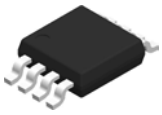


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA695DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
OPA695IDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
OPA695IDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
OPA695IDGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
OPA695IDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA695IDR	SOIC	D	8	2500	356.0	356.0	35.0

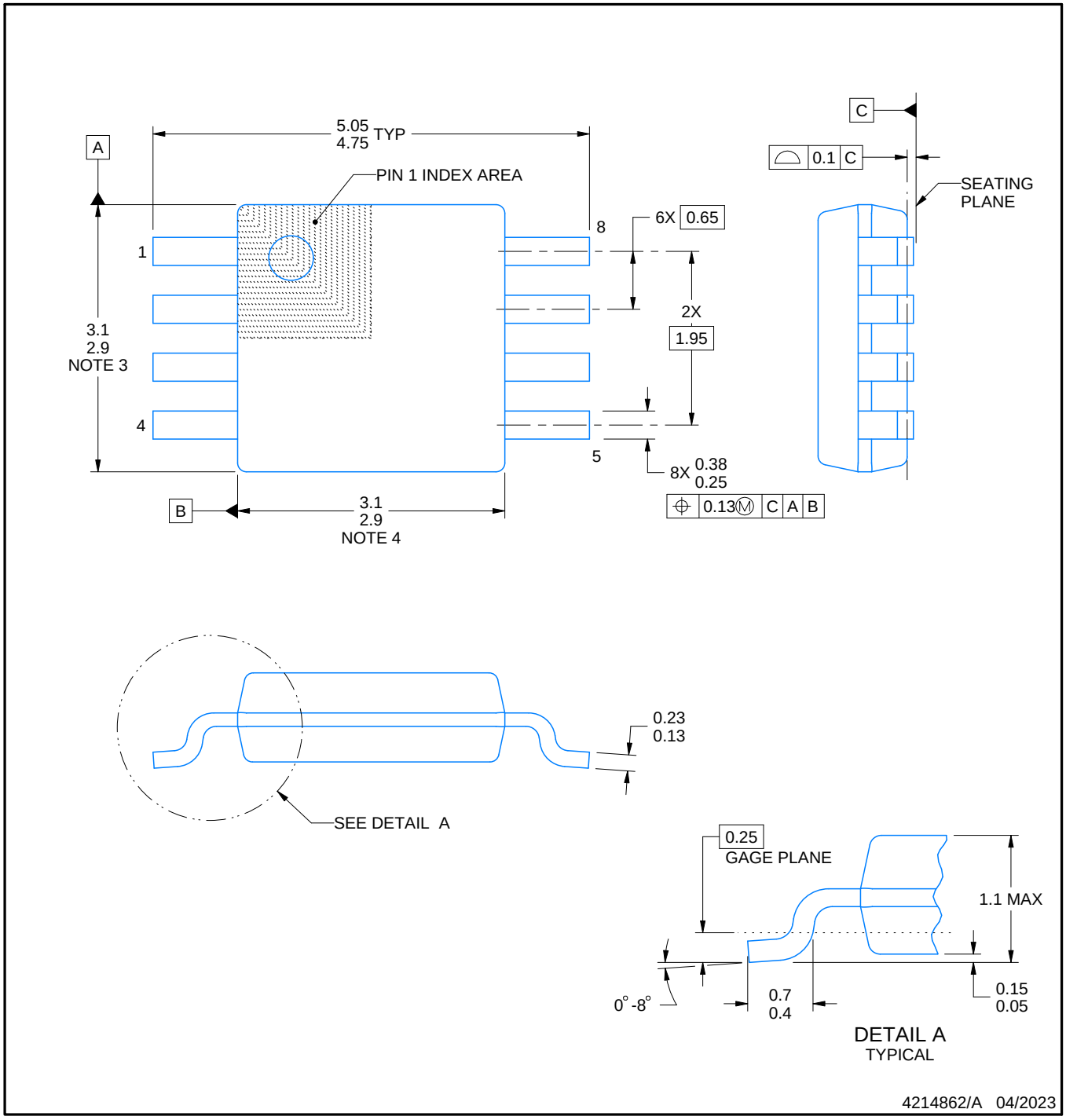
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

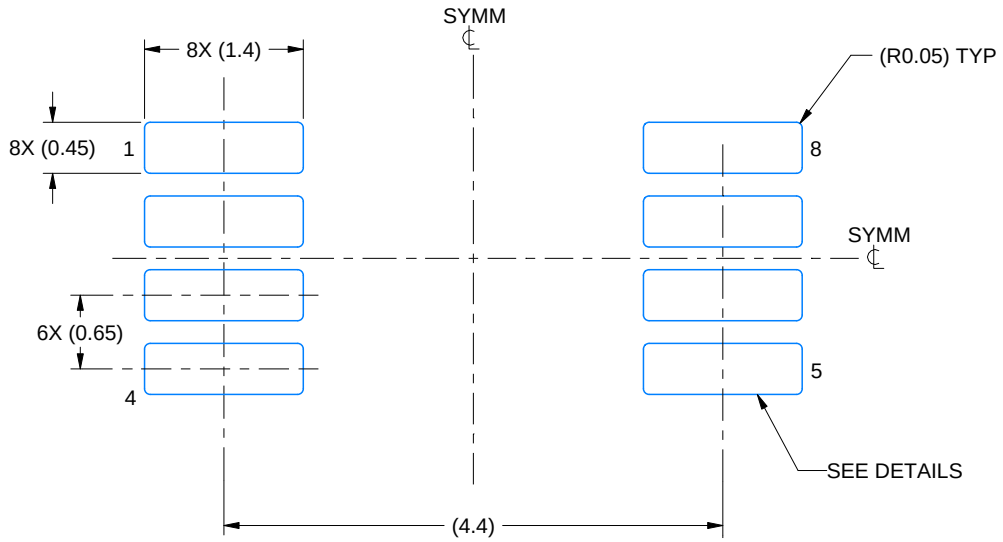
SMALL OUTLINE PACKAGE



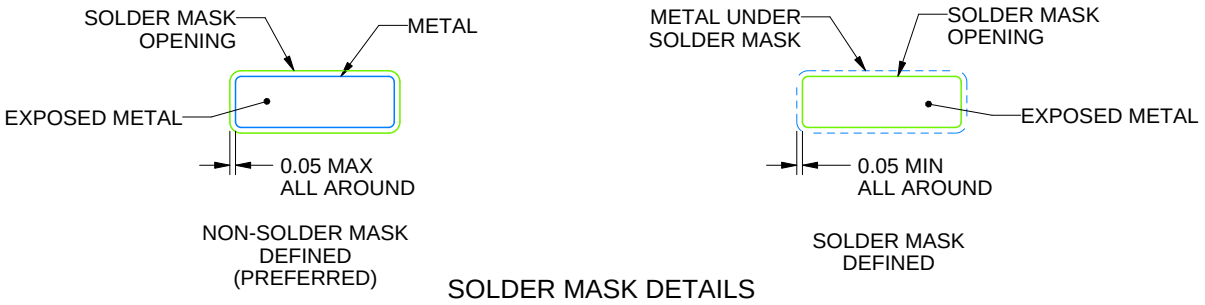
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

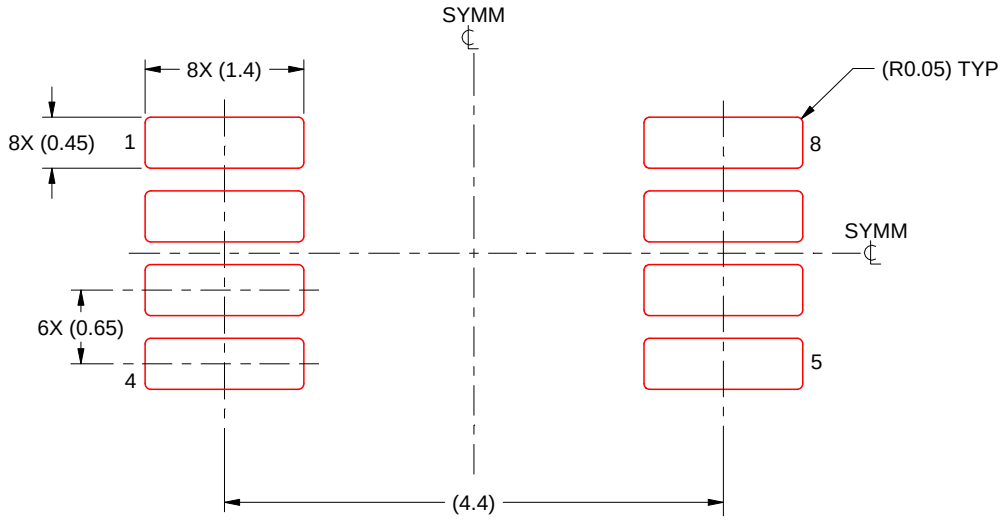


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

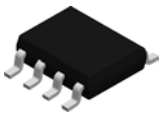


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

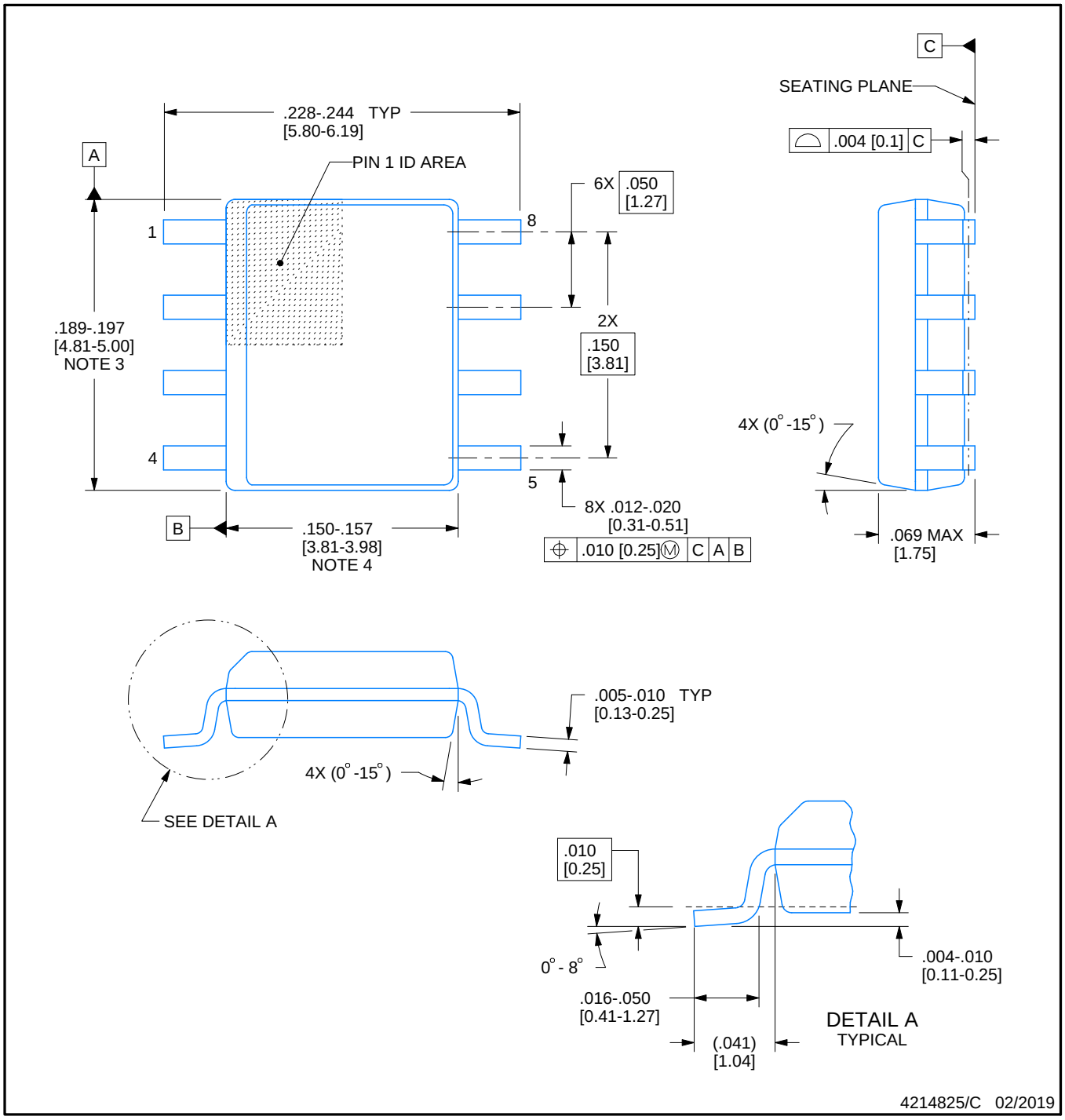


PACKAGE OUTLINE

D0008A

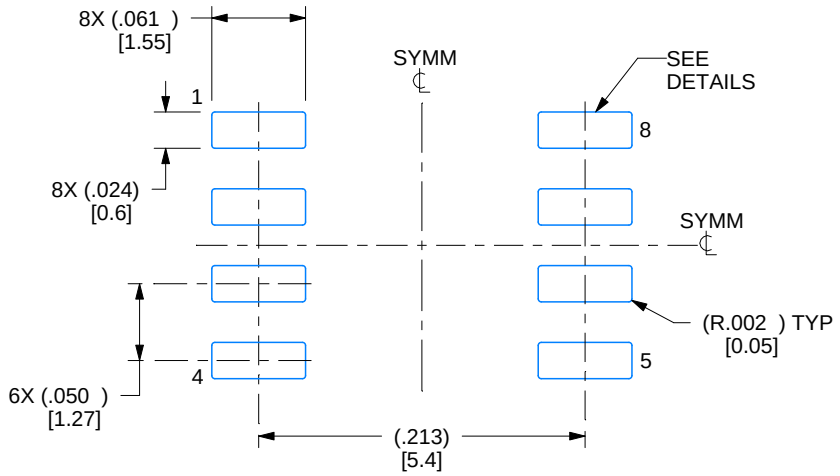
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

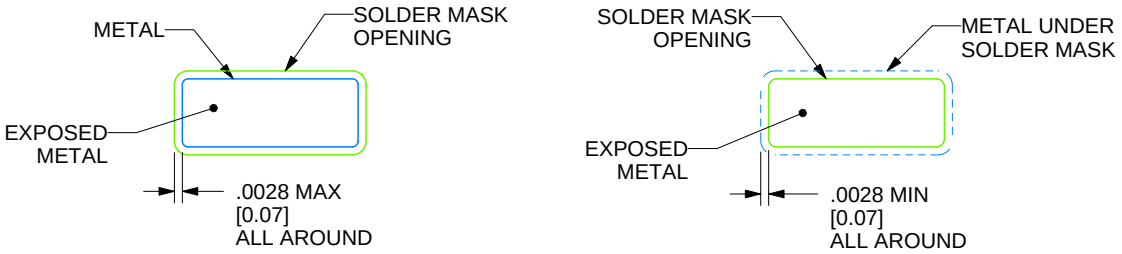


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

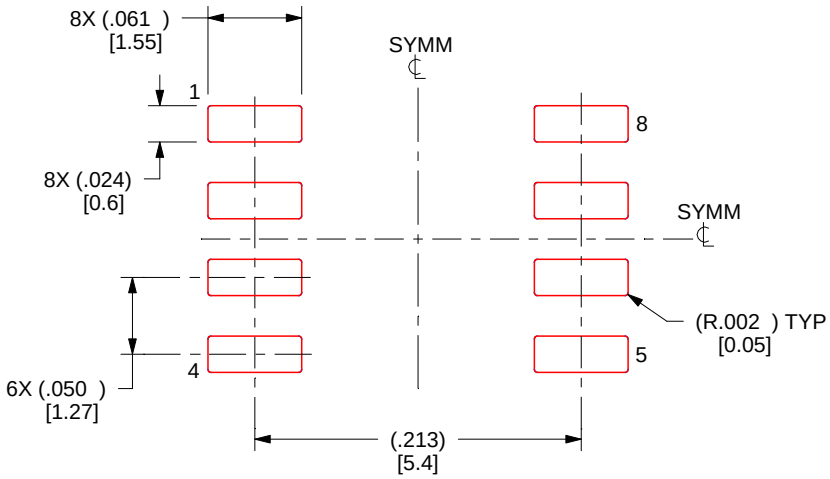


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

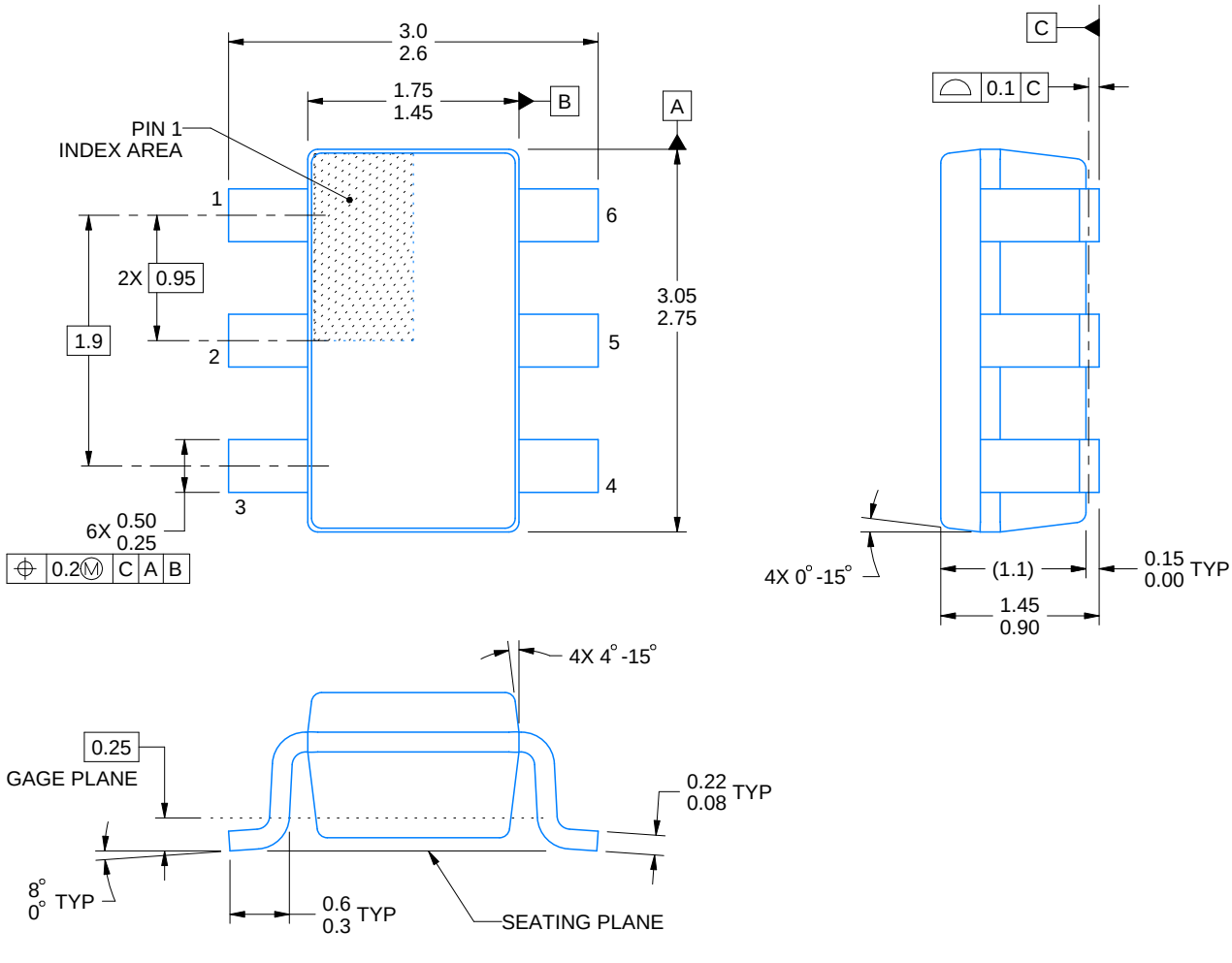


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

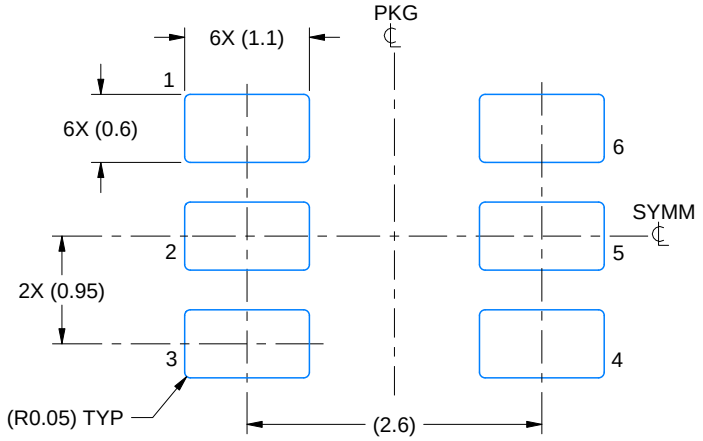
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



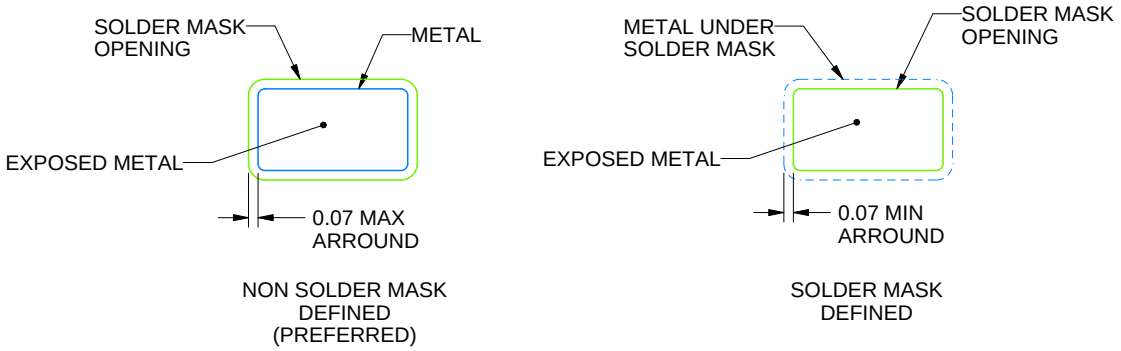
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

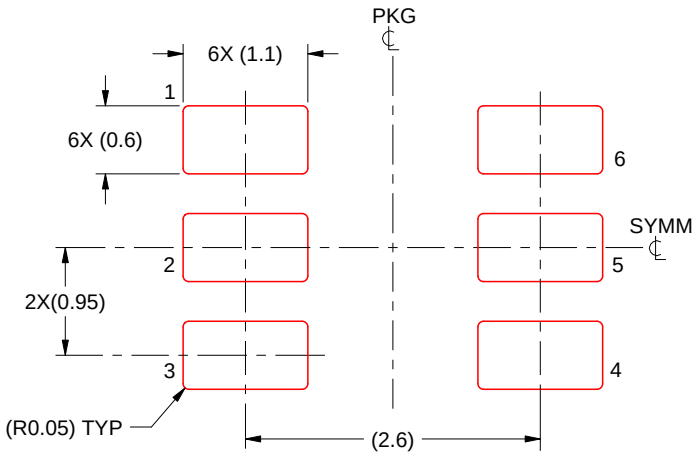


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

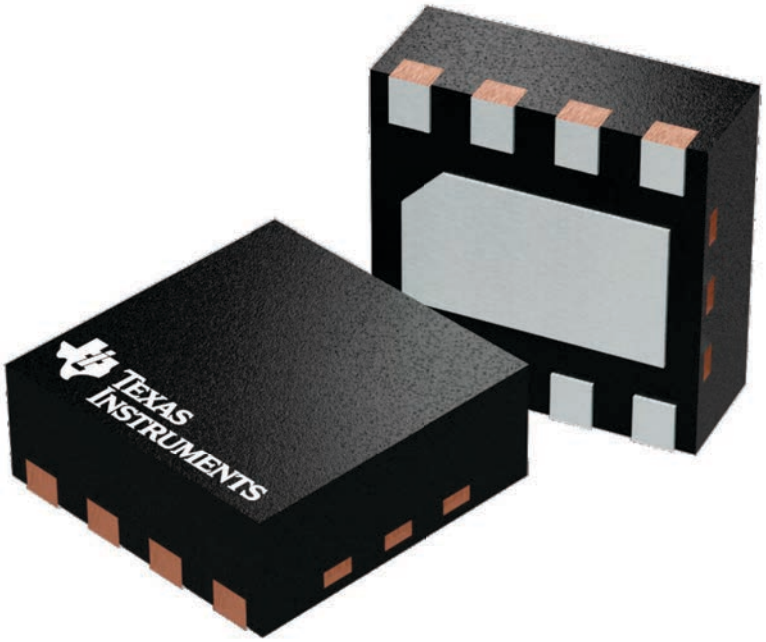
DSG 8

WSON - 0.8 mm max height

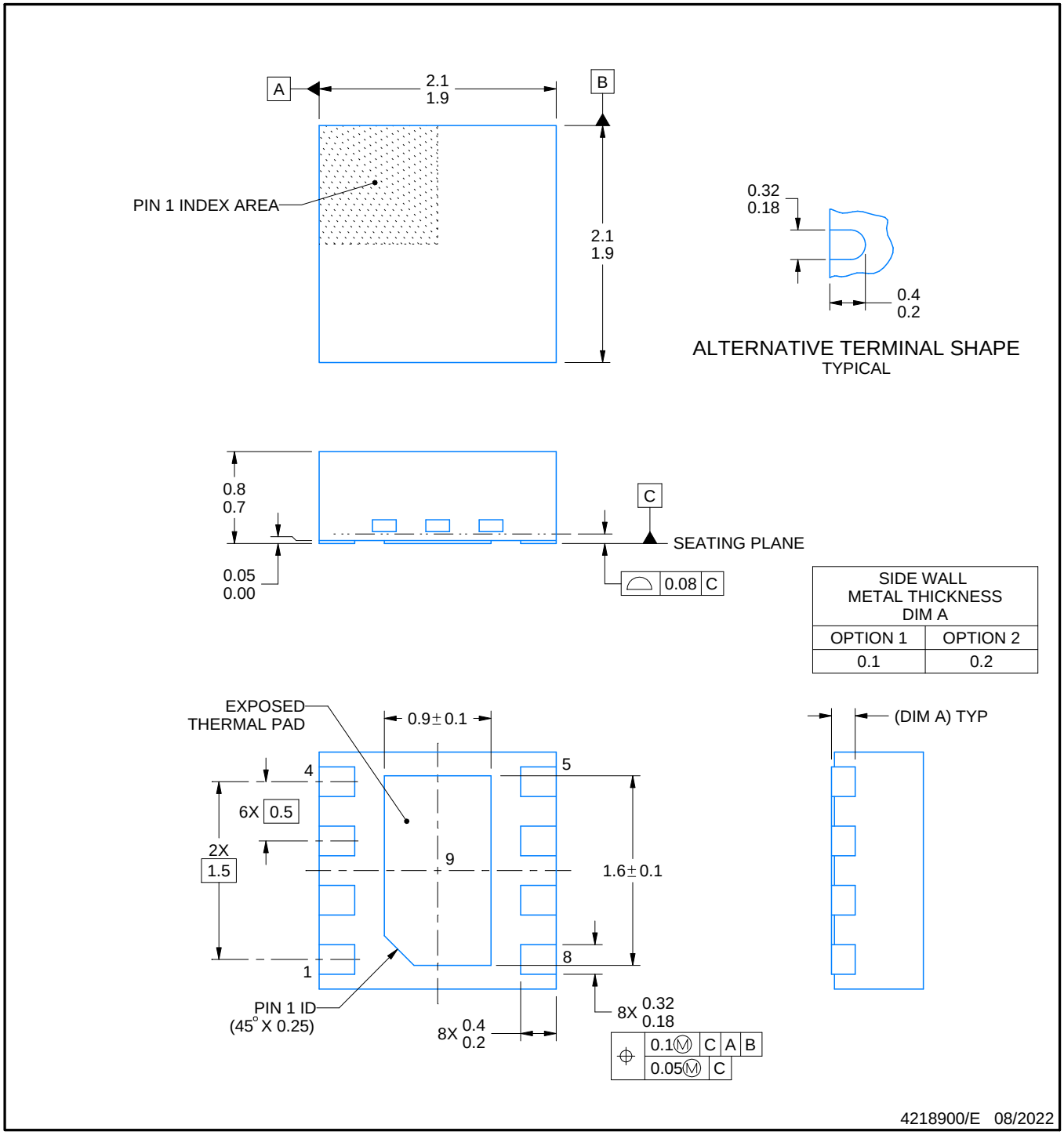
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

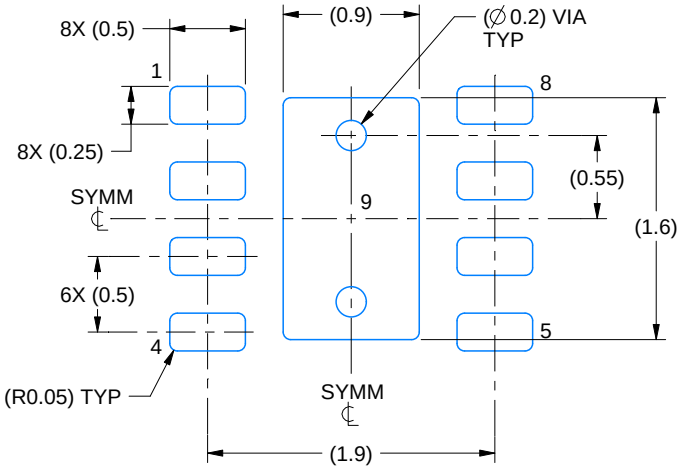


4224783/A

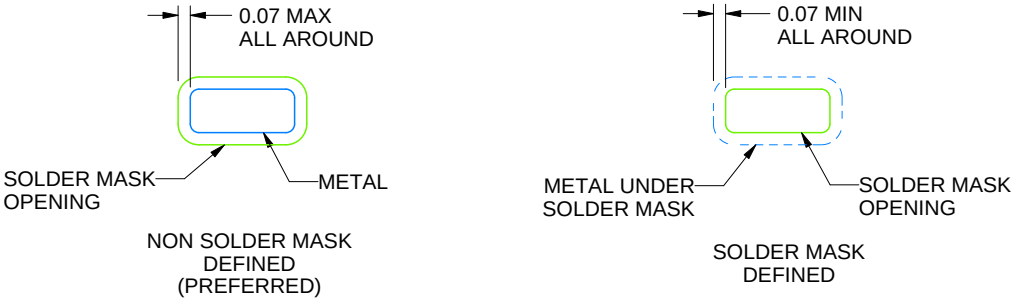


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

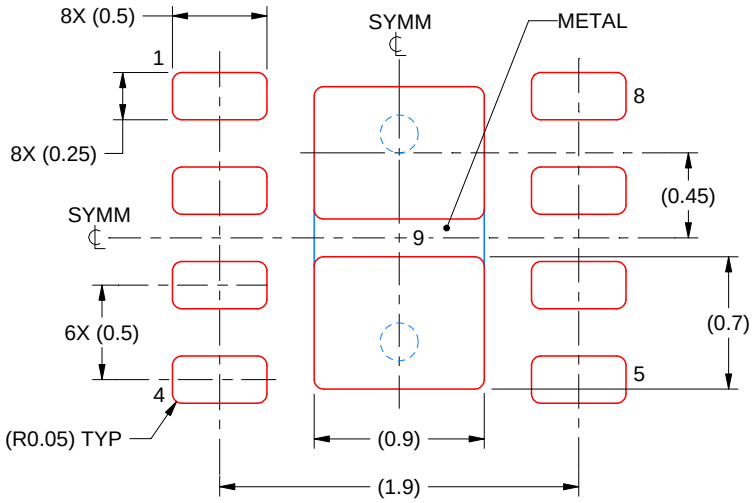


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated