

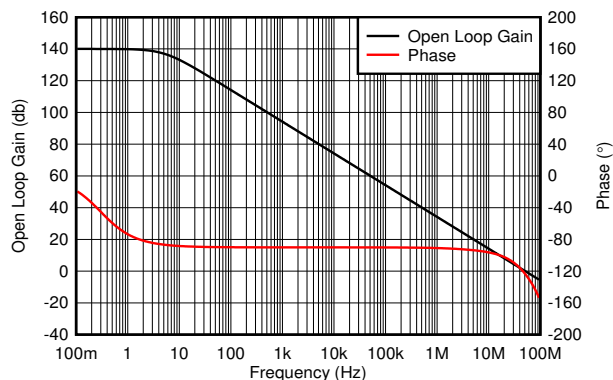
OPAx828 低オフセット、低ドリフト、低ノイズ、45MHz、36V JFET 入力、オペアンプ

1 特長

- 低入力電圧ノイズ密度:
1kHz 時に 4nV/√Hz
- 入力電圧ノイズ:
0.1Hz~10Hz 60μV_{RMS}
- 低い入力バイアス電流:
 - 0.1pA (DGN)
 - 1pA (D)
- 入力オフセット電圧:
 - 25μV (DGN)
 - 50μV (D)
- 入力オフセット・ドリフト:
 - 0.2μV/°C (DGN)
 - 0.45μV/°C (D)
- MUX 対応入力
- ゲイン帯域幅: 45MHz
- スルーレート: 150V/μs
- 14 ビットのセトリング・タイム: 120ns
- 過負荷電力制限
- 広い電源電圧範囲: ±4V~±18V
- パッケージ:
 - D パッケージ: 8 ピン SOIC
 - DGN パッケージ: 8 ピン HVSSOP

2 アプリケーション

- データ・アキュイジション (DAQ)
- 光学モジュール
- 実験室およびフィールド計測
- 混載モジュール (AI, AO, DI, DO)
- 超音波スキャナ



開ループ・ゲインおよび位相と周波数との関係

3 概要

OPA828 および OPA2828 (OPAx828) JFET 入力オペアンプは、OPA627 および OPA827 の次世代モデルであり、高速性と高い DC 精度および AC 性能が特徴です。これらのオペアンプは、低オフセット電圧、温度範囲全体で低ドリフト、低バイアス電流、低ノイズが特長であり、ノイズはわずか 60nV_{RMS} (0.1Hz~10Hz) です。OPAx828 は ±4V~±18V の広い電源電圧範囲で動作し、供給電流は、チャンネルごとに 5.5mA(標準値) です。

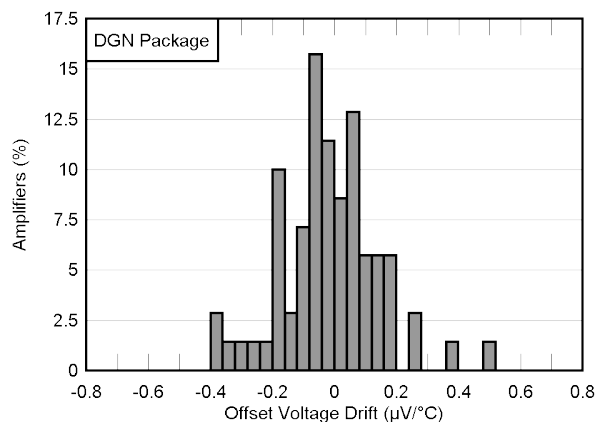
45MHz のゲイン帯域幅積 (GBW) や 150V/μs のスルー・レートなどの AC 特性と、高精度の DC 特性から、OPAx828 ファミリーは各種のシステムに最適です。これには、16 ビット~18 ビットのミクス・シグナル・システム、トランスインピーダンス (I/V 変換) アンプ、フィルタ、高精度の ±10V フロントエンド、および高インピーダンスのセンサ・インターフェイス・アプリケーションなど、高速で高分解能のデータ・アキュイジション・システムが含まれます。

OPAx828 は、8 ピン SOIC パッケージと、熱的に強化された 8 ピン HVSSOP PowerPAD™ IC パッケージで供給されます。

デバイス情報

部品番号	チャンネル	パッケージ (1)
OPA828	シングル	D (SOIC, 8)
		DGN (HVSSOP, 8)
OPA2828	デュアル	DGN (HVSSOP, 8)

(1) 利用可能なパッケージについては、データシートの末尾にある注文情報を参照してください。



オフセット電圧ドリフト



目次

1 特長.....	1	7.4 デバイスの機能モード.....	27
2 アプリケーション.....	1	8 アプリケーションと実装.....	28
3 概要.....	1	8.1 アプリケーション情報.....	28
4 改訂履歴.....	2	8.2 代表的なアプリケーション.....	28
5 ピン構成および機能.....	3	8.3 電源に関する推奨事項.....	31
6 仕様.....	5	8.4 レイアウト.....	31
6.1 絶対最大定格.....	5	9 デバイスおよびドキュメントのサポート.....	35
6.2 ESD 定格.....	5	9.1 デバイスのサポート.....	35
6.3 推奨動作条件.....	5	9.2 ドキュメントのサポート.....	35
6.4 熱に関する情報.....	5	9.3 ドキュメントの更新通知を受け取る方法.....	35
6.5 電気的特性.....	6	9.4 サポート・リソース.....	35
6.6 代表的な特性.....	8	9.5 商標.....	35
7 詳細説明.....	17	9.6 静電気放電に関する注意事項.....	35
7.1 概要.....	17	9.7 用語集.....	35
7.2 機能ブロック図.....	17	10 メカニカル、パッケージ、および注文情報.....	35
7.3 機能説明.....	18		

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (December 2018) to Revision D (December 2022) Page

- DGN パッケージの OPA828 および OPA2828 をプレビューから量産データに変更し、関連コンテンツを追加..... 1

Changes from Revision B (December 2018) to Revision C (October 2022) Page

- DGN (HVSSOP、8) プレビュー・パッケージに OPA828 および OPA2828 を追加し、関連する内容をデータシートに追加..... 1
- 「推奨動作条件」の「周囲温度」行に T_A 記号を追加..... 5
- 「推奨動作条件」に表の注記を追加..... 5
- 「電気的特性」から V_S を削除、「推奨動作条件」に同データを記載..... 6
- 「電気的特性」から T_A を削除、「推奨動作条件」に同データを記載..... 6
- セクションのタイトルを「容量性負荷および安定性」から「ノイズ特性」に変更..... 22
- 不足している式 2 を追加..... 22
- 「PowerPAD 設計上の考慮事項 (DGN パッケージのみ)」セクションを追加..... 33

Changes from Revision A (November 2018) to Revision B (December 2018) Page

- 量産データのデータシートの初版..... 1

5 ピン構成および機能

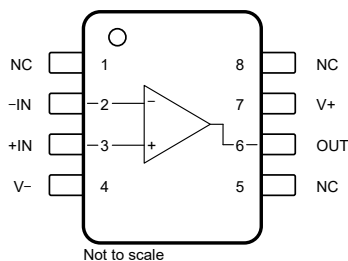


図 5-1. OPA828 D パッケージ、8 ピン SOIC および DGN パッケージ、8 ピン HVSSOP (上面図)

表 5-1. ピンの機能 : OPA828

名称	番号	種類	説明
-IN	2	入力	負 (反転) 入力
+IN	3	入力	正 (非反転) 入力
NC	1、5、8	—	内部接続なし (フローティングのまま、または接地)
OUT	6	出力	出力
V+	7	—	正 (最高) 電源
V-	4	—	負 (最低) 電源
サーマル・パッド ⁽¹⁾	—	—	パッケージ裏面の露出熱伝導性パッド。サーマル・パッドを熱拡散の電源またはグラウンド・プレーンに半田付け。ダイからは電氣的に絶縁されているが (10MΩ 超)、入力ピンへのリークを最小限に抑えるためサーマル・パッドを V- またはグラウンドに接続。

(1) DGN パッケージのみ。

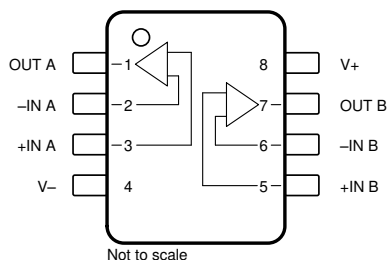


図 5-2. OPA2828 DGN パッケージ、8 ピン HVSSOP (上面図)

表 5-2. ピンの機能 : OPA2828

名称	番号	種類	説明
-IN A	2	入力	負 (反転) 入力 A
+IN A	3	入力	正 (非反転) 入力 A
-IN B	6	入力	負 (反転) 入力 B
+IN B	5	入力	正 (非反転) 入力 B
OUT A	1	出力	出力 A
OUT B	7	出力	出力 B
V+	8	—	正 (最高) 電源
V-	4	—	負 (最低) 電源

表 5-2. ピンの機能 : OPA2828 (continued)

名称	番号	種類	説明
サーマル・パッド ⁽¹⁾	—	—	パッケージ裏面の露出熱伝導性パッド。サーマル・パッドを熱拡散の電源またはグランド・プレーンに半田付け。ダイからは電氣的に絶縁されているが (10MΩ 超)、入力ピンへのリークを最小限に抑えるためサーマル・パッドを V ₋ またはグランドに接続。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V _S	電源電圧、(V+) - (V-)	単一電源		40	V
		デュアル電源		±20	
	信号入力ピン	電圧	同相 ⁽³⁾	(V-) - 0.5 (V+) + 0.5	V
			差動 ⁽²⁾	(V+) - (V-)	
		電流 ⁽³⁾		±10	mA
	出力短絡電流 ⁽⁴⁾		連続		
	サーマル・パッド電圧 (DGN パッケージ)		(V-) - 1	(V-) + 30	V
T _J	接合部温度 ⁽⁵⁾		-55	150	°C
T _{stg}	保存温度		-65	150	

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格だけを示しており、絶対最大定格において、またはこのデータシートの「推奨動作定格」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) 入力端子は、逆並列ダイオードを使用して互いにクランプされることはありません。JFET の入力段は、最大でデバイスの電源電圧までの大きな差動電圧値を許容します。
- (3) 入力端子は、電源レールに対してダイオード・クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に制限してください。
- (4) グランドへの短絡、1 パッケージ当たり 1 アンペア。
- (5) デバイスの周囲温度と接合部温度の詳細については、[セクション 8.4.1.1](#) および [セクション 7.3.11](#) を参照してください。

6.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000
		荷電デバイス・モデル (CDM)、JEDEC 規格 JESD22-C101 準拠、すべてのピン ⁽²⁾	±500

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V _S	電源電圧、(V+) - (V-)	単一電源	8		36	V
		2 電源	±4		±18	
	サーマル・パッド電圧 (DGN パッケージ)		(V-) -		(V+) + 18	V
T _A	周囲温度 ⁽¹⁾		-40		125	°C

- (1) デバイスの周囲温度と接合部温度の詳細については、[セクション 8.4.1.1](#) および [セクション 7.3.11](#) を参照してください。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		OPA828		OPA2828	単位
		D (SOIC)	DGN (HVSSOP)	DGN (HVSSOP)	
		8 ピン	8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	121.5	56.7	49.9	°C/W
R _{θJC (top)}	接合部からケース (上面) への熱抵抗	64.3	74.9	61.6	°C/W
R _{θJB}	接合部から基板への熱抵抗	65	29.2	21.8	°C/W
Ψ _{JT}	接合部から上面への特性評価パラメータ	18	3.7	1.7	°C/W

熱評価基準 ⁽¹⁾		OPA828		OPA2828	単位
		D (SOIC)	DGN (HVSSOP)	DGN (HVSSOP)	
		8 ピン	8 ピン	8 ピン	
Ψ_{JB}	接合部から基板への特性評価パラメータ	64.3	29.1	21.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 電気的特性

$T_A = 25^\circ\text{C}$ 、 $(V+) = 15\text{V}$ 、 $(V-) = -15\text{V}$ 、 $V_{CM} = V_O =$ 中間電源、 $C_L = 20\text{pF}$ 、 $R_L = 2\text{k}\Omega$ を中間電源に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V _{OS}	入力オフセット電圧	D パッケージ			±50	±300	μV
			T _A = 0°C〜85°C			±350	
			T _A = -40°C〜+125°C			±400	
		DGN パッケージ			±25	±125	
			T _A = 0°C〜85°C			±175	
			T _A = -40°C〜125°C			±200	
dV _{OS} /dT	入力オフセット電圧ドリフト	T _A = 0°C〜+85°C			±0.3	±1.3	μV/°C
		T _A = -40°C〜+125°C	D パッケージ		±0.45	±1.5	
			DGN パッケージ		±0.2	±0.8	
PSRR	電源電圧変動除去比	8V ≤ V _S ≤ 36V			1.4	±5.6	μV/V
		T _A = 0°C〜85°C				±7	
		T _A = -40°C〜+125°C				±10	
入力バイアス電流							
I _B	入力バイアス電流	D パッケージ			±1	±8	pA
		DGN パッケージ			±0.2	±5	
		T _A = 0°C〜85°C				±400	nA
		T _A = -40°C〜+125°C				±3	
I _{OS}	入力オフセット電流	D パッケージ			±1	±8	pA
		DGN パッケージ			±0.2	±5	
		T _A = 0°C〜85°C				±500	nA
		T _A = -40°C〜+125°C				±1.5	
ノイズ							
E _N	入力電圧ノイズ	f = 0.1Hz〜10Hz、ピーク・ツー・ピーク				0.34	μV _{PP}
		f = 0.1Hz〜10Hz、RMS				0.06	μV _{RMS}
e _N	入力電圧ノイズ密度	f = 10Hz				7.5	nV/√Hz
		f = 100Hz				4.8	
		f = 1kHz				4	
i _N	入力電流ノイズ密度	f = 1kHz				1.2	fA/√Hz
入力電圧							
V _{CM}	同相電圧				(V-) + 2.5	(V+) - 3.5	V
CMRR	同相信号除去比	(V-) + 2.5V < V _{CM} < (V+) - 3.5V	D パッケージ		108	115	dB
			DGN パッケージ		103	108	dB
		(V-) + 2.5V < V _{CM} < (V+) - 3.5V、 T _A = 0°C〜85°C	D パッケージ		105		dB
			DGN パッケージ		102		dB
		(V-) + 2.5V < V _{CM} < (V+) - 3.5V、 T _A = -40°C〜+125°C	D パッケージ		103		dB
			DGN パッケージ		100		dB
入力インピーダンス							
Z _{ID}	差動					10 ¹² 6	Ω pF
Z _{ICM}	同相					10 ¹² 9	Ω pF

6.5 電気的特性 (continued)

$T_A = 25^\circ\text{C}$ 、 $(V+) = 15\text{V}$ 、 $(V-) = -15\text{V}$ 、 $V_{CM} = V_O =$ 中間電源、 $C_L = 20\text{pF}$ 、 $R_L = 2\text{k}\Omega$ を中間電源に接続 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
開ループ・ゲイン							
A _{OL}	開ループ電圧ゲイン	(V ⁻) + 1.6V < V _O < (V ⁺) – 1.6V、R _L = 600Ω		120	130	dB	
		(V ⁻) + 1.5V < V _O < (V ⁺) – 1.5V、R _L = 10kΩ		120	130		
		T _A = 0°C～85°C	(V ⁻) + 1.6V < V _O < (V ⁺) – 1.6V、R _L = 600Ω	117			
			(V ⁻) + 1.5V < V _O < (V ⁺) – 1.5V、R _L = 10kΩ	118			
		T _A = -40°C～+125°C	(V ⁻) + 1.6V < V _O < (V ⁺) – 1.6V、R _L = 600Ω	114			
			(V ⁻) + 1.5V < V _O < (V ⁺) – 1.5V、R _L = 10kΩ	114			
周波数特性							
	ユニティ・ゲイン周波数	V _O = 10mV _{PP} 、C _L = 30pF			45		MHz
	位相マージン	V _O = 10mV _{PP} 、C _L = 30pF			57		Degrees
GBW	ゲイン帯域幅積	V _O = 10mV _{PP} 、C _L = 30pF			45		MHz
SR	スルーレート	V _O = 10V ステップ	G = +1		150		V/μs
			G = -1		150		
t _s	セトリング・タイム (入力から出力)	V _O = 10V ステップ、C _L = 30pF、G = -1	±0.0244% まで (12 ビット精度)		110		ns
			±0.0061% まで (14 ビット精度)		120		
	オーバーシュート	V _O = 100mV ステップ、G = +1、C _L = 30pF	V _O = 100mV ステップ、G = +1、C _L = 30pF		8%		
	過負荷復帰時間	G = -10			55		ns
THD+N	全高調波歪 + ノイズ	V _O = 3.5V _{RMS} 、G = +1、f = 1kHz	R _L = 10kΩ		0.000028		%
					-130		dB
			R _L = 600Ω		0.000028		%
					-130		dB
HD2	2 次高調波歪	V _O = 5V _{PP} 、G = +1	f = 100kHz		119		dBc
			f = 500kHz		90		
HD3	3 次高調波歪	V _O = 5V _{PP} 、G = +1	f = 100kHz		125		dBc
			f = 500kHz		105		
IMD	2 次相互変調歪み	SMPTE/DIN ツー・トーン、4:1 (60Hz および 7kHz)、G = 1、V _O = 3VRMS、R _L = 2kΩ、9kHz 測定帯域幅			132		dB
	3 次相互変調歪み	CCIF ツイン・トーン (19kHz および 20kHz)、G = 1、V _O = 3VRMS、R _L = 2kΩ、90kHz 測定帯域幅			137		dB
出力							
	出力電圧スイング	R _L = 10kΩ			0.9	1.2	V
		R _L = 600Ω			1.2		
I _O	出力電流	線形動作の場合、A _{OL} ≥ 120dB			±30		mA
I _{SC}	短絡電流				±50		mA
C _L	容量性負荷ドライブ				代表特性曲線を参照		pF
Z _O	開ループ出力インピーダンス	f = 1MHz、I _O = 0mA			13.5		Ω
電源							
I _Q	静止電流 (アンプ 1 個あたり)	I _O = 0A			5.5	6.2	mA
			T _A = 0°C～85°C		7.1		
			T _A = -40°C～+125°C		7.9		

6.6 代表的な特性

$T_A = 25^\circ\text{C}$ 、 $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

表 6-1. グラフ一覧

説明	図
入力電圧ノイズ密度と周波数との関係	図 6-1
積分入力電圧ノイズと帯域幅との関係	図 6-2
全高調波歪 + ノイズ比と周波数との関係	図 6-3
全高調波歪 + ノイズ比と出力振幅との関係	図 6-4
0.1Hz～10Hz のノイズ	図 6-5
オフセット電圧の製品分布	図 6-6、図 6-7
オフセット電圧ドリフトの製品分布	図 6-8、図 6-9
オフセット電圧と同相電圧との関係	図 6-10
オフセット電圧と電源電圧との関係	図 6-11
オフセット電圧と出力電圧との関係	図 6-12
オフセット電圧と温度との関係	図 6-13
入力バイアスおよび入力オフセット電流と同相電圧との関係	図 6-14
入力バイアスおよび入力オフセット電流と温度との関係	図 6-15
静止電流と出力電圧との関係	図 6-16
静止電流と温度との関係	図 6-17
出力電圧スイングと出力ソース電流との関係	図 6-18
出力電圧スイングと出力シンク電流との関係	図 6-19
電源除去比と周波数との関係	図 6-20
同相除去比と周波数との関係	図 6-21
電源除去比と温度との関係	図 6-22
同相除去比と温度との関係	図 6-23
開ループ・ゲインおよび位相と周波数との関係	図 6-24
開ループ・ゲインと周波数との関係	図 6-25
開ループ・ゲインと温度との関係	図 6-26
開ループ出力インピーダンスと周波数との関係	図 6-27
小信号オーバーシュートと容量性負荷との関係、ゲイン = +1	図 6-28
小信号オーバーシュートと容量性負荷との関係、ゲイン = -1	図 6-29
位相反転なし	図 6-30
正の過負荷からの回復	図 6-31
負の過負荷からの回復	図 6-32
小信号ステップ応答	図 6-33
大信号ステップ応答	図 6-34
12 ビット、14 ビットのセトリング・タイム	図 6-35、図 6-36
短絡電流と温度との関係	図 6-37
スルーレートと温度との関係	図 6-38
スルーレートと出力ステップ・サイズとの関係	図 6-39
最大出力電圧と周波数との関係	図 6-40
相互変調歪み	図 6-41
電磁干渉除去	図 6-42
高調波歪みと周波数との関係	図 6-43

6.6 代表的な特性

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

表 6-1. グラフ一覧 (continued)

説明	図
チャンネル・セパレーション	図 6-44

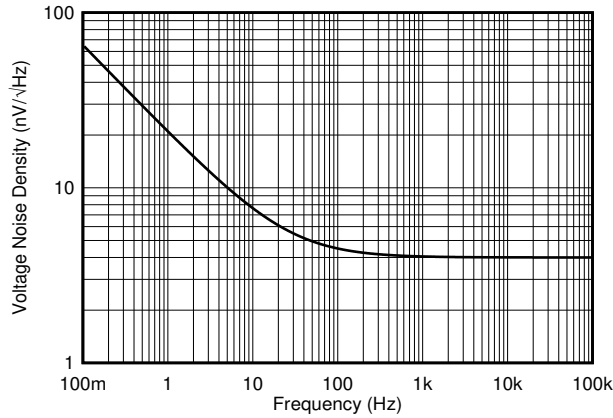
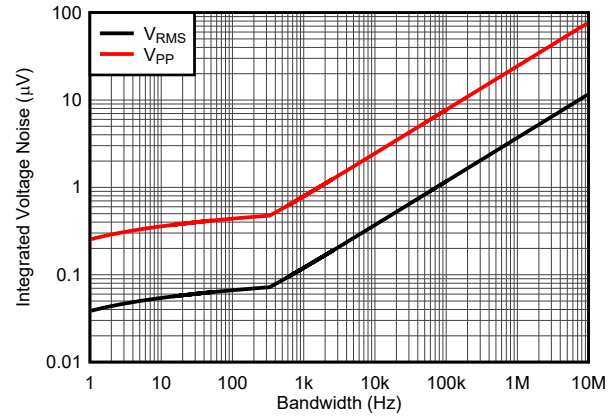


図 6-1. 入力電圧ノイズ密度と周波数との関係



ノイズ帯域幅 = 対象の周波数に対して 0.1Hz

図 6-2. 積分入力電圧ノイズと帯域幅との関係

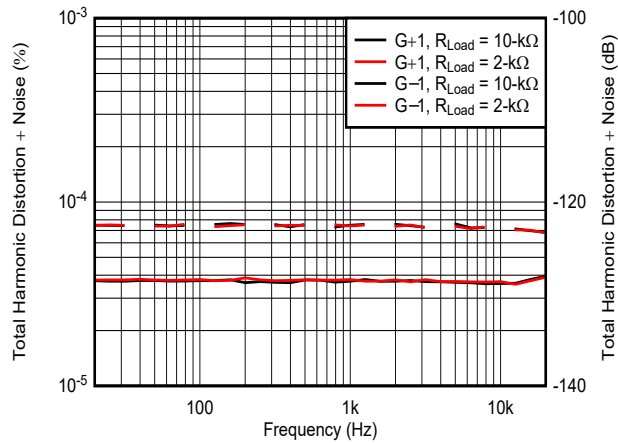


図 6-3. 全高調波歪 + ノイズ比と周波数との関係

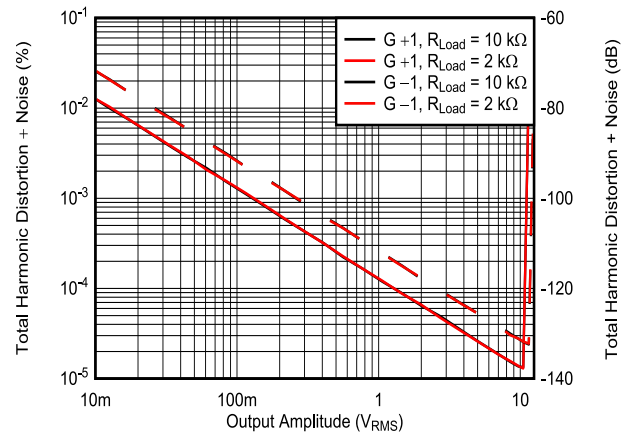


図 6-4. 全高調波歪 + ノイズ比と出力振幅との関係

6.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

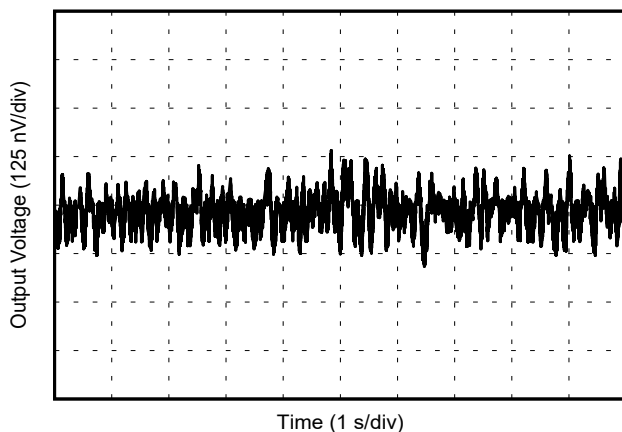


図 6-5. 0.1Hz~10Hz のノイズ

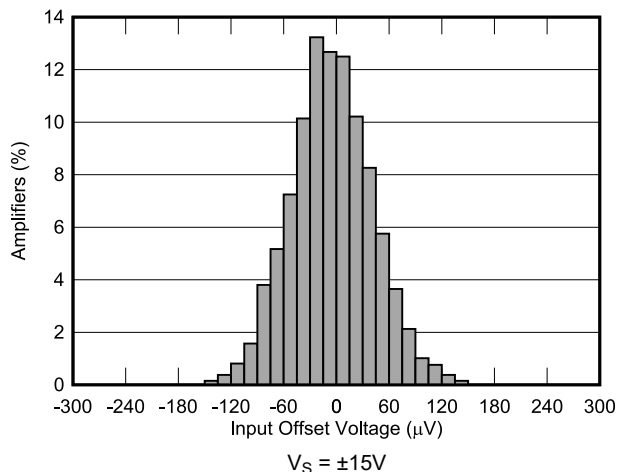
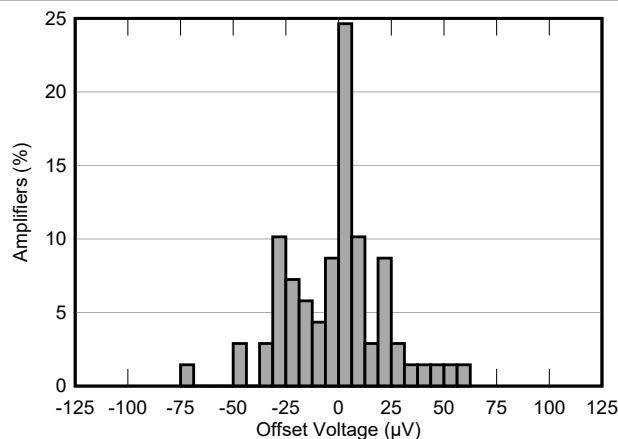
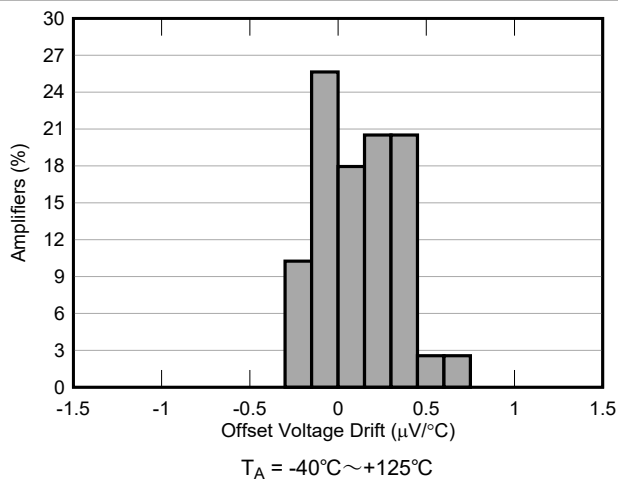


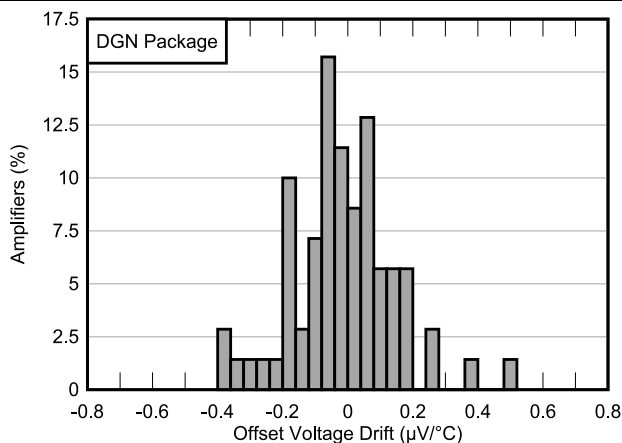
図 6-6. オフセット電圧の製品分布



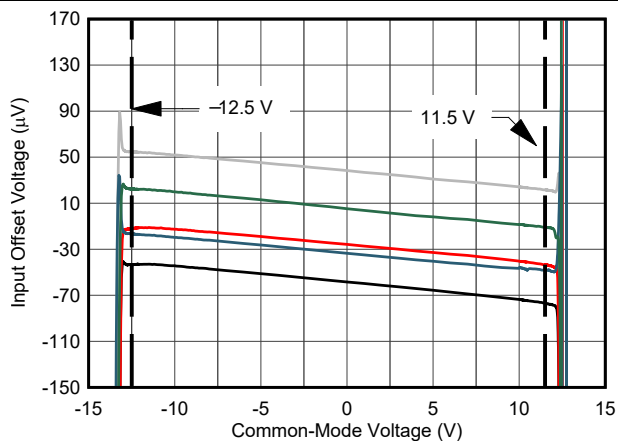
DGN パッケージ、 $V_S = \pm 15\text{V}$
図 6-7. オフセット電圧の製品分布



$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$
図 6-8. オフセット電圧ドリフトの製品分布



DGN パッケージ、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$
図 6-9. オフセット電圧ドリフトの製品分布



$V_S = \pm 15\text{V}$, 5 個の代表的なユニット
図 6-10. オフセット電圧と同相電圧との関係

6.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

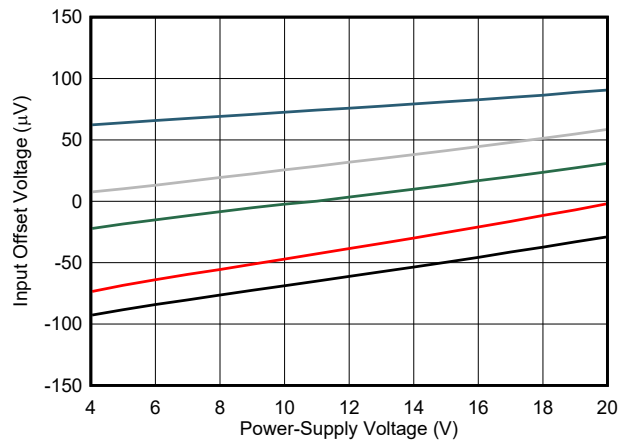


図 6-11. オフセット電圧と電源電圧との関係

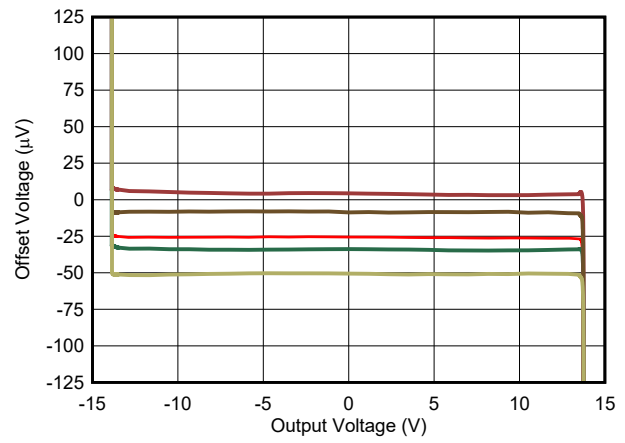


図 6-12. オフセット電圧と出力電圧との関係

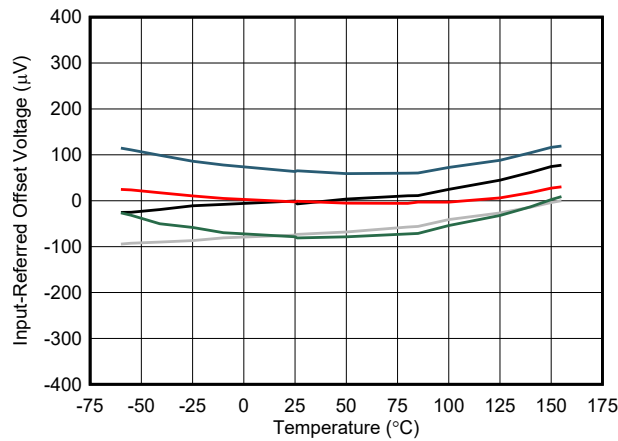


図 6-13. オフセット電圧と温度との関係

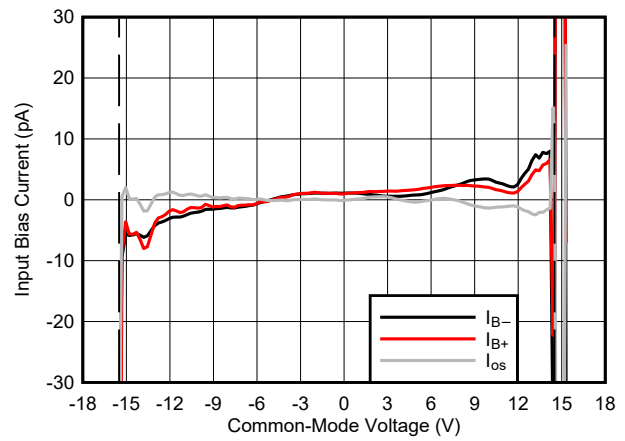


図 6-14. 入力バイアスおよび入力オフセット電流と同相電圧との関係

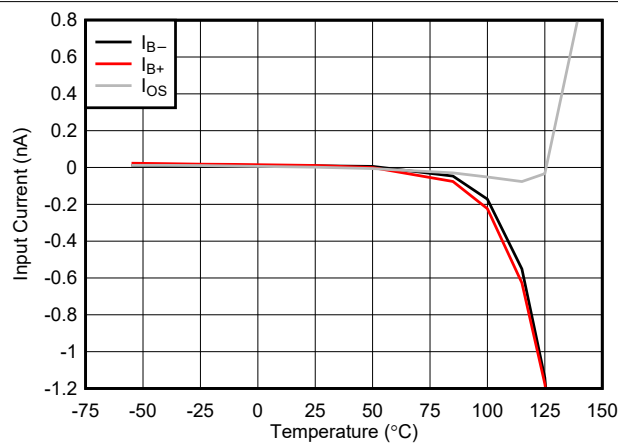


図 6-15. 入力バイアスおよび入力オフセット電流と温度との関係

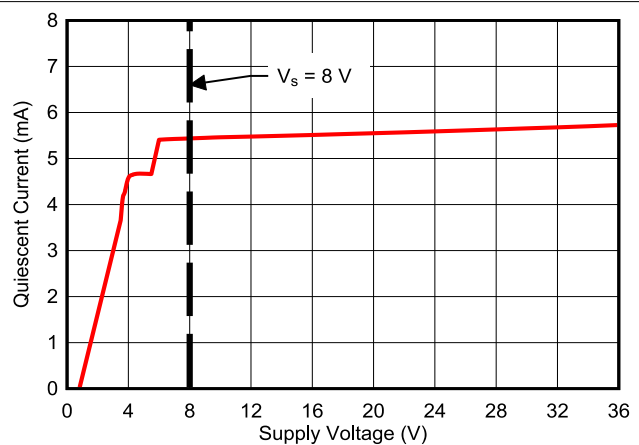


図 6-16. 静止電流と電源電圧との関係

6.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

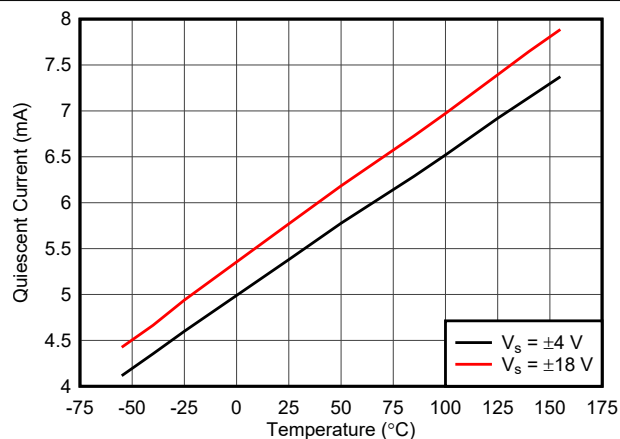


図 6-17. 静止電流と温度との関係

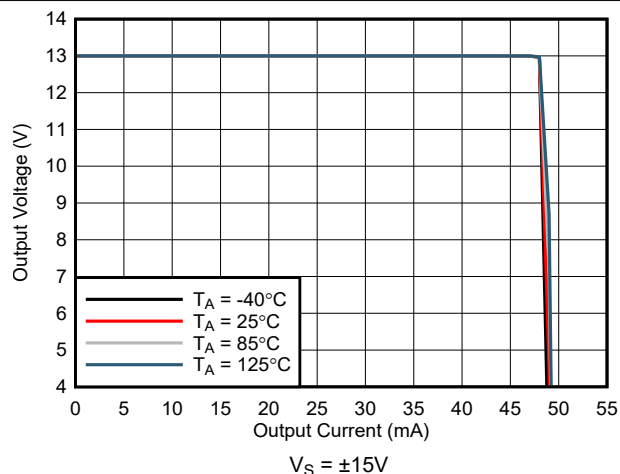


図 6-18. 出力電圧スイングと出力ソース電流との関係

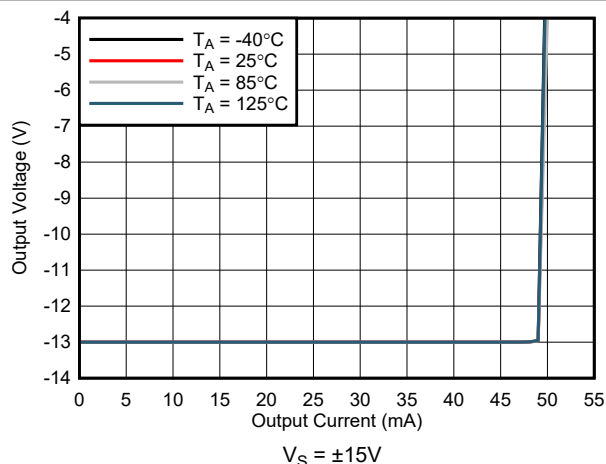


図 6-19. 出力電圧スイングと出力シンク電流との関係

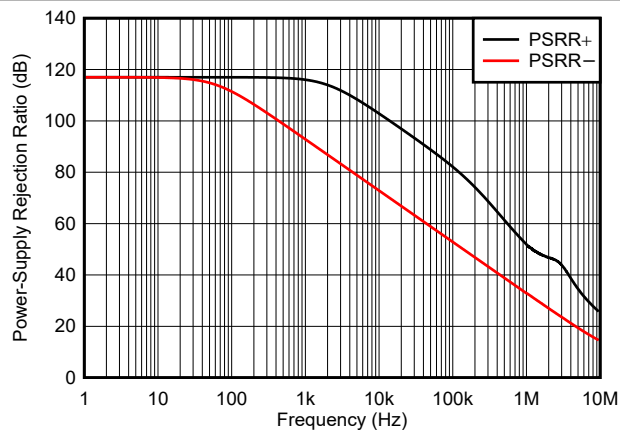


図 6-20. 電源除去比と周波数との関係

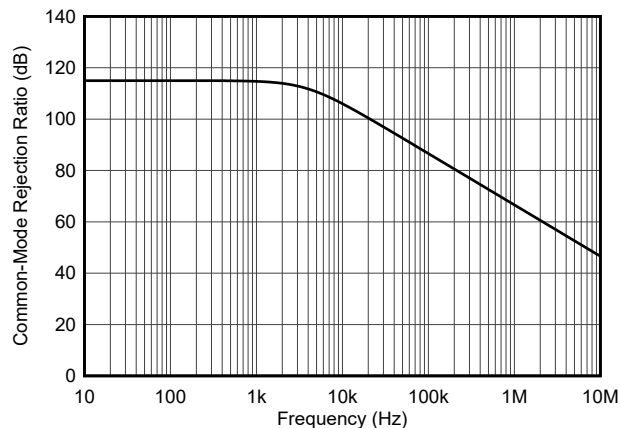


図 6-21. 同相除去比と周波数との関係

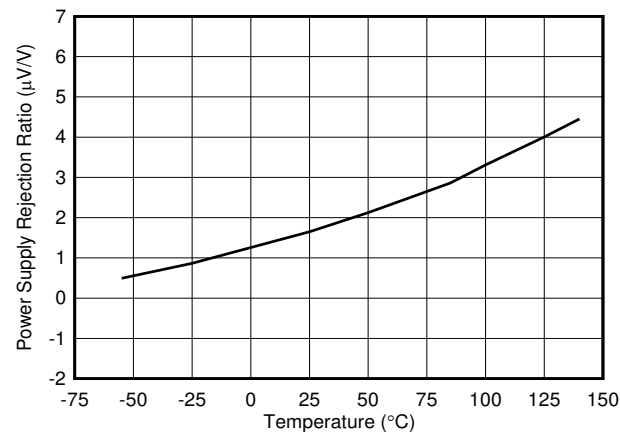


図 6-22. 電源除去比と温度との関係

6.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

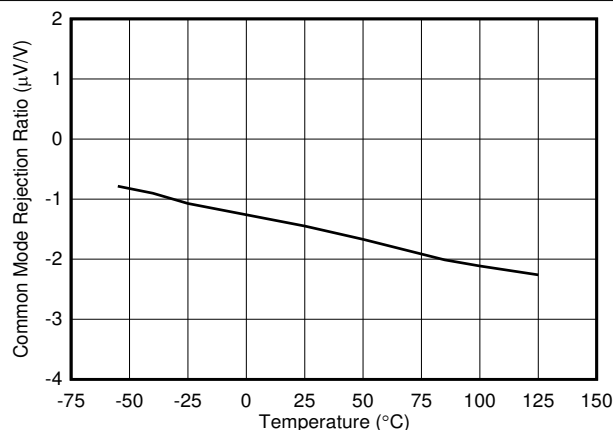


図 6-23. 同相除去比と温度との関係

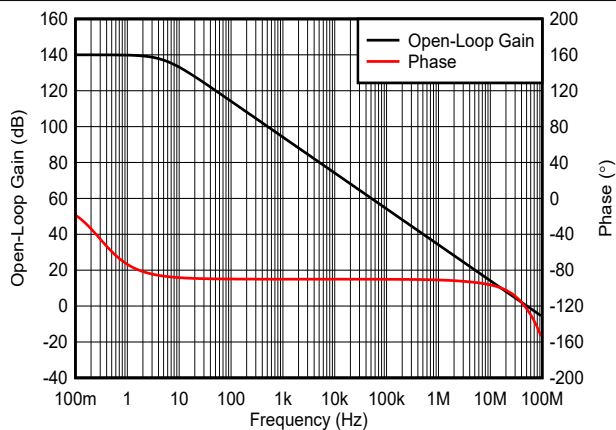


図 6-24. 開ループ・ゲインおよび位相と周波数との関係

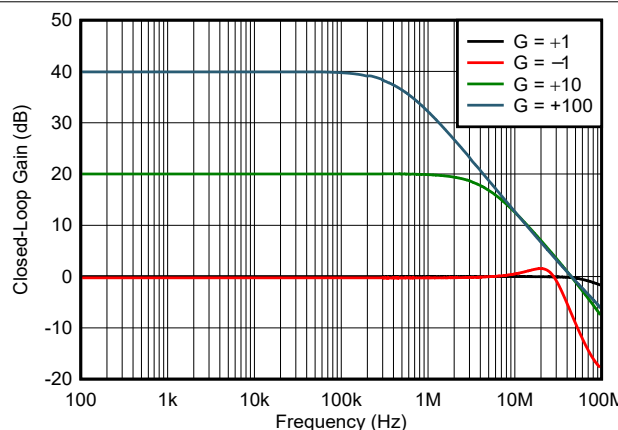


図 6-25. 閉ループ・ゲインと周波数との関係

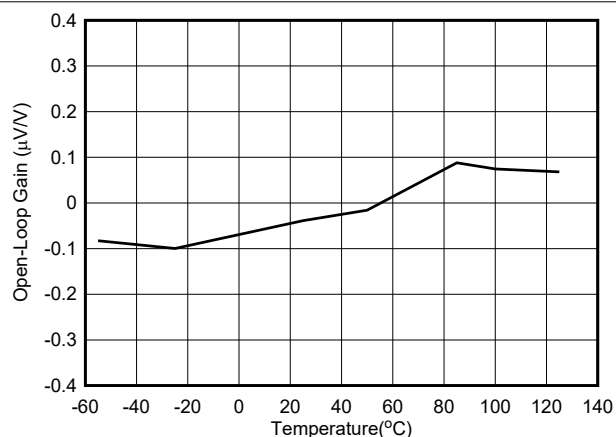


図 6-26. 開ループ・ゲインと温度との関係

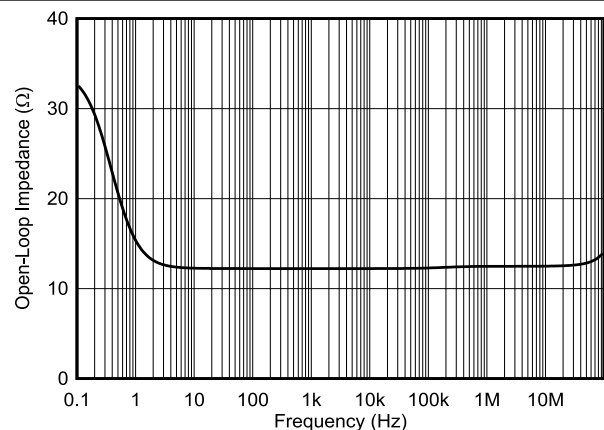


図 6-27. 開ループ出力インピーダンスと周波数との関係

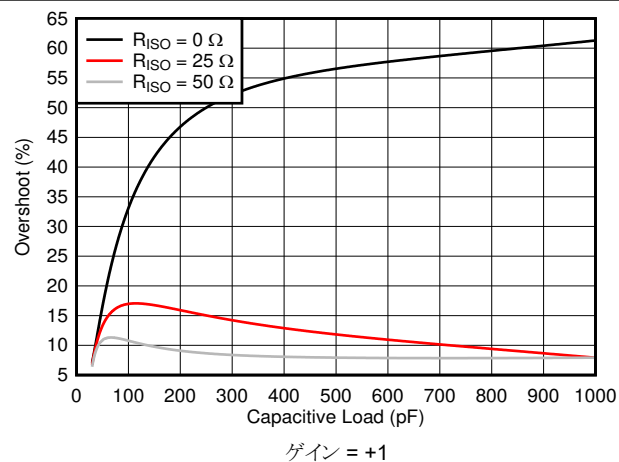


図 6-28. 小信号オーバーシュートと容量性負荷との関係

6.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

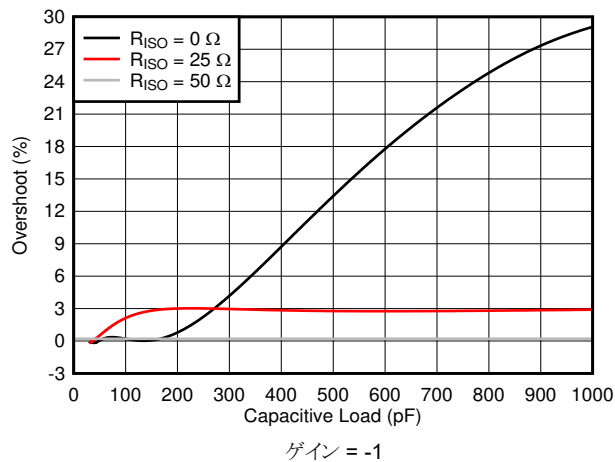


図 6-29. 小信号オーバーシュートと容量性負荷との関係

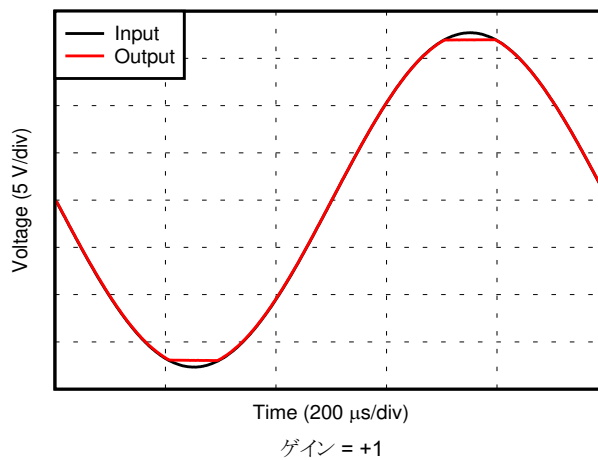


図 6-30. 位相反転なし

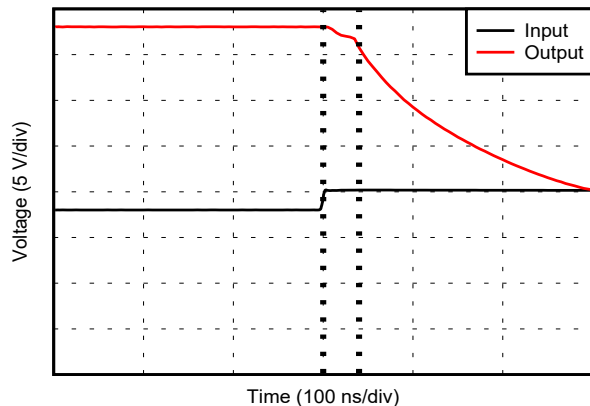


図 6-31. 正の過負荷からの回復

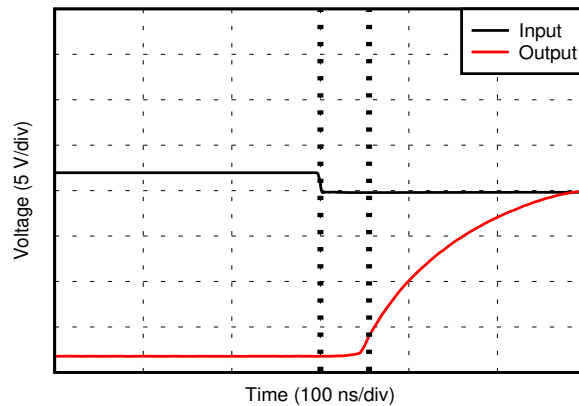


図 6-32. 負の過負荷からの回復

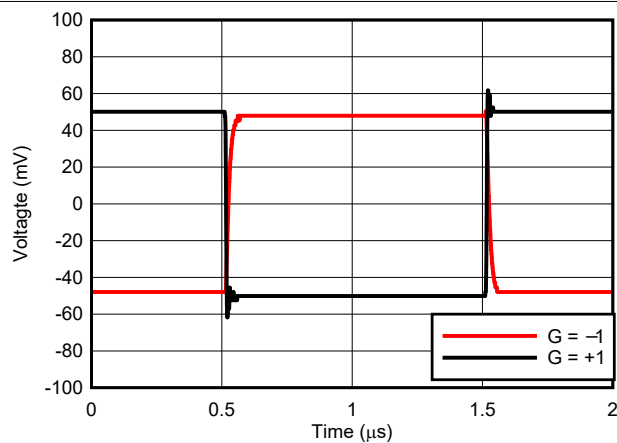


図 6-33. 小信号ステップ応答

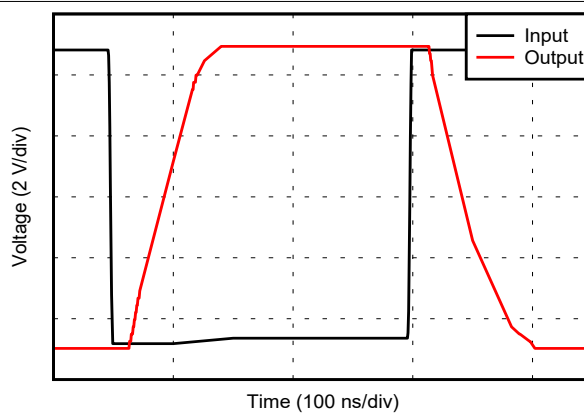


図 6-34. 大信号ステップ応答

6.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

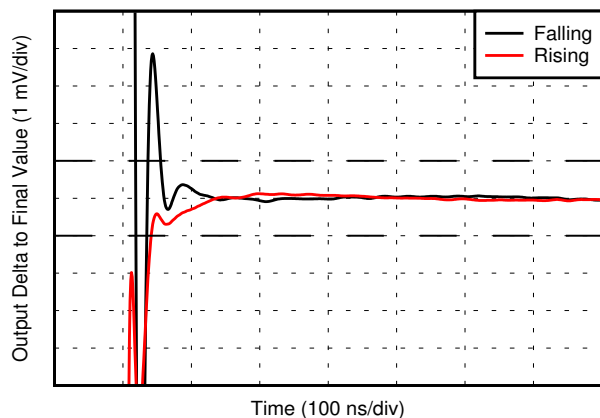


図 6-35. 12 ビットのセリング・タイム

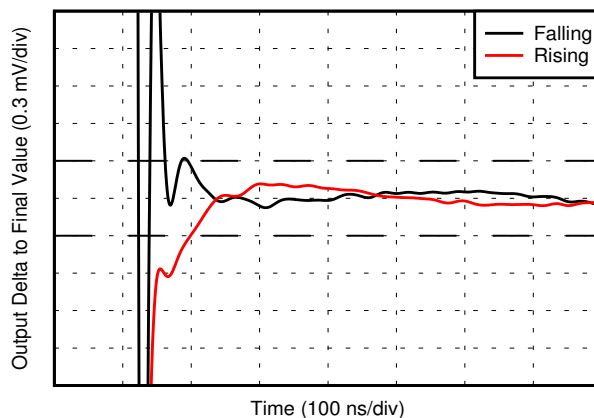


図 6-36. 14 ビットのセリング・タイム

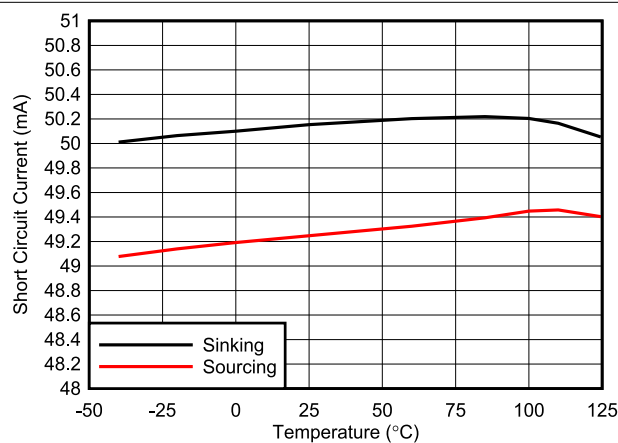


図 6-37. 短絡電流と温度との関係

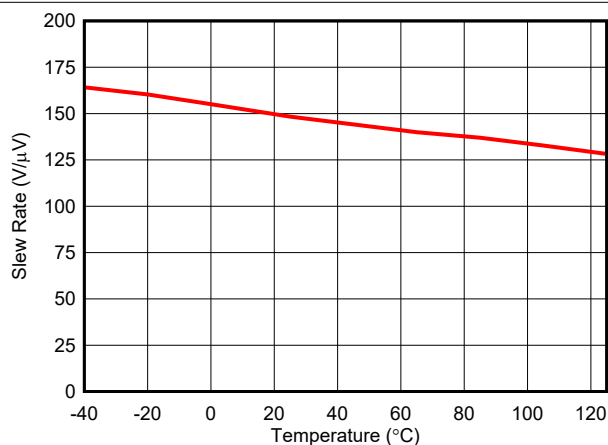


図 6-38. スルーレートと温度との関係

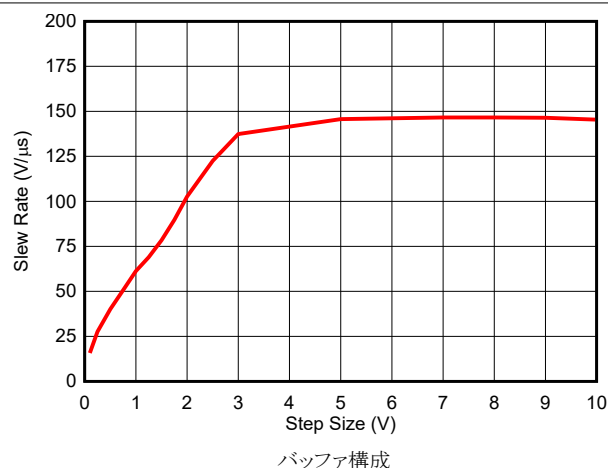


図 6-39. スルーレートと出カステップ・サイズとの関係

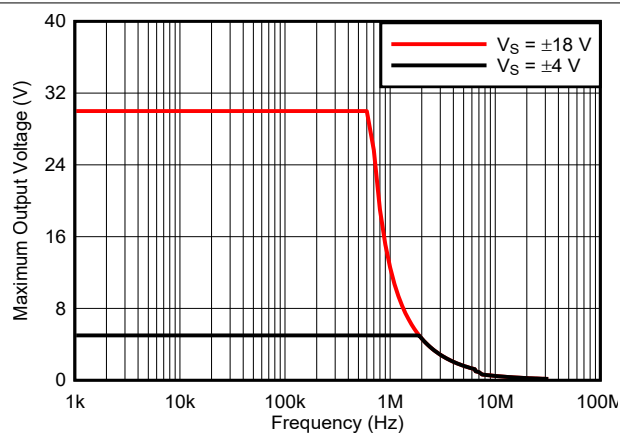


図 6-40. 最大出力電圧と周波数との関係

6.6 代表的な特性 (continued)

$T_A = 25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ を中間電源に接続、 $V_{CM} = V_{OUT} =$ 中間電源、 $V_S = \pm 18\text{V}$ (特に記述のない限り)

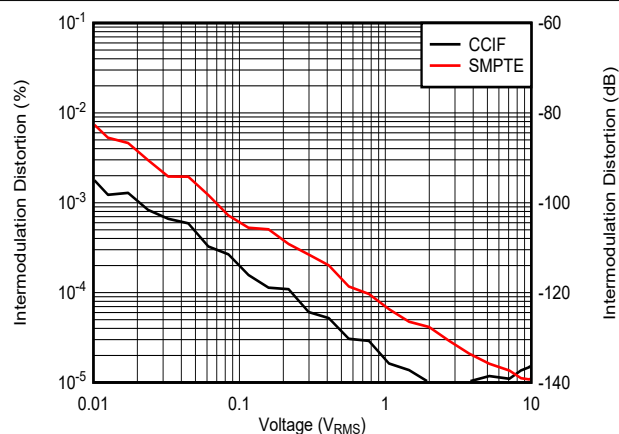


図 6-41. 相互変調歪み

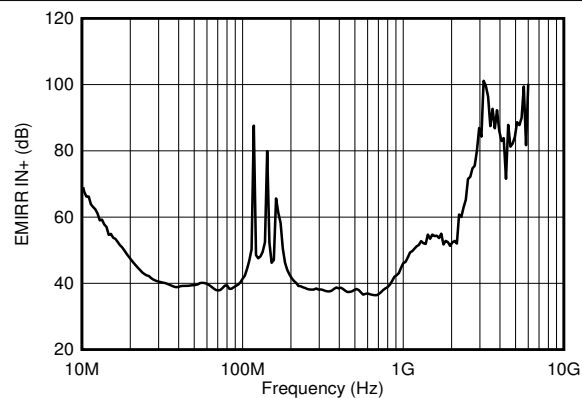


図 6-42. 電磁干渉除去

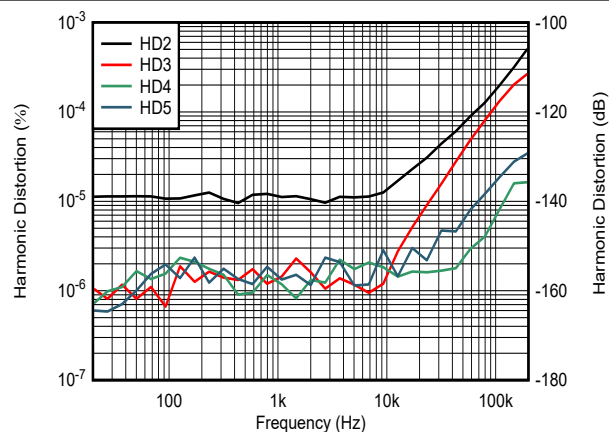
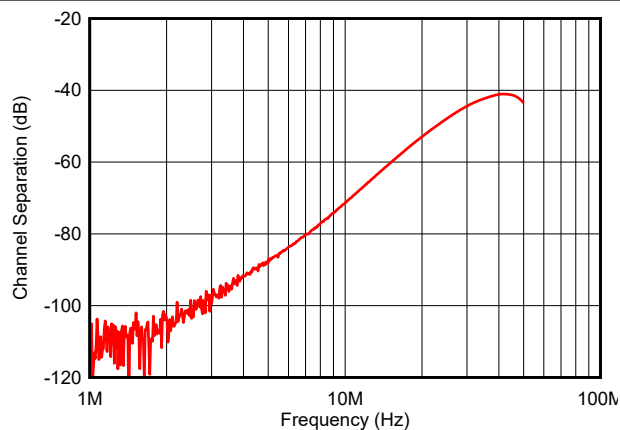


図 6-43. 高調波歪みと周波数との関係



OPA2828、DGN パッケージ

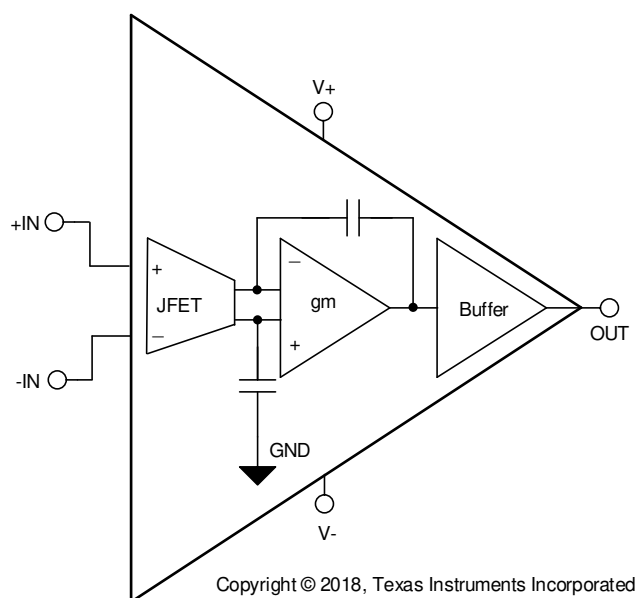
図 6-44. チャネル・セパレーション

7 詳細説明

7.1 概要

OPAx828 は、最高レベルの精度を実現する低ノイズ、高速 JFET 入力アンプです。各デバイスは、最小の入力換算オフセット電圧を実現するために、製造時にレーザ・トリムされます。同様に、入力換算オフセット電圧ドリフトはトリムされ、 -40°C ~ $+125^{\circ}\text{C}$ の接合部温度範囲で仕様が規定されています。各デバイスの静止電流もレーザ・トリムの影響を受け、入力換算ノイズ電圧、ゲイン帯域幅積、スルー・レート、セトリング・タイムなどの動的パラメータの部品間のばらつきが最小限に抑えられています。OPAx828 は最新かつ最先端の高電圧 SiGe 相補型 JFET バイポーラ・プロセス・テクノロジーを最大限に活用しており、OPAx828 は業界で比類のない低ノイズ、DC 精度、およびダイナミック特性を達成しています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 位相反転保護

多くのオペアンプでは、入力指定された入力同相範囲を超えると位相反転が発生します。この条件が最も多く発生するのは非反転回路で、規定された同相電圧範囲を超えて入力を駆動すると、出力は逆のレールに反転することがあります。OPA828 には、位相反転保護回路が内蔵されています。OPA828 の入力アーキテクチャにより、指定された最大値および最小値を超える入力同相電圧で位相反転が防止されます。OPA828 の出力は、適切なレールに制限されます。図 7-1 にこの特性を示します。入力電圧が規定の最小値または最大値を超える可能性がある場合は、内部 ESD 保護ダイオードを使用して最大入力電流を制限してください。

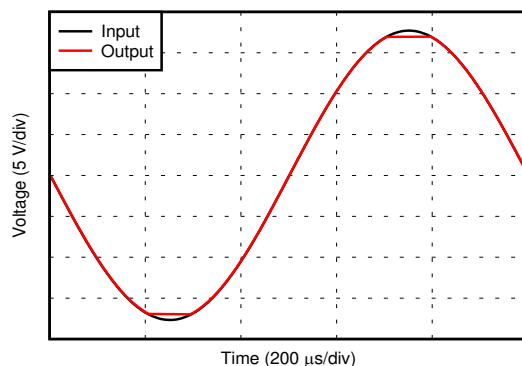
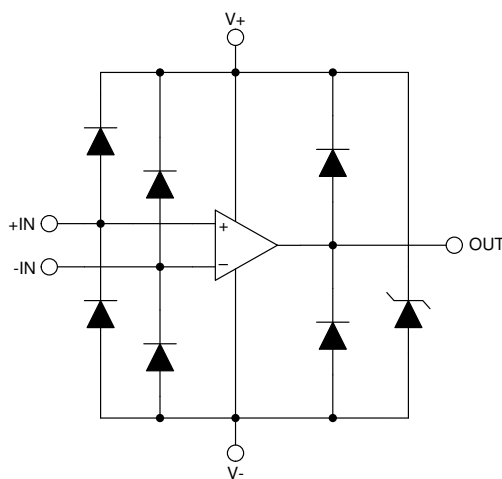


図 7-1. 位相反転なし

7.3.2 電氣的オーバーストレス

OPA828 は、製造、ハンドリング、またはプリント基板 (PCB) アセンブリ中に発生する可能性のある静電気放電 (ESD) 事象に対して内部的に保護されています。内部 ESD 保護ダイオードは、デバイスに電源が供給されて通常動作しているときに OPA828 を保護することを意図していません。ESD 保護回路には、いくつかの電流ステアリング・ダイオードが含まれており、入力ピンや出力ピンから内部の電源ラインへ戻るように配線されています。さらに、これらのダイオードは、オペアンプ内部の電源 ESD セル (吸収デバイス) にも接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。入力または出力を正の電源より高く、または負の電源より低く駆動できる場合は、内部ダイオードを流れる電流を 10mA 以下に制限してください。過酷な電氣的環境では、アプリケーションの要件と環境条件に応じて、外部保護回路が必要になることがあります。



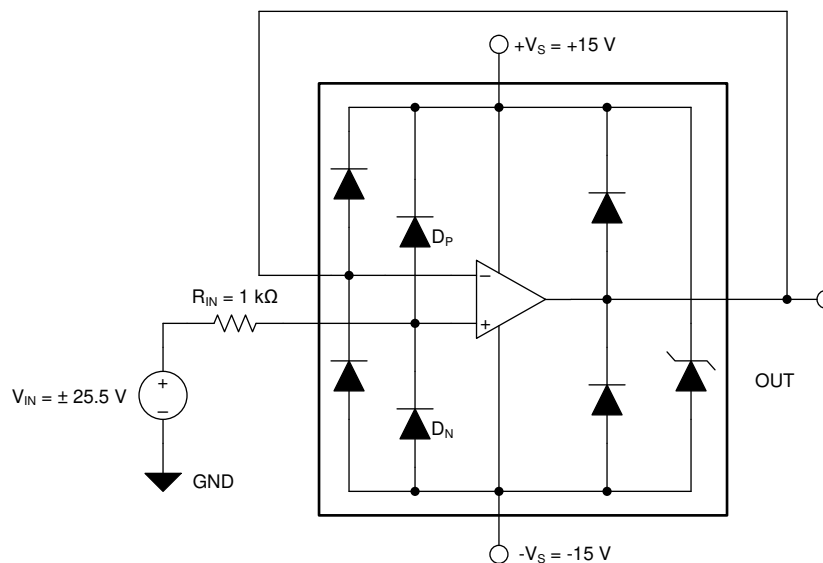
Copyright © 2018, Texas Instruments Incorporated

図 7-2. 内部 ESD 等価回路

図 7-3 に、OPA828 入力を入力過電圧状態から保護する例を示します。この例では、外付け抵抗を追加することにより、OPA828 への非反転入力を保護しています。入力電圧 V_{IN} がいずれかの電源電圧を超えると、入力 ESD ダイオード

ドが約 0.5V で順方向バイアスされます。このような状況では、順バイアスされた内部 ESD ダイオードを流れる電流を制限します。セクション 6.1 を参照してください。図 7-3 に、入力抵抗を追加することで必要な電流制限を実現し、 V_{IN} で最大 $\pm 25.5V$ の入力電圧を許容する具体的な例を示します。対称型のデュアル電源構成を想定すると、この回路構成の最大入力電圧は次の式で求めることができます。

$$\pm |V_{IN}| = |V_S| + 0.5V + 10mA \times R_{IN} \quad (1)$$



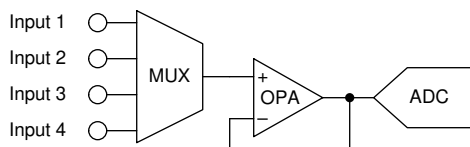
Copyright © 2018, Texas Instruments Incorporated

図 7-3. 入力電流の制限

直列入力保護抵抗を追加すると、回路にノイズ発生源が追加されます。抵抗値が 250Ω 未満の場合、追加ノイズへの影響は 10% 未満です。抵抗値が 1kΩ の場合、ノイズは約 40% 増加します。OPAx828 の等価入力ノイズ抵抗は約 1kΩ です。

7.3.3 MUX 対応入力

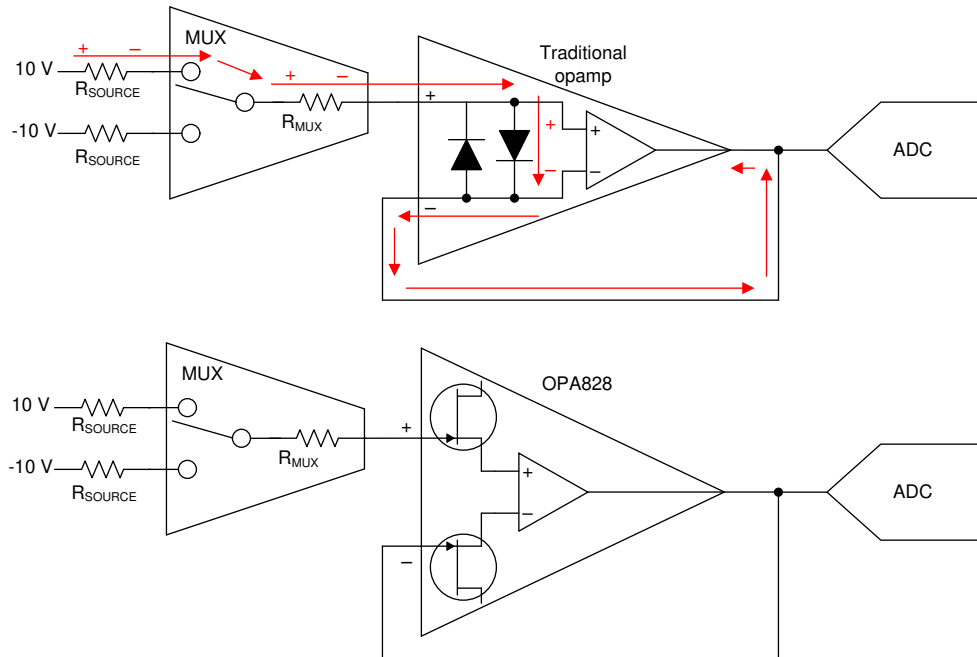
多重化は、最小限の信号チェーン要件のマルチチャネル・システムでデータ・アクイジションを実行する一般的な手法です。この場合、アクイジション・システムでのマルチプレクサ (MUX) の役割は、チャンネルを切り替え、各信号を 1 つのデータ・コンバータにできるだけ高速に送信し、システムのスループットを最大限に高め、遅延を最小限に抑えることです。精度の高い処理を実現するには、高精度アンプをマルチプレクサの下流側に配置し、A/D コンバータ (ADC) を正確に駆動します。図 7-4 に、この概念を図示します。



Copyright © 2018, Texas Instruments Incorporated

図 7-4. 代表的な多重化システム・ブロック図

代表的な多重化アプリケーションでは、ADC を駆動するオペアンプの入力に大きな過渡電圧が印加されることがよくあります。大きな入力差動電圧は、スルーイングまたは開ループ動作中、特にマルチプレクサ入力を別のマルチプレクサ入力に切り替えるときによく見られます。従来の高精度アンプは差動トランジスタ・ペアで構成されていることが多く、アンプの入力間に配置されているアンチパラレル・ダイオードにより、大きな差動過渡入力電圧から保護されています。これらのアンチパラレル・ダイオードは、入力間の電圧差を 1 つまたは 2 つの順方向ダイオード電圧降下に制限する効果があり、高精度入力デバイスの損傷を防止します。ただし、アンチパラレル・ダイオードには、オンにしたときに大きな突入電流が発生するなどの大きな欠点があります。パッシブ・フィルタを使用していたり、ソース・インピーダンスが高い場合には、大きな突入電流がセトリング・タイムに悪影響を与え、システムのスループットが制限され、信号チェーンの精度も低下する可能性があります。OPAx828 は、入力 JFET トランジスタを保護するためのアンチパラレル・ダイオードを必要とせず、 $\pm 18V$ までの差動入力電圧でも大きな突入電流は発生しません。これらの概念を図 7-5 に図示します。



Copyright © 2018, Texas Instruments Incorporated

図 7-5. 代表的な多重化システム・ブロック図

7.3.4 過負荷電力制限

多くのアプリケーションでは、オペアンプの消費電力に厳しい制限があります。そのため、入力両端に大きな電圧が印加されたり、出力がレールに達したりするなど、障害条件が発生した場合でも、アンプの消費電力は一定に保たれる必要があります。特に、OPAx828 などの高スルーレート・アンプでは、アンプでスレーイングが発生したときに電源電流が一時的に増加します。スルー・ブースト・アンプでは、大きな入力信号が存在すると、アンプ入力両端に大きな電圧が印加されるため、特定の問題が発生する可能性があります。入力両端にこの大きな電圧が印加されると、スルー・ブーストがアクティブになり、消費電流が大幅に増加する可能性があります。電源電圧が高い場合、消費電流が大きいと、アンプの自己発熱が大きくなる可能性があります。

OPAx828 は $150\text{V}/\mu\text{s}$ の高いスルーレートと、 5.5mA の低い消費電流を実現します。他の多くのアンプと同様に、これらの特性はスルー・ブースト方式によって実現され、アンプのスレーイング時にアンプの消費電流が一時的に増加します。このようなスレーイング状態は、入力ピンの両端の電圧を測定することで検出されます。静止状態では、この電圧は非常に小さくなります (アンプのオフセットと同じ)。または、入力電圧が急速に変化した場合、入力に大きな電圧が印加され、アンプ出力はスレーイングします。OPAx828 では、電源電流の増加は緩やかで、印加された入力電圧に比例しており、適切に動作する大きなステップ応答と優れた THD を実現します。スルーレートが高いため、出力は約 300ns 以内に再度セトリングします。したがって、消費電力の増加はデカップリング・コンデンサによって吸収され、電源への追加負荷は発生しません。

OPAx828 では、アンプの入力と出力の両方を継続的に監視する追加の保護回路により、このような消費電流の増加が回避されます。大きな入力電圧が検出された場合、保護回路により出力の電圧が急激に変化しているかどうかをチェックされます。出力電圧が変化していない場合 (出力が電源レールである場合など)、保護回路は約 300ns の遅延後にスルー・ブースト回路をディセーブルします。過負荷状態が解消されると、アンプは通常の動作状態に迅速に復帰します。この動作を図 7-6 に示します。ここでは、デカップリング・コンデンサを取り外した状態でアンプの電源電流を測定しています。 300ns 後、アンプの消費電力は静止レベルに戻ります。同時に、このアンプの過負荷回復時間が 55ns 未満と非常に短いことも示されています。

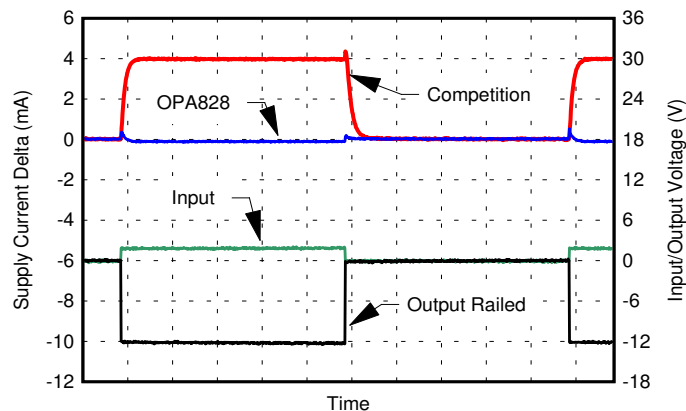


図 7-6. 過負荷出力時の電源電流の変化

7.3.5 ノイズ特性

図 7-7 に、ユニティ・ゲイン構成のオペアンプに対してソース・インピーダンスを変化させたときの回路全体のノイズを示します (フィードバック抵抗ネットワークを使用していないため、他にノイズの原因となるものはありません)。OPA828 および OPA211 には、回路全体のノイズの計算値が示されています。オペアンプが、電圧ノイズ成分と電流ノイズ成分の原因となっています。電圧ノイズは一般的に、オフセット電圧の時間によって変化する要素としてパターン化されます。電流ノイズは、入力バイアス電流の時間によって変化する要素としてパターン化され、ソース抵抗に反応して、ノイズの電圧要素を形成します。したがって、特定のアプリケーションに対する最小ノイズのオペアンプは、ソース・インピーダンスによって異なります。ソース・インピーダンスが小さい場合は、電流ノイズは無視できるもので、電圧ノイズが一般的に大部分を占めます。OPAx828 デバイスは、オペアンプの FET 入力により、低電圧ノイズと超低電流ノイズの両方を実現しています。その結果、OPAx828 の電流ノイズの影響は、実用的なソース・インピーダンスにおいては無視できるほど小さいので、OPAx828 はソース・インピーダンスが高いアプリケーションに最適です。

式 2 に、ユニティ・ゲイン・バッファ・オペアンプ回路の合計ノイズ E_O の単純な計算式を示します。

$$E_O = \sqrt{e_N^2 + (i_N \times R_S)^2 + 4kTR_S} \quad (2)$$

ここで

- e_N = 電圧ノイズ
- i_N = 電流ノイズ
- R_S = ソース・インピーダンス
- K = ボルツマン定数 = 1.38×10^{-23} J/K
- T = ケルビン (K) 単位の温度

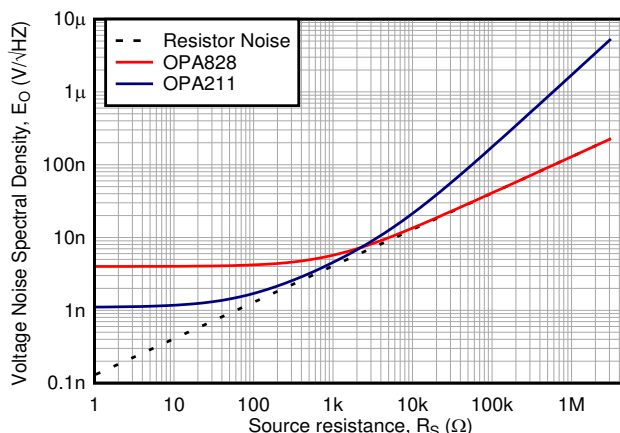


図 7-7. ユニティ・ゲイン・バッファ構成の OPA828 および OPA211 のノイズ性能

7.3.5.1 低ノイズ

OPAx828 は、最新の SiGe 高精度、高速、高電圧、BiFET ウェハ・プロセスで製造されています。特許取得済みのウェハ・プロセスを使用して、JFET ゲート領域に関連するノイズを低減しています。図 7-8 に OPAx828 のノイズ・スペクトル密度を示します。

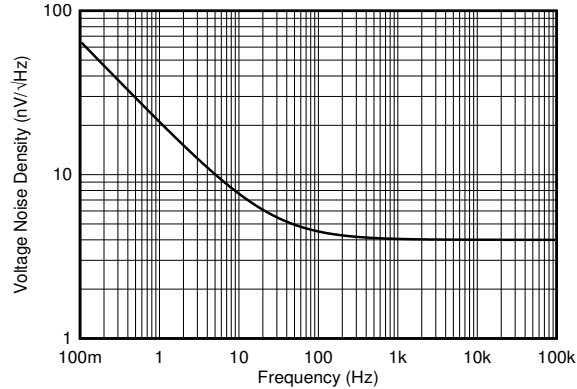


図 7-8. ノイズのスペクトル密度と周波数の関係

7.3.6 容量性負荷および安定度

OPAx828 のダイナミック特性は、一般的な動作条件に合わせて最適化されています。閉ループ・ゲインが低く、容量性負荷が高いと、アンプの位相マージンが減少し、ゲインのピークや発振が発生する可能性があります。そのため、容量性負荷が大きい場合は、出力から絶縁する必要があります。この絶縁を実現する最も簡単な方法は、出力に小さな抵抗 (R_{OUT} が 50Ω など) を直列に追加することです。図 7-9 に、小信号オーバーシュートと容量性負荷との関係を示します。分析手法とアプリケーション回路の詳細については、『フィードバック・プロットによるオペアンプ AC 性能の定義』を参照してください。

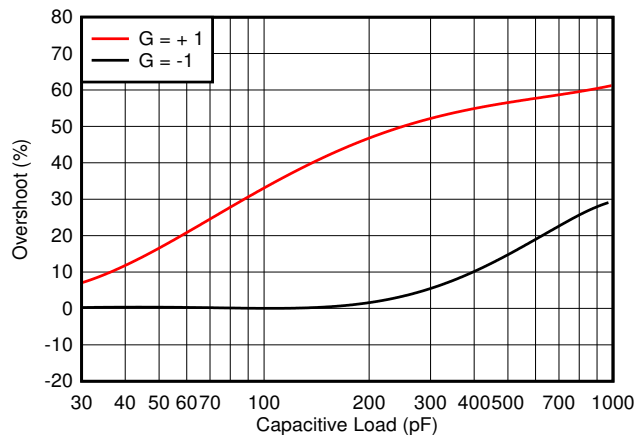


図 7-9. 小信号オーバーシュートと容量性負荷との関係

7.3.7 セトリング・タイム

セトリング・タイムは、アンプ出力が入力振幅の一定のパーセンテージ (誤差帯域) 以内にセトリングするまでの時間を示す測定値で、ステップ入力に対するアンプの応答を表すために使用されます。アンプのセトリング・タイムは、大信号応答と小信号応答で構成されています。大信号応答は立ち上がり時間と立ち下がり時間で特性化され、小信号応答はオーバーシュートとリングングで特性化されます。図 7-10 に、アンプのセトリング・タイムに関連する概念と用語を示します。セトリング・タイムは、入力信号が印加された時点から、指定された誤差帯域内で出力がセトリングするまでに要する時間として定義されます。

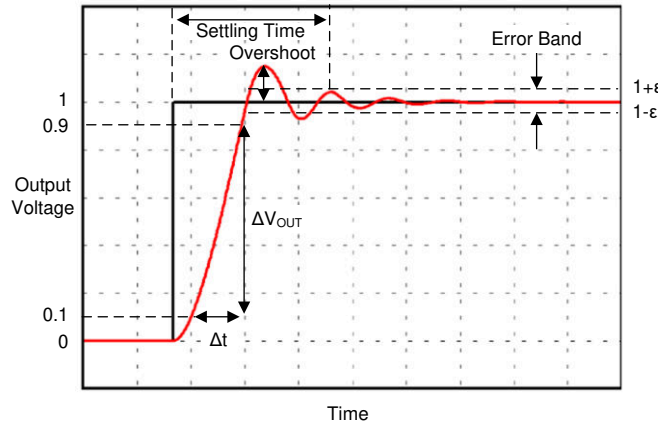


図 7-10. セトリング・タイム

OPAx828 は、高分解能システムのセトリング・タイムを 2 つの方法で最小化します。第 1 に、立ち上がり / 立ち下がり時間を最小化する内部スルー・ブースト回路を内蔵しており、第 2 に、広い帯域幅と優れた位相マージン、低いリングングによって、最短時間での小信号セトリングを実現しています。OPAx828 はレーザー・トリムされているため、デバイスのスルーレート、帯域幅、位相マージンの部品間の変動が最小限に抑えられ、すべての製造ロットにおけるユニット間のばらつきも最小限に抑えられます。

7.3.8 スルーレート

大信号のダイナミック特性を最もよく表すアンプのパラメータはスルーレートです。スルーレートは、時間に対する出力電圧の最大変化率を測定した値であり、一般に V/マイクロ秒 (V/μs) 単位で表されます。スルーレートは通常、出力が最終値の 10% から最終値の 90% までにスイングする時間として測定されます。図 7-10 に示す信号のスルーレートは、式 3 で求められます。

$$\text{Slew Rate} = \frac{\Delta V_{OUT}}{\Delta t} = \frac{(V_{OUT_{90}} - V_{OUT_{10}})}{(t_{90} - t_{10})} \quad (3)$$

アンプのスルーレートは、アンプの内部アーキテクチャ、アンプの静止電力、内部容量によって制限されます。OPAx828 にはスルー・ブースト回路が内蔵されているので、スルーレートが最大になります。OPAx828 に使用されている独自のスルー・ブースト回路により、非常に高いスルーレートを実現すると同時に、静止電力レベルは低く維持されます。内部スルー・ブースト回路は、+IN 入力ピンと -IN 入力ピンの間の入力差動電圧を測定します。この入力差動電圧が十分に大きい場合、内部スルー・ブースト回路によってアンプの内部バイアス電流が増加し、出力のスルーレートが上がります。最適なダイナミック特性を実現するため、電源バイパス・コンデンサは OPAx828 の近くに配置します。

アンプの入力に大きな静的または DC 差動電圧が存在する場合、OPAx828 はその状態を認識します。これは、スルーレートを上げる必要があることを示しているのではなく、過負荷状態であることを示しています。この場合、OPAx828 の内部バイアス電流は増加せず、静止電流は通常動作と変わりません。

7.3.9 フルパワー帯域幅

アンプのフルパワー帯域幅は、スルーレートに起因する歪みが主要な誤差発生源になる前に、アンプの出力に供給可能な最大の正弦波信号の周波数を表します。図 7-11 に、この概念を図示します。

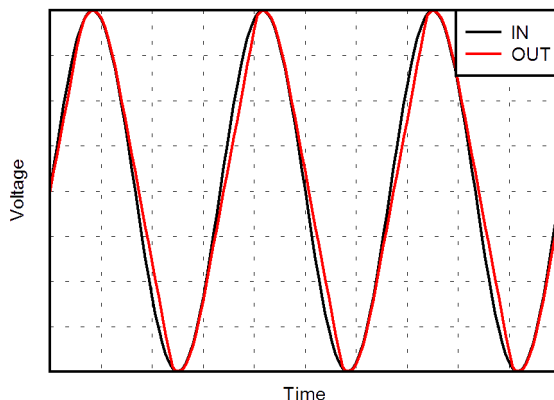


図 7-11. スルーレートによる歪み

アンプの入力が非常に離れた場所で駆動されている場合 (反転入力に接続されているマルチプレクサがチャネルを変更する場合など)、セトリング・タイムを改善するためにスルー・ブースト回路がイネーブルになりますが、信号が歪むことがあります。歪みを小さくする必要がある場合は、入力間の距離が離れすぎないようにしてください。OPAx828 のフルパワー帯域幅は 1.2MHz で、10V_{PEAK} の出力電圧を実現します。図 7-12 に、最大出力電圧を周波数の関数として示します。

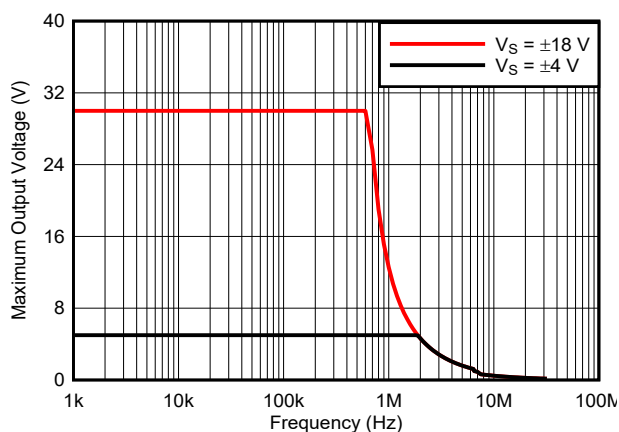


図 7-12. 最大出力電圧と周波数との関係

7.3.10 小信号応答

小信号のダイナミック特性を最もよく表すアンプのパラメータは、ゲイン帯域幅積 (GBP)、ユニティ・ゲイン周波数 (UGF)、位相マージン (PM) です。GBP は、閉ループ構成でのアプリケーションの帯域幅を決定するのに便利なパラメータです。OPAx828 の閉ループ帯域幅は、式 4 を使用して概算できます。一般に、GBP はアンプの非反転ゲインが 100 (40dB) に構成されている場合の仕様パラメータです。アンプの GBP は通常、全周波数帯域で一定であると想定されますが、高速アンプでは全周波数帯域で一定であるとは限りません。OPAx828 の GBP は、UGF までは一定です。そのため、OPAx828 の開ループ・ゲインは -20dB/ディケードの一定勾配 (-6dB/オクターブ) になります。UGF は、アンプのゲインが 1V/V (0dB) となる周波数として定義されています。図 7-13 に、GBP および UGF の概念を示します。OPAx828 の GBP と UGF は、どちらも 45MHz です。

$$\text{Bandwidth} = \frac{\text{GBP}}{A_{CL}} = \frac{45\text{MHz}}{A_{CL}} \quad (4)$$

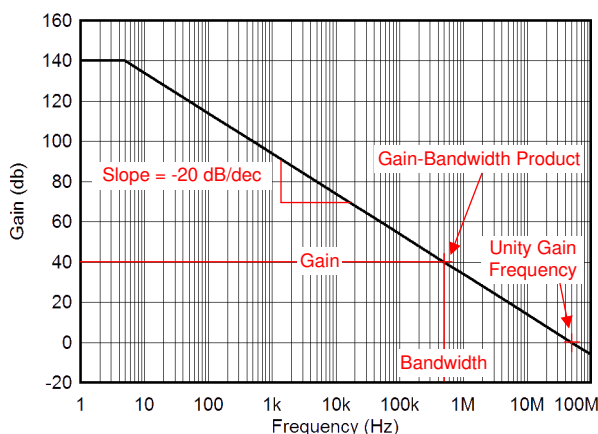


図 7-13. ゲイン帯域幅積とユニティ・ゲイン周波数

7.3.11 サーマル・シャットダウン

OPAx828 は、内部サーマル・シャットダウン機能により、熱的過負荷から保護されています。このシャットダウン・デザインは、過酷な高温の産業用環境で動作する場合に過熱保護を実現します。これらのデバイスは、ダイの最も高温になる部分でダイの接合部温度を正確に測定します。接合部温度がサーマル・シャットダウン温度に達すると、出力が高インピーダンス状態になり、デバイスがディセーブルされます。この状態では、さらなる電力の消費が防止され、OPAx828 は冷却し始めます。接合部温度が熱ヒステリシス分低下すると、OPAx828 は通常動作を再開します。OPAx828 の発熱を引き起こした出力条件が引き続き存在する場合、デバイスはサーマル・シャットダウンに再度移行する可能性があります。シャットダウン時の OPAx828 の静止電流は、約 20μA まで減少します。通常のデバイス動作を再開するには、サーマル・シャットダウンの原因を特定し、修正します。サーマル・シャットダウンは、OPAx828 の接合部温度が約 165°C を超えると発生します。サーマル・シャットダウン中に接合部温度が約 145°C に低下すると、OPAx828 は通常動作に戻ります。

7.3.12 低いオフセット電圧ドリフト

各 OPAx828 は、製造時にレーザ・トリムされます。入力オフセット電圧は 2 つの温度でトリムされ、全温度範囲にわたって入力オフセット電圧ドリフトが低くなります。

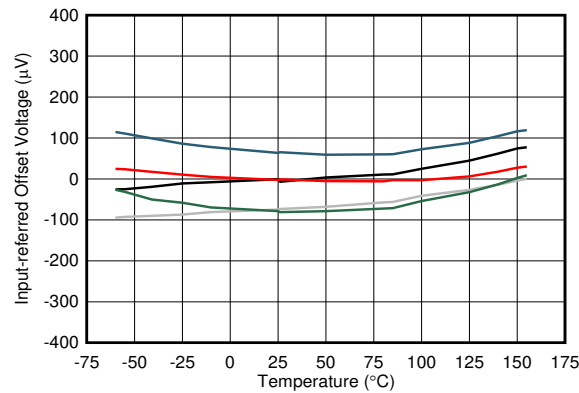


図 7-14. 入力オフセット電圧と温度との関係

7.3.13 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは通常の状態に復帰するための時間を必要とします。チャージ・キャリアが平衡状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。その結果、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。OPA828 の過負荷復帰時間は約 55ns です。

7.4 デバイスの機能モード

OPA828 は、印加された電源電圧が $\pm 4V \sim \pm 18V$ の範囲内である場合に動作します。OPA828 デバイスを動作させると、自己発熱が発生します。デバイスの自己発熱は、電源電圧と負荷に供給される電力の関数です。負荷が大きい場合や周囲温度が高い場合、OPA828 はサーマル・シャットダウンに移行することがあります。サーマル・シャットダウンは、OPA828 の接合部温度が約 165°C を超えると発生します。サーマル・シャットダウン中に、接合部温度が約 145°C に低下すると、OPA828 は通常動作に戻ります。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

OPAx828 は、低オフセット、低オフセット・ドリフトであるだけでなく、広い帯域幅にわたってノイズが低いため、各種試験装置およびデータ・アキュイジション・システムに最適です。

8.2 代表的なアプリケーション

8.2.1 SAR ADC ドライバ

OPAx828 は DC 精度と AC 性能が高く、帯域幅が 45MHz であるため、16 ビットの逐次比較型 (SAR) A/D コンバータ (ADC) を迅速かつ正確に駆動できます。

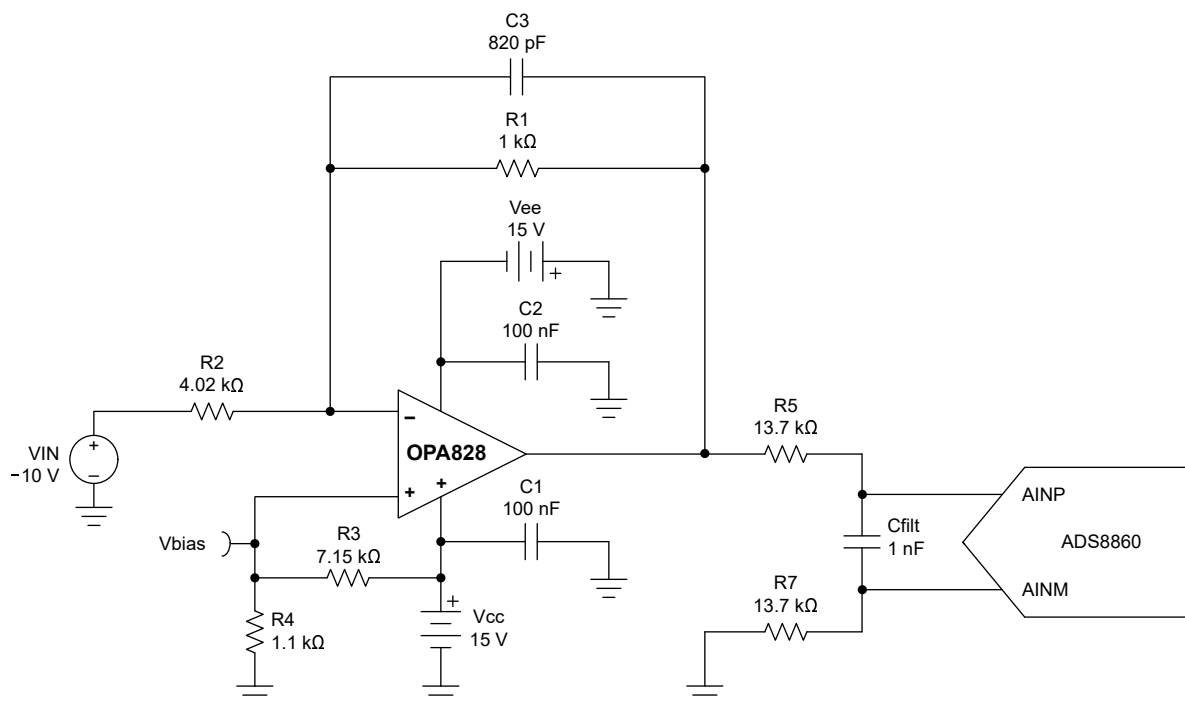


図 8-1. OPA828 を SAR ドライバとして構成

8.2.1.1 設計要件

この例の設計要件は次のとおりです。

- OPA828 に $\pm 15\text{V}$ 電源から電力供給
- アンプの出力は 290ns 未満、16 ビット精度で安定する必要あり
- ゲイン = $-1/4$
- アンプ出力は 2V にバイアス
- アンプ入力 = $\pm 10\text{V}$ 、出力 = $0\text{V} \sim 5\text{V}$

8.2.1.2 詳細な設計手順

図 8-1 に、 $\pm 10\text{V}$ の広い入力電圧範囲を $0\text{V}\sim 5\text{V}$ に減衰するように構成された OPA828 を示します。アンプの出力範囲は、16 ビット、1MSPS の SAR ADC である ADS8860 のフルスケール入力範囲に基づいて選択されています。 $\pm 15\text{V}$ の電源レールを使用しているため、アンプは入力範囲全体にわたって線形スイングを実現できます。この設計では、選択した ADC のアキュイジション時間 290ns 以内にアンプ出力が 16 ビットにセトリングします。

信号減衰を設定するのに必要な抵抗およびコンデンサと、アンプと ADC の間に配置する電荷バケツの選択には、アナログ技術者向けカリキュレータが使用されています。入力抵抗と帰還抵抗は、 $-1/4$ のゲイン (反転構成で 4 倍の減衰) を実現するように選択されています。 V_{BIAS} は 2V に固定されるため、出力は $0\text{V}\sim 5\text{V}$ の範囲でスイングできます。図 8-2 に、この回路のセトリング・タイムのシミュレーション結果を示します。適切に機能させるためには、ADC のアキュイジション・サイクルが終了する前に、アンプの出力を $\pm 1/2$ LSB 以内にセトリングさせる必要があります。この例では、ADS8860 を使用して、アンプの出力を $\pm 38.15\mu\text{V}$ 以内にセトリングさせる必要があります。 V_{error} は、アンプの予想される出力と実際の出力との差です。

帰還に 820pF のコンデンサを追加し、カットオフ周波数が 194kHz のローパス・フィルタを作成します。このフィルタにより、ADC に入力されるノイズが低減され、システムの精度が向上します。この回路の DC 伝達関数を図 8-3 に、AC 応答を図 8-4 に示します。

ADC 駆動用のアンプ構成、電荷バケツ用の抵抗とコンデンサの選択、その他のシグナル・チェーンに関するトピックの詳細とトレーニングについては、TI プレジジョン・ラボを参照してください。

8.2.1.3 アプリケーション曲線

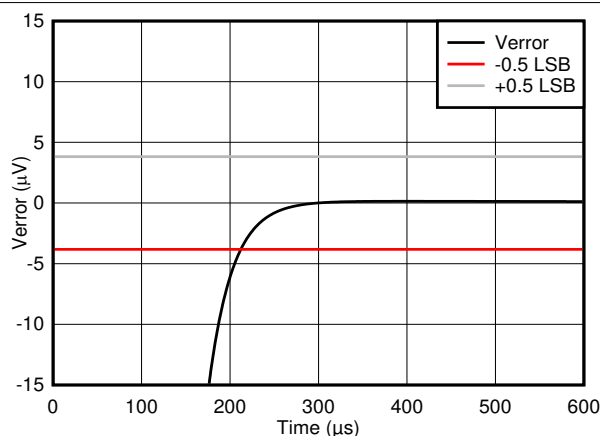


図 8-2. OPA828 の出力セトリング・タイム

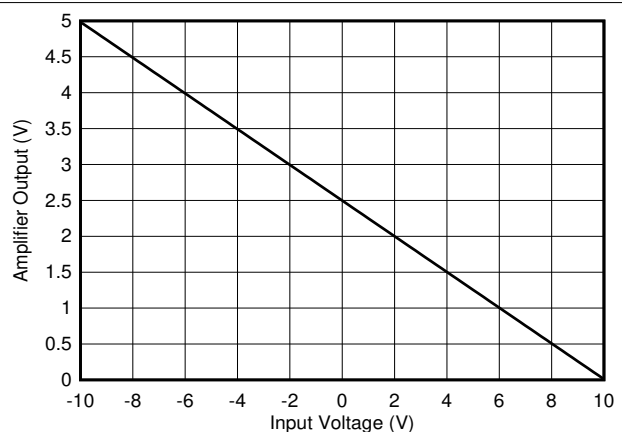


図 8-3. OPA828 の DC 伝達関数

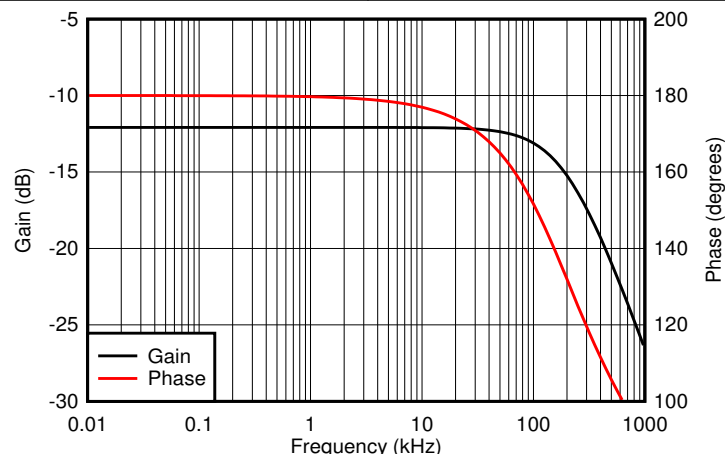
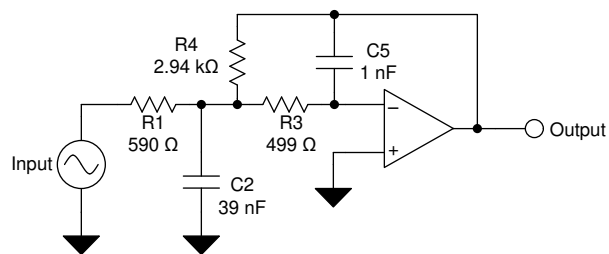


図 8-4. OPA828 の AC 応答

8.2.2 ローパス・フィルタ



Copyright © 2016, Texas Instruments Incorporated

図 8-5. 代表的な OPA828 アプリケーションの回路図

8.2.2.1 設計要件

この設計例では、以下のパラメータを使用します。

- ゲイン = 5V/V (反転ゲイン)
- ローパス・カットオフ周波数 = 25kHz
- 通過帯域におけるゲイン・ピークが 3dB の 2 次チエビシェフ・フィルタ応答

8.2.2.2 詳細な設計手順

図 8-5 に、ローパス・ネットワーク機能の無限ゲイン・マルチ・フィードバック回路を示します。電圧伝達関数は式 5 を使用して計算します。

$$\frac{\text{Output}}{\text{Input}}(s) = \frac{-1/R_1 R_3 C_2 C_5}{s^2 + (s/C_2)(1/R_1 + 1/R_3 + 1/R_4) + 1/R_3 R_4 C_2 C_5} \quad (5)$$

この回路は反転信号を生成します。この回路では、式 6 を使用して DC でのゲインとローパス・カットオフ周波数を計算します。

$$\begin{aligned} \text{Gain} &= \frac{R_4}{R_1} \\ f_c &= \frac{1}{2\pi} \sqrt{(1/R_3 R_4 C_2 C_5)} \end{aligned} \quad (6)$$

8.2.2.3 アプリケーション曲線

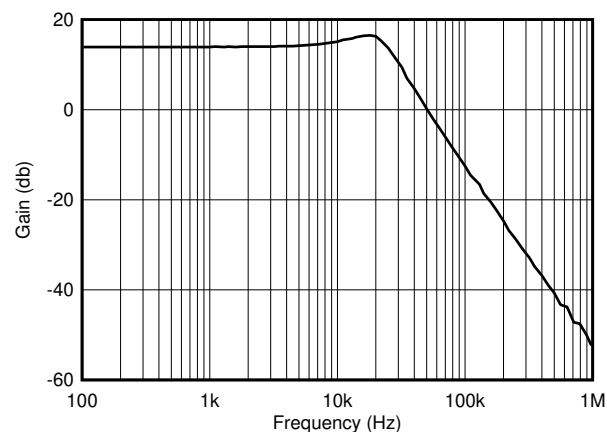


図 8-6. ローパス・フィルタの伝達関数

8.3 電源に関する推奨事項

OPAx828 は 8V～36V ($\pm 4V \sim \pm 18V$) で動作が規定されており、多くの仕様は $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。動作電圧または温度で大きな変動のあるパラメータについては、「代表的特性」の曲線を参照してください。

電源ピンの近くに 0.1 μF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウト」セクションを参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピン、特にオペアンプを経由して、アナログ回路に伝播することがあります。バイパス・コンデンサを使用すると、アナログ回路に対してローカルに低インピーダンスの電源を供給することにより、結合ノイズを低減します。
- 各電源ピンとグラウンドの間に低 ESR 0.1 μF のセラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグラウンドに対して 1 つのバイパス・コンデンサを接続します。
- 回路のアナログ部とデジタル部のグラウンド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグラウンド・プレーン専用です。グラウンド・プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グラウンド電流の流れに注意して、デジタル・グラウンドとアナログ・グラウンドを物理的に確実に分離するようにします。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離して配置できない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- デカップリング・コンデンサをデバイスのできるだけ近くに配置します。
- 入力配線は、できる限り短くします。入力配線は、回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を得るために、基板組み立ての後で PCB をクリーニングします。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄した後で、PCB アセンブリをベーキングして、洗浄中にデバイスのパッケージに取り込まれた水分を除去します。ほとんどの状況では、クリーニング後に 85°C で 30 分間の低温ベーキングを行えば十分です。

8.4.1.1 熱に関する注意事項

通常の動作では、OPAx828 は自己発熱します。自己発熱は、すべてのアンプで発生するダイ接合部温度の自然な上昇です。この自己発熱は、静止時消費電力、パッケージの熱抵抗、PCB レイアウト、デバイスの動作条件など、いくつかの要因によるものです。

アンプがサーマル・シャットダウンせずに動作することを確認するため、式 7 を使用して接合部 (ダイ) の温度を概算します。

$$T_J = P_D * \Theta_{JA} + T_A \quad (7)$$

たとえば、周囲温度 25°C で無負荷時の OPA828 (D パッケージ) の接合部温度を概算するには、式 8 を使用します。

$$T_J = (36V * 5.5mA) * 121.5^{\circ}C / W + 25^{\circ}C$$

$$T_J = 49^{\circ}C \quad (8)$$

OPAx828 などの高電圧、高精度アンプでは、接合部温度は静止 (無負荷) 状態の周囲温度よりも数十度高いことがあります。式 7 および式 8 に示すように、接合部温度はパッケージの熱特性に依存し、接合部から周囲への熱抵抗 ($R_{\Theta JA}$) で表されます。デバイスが駆動する負荷が大きくなると、接合部温度が上昇し、サーマル・シャットダウン回路をトリップする可能性があります。このような負荷状況に対処するため、DGN パッケージには $R_{\Theta JA}$ を大幅に低減するサーマル・パッドが含まれています。熱特性を改善するには、適切な PCB レイアウトが不可欠です。図 8-7 および図 8-8 に、異なるパッケージ・バージョンで、負荷状態と無負荷状態の両方において、OPAx828 がサーマル・シャットダウンしない領域での最大出力電圧と周囲温度との関係を示します。

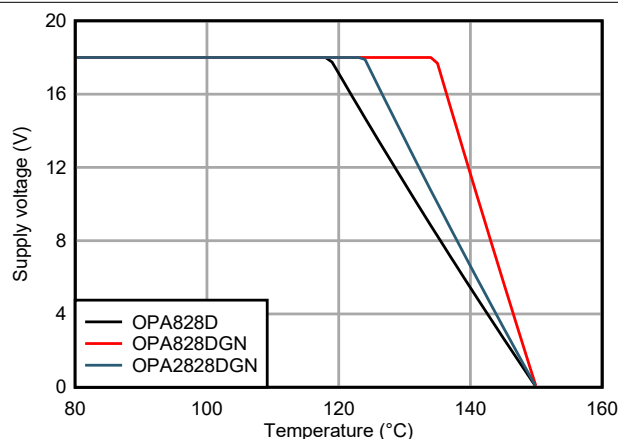


図 8-7. OPAx828 がサーマル・シャットダウンしない安全な動作領域 (無負荷)

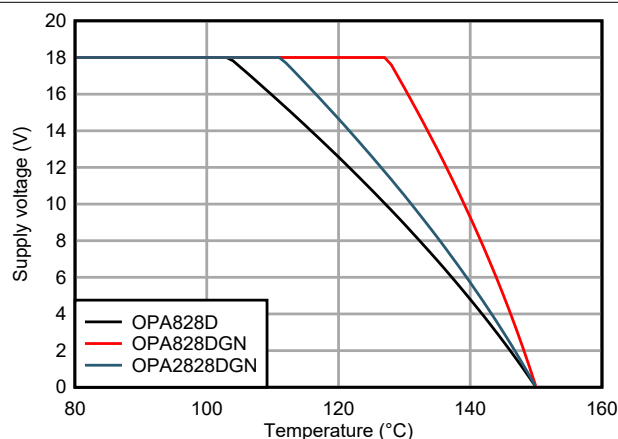


図 8-8. OPAx828 がサーマル・シャットダウンしない安全な動作領域 (600Ω 負荷)

8.4.1.2 PowerPAD™ 設計上の考慮事項 (DGN パッケージのみ)

OPAx828 は、熱的に強化された PowerPAD IC パッケージで提供されています。図 8-9 (a) および (b) に、ダイを取り付けるダウンセット・リードフレームを使用した PowerPAD パッケージの構成を示します。図 8-9 (c) に、この配置によりリードフレームがパッケージの裏面にサーマル・パッドとして露出しているところを示します。このサーマル・パッドはダイと直接熱的に接触しています。したがって、サーマル・パッドから離れた良好な熱経路を提供することで、優れた放熱性能を実現します。

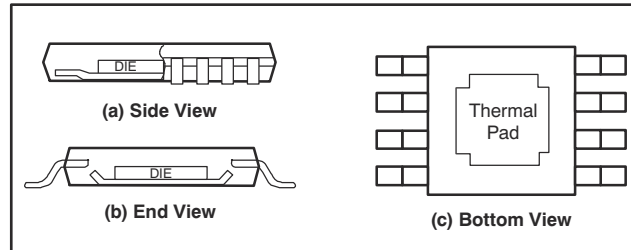


図 8-9. 熱的に強化されたパッケージの図

PowerPAD IC パッケージでは、1 回の製造作業でアセンブリと熱の両方を管理できます。表面実装半田付け (リードの半田付け) 時に、サーマル・パッドをパッケージ裏面の銅箔部分に半田付けする必要があります。この銅箔部分内の熱経路を使用することにより、熱はパッケージからグラウンド・プレーンまたは他の放熱デバイスに伝導されます。低消費電力のアプリケーションでも、サーマル・パッドをプリント基板 (PCB) に半田付けする必要があります。この半田付けにより、リードフレーム・ダイ・パッドと PCB の間に必要な熱的および機械的接続が得られます。ダイは露出サーマル・パッドから電氣的に絶縁されていますが (10MΩ 超)、パッドを V- またはシステム・グラウンド・プレーンに接続して、入力ピンへのリークの可能性を最小限に抑えてください。追加の詳細については、図 8-11 を参照してください。

8.4.2 レイアウト例

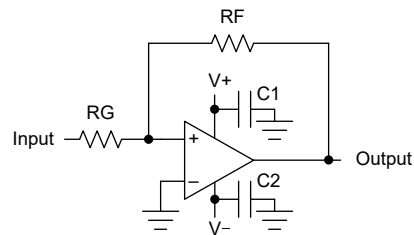


図 8-10. OPA828 の回路図

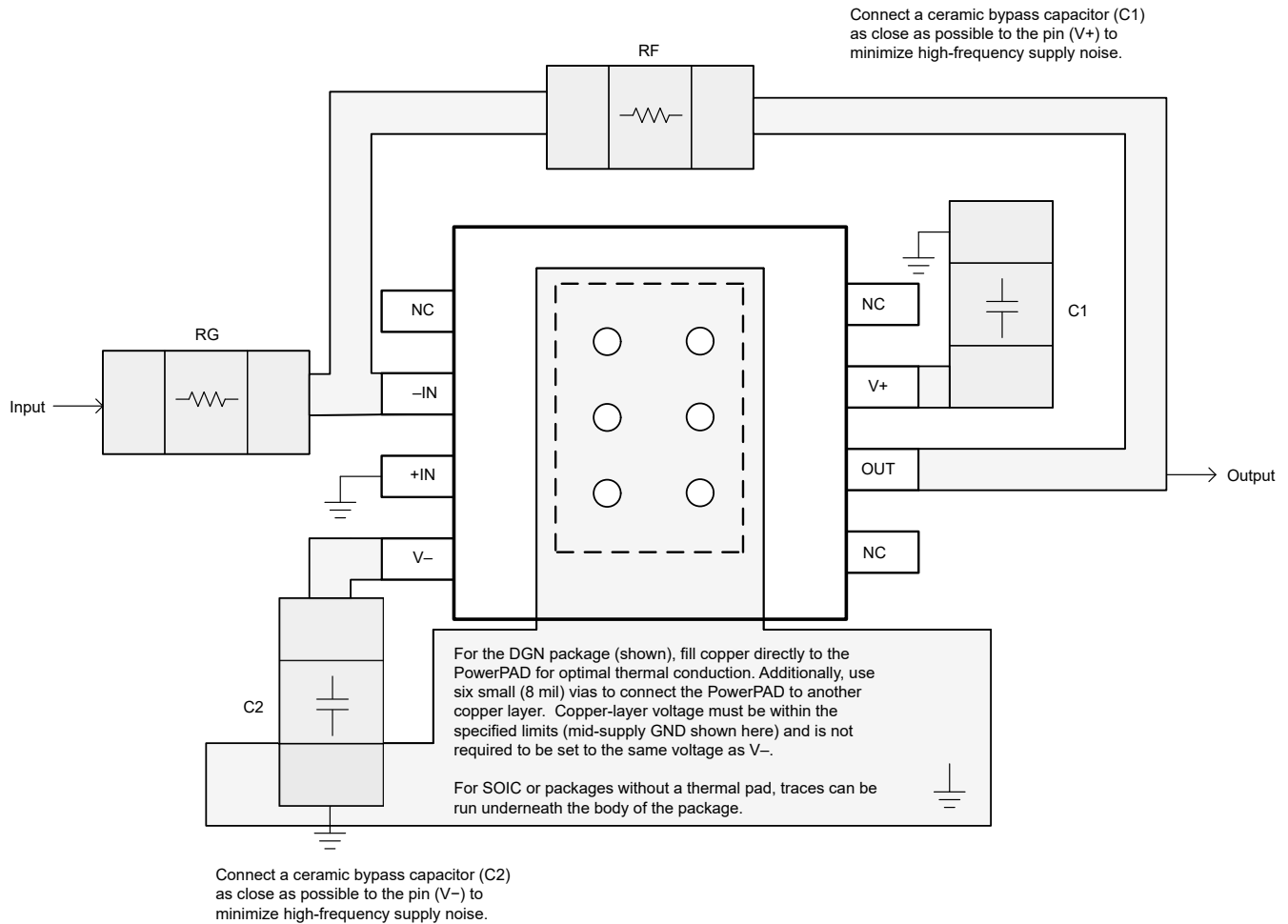


図 8-11. OPA828 のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイスのサポート

9.1.1 開発サポート

9.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

9.1.1.2 フィルタ設計ツール

フィルタ設計ツールは単純で強力な、使いやすいアクティブ・フィルタ設計プログラムです。フィルタ設計ツールを使用すると、TI のベンダ・パートナーからの TI 製オペアンプやパッシブ・コンポーネントを使用して、最適なフィルタ設計を作成できます。

フィルタ設計ツールは、設計ツールとシミュレーション Web ページから Web 対応ツールとして利用でき、包括的な複数段アクティブ・フィルタ・ソリューションをわずか数分で設計、最適化、シミュレーションできます。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『トランスインピーダンス・アンプの直感的な補償』アプリケーション・レポート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

9.5 商標

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2828IDGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2QGJ
OPA2828IDGNR.B	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2QGJ
OPA2828IDGNT	Active	Production	HVSSOP (DGN) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2QGJ
OPA2828IDGNT.B	Active	Production	HVSSOP (DGN) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2QGJ
OPA828ID	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA828
OPA828ID.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA828
OPA828IDG4	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA828
OPA828IDG4.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA828
OPA828IDGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2RAJ
OPA828IDGNR.B	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2RAJ
OPA828IDGNT	Active	Production	HVSSOP (DGN) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2RAJ
OPA828IDGNT.B	Active	Production	HVSSOP (DGN) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2RAJ
OPA828IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA828
OPA828IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA828

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

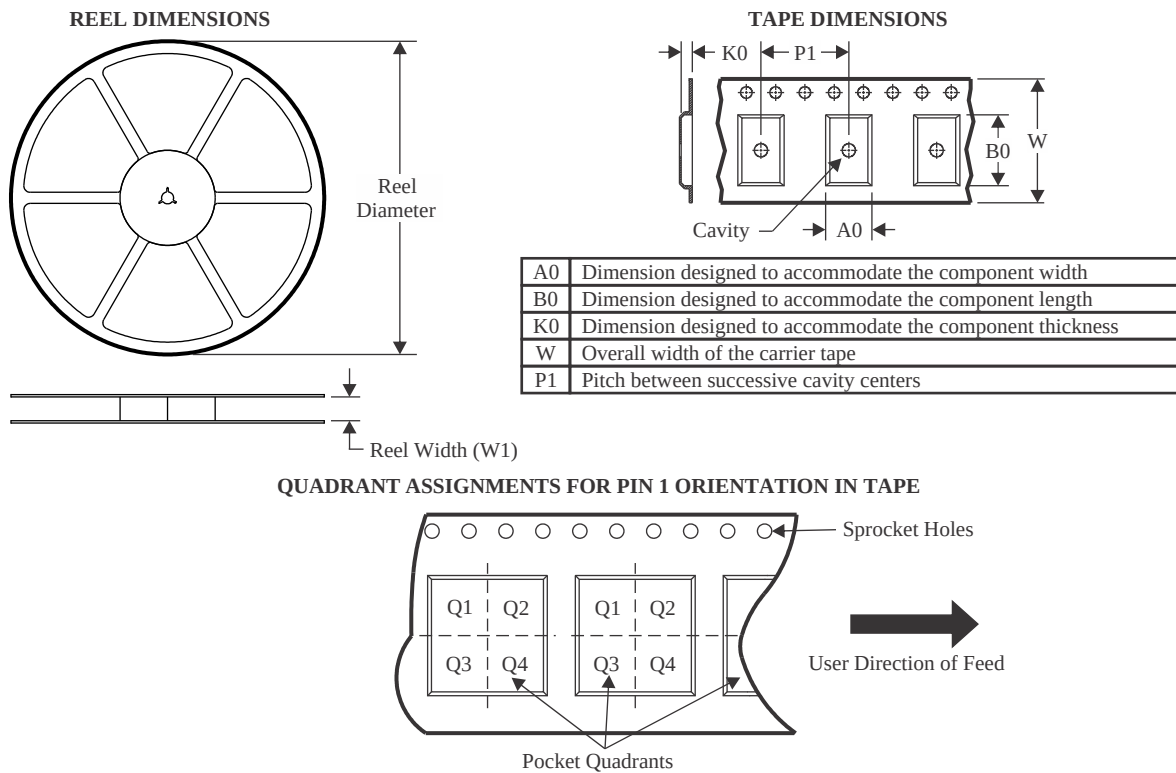
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

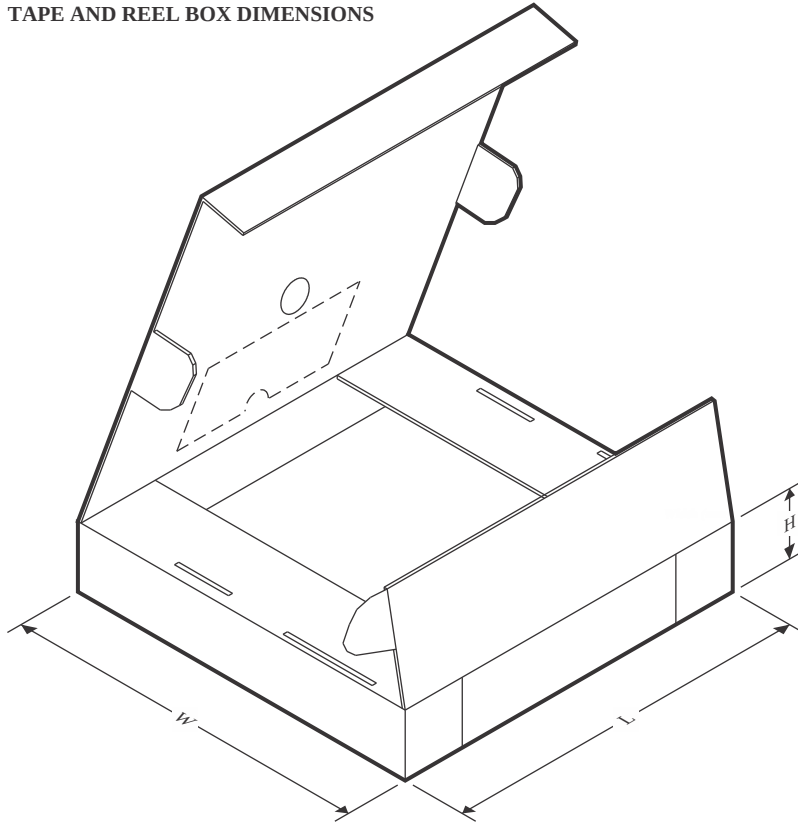
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2828IDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2828IDGNT	HVSSOP	DGN	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA828IDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA828IDGNT	HVSSOP	DGN	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA828IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

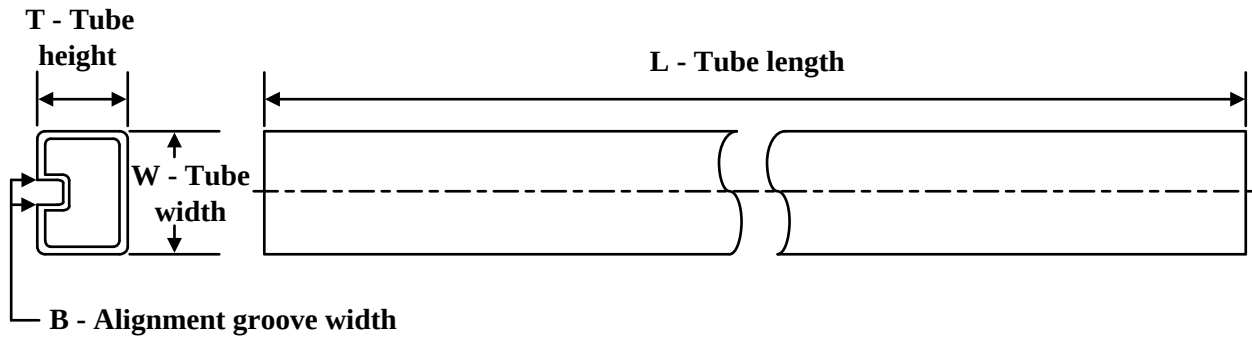
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2828IDGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
OPA2828IDGNT	HVSSOP	DGN	8	250	210.0	185.0	35.0
OPA828IDGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
OPA828IDGNT	HVSSOP	DGN	8	250	210.0	185.0	35.0
OPA828IDR	SOIC	D	8	2500	356.0	356.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA828ID	D	SOIC	8	75	506.6	8	3940	4.32
OPA828ID.B	D	SOIC	8	75	506.6	8	3940	4.32
OPA828IDG4	D	SOIC	8	75	506.6	8	3940	4.32
OPA828IDG4.B	D	SOIC	8	75	506.6	8	3940	4.32

GENERIC PACKAGE VIEW

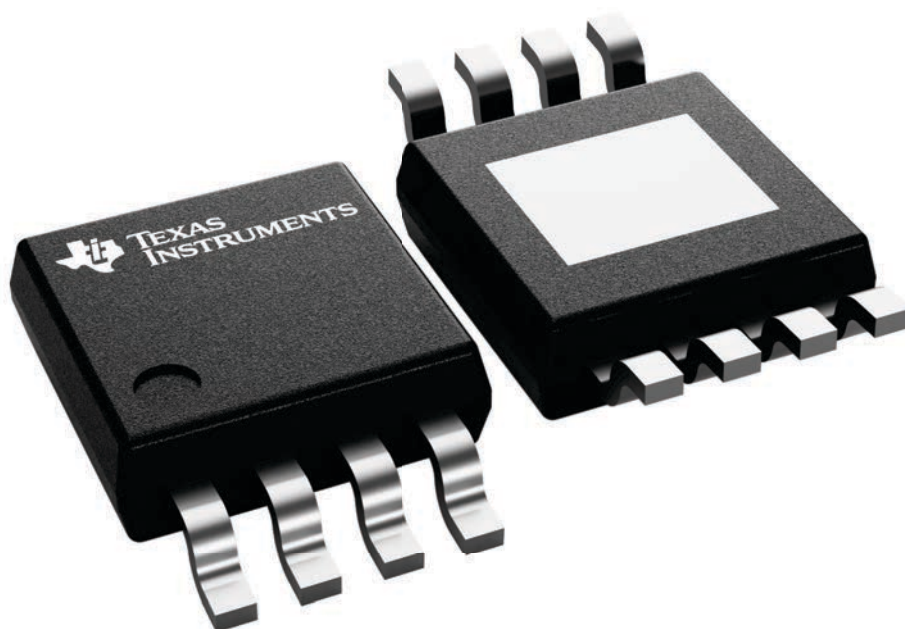
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

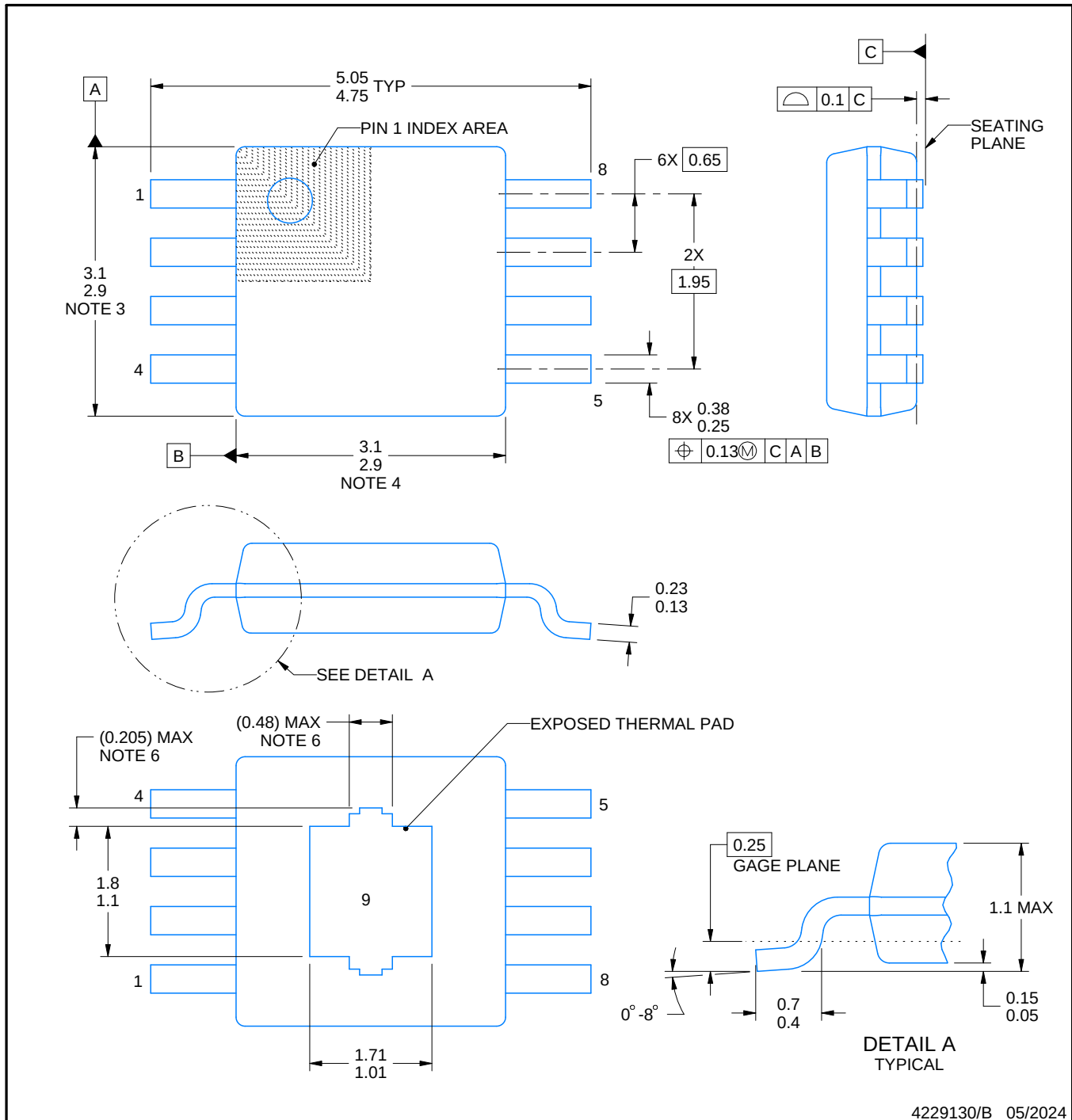
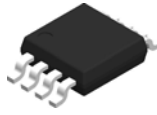
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B



4229130/B 05/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

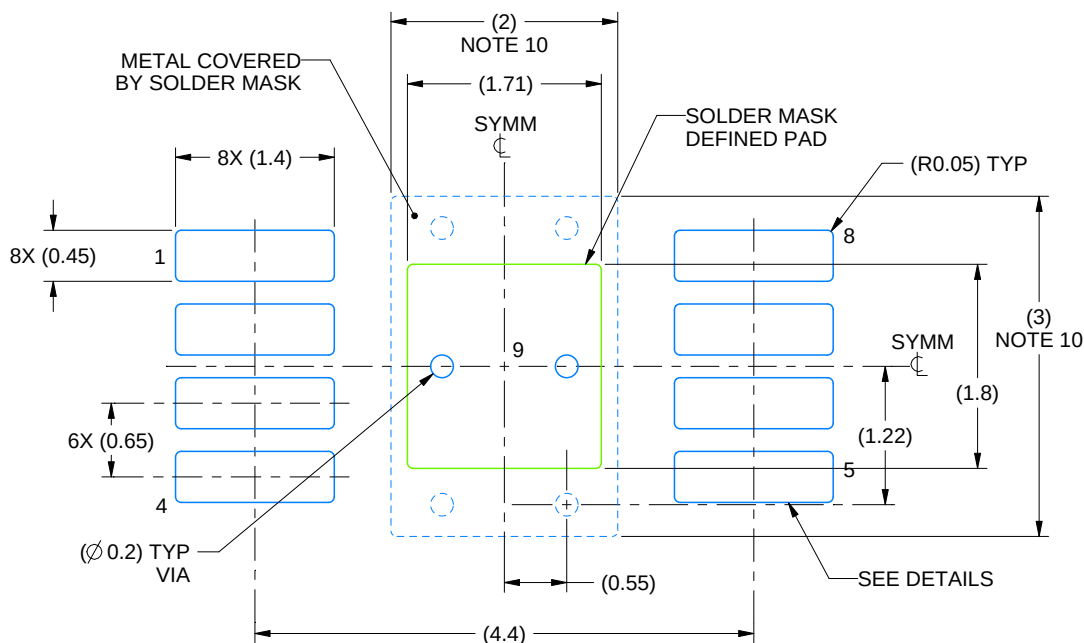
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

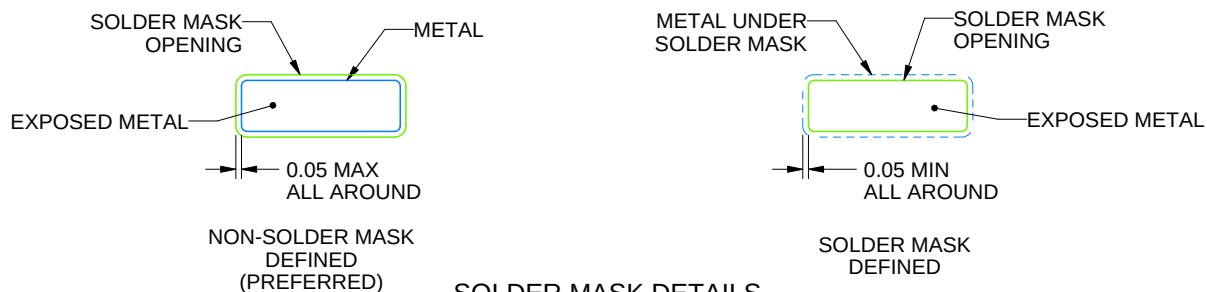
DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



4229130/B 05/2024

NOTES: (continued)

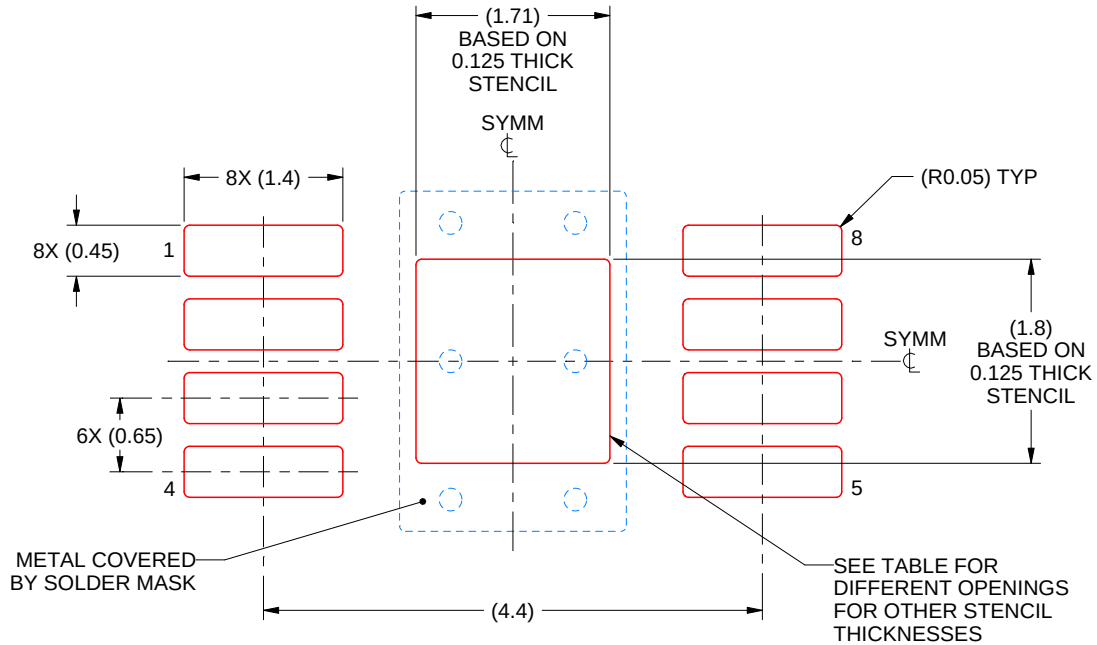
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



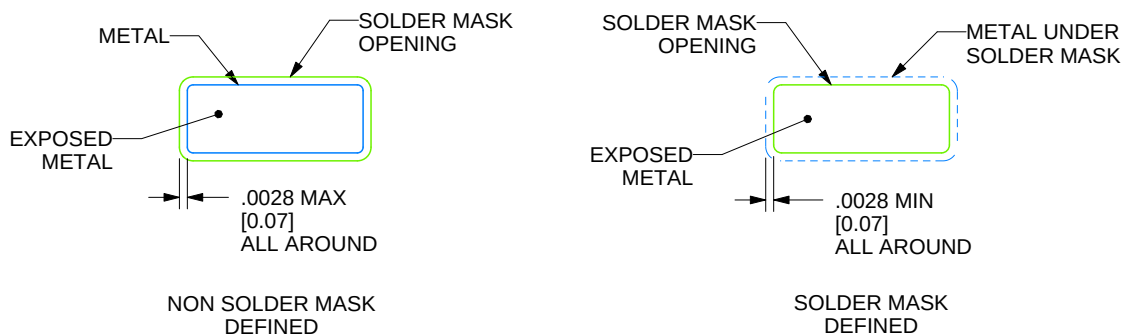
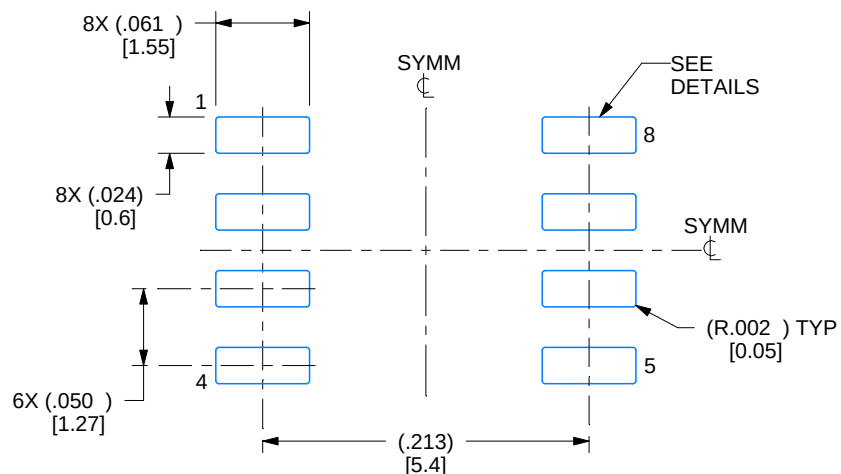
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

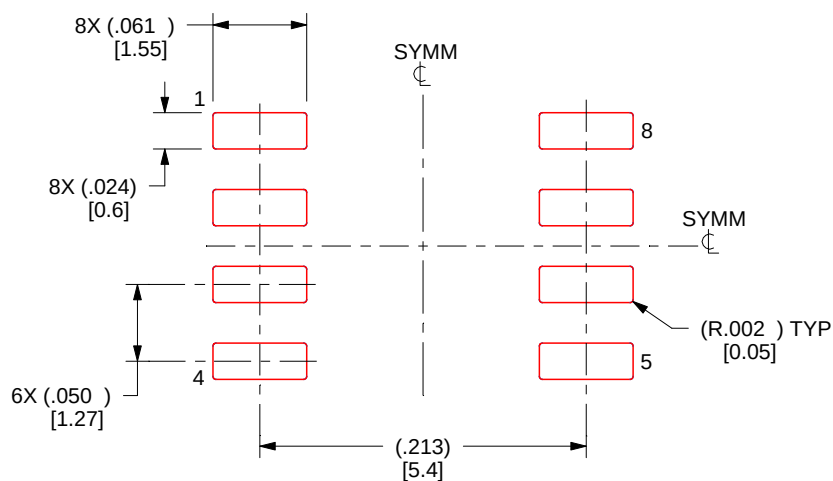
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated