TEXAS INSTRUMENTS
TLC59283
JAJSSV3C – JUNE 2012 – REVISED JANUARY 2024

16 チャネル、定電流 LED ドライバ、プリチャージ FET 付き

1 特長

- 16 チャネル、定電流シンク出力、オン / オフ制御付き
- 定電流シンク機能:
  35mA (V_{CC} ≤ 3.6V)、45mA (V_{CC} > 3.6V)
- LED 電源電圧:最大 10V
- V_{CC} = 3V ～ 5.5V
- 定電流精度:
  - チャネル間:
    ±1.4% (標準値)、±3% (最大値)
  - デバイス間:±2% (標準値)、±4% (最大値)
- CMOS ロジック レベル I/O
- データ転送レート:35MHz
- BLANK パルス幅:50ns
- プリチャージ FET によるゴースト低減
- スイッチング遅延をグループ化してノイズを低減
- 動作温度:–40℃～+85℃

2 アプリケーション

- ビデオ ディスプレイ
- メッセージ ボード

3 概要

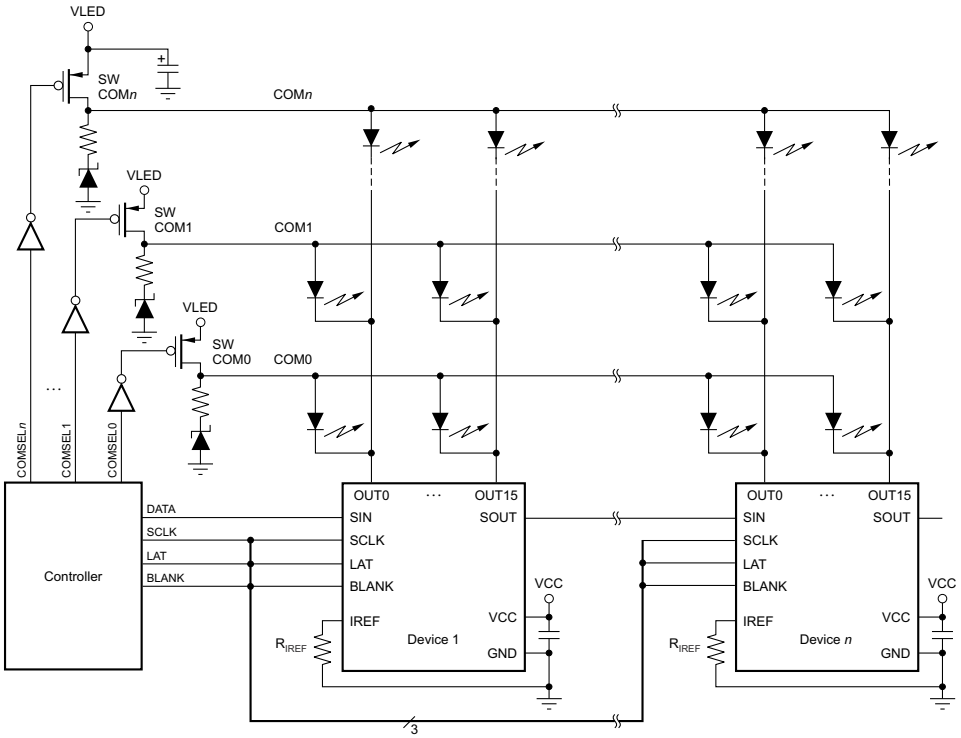
TLC59283 は、16 チャネルの定電流シンク発光ダイオード (LED) ドライバです。動作 VCC に応じて、3.3V または 5V の CMOS ロジック レベルと互換性のあるシンプルなシリアル通信プロトコルを使用して、各チャネルを個別に制御可能です。シリアル データ バッファがロードされると、LAT の立ち上がりエッジによってデータが OUTn 出力に転送されます。BLANK ピンを使用して、電源オン時にすべての OUTn 出力をオフにでき、出力データのラッチにより、この電源オンの間に望ましくない画像が表示されることを防止できます。16 チャネルすべての定電流値を 1 個の外付け抵抗で設定します。

各定電流出力にはプリチャージ電界効果トランジスタ (FET) があり、多重化 (動的) 駆動 LED ディスプレイのゴーストを低減できます。複数の TLC59283 を一緒にカスケード接続することで、同じプロセッサから追加の LED を制御できます。

パッケージ情報

部品番号	パッケージ (1)
TLC59283	DB (SSOP、24)
	DBQ (QSOP、24)
TLC59283	RGE (QFN、24)

(1) 詳細については、セクション 12 を参照してください。



代表的なアプリケーション回路 (複数の TLC59283 のデイジーチェーン接続)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン配置.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 保存条件.....5
5.3 ESD 定格.....5
5.4 推奨動作条件.....6
5.5 熱に関する情報.....6
5.6 電気的特性.....7
5.7 タイミング特性.....8
5.8 タイミング図.....9
5.9 代表的特性.....11
6 パラメータ測定情報.....13
6.1 ピン互換の入力および出力回路図.....13
6.2 テスト回路.....14
7 詳細説明.....15
7.1 概要.....15
7.2 機能ブロック図.....15
7.3 機能説明.....16
8 レジスタ設定.....19
9 アプリケーションと実装.....21
9.1 アプリケーション情報.....21
9.2 代表的なアプリケーション.....21
9.3 電源に関する推奨事項.....24
9.4 レイアウト.....24
10 デバイスおよびドキュメントのサポート.....25
10.1 サード・パーティ製品に関する免責事項.....25
10.2 ドキュメントのサポート.....25
10.3 ドキュメントの更新通知を受け取る方法.....25
10.4 サポート・リソース.....25
10.5 商標.....25
10.6 静電気放電に関する注意事項.....25
10.7 用語集.....25
11 改訂履歴.....26
12 メカニカル、パッケージ、および注文情報.....27

Copyright © 2024 Texas Instruments Incorporated

4 ピン配置

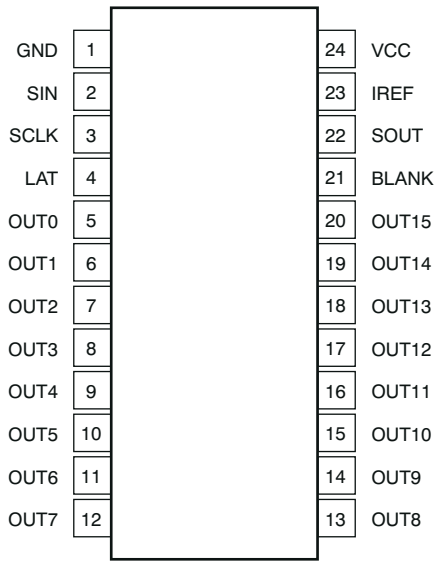


図 4-1. DBQ パッケージ SSOP-24 および QSOP-24 (上面図)

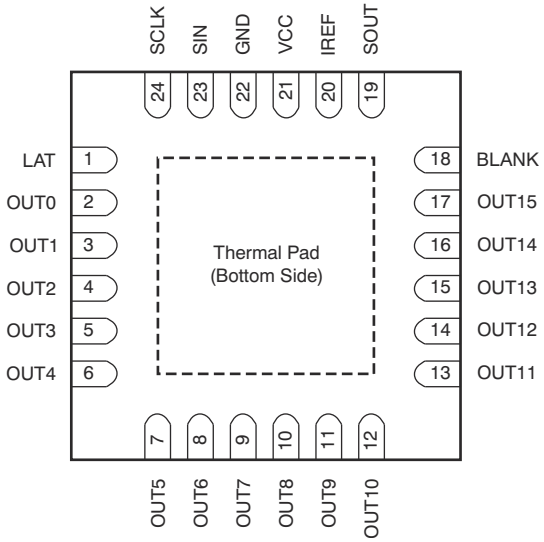


図 4-2. RGE パッケージ QFN-24 (上面図)

注:サーマル パッドは内部では GND に接続されていません。サーマル パッドは、プリント基板 (PCB) のパターンで GND に接続する必要があります。

表 4-1. ピンの機能

ピン			I/O	説明
名称	番号 DBQ	番号 RGE		
BLANK	21	18	I	すべての出力は空 (blank)。シュミット バッファ入力。BLANK が High のとき、すべての定電流出力 (OUT0～OUT15) が強制的にオフになり、すべてのプリチャージ FET がオンになります。BLANK が Low のとき、すべての定電流出力は出力オン / オフ データ ラッチ内のデータによって制御され、すべてのプリチャージ FET がオフになります。このピンは、500kΩ (標準) 抵抗により内部的に V_{CC} にプルアップされています。
GND	1	22	—	電源グランド
IREF	23	20	I/O	定電流値の設定では、OUT0 から OUT15 のシンク定電流出力は、IREF と GND の間に外付け抵抗を接続することで、目的の値に設定されます。
LAT	4	1	I	レベル トリガ ラッチ。シュミット バッファ入力。LAT が High の間、16 ビット シフト レジスタのデータは、出力のオン / オフ データ ラッチへ転送され続けます。したがって、LAT が High のときに 16 ビット シフト レジスタのデータが変更されると、データ ラッチのデータも変更されます。LAT が Low のときは、データ ラッチのデータは保持されます。このピンは、500kΩ (標準) 抵抗によって内部的に GND にプルダウンされています。
OUT0	5	2	O	定電流出力。各出力を他の出力と接続して、定電流を増やすことができます。出力ごとに、異なる電圧を印加できます。
OUT1	6	3	O	定電流出力
OUT2	7	4	O	定電流出力
OUT3	8	5	O	定電流出力
OUT4	9	6	O	定電流出力
OUT5	10	7	O	定電流出力
OUT6	11	8	O	定電流出力
OUT7	12	9	O	定電流出力
OUT8	13	10	O	定電流出力
OUT9	14	11	O	定電流出力
OUT10	15	12	O	定電流出力
OUT11	16	13	O	定電流出力
OUT12	17	14	O	定電流出力
OUT13	18	15	O	定電流出力
OUT14	19	16	O	定電流出力
OUT15	20	17	O	定電流出力
SCLK	3	24	I	シリアル データ シフト クロック。シュミット バッファ入力。 16 ビット シフト レジスタのすべてのデータは、1 ビットの SCLK 同期によって MSB に向かってシフトします。
SIN	2	23	I	ドライバのオン / オフ制御用シリアル データ入力。シュミット バッファ入力。 SIN が High のとき、1 つの SCLK 入力の立ち上がりエッジのみに対して、LSB が「1」に設定されます。 SIN が High のときに 2 つの SCLK 立ち上がりエッジが入力されると、16 ビット シフト レジスタの LSB および LSB+1 が「1」に設定されます。SIN が Low のとき、SCLK 入力の立ち上がりエッジで LSB は「0」に設定されます。
SOUT	22	19	O	シリアル データ出力。この出力は、16 ビット シフト レジスタの MSB に接続されています。SCLK の立ち上がりエッジで SOUT データが変化します。
VCC	24	21	—	電源電圧

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作 (自由通気) 温度範囲内にて (特に記述のない限り)。(1)

			VALUE		単位 (2)
			最小値	最大値	
電圧	V_{CC}	電源	-0.3	+6	V
	V_{IN}	入力範囲、SIN、SCLK、LAT、BLANK、IREF	-0.3	V_{CC} + 0.3	V
	V_{OUT}	出力範囲、SOUT	-0.3	V_{CC} + 0.3	V
		出力範囲、OUT0 ～ OUT15	-0.3	+11	V
電流	I_{OUT}	出力 (DC)、OUT0 ～ OUT15		+50	mA
温度	$T_{J(MAX)}$	動作接合部		+150	℃
	T_{stg}	保存範囲	-55	+150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの恒久的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランドを基準としたものです。

5.2 保存条件

最終製品に DMD を取り付ける前に適用

		最小値	最大値	単位
T_{stg}	DMD の保存温度	-55	+150	°C

5.3 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 [1]	±3000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [2]	±2000	

5.4 推奨動作条件

T_A = -40℃～ +85℃で (特に記述のない限り)。

パラメータ			テスト条件	TLC59283		単位
				最小値	最大値	
DC 特性 (V_{CC} = 3 V ～ 5.5 V)						
V_{CC}	電源電圧			3	5.5	V
V_O	出力に印加される電圧		OUT0 から OUT15		10	V
V_{IH}	入力電圧	High	SIN、SCLK、LAT、BLANK	0.7 × V_{CC}	V_{CC}	V
V_{IL}		Low	SIN、SCLK、LAT、BLANK	GND	0.3 × V_{CC}	V
I_{OH}	出力電流	High	SOUT		-2	mA
I_{OL}		Low	SOUT		2	mA
I_{OLC}	定出力シンク電流		OUT0 から OUT15、3V ≤ V_{CC} ≤ 3.6V	2	35	mA
			OUT0 から OUT15 まで、3.6V < V_{CC} ≤ 5.5V	2	45	mA
T_A	温度範囲	動作時自由気流		-40	+85	℃
T_J		動作接合部		-40	+125	℃
AC 特性 (V_{CC} = 3V ～ 5.5V)						
$f_{CLK (SCLK)}$	データ シフト クロック周波数		SCLK		35	MHz
t_{WH0}	パルス幅		SCLK	10		ns
t_{WL0}			SCLK	10		ns
t_{WH1}			LAT	20		ns
t_{WH2}			空白	100		ns
t_{WL2}			空白	50		ns
t_{SU0}	セットアップ時間		SIN ↑ ↓ – SCLK ↑	4		ns
t_{SU1}			LAT ↓ – SCLK ↑	10		ns
t_{H0}	ホールド時間		SIN ↑ ↓ – SCLK ↑	4		ns
t_{H1}			LAT ↓ – SCLK ↑	10		ns

5.5 熱に関する情報

熱評価基準		TLC59283		単位
		DBQ	RGE	
		24 ピン	24 ピン	
θ_{JA}	接合部から周囲への熱抵抗	91.5	42.9	°C/W
θ_{JCtop}	ジャンクションからケース(上部)までの熱抵抗	55.2	55.3	
θ_{JB}	ジャンクションからボードまでの熱抵抗	44.9	21.7	
ψ_{JT}	接合部から上面への特性パラメータ	16.8	1.9	
ψ_{JB}	接合部から基板への特性パラメータ	44.5	21.8	
θ_{JCbot}	接合部からケース (底面) への熱抵抗	該当なし	8.8	

Copyright © 2024 Texas Instruments Incorporated

5.6 電気的特性

特に記述がない限り、最小値と最大値の仕様はすべて、T_A = –40℃～+85℃、V_{CC} = 3V～5.5V での値です。
標準仕様は、T_A = +25℃および V_{CC} = 3.3V での値です。

パラメータ			テスト条件		TLC59283 最小値	TLC59283 標準値	TLC59283 最大値	単位
V_{OH}	出力電圧	High	SOUT での I_{OH} = –2mA		V_{CC} – 0.4		V_{CC}	V
V_{OL}	出力電圧	Low	SOUT での I_{OL} = 2mA				0.4	V
V_{PCHG}	プリチャージ電圧		I_O = –10μA		V_{CC} – 2.0	V_{CC} – 1.4	V_{CC} - 0.8	V
V_{IREF}	リファレンス電圧出力		R_{IREF} = 1.5kΩ、T_A = +25°C			1.208		V
I_{IN}	入力電流		SIN および SCLK での $_{IN}$ = V_{CC} または GND		-1		1	μA
I_{CC0}	消費電流 (V_{CC})		SIN、SCLK、LAT = GND、BLANK = V_{OUTn} = V_{CC}、R_{IREF} = オープン			1	2	mA
I_{CC1}	消費電流 (V_{CC})		SIN、SCLK、LAT = GND、BLANK = V_{OUTn} = V_{CC}、R_{IREF} = 3kΩ (I_{OUT} = 17.6mA ターゲット)			3	4	mA
I_{CC2}	消費電流 (V_{CC})		すべての OUTn = ON、SIN、SCLK、LAT、BLANK = GND、V_{OUTn} = 0.8V、R_{IREF} = 3kΩ			7	9	mA
I_{CC3}	消費電流 (V_{CC})		すべての OUTn = ON、SIN、SCLK、LAT、BLANK = GND、V_{OUTn} = 0.8V、R_{IREF} = 1.5kΩ (I_{OUT} = 35.3mA ターゲット)			8	11	mA
I_{OLC}	定出力電流		すべての OUTn = ON、V_{OUTn} = V_{OUTfix} = 0.8V、R_{IREF} = 1.5kΩ、T_A = +25°C (図 6-8 参照)		32.9	35.3	37.7	mA
I_{OLKG0}	出力リーク電流		すべての OUTn = OFF、V_{OUTn} = V_{OUTfix} = 10V、BLANK = V_{CC}、R_{IREF} = 1.5kΩ (図 6-8 参照)	T_J = +25°C			0.1	μA
I_{OLKG0}	出力リーク電流		すべての OUTn = OFF、V_{OUTn} = V_{OUTfix} = 10V、BLANK = V_{CC}、R_{IREF} = 1.5kΩ (図 6-8 参照)	T_J = +85°C			0.2	μA
I_{OLKG0}	出力リーク電流		すべての OUTn = OFF、V_{OUTn} = V_{OUTfix} = 10V、BLANK = V_{CC}、R_{IREF} = 1.5kΩ (図 6-8 参照)	T_J = +125°C		0.07	0.5	μA
ΔI_{OLC0}	定電流誤差	チャネル間(1)	すべての OUTn = ON、V_{OUTn} = V_{OUTfix} = 0.8V、R_{IREF} = 1.5kΩ、T_A = +25°C (図 6-8 参照)			±1.4	±3	%
ΔI_{OLC1}	定電流誤差	デバイス間(2)	すべての OUTn = ON、V_{OUTn} = V_{OUTfix} = 0.8V、R_{IREF} = 1.5kΩ、T_A = +25°C (図 6-8 参照)			±2	±4	%
ΔI_{OLC2}	ライン レギュレーション(3)		すべての OUTn = ON、V_{OUTn} = V_{OUTfix} = 0.8V、R_{IREF} = 1.5kΩ、V_{CC} = 3V ～ 5.5V			±0.05	±1	%/V
ΔI_{OLC3}	負荷レギュレーション(4)		すべての OUTn = ON、V_{OUTn} = 0.8V ～ 3V、V_{OUTfix} = 0.8V、R_{IREF} = 1.5kΩ			±0.5	±1	%/V
R_{PUP}	抵抗	プルアップ	空白		250	500	750	kΩ
R_{PDWN}	抵抗	プルダウン	LAT		250	500	750	kΩ
R_{PCHG}	プリチャージ FET オン抵抗		VCC = 5.0V、V_{OUTn} = 0V、OUT0 ～ OUT15、BLANK = V_{CC}、T_A = +25°C			3	6	kΩ

(1) 各出力の OUT0 から OUT15 の定電流の平均からの偏差。偏差は次の式で計算されます。

$$\Delta\ (\%) = \left(\frac{I_{OUTn}}{\frac{(I_{OUT0} + I_{OUT1} + \ldots + I_{OUT14} + I_{OUT15})}{16}} - 1 \right) \times 100$$

(2) OUT0 から OUT15 の定電流の平均値の、理想的な定電流値からの偏差。
偏差は、次の式で計算されます。

$$\Delta\ (\%) = \left(\frac{\frac{(I_{OUT0} + I_{OUT1} + \ldots I_{OUT14} + I_{OUT15})}{16} - (\text{Ideal Output Current})}{\text{Ideal Output Current}} \right) \times 100$$

理想的な電流は、次の式で計算されます。

$$I_{OUT(IDEAL)} = 43.8 \times \left(\frac{1.208\ V}{R_{IREF}} \right)$$

(3) ライン レギュレーションは次の式で計算されます。

$$\Delta\ (\%/V) = \left(\frac{(I_{OUTn} \text{ at } V_{CC} = 5.5\ V) - (I_{OUTn} \text{ at } V_{CC} = 3\ V)}{(I_{OUTn} \text{ at } V_{CC} = 3\ V)} \right) \times \frac{100}{5.5\ V - 3\ V}$$

(4) 負荷レギュレーションは次の式で計算されます。

Copyright © 2024 Texas Instruments Incorporated

$$\Delta\ (\%/V) = \left(\frac{(I_{OUTn} \text{ at } V_{OUTn} = 3\ V) - (I_{OUTn} \text{ at } V_{OUTn} = 1\ V)}{(I_{OUTn} \text{ at } V_{OUTn} = 1\ V)} \right) \times \frac{100}{3\ V - 1\ V}$$

5.7 タイミング特性

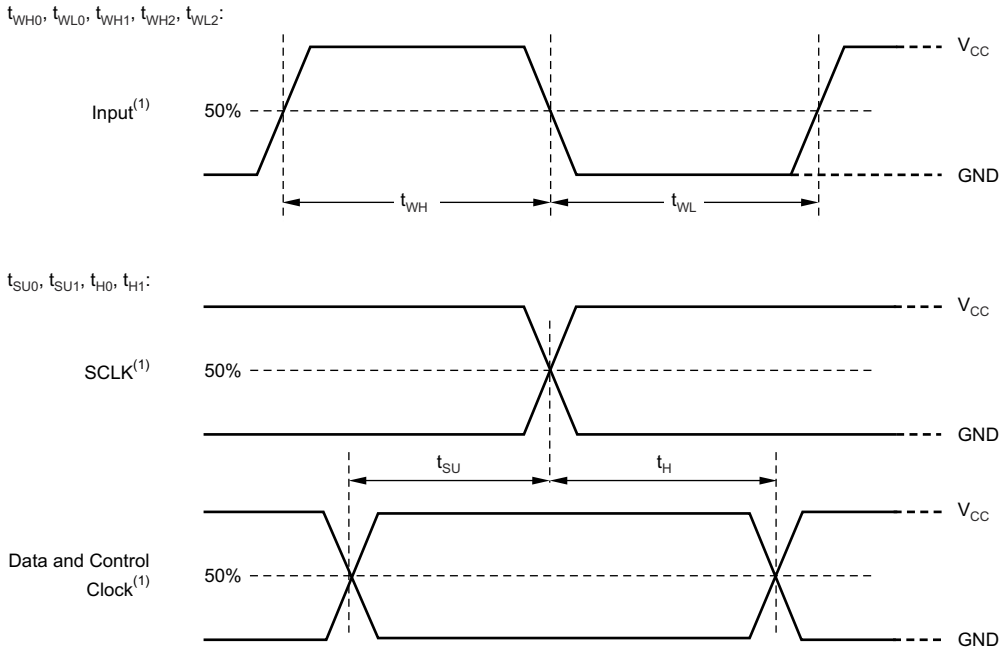
特に記述のない限り、すべての最小値および最大値の仕様は、T_A = –40℃から +85℃、V_{CC} = 3V から 5.5V、C_L = 15pF、R_L = 110Ω、
R_{IREF} = 1.5kΩ、V_{LED} = 5.0V での値です。標準値は、T_A = +25℃および V_{CC} = 3.3V での値です。

			TLC59283			
パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{R0}	立ち上がり時間	SOUT (図 6-7 を参照)		3	10	ns
t_{R1}		OUTn (図 6-6 を参照)		44		ns
t_{F0}	立ち下がり時間	SOUT (図 6-7 を参照)		3	10	ns
t_{F1}		OUTn (図 6-6 を参照)		44		ns
t_{D0}	伝搬遅延時間	SCLK ↑ から SOUT ↑ ↓		11	20	ns
t_{D1}		LAT ↑ または BLANK ↑ ↓ から OUT0 オンまたはオフ、T_A = + 25°C		60	100	ns
t_{D2}		グループ化された OUTn のオン / オフから次のグループのオン / オフ、T_A = + 25°C		2		ns
t_{ON_ERR}	出力オン時間誤差(1)	出力オン / オフ ラッチ データ = すべて「1」、50ns の BLANK GND レベル パルス、V_{CC} = 3.3V、T_A = +25°C	-45		45	ns

(1) 出力オン時間誤差 (t_{ON_ERR}) は、t_{ON_ERR} (ns) = t_{OUT_ON} – BLANK Low レベルのワンショット パルス幅 (t_{WL2}) で計算されます。t_{OUT_ON} は、定電流出力の実際のオン時間を示します。

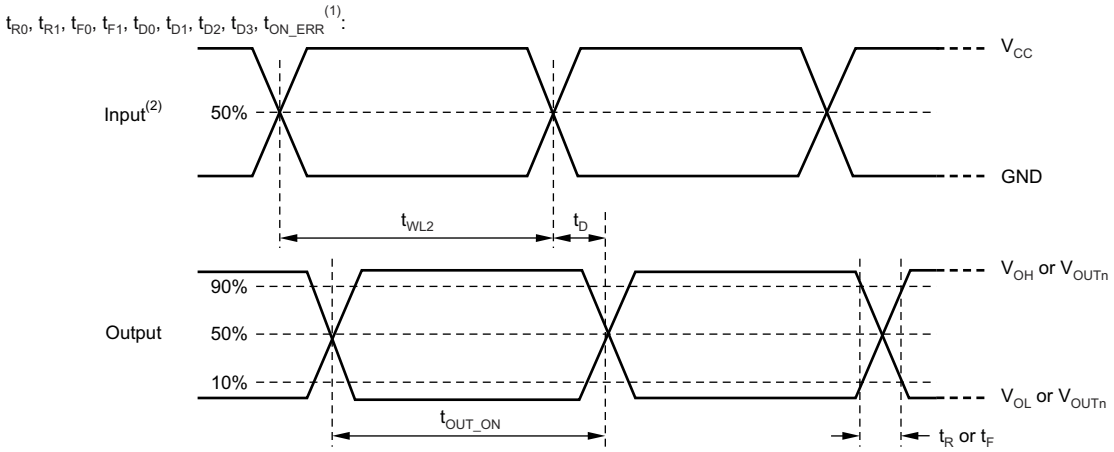
Copyright © 2024 Texas Instruments Incorporated

5.8 タイミング図



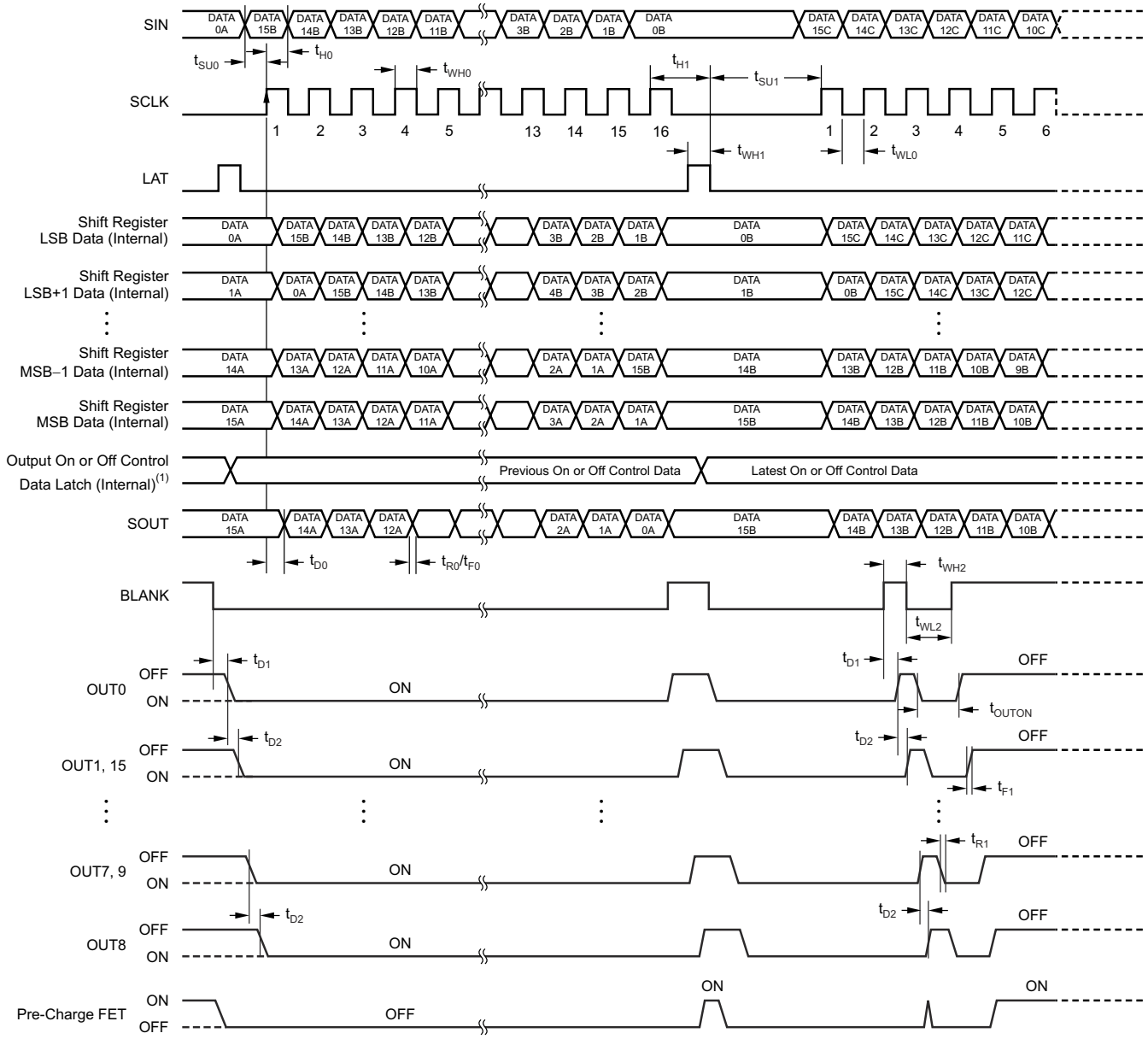
A. 入力パルスの立ち上がりおよび立ち下がり時間は 1ns から 3ns です。

図 5-1. 入力タイミング図



A. t_{ON_ERR} は、$t_{OUTON} - t_{WL2}$ によって計算されます。
B. 入力パルスの立ち上がりおよび立ち下がり時間は 1ns から 3ns です。

図 5-2. 出力タイミング図



A. 出力オンまたはオフ データ = FFFFFh。

B. $t_{ON_ERR} = t_{OUTON} - t_{WL2}$。

図 5-3. データの書き込みと出力のオン / オフのタイミング図

Copyright © 2024 Texas Instruments Incorporated

5.9 代表的特性

特に記述のない限り、T_A = +25℃、V_{CC} = 3.3V

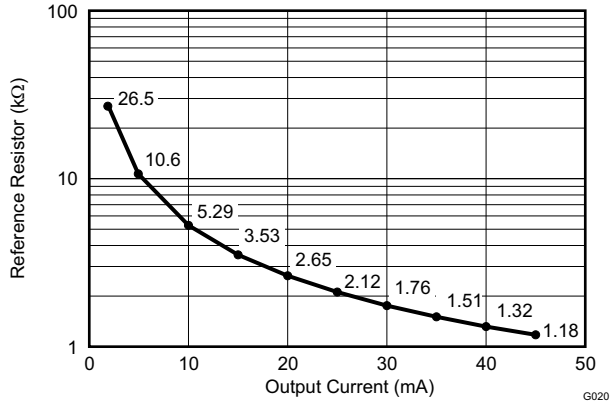


図 5-4. リファレンス抵抗と出力電流の関係

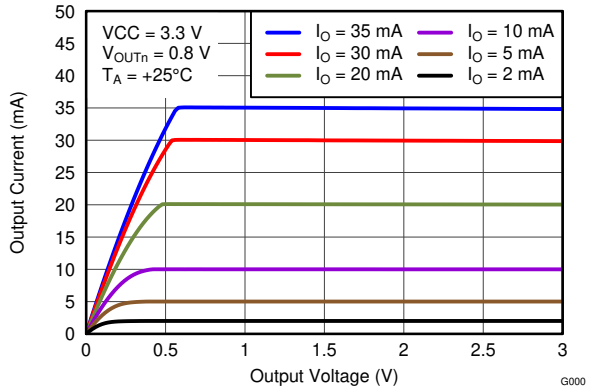


図 5-5. 出力電流と出力電圧の関係 (VCC = 3.3V)

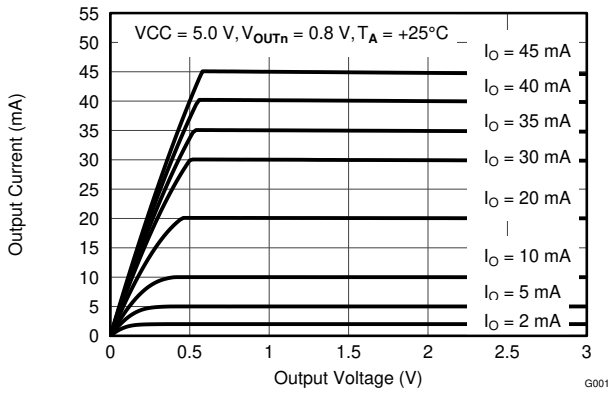


図 5-6. 出力電流と出力電圧の関係 (VCC = 5.0V)

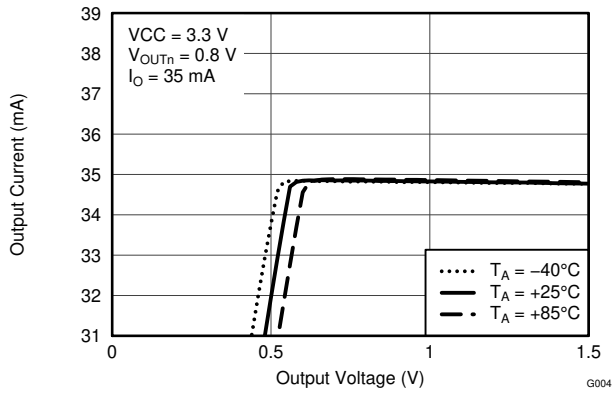


図 5-7. 出力電流と出力電圧の関係 (VCC = 3.3V、拡大)

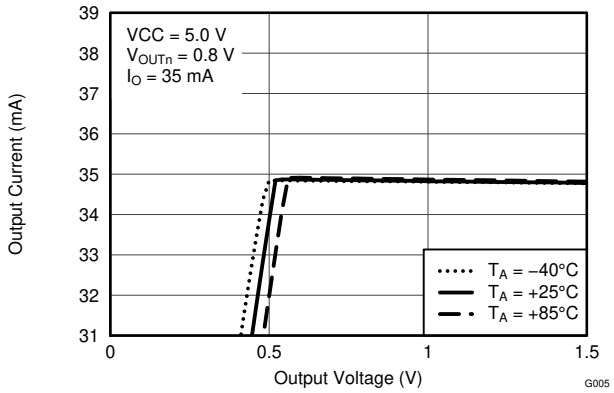


図 5-8. 出力電流と出力電圧の関係 (VCC = 5.0V、拡大)

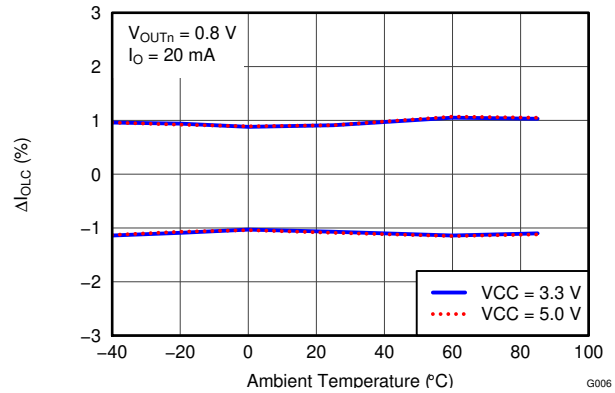


図 5-9. ΔI_{OLC} と周囲温度の関係

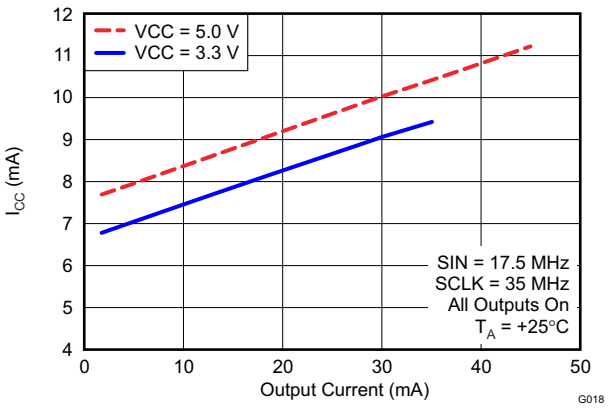


図 5-10. 消費電流と出力電流の関係

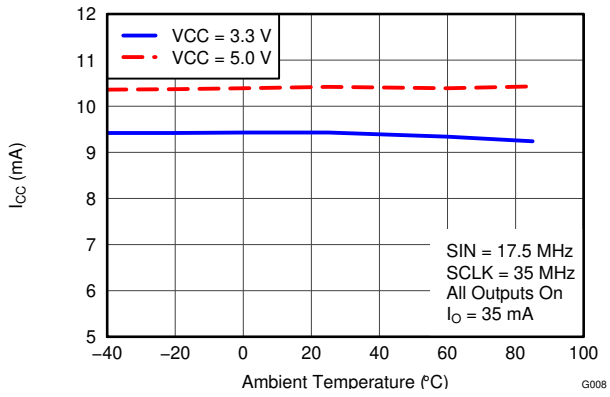


図 5-11. 消費電流と周囲温度の関係

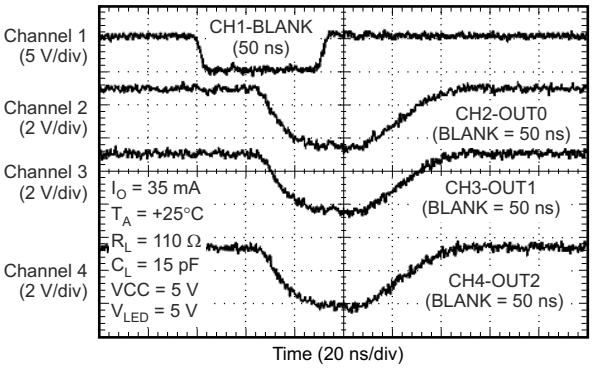


図 5-12. 定電流出力電圧波形

Copyright © 2024 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 ピン互換の入力および出力回路図

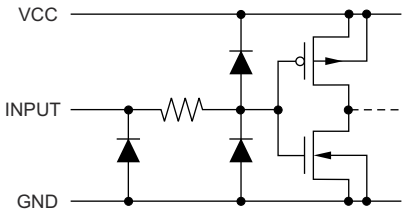


図 6-1. SIN および SCLK

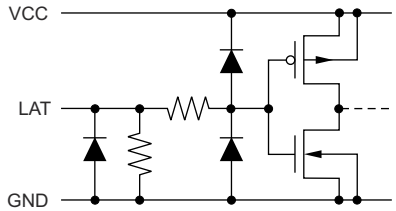


図 6-2. LAT

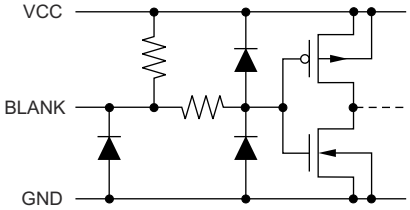


図 6-3. BLANK

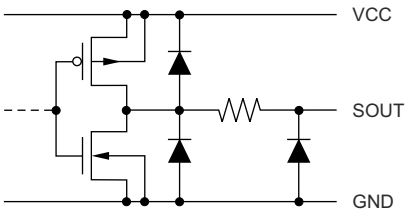
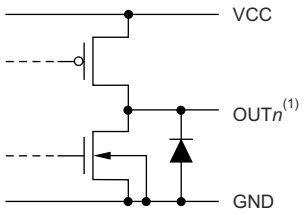


図 6-4. SOUT



A. n = 0 ～ 15。

図 6-5. OUT0 から OUT15 まで

6.2 テスト回路

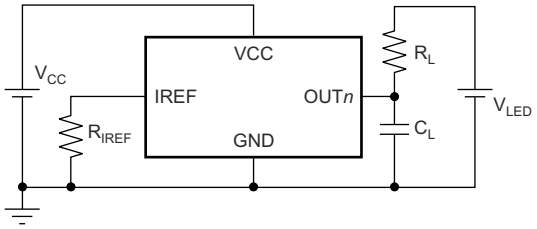


図 6-6. OUTn の立ち上がり / 立ち下がり時間のテスト回路

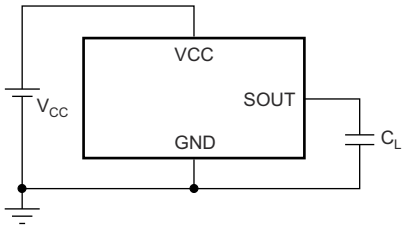


図 6-7. SOUT 立ち上がりおよび立ち下がり時間のテスト回路

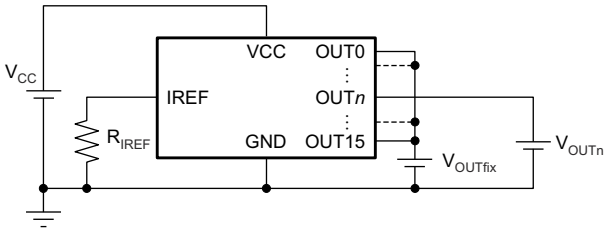


図 6-8. OUTn 定電流テスト回路

Copyright © 2024 Texas Instruments Incorporated

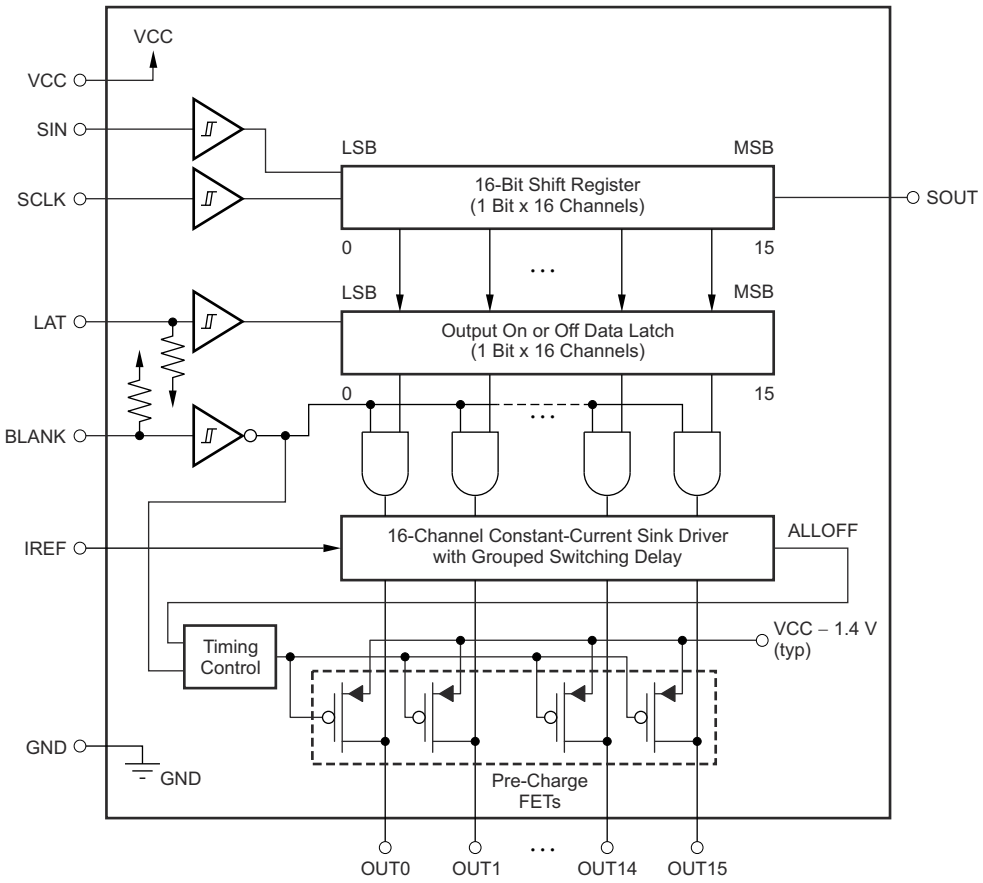
7 詳細説明

7.1 概要

TLC59283 は、16 チャネルの定電流シンク発光ダイオード (LED) ドライバです。動作 VCC に応じて、3.3V または 5V の CMOS ロジック レベルと互換性のあるシンプルなシリアル通信プロトコルを使用して、各チャネルを個別に制御可能です。シリアル データ バッファがロードされると、LAT の立ち上がりエッジによってデータが OUTn 出力に転送されます。BLANK ピンを使用して、電源オン時にすべての OUTn 出力をオフにし、出力データをラッチできるので、電源オンの間に望ましくない画像が表示されないようにできます。16 チャネルすべての定電流値を 1 個の外付け抵抗で設定します。

各定電流出力にはプリチャージ電界効果トランジスタ (FET) があり、多重化 (動的) 駆動 LED ディスプレイのゴーストを低減できます。複数の TLC59283 を一緒にカスケード接続することで、同じプロセッサから追加の LED を制御できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 定シンク電流値の設定

定電流の値は、IREF と GND の間に配置される外付け抵抗 (R_{IREF}) によって決定されます。抵抗 (R_{IREF}) の値は 式 1 で計算されます。

$$R_{IREF}\ (k\Omega) = \frac{V_{IREF}\ (V)}{I_{OLC}\ (mA)} \times 43.8 \quad (1)$$

ここで

V_{IREF} = IREF ピンの内部基準電圧 (標準 1.208V)

V_{CC} が 3.6V 未満の場合、I_{OLC} は 2mA から 35mA までの範囲に設定する必要があります。また、V_{CC} が 3.6V 以上の場合、I_{OLC} を 2mA から 45mA の範囲に設定する必要があります。外部抵抗値に対する定シンク電流特性を、図 5-4 に示します。定電流出力と外付け抵抗の値との関係を、表 7-1 に示します。

表 7-1. 定電流出力と外付け抵抗の値との関係

I_{OLC} (mA)	R_{IREF} (kΩ、標準値)
45 (V_{CC} > 3.6V のみ)	1.18
40 (V_{CC} > 3.6V のみ)	1.32
35	1.51
30	1.76
25	2.12
20	2.65
15	3.53
10	5.29
5	10.6
2	26.5

7.3.2 定電流ドライバのオン / オフ制御

BLANK が Low のとき、オンまたはオフ制御データ ラッチのデータが「1」なら対応する出力がオンになり、データが「0」ならオフのままです。BLANK が High のとき、すべての出力は強制的にオフになります。この制御を 表 7-2 に示します。

表 7-2. 出力オン / オフ制御データの真理値表

出力 ON または OFF データ	定電流出力の状態
0	オフ
1	オン

デバイスの電源を最初にオンにしたとき、16 ビット シフト レジスタのデータ、および出力のオン / オフ データ ラッチのデータはデフォルト値に設定されません。したがって、定電流出力をオンにする前に、出力のオンまたはオフ データをデータ ラッチに書き込む必要があります。**出力のオン / オフ データ ラッチ内のランダム データの結果として定電流がオンになることがあるため、電源オン時には BLANK を High にする必要があります。**

Copyright © 2024 Texas Instruments Incorporated

7.3.3 ノイズ低減

16 の出力すべてが同時にオンまたはオフになると、大きなサージ電流がデバイスや基板を流れる可能性があります。このような大電流サージは、有害なノイズや電磁干渉 (EMI) を他の回路に引き起こす可能性があります。TLC59283 は 1ns (標準値) の遅延時間で、各グループの出力を独立にオンまたはオフにします。図 5-3 を参照してください。16 の出力は、1 つまたは 2 つの出力の 9 つのグループにグループ化されています。グループ 1 (OUT0)、グループ 2 (OUT1 および OUT15)、グループ 3 (OUT2 および OUT14)、グループ 4 (OUT3 および OUT13)、グループ 5 (OUT4 および OUT12)、グループ 6 (OUT5 および OUT11)、グループ 7 (OUT6 および OUT10)、グループ 8 (OUT7 および OUT9)、グループ 9 (OUT9)。BLANK が Low から High または High から Low に遷移すると、オン時間とオフ時間の両方が遅延します。また、BLANK が Low のときに、LAT の立ち上がりエッジで出力オンおよびオフ データが変更されると、オン時間とオフ時間の両方が遅延します。ただし、各出力の状態は、出力オン / オフ データ ラッチのデータと BLANK レベルによって制御されます。

7.3.3.1 内蔵プリチャージ FET

内蔵のプリチャージ FET により、多重化された LED モジュールのゴーストが防止されます。この現象の原因の 1 つは、定電流出力 (OUTn) の寄生容量充電電流と、LED 経由で OUTn に接続された PCB 配線です。図 7-1 に、メカニズムの 1 つを示します。

図 7-1 では、定電流ドライバが LED0-0 を (1) でオンにし、(2) でオフにします。LED0-0 がオフになると、OUT0 電圧は LED0-0 によって V_{CHG} にプルアップされます。この OUT0 ノードにはいくらかの寄生容量があります (定電流ドライバ出力容量や、C0-2 として示される基板レイアウト容量など)。LED0-0 がオフになった後、SWPMOS0 がオフになり、COM0 については SWNMOS0 がオンになり、COM0 は GND にプルダウンされます。COM0 と OUT0 の間には寄生容量が存在するため、OUT0 電圧も GND にプルダウンされます。その後、次の共通ライン (COM1) で SWPMOS1 がオンになります。SWPMOS1 がオンになると、OUT0 電圧がグランド電圧から $V_{LED} - V_F$ にプルアップされます。充電電流 (I_{CHRG}) は LED1-0 を経由して寄生コンデンサ (C0) に流れるため、LED が短時間オンになり、LED1-0 のゴースト効果が発生します。

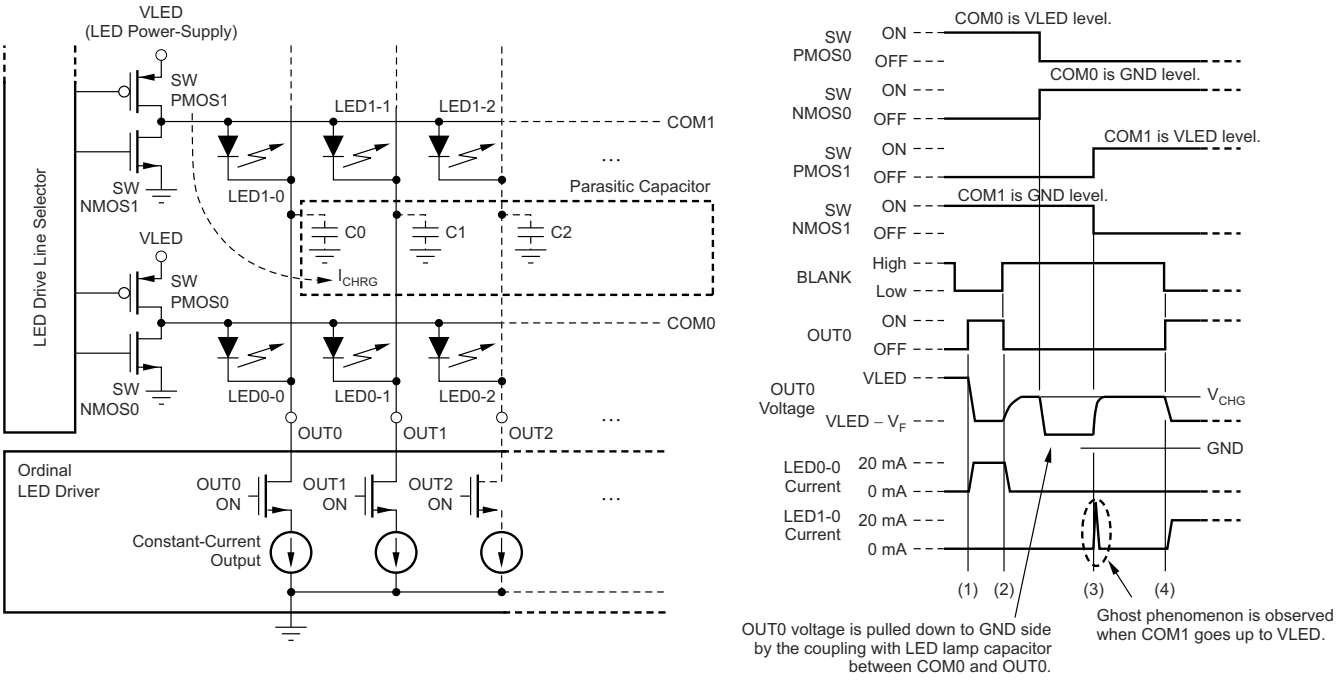


図 7-1. LED ゴースト発光現象のメカニズム

図 7-2 に示すように、TLC59283 には内部プリチャージ FET があり、ゴーストを防止します。単一のコモン ラインの PWM 制御が完了してからわずかな遅延時間が経過すると、FET は OUTn を V_{CC} にプルアップします。SWMOS1 がオンになると、充電電流は LED1-0 を経由して C0 に流れず、(3) でゴーストが除去されます。ただし、LED アノード電圧、直列接続された LED の数、LED 順方向電圧、TLC59283 V_{CC} 電源電圧によっては、十分なゴースト キャンセル効果が得られない場合があります。

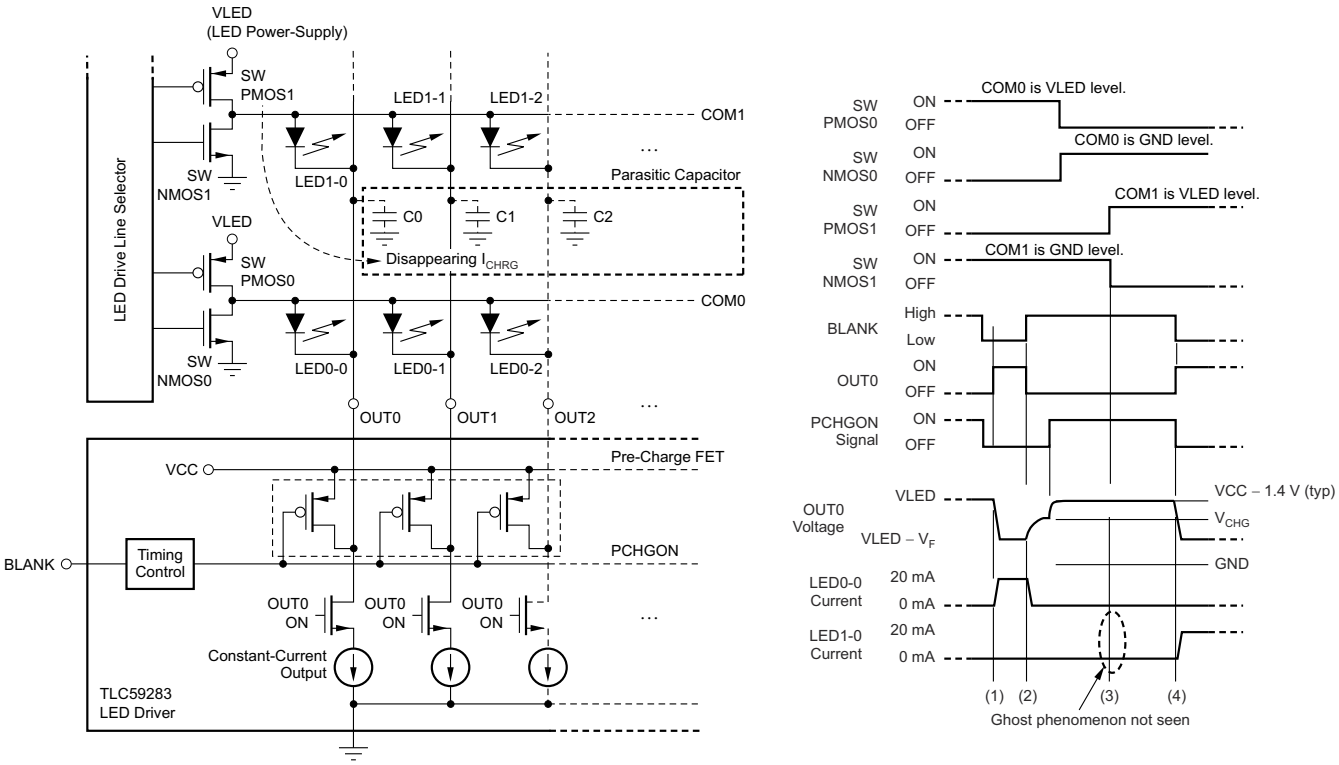


図 7-2. プリチャージ FET による LED のゴースト発光のメカニズム

7.3.3.2 出力制御ループの安定性を向上

TLC59283 の出力に関連する寄生インダクタンスが大きいと、電流ループが不安定になり、スプリアス発振として現れる可能性があります。これらの寄生インダクタンスは、長いパターンか、ボード間でのコネクタの使用に関連している場合が最も一般的です。アプリケーション ノート『家電アプリケーション向け TLC59283 制御ループの安定性向上 (SLVAFP4)』には、小さな RC 回路を使用して帰還ループを補償することで不安定性を最小限に抑える方法が解説されています。

Copyright © 2024 Texas Instruments Incorporated

8 レジスタ設定

TLC59283 には 16 ビットのシフト レジスタと、出力オン / オフ データ ラッチがあります。シフト レジスタとデータ ラッチはどちらも 16 ビット長であり、定電流出力のオン / オフに使用されます。図 8-1 に、シフト レジスタとデータ ラッチの構成を示します。SIN ピンのデータは、SCLK ピンの立ち上がりエッジで 16 ビット シフト レジスタの LSB にシフトインされ、SOUT データは SCLK の立ち上がりエッジで変化します。

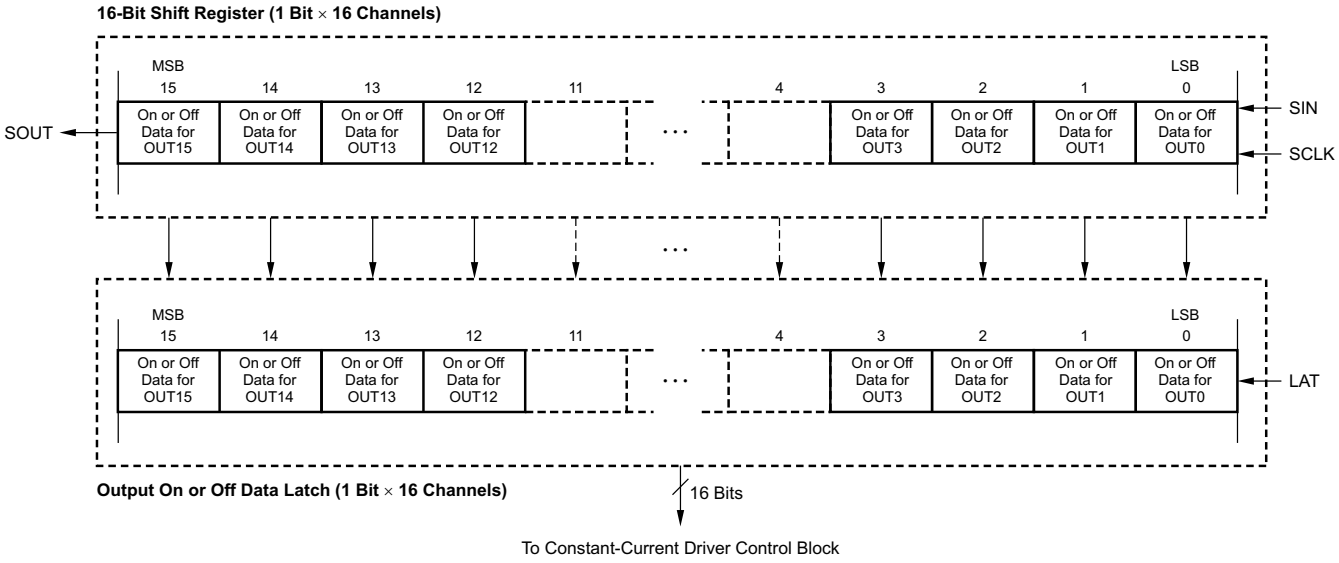


図 8-1. 16 ビット シフト レジスタと、出力オン / オフ データ ラッチ構成

LAT が High の間、16 ビット シフト レジスタの出力オン / オフ データは、出力のオン / オフ データ ラッチへ転送され続けます。したがって、LAT が High のときに 16 ビット シフト レジスタのデータが変更されると、データ ラッチのデータも変更されます。LAT が Low のときは、データ ラッチのデータは保持されます。デバイスの電源が最初にオンになったとき、出力オン / オフ シフト レジスタおよびラッチのデータはデフォルト値に設定されていません。定電流出力をオンにする前に、オンまたはオフ制御データをオンまたはオフ制御データ ラッチに書き込む必要があります。BLANK が High のとき、すべての定電流出力は強制的にオフになります。OUTn のオン / オフ出力は、出力オン / オフ データ ラッチ内のデータによって制御されます。書き込みデータの真理値表とタイミング図をそれぞれ 表 8-1 と 図 8-2 に示します。

表 8-1. 動作時の真理値表

SCLK	LAT	BLANK	SIN	OUT0…OUT7…OUT15	SOUT
↑	High	Low	Dn	Dn…Dn – 7…Dn – 15	Dn – 15
↑	LOW	LOW	Dn + 1	変更なし	Dn – 14
↑	High	Low	Dn + 2	Dn + 2…Dn – 5…Dn – 13	Dn – 13
↓	—	Low	Dn + 3	Dn + 2…Dn – 5…Dn – 13	Dn – 13
↓	—	High	Dn + 3	オフ	Dn – 13

Copyright © 2024 Texas Instruments Incorporated

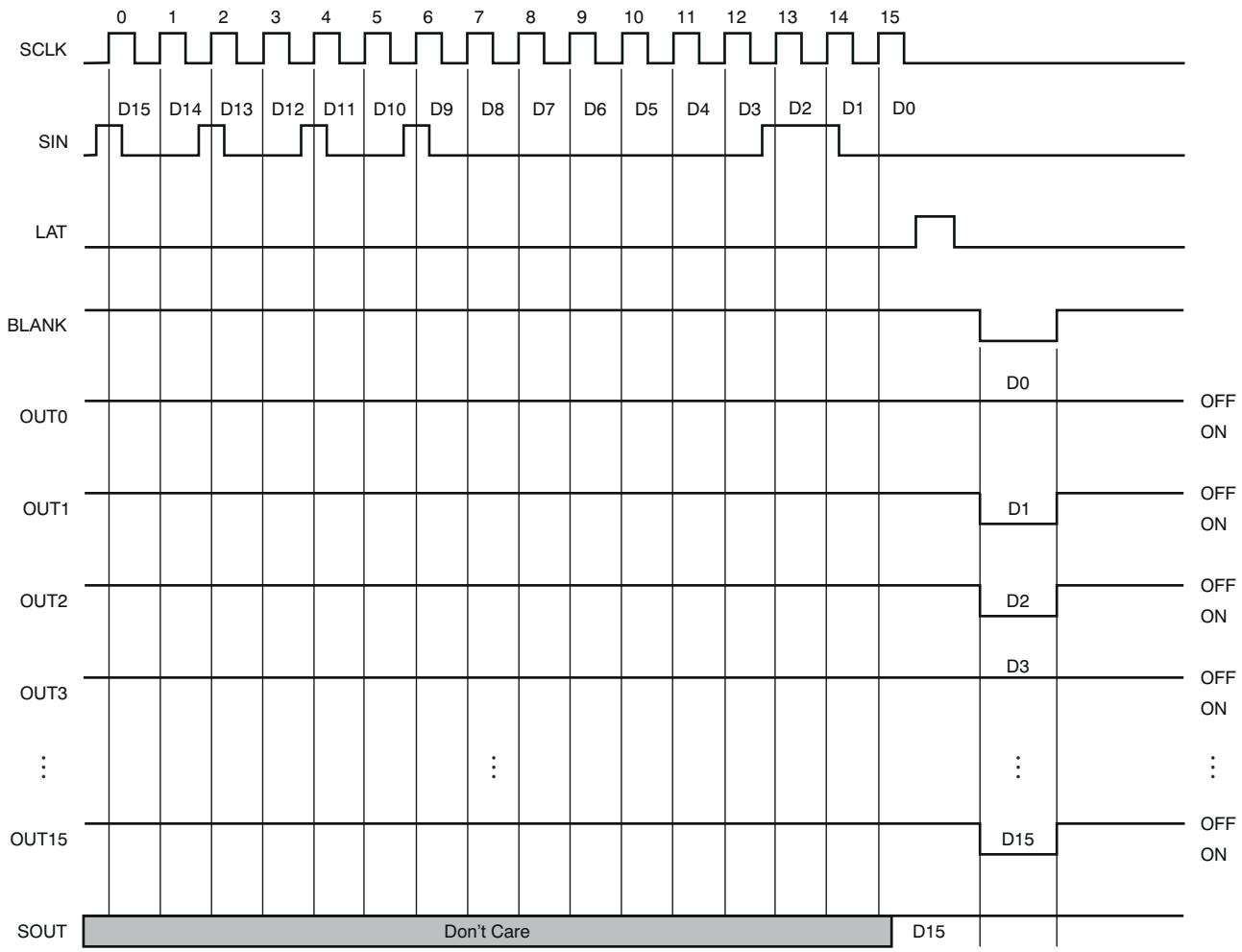


図 8-2. 動作タイミング図

Copyright © 2024 Texas Instruments Incorporated

9 アプリケーションと実装

注

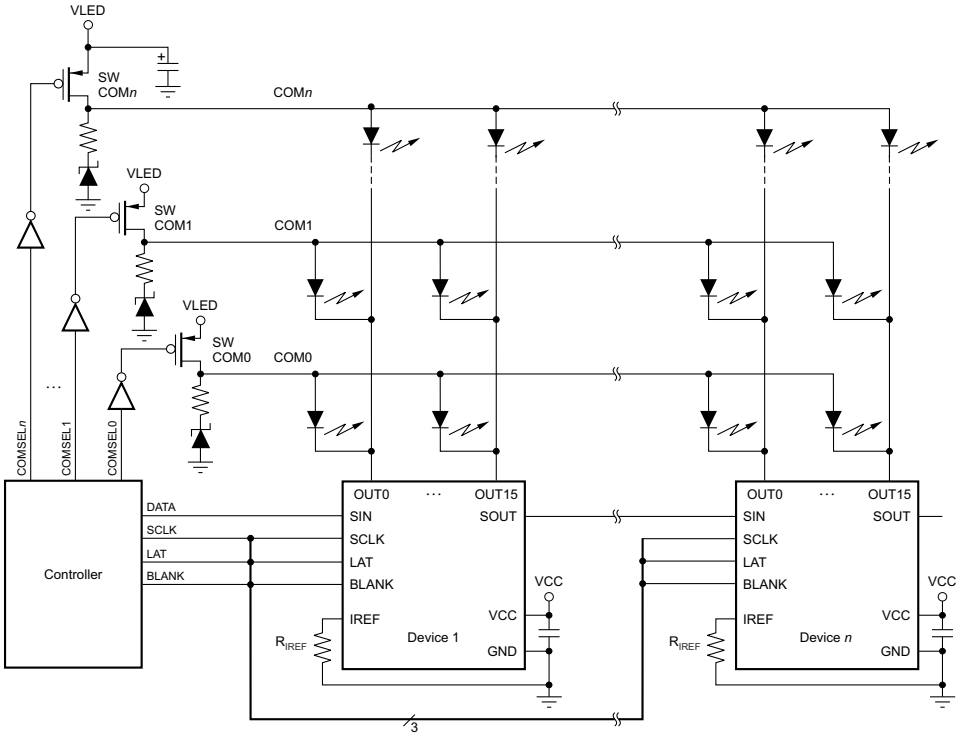
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

AI (人工知能) や IoT (モノのインターネット) の普及に伴い、さまざまな状態や機能を表示するために大量の LED を使用する最終製品が増加しています。HMI (ヒューマン マシン インターフェイス) の観点では、LED ベースの 7 セグメント ディスプレイ、ドット マトリクス ディスプレイや多数の LED インジケータなどの LED 表示機能により、多彩で目に訴える視覚効果による新たな世界が、ますます多くのアプリケーションで実現されています。このアプリケーション レポートでは、現在のソリューションと比較して、輝度の均一性の向上や、小型化、ゴーストの除去などのメリットを実現できる、TLC59283 を使用した 7 セグメントのドット マトリクス ディスプレイや多数の LED の駆動方法を紹介します。詳細については、『TLC59283 による輝度の均一性の向上、サイズの小型化、ゴーストの除去』を参照してください。

9.2 代表的なアプリケーション

TLC59283 の代表的なアプリケーション回路図を、代表的なアプリケーション回路 (複数の TLC59283 のデイジーチェーン接続) に示します。



代表的なアプリケーション回路 (複数の TLC59283 のデイジーチェーン接続)

9.2.1 設計要件

表 9-1. 設計パラメータ

パラメータ	値
電源電圧	3 ～ 5.5V
出力電圧	<10V
出力電流	<45mA
調光オプション	調光オプションなし

9.2.2 詳細な設計手順

このセクションでは、TLC59283 を使用した、時間多重化トポロジによる LED マトリクスの駆動方法を説明します。時間多重化トポロジを形成するには、外付けのスイッチング MOSFET またはトランジスタを追加する必要があります。トランジスタを制御するのに十分な数の I/O がシステム内にある場合は、図 8-1 のようなブロック図を使用して 64 個の LED を駆動できます。

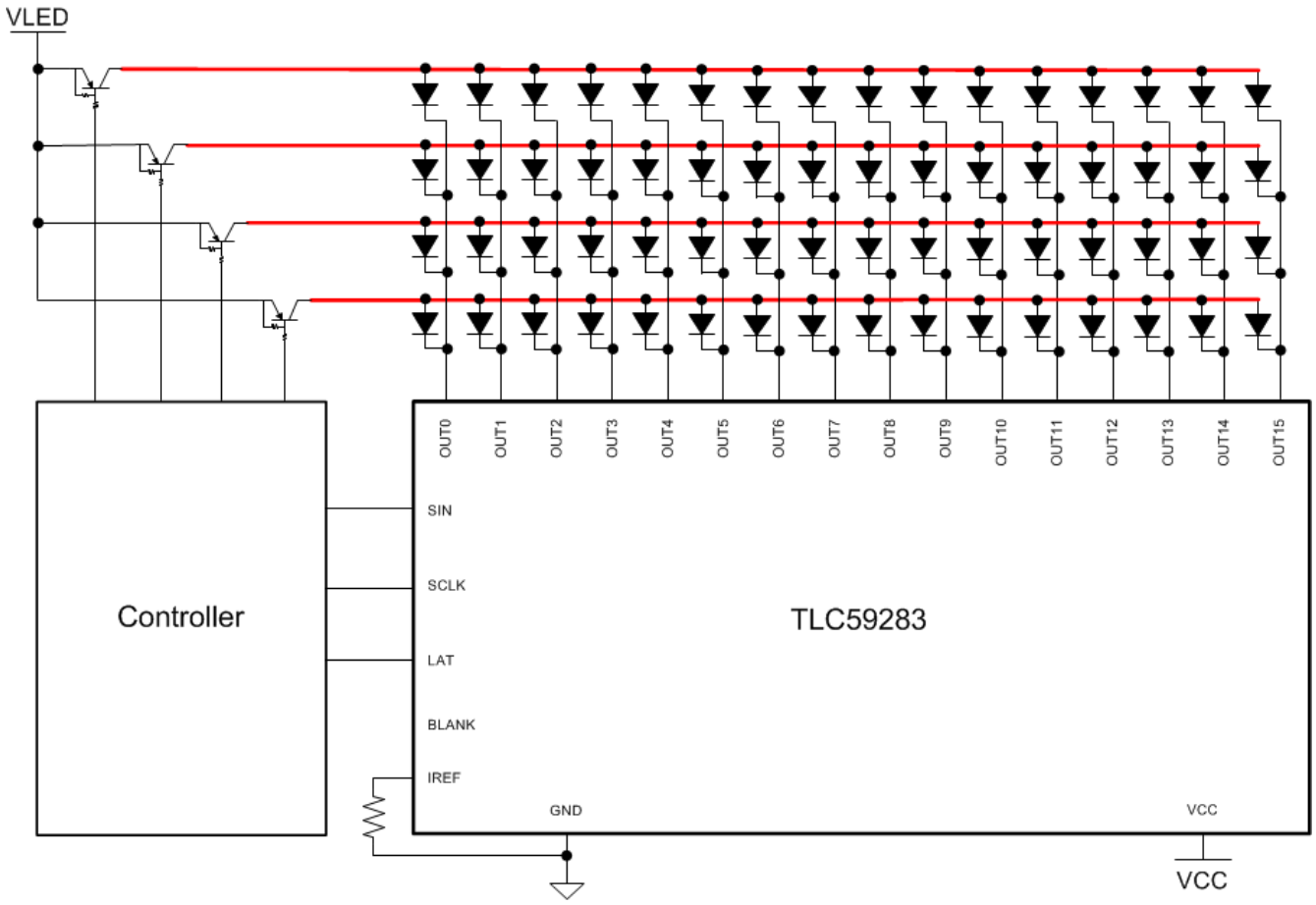


図 9-1. TLC59283 と十分な数の I/O を使用した時間多重化回路

Copyright © 2024 Texas Instruments Incorporated

トランジスタを制御するのに十分な数の I/O がシステム内にない場合は、図 8-2 のようなブロック図を使用して 64 個の LED を駆動できます。

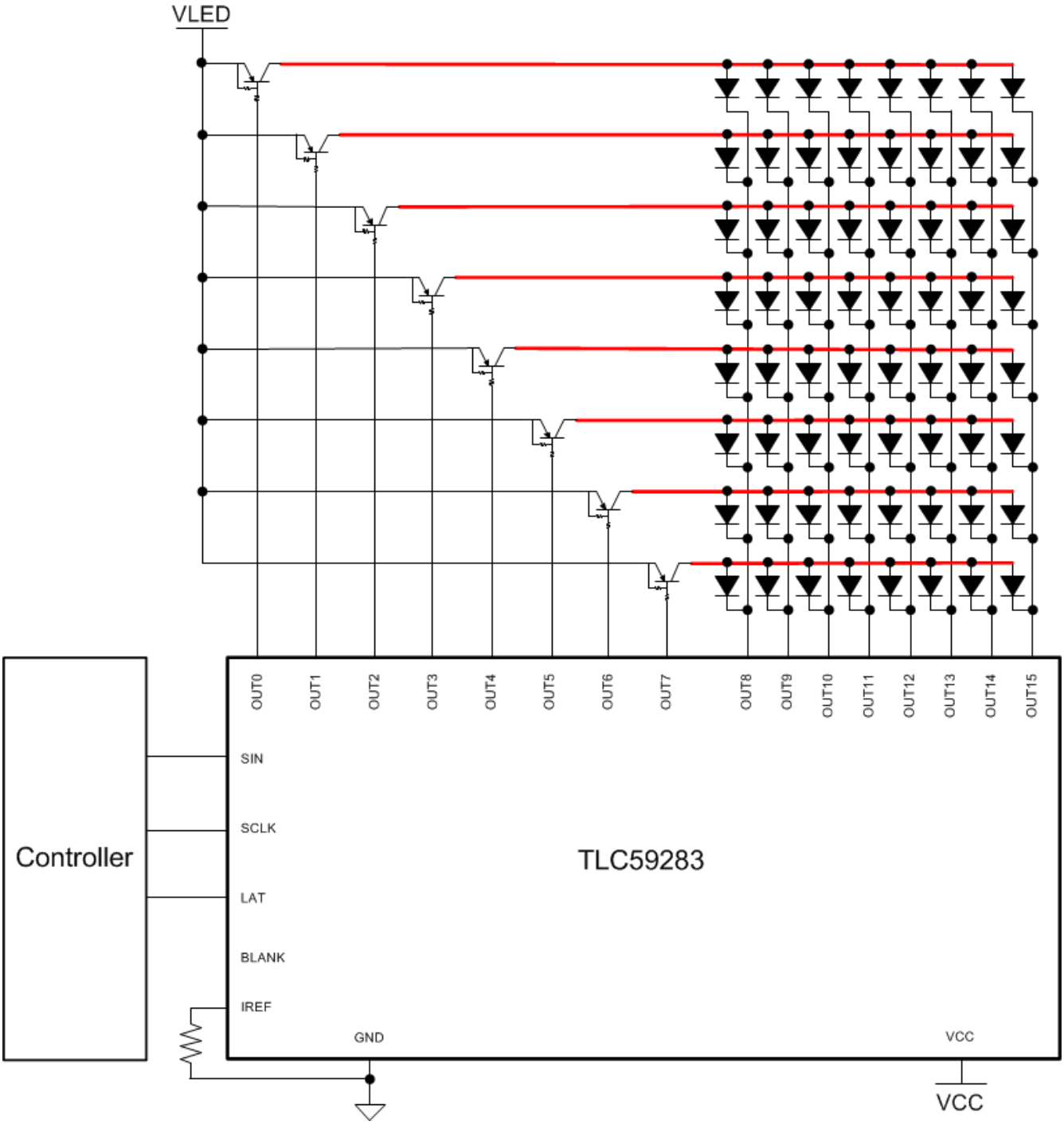


図 9-2. TLC59283 と数の少ない I/O を使用した時間多重化回路

9.2.3 アプリケーション特性の波形

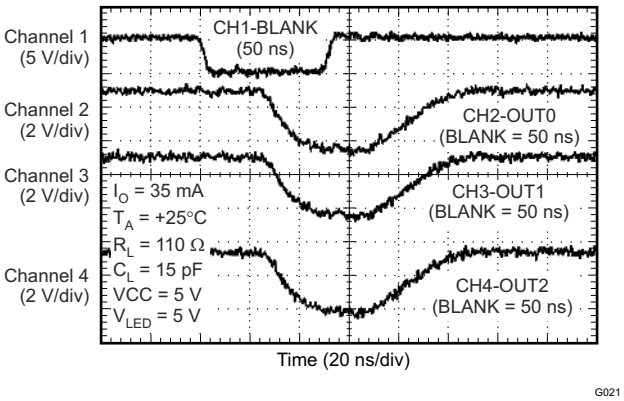


図 9-3. 定電流出力電圧波形

9.3 電源に関する推奨事項

このデバイスは、3V から 5.5V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源がコンバータから数インチ以上離れている場合は、セラミック バイパス コンデンサの近くに追加のバルク容量が必要です。一般的な選択肢は、1μF のタンタルまたはアルミ電解コンデンサです。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

入力コンデンサは、入力電源リップルを低減するために、VIN ピンの近くに配置するだけでなく、GND ピンの近くに配置する必要があります。OUTx では、出力経路を短くかつ広くし、並列配線や細いパターンを避ける必要があります。放熱性能を向上させるため、各ピンに接続する銅ポリゴンは大きくすることを推奨します。

9.4.2 レイアウト例

1 個の TLC59283 は最大 16 個の LED を直接駆動できるため、2 個の 7 セグメント ディスプレイを駆動する場合、2 個の 74HC595 と電流制限抵抗を置き換えることができます。次の図は簡単な比較を示しており、TLC59283 を使用すると PCB のサイズを 65% 小型化できます。QFN パッケージを使用すると、サイズがさらに小さくできます。

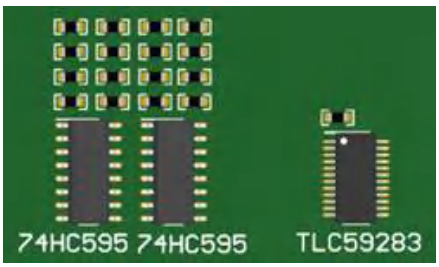


図 9-4. TLC59283 のレイアウト例

Copyright © 2024 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

- TLC59282 評価基板
- より均一性の高い輝度、小型化、ゴーストの除去を実現した LED 表示用 TLC59283
- 家電アプリケーション向けに TLC59283 の制御ループ安定性を向上

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2024 Texas Instruments Incorporated

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2012) to Revision C (January 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 家電アプリケーション (SLVAFP4) .pdf リンクに TLC59283 制御ループ安定性の向上を追加	18

Changes from Revision A (June 2012) to Revision B (October 2012)	Page
• 絶対最大定格表の HBM ESD 定格の最大仕様を変更	5
• 電気特性表の I_{CC2} の標準仕様と最大仕様を変更	7
• 電気特性表の I_{CC3} の標準仕様を変更	7

Copyright © 2024 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC59283DBQ	Active	Production	SSOP (DBQ) | 24	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TLC59283
TLC59283DBQ.A	Active	Production	SSOP (DBQ) | 24	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TLC59283
TLC59283DBQR	Active	Production	SSOP (DBQ) | 24	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TLC59283
TLC59283DBQR.A	Active	Production	SSOP (DBQ) | 24	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TLC59283
TLC59283RGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLC 59283
TLC59283RGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLC 59283
TLC59283RGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLC 59283
TLC59283RGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLC 59283

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

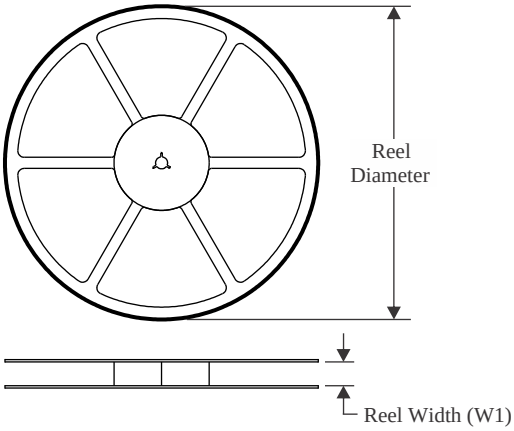
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

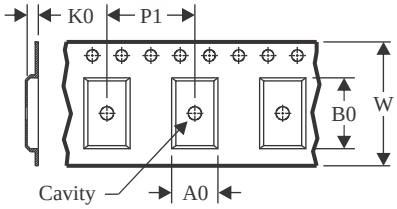
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

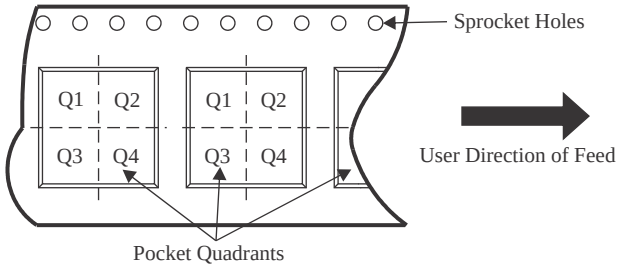


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

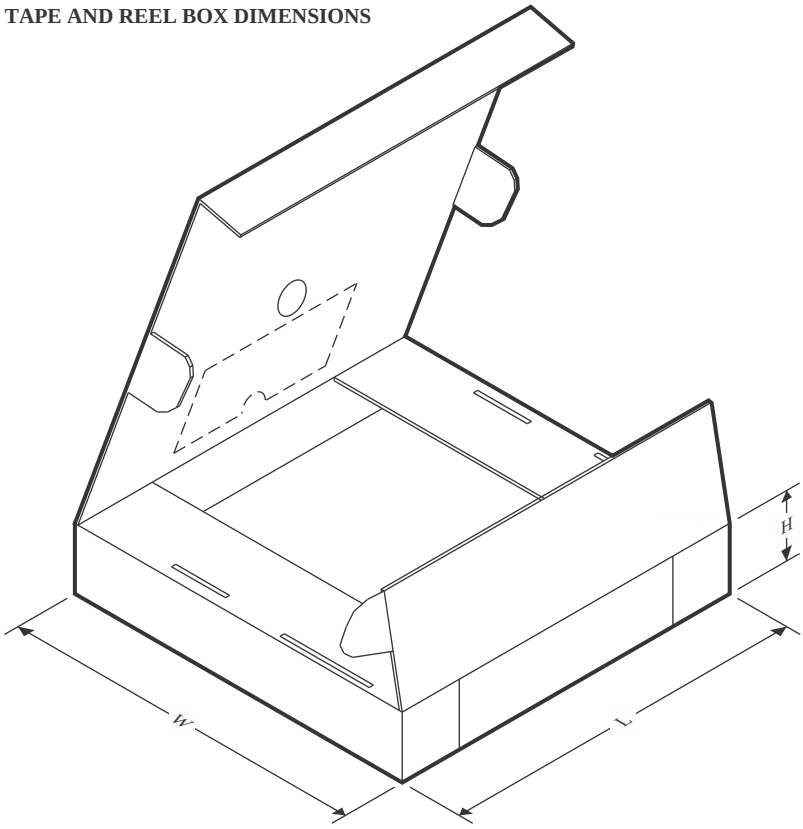
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC59283DBQR	SSOP	DBQ	24	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLC59283RGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TLC59283RGET	VQFN	RGE	24	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

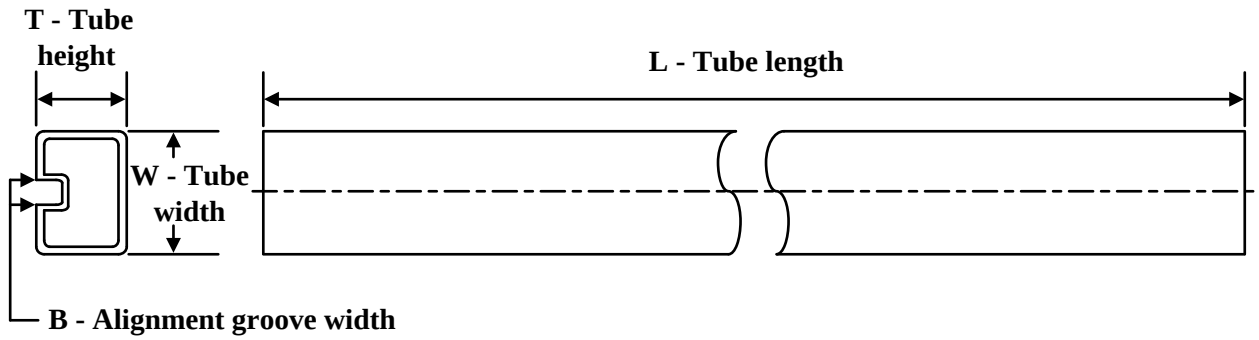
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC59283DBQR	SSOP	DBQ	24	2500	356.0	356.0	35.0
TLC59283RGER	VQFN	RGE	24	3000	346.0	346.0	33.0
TLC59283RGET	VQFN	RGE	24	250	210.0	185.0	35.0

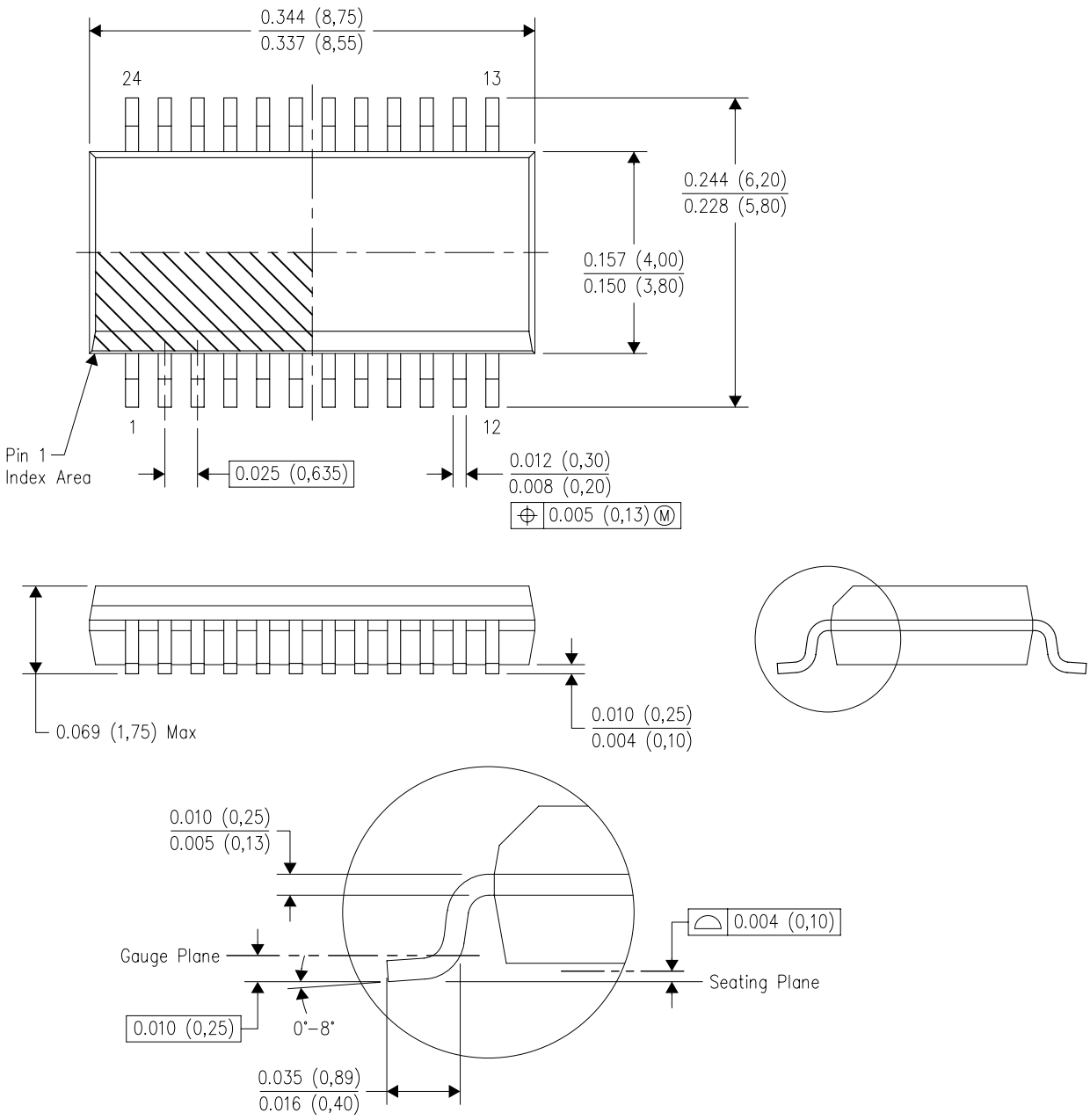
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLC59283DBQ	DBQ	SSOP	24	50	506.6	8	3940	4.32
TLC59283DBQ.A	DBQ	SSOP	24	50	506.6	8	3940	4.32

DBQ (R–PDSO–G24) PLASTIC SMALL–OUTLINE PACKAGE

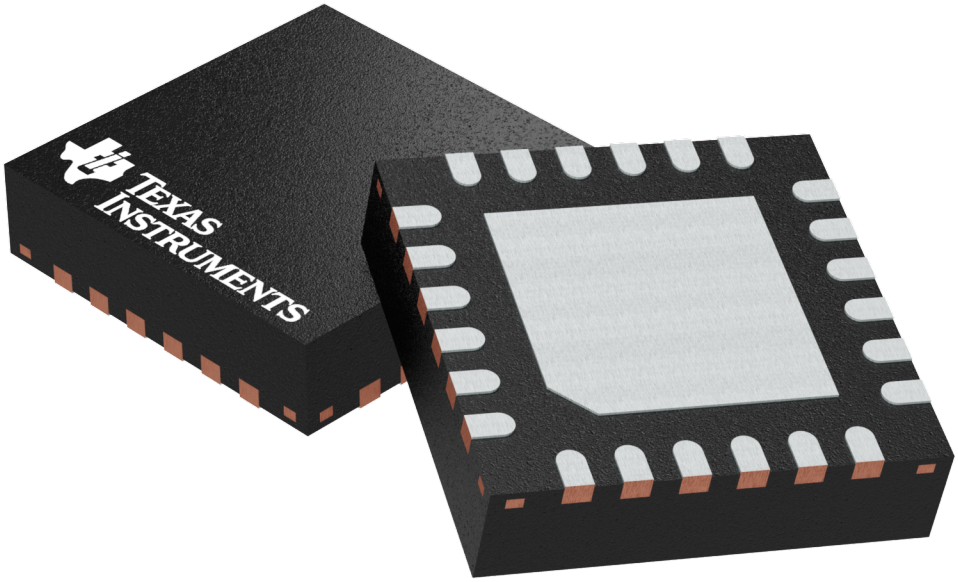


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15) per side.
D. Falls within JEDEC MO–137 variation AE.

RGE 24

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



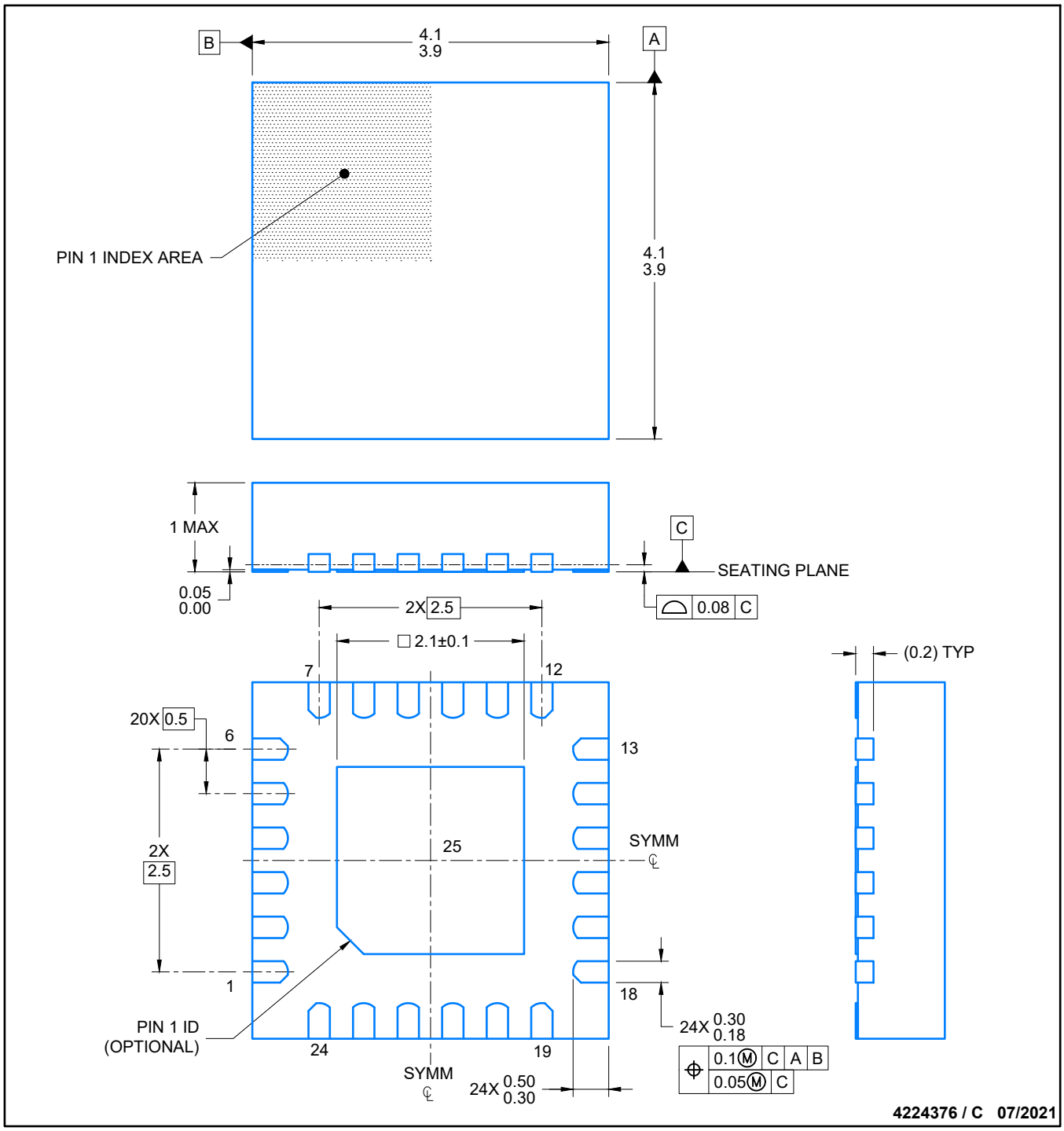
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

RGE0024C

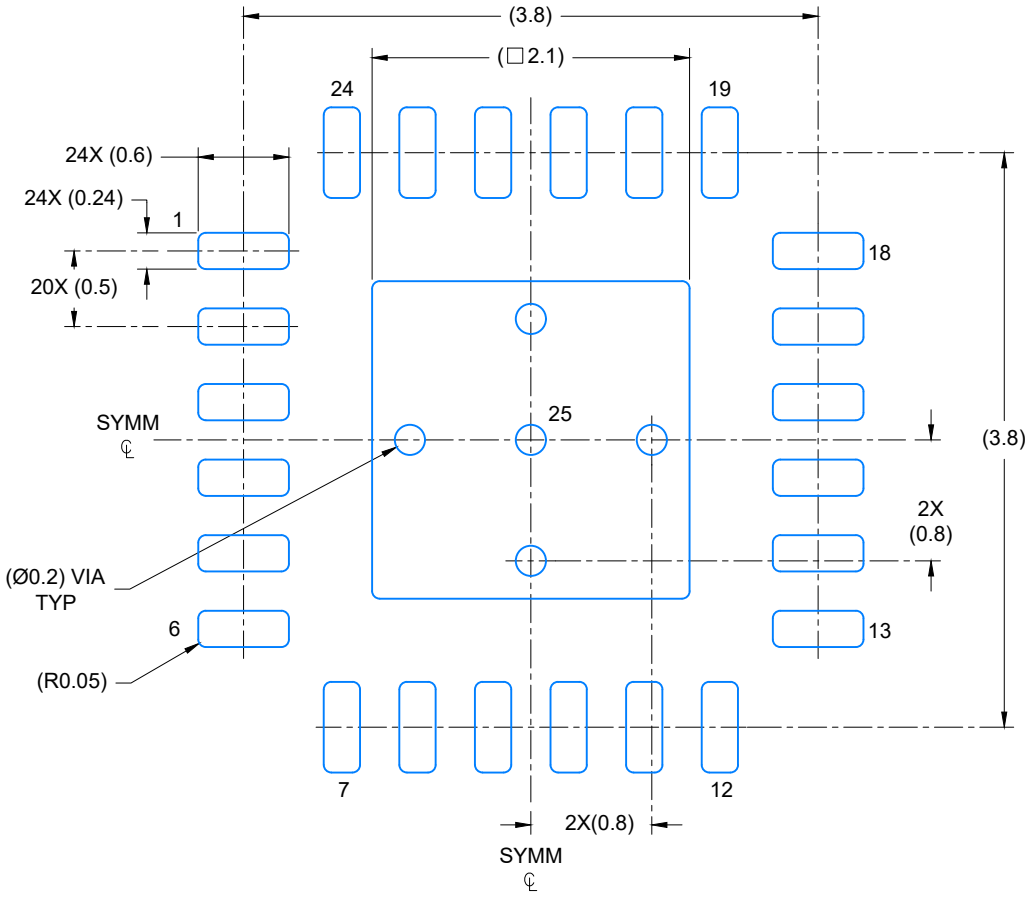
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



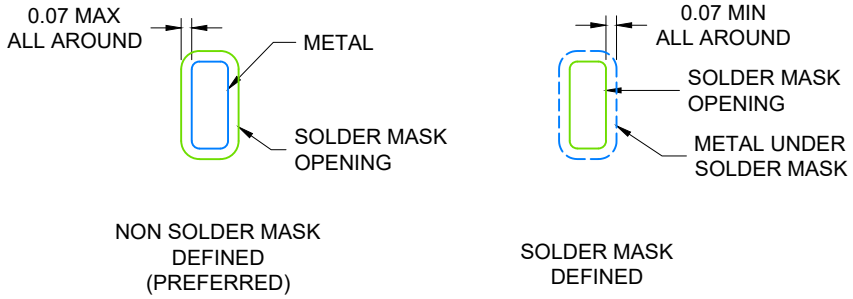
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

SCALE: 20X

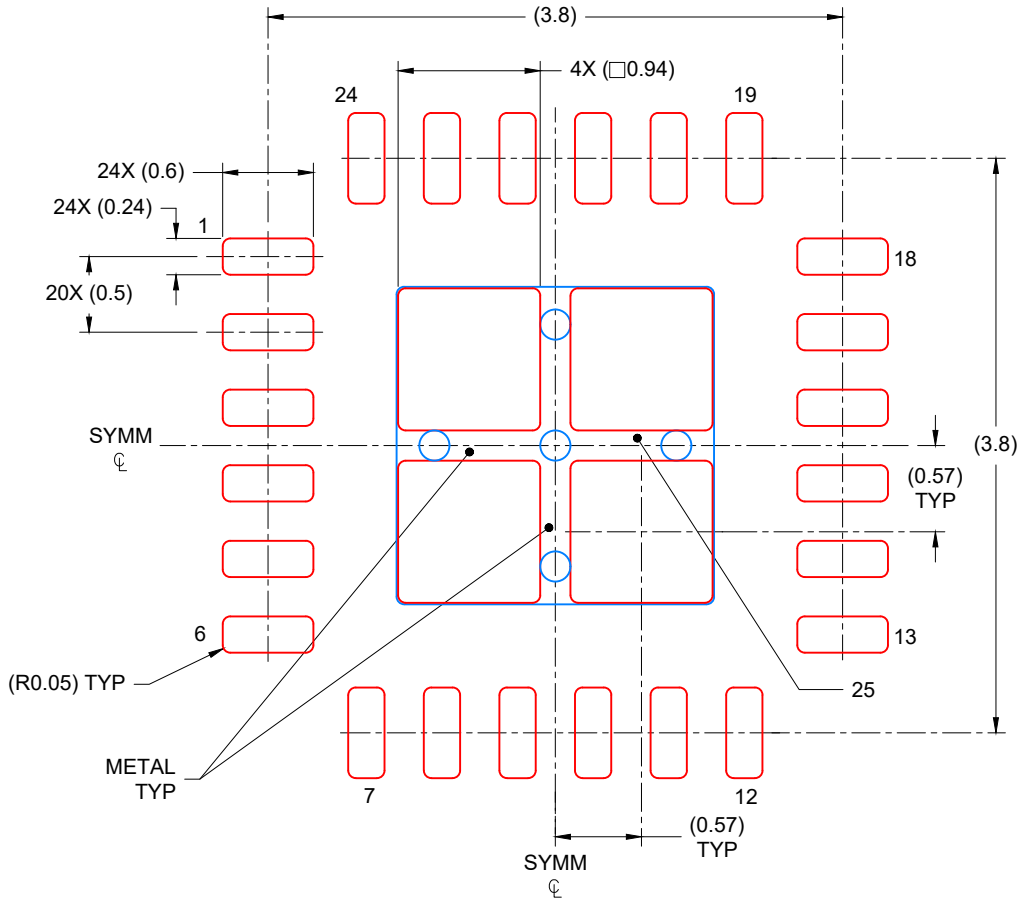


SOLDER MASK DETAILS

4224376 / C 06/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED COVERAGE BY AREA
SCALE: 20X

4224376 / C 06/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated