

TPD8S009 DisplayPort および HDMI 向け 8 チャンネル ESD 保護

1 特長

- IEC 61000-4-2 レベル 4 ESD 保護
 - 接触放電: $\pm 8\text{kV}$
- IEC 61000-4-5 サージ保護
 - 2.5A ($8/20\mu\text{s}$)
- I/O 容量: 0.8pF (標準値)
- 低リーク電流: 10nA (標準値)
- 高速差動データレートをサポート (3dB 帯域幅 $> 4\text{GHz}$)
- I_{off} 機能
- 産業用温度範囲: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
- HDMI および DisplayPort コネクタ用の簡単なストレート配線パッケージ

2 アプリケーション

- 最終製品
 - セットトップ ボックス
 - ラップトップおよびデスクトップ PC
 - プロジェクタ
 - ビデオ監視
- インターフェイス
 - DisplayPort 1.1 に変更
 - HDMI 1.4
 - DVI

3 概要

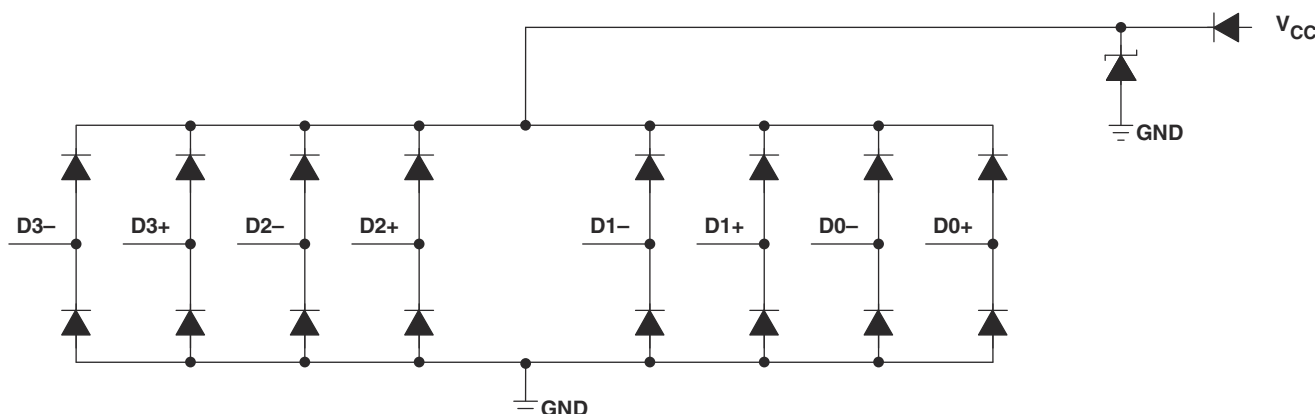
TPD8S009 デバイスは、ESD 保護用の 8 チャンネル TVS ダイオード アレイです。TPD8S009 は、IEC 61000-4-2 国際規格で規定されている最大レベル (レベル 4) の接触 ESD 耐性を備えており、 $\pm 8\text{kV}$ の接触放電に対する ESD 保護を実現しています。このデバイスの容量が低く (0.8pF)、差動信号ペア間の優れたマッチングと相まって、このデバイスは高速データレート (3dB 帯域幅 $> 4\text{GHz}$) に対して、過渡電圧抑制回路を保護できます。

TPD8S009 は、8 ピンの SON パッケージで供給されます。このパッケージは HDMI および DisplayPort 高速ピン配置と完全に一致するため、設計とレイアウトが簡単です。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称)
TPD8S009	SON (15)	$2.50\text{mm} \times 6.50\text{mm}$

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



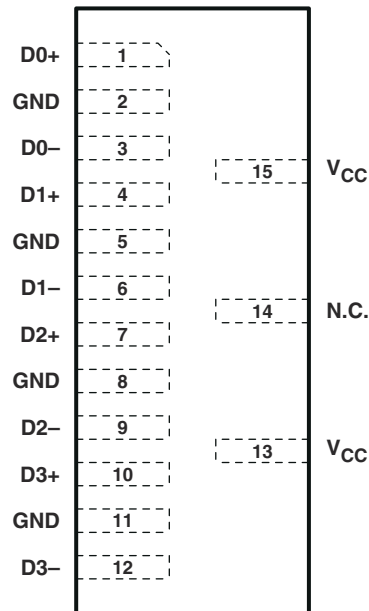
概略内部回路図



Table of Contents

1 特長	1	7 Application and Implementation	8
2 アプリケーション	1	7.1 Application Information.....	8
3 概要	1	7.2 Typical Application.....	8
4 Pin Configuration and Functions	3	8 Power Supply Recommendations	10
Pin Functions.....	3	9 Layout	10
5 Specifications	4	9.1 Layout Guidelines.....	10
5.1 Absolute Maximum Ratings.....	4	9.2 Layout Example.....	10
5.2 ESD Ratings.....	4	10 Device and Documentation Support	11
5.3 Recommended Operating Conditions.....	4	10.1 サード・パーティ製品に関する免責事項.....	11
5.4 Thermal Information.....	4	10.2 サポート・リソース.....	11
5.5 Electrical Characteristics.....	5	10.3 Trademarks.....	11
5.6 Typical Characteristics.....	5	10.4 静電気放電に関する注意事項.....	11
6 Detailed Description	6	10.5 用語集.....	11
6.1 Overview.....	6	11 Revision History	11
6.2 Functional Block Diagram.....	6	12 Mechanical, Packaging, and Orderable Information	11
6.3 Feature Description.....	6		
6.4 Device Functional Modes.....	7		

4 Pin Configuration and Functions



N.C. – Not internally connected

図 4-1. DSM Package 15-Pin SON Top View

Pin Functions

PIN		TYPE	DESCRIPTION
NO.	NAME		
1	D0+	ESD port	High-speed ESD clamp provides ESD protection to the high-speed display port/HDMI differential data lines.
3	D0–		
4	D1+		
6	D1–		
7	D2+		
9	D2–		
10	D3+		
12	D3–		
2	GND	GND	Ground
5			
8			
11			
14	N.C.	No connect	No internal signal connection
13	V _{CC}	Supply	I/O supply
15			

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	Supply voltage	−0.3	6	V
V _{IO}	IO signal voltage	0	V _{CC}	V
T _A	Characterized free-air operating temperature	−40	85	°C
P _{PP}	Peak pulse power (t _p = 8/20μs)		25	W
I _{PP}	Peak pulse current (t _p = 8/20μs)		2.5	A
T _{stg}	Storage temperature	−65	125	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge		
	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2500	V
	Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1000	
	IEC 61000-4-2 Contact Discharge	±8000	
	IEC 61000-4-2 Air-Gap Discharge	±9000	

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.

- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
V _{IO}	Input pin voltage	0	V _{CC}	V
T _A	Operating free-air temperature	−40	85	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TPD8S009	UNIT
		DSM (SON)	
		15 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	405.4	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	35.4	°C/W
R _{θJB}	Junction-to-board thermal resistance	284.3	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	49.2	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	284.3	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	n/a	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

over operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse standoff voltage			5.5	V
V_{BR}	Breakdown voltage			9	V
I_{IO}	IO port current	$V_{IO} = 3.3V, V_{CC} = 5V$	0.01	0.1	μA
I_{off}	Current from IO port to supply pins	$V_{IO} = 3.3V, V_{CC} = 5V$	0.01	0.1	μA
V_D	Diode forward voltage	$I_{IO} = 8mA$	0.6	0.8	V
R_{DYN}	Dynamic resistance	$I = 1A$	1.1		Ω
C_{IO}	IO capacitance	$V_{CC} = 5V, V_{IO} = 2.5V$	0.8		pF
I_{CC}	Operating supply current	$V_{IO} = \text{Open}, V_{CC} = 5V$	0.1	1	μA

5.6 Typical Characteristics

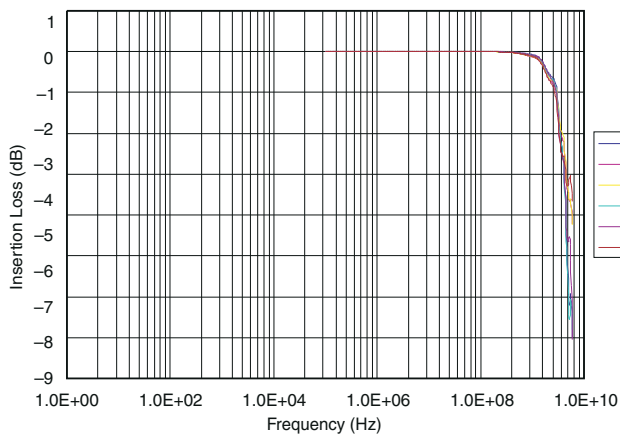


図 5-1. Insertion Loss vs Frequency

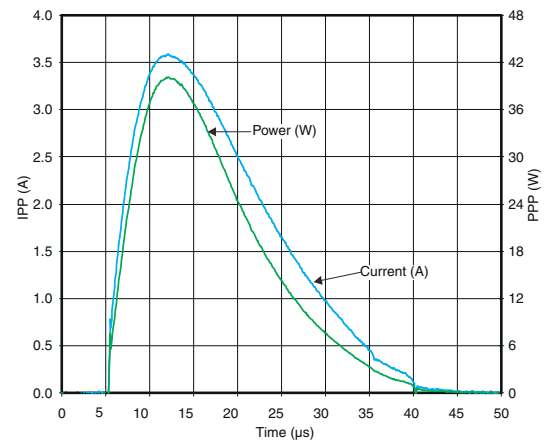


図 5-2. Peak Pulse Waveforms

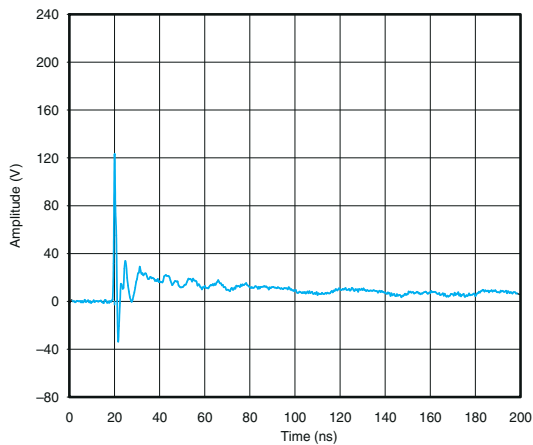


図 5-3. IEC Clamping Waveforms (8-kV Contact)

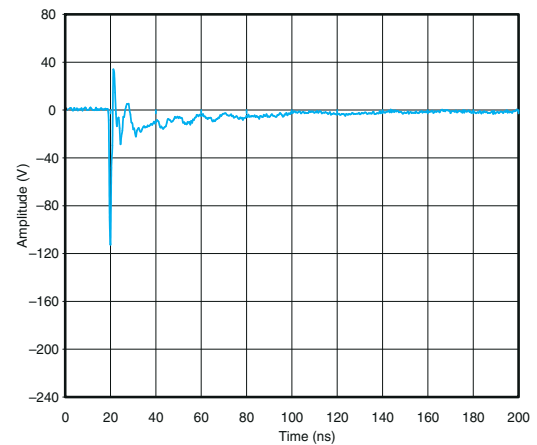


図 5-4. Figure 3. IEC Clamping Waveforms (-8-kV Contact)

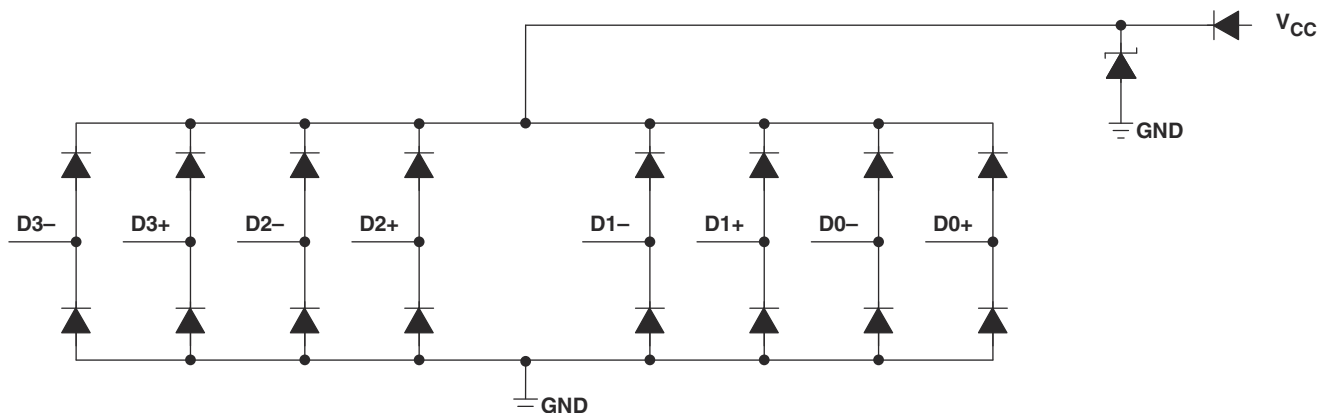
6 Detailed Description

6.1 Overview

The TPD8S009 is an eight-channel TVS diode array for ESD protection. TPD8S009 is rated to dissipate contact ESD strikes at the maximum level specified in the IEC 61000-4-2 international standard (Level 4), with $\pm 8\text{kV}$ contact discharge ESD protection. The low capacitance (0.8pF) of this device, coupled with the excellent matching between differential signal pairs enables this device to provide transient voltage suppression circuit protection for high-speed differential data rates (3dB bandwidth > 4GHz).

The TPD8S009 offers an optional V_{CC} supply pin which can be connected to system supply plane. There is a blocking diode at the V_{CC} pin to enable the I_{off} feature for the TPD8S009. The TPD8S009 can handle live signal at the signal pins when the V_{CC} pin is connected to 0V. The V_{CC} pin allows all the internal circuit nodes of the TPD8S009 to be at known potential during start-up time. However, connecting the optional V_{CC} pin to board supply plane doesn't affect the system level ESD performance of the TPD8S009.

6.2 Functional Block Diagram



6.3 Feature Description

6.3.1 IEC 61000-4-2 ESD Protection

The I/O pins can withstand ESD events up to $\pm 8\text{kV}$ contact and $\pm 9\text{kV}$ air. An ESD and surge clamp diverts the current to ground.

6.3.2 IEC 61000-4-5 Surge Protection

The I/O pins can withstand surge events up to 2.5A and 25W (8/20 μs waveform). An ESD and surge clamp diverts this current to ground.

6.3.3 I/O Capacitance

The capacitance between each I/O pin to ground is 0.8pF (typical). This device can support data rates up to 3.4Gbps.

6.3.4 Low Leakage Current

The I/O pins feature a low leakage current of 10nA (typical) with an IO bias of 3.3V and V_{CC} bias of 5V.

6.3.5 Supports High-Speed Differential Data Rates

The I/O pins low capacitance of 0.8pF (typical) gives them a typical -3dB bandwidth > 4GHz. This allows the TPD8S009 to protect interfaces with high-speed signals like HDMI 1.4.

6.3.6 I_{off} Feature

The TPD8S009 offers an optional V_{CC} supply pin which can be connected to system supply plane. There is a blocking diode at the V_{CC} pin which makes it so the TPD8S009 can handle live signal at the D+, D- pins when

the V_{CC} pin is connected to 0V. This is the I_{off} feature, which is crucial for HDMI, as a live signal can be put on the IO pins when the system is powered off.

6.3.7 Industrial Temperature Range

This device features an industrial operating range of -40°C to $+85^{\circ}\text{C}$.

6.3.8 Easy Straight Through Routing

The layout of this device makes it simple and easy to add protection to an existing layout. The package offers flow-through routing, requiring minimal modification to an existing layout. Flow-through routing also allows the PCB designer to optimize the signal integrity of any high-speed signals being protected.

6.4 Device Functional Modes

TPD8S009 is a passive-integrated circuit that activates whenever voltages above V_{BR} or below the lower diodes $V_{forward}$ (-0.6V) are present upon the circuit being protected. During ESD events, voltages as high as $\pm 9\text{kV}$ can be directed to ground and V_{CC} through the internal diode network. Once the voltages on the protected lines fall below the trigger voltage of the TPD8S009 (usually within 10's of nano-seconds) the device reverts back to a high-impedance state.

7 Application and Implementation

注

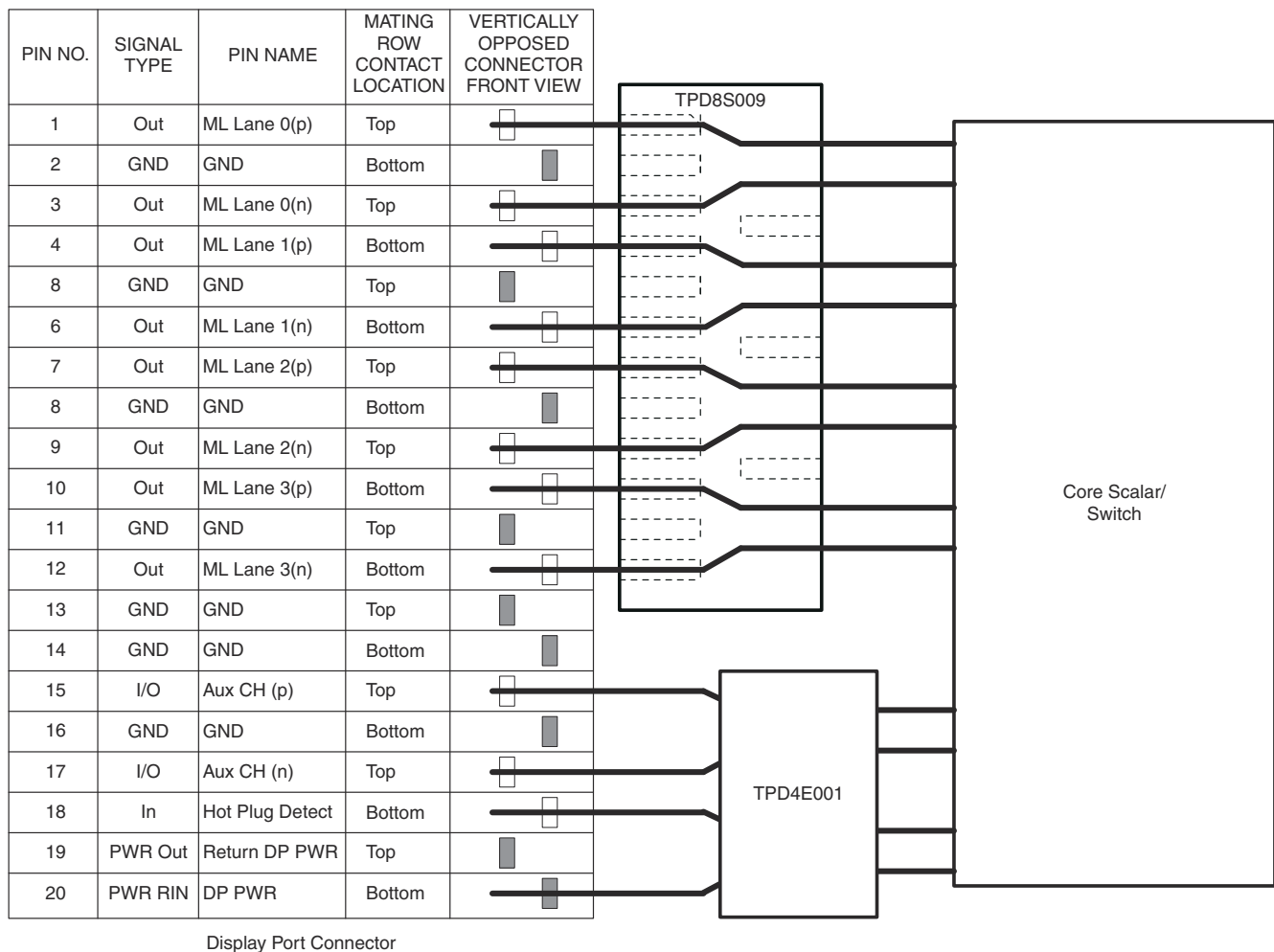
Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

7.1 Application Information

The TPD8S009 can provide system-level ESD protection to the high-speed differential lines of the HDMI or display ports. The flow-through package offers flexibility for board routing with traces up to 15mm wide. [図 7-1](#) shows the board-layout scheme for the four differential pair lines. The special pin configuration of the TPD8S009 matches the HDMI or DisplayPort pin assignments. It allows the differential signal pairs to couple together after they touch the ESD ports (pins 1–3, 4–6, 7–9, and 10–12) of the TPD8S009.

The TPD4E001 is recommended for ESD protection of slow-speed control lines.

7.2 Typical Application



TPD8S009 and TPD4E001 provide complete ESD protection for display or HDMI interface

図 7-1. Typical Application

7.2.1 Design Requirements

For this design example, one TPD8S009 devices, and one TPD4E001 are being used in an HDMI 1.4 application. This provides a complete port protection scheme.

Given the HDMI 1.4 application, the following parameters are shown in 表 7-1.

表 7-1. Design Parameters

DESIGN PARAMETER	VALUE
Signal range on high-speed TMDs pins	0V to 3.6V
Operating Frequency	1.7GHz

7.2.2 Detailed Design Procedure

To begin the design process, some parameters must be decided upon; the designer must know the following:

- Signal range on all the protected lines
- Operating frequency

7.2.2.1 Signal Range on High Speed TMDs Pins

TPD8S009 has 8 identical protection channels for signal lines. The symmetry of the device provides flexibility when selecting which of the 8 I/O channels protect which signal lines. The package is also designed to easily lay out on an HDMI connector, eliminating any tricky routing issues. Any I/O supports a signal range of 0 to 5.5V. Therefore, this device supports the HDMI 1.4 signal swing.

7.2.2.2 Bandwidth on High-Speed TMDs Pins

Each pin of the TPD8S009 has a typical –3dB bandwidth of 4GHz. Therefore, this device can handle HDMI 1.4 data rate of 3.4Gbps with operating frequency of 1.7GHz.

7.2.3 Application Curves

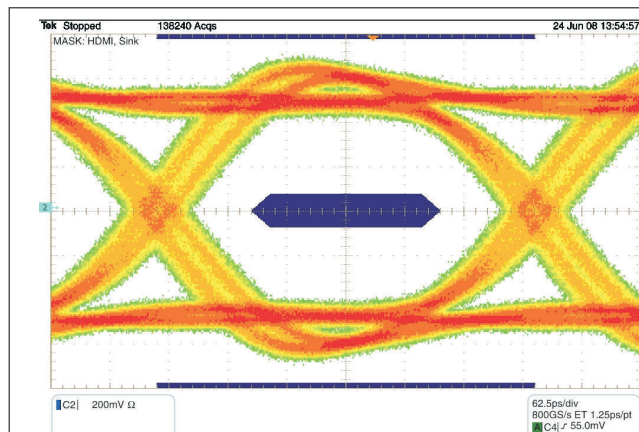


図 7-2. Eye Diagram Without TPD8S009 (2.5Gbps Data Rate)

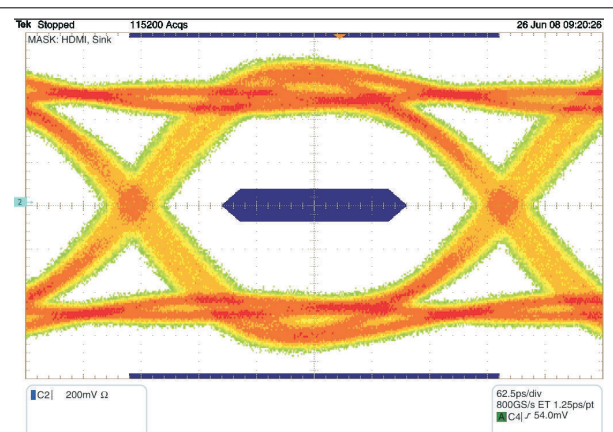


図 7-3. Eye Diagram With TPD8S009 (2.5Gbps Data Rate)

8 Power Supply Recommendations

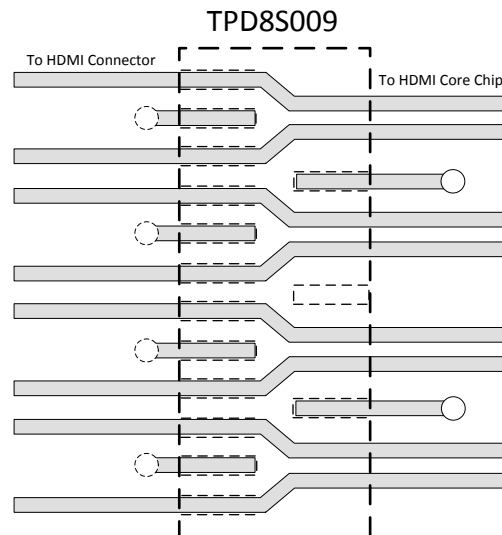
This device is a passive ESD protection device so there is no need to power it. Take care to make sure that the maximum voltage specifications for each pin are not violated.

9 Layout

9.1 Layout Guidelines

- The optimum placement is as close to the connector as possible.
 - EMI during an ESD event can couple from the trace being struck to other nearby unprotected traces, resulting in early system failures.
 - The PCB designer must minimize the possibility of EMI coupling by keeping any unprotected traces away from the protected traces which are between the TVS and the connector.
- Route the protected traces as straight as possible.
- Eliminate any sharp corners on the protected traces between the TVS and the connector by using rounded corners with the largest radii possible.
 - Electric fields tend to build up on corners, increasing EMI coupling.

9.2 Layout Example



Legend

- VIA to 5V Plane
- VIA to GND Plane

✎ 9-1. Typical Layout for HDMI Connector

10 Device and Documentation Support

10.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 サポート・リソース

テキサス・インスツルメンツ **E2E™ サポート・フォーラム**は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの**使用条件**を参照してください。

10.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

11 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (February 2015) to Revision B (January 2025)	Page
• Updated device name to TPD8S009.....	6

Changes from Revision * (July 2008) to Revision A (February 2015)	Page
• 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• 「注文情報」表を削除	1
• Deleted lead temperature from <i>Absolute Maximum Ratings</i>	4

12 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPD8S009DSMR	Active	Production	SON (DSM) 15	3000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	PK009
TPD8S009DSMR.B	Active	Production	SON (DSM) 15	3000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	PK009

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

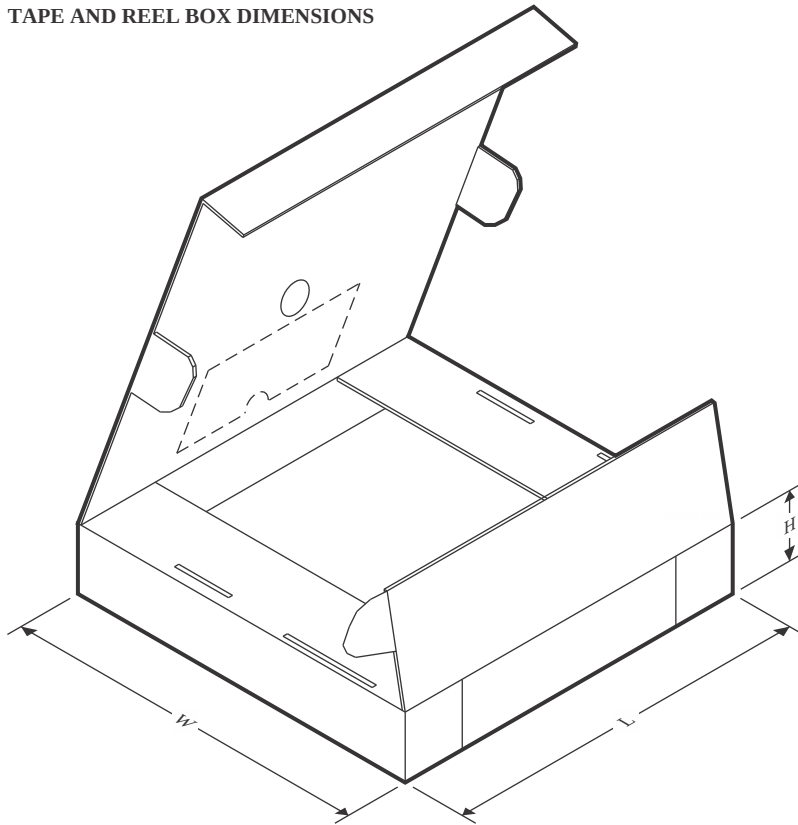
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPD8S009DSMR	SON	DSM	15	3000	180.0	12.4	2.75	6.75	0.95	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

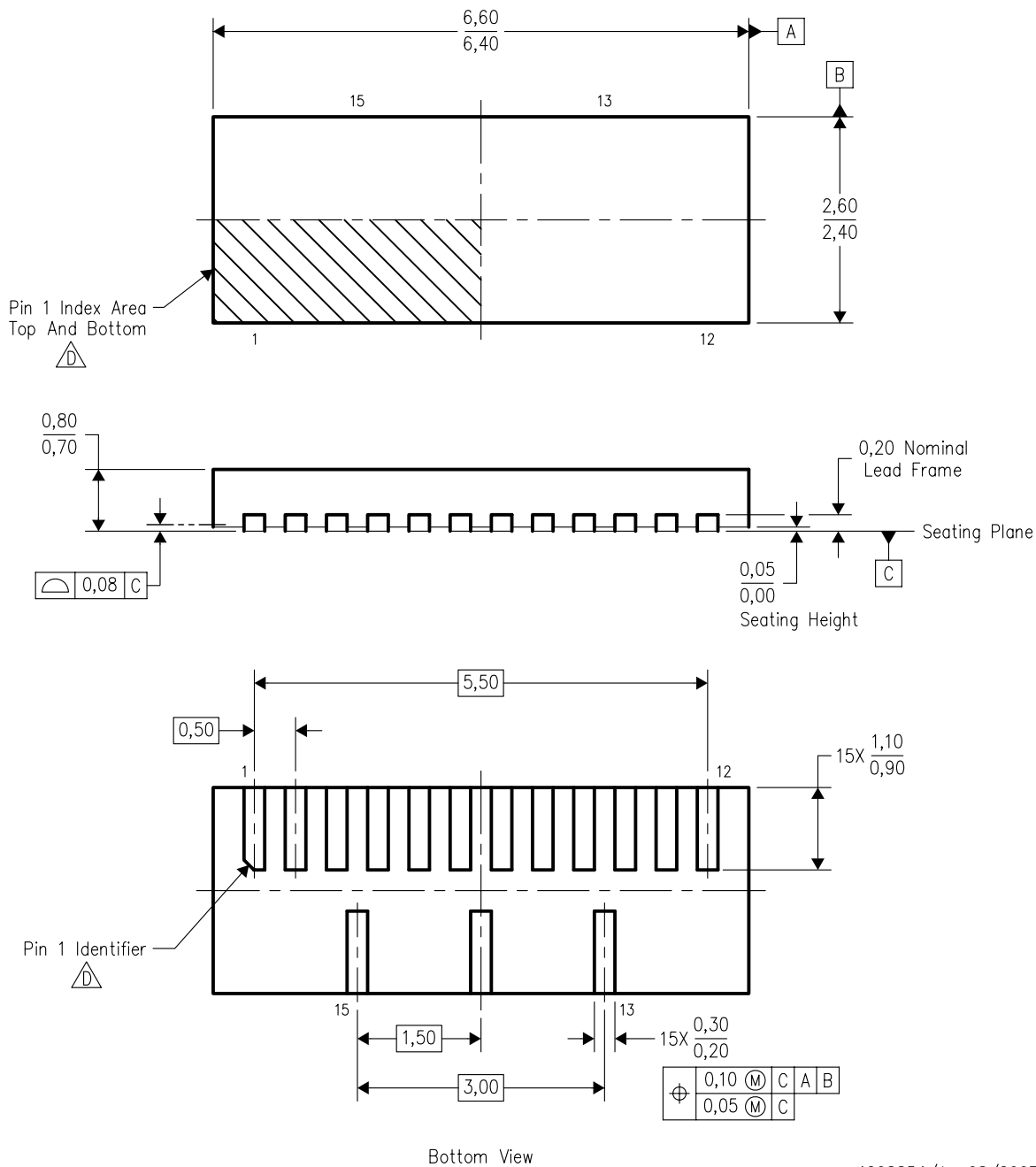


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPD8S009DSMR	SON	DSM	15	3000	200.0	183.0	25.0

DSM (R-PDSO-N15)

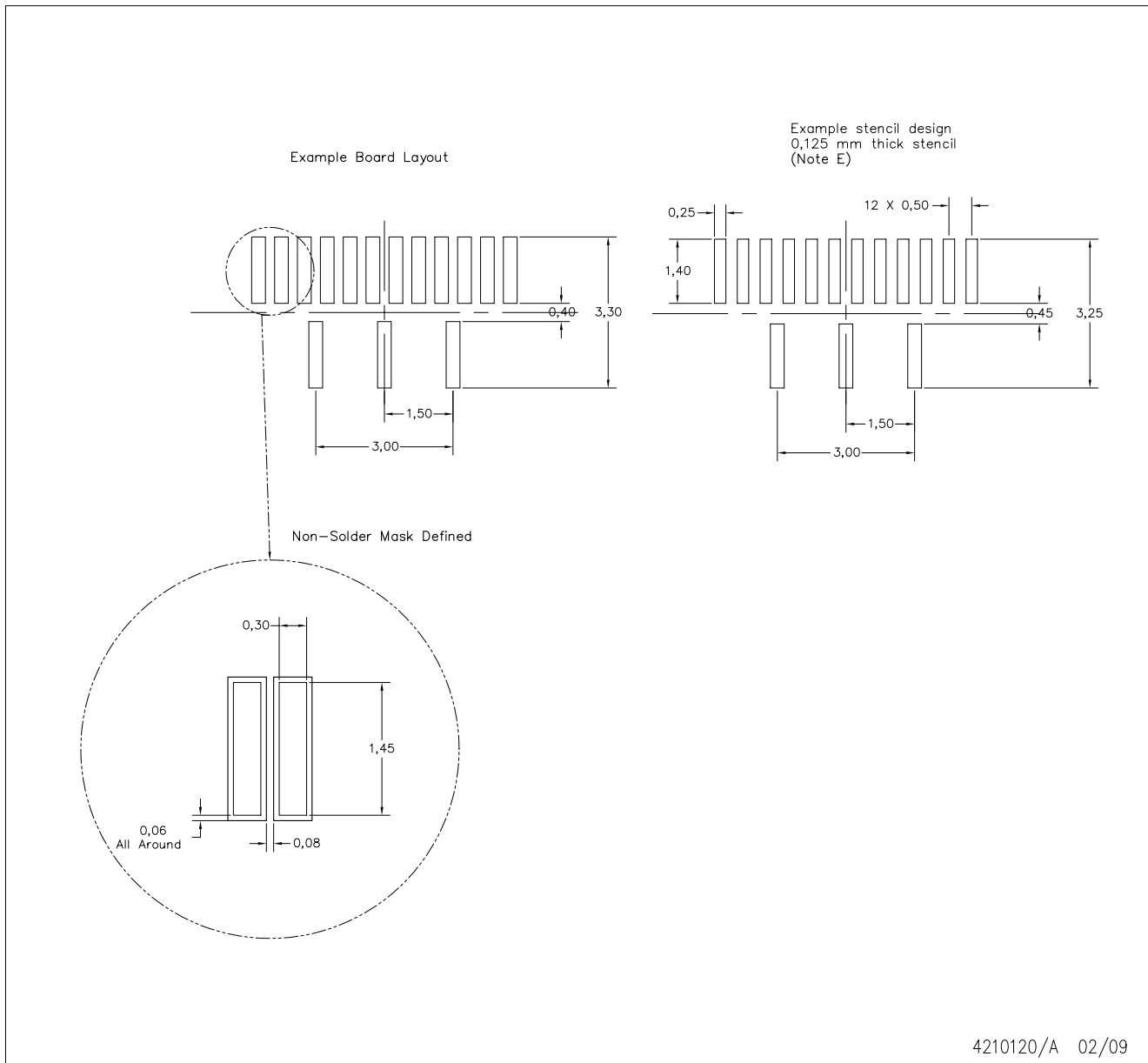
PLASTIC SMALL OUTLINE



4208854/A 08/2007

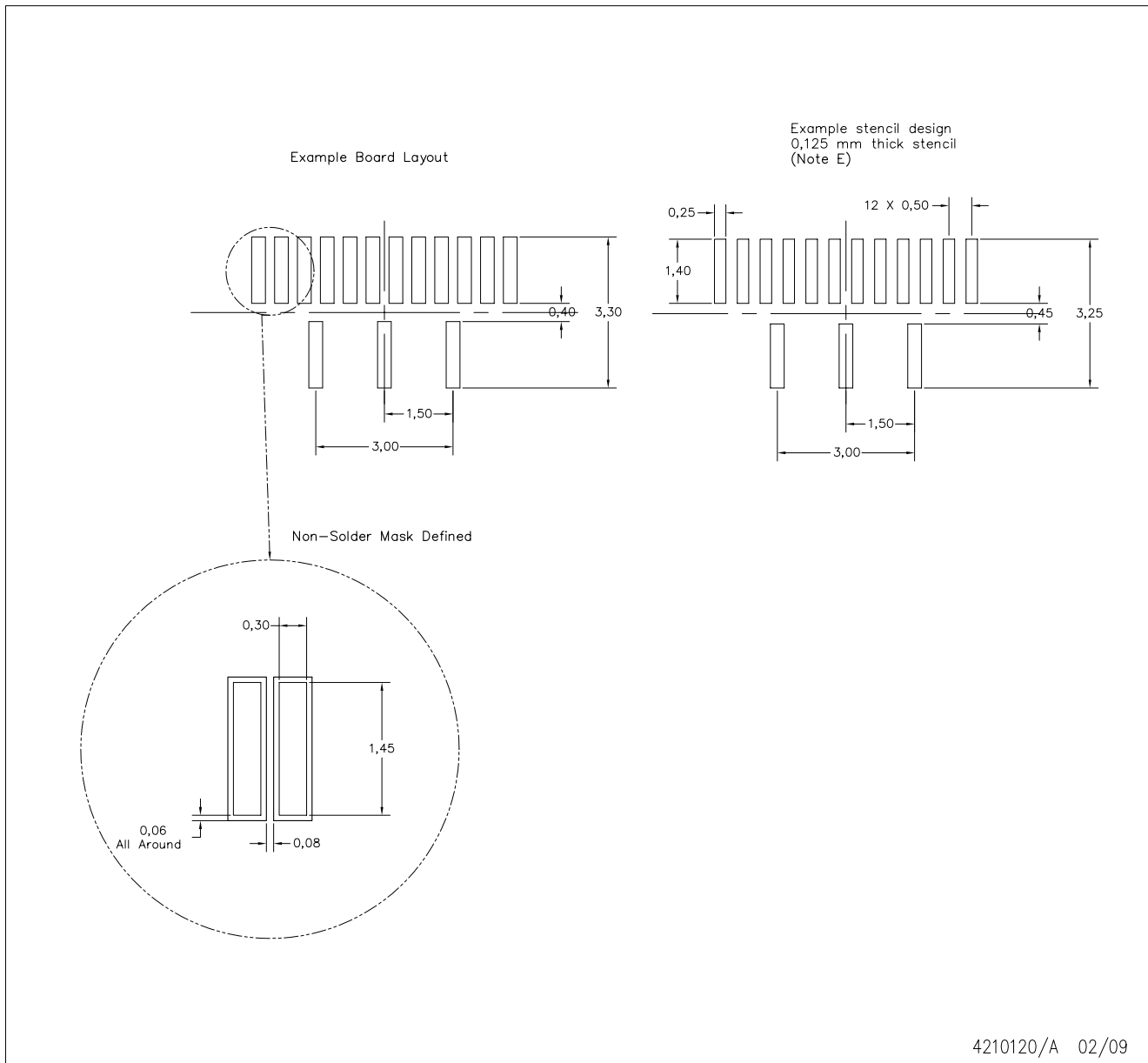
- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. SON (Small Outline No-Lead) package configuration.
-  Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.

DSM (R-PDSO-N15)



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - E. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

DSM (R-PDSO-N15)



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - E. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated