

ADC08100

ADC08100 8-Bit, 20 Msps to 100 Msps, 1.3 mW/Msps A/D Converter



Literature Number: JAJ713

ADC08100

8ビット、20 ~ 100MSPS、1.3mW/MSPS A/D コンバータ

概要

ADC08100 は、トラック / ホールド回路を内蔵した、低消費、8ビットのモノリシック A/D コンバータです。低コスト、低消費電力、小型化、使い易さを要求されるアプリケーションに適したデバイスとして、ADC08100 は 20 ~ 100MSPS の変換レートとその動作範囲全体にわたって優れたダイナミック特性を持ちながら、消費電力はクロック周波数 1MHz あたりわずか 1.3mW となっています。この消費電力は 100MSPS でわずか 130mW です。ADC08100 は、PD ピンを High にすると消費電力がわずか 1mW のパワー・ダウン・モードになります。

ADC08100は独自のアーキテクチャを採用し、入力周波数41MHzで7.4有効ビットを達成しています。優れた DC および AC 特性と、低い消費電力、また単一の + 3V 電源で使用できるため、ADC08100 は携帯装置を含む多くの画像処理および通信などのアプリケーションに理想的です。さらにこのデバイスは、ラッチアップ耐性に優れ、出力ピンには短絡保護機能を備えています。また、ADC08100 のリファレンス・ラダーの上部と下部は外部接続できるようになっており、広範囲の入力が可能です。デジタル出力は、3V または 2.5V ロジックとの接続を可能にするために出力電源用のピンを別に備えた TTL/CMOS 互換となっています。デジタル入力 (CLK および PD) は TTL/CMOS 互換です。出力データ形式はストレート・バイナリです。

ADC08100 は 24 ピンのプラスチック・パッケージ (TSSOP) で供給され、温度は - 40 ~ + 85 の工業用温度範囲が指定されています。

特長

- シングルエンド入力
- サンプル / ホールド機能内蔵
- 低電圧 (単一 3V) 動作
- 小型パッケージ
- パワーダウン機能

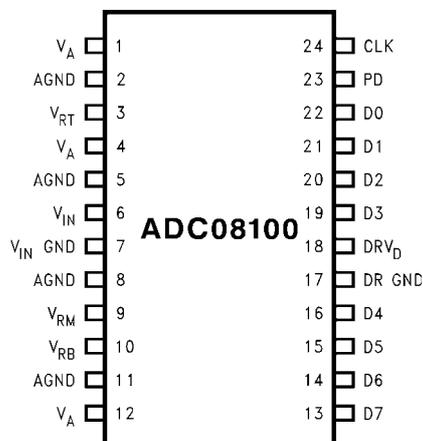
主な仕様

| | |
|--------------------------------|------------------|
| 分解能 | 8ビット |
| 最大サンプリング・レート | 100MSPS (min) |
| DNL | 0.4LSB (typ) |
| 有効ビット (ENOB) $f_{IN} = 41$ MHz | 7.4ビット (typ) |
| THD | - 60dB (typ) |
| 消費電力 | |
| 動作時 | 1.3mW/MSPS (typ) |
| パワーダウン時 | 1mW (typ) |

アプリケーション

- フラット・パネル・ディスプレイ
- 液晶プロジェクション・システム
- セットトップ・ボックス
- バッテリー駆動計測器
- 通信システム
- 医療用スキャン・コンバータ
- X 線画像処理装置
- 高速 Viterbi デコーダ
- 各種書き込み可能なディスクドライブ (DVD-RAM、DVD-R/W など)

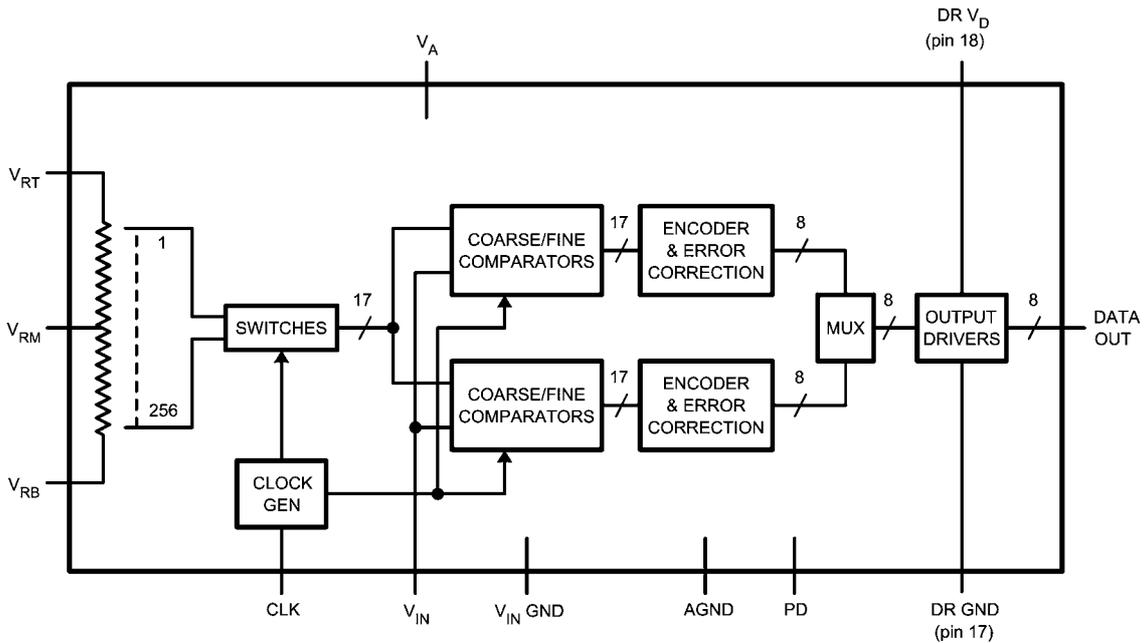
ピン配置図



製品情報

| Order Number | Temperature Range | Package |
|----------------|---|-----------------------|
| ADC08100CIMTC | $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ | TSSOP |
| ADC08100CIMTCX | $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ | TSSOP (tape and reel) |

ブロック図



ピン説明および等価回路

| ピン番号 | 記号 | 等価回路 | 説明 |
|------|----------|------|--|
| 6 | V_{IN} | | アナログ信号入力。変換可能な入力範囲は $V_{RB} \sim V_{RT}$ です。 |
| 3 | V_{RT} | | A/D コンバータのリファレンス・ラダーの上側（トップ側）のアナログ入力ピン。公称入力範囲は $1.0\text{V} \sim V_A$ です。 V_{RT} ピンと V_{RB} ピンに入力される電圧によって、アナログ信号入力 (V_{IN}) の変換範囲が決まります。適切なバイパスを行ってください。詳細は、セクション 2.0 を参照してください。 |
| 9 | V_{RM} | | リファレンス・ラダーの midpoint。このピンは、 $0.1\mu\text{F}$ のコンデンサで、アナログ・グラウンド・プレーンのクリーンでノイズのない点にバイパスしてください。 |
| 10 | V_{RB} | | A/D コンバータのリファレンス・ラダーの下側（ボトム側）のアナログ入力ピン。公称入力範囲は $0.0\text{V} \sim (V_{RT} - 1.0\text{V})$ です。 V_{RT} ピンと V_{RB} ピンに入力される電圧によって、アナログ信号入力 (V_{IN}) の変換範囲が決まります。適切なバイパスを行ってください。詳細は、セクション 2.0 を参照してください。 |

ピン説明および等価回路(つぎ)

| ピン番号 | 記号 | 等価回路 | 説明 |
|--------------------|---------------------|------|---|
| 23 | PD | | <p>パワーダウン入力ピン。このピンが High になると、このコンバータはパワーダウン・モードになり、データ出力ピンは最後に行われた変換の結果を保持します。</p> |
| 24 | CLK | | <p>CMOS/TTL コンパチブルなクロック入力ピン。V_{IN} は CLK 入力の立ち下がりがエッジでサンプリングされます。</p> |
| 13 ~ 16 19 ~ 22 | D0 ~ D7 | | <p>変換データ出力ピン。D0 は LSB、D7 は MSB を示します。有効なデータは CLK 入力の立ち上がりエッジの直後にデータ・バス上に出力されます。</p> |
| 7 | V _{IN} GND | | シングルエンド・アナログ入力 V _{IN} のグラウンド基準電圧。 |
| 1, 4, 12 | V _A | | 正のアナログ電源電圧ピン。クリーンでノイズのない +3V 電源に接続してください。V _A は、10μF の電解コンデンサと 0.1μF のセラミック・コンデンサを並列に接続したものでバイパスしてください。詳細は、セクション 3.0 を参照してください。 |
| 18 | DR V _D | | 出力ドライバ用の電源。V _A に接続する場合には、V _A から適切なデカップリングを行ってください。 |
| 17 | DR GND | | 出力ドライバ電源のグラウンド・ピン。 |
| 2, 5, 8, 11 | AGND | | アナログ電源のグラウンド・ピン。 |

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照ください。

| | |
|--|----------------------------------|
| 電源電圧 (V _A) | 3.8V |
| 出力ドライバ電源電圧 (DR V _D) | V _A + 0.3V |
| 各ピン電圧 | - 0.3V ~ V _A |
| V _{RT} 、V _{RB} 、ピン電圧 | V _A ~ AGND |
| CLK、 \overline{OE} ピン電圧 | - 0.3V ~ (V _A + 0.3V) |
| デジタル出力電圧 (V _{OH} 、V _{OL}) | DR GND ~ DR V _D |
| 入力電流 (Note 3) | ± 25 mA |
| パッケージの入力電流 (Note 3) | ± 50 mA |
| パッケージ消費電力 (T _A = 25) | (Note 5 参照) |
| ESD 耐性 (Note 6) | |
| 人体モデル | 2500V |
| マシン・モデル | 250V |

ハンダ付け温度 赤外線
(10 秒) (Note 7)

235

保存温度範囲

- 65 ~ + 150

動作定格 (Note 1、2)

| | | | |
|---------------------------------|-----------------------------------|----------------|------|
| 定格温度範囲 | - 40 | T _A | + 85 |
| 電源電圧 (V _A) | + 2.7V ~ + 3.6V | | |
| 出力ドライバ電源電圧 (DR V _D) | + 2.4V ~ V _A | | |
| グラウンド電圧差 GND - DR GND | 0V ~ 300 mV | | |
| 上側基準電圧 V _{RT} | 1.0V ~ (V _A + 0.1V) | | |
| 下側基準電圧 V _{RB} | 0V ~ (V _{RT} - 1.0V) | | |
| V _{IN} 電圧範囲 | V _{RB} ~ V _{RT} | | |

コンバータの電気的特性

特記のない限り、以下の仕様は V_A = DR V_D = + 3.0V_{DC}、V_{RT} = + 1.9V、V_{RB} = + 0.3V、C_L = 10 pF、50%のデューティ・サイクルにおける f_{CLK} = 100 MHz に対して適用されます。太文字表記のリミット値は T_J = T_{MIN} ~ T_{MAX} にわたって適用され、その他のすべてのリミット値は T_A = T_J = 25 に対して適用されます。(Note 8、9)

| Symbol | Parameter | Conditions | Typical (Note 10) | Limits (Note 10) | Units (Limits) |
|---|-----------------------------------|------------------------------------|----------------------|-----------------------------|------------------------|
| DC ACCURACY | | | | | |
| | Resolution with no missing codes | | | 8 | Bits |
| INL | Integral Non-Linearity | | ±0.5 | ±1.3 | LSB (max) |
| DNL | Differential Non-Linearity | | ±0.4 | +1.0 -0.95 | LSB (max) LSB (min) |
| FSE | Full Scale Error | | 18 | ±28 | mV (max) |
| V _{OFF} | Zero Scale Offset Error | | 26 | ±35 | mV (max) |
| ANALOG INPUT AND REFERENCE CHARACTERISTICS | | | | | |
| V _{IN} | Input Voltage | | 1.6 | V _{RB} | V (min) |
| | | | | V _{RT} | V (max) |
| C _{IN} | V _{IN} Input Capacitance | V _{IN} = 0.75V + 0.5 Vrms | (CLK LOW) | 3 | pF |
| | | | (CLK HIGH) | 4 | pF |
| R _{IN} | R _{IN} Input Resistance | | >1 | | MΩ |
| BW | Full Power Bandwidth | | 200 | | MHz |
| V _{RT} | Top Reference Voltage | | 1.9 | V _A | V (max) |
| | | | | 1.0 | V (min) |
| V _{RB} | Bottom Reference Voltage | | 0.3 | V _{RT} - 1.0 | V (max) |
| | | | | 0 | V (min) |
| V _{RT} - V _{RB} | Reference Delta | | 1.6 | 1.0 | V (min) |
| | | | | 2.3 | V (max) |
| R _{REF} | Reference Ladder Resistance | V _{RT} to V _{RB} | 220 | 150 | Ω (min) |
| | | | | 300 | Ω (max) |
| I _{REF} | Reference Ladder Current | | 7.3 | 5.3 | mA (min) |
| | | | | 10.6 | mA (max) |

コンバータの電気的特性 (つづき)

特記のない限り、以下の仕様は $V_A = DR V_D = +3.0V_{DC}$ 、 $V_{RT} = +1.9V$ 、 $V_{RB} = +0.3V$ 、 $C_L = 10\text{ pF}$ 、50%のデューティ・サイクルにおける $f_{CLK} = 100\text{ MHz}$ に対して適用されます。太文字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他のすべてのリミット値は $T_A = T_J = 25$ に対して適用されます。(Note 8、9)

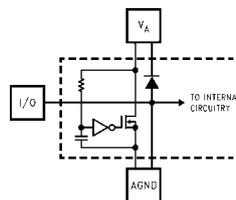
| Symbol | Parameter | Conditions | Typical (Note 10) | Limits (Note 10) | Units (Limits) |
|--|------------------------------|---|----------------------|---------------------|-------------------|
| CLK, PD DIGITAL INPUT CHARACTERISTICS | | | | | |
| V_{IH} | Logical High Input Voltage | $DR V_D = V_A = 3.3V$ | | 2.0 | V (min) |
| V_{IL} | Logical Low Input Voltage | $DR V_D = V_A = 2.7V$ | | 0.8 | V (max) |
| I_{IH} | Logical High Input Current | $V_{IH} = DR V_D = V_A = 3.3V$ | 10 | | nA |
| I_{IL} | Logical Low Input Current | $V_{IL} = 0V$, $DR V_D = V_A = 2.7V$ | -50 | | nA |
| C_{IN} | Logic Input Capacitance | | 3 | | pF |
| DIGITAL OUTPUT CHARACTERISTICS | | | | | |
| V_{OH} | High Level Output Voltage | $V_A = DR V_D = 2.7V$, $I_{OH} = -400\text{ }\mu A$ | 2.6 | 2.4 | V (min) |
| V_{OL} | Low Level Output Voltage | $V_A = DR V_D = 2.7V$, $I_{OL} = 1.0\text{ mA}$ | 0.4 | 0.5 | V (max) |
| DYNAMIC PERFORMANCE | | | | | |
| ENOB | Effective Number of Bits | $f_{IN} = 4\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 7.5 | | Bits |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 7.5 | 7.0 | Bits (min) |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$, $T_A = 25^\circ C$ | 7.3 | 6.9 | Bits (min) |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$, $T_A = T_{MIN}$ to T_{MAX} | 7.3 | 6.8 | Bits (min) |
| | | $f_{IN} = 49.8\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 7.2 | | Bits |
| SINAD | Signal-to-Noise & Distortion | $f_{IN} = 4\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 47 | | dB |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 47 | 43.9 | dB (min) |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$, $T_A = 25^\circ C$ | 46 | 43.3 | dB (min) |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$, $T_A = T_{MIN}$ to T_{MAX} | 46 | 42.7 | dB (min) |
| | | $f_{IN} = 49.8\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 45 | | dB |
| SNR | Signal-to-Noise Ratio | $f_{IN} = 4\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 47 | | dB |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 47 | 44 | dB (min) |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 46.5 | 42.8 | dB (min) |
| | | $f_{IN} = 49.8\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 45.8 | | dB |
| SFDR | Spurious Free Dynamic Range | $f_{IN} = 4\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 61 | | dBc |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 60 | | dBc |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 63 | | dBc |
| | | $f_{IN} = 49.8\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | 54 | | dBc |
| THD | Total Harmonic Distortion | $f_{IN} = 4\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -61 | | dBc |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -60 | | dBc |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -60 | | dBc |
| | | $f_{IN} = 49.8\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -54 | | dBc |
| HD2 | 2nd Harmonic Distortion | $f_{IN} = 4\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -62 | | dBc |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -60 | | dBc |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -63 | | dBc |
| | | $f_{IN} = 49.8\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -54 | | dBc |
| HD3 | 3rd Harmonic Distortion | $f_{IN} = 4\text{ MHz}$, $V_{IN} = FS - 0.25\text{ dB}$ | -68 | | dBc |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -65 | | dBc |
| | | $f_{IN} = 41\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -64 | | dBc |
| | | $f_{IN} = 49.8\text{ MHz}$, $V_{IN} = -0.25\text{ dBFS}$ | -68 | | dBc |
| IMD | Intermodulation Distortion | $f_1 = 9\text{ MHz}$, $V_{IN} = -6.25\text{ dBFS}$ $f_2 = 10\text{ MHz}$, $V_{IN} = -6.25\text{ dBFS}$ | -48 | | dBc |

コンバータの電気的特性 (つづき)

特記のない限り、以下の仕様は $V_A = DR V_D = +3.0V_{DC}$ 、 $V_{RT} = +1.9V$ 、 $V_{RB} = +0.3V$ 、 $C_L = 10\text{ pF}$ 、50%のデューティ・サイクルにおける $f_{CLK} = 100\text{ MHz}$ に対して適用されます。太文字表記のリミット値は $T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他のすべてのリミット値は $T_A = T_J = 25$ に対して適用されます。(Note 8、9)

| Symbol | Parameter | Conditions | Typical (Note 10) | Limits (Note 10) | Units (Limits) |
|--------------------------------------|------------------------------|---|----------------------|---------------------|-------------------|
| POWER SUPPLY CHARACTERISTICS | | | | | |
| I_A | Analog Supply Current | DC Input | 41 | 50 | mA (max) |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -3\text{ dBFS}$ | 41 | | mA (max) |
| DR I_D | Output Driver Supply Current | DC Input | 1 | 2 | mA (max) |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -3\text{ dBFS}$ | 8 | | mA (max) |
| $I_A + DR I_D$ | Total Operating Current | DC Input | 42 | 52 | mA (max) |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -3\text{ dBFS}$, PD = Low | 49 | | |
| | | CLK Low, PD = Hi | 0.2 | | |
| PC | Power Consumption | DC Input | 126 | 156 | mW (max) |
| | | $f_{IN} = 10\text{ MHz}$, $V_{IN} = -3\text{ dBFS}$, PD = Low | 147 | | mW |
| | | CLK Low, PD = Hi | 0.6 | | mW |
| PSRR ₁ | Power Supply Rejection Ratio | FSE change with 2.7V to 3.3V change in V_A | 54 | | dB |
| PSRR ₂ | Power Supply Rejection Ratio | Rejection of 150 mV at 9.8 MHz riding upon supply | 33 | | dB |
| AC ELECTRICAL CHARACTERISTICS | | | | | |
| f_{C1} | Maximum Conversion Rate | | 125 | 100 | MHz (min) |
| f_{C2} | Minimum Conversion Rate | | 20 | | MHz |
| t_{CL} | Minimum Clock Low Time | | | 4.5 | ns (min) |
| t_{CH} | Minimum Clock High Time | | | 4.5 | ns (min) |
| t_{OH} | Output Hold Time | CLK Rise to Data Invalid | 4.4 | | ns |
| t_{OD} | Output Delay | CLK Rise to Data Valid | 5.9 | 8.5 | ns (max) |
| | Pipeline Delay (Latency) | | 2.5 | | Clock Cycles |
| t_{AD} | Sampling (Aperture) Delay | CLK Fall to Acquisition of Data | 1.5 | | ns |
| t_{AJ} | Aperture Jitter | | 2 | | ps rms |

- Note 1:** 絶対最大定格とは、IC に破壊が発生する可能性があるリミット値をいいます。動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様、および試験条件については「電気的特性」を参照してください。保証された仕様は電気的特性に記載されている試験条件においてのみ適用されます。デバイスが記載の試験条件下で動作しない場合、いくつかの性能特性が低下することがあります。
- Note 2:** 特記のない限り、すべての電圧は $GND = AGND = DR GND = 0V$ を基準にして測定されています。
- Note 3:** いずれかのピンで入力電圧 (V_A) が電源電圧を超えた場合 (すなわち $V_{IN} < AGND$ 、 $DR GND$ または $V_{IN} > V_A$ 、 $DR V_D$ のとき)、そのピンの入力電流を 25mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (50mA) により、電源電圧を超えて 25mA の電流を流せるピン数は 2 本に制限されます。
- Note 4:** 「電気的特性」の表は、推奨動作条件で使用した場合に保証される特性を示しています。ただし、電気的特性や注記で特に変更または指定している場合はその限りではありません。代表値は室温に対する推定値であり、この値を保証しているものではありません。
- Note 5:** このデバイスの最大接合部温度 (T_{Jmax}) は 150 です。最大許容消費電力 (T_{Jmax}) は、接合部周囲間熱抵抗 (θ_{JA}) および周囲温度 (T_A) によって決まり、 $P_{DMAX} = (T_{Jmax} - T_A) / \theta_{JA}$ で表されます。24ピンの TSSOP で、 θ_{JA} は 92 /W です。通常動作時のこのデバイスの消費電力はパッケージの制限をかなり下回っており、制限値に達するのは ADC08100 が何らかの異常な状態で動作しているときのみです (例えば、電源電圧を超えて入力ピンまたは出力ピンを駆動させている場合や電源の極性を逆転させている場合など)。明らかにこのような条件での動作は避けなければなりません。
- Note 6:** 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各ピンに放電させます。マシン・モデルの場合は、200pF のコンデンサから直接各ピンに放電させます。
- Note 7:** その他の表面実装法については、アプリケーション・ノート AN-450 「スモール・アウトライン (SO) パッケージ表面実装と製品信頼性上における効果」、またはナショナル セミコンダクターの最新版データブックの「表面実装」のセクションを参照ください。
- Note 8:** アナログ入力は、以下に示されるように保護されています。入力電圧が $V_A + 300\text{ mV}$ 以下もしくは GND の 300mV 以下の電圧まで振幅する場合にはデバイスが損傷を受けることはありません。しかし、入力電圧が $DR V_D$ 以上もしくは $GND - 100\text{ mV}$ 以下になる場合には変換結果に誤差が生じる可能性があります。例えば、 $V_A = 2.7V_{DC}$ の場合、変換精度を確保するには入力電圧は $2.6V_{DC}$ 以下にする必要があります。



コンバータの電気的特性 (つづき)

Note 9: 精度を保証するために、 V_A および V_D 電源ピンにはそれぞれ別個のバイパス・コンデンサを設けて同一電源に接続します。

Note 10: 標準値 (Typical) は、 $T_j = 25^\circ\text{C}$ で得られる最も標準的な数値です。テスト・リミット値はナショナル・セミコンダクターの平均出荷品質レベル AOQL に基づき保証されます。

Note 11: IDR とは、出力ドライバのスイッチング処理に消費される電流のことです。この値を決める主な要素は、出力ピンの負荷容量、電源電圧 V_{DR} 、出力信号のスイッチング・レートです。出力信号のスイッチング・レートは入力信号に左右されます。 I_{DR} は、 $I_{DR} = V_{DR} (C_0 \times f_0 + C_1 \times f_1 + \dots + C_{71} \times f_{71})$ の式で計算されます。ここで、 V_{DR} は出力ドライバ用の電源電圧、 C_n は当該出力ピンの総負荷容量、 f_n は当該出力ピンの平均スイッチング周波数です。

用語の定義

アパーチャ(サンプリング) デレイ (APERTURE (SAMPLING) DELAY) は、クロック入力の立ち上がりエッジからサンプリング・スイッチが開くまでに要する時間です。サンプル/ホールド回路は入力信号の取り込みを効果的に停止させ、クロックが Low レベルになってから t_{AD} 後に「ホールド」モードになります。

アパーチャ・ジッタ (APERTURE JITTER) は、サンプルとサンプルの間のアパーチャ・デレイのばらつきです。アパーチャ・ジッタは入力ノイズとして現れます。

ボトム・オフセット (BOTTOM OFFSET) は、出力コードが最初のコード遷移を起こすときの入力電圧と負の基準電圧 (ボトム・リファレンス電圧: V_{RB}) との電圧差。ボトム・オフセットは、 $E_{OB} = V_{ZT} - V_{RB}$ として定義されます。 V_{ZT} は最初のコード遷移が起こる時の入力電圧、 V_{RB} は低い方の基準電圧で、通常のゼロスケール誤差とは異なることに注意してください。

クロック・デューティ・サイクル (CLOCK DUTY CYCLE) は、クロック周期に対してクロック波形が High となっている時間の比です。

微分非直線性 (DIFFERENTIAL NON-LINEARITY: DNL) は、理想的なステップである 1 LSB からの最大偏差として表されます。100MSPS でランプ入力に対して測定されます。

有効ビット (EFFECTIVE NUMBER OF BITS: ENOB) は、信号/(ノイズ+歪み)比または SINAD の別の規定方法です。ENOB は $(\text{SINAD} - 1.76)/6.02$ として定義され、この値のビット数をもつ完全な A/D コンバータに等しいコンバータであることを意味します。

フルパワー帯域幅 (FULL POWER BANDWIDTH) は、フルスケール入力に対して再現される出力基本周波数特性において低周波数帯域に対して 3dB 落ちる周波数として測定されます。このテストは、 $f_{IN} = (100\text{kHz} + Nf_{CLK})$ の入力に対して実行されます。低周波信号入力時の出力に比較して出力が -3dB 落ちる時点の入力信号周波数は、フルパワー帯域幅として表されます。

フルスケール誤差 (FULL-SCALE ERROR) は、最後のコードの遷移が、理想的な V_{RT} より $1/2\text{LSB}$ 下の点からどのくらい離れているかを示す量で、次の式で定義されています。

$$V_{\max} + 1.5 \text{ LSB} - V_{RT}$$

V_{\max} は最大 (フルスケール) コードへの遷移が発生する電圧です。

積分非直線性 (INTEGRAL NON-LINEARITY: INL) は、ゼロスケール (最初のコード遷移の $1/2\text{LSB}$ 下) から正のフルスケール (最後のコード遷移の $1/2\text{LSB}$ 上) まで引いた直線からそれぞれ個々のコードとの偏差として表されます。この直線から任意のコードとの偏差は、各コード値の中央から測定します。エンド・ポイント・テスト法が用いられます。100MSPS でランプ入力とともに測定されます。

混変調歪み (INTERMODULATION DISTORTION: IMD) は、A/D の入力に 2 つの近接した周波数を同時に入力し、結果として作り出される追加のスペクトラル成分です。2 つの周波数入力のうちの 1 つの周波数のパワーに対する 2 次および 3 次混変調

成分のパワーの比として定義されます。IMD は通常 dBFS で表されます。

ミッシング・コード (MISSING CODE) は、あるコード値からその一つ上位のコード値の間が欠け、ADC から出力されない出力コードです。すべての入力レベルで、ミッシング・コードが発生することはあません。

出力デレイ (OUTPUT DELAY) は、クロック入力の立ち上がりエッジから出力ピンにアップデートされたデータが現れるまでの遅延時間。

出力ホールド時間 (OUTPUT HOLD TIME) は、クロック入力の立ち上がりエッジから出力データの読み出しが有効な期間を示します。

パイプライン・デレイ (PIPELINE DELAY: LATENCY) は、変換開始からその変換データが出力ドライバ段に現れるまでの期間をクロック数で表したものです。新しいデータは各クロック・サイクルごとに有効になりますが、パイプライン・デレイと出力デレイの和による変換により遅延が規定されます。

信号/ノイズ比 (SIGNAL TO NOISE RATIO: SNR) は、クロック信号の $1/2$ 以下の周波数における、歪みと DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の出力での実効値の比として dB で表されます。

信号/(ノイズ+歪み)比 (SIGNAL TO NOISE PLUS DISTORTION RATIO: S/(N+D) or SINAD) は、クロック信号の $1/2$ 以下の周波数における、歪みを含め DC 成分を除いたその他すべてのスペクトラル成分の実効値に対する入力信号の出力での実効値の比として dB で表されます。

スプリアス・フリー・ダイナミック・レンジ (SPURIOUS FREE DYNAMIC RANGE: SFDR) は、入力信号の実効値に対するピーク・スプリアス信号との差で、dB で表されます。ここで言うピーク・スプリアス信号とは、出力スペクトラムに現れる任意のスプリアス信号であり、入力に現れるものではありません。

全高調波歪み (TOTAL HARMONIC DISTORTION: THD) は、2 次から 10 次までの高調波の合計出力レベルと基本周波数の出力レベルとの比で、dB で表されます。全高調波歪み THD は次式から求められます。

$$\text{THD} = 20 \times \log \sqrt{\frac{f_2^2 + f_3^2 + f_4^2 + f_5^2 + f_6^2 + f_7^2 + f_8^2 + f_9^2 + f_{10}^2}{f_1^2}}$$

f_1 は基本周波数 (入力) パワーの実効値、 f_2 から f_{10} は出力スペクトラムに現れる高調波のうち 2 次から 10 次までの高調波のパワーです。

ゼロスケール・オフセット誤差 (ZERO SCALE OFFSET ERROR) とは、最初の出力コード遷移を生じさせるために必要となる理論入力電圧 $1/2\text{LSB}$ と実際の入力電圧との差で、次式で定義されます。

$$V_{\text{OFF}} = V_{ZT} - V_{RB}$$

V_{ZT} は、出力に最初のコード遷移を生じさせる実際の入力電圧です。

タイミング図

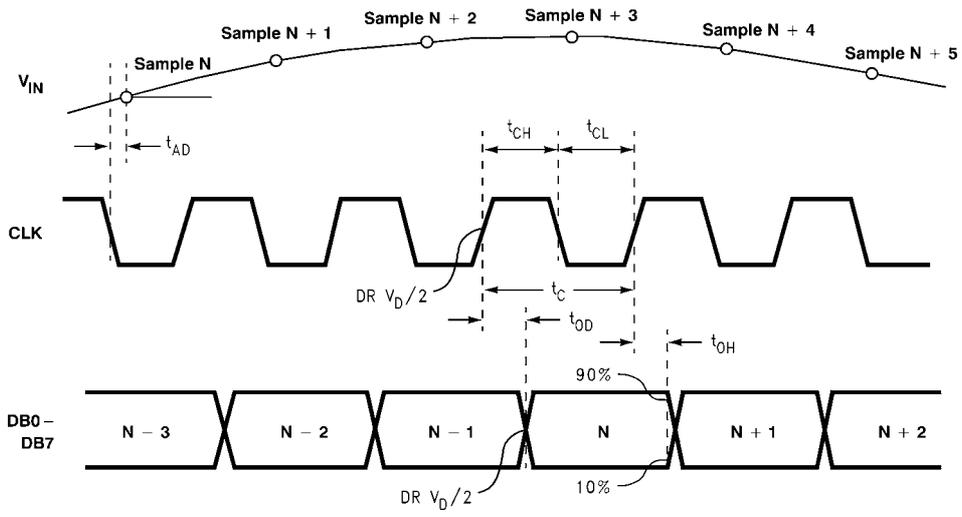
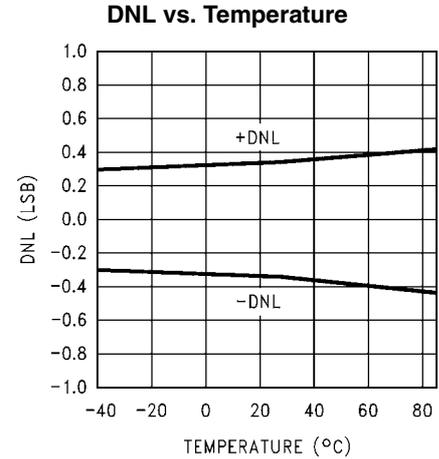
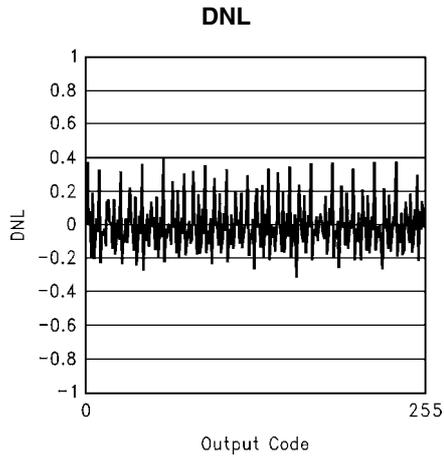
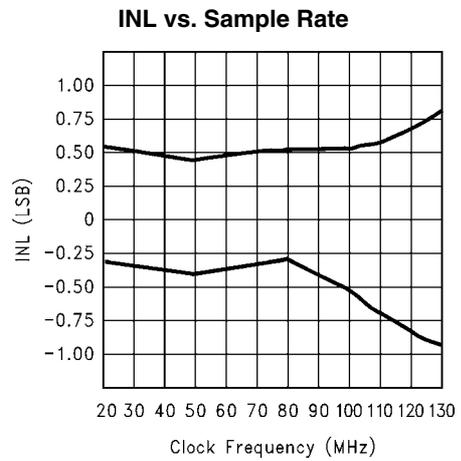
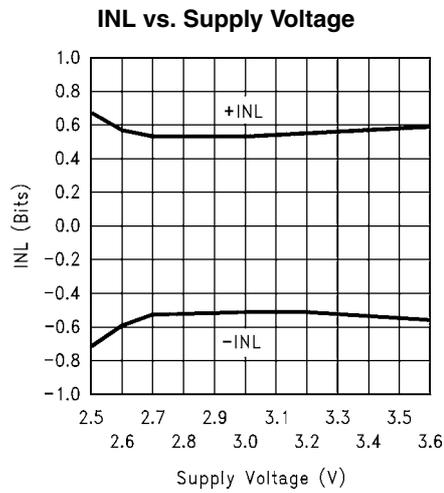
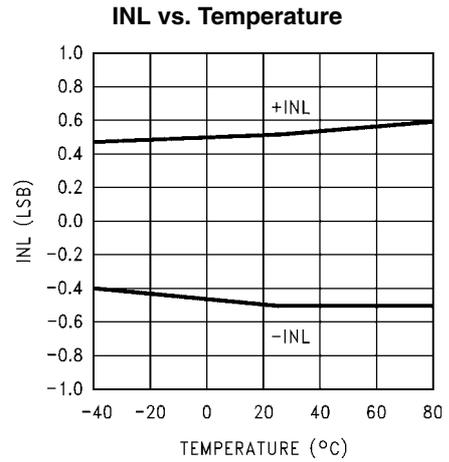
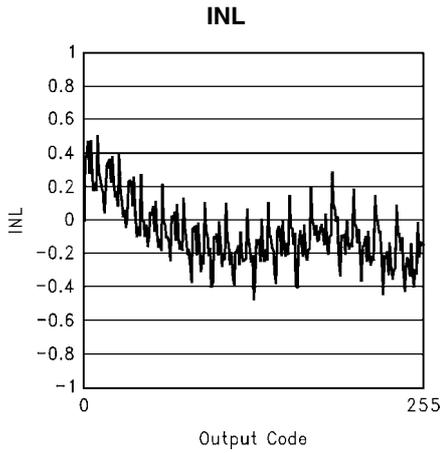


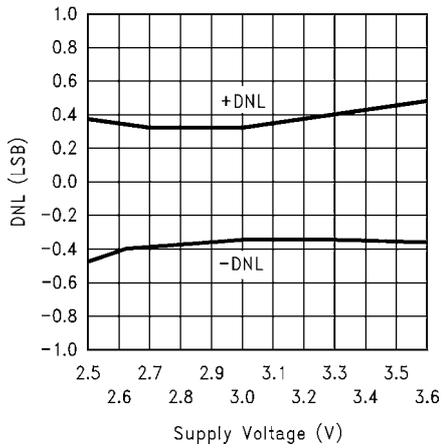
FIGURE 1. ADC08100 Timing Diagram

代表的な性能特性 特記のない限り、 $V_A = DR V_D = 3V$ 、 $f_{CLK} = 100\text{ MHz}$ 、 $f_{IN} = 41\text{ MHz}$ の条件でグラフを示す。

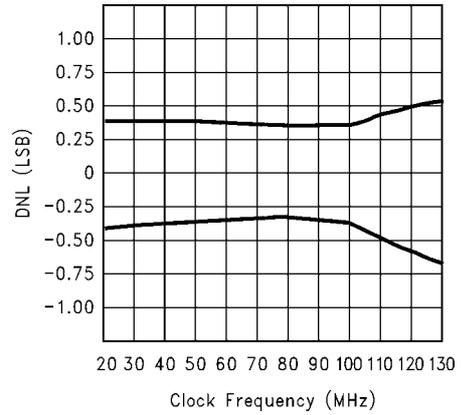


代表的な性能特性 特記のない限り、 $V_A = DR V_D = 3V$ 、 $f_{CLK} = 100\text{ MHz}$ 、 $f_{IN} = 41\text{ MHz}$ の条件でグラフを示す。(つづき)

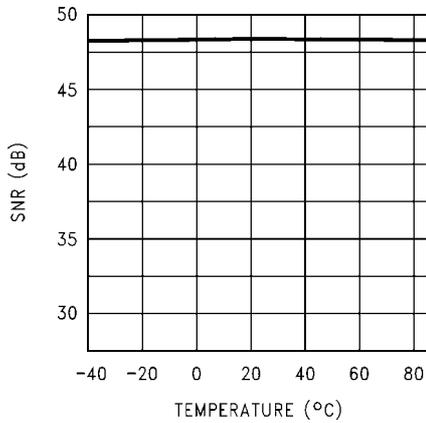
DNL vs. Supply Voltage



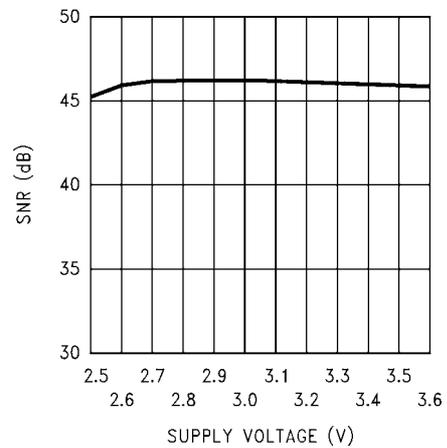
DNL vs. Sample Rate



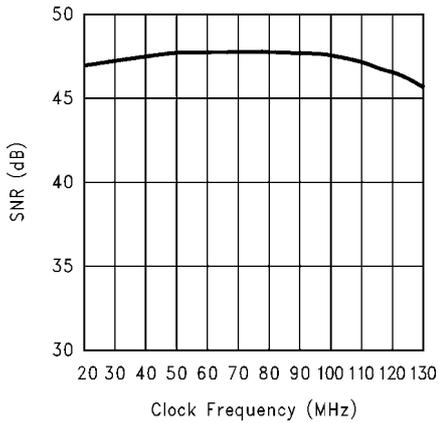
SNR vs. Temperature



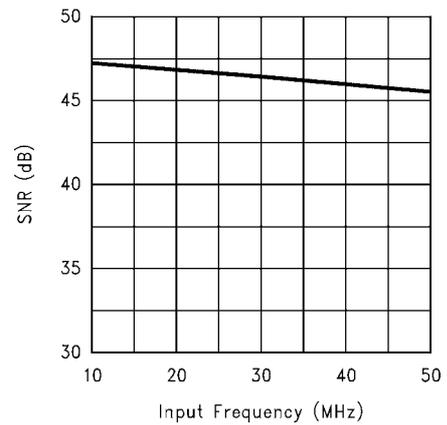
SNR vs. Supply Voltage



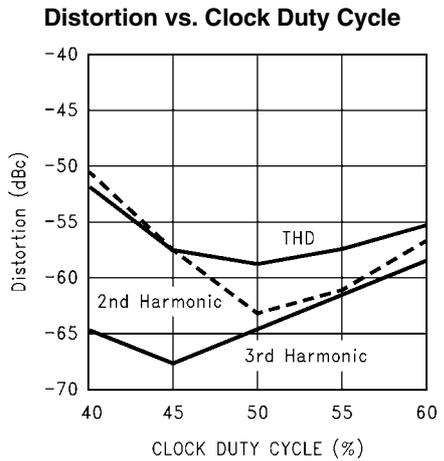
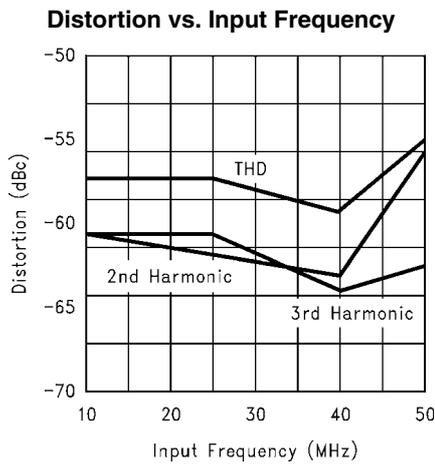
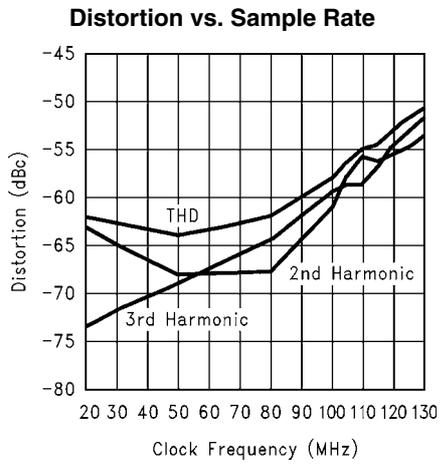
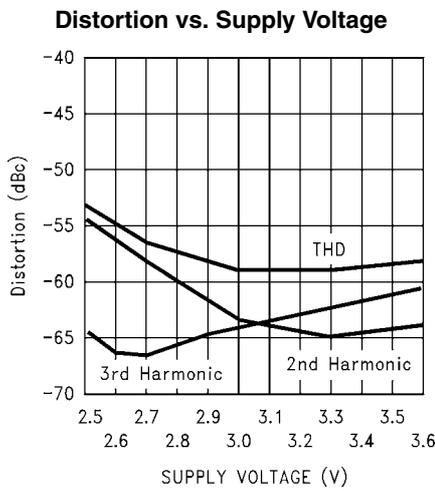
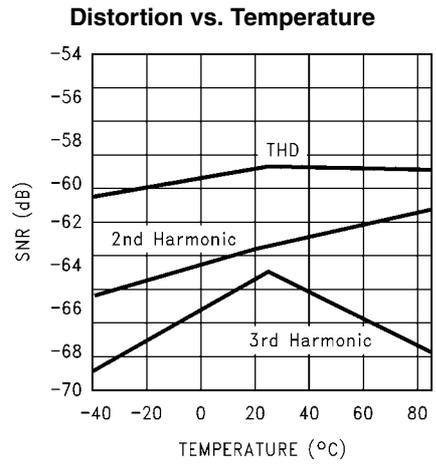
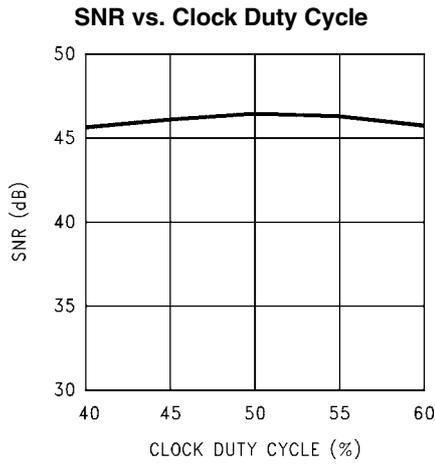
SNR vs. Sample Rate



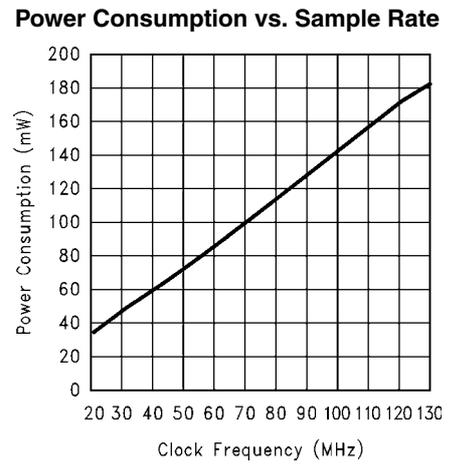
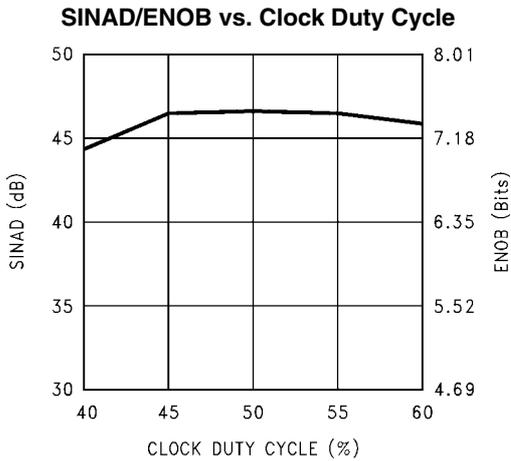
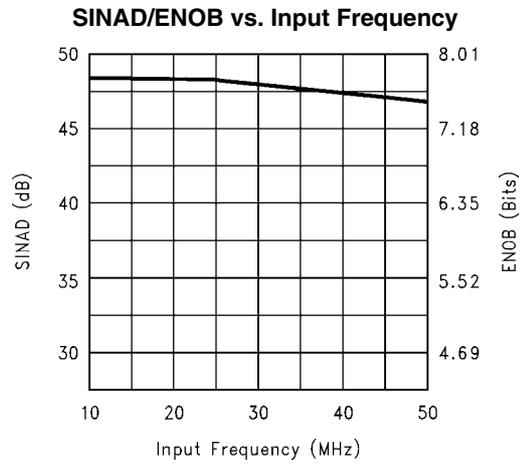
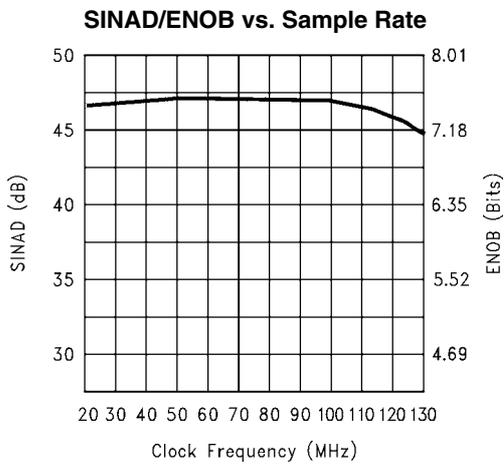
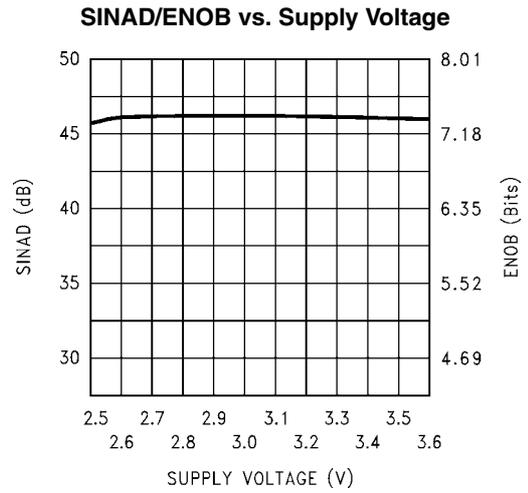
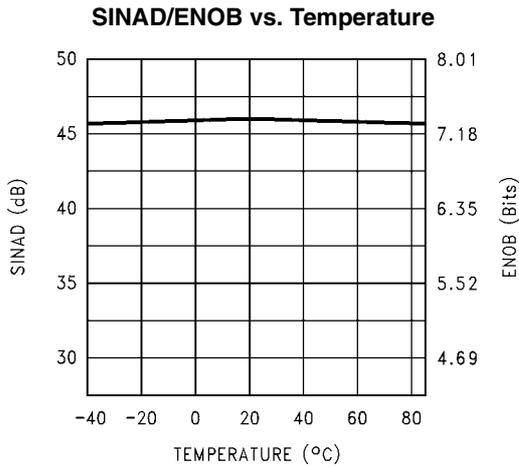
SNR vs. Input Frequency



代表的な性能特性 特記のない限り、 $V_A = DR V_D = 3V$ 、 $f_{CLK} = 100\text{ MHz}$ 、 $f_{IN} = 41\text{ MHz}$ の条件でグラフを示す。(つづき)

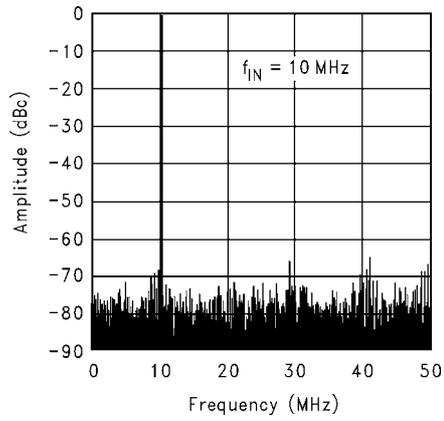


代表的な性能特性 特記のない限り、 $V_A = DR V_D = 3V$ 、 $f_{CLK} = 100\text{ MHz}$ 、 $f_{IN} = 41\text{ MHz}$ の条件でグラフを示す。(つづき)

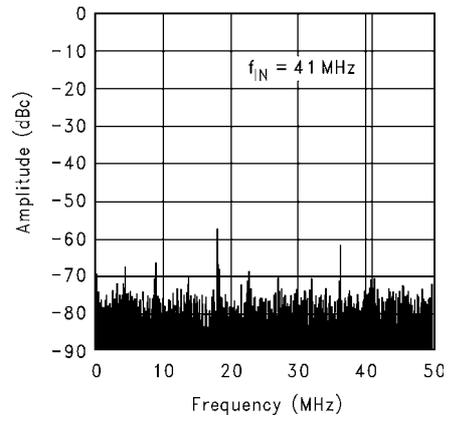


代表的な性能特性 特記のない限り、 $V_A = DR V_D = 3V$ 、 $f_{CLK} = 100\text{ MHz}$ 、 $f_{IN} = 41\text{ MHz}$ の条件でグラフを示す。(つづき)

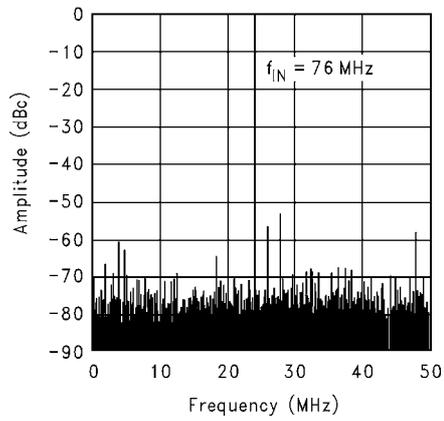
Spectral Response @ $f_{IN} = 10\text{ MHz}$



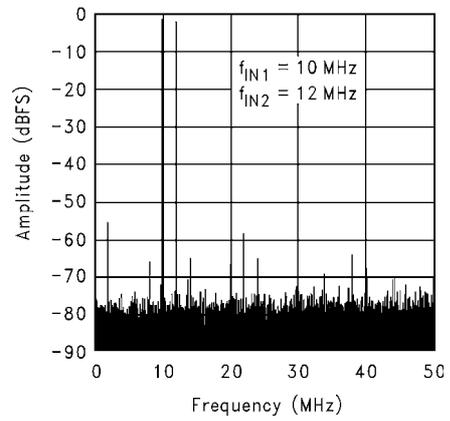
Spectral Response @ $f_{IN} = 41\text{ MHz}$



Spectral Response @ $f_{IN} = 76\text{ MHz}$



Intermodulation Distortion (IMD)



機能説明

ADC08100 は、新しい独自のアーキテクチャを採用して、50MHz およびそれ以上の入力周波数で7ビット以上の有効ビットを実現しています。

アナログ入力信号は、 V_{RT} と V_{RB} で設定される電圧範囲内で 8 ビットの 2 値コードにデジタル化されます。 V_{RB} 以下の入力電圧は、すべてが 0 からなる出力コードに変換されます。 V_{RT} 以上の入力電圧は、すべてが 1 からなる出力コードに変換されます。

スイッチト・キャパシタ・バンドギャップを内蔵しているため、ADC08100 の消費電力はサンプリング周波数に比例する特性を示し、そのためサンプリング周波数によって消費電力の上限が決まります。この性質と、幅広いサンプリング周波数範囲に対する優れた性能によって、8 ビット入力のシングル・チップ A/D コンバータとして理想的な選択肢を提供します。出力データ形式はストレート・バイナリです。

データはクロックの立ち下がりエッジで取り込まれ、このデータに対応するデジタル値は 2.5 クロック・サイクル + t_{OD} 後にデジタル出力ピンで有効になります。ADC08100 は、クロックが入力される限り変換をします。パワーダウン・ピン (PD) が Low のときは、このデバイスはアクティブ状態です。PD ピンが High になると、このデバイスはパワーダウン・モードになります。このモードのときは、出力ピンは PD ピンが High になったときの変換結果を保持し、消費電力は 1mW に抑えられます。

アプリケーション情報

1.0 リファレンス入力

リファレンス入力 V_{RT} および V_{RB} は、リファレンス・ラダーのトップとボトムです。これらの 2 ピン間の電圧範囲の入力信号が 8 ビットのコードにデジタル化されます。これらのリファレンス入力ピンに

外部電圧を印加する場合には、動作定格で規定されている範囲内に抑えてください。このとき使われるデバイスは、 V_{RT} へのソース電流と V_{RB} からのシンク電流を十分にドライブできるものを選択してください。

Figure 2 のリファレンス・バイアス回路は、非常に単純でさまざまなアプリケーションで優れた性能を実現します。ただし、回路の許容範囲を大きくすると基準電圧範囲も幅広くなります。一般的には、低インピーダンス・ソースでそれぞれのリファレンス・ピンをドライブすると、より優れた性能を実現できます。

Figure 3 の回路により、基準電圧をさらに正確に設定できます。上側のアンプはリファレンス抵抗と ($V_{RT} - V_{RB}$) の値で決まるリファレンス電流をソース電流として出力できなければなりません。下側のアンプはこのリファレンスの電流をシンク電流として吸い込めることが必要です。このアンプはいずれも、容量性負荷を接続して安定させる必要があります。LM8272 が選択されたのは、その入出力がフルスイング可能で、電流出力が大きく、大きい容量性負荷が駆動可能なためです。

アンプの入力にある分圧抵抗器は各アプリケーションの基準電圧要件に合わせて変更できます。またこの分圧抵抗器は可変抵抗器または DAC に置き換えて、正確な設定が行えるようになります。このラダーの下部 (V_{RB}) は、入力信号の最小の変化が 0V の場合は直接グラウンドに接続できます。

ノイズを最小限に抑えるため、 V_{RT} は必ず V_{RB} より、「電気的特性」の表に記載された $V_{RT} - V_{RB}$ の差以上高く設定してください。さらに、信号の歪みを防ぐために、 V_{RT} と V_{RB} の差は「電気的特性」の表の最大値を超えないようにしてください。

V_{RM} ピンはリファレンス・ラダーの中心にあるため、0.1 μ F のコンデンサで、アナログ・グラウンド・プレーンのノイズの少ない点にバイパスしてください。このピンはフローティング状態にしないでください。

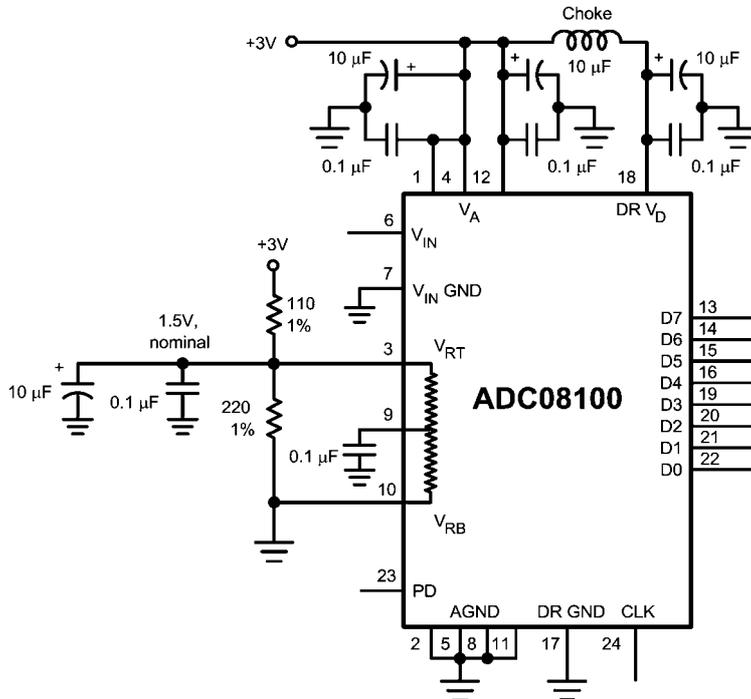


FIGURE 2. Simple, low component count reference biasing. Because of the ladder and external resistor tolerances, the reference voltage can vary too much for some applications.

アプリケーション情報 (つづき)

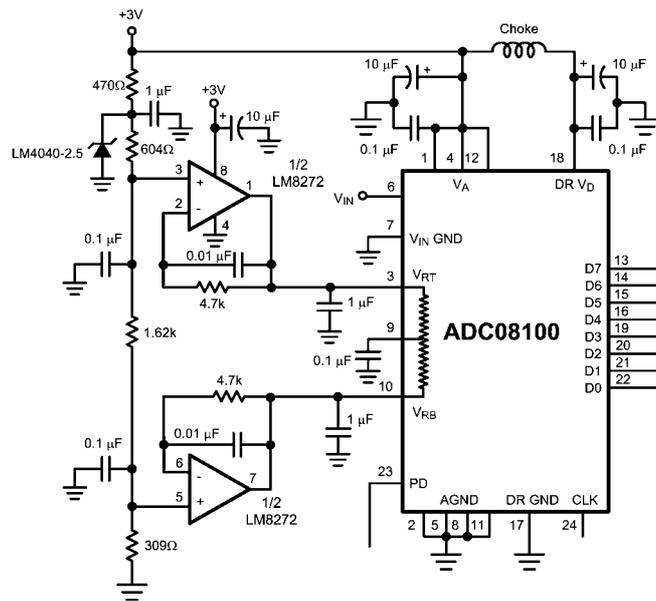


FIGURE 3. Driving the reference to force desired values requires driving with a low impedance source.

2.0 アナログ入力

ADC08100 のアナログ入力回路は、積分器に続くスイッチになっています。入力容量は、クロックのレベルに応じて変わり、クロックが Low の場合には 3pF になり、クロックが High の場合には 4pF になります。サンプリング回路の性質上、アナログ入力には電流スパイクが発生し、結果として電圧スパイクが生じます。アナログ入力を駆動するアンプはクロックが High の間にこのようなスパイクを吸収しなければなりません。LMH6702 と LMH6628 は、

ADC08100 のアナログ入力をドライブするのに最適なデバイスです。

Figure 4 に、LMH6702 を使用した入力回路の例を示します。入力回路のアンプは、オペアンプがユニティ・ゲインの 2 倍または 3 倍のゲインにより優れた位相マージンと過渡応答特性を持っているため、ある程度のゲインを持つ必要があります。総ゲインを 3 未満にする必要がある場合は、Figure 4 に示すように、入力を減衰し、またこのアンプをより高いゲインで動作させてください。

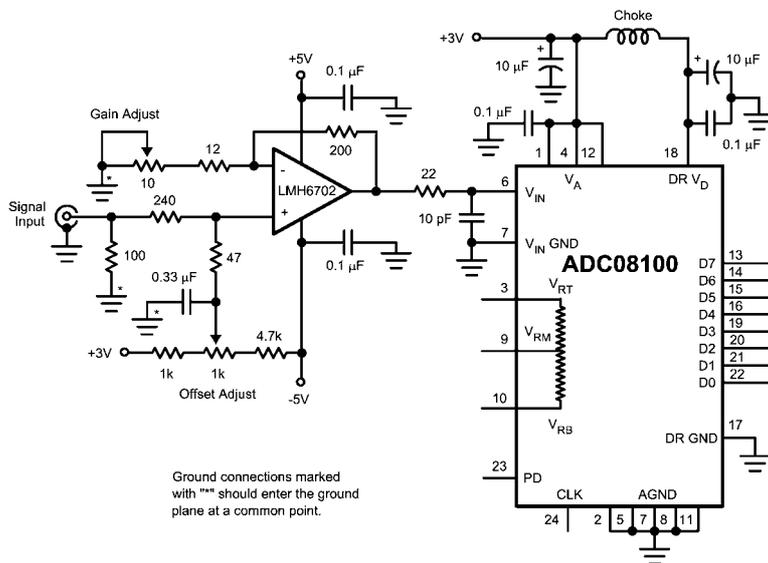


FIGURE 4. The input amplifier should incorporate some gain for best performance (see text).

アンプ出力の RC は、入力サンプリング回路に起因してアナログ入力から発生するクロック・レート・エネルギー (キックバック・ノイズ) を除去するフィルタ回路です。この回路の最適な時定数は、アンプと A/D コンバータだけでなく、回路のレイアウトや基板の材質

(基板の配線抵抗) によって決まります。この抵抗値は 18 ~ 47 の間とし、コンデンサの容量は次の式で求めてください。

$$C = \frac{1}{2 \cdot \pi \cdot R \cdot f_{CLK}}$$

アプリケーション情報 (つづき)

クロックが High のとき、上の式の「C」の値には ADC の入力容量が含まれます。

これはナイキスト・アプリケーションに対して最適な SNR 性能を提供します。コンデンサの容量と抵抗値を両方とも 0 にすると、THD 性能が最大限に高められますが、その分 SNR と SINAD 性能が犠牲になります。アンダー・サンプリング・アプリケーション (ナイキスト周波数以下の周波数でのサンプリング) の場合は、アンプから A/D コンバータ入力までの間に抵抗およびコンデンサを置いてはいけません。

Figure 4 の回路例では、ゲイン調整とオフセット調整の両方の機能を備えています。これらの調整機能を削除した場合、デバイス・マーシンの対する綿密な検討の実施と、入力信号範囲がワースト・ケースでも正しく限度内に納まるようにするのが不可欠であり、さもないと通常動作で回路マーシンの不足し、信号波形のクリッピングを生じる可能性があります。すなわち、マーシンの持たせる設計となるため、入力信号が最大のときにフルスケール出力が得られないことを意味します。

フルスケールとオフセット調整は 2 つの DAC により、 V_{RT} と V_{RB} を調整することによっても実行できます。

3.0 電源構成の考慮事項

A/D コンバータは適切にバイパスされていないと、デバイス自身の電源により性能を劣化させるような非常に大きなトランジェント電流が流れます。A/D コンバータの電源ピンから 1cm 以内に配置された 0.1 μ F のセラミック・コンデンサとともに、10 μ F のタンタル・コンデンサもしくはアルミニウム電解コンデンサを A/D コンバータの電源ピンから 1 インチ (約 2.5 センチ) 以内に配置してください。リードレス・チップ・コンデンサは低リード・インダクタンスなので、望ましい選択です。

ADC08100 の V_A と DR V_D には単一の電源から供給することを推奨します。一方これらの電源ピンは、いかなるデジタル・ノイズも ADC のアナログ部にカップリングされないようにそれぞれのピンを十分にアイソレートしてください。これらの電源線の間にはチョークまたは 27 の抵抗を入れ、十分な大きさのバイパス・コンデンサを電源ピンの近くに配置することを推奨します。

すべての高速コンバータと同様に、ADC08100 は電源除去がほとんどないと考えてください。ADC08100 用の電源はいずれも、デジタル消費電力の大きなシステムで他のデジタル回路に使用される電源を使えません。ADC 用の電源は、他のアナログ回路に使用されているものと同じにしてください。

いかなるピンも、トランジェントによる変動時であっても、電源電圧以上やグラウンドから 300mV 以下になる電圧が印加されないようにしてください。これは回路に供給する電源とパワー・シャットダウンのアプリケーションに依存する問題です。すべてのアナログおよびデジタル入力が ADC08100 の電源ピンの電圧が立ち上がるより先速く立ち上がらない回路に設計されているかを確認してください。

4.0 デジタル入力ピン

ADC08100 には、PD ピンとクロック・ピンの 2 本のデジタル入力ピンがあります。

4.1 PD ピン

パワーダウン (PD) ピンが High のとき、ADC08100 は低電力モードになり、消費電力が 1mW に低下します。PD ピンを Low に戻すと、出力データ・ピンはおよそ 1 μ s 後に有効かつ正確な値を出力します。

デジタル出力ピンは、クロックが停止するか PD ピンが High になったときの交換出力コードを保持します。

4.2 ADC08100 クロック

ADC08100 は試験済みで、性能は 100MHz のクロックで保証されていますが、実的に、20MHz ~ 125MHz (代表値) のクロック周波数で正常に機能します。

クロックを停止させると、PD ピンを High にすると同程度の節電効果があります。PD を High にしたときの消費電力は 1mW (代表値) であるのに対して、クロックを停止させたときの消費電力は 3mW (代表値) となります。デジタル出力の状態はクロックを停止しても変わりません。

クロックを復帰させると (または、PD ピンを Low にすると)、約 1 μ s 後に出力データが有効になります。ただし、総消費電力とクロック周波数の間には直線的な関係があるため、クロックを再スタートするか、または周波数を大幅に変えた場合、約 1 μ s たたないと正確な精度にはなりません。

一般に A/D コンバータの性能は、クロックの Low 時間および High 時間に影響されます。しかし正確なデューティ・サイクルを維持するのは難しいため、ADC08100 では広い範囲のデューティ・サイクルに対して性能を発揮するように設計されています。デューティ比 50% の場合に 100Msps が規定され、性能も保証されていますが、100MHz クロックではクロックの High 時間もしくは Low 時間が 2ns、すなわちデューティ比が 20% ~ 80% の範囲であれば ADC08100 の性能は保たれます。ただし、High 時間 2ns と Low 時間 2ns が同時に成立するようなクロックを与えてはなりません。

CLOCK 信号には、クロック源の近くに線路インピーダンスに等しいダンピング抵抗を直列に挿入する必要があります。ただしクロック信号の線路長が次式より長い場合は、線路インピーダンスに等しい抵抗とグラウンド間に接続した次式の容量のコンデンサで RC 回路を構成し、**CLOCK** ピンを AC 的に終端してください。

$$C \geq \frac{t_r}{6 \times t_{PD}}$$

上式で t_r はクロック信号の立ち上がり時間、 t_{PD} は配線の伝搬遅延時間です。

$$C \geq \frac{4 \times t_{PD} \times L}{Z_0}$$

t_{PD} はクロック配線の伝搬遅延時間、"L" はクロック配線の配線長、 Z_0 はクロック配線の特性インピーダンスです。この RC 終端はクロック源の近くではなく、ADC08100 のクロック・ピンから 1cm 以内に配置してください。 t_{PD} の代表値は、FR-4 を使用した基板でおおよそ 150ps/inch です。これを代入すると FR-4 基板における C の値は次のようになります。

$$C \geq \frac{6 \times 10^{-10} \times L}{Z_0}$$

"L" はインチを単位とするクロック配線の配線長です。

5.0 レイアウトとグラウンド構成

適切なグラウンド処理とすべての信号ラインの適切な配線は、正確な変換を確保するには必須の条件です。アナログとデジタルを結合したグラウンド・プレーンを使用してください。

アプリケーション情報 (つづき)

デジタル・スイッチング・トランジェント (デジタル回路の瞬時的スイッチング電圧によるオーバーシュート/アンダーシュート)は高周波成分を大きく発生するので、グラウンド・プレーンの総銅箔重量は、ロジック回路の生成するノイズにはあまり影響がありません。これは、薄膜効果によるためです。グラウンド・プレーンの量は先総表面積の方がより重要です。一般にノイズが多いデジタル回路部分とノイズに高感度なアナログ回路部分をコンデンサでカップリングすると性能低下を招くことになり、両回路の分離とノイズ対策が困難となります。解決策はアナログ回路部分をデジタル回路部分から分離させることです。

消費電力の大きなデジタル部品は、電源部分と A/D コンバータまたはアナログ部品を結ぶ直線上またはその近くに配置しないでください。デジタル回路からのリターン電流経路が A/D コンバータのアナログ入力のグラウンド・リターンに対して変動を生じさせてしまうからです。

しかし、ビデオ (高周波) システムでは、アナログ信号ラインとデジタル信号ラインの互いが交差する配線は避けなければなりません。クロック・ラインは、アナログ信号ラインやデジタル信号ラインなどすべてのその他のラインからインシュレートしてください。一般的に受け入れられている 90° で A/D 信号ラインを互いに交差させる方法でさえ、高周波でのちょっとしたカップリングによって問題が起こる可能性があるため避けるべきです。高周波で最大限の性能は、まっすぐな信号経路に配線して得られます。

スプリアス信号が入力にカップリングするのを避けるために、アナログ入力、ノイズの多い信号経路から十分にインシュレートしてください。コンバータの入力とアナログ・グラウンドとの間に接続される任意の外部回路 (例えば、フィルタ用のコンデンサ) は、アナログ・グラウンド帰路中の十分にクリーンな点に接続してください。

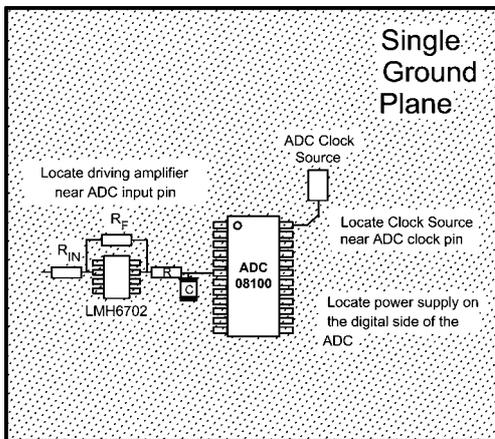


FIGURE 5. Layout Example

Figure 5 は、適切なレイアウト例です。すべてのアナログ回路 (入力アンプ、フィルタ、リファレンス回路など) は、デジタル部品から離して配置してください。

6.0 ダイナミック特性

ADC08100 は AC テストされており、ダイナミック特性が保証されています。規定されている特性値を満足するために、CLK 入力をドライブするクロック信号源は 3ps (rms) 以下のジッタでなければなりません。最高の AC 特性を得るために、Figure 6 に示されるような適当なバッファを用いてクロック・ツリーを構成し、A/D のクロック信号をその他のデジタル回路からインシュレートしなければなりません。

A/D クロック・ラインをできる限り短くかつその他の任意の信号から十分に離して置くのは、良い手段です。その他の信号は、ク

ロック信号にジッタを招く可能性があります。クロック信号はまた、アナログ経路にノイズを招く可能性があります。

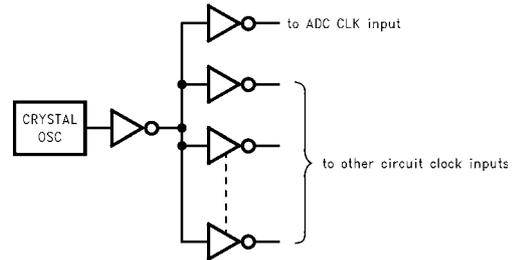


FIGURE 6. Isolating the ADC Clock from Digital Circuitry

7.0 アプリケーション共通の注意事項

電源範囲をこえてアナログもしくはデジタル入力をドライブしないこと
適当な動作を行うために、すべての入力は、グラウンド・ピンより 300mV 以下または、電源ピンより 300mV 以上にならないようにしてください。トランジェントによる場合でもこれらのリミット値を超えると、システムにとって良くない状態や誤差を招く可能性があります。グラウンド以下に 1V 以上もアンダーシュートを起こす高速デジタル回路 (例えば、74F や 74AC などのファミリ・デバイス) は、一般的ではありません。A/D コンバータのデジタル入力に 51 の直列抵抗を挿入すると、通常はこの問題を取り除けます。

ADC08100 の入力をオーバー・ドライブしないように注意してください。このような過度の入力ドライブは、コンバータの誤差やデバイスの破損につながります。

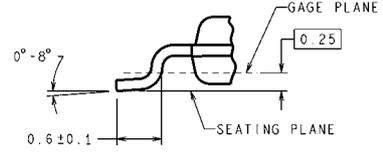
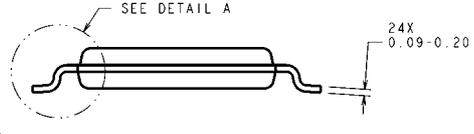
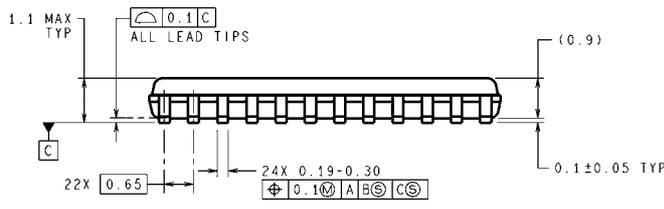
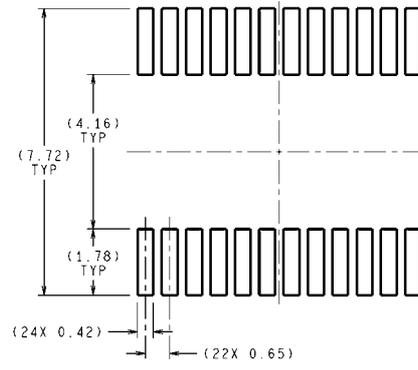
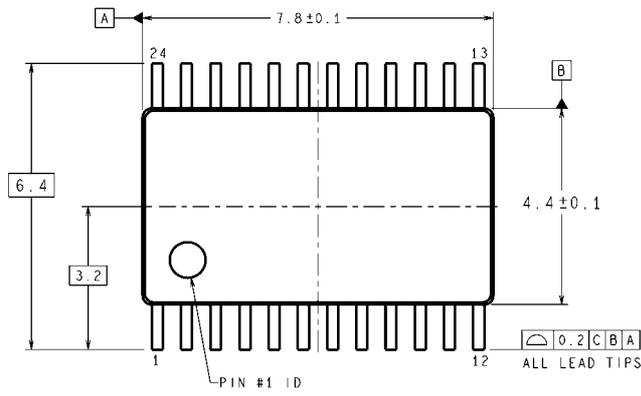
大容量性デジタル・データ・バスのドライブをしないこと
各変換毎に充電すべきデジタル出力ドライバ回路の容量性負荷が大きくなればなるほど、DR V_D や DR GND からのより大きな瞬間的なデジタル電流が必要となります。これらの大きな充電電流スパイクは、アナログ回路にカップリングしダイナミック特性を劣化させる可能性があります。データ・バスの容量が 10pF を超える場合には、デジタル・データ出力の (例えば、74F541 で) バッファリングが必要になります。また、各デジタル出力に 100 の直列抵抗を加えると、コンバータの出力に戻ってくるカップリング信号のエネルギーを低減し、ダイナミック特性を改善できます。

不適当なアンプを使ってアナログ入力をドライブしないこと
セクション 2.0 に説明されているように、アナログ入力は、等価的にクロック・レベルに応じて 3pF ~ 4pF の間で変化するキャパシタンス (コンデンサ) に見えます。このダイナミック・キャパシタンスは、一定のキャパシタンスをドライブするより先困難で、ドライブするデバイスの選択を考慮する必要があります。LMH6702 および LMH6628 は ADC08100 の入力をドライブするのに優れたデバイスです。

リファレンス・ラダー回路に必要な電流のソースおよびシンクができないデバイスで V_{RT} または V_{RB} をドライブしないこと
セクション 1.0 で述べたように、V_{RT} ピンへのソース電流および V_{RB} ピンからのシンク電流を十分にドライブできるデバイスであることを確認しなければなりません。これらのピンが、必要な電流を制御できるデバイスでドライブしない場合には、これらのリファレンス・ピンは安定せず、結果としてダイナミック特性の劣化を招きます。

過度のジッタを持ったクロック信号源を使用したり、異常に長いクロック信号経路や、他の信号がクロック信号経路にカップリングしてしまうレイアウトを使用しないこと
この場合には、サンプリング間隔が変化し、過度の出力ノイズが発生し、かつ SN 比の劣化を招きます。RC によるタイミング回路を用いた単純なゲート回路は、一般的にクロック信号源としては適切ではありません。

外形寸法図 単位は millimeters



DIMENSIONS ARE IN MILLIMETERS

DETAIL A TYPICAL

MTC24 (Rev E)

NOTES: 特記のない限り
1993年7月現在、JEDEC登録 mo-153、VARIATION ADを参照。

24-Lead Package TC
Order Number ADC08100CIMTC
NS Package Number MTC24

このドキュメントの内容はナショナル セミコンダクター 社製品の関連情報として提供されます。ナショナル セミコンダクター 社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター 社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター 社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター 社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター 社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター 社との取引条件で規定される場合を除き、ナショナル セミコンダクター 社は一切の義務を負わないものとし、また、ナショナル セミコンダクター 社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター 社の製品は、ナショナル セミコンダクター 社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクター のロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2008 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上