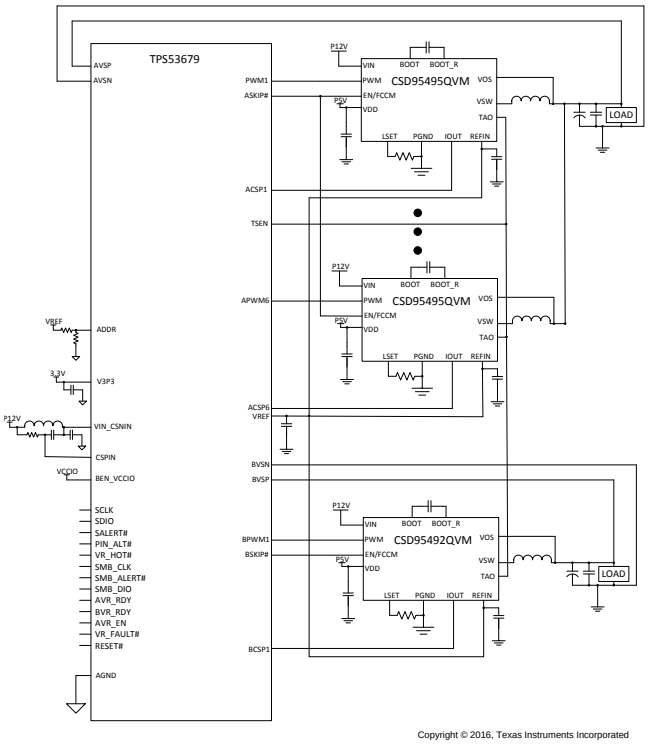
TEXAS INSTRUMENTS
CSD95495QVM
JAJSEE6A – JUNE 2017 – REVISED JANUARY 2018

CSD95495QVM 同期整流降圧 NexFET™スマート電力段

1 特長

- 50Aの連続動作電流能力
- 25A時に93.5%を超えるシステム効率
- 高周波数での動作(最高1.25MHz)
- ダイオード・エミュレーション機能
- 温度補償双方向電流検出
- アナログ温度出力
- フォルト監視
- 3.3Vおよび5V PWM信号対応
- トライステートPWM入力
- ブートストラップ・スイッチ内蔵
- 貫通電流保護のために最適化されたデッドタイム
- 高密度VSON、占有面積4mm×5mm
- インダクタンスの非常に低いパッケージ
- システムに対して最適化されたPCBの占有面積
- RoHS準拠—鉛フリーの端子メッキ処理
- ハロゲン不使用

アプリケーション図



2 アプリケーション

- マルチフェーズの同期整流降圧コンバータ
  - 高周波数のアプリケーション
  - 大電流、低いデューティ・サイクルのアプリケーション
- POL DC/DCコンバータ
- メモリ・カードおよびグラフィック・カード
- デスクトップPCおよびサーバー向け VR12.x/VR13.x VRM同期整流降圧コンバータ

3 概要

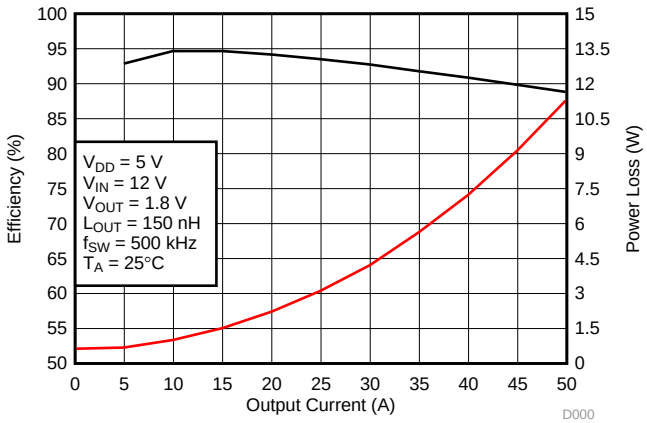
CSD95495QVM NexFET™電力段は、高電力、高密度の同期整流降圧コンバータ向けに高度に最適化されています。この製品はドライバICとパワーMOSFETを統合することにより、電力段スイッチング機能を実現しています。このため、4mm×5mmという小型のパッケージで大電流、高効率、高速のスイッチングに対応します。また、正確な電流センシングおよび温度センシング機能を内蔵することで、システム設計の簡素化と精度の向上を両立しています。さらに、設計期間を短縮し、システム全体の設計を簡素化できるように、PCBの占有面積を最適化しています。

製品情報(1)

デバイス	メディア	数量	パッケージ	出荷
CSD95495QVM	13インチ・リール	2500	VSON 4.00mm×5.00mm パッケージ	テープ・アンド・リール
CSD95495QVMT	7インチ・リール	250		

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

標準的な電力段の効率と電力損失との関係



英語版のTI製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.comで閲覧でき、その内容が常に優先されます。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 **Pin Configuration and Functions** ... 3
6 **Specifications** ... 4
6.1 Absolute Maximum Ratings ... 4
6.2 ESD Ratings ... 4
6.3 Recommended Operating Conditions ... 4
7 **Application Schematic** ... 5
8 デバイスおよびドキュメントのサポート ... 6
8.1 ドキュメントの更新通知を受け取る方法 ... 6
8.2 コミュニティ・リソース ... 6
8.3 商標 ... 6
8.4 静電気放電に関する注意事項 ... 6
8.5 Glossary ... 6
9 メカニカル、パッケージ、および注文情報 ... 7
9.1 メカニカル図面 ... 7
9.2 推奨されるPCBランド・パターン ... 8
9.3 推奨されるステンシル開口部 ... 9

4 改訂履歴

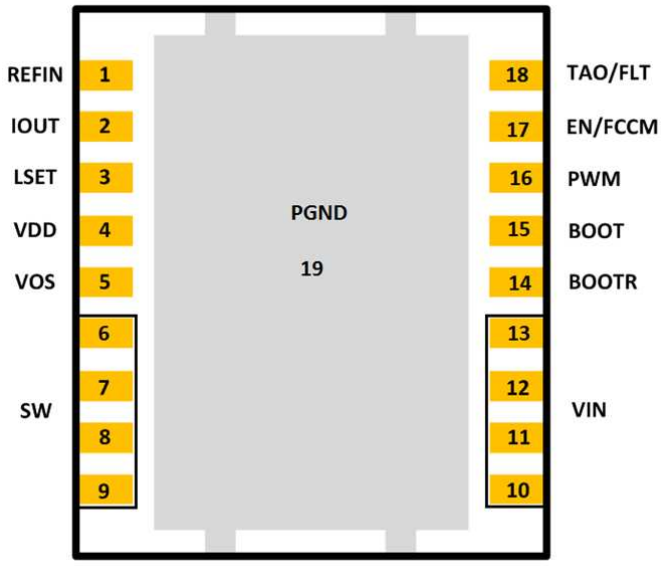
2017年6月発行のものから更新 **Page**

- 「*特長*」セクションと「*製品情報*」表のパッケージ・タイプを訂正 ... 1

Copyright © 2017–2018, Texas Instruments Incorporated

5 Pin Configuration and Functions

Top View



Pin Functions

PIN		DESCRIPTION
NAME	NO.	
REFIN	1	External reference voltage input for current sensing amplifier.
IOUT	2	Output of current sensing amplifier. V(IOUT) – V(REFIN) is proportional to the phase current.
LSET	3	A resistor from this pin to PGND pin sets the inductor value for the internal current sensing circuitry.
VDD	4	Supply voltage for gate drivers and internal circuitry.
VOS	5	Output voltage sensing pin for the internal current sensing circuitry.
SW	6-9	Phase node connecting the HS MOSFET source and LS MOSFET drain – pin connection to the output inductor.
VIN	10-13	Input voltage pin. Connect input capacitors close to this pin.
BOOTR	14	Return path for HS gate driver. It is connected to VSW internally.
BOOT	15	Bootstrap capacitor connection. Connect a minimum 0.1-µF, 16-V, X5R ceramic cap from BOOT to BOOTR pins. The bootstrap capacitor provides the charge to turn on the control FET. The bootstrap diode is integrated.
PWM	16	Tri-state input from external controller. Logic low sets control FET gate low and sync FET gate high. Logic high sets control FET gate high and sync FET gate low. Both MOSFET gates are set low if PWM stays in Hi-Z for greater than the tri-state shutdown holdoff time (t_{3HT}).
EN/FCCM	17	This dual function pin either enables the diode emulation function or can be used as a simple enable for the device. When this pin is driven into the tri-state window and held there for more than the tri-state holdoff time, Diode Emulation Mode is enabled for sync FET. When the pin is high, device operates in Forced Continuous Conduction Mode. When the pin is low, both FETs are held off. An internal resistor pulls this pin low if left floating.
TAO/FAULT	18	Temperature Amplifier Output. Reports a voltage proportional to the IC temperature. An ORing diode is integrated in the IC. When used in multiphase application, a single wire can be used to connect the TAO pins of all the ICs. Only the highest temperature will be reported. TAO will be pulled up to 3.3 V if thermal shutdown, LSOC, or HSS detection circuit is tripped.
PGND	19	Power ground.

Copyright © 2017–2018, Texas Instruments Incorporated

6 Specifications

6.1 Absolute Maximum Ratings

T_A = 25°C (unless otherwise stated)(1)

		MIN	MAX	UNIT
	V_{IN} to P_{GND}	–0.3	20	V
	V_{IN} to V_{SW}	–0.3	20	V
	V_{IN} to V_{SW} (10 ns)		23	V
	V_{SW} to P_{GND}	–0.3	20	V
	V_{SW} to P_{GND} (10 ns)	–7	23	V
	V_{DD} to P_{GND}	–0.3	7	V
	EN/FCCM, TAO/FLT, LSET to P_{GND}(2)	–0.3	V_{DD} + 0.3	V
	IOUT, VOS, PWM to P_{GND}	–0.3	7	V
	REFIN	–0.3	3.6	V
	BOOT to BOOTR(2)	–0.3	V_{DD} + 0.3	V
	BOOT to P_{GND}	–0.3	30	V
T_J	Operating junction temperature	–55	150	°C
T_{stg}	Storage temperature	–55	150	°C

(1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the *Recommended Operating Conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
(2) Should not exceed 7 V.

6.2 ESD Ratings

			VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human-body model (HBM)	±2000	V
		Charged-device model (CDM)	±500	

6.3 Recommended Operating Conditions

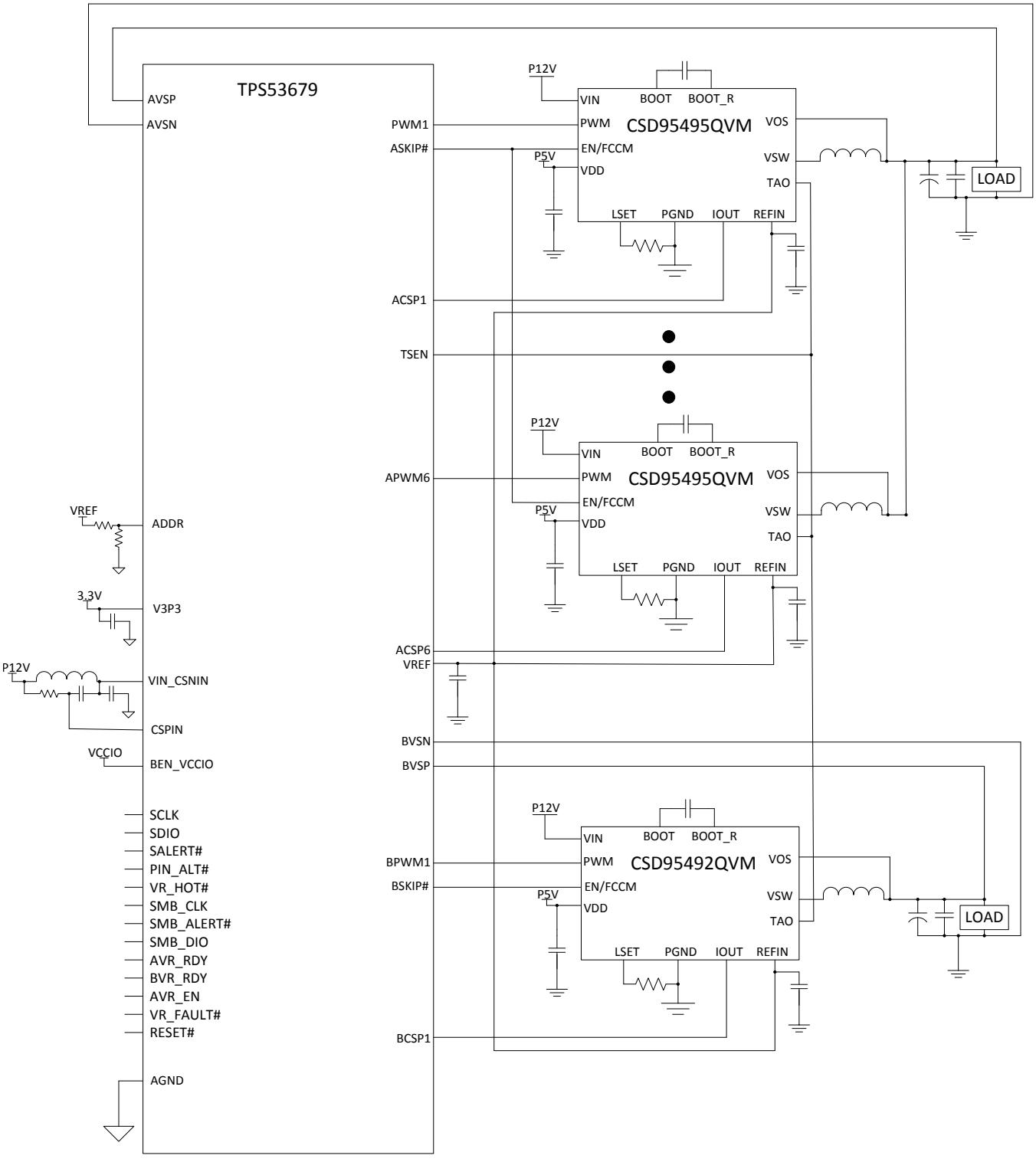
T_A = 25°C (unless otherwise stated)

			MIN	MAX	UNIT
V_{DD}	Driver supply voltage		4.5	5.5	V
V_{IN}	Input supply voltage(1)		4.5	16	V
V_{OUT}	Output voltage			5.5	V
PWM	PWM to P_{GND}			V_{DD}	V
I_{OUT}	Continuous output current	V_{IN} = 12 V, V_{DD} = 5 V, V_{OUT} = 1.2 V, f_{SW} = 500 kHz(2)		50	A
I_{OUT-PK}	Peak output current(3)			75	A
f_{SW}	Switching frequency	C_{BST} = 0.1 µF (min), V_{OUT} = 2.5 V (max)		1250	kHz
	On-time duty cycle	f_{SW} = 1 MHz		85%	
	Minimum PWM on-time		20		ns
	Operating junction temperature		–40	125	°C

(1) Operating at high V_{IN} can create excessive AC voltage overshoots on the switch node (V_{SW}) during MOSFET switching transients. For reliable operation, the switch node (V_{SW}) to ground voltage must remain at or below the *Absolute Maximum Ratings*.
(2) Measurement made with six 10-µF (TDK C3216X7R1C106KT or equivalent) ceramic capacitors across V_{IN} to P_{GND} pins.
(3) System conditions as defined in Note 2. Peak output current is applied for t_p = 50 µs.

Copyright © 2017–2018, Texas Instruments Incorporated

7 Application Schematic



Copyright © 2016, Texas Instruments Incorporated

Figure 1. Application Schematic

Note: The schematic in Figure 1 is a conceptual drawing only. Actual designs may require additional components not shown.

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の隅にある「*通知を受け取る*」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use.

TI E2E™オンライン・コミュニティ ***TIのE2E (Engineer-to-Engineer) コミュニティ。*** **エンジニア間の共同作業を促進するために開設されたものです。**e2e.ti.com**では、他のエンジニアに質問し、知識を共有し、アイディアを検討して、問題解決に役立てることができます。**

設計サポート ***TIの設計サポート*** **役に立つ**E2E**フォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。**

8.3 商標

NexFET, E2E are trademarks of Texas Instruments.
All other trademarks are the property of their respective owners.

8.4 静電気放電に関する注意事項

これらのデバイスは、限定的なESD（静電破壊）保護機能を内 蔵しています。保存時または取り扱い時は、MOSゲートに対す る静電破壊を防止するために、リード線同士をショートさせて おくか、デバイスを導電フォームに入れる必要があります。

8.5 Glossary

SLYZ022 — *TI Glossary*.

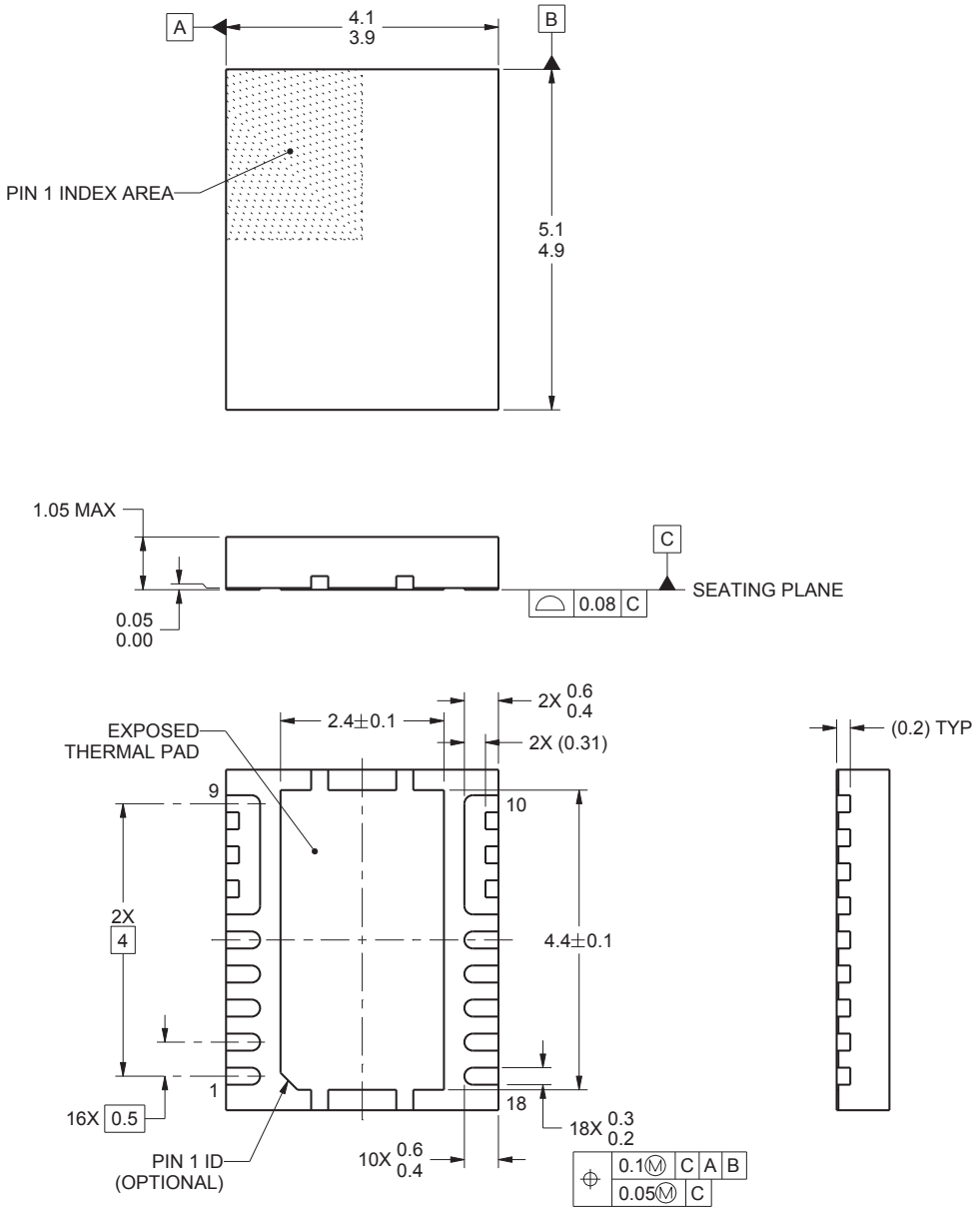
This glossary lists and explains terms, acronyms, and definitions.

Copyright © 2017–2018, Texas Instruments Incorporated

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

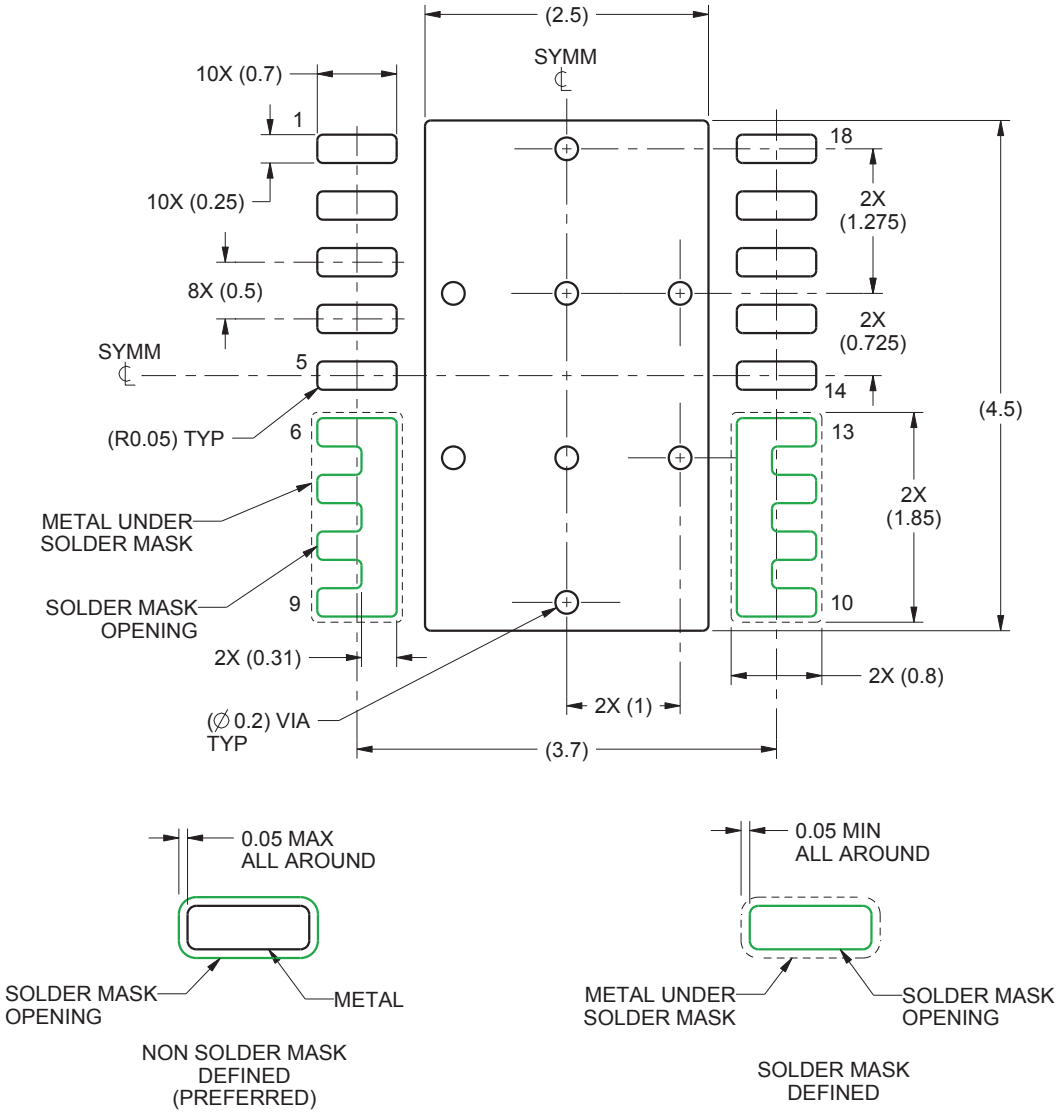
9.1 メカニカル図面



1. すべての直線寸法はミリメートル(mm)単位です。括弧内のすべての寸法は、参照のみを目的としたものです。寸法と許容誤差は、ASME Y14.5M準拠です。
2. この図面は、予告なく変更される可能性があります。
3. 熱特性および機械的な性能を実現するため、パッケージのサーマル・パッドはプリント基板にハンダ付けする必要があります。

Copyright © 2017–2018, Texas Instruments Incorporated

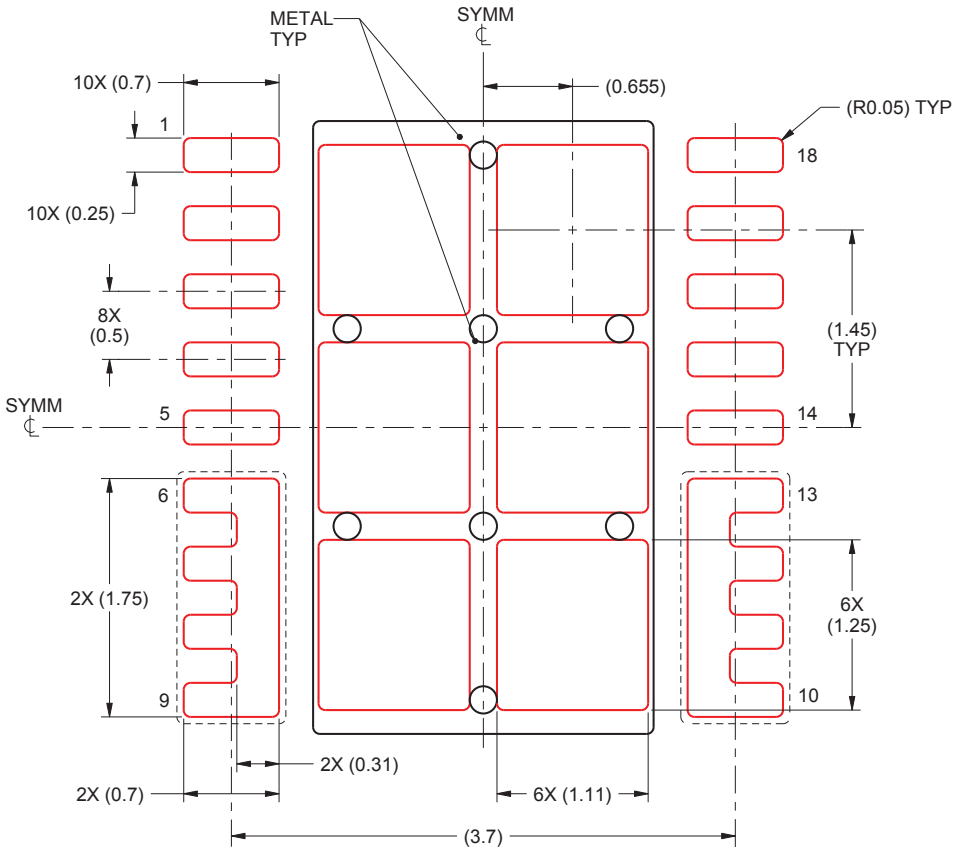
9.2 推奨されるPCBランド・パターン



1. すべての直線寸法はミリメートル(mm)単位です。括弧内のすべての寸法は、参照のみを目的としたものです。寸法と許容誤差は、ASME Y14.5M準拠です。
2. この図面は、予告なく変更される可能性があります。
3. このパッケージは、基板上のサーマル・パッドにハンダ付けされるよう設計されています。詳細については、『*QFN/SON PCBアタッチメント*』(SLUA271)を参照してください。

Copyright © 2017–2018, Texas Instruments Incorporated

9.3 推奨されるステンシル開口部



1. すべての直線寸法はミリメートル(mm)単位です。括弧内のすべての寸法は、参照のみを目的としたものです。寸法と許容誤差は、ASME Y14.5M準拠です。
2. この図面は、予告なく変更される可能性があります。
3. レーザ・カット・アパーチャの壁面を台形にし、角に丸みを付けることで、ペースト離れが良くなります。IPC-7525には、別の設計推奨事項が存在する可能性があります。

Copyright © 2017–2018, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CSD95495QVM	ACTIVE	VSON-CLIP	DMH	18	2500	RoHS-Exempt & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-55 to 150	95495QM	Samples
CSD95495QVMT	ACTIVE	VSON-CLIP	DMH	18	250	RoHS-Exempt & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-55 to 150	95495QM	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

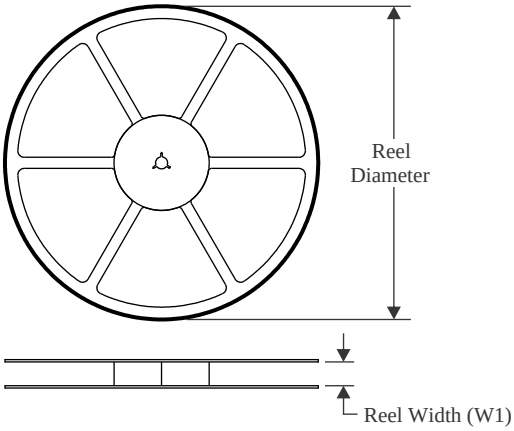
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

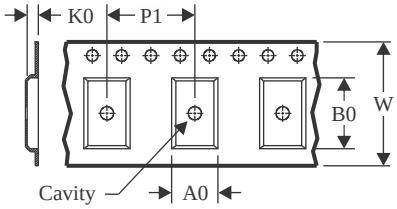
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

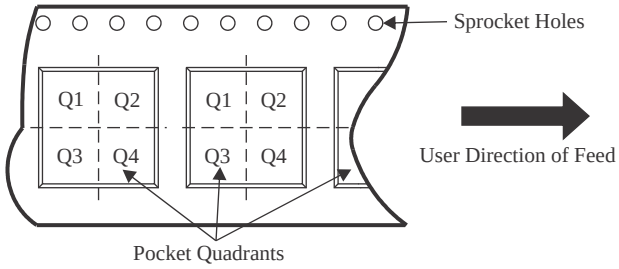


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

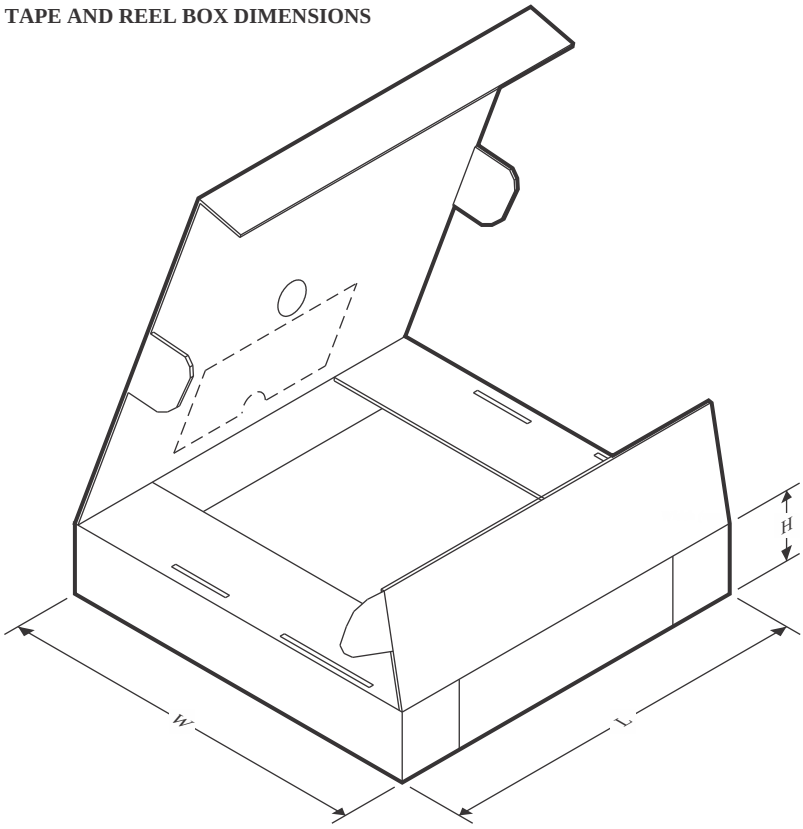
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD95495QVM	VSON-CLIP	DMH	18	2500	330.0	12.4	4.3	5.3	1.3	8.0	12.0	Q1
CSD95495QVMT	VSON-CLIP	DMH	18	250	180.0	12.4	4.3	5.3	1.3	8.0	12.0	Q1
CSD95495QVMT	VSON-CLIP	DMH	18	250	180.0	12.4	4.3	5.3	1.3	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD95495QVM	VSON-CLIP	DMH	18	2500	346.0	346.0	33.0
CSD95495QVMT	VSON-CLIP	DMH	18	250	210.0	185.0	35.0
CSD95495QVMT	VSON-CLIP	DMH	18	250	213.0	191.0	35.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス· デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated