

DRV8145-Q1 車載用 ハーフブリッジドライバ、電流センス機能および診断機能搭載

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C, T_A
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 動作範囲: 4.5V ~ 35V (絶対最大定格 40V)
- VQFN-HR パッケージの SPI(S) または HW(H) バリエーション: $R_{ON_LS} + R_{ON_HS}$: 16mΩ
- HTSSOP パッケージの SPI(P) バリエーション: $R_{ON_LS} + R_{ON_HS}$: 19mΩ
- I_{OUT} (最大値) = 46A
- 最大 125kHz の PWM 周波数動作、自動デッドタイム生成付き
- 設定可能なスルーレートと拡散スペクトラムクロックによる低い電磁干渉 (EMI)
- 統合型の電流センス (シャント抵抗が不要)
- I_{PROPI} ピンへの比例負荷電流出力
- 設定可能な電流レギュレーション
- フォルト応答 (ラッチまたは再試行) を設定可能な保護および診断機能
 - オフ状態とオン状態の両方で負荷診断を行い、開放負荷および短絡を検出
 - 電源 (VM) およびチャージポンプ (VCP) の電圧監視
 - 過電流保護
 - 過熱保護
 - nFAULT ピンによるフォルト通知
- 3.3V、5V のロジック入力をサポート
- 低いスリープ電流、25°C で 1μA (標準値)
- デバイスファミリの比較表

2 アプリケーション

- 車載用ブラシ付き DC モーター、ソレノイド
- ドアモジュール、ワイパーモジュール、トランク、シートモジュール
- ボディコントロールモジュール (BCM)
- 燃料、水、オイルポンプ
- オンボードチャージャ

3 概要

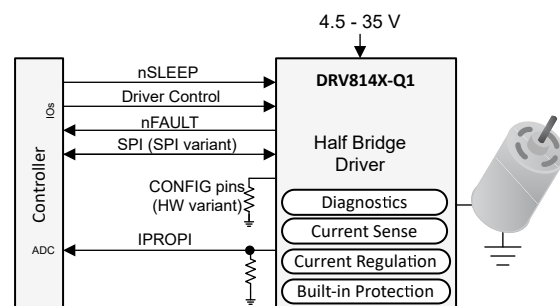
DRV814x-Q1 ファミリのデバイスは、完全に統合されたハーフブリッジドライバで、広範な車載用アプリケーションを対象としています。パワーパッケージに収容されたこのモノリシックデバイスファミリは、BiCMOS 大電力プロセステクノロジーノードを採用した設計であり、優れた電力処理能力と放熱特性を達成すると同時に、コンパクトなパッケージサイズ、使いやすいレイアウト、EMI 制御能力、高精度の電流センス、信頼性、診断機能も実現しています。このファミリには、同じピン機能でスケーラブルな R_{ON} (電流容量) のデバイスがあり、さまざまな負荷に対応できます。

このデバイスには、N チャネル ハーフブリッジ、チャージポンプレギュレータ、ハイサイド電流検出およびレギュレーション、電流比例出力、保護回路が内蔵されています。低消費電力のスリープモードにより、低い静止電流を実現できます。このデバイスは、電圧監視機能、負荷診断機能、さらに過電流および過熱に対する保護機能を搭載しています。フォルト状態は、nFAULT ピンにより通知されます。DRV8143 および DRV8145 には、3 種類のバリエーションが用意されています。- ハードワイヤードインターフェイス: HW (H) および 2 つの SPI インターフェイスバリエーション: SPI (P) と SPI (S) があり、SPI (P) はロジック電源が外部から供給され、SPI (S) はロジック電源が内部で生成されます。DRV8144 には、次の 2 つのバリエーションだけが用意されています。SPI (S) および HW (H)。SPI インターフェイスバリエーションは、デバイス構成とフォルト監視において、より高い柔軟性があります。

製品情報⁽¹⁾

部品番号	パッケージ	本体サイズ (公称)
DRV8145-Q1	VQFN-HR (16)	3.5mm × 5.5mm
DRV8145-Q1	HTSSOP (28)	4.4mm × 9.7mm

- (1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照



概略回路図



目次

1 特長.....	1	7.2 機能ブロック図.....	30
2 アプリケーション.....	1	7.3 機能説明.....	33
3 概要.....	1	7.4 プログラミング - SPI バリエーションのみ.....	43
4 デバイスの比較.....	3	8 レジスタ・マップ - SPI バリエーションのみ.....	48
5 ピン構成および機能.....	5	8.1 ユーザー レジスタ.....	49
5.1 HW バリエーション.....	5	9 アプリケーションと実装.....	55
5.2 SPI バリエーション.....	6	9.1 アプリケーション情報.....	55
6 仕様.....	9	9.2 代表的なアプリケーション.....	56
6.1 絶対最大定格.....	9	9.3 電源に関する推奨事項.....	58
6.2 ESD 定格.....	9	9.4 レイアウト.....	59
6.3 推奨動作条件.....	10	10 デバイスおよびドキュメントのサポート.....	61
6.4 熱に関する情報.....	10	10.1 ドキュメントのサポート.....	61
6.5 電気的特性.....	10	10.2 ドキュメントの更新通知を受け取る方法.....	61
6.6 SPI のタイミング要件.....	18	10.3 コミュニティ・リソース.....	61
6.7 スイッチング波形.....	20	10.4 商標.....	61
6.8 代表的特性.....	26	11 改訂履歴.....	61
7 詳細説明.....	29	12 メカニカル、パッケージ、および注文情報.....	61
7.1 概要.....	29		

4 デバイスの比較

に DRV814x-Q1 ファミリーに属するデバイスの R_{ON} およびパッケージの違いをまとめています。

表 4-1. デバイスの比較

部品番号 ⁽¹⁾	(LS + HS) R_{ON}	I_{OUT} 最大値	パッケージ	本体サイズ (公称)	バリエーション
DRV8143-Q1	42m Ω	20A	VQFN-HR (14)	3mm × 4.5mm	HW (H)、SPI (S)
DRV8143-Q1	49m Ω	20A	HVSSOP (28)	3mm × 7.3mm	HW (H)、SPI (P)
DRV8144-Q1	23.6m Ω	30A	VQFN-HR (16)	3mm × 6mm	HW (H)、SPI (S)
DRV8145-Q1	16m Ω	46A	VQFN-HR (16)	3.5mm × 5.5mm	HW (H)、SPI (S)
DRV8145-Q1	19m Ω	46A	HTSSOP (28)	4.4mm × 9.7mm	SPI (P)

(1) これは DRV8145-Q1 の製品データシートです。他の情報については、他のデバイス バリエーションのデータシートを参照してください。

に DRV814x-Q1 ファミリーの **SPI** および **HW** インターフェイス バリエーションの機能の違いをまとめています。一般に、SPI バリエーションでは、より多くの構成変更、ブリッジ制御オプション、診断フィードバック、冗長ドライバ シャットオフ、ピン FMEA の改良や追加機能が提供されています。

さらに、SPI バリエーションには、**SPI (P)** バリエーションと **SPI (S)** バリエーションの 2 つのオプションがあります。SPI (P) バリエーションでは、デバイスのロジック電源は、外部の低電圧 5V 電源から VDD ピン経由で供給するようになっています。SPI (S) バリエーションでは、この電源は内部的に VM ピンから生成されます。SPI (P) バリエーションは、この外部ロジック電源によって、VM 低電圧過渡時にデバイスのブラウン アウト (デバイスのリセット) を回避します。

注

DRV8144-Q1 は SPI (P) バリエーションでは使用できません。

表 4-2. SPI バリエーションと HW バリエーションの比較

機能	HW (H) バリエーション	SPI (S) バリエーション	SPI (P) バリエーション
ブリッジ制御	ピンのみ	個別のピンと、 ピン の状態を示すレジスタビットの両方またはいずれか一方 (「レジスタ - ピン制御」を参照)	
スリープ機能	nSLEEP ピンを通じて利用可能		該当なし
デバイスへの外部ロジック電源	非対応	非対応	VDD ピンにより対応
フォルト コマンドのクリア	nSLEEP ピンでのリセット パルス	SPI の CLR_FAULT コマンド	
スルーレート	6 レベル	8 レベル	
過電流保護 (OCP)	最大の設定に固定	スレッショルドには 3 つの選択肢、フィルタ時間には 4 つの選択肢	
ITRIP レギュレーション	5 レベル、ディセーブル & 固定 TOFF 時間あり	7 レベル、ディセーブル & 表示あり、プログラム可能な TOFF 時間あり	
各フォルト応答を再試行またはラッチのいずれかに設定	非対応、すべてラッチまたはすべて再試行	対応	
詳細なフォルト ログとデバイス ステータス フィードバック	非対応、nFAULT ピンの監視が必要	対応、nFAULT ピン監視も可能	
VM 過電圧	固定	スレッショルドに 4 つの選択肢	
オン状態 (アクティブ) 診断	非対応	ハイスайд 負荷に対応	
スペクトラム拡散クロック (SSC)	非対応	対応	

表 4-3. ファミリー内のデバイス間の区別

デバイス	パッケージの記号表記	DEVICE_ID レジスタ
DRV8143H-Q1	8143H	該当なし
DRV8144H-Q1	8144H	該当なし
DRV8145H-Q1	8145H	該当なし

表 4-3. ファミリ内のデバイス間の区別 (続き)

デバイス	パッケージの記号表記	DEVICE_ID レジスタ
DRV8143S-Q1	8143S	0 x BA
DRV8144S-Q1	8144S	0 x CA
DRV8145S-Q1	8145S	0 x DA
DRV8143P-Q1	8143P	0 x BE
DRV8145P-Q1	8145P	0 x DE

5 ピン構成および機能

5.1 HW バリエント

5.1.1 VQFN-HR (16) パッケージ

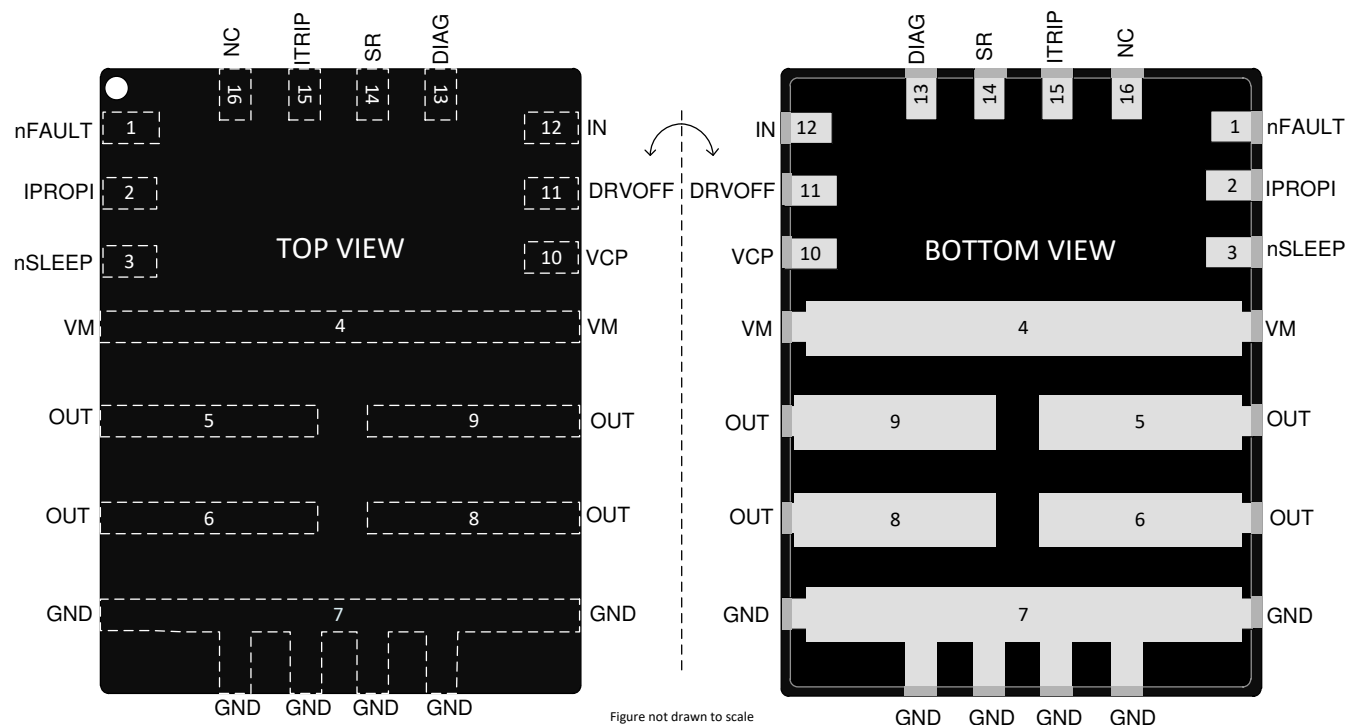


図 5-1. DRV8145H-Q1 HW バリエント、VQFN-HR (16) パッケージ

表 5-1. 端子機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	nFAULT	OD	コントローラへのフォルト通知。詳細については、「 デバイス構成 」セクションの nFAULT を参照してください。
2	IPROPI	I/O	ドライバ負荷電流アナログ・フィードバック。詳細については、「 デバイス構成 」セクションの IPROPI を参照してください。
3	nSLEEP	I	スリープ用コントローラ入力ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。
4	VM	P	電源。このピンはモーターの電源です。このピンは、0.1µF のセラミック・コンデンサとパルク・コンデンサを使用して GND にバイパスします。
5, 6, 8, 9	OUT	P	ハーフブリッジ出力。このピンは、モーターまたは負荷に接続します。デバイスの電流能力に対応するため、他の OUT ピン (合計 4 本) と組み合わせる必要があります。
7	GND	G	グラウンド・ピン
10	VCP	P	蓄電コンデンサ用チャージポンプ・ピン。6.3V、1µF のコンデンサを VM 電源に接続します。
11	DRVOFF	I	ブリッジを Hi-Z にするためのコントローラ入力ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。
12	IN	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。
13	DIAG	I	負荷タイプ通知用のデバイス構成ピン。詳細については、「 デバイス構成 」セクションの DIAG を参照してください。
14	SR	I	スルーレート制御用のデバイス構成ピン。詳細については、「 デバイス構成 」セクションの スルーレート を参照してください。

表 5-1. 端子機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
15	ITRIP	I	ハイサイド電流制限の ITRIP レベル用のデバイス構成ピン。詳細については、「 デバイス構成 」セクションの ITRIP を参照してください。
16	NC	I	内部接続なし

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グランド、P = 電源、OD = オープン・ドレイン出力、PP = プッシュプル出力

5.2 SPI バリエント

5.2.1 HTSSOP (28) パッケージ

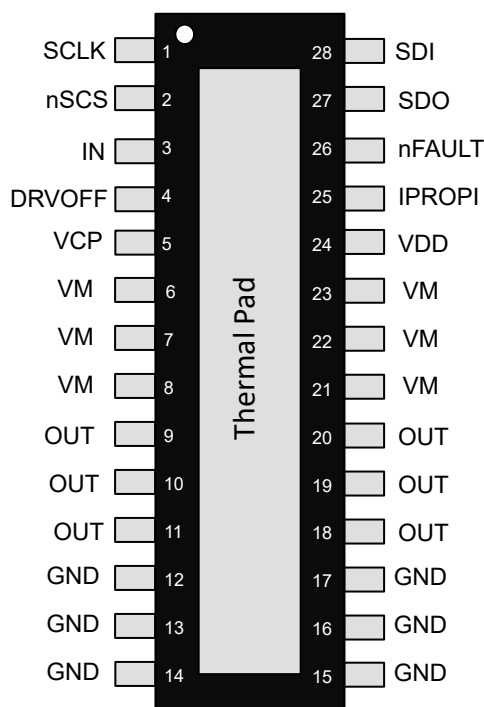


Figure not drawn to scale

SPI (P) variant

図 5-2. DRV8145P-Q1 SPI (P) バリエント、HTSSOP (28) パッケージ

表 5-2. ピン機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	SCLK	I	SPI - シリアル・クロック入力。
2	nSCS	I	SPI - チップ・セレクト。このピンはアクティブ Low で、シリアル・インターフェイス通信を有効にします。
3	IN	I	ブリッジ動作用のコントローラ入力ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。
4	DRVOFF	I	ブリッジ・ハイ・インピーダンス用のコントローラ入力ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。
5	VCP	P	蓄電コンデンサ用チャージ・ポンプ・ピン。6.3V、1μF のコンデンサを VM 電源に接続します。
6, 7, 8, 21, 22, 23	VM	P	電源。このピンはモーターの電源電圧です。デバイスの電流能力に対応するため、他の VM ピン (合計 6 本) と組み合わせる必要があります。このピンを 0.1μF のセラミック・コンデンサとバルク・コンデンサを使用して GND にバイパスします。

表 5-2. ピン機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
9、10、11、 18、19、20	OUT	P	ハーフブリッジ出力。このピンをモーターまたは負荷に接続します。デバイスの電流能力に対応するため、他の OUT ピン (合計 6 本) と組み合わせる必要があります。
12、13、14、 15、16、17	GND	G	グラウンド・ピン。デバイスの電流能力に対応するため、他の GND ピン (合計 6 本) と組み合わせる必要があります。
24	VDD	P	デバイスのロジック電源。
25	IPROPI	I/O	ドライバ負荷電流アナログ・フィードバック。詳細については、「デバイス構成」セクションの IPROPI を参照してください。
26	nFAULT	OD	コントローラへのフォルト通知。詳細については、「デバイス構成」セクションの nFAULT を参照してください。
27	SDO	PP	SPI - シリアル・データ出力。データは、SCLK の立ち上がりエッジで更新されます。
28	SDI	I	SPI - シリアル・データ入力。データは、SCLK の立ち下がりエッジでキャプチャされます。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グラウンド、P = 電源、OD = オープン・ドレイン出力、PP = プッシュプル出力

5.2.2 VQFN-HR (16) パッケージ

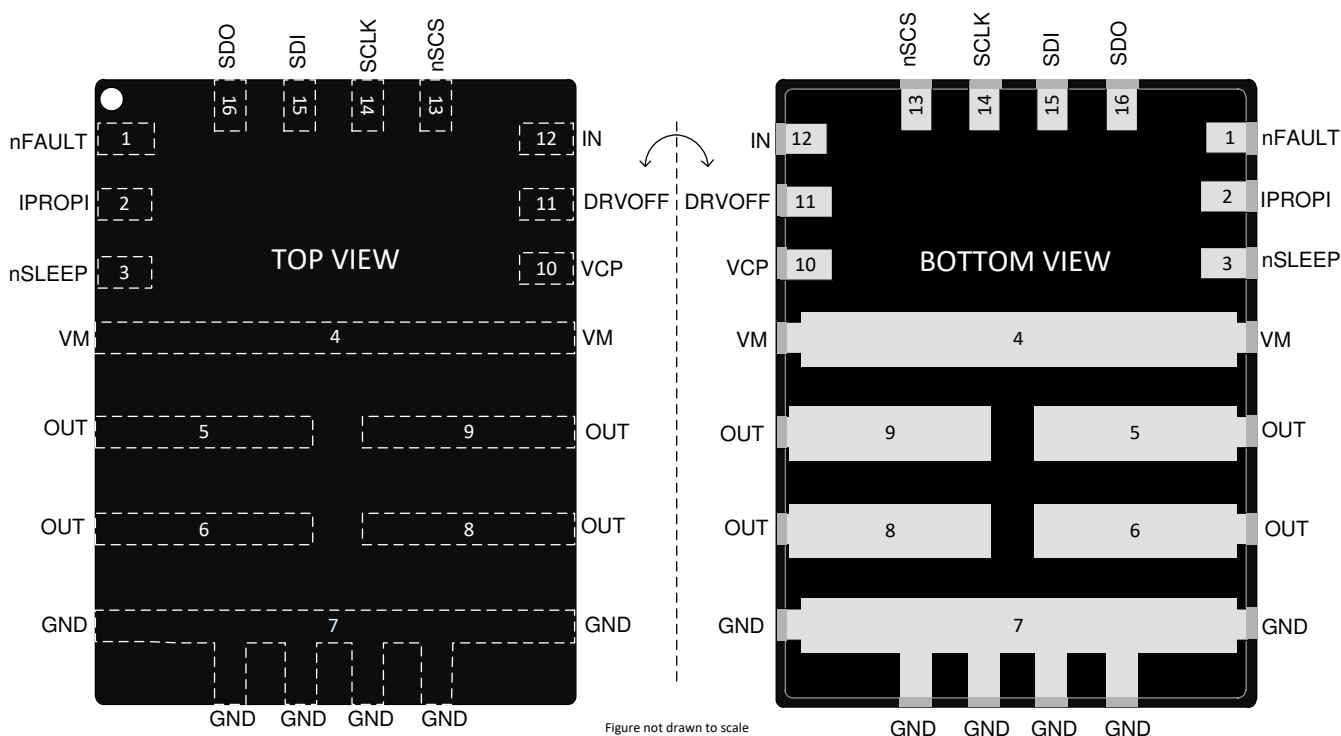


図 5-3. DRV8145S-Q1 SPI (S) バリエーション、VQFN-HR (16) パッケージ

表 5-3. ピン機能

ピン		タイプ ⁽¹⁾	説明
番号	名称		
1	nFAULT	OD	コントローラへのフォルト通知。詳細については、「デバイス構成」セクションの nFAULT を参照してください。
2	IPROPI	I/O	ドライバ負荷電流アナログ・フィードバック。詳細については、「デバイス構成」セクションの IPROPI を参照してください。
3	nSLEEP	I	スリープ用コントローラ入力ピン。詳細については、「ブリッジ制御」セクションを参照してください。このピンの電圧が SDO の VIO ロジック・レベルにもなります。

表 5-3. ピン機能 (続き)

ピン		タイプ ⁽¹⁾	説明
番号	名称		
4	VM	P	電源。このピンはモーターの電源電圧です。このピンを 0.1μF のセラミック・コンデンサとパルク・コンデンサを使用して GND にバイパスします。
5、6、8、9	OUT	P	ハーフブリッジ出力。このピンをモーターまたは負荷に接続します。デバイスの電流能力に対応するため、他の OUT ピン (合計 4 本) と組み合わせる必要があります。
7	GND	G	グラウンド・ピン
10	VCP	P	蓄電コンデンサ用チャージ・ポンプ・ピン。6.3V、1μF のコンデンサを VM 電源に接続します。
11	DRVOFF	I	ブリッジ・ハイ・インピーダンス用のコントローラ入力ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。
12	IN	I	ブリッジ動作のコントローラ入力ピン。詳細については、「 ブリッジ制御 」セクションを参照してください。
13	nSCS	I	SPI - チップ・セレクト。このピンはアクティブ Low で、シリアル・インターフェイス通信を有効にします。
14	SCLK	I	SPI - シリアル・クロック入力。
15	SDI	I	SPI - シリアル・データ入力。データは、SCLK の立ち下がりがエッジでキャプチャされます。
16	SDO	PP	SPI - シリアル・データ出力。データは、SCLK の立ち上がりエッジで更新されます。

(1) I = 入力、O = 出力、I/O = 入力 / 出力、G = グラウンド、P = 電源、OD = オープン・ドレイン出力、PP = プッシュプル出力

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
電源ピン電圧	VM	-0.3 ⁽³⁾	40	V
電源過渡電圧ランブ	VM		2	V/μs
チャージ・ポンプ・ピン電圧	VCP	$V_{VM} - 0.3$	$V_{VM} + 7$	V
出力ピン電圧	OUT	-0.9	$V_{VM} + 0.9$	V
出力ピン電流	OUT	内部で制限 ⁽²⁾		A
ドライバ・ディセーブル・ピン電圧	DRVOFF	-0.3	40	V
ロジック I/O 電圧	IN、nFAULT	-0.3	5.75	V
HW バリエント - 構成ピン電圧	ITRIP、SR、DIAG	-0.3	5.75	V
アナログ・フィードバック・ピン電圧	IPROPI	-0.3	5.75	V
スリープ・ピン電圧 (SPI (P) バリエントは該当なし)	nSLEEP	-0.3	40	V
SPI I/O 電圧 - SPI バリエント	SDI、SDO、nSCS、SCLK	-0.3	5.75	V
SPI (P) バリエント - ロジック電源	VDD	-0.3	5.75	V
SPI (P) バリエント - ロジック電源過渡電圧ランブ	VDD		5	V/μs
周囲温度、 T_A		-40	125	°C
接合部温度、 T_J		-40	150	°C
保存温度、 T_{stg}		-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということの意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) デバイスの過電流および過熱保護機能により制限されます
- (3) 外部コンポーネントのサポートにより、ISO 7637 過渡パルスのテスト中に、この制限に対する短時間の違反を許容できます

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾	VM、OUT、GND	±4000
		HBM ESD 分類レベル 2 準拠	その他すべてのピン	±2000
		デバイス帯電モデル (CDM)、AEC Q100-011CDM	角のピン	±750
		ESD 分類レベル C4B 準拠	その他のピン	±500

- (1) AEC Q100-002 では、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_{VM}	電源電圧	VM	4.5	35 ⁽¹⁾	V
V_{VDD}	SPI (P) バリエーション - ロジック電源電圧	VDD	4.5	5.5	V
V_{VCP}	チャージ・ポンプ・ピン電圧	VCP	V_{VM}	$V_{VM}+5.5$	V
V_{LOGIC}	ロジック・ピン電圧	IN, nSLEEP, DRVOFF, nFAULT	0	5.5	V
f_{PWM}	PWM 周波数	IN	0	125	kHz
V_{CONFIG}	HW バリエーション - 構成ピン電圧	ITRIP, SR, DIAG	0	5.5	V
V_{IPROPI}	アナログ・フィードバック電圧	IPROPI	0	5.5	V
V_{SPI_IOS}	SPI (S) バリエーション - SPI ピン電圧	SDI, SDO, nSCS, SCLK	0	$V_{nSLEEP} + 0.5$	V
	SPI (P) バリエーション - SPI ピン電圧	SDI, SDO, nSCS, SCLK	0	$V_{VDD} + 0.5$	V
T_A	動作時周囲温度		-40	125	°C
T_J	動作時接合部温度		-40	150	°C

(1) 過電流保護機能は、28V を超える電圧で、短絡インダクタンスが 1μH 未満の場合、OUT から VM または GND への短絡をサポートしていません。

6.4 熱に関する情報

アプリケーションに関する使用例については、「[過渡熱インピーダンス](#)」表を参照してください。

熱評価基準 ⁽¹⁾		HTSSOP パッケージ	VQFN-HR パッケージ	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	27.7	41.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	13.8	14.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.1	5.5	°C/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	0.6	0.3	°C/W
Ψ_{JB}	接合部から基板への熱特性パラメータ	7.1	5.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (下面) への熱抵抗	0.9	N/A	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション・レポートを参照してください。

6.5 電気的特性

4.5V (立ち下がり) $\leq V_{VM} \leq 35V$, $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ (特に記述のない限り)

SPI (P) バリエーションのみ: $4.5V \leq V_{VDD} \leq 5.5V$ (特に記述のない限り)

6.5.1 電源 & 初期化

[ウェークアップ遷移波形](#)を参照してください

パラメータ	テスト条件	最小値	代表値	最大値	単位
V_{VM_REV}	逆電流時の電源ピン電圧	$I_{VM} = -5A$ 、電源が供給されていない状態のデバイス	1.4		V
I_{VMQ}	スリープ状態の VM 電流	$V_{VM} = 13.5V$, $V_{nSLEEP} = 0V$ または $V_{VDD} < POR_{VDD_FALL}$, $T_A = 25^{\circ}\text{C}$	1		μA
		$V_{VM} = 13.5V$, $V_{nSLEEP} = 0V$ または $V_{VDD} < POR_{VDD_FALL}$, $T_A = 125^{\circ}\text{C}$		13	μA
I_{VMS}	スタンバイ状態の VM 電流	$V_{VM} = 13.5V$	3	5	mA
I_{VDD}	アクティブ状態の VDD 電流	SPI (P) バリエーション		10	mA
t_{RESET}	リセットパルスのフィルタ時間	nSLEEP ピンでのリセット信号、HW (H) バリエーション	5	20	μs

パラメータ		テスト条件	最小値	代表値	最大値	単位
t_{SLEEP}	スリープ コマンドのフィルタ時間	nSLEEP ピンでのスリープ信号、HW (H) バリエーション	40		120	μs
t_{SLEEP_SPI}	スリープ コマンドのフィルタ時間	nSLEEP ピンでのスリープ信号、SPI (S) バリエーション	5		20	μs
t_{WAKEUP}	ウェークアップ コマンドのフィルタ時間	nSLEEP ピンでのウェークアップ信号、HW (H) バリエーションおよび SPI (S) バリエーション		10		μs
t_{COM}	VM または VDD 電源ピンによるウェークアップまたはパワーアップ後、通信が利用可能になるまでの時間	nSLEEP ピンでのウェークアップ信号または電源サイクル - $V_{VM} > V_{MPOR_RISE}$ または $V_{VDD} > V_{DDPOR_RISE}$			400	μs
t_{READY}	nSLEEP ピンによるウェークアップまたは VM または VDD 電源ピンによるパワーアップ後、ドライバが動作可能になるまでの時間	nSLEEP ピンでのウェークアップ信号または電源サイクル - $V_{VM} > V_{MPOR_RISE}$ または $V_{VDD} > V_{DDPOR_RISE}$ 、VCP ピンに $1\mu F$ のコンデンサ			3.5	ms
V_{VCP}	チャージポンプレギュレータ電圧	$V_{VM} > 7V$		$V_{VM}+5$		V
f_{VCP}	平均チャージポンプスイッチング周波数			20		MHz

6.5.2 ロジック I/O

パラメータ		測定条件	最小値	標準値	最大値	単位
V_{IL_nSLEEP}	ロジック Low 入力電圧	nSLEEP ピン			0.65	V
V_{IH_nSLEEP}	ロジック High 入力電圧	nSLEEP ピン	1.55			V
V_{IHYS_nSLEEP}	入力ヒステリシス	nSLEEP ピン		200		mV
V_{IL}	ロジック Low 入力電圧	DRVOFF、IN の各ピン			0.7	V
V_{IH}	ロジック High 入力電圧	DRVOFF、IN の各ピン	1.5			V
V_{IHYS}	入力ヒステリシス	DRVOFF、IN の各ピン		100		mV
R_{PD_nSLEEP}	内部で nSLEEP を GND ヘブルダウンする抵抗	最小 V_{IL} レベルで測定	100		400	k Ω
R_{PU}	内部で DRVOFF を VDD ヘブルアップする抵抗 (逆電流はブロック)	最小 V_{IH} レベルで測定	200		550	k Ω
R_{PD}	内部で IN を GND ヘブルダウンする抵抗	最大 V_{IL} レベルで測定	200		500	k Ω
I_{nFAULT_PD}	nFAULT ピンが Low にアサートされたとき GND ヘ流れ込むシンク電流	$V_{nFAULT} = 0.3V$	5			mA

6.5.3 SPI I/O

パラメータ		測定条件	最小値	標準値	最大値	単位
R_{PU_nSCS}	内部で nSCS を VDD ヘブルアップする抵抗 (逆電流はブロック)	最小 V_{IH} レベルで測定	200		500	k Ω
R_{PD_SPI}	内部で SDI、SCLK を GND ヘブルダウンする抵抗	最大 V_{IL} レベルで測定	150		500	k Ω
V_{IL}	ロジック Low 入力電圧	SDI、SCLK、nSCS の各ピン			0.7	V
V_{IH}	ロジック High 入力電圧	SDI、SCLK、nSCS の各ピン	1.5			V
V_{IHYS}	入力ヒステリシス	SDI、SCLK、nSCS の各ピン		100		mV
V_{OL_SDO}	ロジック Low 出力電圧	SDO $\rightarrow$ 0.5mA シンク			0.4	V
V_{OH_SDO}	SPI (S) バリエーションのロジック High 出力電圧	SDO から 0.5mA ソース、 $V_{nSLEEP} = 5V$ 、 $V_{VM} > 7V$	4.1			V
		SDO から 0.5mA ソース、 $V_{nSLEEP} = 3.3V$ 、 $V_{VM} > 5V$	2.7			V
	SPI (P) バリエーションのロジック High 出力電圧	SDO から 0.5 mA ソース、 $V_{VDD} = 5V$	4.5			V

パラメータ		測定条件	最小値	標準値	最大値	単位
V _{OH_SDO_NL}	無負荷時の SDO のロジック High 出力電圧、SPI (S) バリエーションでのみ有効	SDO からの電流なし、V _{nSLEEP} = 5V、V _{VM} > 7V			5.5	V
		SDO からの電流なし、V _{nSLEEP} = 3.3V、V _{VM} > 5V			3.8	V

6.5.4 構成ピン - HW バリエーションのみ

パラメータ		測定条件	最小値	標準値	最大値	単位
<i>ITRIP</i> 、 <i>SR</i> 、および <i>DIAG</i> の 6 レベル設定						
R _{LVL1OF6}	6 段階の レベル 1	GND に接続			10	Ω
R _{LVL2OF6}	6 段階の レベル 2	GND との間に ±10% の抵抗	7.4	8.2	9	kΩ
R _{LVL3OF6}	6 段階の レベル 3	GND との間に ±10% の抵抗	19.8	22	24.2	kΩ
R _{LVL4OF6}	6 段階の レベル 4	GND との間に ±10% の抵抗	42.3	47	51.7	kΩ
R _{LVL5OF6}	6 段階の レベル 5	GND との間に ±10% の抵抗	90	100	110	kΩ
R _{LVL6OF6}	6 段階の レベル 6	ハイ・インピーダンス (接続なし)	250			kΩ

6.5.5 パワー FET パラメータ

V_{VM} = 13.5V で測定

パラメータ		測定条件	最小値	標準値	最大値	単位
R _{HS_ON}	ハイサイド FET オン抵抗、HTSSOP パッケージ	I _{OUT} = 18A、T _J = 25°C		9.5		mΩ
		I _{OUT} = 18A、T _J = 150°C			19	mΩ
	ハイサイド FET オン抵抗、VQFN-HR パッケージ	I _{OUT} = 18A、T _J = 25°C		8		mΩ
		I _{OUT} = 18A、T _J = 150°C			15.2	mΩ
R _{LS_ON}	ローサイド FET オン抵抗、HTSSOP パッケージ	I _{OUT} = 18A、T _J = 25°C		9.5		mΩ
		I _{OUT} = 18A、T _J = 150°C			19	mΩ
	ローサイド FET オン抵抗、VQFN-HR パッケージ	I _{OUT} = 18A、T _J = 25°C		8		mΩ
		I _{OUT} = 18A、T _J = 150°C			15.2	mΩ
V _{SD}	ボディ・ダイオードが順バイアスされたときのローサイドおよびハイサイド FET ソース・ドレイン電圧	I _{OUT} = ±18A (両方向)	0.4	0.9	1.5	V
R _{Hi-Z}	スリープまたはスタンバイ状態での GND に対する OUT 抵抗	V _{OUTx} = V _{VM} = 13.5V	0.4		23	kΩ

6.5.6 ハイサイド還流のスイッチング・パラメータ

負荷 = 1.5mH / 4.7Ω、V_{VM} = 13.5V、*ハイサイド還流*波形を参照

パラメータ		テスト条件	最小値	代表値	最大値	単位
SR _{LSOFF}	出力電圧立ち上がり時間、10%～90%	SR = 3'b000 または LVL2		1.5		V/μs
		SR = 3'b001 (SPI のみ)		4.7		V/μs
		SR = 3'b010 (SPI のみ)		9.6		V/μs
		SR = 3'b011 または LVL3		14.4		V/μs
		SR = 3'b100 または LVL4		20.6		V/μs
		SR = 3'b101 または LVL1		26.5		V/μs
		SR = 3'b110 または LVL6		37.9		V/μs
		SR = 3'b111 または LVL5		47.1		V/μs
t _{PD_LSOFF}	出力電圧上昇時の伝搬時間	SR = 3'b000 または LVL2		1.5		μs
		SR = 3'b001 (SPI のみ)		0.9		μs
		SR = 3'b010 (SPI のみ)		0.8		μs
		SR = 3'b011 または LVL3		0.7		μs
		SR = 3'b100 および 3'b101 または LVL4 および LVL1		0.6		μs
		SR = 3'b110 および 3'b111 または LVL6 および LVL5		0.5		μs
t _{DEAD_LSOFF}	出力電圧上昇時のデッドタイム	すべての SR		0.9		μs
SR _{LSON}	出力電圧立ち下がり時間、90%～10%	SR = 3'b000 または LVL2		1.5		V/μs
		SR = 3'b001 (SPI のみ)		4.7		V/μs
		SR = 3'b010 (SPI のみ)		9.6		V/μs
		SR = 3'b011 または LVL3		14.4		V/μs
		SR = 3'b100 または LVL4		20.6		V/μs
		SR = 3'b101 または LVL1		26.5		V/μs
		SR = 3'b110 または LVL6		37.9		V/μs
		SR = 3'b111 または LVL5		47.1		V/μs
t _{PD_LSON}	出力電圧下降時の伝搬時間	SR = 3'b000 または LVL2		1.7		μs
		SR = 3'b001 (SPI のみ)		0.9		μs
		SR = 3'b010 (SPI のみ)		0.7		μs
		SR = 3'b011 または LVL3		0.6		μs
		SR = 3'b100 または LVL4		0.4		μs
		SR = 3'b101 または LVL1		0.35		μs
		SR = 3'b110 および 3'b111 または LVL6 および LVL5		0.3		μs

パラメータ		テスト条件	最小値	代表値	最大値	単位
t _{DEAD_LSON}	出力電圧下降時のデッドタイム	SR = 3'b000 または LVL2		2.7		μs
		SR = 3'b001 (SPI のみ)		1.2		μs
		SR = 3'b010 (SPI のみ)		0.9		μs
		SR = 3'b011 または LVL3		0.8		μs
		その他すべての SR		0.6		μs
Match _{SR} LS	出力電圧の立ち上がりと立ち下がりのスルーレートのマッチング	すべての SR	-20		+20	%

6.5.7 ローサイド還流のスイッチング・パラメータ

負荷 = 1.5mH / 4.7Ω、 $V_{VM} = 13.5V$ 、ローサイド還流波形を参照

パラメータ		テスト条件	最小値	代表値	最大値	単位
SR _{HSON}	出力電圧立ち上がり時間、10%～90%	SR = 3'b000 または LVL2		1.7		V/μs
		SR = 3'b001 (SPI のみ)		4.4		V/μs
		SR = 3'b010 (SPI のみ)		6.1		V/μs
		SR = 3'b011 または LVL3		10.8		V/μs
		SR = 3'b100 または LVL4		17.2		V/μs
		SR = 3'b101 または LVL1		23.2		V/μs
		SR = 3'b110 または LVL6		34.1		V/μs
		SR = 3'b111 または LVL5		43.8		V/μs
t _{PD_HSON}	出力電圧上昇時の伝搬時間	SR = 3'b000 または LVL2		4.3		μs
		SR = 3'b001 (SPI のみ)		2.2		μs
		SR = 3'b010 (SPI のみ)		1.6		μs
		SR = 3'b011 または LVL3		1.3		μs
		その他すべての SR		1.1		μs
t _{DEAD_HSON}	出力電圧上昇時のデッドタイム	SR = 3'b000 または LVL2		3.5		μs
		SR = 3'b001 (SPI のみ)		5.2		μs
		SR = 3'b010 (SPI のみ)		1		μs
		その他すべての SR		0.5		μs
SR _{HISOFF}	出力電圧立ち下がり時間:90%～10%	SR = 3'b000 または LVL2		2		V/μs
		SR = 3'b001 (SPI のみ)		5.4		V/μs
		SR = 3'b010 (SPI のみ)		10.4		V/μs
		SR = 3'b011 または LVL3		15.1		V/μs
		SR = 3'b100 または LVL4		21.2		V/μs
		SR = 3'b101 または LVL1		27.1		V/μs
		SR = 3'b110 または LVL6		38.5		V/μs
		SR = 3'b111 または LVL5		48.5		V/μs
t _{PD_HSOFF}	出力電圧下降時の伝搬時間	すべての SR		0.3		μs
t _{DEAD_HSOFF}	出力電圧下降時のデッドタイム	すべての SR		0.23		μs
t _{BLANK}	電流センス出力が安定するまでの、出力スルーイング後の電流レギュレーション・ブランキング時間 (LS 還流についてのみ有効)	SR = 3'b000 または LVL2		10.8		μs
		SR = 3'b001 または 3'b010 (SPI のみ)		3.6		μs
		その他すべての SR		2.7		μs

6.5.8 IPROPI および ITRIP レギュレーション

パラメータ		測定条件	最小値	標準値	最大値	単位
A _I PROPI	電流スケーリング係数、HTSSOP パッケージ			5980		A/A
	電流スケーリング係数、VQFN-HR パッケージ			6230		A/A
A _I ERR	電流スケーリング係数	4A ≤ I _{OUT} < 21.8A	-5		+5	%
		1A ≤ I _{OUT} ≤ 4A	-20		+20	%
		0.4A ≤ I _{OUT} ≤ 1A	-50		+50	%
Offset _I PROPI	無負荷電流時の IPROPI のオフセット電流	I _{OUT} = 0A			15	μA
BW _I PROPI	IPROPI 内部センス回路の帯域幅	IPROPI に外付けコンデンサなし。	400			kHz
V _I PROPI_LIM	IPROPI の内部クランプ電圧		4.5		5.5	V
V _I TRIP_LVL	ITRIP レギュレーションで TOFF サイクルをトリガするための V _I PROPI の電圧制限	ITRIP = 3'b001 または LVL2	1.06	1.18	1.3	V
		ITRIP = 3'b010 (SPI のみ)	1.27	1.41	1.55	V
		ITRIP = 3'b011 (SPI のみ)	1.49	1.65	1.82	V
		ITRIP = 3'b100 または LVL3	1.78	1.98	2.18	V
		ITRIP = 3'b101 または LVL4	2.08	2.31	2.54	V
		ITRIP = 3'b110 または LVL5	2.38	2.64	2.9	V
		ITRIP = 3'b111 または LVL6	2.67	2.97	3.27	V
t _{OFF}	ITRIP レギュレーション - オフ時間	TOFF = 2'b00 (SPI のみ)	16	20	25	μs
		TOFF = 2'b01 (SPI)。HW についてはこの選択肢のみ	24	30	36	μs
		TOFF = 2'b10 (SPI のみ)	33	40	48	μs
		TOFF = 2'b11 (SPI のみ)	41	50	61	μs

6.5.9 過電流保護 (OCP)

パラメータ		測定条件	最小	標準	最大	単位
I _{OCP_HS}	ハイサイドの過電流保護スレッショルド	OCP_SEL = 2'b00 (SPI)、HW についてはこの選択肢のみ	64		128	A
		OCP_SEL = 2'b10 (SPI のみ)	48		98	A
		OCP_SEL = 2'b01 (SPI のみ)	32		68	A
I _{OCP_LS}	ローサイドの過電流保護スレッショルド	OCP_SEL = 2'b00 (SPI)、HW についてはこの選択肢のみ	64		128	A
		OCP_SEL = 2'b10 (SPI のみ)	48		98	A
		OCP_SEL = 2'b01 (SPI のみ)	32		68	A
t _{OCP}	過電流保護グリッチ除去時間	TOCP_SEL = 2'b00 (SPI)、HW についてはこの選択肢のみ	4.5	6	7.3	μs
	過電流保護グリッチ除去時間	TOCP_SEL = 2'b01 (SPI のみ)	2.2	3	4.1	μs
	過電流保護グリッチ除去時間	TOCP_SEL = 2'b10 (SPI のみ)	1.1	1.5	2.3	μs
	過電流保護グリッチ除去時間	TOCP_SEL = 2'b11 (SPI のみ)	0.15	0.2	0.4	μs

6.5.10 過熱保護 (TSD)

パラメータ		測定条件	最小	標準	最大	単位
T _{TSD}	サーマル・シャットダウン温度		155	170	185	°C
T _{HYS}	サーマル・シャットダウン・ヒステリシス			30		°C
t _{TSD}	サーマル・シャットダウン・グリッチ除去時間		10	12	19	μs

6.5.11 電圧監視

パラメータ	測定条件	最小値	標準値	最大値	単位
V _{VMOV}	立ち上がり時の VM 過電圧スレッシュホールド	VMOV_SEL = 2'b00 (SPI)、HW バリエーションについてはこの選択肢のみ	33.6	37	V
		VMOV_SEL = 2'b01 (SPI のみ)	28	31	V
		VMOV_SEL = 2'b10 (SPI のみ)	18	21	V
V _{VMOV_HYS}	VM 過電圧ヒステリシス		0.6		V
t _{VMOV}	VM 過電圧グリッチ除去時間	10	12	19	μs
V _{VMUV}	立ち下がり時の VM 低電圧スレッシュホールド	4.2		4.5	V
V _{VMUV_HYS}	VM 低電圧ヒステリシス		200		mV
t _{VMUV}	VM 低電圧グリッチ除去時間	8	12	19	μs
VM _{POR_FALL}	デバイスが POR に入る VM 電圧	HW および SPI (S) バリエーションに適用		3.6	V
VM _{POR_RISE}	デバイスが POR から出る VM 電圧	HW および SPI (S) バリエーションに適用		3.9	V
VDD _{POR_FALL}	デバイスが POR に入る VDD 電圧	SPI (P) バリエーションに適用		3.5	V
VDD _{POR_RISE}	デバイスが POR から出る VDD 電圧	SPI (P) バリエーションに適用		3.8	V
V _{CPUV}	立ち下がり時のチャージ・ポンプ低電圧スレッシュホールド		V _{VM} +2.5		V
t _{CPUV}	チャージ・ポンプ・グリッチ除去時間	10	12	19	μs

6.5.12 負荷監視

パラメータ		テスト条件	最小値	代表値	最大値	単位
オフ状態診断 (OLP)						
R _{S_GND}	短絡として検出される OUT と GND の間の抵抗				1	KΩ
R _{S_VM}	短絡として検出される OUT と VM の間の抵抗				1	KΩ
R _{OPEN_LS}	開放として検出される OUT と GND の間の抵抗	ローサイド負荷に有効	2			KΩ
R _{OPEN_HS}	開放として検出される OUT と VM の間の抵抗	ハイサイド負荷に有効、V _{VM} = 13.5V	10			KΩ
V _{OLP_REFH}	OLP コンパレータ基準電圧 High			2.65		V
V _{OLP_REFL}	OLP コンパレータ基準電圧 Low			2		V
R _{OLP_PU}	OLP 時に内部で OUT を VDD へプルアップする抵抗	V _{OUTx} = V _{OLP_REFH} + 0.1V		1		KΩ
R _{OLP_PD}	OLP 時に内部で OUT を GND へプルダウンする抵抗	V _{OUTx} = V _{OLP_REFL} - 0.1V		1		KΩ
SPI バリエーションのみ - オン状態診断 (OLA)						
I _{PD_OLA}	ハイサイド還流のデッドタイム中に OUT から GND へ流れ込む内部シンク電流		0.36		25	mA
V _{OLA_REF}	OLA で使用される VM に対するコンパレータ基準電圧			0.25		V

6.5.13 フォルトの再試行設定

再試行設定の波形を参照してください

パラメータ		測定条件	最小	標準	最大	単位
t _{RETRY}	自動ドライバ再試行時間	フォルト応答を再試行に設定	4.1	5	6.1	ms

パラメータ		測定条件	最小	標準	最大	単位
t _{CLEAR}	過電流イベントからの自動クリアに必要なフォルトのない動作時間	フォルト応答を再試行に設定	85		200	μs
t _{CLEAR_TSD}	過熱イベントからの自動クリアに必要なフォルトのない動作時間	フォルト応答を再試行に設定	4.2		6.7	ms

6.5.14 過渡熱インピーダンスと電流能力

熱シミュレーションに基づく情報

表 6-1. 過渡熱インピーダンス (R_{θJA}) および電流能力 - ハーフ・ブリッジ

部品番号	パッケージ	R _{θJA} [°C/W] ⁽¹⁾				電流 [A] ⁽²⁾					
						PWM なし ⁽³⁾				PWM あり ⁽⁴⁾	
		0.1 秒	1 秒	10 秒	DC	0.1 秒	1 秒	10 秒	DC	10 秒	DC
DRV8145-Q1	VQFN-HR	3.8	8.8	13.1	29.7	33.5	22.0	18.1	12.0	13.6	7.9
DRV8145-Q1	HTSSOP	2.6	6.5	11.5	28.3	36.3	22.9	17.2	11.0	13.6	7.6

(1) 40mm x 40mm x 1.6mm の 4 層 PCB (最上層および最下層は 2 オンスの銅箔、内層は 1 オンスの銅箔、サーマル・ビアはドリル径 0.3mm で 0.025mm の銅メッキ、最小ビア・ピッチ 1mm) を使用した熱シミュレーションによる。

(2) 周囲温度 85°C、接合部温度上昇が最大 150°C での過渡電流能力推定値

(3) 導通損失 (I²R) のみを考慮

(4) スイッチング損失は、次の式で概算されます。

$$P_{SW} = V_{VM} \times I_{Load} \times f_{PWM} \times V_{VM}/SR, \text{ただし } V_{VM} = 13.5V, f_{PWM} = 20kHz, SR = 23V/\mu s \quad (1)$$

6.6 SPI のタイミング要件

		最小値	代表値	最大値	単位
t _{SCLK}	SCLK 最小周期 ⁽¹⁾	100			ns
t _{SCLKH}	SCLK 最小 HIGH 時間	50			ns
t _{SCLKL}	SCLK 最小 LOW 時間	50			ns
t _{HI_nSCS}	nSCS 最小 HIGH 時間	300			ns
t _{SU_nSCS}	nSCS 入力セットアップ時間	25			ns
t _{H_nSCS}	nSCS 入力ホールド時間	25			ns
t _{SU_SDI}	SDI 入力データ・セットアップ時間	25			ns
t _{H_SDI}	SDI 入力データ・ホールド時間	25			ns
t _{EN_SDO}	SDO イネーブル遅延時間 ⁽¹⁾			35	ns
t _{DIS_SDO}	SDO ディセーブル遅延時間 ⁽¹⁾			100	ns

(1) SPI (S) バリエーション: SDO 遅延時間は、SDO の外部負荷が 5pF の場合にのみ有効です。SDO の負荷が 20pF の場合、SDO にさらに遅延があるため、SCLK 最小時間は 25% 増加し、SCLK は 最高 8MHz に制限されます。SPI (P) バリエーションには、このような制限はありません。

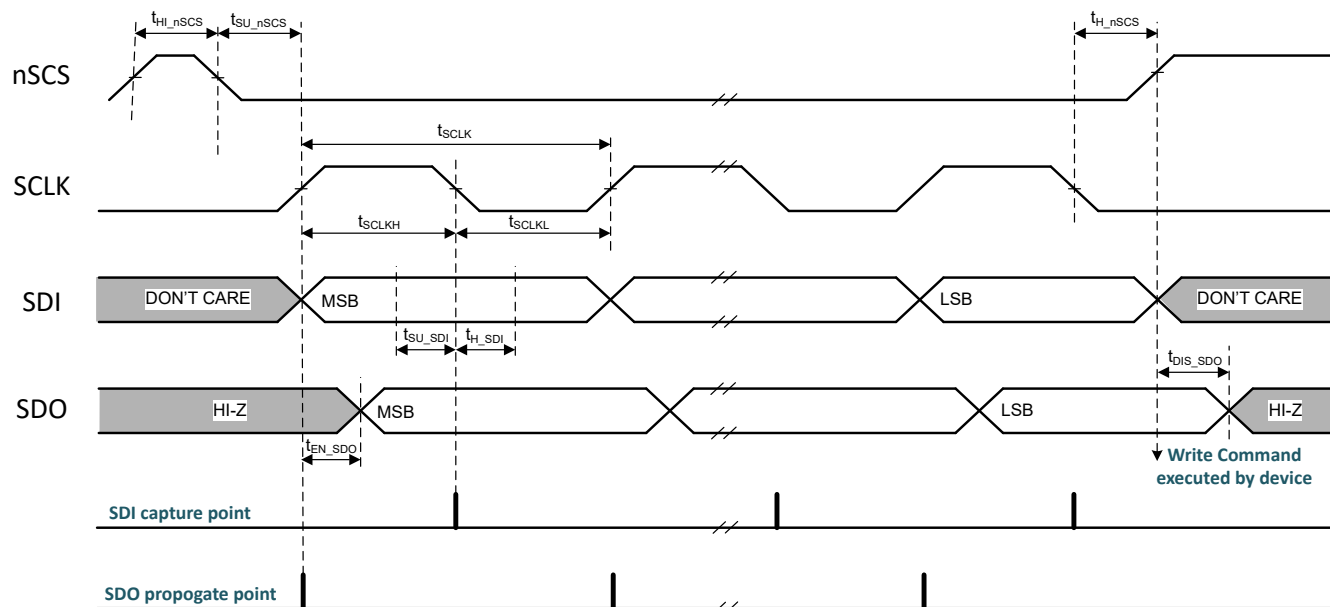


図 6-1. SPI ペリフェラル・モードのタイミング定義

6.7 スイッチング波形

このセクションでは、外部 PWM または内部 ITRIP レギュレーションにより発生する、誘導性負荷に対するスイッチング遷移を示します。

6.7.1.1 ハイサイド還流

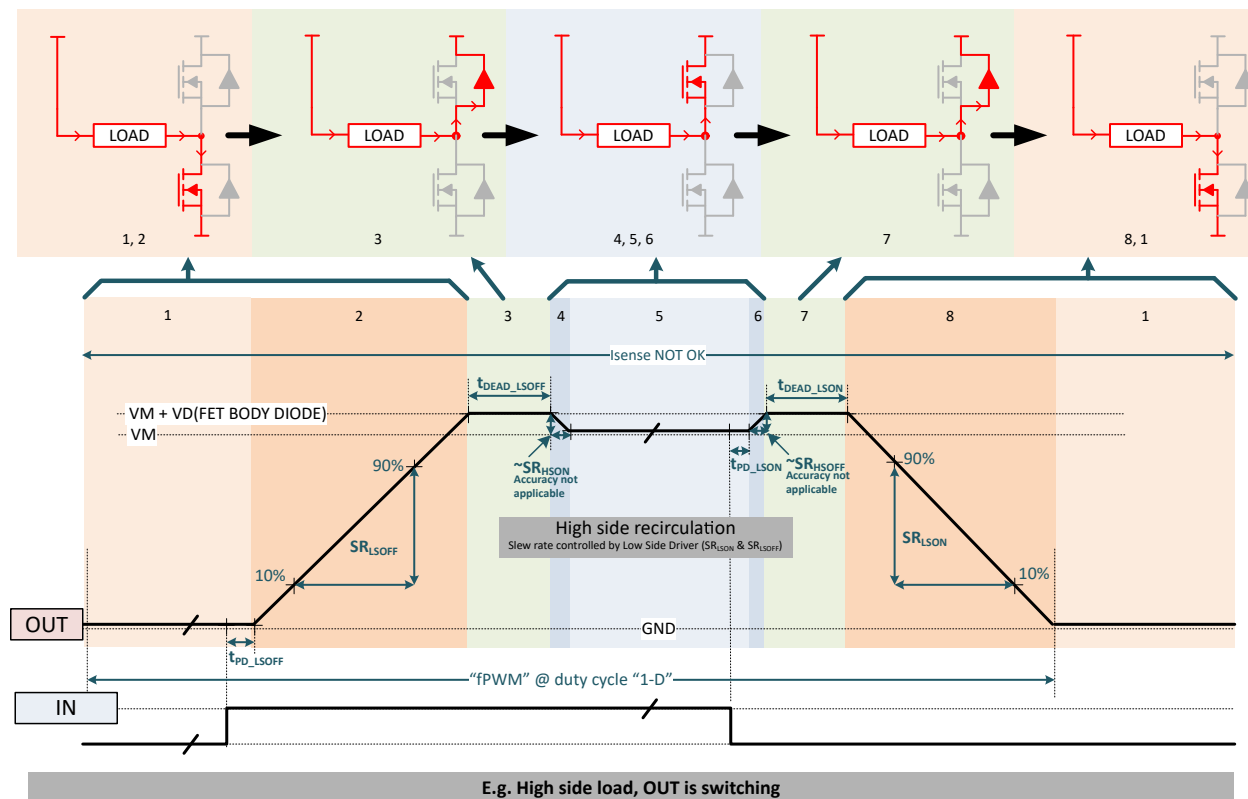


図 6-2. ハイサイド還流による出力スイッチング遷移

6.7.1.2 ローサイド還流

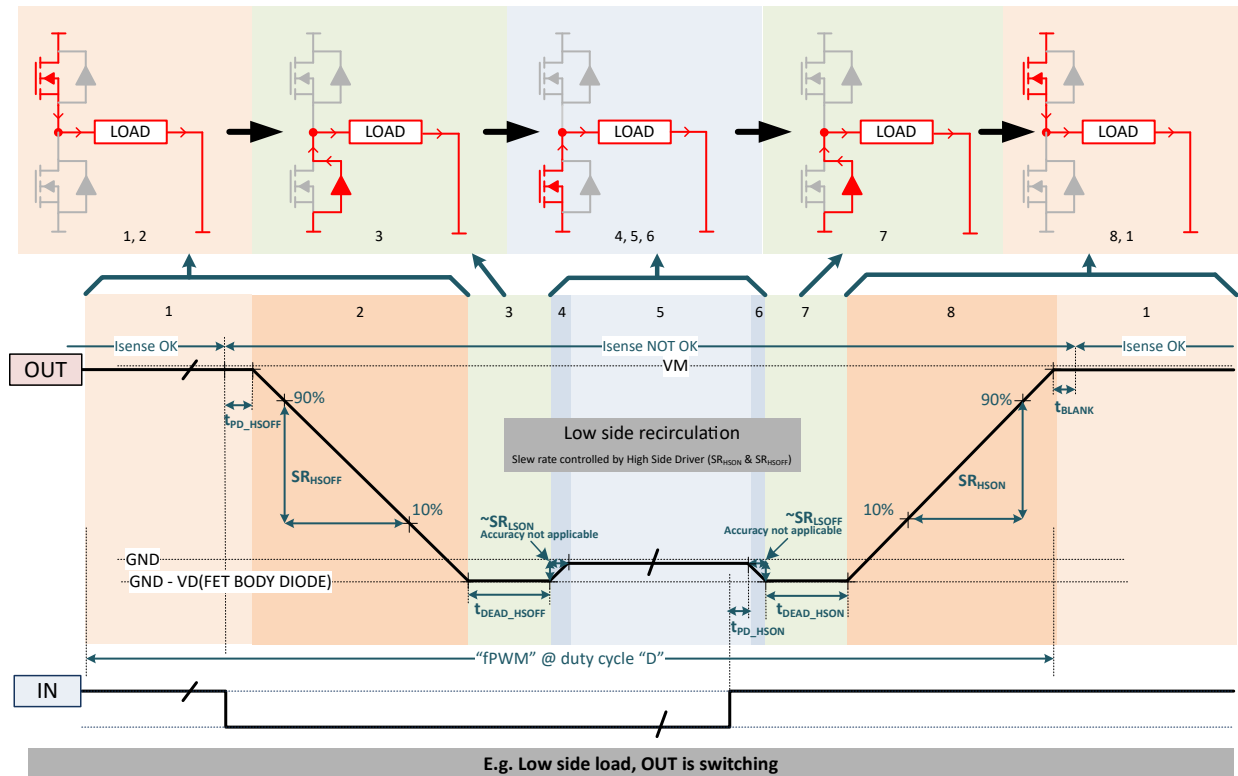


図 6-3. ローサイド還流による出力スイッチング遷移

6.7.2 ウェークアップ遷移

6.7.2.1 HW バリエント

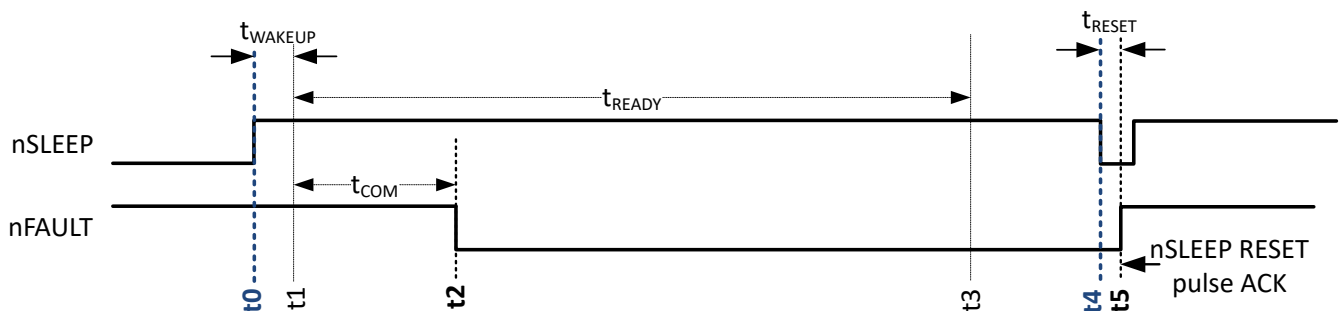


図 6-4. HW バリエントのスリープ状態からスタンバイ状態へのウェークアップ遷移

ウェークアップ遷移時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: コントローラ - nSLEEP を HIGH にアサートして、デバイス・ウェークアップを開始
- t1: デバイス内部状態 - デバイスがウェークアップ・コマンドを登録 (スリープ状態終了)
- t2: デバイス - nFAULT を LOW にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): コントローラ - nSLEEP リセット・パルスを発行、デバイスのウェークアップをアクノリッジ
- t5: デバイス - nSLEEP リセット・パルスに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

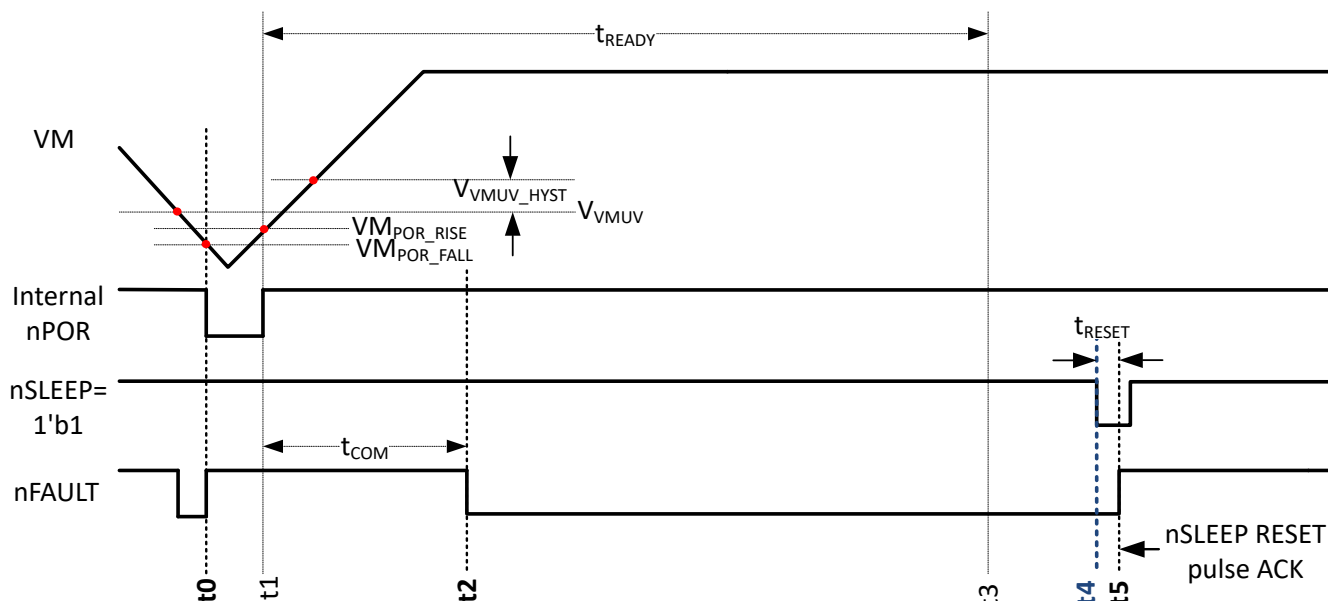


図 6-5. HW バリエントのパワーアップからスタンバイ状態への遷移

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: デバイス内部状態 - 内部 LDO が低電圧になることにより POR をアサート (VM に依存)
- t1: デバイス内部状態 - 内部 LDO 電圧が回復することにより POR をアサート解除
- t2: デバイス - nFAULT を LOW にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): コントローラ - nSLEEP リセット・パルスを発行、デバイスのパワーアップをアクノリッジ
- t5: デバイス - nSLEEP リセット・パルスに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

6.7.2.2 SPI バリエント

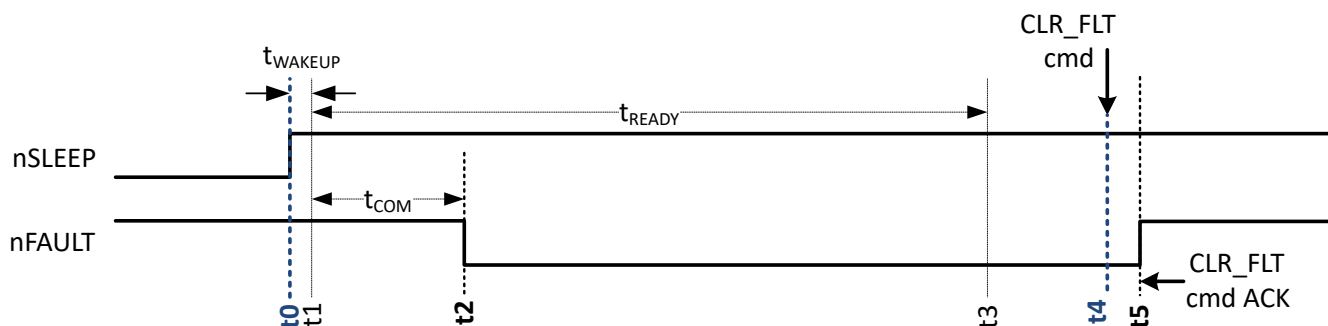


図 6-6. SPI (S) バリエントのスリープ状態からスタンバイ状態へのウェークアップ遷移

ウェークアップ遷移時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: コントローラ - nSLEEP を High にアサートして、デバイス・ウェークアップを開始
- t1: デバイス内部状態 - デバイスがウェークアップ・コマンドを登録 (スリープ状態終了)
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): コントローラ - CLR_FLT コマンドを発行 (SPI 経由)、デバイスのウェークアップをアクノリッジ

- t5: デバイス - nSLEEP リセット・パルスに対するアクリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

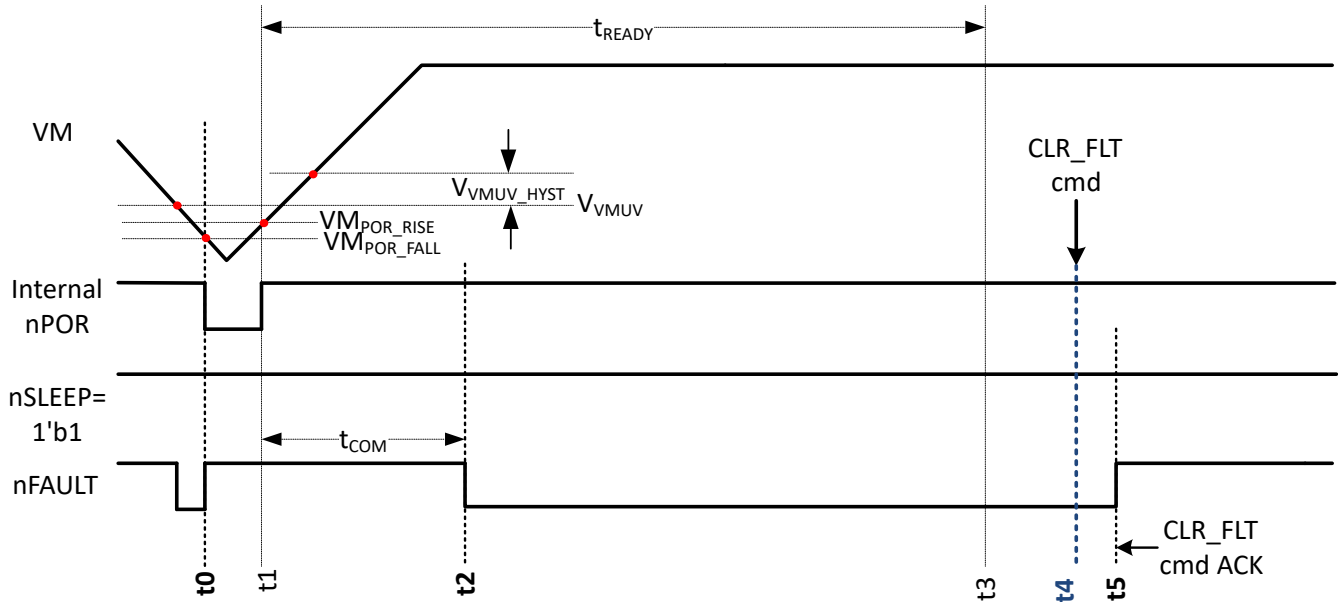


図 6-7. SPI (S) バリエーションのパワーアップからスタンバイ状態への遷移

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: デバイス内部状態 - 内部 LDO が低電圧になることにより POR をアサート (VM に依存)
- t1: デバイス内部状態 - 内部 LDO 電圧が回復することにより POR をアサート解除
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): コントローラ - CLR_FLT コマンドを発行 (SPI 経由)、デバイスのパワーアップをアクリッジ
- t5: デバイス - nSLEEP リセット・パルスに対するアクリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

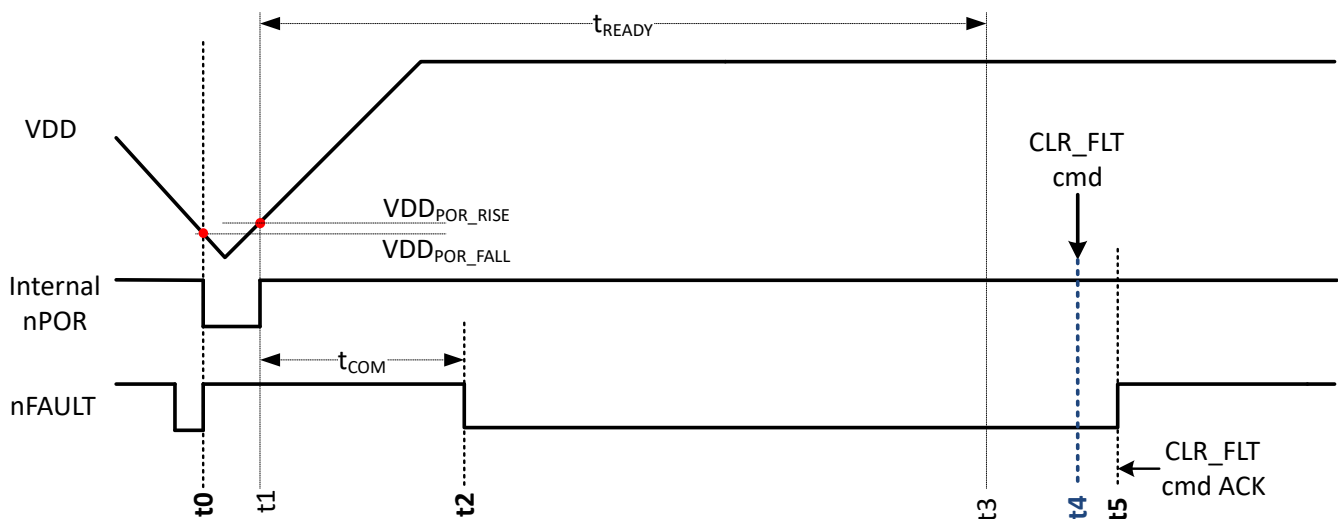


図 6-8. SPI (P) バリエーションのパワーアップからスタンバイ状態への遷移

パワーアップ時のコントローラとデバイス間のハンドシェイクは次のとおりです。

- t0: デバイス内部状態 - VDD (外部電源) が低電圧になることにより POR をアサート
- t1: デバイス内部状態 - VDD (外部電源) の電圧が回復することにより POR をアサート解除
- t2: デバイス - nFAULT を Low にアサートして、ウェークアップをアクノリッジしデバイスが通信可能であることを通知
- t3: デバイス内部状態 - 初期化完了
- t4 (t2 以後の任意の時刻): コントローラ - CLR FLT コマンドを発行 (SPI 経由)、デバイスのパワーアップをアクノリッジ
- t5: デバイス - nSLEEP リセット・パルスに対するアクノリッジとして、nFAULT をアサート解除。デバイスはスタンバイ状態

6.7.3 フォルト応答の遷移

6.7.3.1 再試行設定

SPI バリエーションおよび HW バリエーションの両方に有効

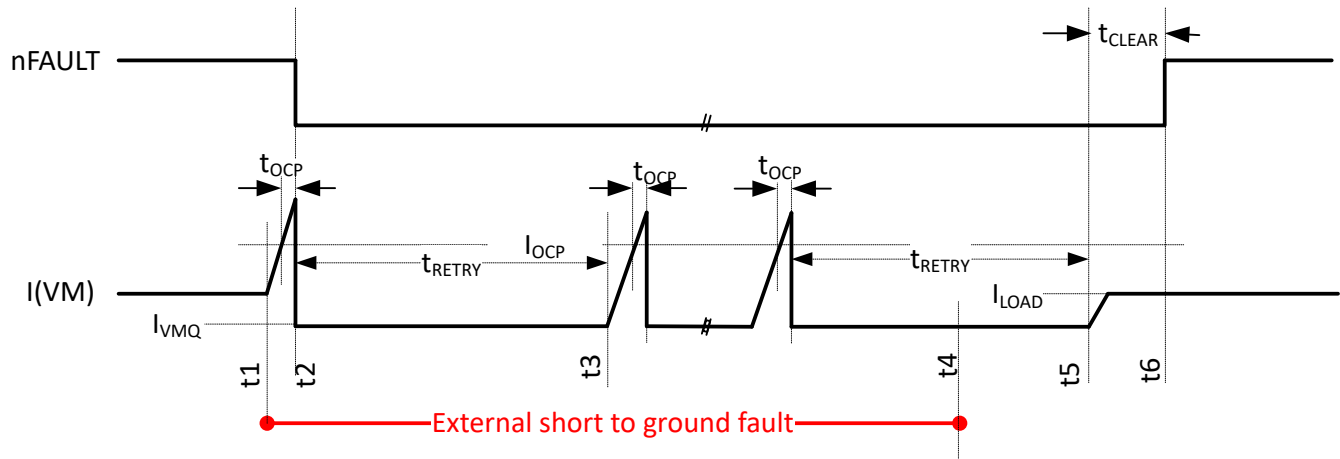


図 6-9. 再試行設定のフォルト応答 (OUT がグランドに短絡してハイサイドで OCP が発生した状況を表示)

再試行設定での短絡発生と回復のシナリオ:

- t1: 外部短絡が発生します。
- t2: t_{OCP} 後に OCP (過電流保護) フォルトが確認され、出力をディセーブルし、フォルトを通知するため nFAULT を LOW にアサートします。
- t3: t_{RETRY} 後にデバイスは自動的に再試行を実施します。出力を短時間オンにして短絡発生を確認すると、そのつど、 t_{OCP} 後に直ちにディセーブルされます。この間 nFAULT は、LOW にアサートされたままです。ユーザーがドライバの機能を無効にするまで、または外部ショートが解消されるまで、図に示すように、このサイクルを繰り返します。TSD (サーマル・シャットダウン) イベントの場合、自動再試行時間は、熱ヒステリシスに基づく冷却状況に依存することに注意してください。
- t4: 外部短絡が解消されます。
- t5: デバイスは自動再試行を実施します。ただし、今回は異常が発生しないので、デバイスは出力をイネーブルのまま保持します。
- t6: t_{CLEAR} 期間にわたってフォルトのない動作が確認されると、nFAULT はアサート解除されます。
- SPI バリエーションのみ - CLR_FLT コマンドが実行されるまで、フォルト・ステータスはラッチされたままです。

出力がグランドへ短絡してハイサイド OCP フォルト検出が発生した場合、このタイプの短絡を示すために、出力がディセーブルになっている間は IPROPI ピンが引き続き V_{IPROPI_LIM} 電圧にプルアップされていることに注意してください。これは、グランドへの短絡フォルトと他のフォルトとを区別するために、特に HW (H) バリエーションにおいて役立ちます。

6.7.3.2 ラッチ設定

SPI バリエーションおよび HW バリエーションの両方に有効

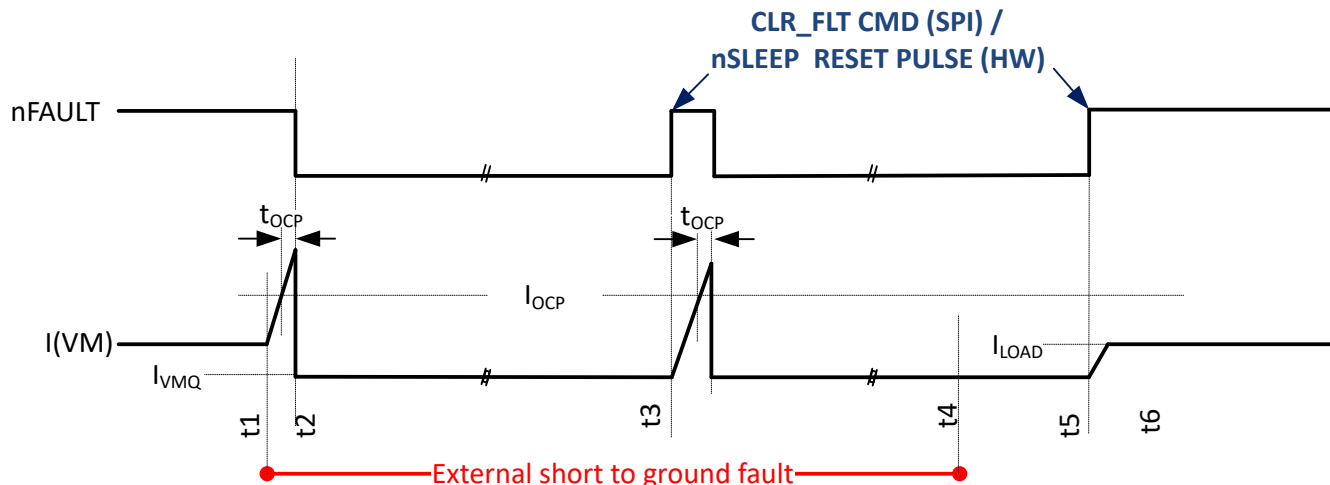


図 6-10. ラッチ設定のフォルト応答 (OUT がグランドに短絡してハイサイドで OCP が発生した状況を表示)

ラッチ設定での短絡発生と回復のシナリオ:

- t1: 外部短絡が発生します。
- t2: t_{OCP} 後に OCP (過電流保護) フォルトが確認され、出力をディセーブルし、フォルトを通知するため nFAULT を LOW にアサートします。
- t3: CLR_FLT コマンド (SPI バリエーション) または nSLEEP リセット・パルス (HW バリエーション) がコントローラにより発行されます。nFAULT はアサート解除され、出力がイネーブルになります。OCP フォルトが再度検出され、nFAULT を LOW にアサートし、出力をディセーブルにします。
- t4: 外部短絡が解消されます。
- t5: CLR_FLT コマンド (SPI バリエーション) または nSLEEP リセット・パルス (HW バリエーション) がコントローラにより発行されます。nFAULT はアサート解除され、出力がイネーブルになります。通常動作を再開します。
- SPI バリエーションのみ - CLR_FLT コマンドが実行されるまで、フォルト・ステータスはラッチされたままです。

出力がグランドへ短絡してハイサイド OCP フォルト検出が発生した場合、このタイプの短絡を示すために、出力がディセーブルになっている間は IPROPI ピンが引き続き V_{IPROPI_LIM} 電圧にプルアップされていることに注意してください。これは、グランドへの短絡フォルトと他のフォルトとを区別するために、特に HW (H) バリエーションにおいて役立ちます。

6.8 代表的特性

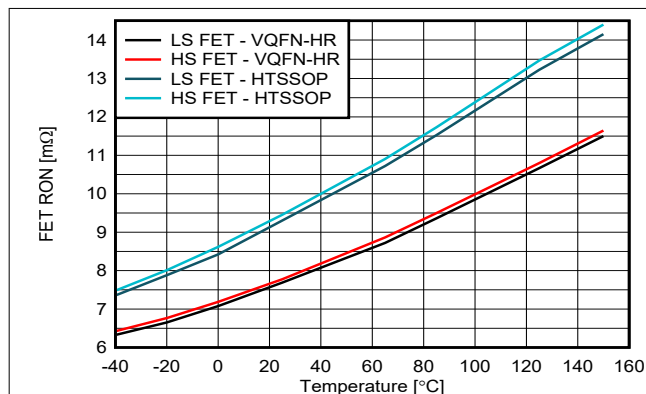


図 6-11. R_{HS_ON} および R_{LS_ON} と温度との関係 ($V_{VM} = 13.5V$)

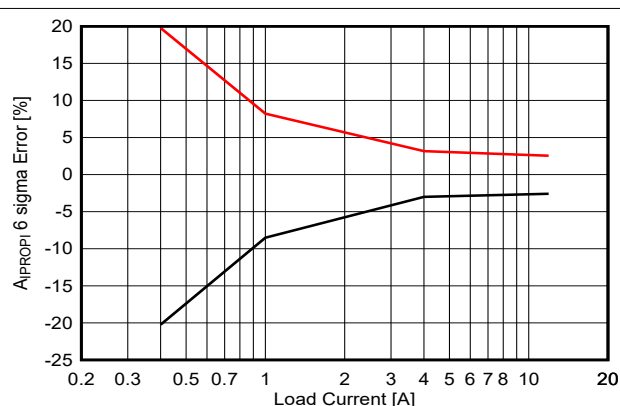


図 6-12. A_{IPROPI} ゲイン誤差と負荷電流との関係 ($V_{VM} = 13.5V$)

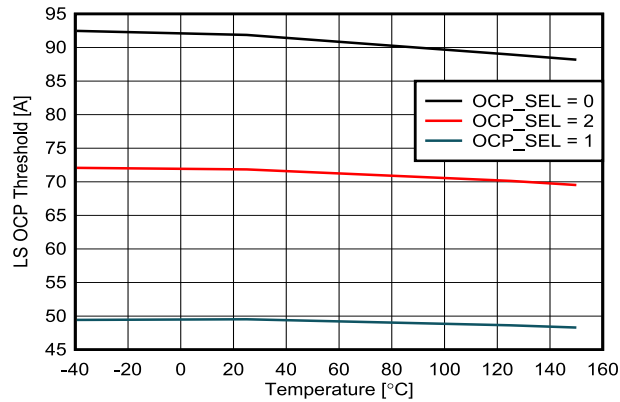


図 6-13. LS OCP スレッシュホールドと温度との関係 ($V_{VM} = 13.5V$)

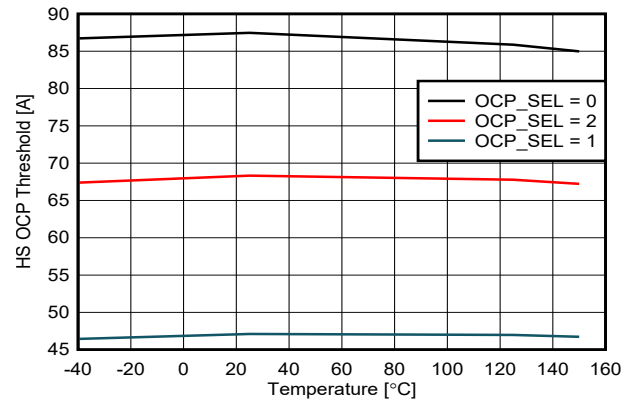


図 6-14. HS OCP スレッシュホールドと温度との関係 ($V_{VM} = 13.5V$)

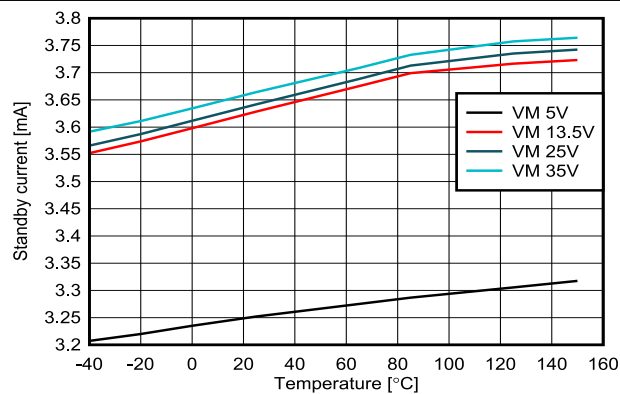


図 6-15. スタンバイ状態での VM の電流と温度との関係

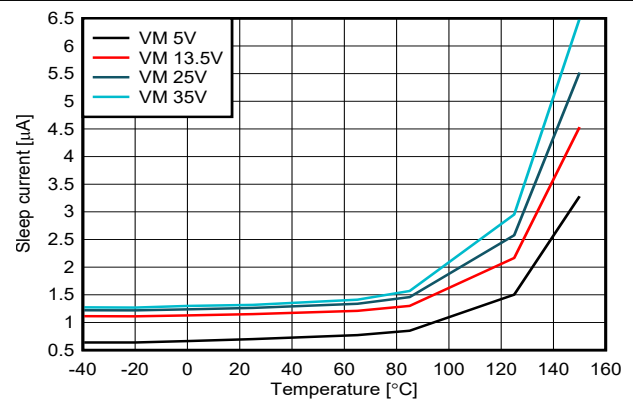


図 6-16. スリープ状態での VM の電流と温度との関係

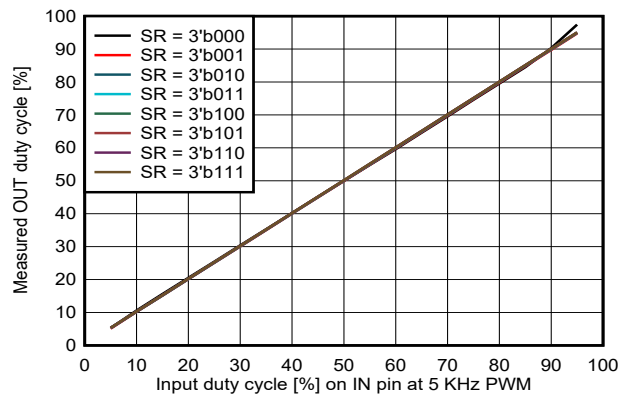


図 6-17. HS 還流のデューティ・サイクル実測値と入力デューティ・サイクルとの関係 ($V_{VM} = 13.5V$ 、PWM 周波数 5kHz)

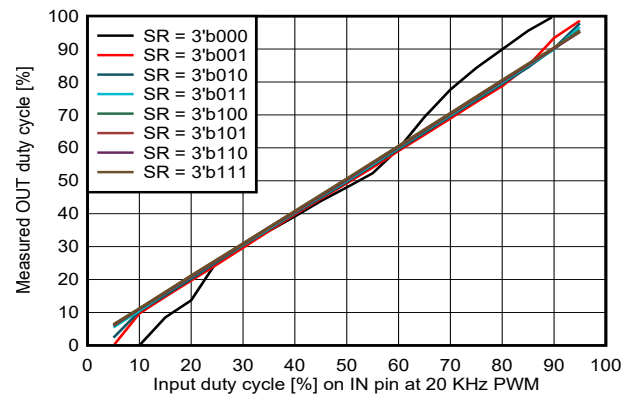


図 6-18. HS 還流のデューティ・サイクル実測値と入力デューティ・サイクルとの関係 ($V_{VM} = 13.5V$ 、PWM 周波数 20kHz)

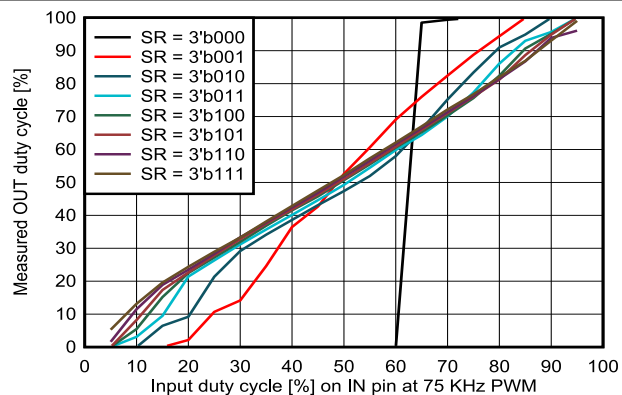


図 6-19. HS 還流のデューティ・サイクル実測値と入力デューティ・サイクルとの関係 ($V_{VM} = 13.5V$ 、PWM 周波数 75kHz)

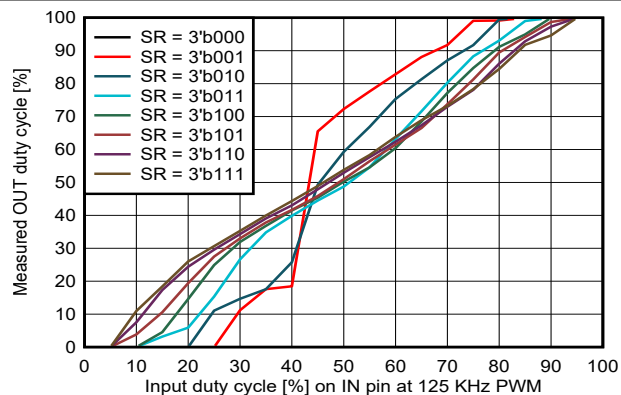


図 6-20. HS 還流のデューティ・サイクル実測値と入力デューティ・サイクルとの関係 ($V_{VM} = 13.5V$ 、PWM 周波数 125kHz)

7 詳細説明

7.1 概要

DRV814x-Q1 デバイス・ファミリは、4.5～35V で動作するブラシ付き DC モーター・ドライバであり、各種モーターおよび負荷の幅広い出力負荷電流をサポートしています。また、チャージ・ポンプ・レギュレータを内蔵しており、高効率ハイサイド N チャンネル MOSFET と 100% デューティ・サイクル動作に対応しています。本デバイスは、バッテリーまたは DC 電圧電源に直接接続できる単一電源入力 (VM) で動作します。また、低消費電力モードを備えており、スリープ時の電流引き込みを最小限に抑えることができます。

このデバイスは、2 種類のインターフェイスのバリエーションで供給されます。

1. **HW バリエーション** - ハードワイヤ接続によるインターフェイスのバリエーションで、簡単にデバイスを構成できます。デバイスで利用可能なピン数に制限があるため、このバリエーションでは、SPI バリエーションと比較して構成およびフォルト通知機能が少なくなっています。
2. **SPI バリエーション** - デイジー・チェーン機能を搭載した標準的な 4 線式シリアル・ペリフェラル・インターフェイス (SPI) により、柔軟なデバイス構成と、外部コントローラへの詳細なフォルト通知が可能です。SPI バリエーションと HW バリエーションの機能の差異は、「[デバイスの比較](#)」セクションに記載されています。SPI インターフェイスには、次のような 2 種類のデバイス・バリエーションがあります。
 - a. **SPI (S) バリエーション** - デジタル・ブロックの電源は、VM 電源から給電される内部 LDO レギュレータにより供給されます。nSLEEP ピンは、高インピーダンス入力ピンです。
 - b. **SPI (P) バリエーション (DRV8144-Q1 の場合は該当なし)** - VDD ピンを通して、デバイスのデジタル・ブロックへの外部電源入力が可能です。nSLEEP ピンの代わりに、この VDD 電源ピンが付いています。これにより、VM の低電圧状態でのデバイスのリセット (ブラウンアウト) を防止します。

DRV814x デバイス・ファミリは、ハイサイド・パワー MOSFET の電流ミラーを使用した負荷電流センス出力を実現します。IPROPI ピンは、ハイサイド MOSFET の電流 (OUTx ピンから流出する電流) に比例する小さい電流を供給します。この電流は、外付け抵抗 (R_{IPROPI}) を使用して比例電圧に変換できます。さらに、このデバイスは、固定オフ時間の PWM チョッピング方式もサポートしており、負荷への電流を制限できます。電流レギュレーション・レベルは、ITRIP 機能を使用して設定できます。

このデバイスには、さまざまな保護機能と診断機能が内蔵されています。主な保護機能としては、電源電圧監視 (VMOV および VMUV)、チャージ・ポンプ低電圧 (CPUV)、オフ状態 (パッシブ) 診断 (OLP)、オン状態 (アクティブ) 診断 (OLA) - SPI バリエーションのみ、各パワー FET の過電流保護 (OCP)、過熱シャットダウン (TSD) があります。フォルト状態は、nFAULT ピンにより通知されます。SPI バリエーションには、この他に、フレーム・エラー、構成レジスタ・ビットおよびドライバ制御ビットのロック機能など、追加の通信保護機能があります。

7.2 機能ブロック図

7.2.1 HW バリエント

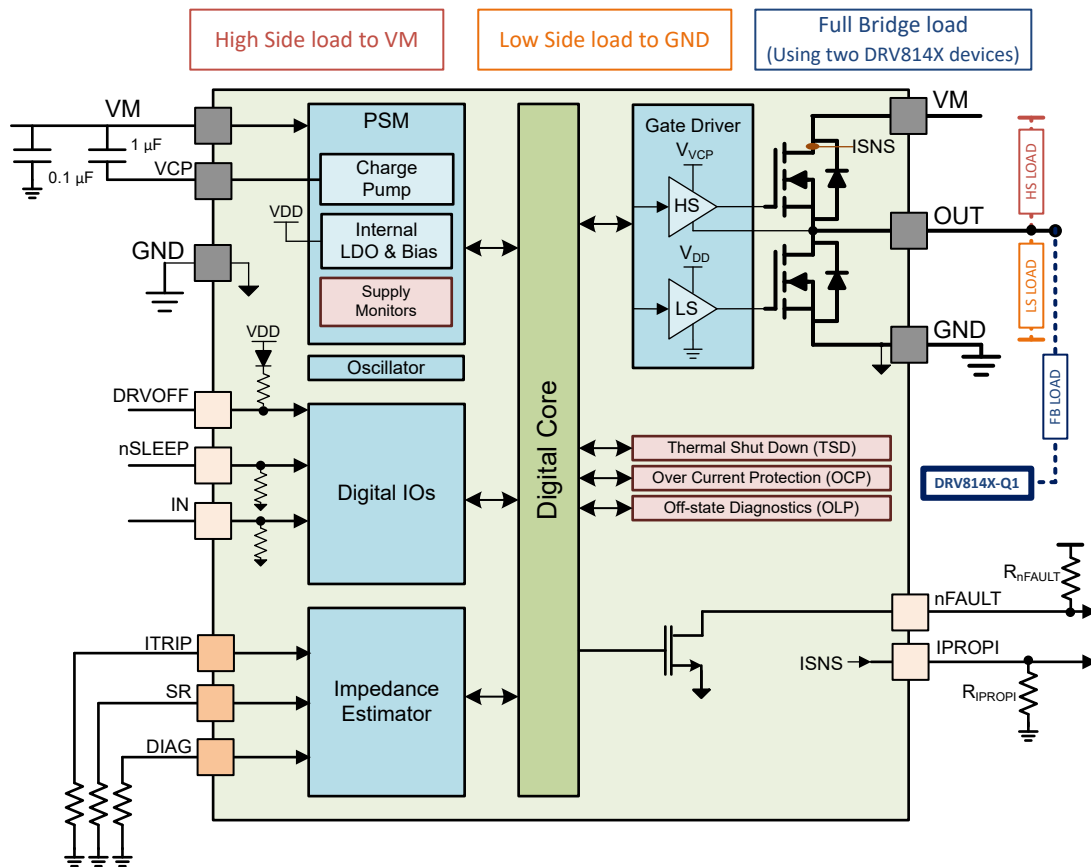


図 7-1. 機能ブロック図 - HW バリエント

7.2.2 SPI バリエント

SPI インターフェイスには、以下に示すように、SPI (S) バリエントと SPI (P) バリエントという 2 つのバリエントがあります。

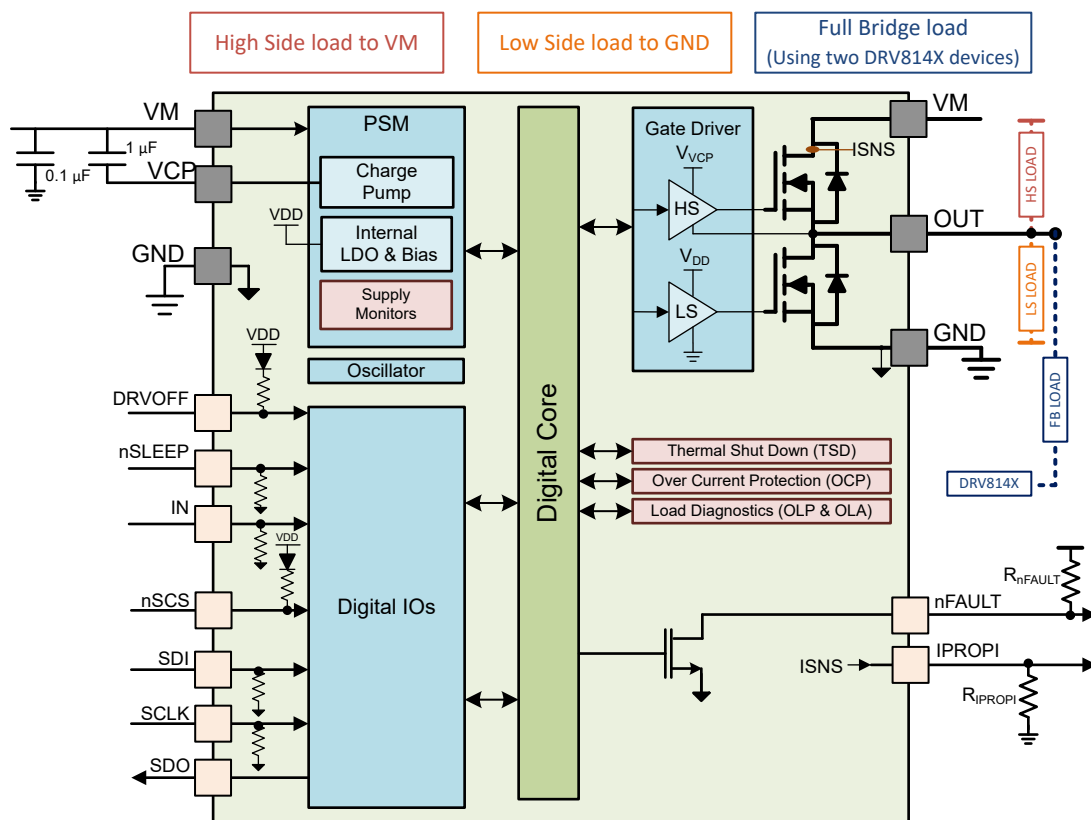


図 7-2. 機能ブロック図 - SPI (S) バリエーション

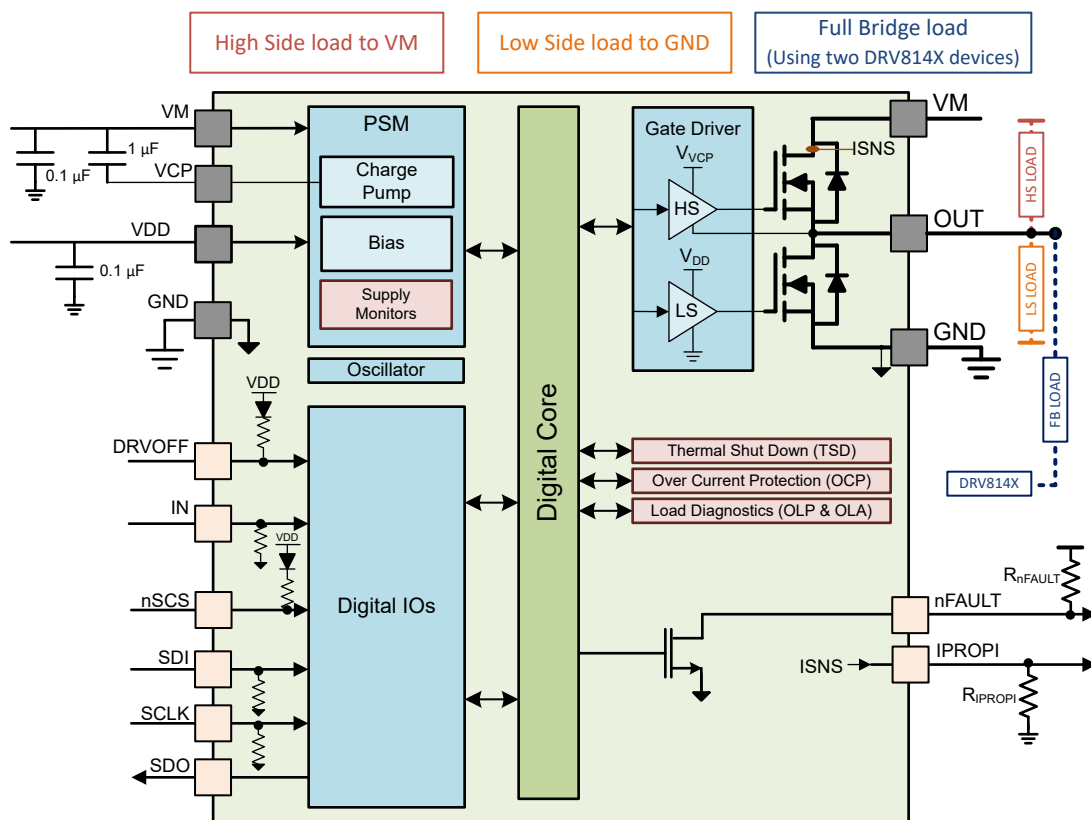


図 7-3. 機能ブロック図 - SPI (P) バリエーション

7.3 機能説明

7.3.1 外付け部品

セクション 7.3.1.1 および セクション 7.3.1.2 に、推奨外付け部品を示します。

7.3.1.1 HW バリエーション

表 7-1. HW バリエーションの外付け部品表

部品	ピン	推奨事項
C _{VM1}	VM	GND に対して、VM に対応する定格電圧、0.1μF、低 ESR セラミック・コンデンサ
C _{VM2}	VM	負荷過渡を処理するために、GND に対して、VM に対応する定格電圧のローカル・バルク・コンデンサ、10μF 以上。バルク・コンデンサのサイズ決定に関するセクションを参照してください。
C _{VCP}	VCP	VM に対して、1μF、6.3V の低 ESR セラミック・コンデンサ
R _{IPROPI}	IPROPI	GND に対して、通常 500～5000Ω、0.063W の抵抗。コントローラ ADC のダイナミック・レンジによって抵抗値は異なります。ITRIP と IPROPI の機能が不要な場合、ピンを GND に短絡可能。
C _{IPROPI}	IPROPI	ITRIP レギュレーション・ループを低速にする場合は、オプションで 10～100nF、6.3V コンデンサを GND との間に接続します。「過電流保護 (OCP)」セクションを参照。
R _{nFAULT}	nFAULT	通常、1kΩ～10kΩ、0.063W プルアップ抵抗をコントローラ電源との間に接続します。
R _{SR}	SR	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。「SR」セクションを参照してください。
R _{ITRIP}	ITRIP	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。ITRIP 表を参照してください。
R _{DIAG}	DIAG	設定に応じて、GND への開放または短絡、または 0.063W 10% の抵抗を GND との間に接続。「DIAG」セクションを参照してください。

7.3.1.2 SPI バリエーション

表 7-2. SPI バリエーションの外付け部品表

部品	ピン	推奨事項
C _{VM1}	VM	GND に対して、VM に対応する定格電圧、0.1μF、低 ESR セラミック・コンデンサ
C _{VM2}	VM	負荷過渡を処理するために、GND に対して、VM に対応する定格電圧のローカル・バルク・コンデンサ、10μF 以上。バルク・コンデンサのサイズ決定に関するセクションを参照してください。
C _{VCP}	VCP	VM に対して、1μF、6.3V の低 ESR セラミック・コンデンサ
R _{IPROPI}	IPROPI	GND に対して、通常 500～5000Ω、0.063W の抵抗。コントローラ ADC のダイナミック・レンジによって抵抗値は異なります。ITRIP と IPROPI の機能が不要な場合、ピンを GND に短絡可能。
C _{IPROPI}	IPROPI	ITRIP レギュレーション・ループを低速にするために、GND に対して、オプションで 10～100nF、6.3V コンデンサ。「過電流保護 (OCP)」セクションを参照。
R _{nFAULT}	nFAULT	通常、1kΩ～10kΩ、0.063W プルアップ抵抗をコントローラ電源との間に接続します。nFAULT 信号を使用しない場合、このピンは GND に短絡するか、開放のままにしておくことができます。
C _{VDD}	VDD	0.1μF、6.3V、低 ESR セラミック・コンデンサを GND との間に接続します。これは、SPI (P) バリエーションのみ適用できます。

7.3.2 ブリッジ制御

DRV814x-Q1 デバイス・ファミリーは、DRVOFF および IN の 2 つのピンを使って簡単に出力を制御できます。

入力、静的電圧信号 (100% 駆動モード) またはパルス幅変調 (PWM) 電圧信号 (PWM 駆動モード) を受け入れます。VM を印加する前に、デバイスの入力ピンに電力を供給しても問題ありません。入力がない場合に出力が確実にハイ・インピーダンスになるように、デフォルトで nSLEEP ピンおよび DRVOFF ピンには、それぞれ内部プルダウン抵抗およびプルアップ抵抗が接続されています。IN ピンにも、内部プルダウン抵抗が接続されています。

このデバイスは、ハーフブリッジ切り替え時のハイサイド FET とローサイド FET の遷移中に必要となる最適なデッドタイムを自動的に生成します。このタイミングは、内部での FET ゲート - ソース間電圧フィードバックに基づきます。外部タイミン

グは必要ありません。この方式により、最小デッドタイムが確保されるとともに、シュートスルー電流がないことも保証されます。

注

1. SPI バリエントでは、SPI_IN レジスタ・ビットを使用して追加の制御を行うこともできます。「[レジスタ - ピン制御](#)」を参照してください。
2. SPI (P) バリエントには nSLEEP ピンがないため、制御表の nSLEEP 列は無視してください。内部では、常に nSLEEP = 1 となっています。この制御表は、VDD > VDD_{POR} レベルのときに有効です。

次の表に、ブリッジ制御のロジック表を示します。負荷の説明図については、「[負荷の概要](#)」セクションを参照してください。

表 7-3. 制御表

nSLEEP	DRVOFF	IN	OUT	I _{PROPI}	デバイスの状態
0	X	X	ハイ・インピーダンス	電流なし	スリープ
1	1	0	ハイ・インピーダンス	電流なし	スタンバイ
1	1	1	オフ状態診断表 を参照	電流なし	スタンバイ
1	0	0	L	電流なし	アクティブ
1	0	1	H ⁽²⁾	ISNS ⁽¹⁾	アクティブ

(1) デバイスから流出する電流 (VM → OUTx → 負荷)

(2) 内部 ITRIP レギュレーションがイネーブルのとき、ITRIP レベルに達すると、OUTx は固定時間強制的に「L」になります

7.3.2.1 レジスタ - ピン制御 - SPI バリエントのみ

SPI バリエントでは、SPI_IN レジスタの特定のレジスタ・ビット、S_DRVOFF、S_IN を使って、ブリッジを制御できます。これは SPI_IN レジスタがロック解除されている場合に限りです。ユーザー は、COMMAND レジスタの SPI_IN_LOCK ビットに適切な組み合わせを書き込むことで、このレジスタのロックを解除できます。

さらに、ユーザーは、各外部入力ピンと、SPI_IN レジスタの等価レジスタ・ビットとの AND / OR ロジックによる組み合わせを設定することができます。このロジックの設定は、CONFIG4 レジスタの、次に示す等価セレクト・ビットを使って行われます。

• DRVOFF_SEL および IN_SEL

出力の制御は、前のセクションに記載した真理値表と同様ですが、これらのロジックの組み合わせ入力を使います。組み合わせ入力の内容は以下のとおりです。

- 組み合わせ入力 = ピン入力 **OR** 等価 SPI_IN レジスタ・ビット (等価 CONFIG4 セレクト・ビット = 1'b0 の場合)
- 組み合わせ入力 = ピン入力 **AND** 等価 SPI_IN レジスタ・ビット (等価 CONFIG4 セレクト・ビット = 1'b1 の場合)

スリープ機能については、外部 nSLEEP ピンが必要であることを注意してください。

このロジックの組み合わせにより、次の表に示すように、より多くの異なる構成をユーザーに提供できます。

表 7-4. レジスタ - ピン制御の例

例	CONFIG4:xxx_SEL ビット	PIN ステータス	SPI_IN ビット・ステータス	コメント
DRVOFF を冗長シャットオフとして使用	DRVOFF_SEL = 1'b0	DRVOFF アクティブ	S_DRVOFF アクティブ	DRVOFF ピン = 1 または S_DRVOFF ビット = 1 のいずれかの条件で、出力シャットオフ
ピンのみで制御	DRVOFF_SEL = 1'b1	DRVOFF アクティブ	S_DRVOFF = 1'b1	DRVOFF ピンの機能のみを利用
レジスタのみで制御	IN_SEL = 1'b0	IN - GND へ短絡またはフローティング	S_IN アクティブ	IN の機能をレジスタ・ビットのみで制御

7.3.3 デバイス構成

このセクションでは、ユーザーが使用事例に合わせてデバイスを構成できるように、さまざまなデバイス構成について説明します。

7.3.3.1 スルーレート (SR)

SR ピン (HW バリエント) または **CONFIG3** レジスタの **S_SR** ビット (SPI バリエント) により、ドライバのスルーレートが決まります。これによって、ユーザーは PWM スイッチング損失を最適化しながら、EM の適合要件を満たすことができます。HW バリエントの場合、SR は **6 レベル** の設定ですが、SPI バリエントでは、**8 レベル** の設定があります。誘導性負荷の場合、還流パスが VM へのハイサイド パスを経由するのか、GND へのローサイド パスを経由するのかによって、デバイスのスルーレート制御が異なります。使用事例に応じて、スルーレートの範囲および値については、「電気的特性」セクションの「**ハイサイド還流**」または「**ローサイド還流**」のスイッチング パラメータ表を参照してください。

注

SPI バリエントは、オプションのスペクトラム拡散クロック (SSC) 機能も備えており、約 1.3MHz の三角波で内部発振器の周波数を平均値から $\pm 12\%$ の範囲に拡散して、高い周波数での放射を低減できます。HW バリエントには、スペクトラム拡散クロック (SSC) 機能は**ありません**。

HW バリエントでは、電源オンまたはスリープからのウェークアップ後のデバイス初期化時に、SR ピンが**ラッチ**されます。動作中の更新はブロックされます。

SPI バリエントでは、SPI 通信が利用可能なときに **S_SR** ビットに書き込むことによって、いつでもスルーレート設定を変更できます。この変更はすぐに反映されます。

7.3.3.2 IPROPI

このデバイスには電流センシング機能が内蔵されており、負荷電流レギュレーションに使用できる比例アナログ電流が IPROPI ピンに出力されます。これにより、外部センス抵抗やセンス回路が不要になり、システムのサイズ、コスト、複雑さを低減できます。

このデバイスは、シャントレスのハイサイド電流ミラー・トポロジを使用して負荷電流を検出します。検出できるのは、ハイサイド FET が完全にオンになっているとき (リニア・モード)、VM → OUT → 負荷という経路でハイサイド FET を流れる単方向ハイサイド電流だけです。IPROPI ピンは、このセンス電流に比例したアナログ電流を **A_IPROPI** でスケールリングして、次のように出力します。

$$I_{IPROPI} = I_{HS} [A] / A_{IPROPI}$$

比例電圧 **V_IPROPI** を生成するには、外付け抵抗 (**R_IPROPI**) を介して IPROPI ピンをグラウンドに接続する必要があります。これにより、A/D コンバータ (ADC) を使って、**R_IPROPI** 抵抗両端の電圧降下として負荷電流を測定できます。そのアプリケーションで想定される負荷電流に基づいて **R_IPROPI** 抵抗の値を決められるので、さまざまなコントローラ ADC を利用できます。

7.3.3.3 ITRIP レギュレーション

このデバイスは、オプションとして、固定 TOFF 時間方式による内部負荷電流レギュレーション機能を備えています。その方法としては、ITRIP 設定で決まる基準電圧と IPROPI ピンの電圧を比較します。TOFF 時間は、HW バリエントの場合は 30μsec に固定されています。SPI バリエントの場合は **CONFIG3** レジスタの **TOFF_SEL** ビットを使用して、20～50μsec の範囲で設定できます。

ITRIP レギュレーションが有効に設定されている場合、HS FET がイネーブルされて電流センシングが可能となるときのみ動作します。このシナリオでは、IPROPI ピンの電圧が ITRIP 設定で決まる基準電圧を超えた場合、内部電流レギュレーション ループによって強制的に以下の動作が行われます。

- 固定 TOFF 時間だけ OUT = L

注

ユーザー入力は、常に内部制御よりも優先されます。したがって、TOFF 時間内に入力に変化すると、残りの TOFF 時間は無視され、出力は指令された入力に従います。

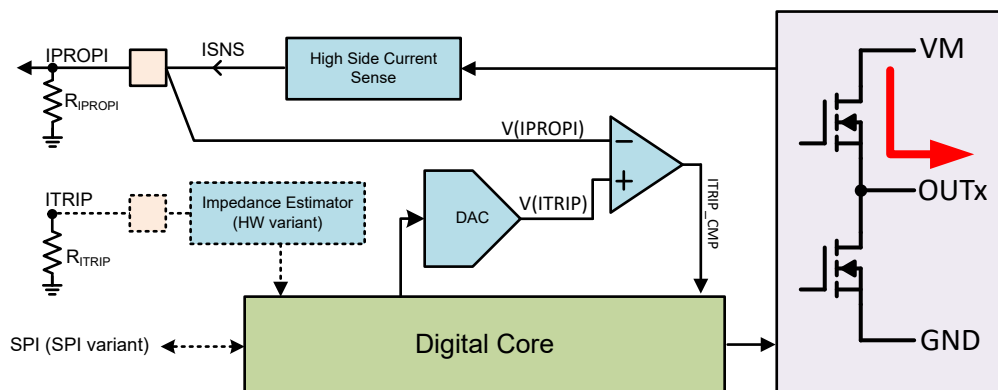


図 7-4. ITRIP の実装

電流制限は、次の式で設定されます。

$$\text{ITRIP regulation level} = (V_{ITRIP} / R_{IPROPI}) \times A_{IPROPI}$$

(2)

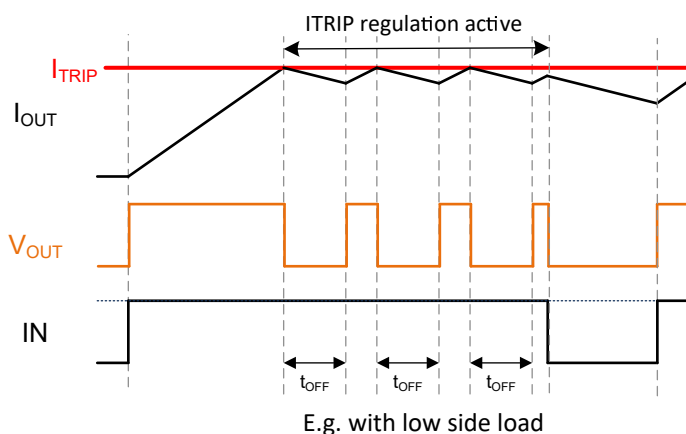


図 7-5. 固定 TOFF の ITRIP 電流レギュレーション

ITRIP コンパレータ出力 (ITRIP_CMP) は、負荷容量からの電流スパイクによるコンパレータ出力の誤トリガを回避するため、出力スレーイング中は無視されます。また、ローサイド還流から移行する場合は、ITRIP コンパレータの出力が有効になる前にセンス ループが安定するように、追加のブランキング時間 t_{BLANK} が必要です。

HW バリエントでは、ITRIP に 6 レベルの設定があります。SPI バリエントでは、さらに 2 つの設定があります。これを以下の表にまとめます。

表 7-5. ITRIP テーブル

ITRIP ピン	S_ITRIP レジスタビット	V _{ITRIP} [V]
R _{LVL10F6}	3'b000	レギュレーション無効
R _{LVL20F6}	3'b001	1.18
該当なし	3'b010	1.41
該当なし	3'b011	1.65
R _{LVL30F6}	3'b100	1.98

表 7-5. ITRIP テーブル (続き)

ITRIP ピン	S_ITRIP レジスタ ビット	V _{ITRIP} [V]
R _{LVL40F6}	3'b101	2.31
R _{LVL50F6}	3'b110	2.64
R _{LVL60F6}	3'b111	2.97

HW バリエントでは、ITRIP ピンの変更は**透過的**で、変更はただちに反映されます。

SPI バリエントでは、SPI 通信が利用可能なときに S_ITRIP ビットに書き込むことによって、いつでも ITRIP 設定を変更できます。この変更は、デバイスの動作にただちに反映されます。

SPI バリエントのみ - ITRIP レギュレーション レベルに達すると、**STATUS1** レジスタの ITRIP_CMP ビットがセットされます。nFAULT ピンでの通知はありません。このビットは、CLR_FLT コマンドによってクリアできます。

注

アプリケーションで、デバイスで提供されている選択肢を超える複数のステップを持つリニア ITRIP 制御が必要な場合、この抵抗で GND へ終端する代わりに、外部 DAC を使用して IPROPI 抵抗の下端の電圧を強制的に設定できます。この変更では、外部 DAC 設定により、次のように ITRIP 電流を制御できます。

$$\text{ITRIP regulation level} = [(V_{\text{ITRIP}} - V_{\text{DAC}}) / R_{\text{IPROPI}}] \times A_{\text{IPROPI}} \quad (3)$$

7.3.3.4 DIAG

DIAG は、以下に示すように、デバイスのアクティブ動作およびスタンバイ動作で使用される、ピン (HW バリエント) またはレジスタ (SPI バリエント) の設定です。

- スタンバイ状態
 - オフ状態診断 (OLP) をイネーブルまたはディセーブルにし、イネーブルにする場合は OLP の組み合わせを選択します。詳細については、「オフ状態診断 (OLP)」セクションの表を参照してください。
- アクティブ状態
 - 負荷タイプがハイサイド負荷として設定されている場合は、ITRIP レギュレーション機能をマスクします。
 - SPI バリエントのみ - 負荷タイプがローサイド負荷として設定されている場合は、アクティブ開放負荷検出 (OLA) をマスクします。
 - HW バリエントのみ - フォルト応答を再試行またはラッチのいずれかに設定します

7.3.3.4.1 HW バリエント

HW バリエントでは、DIAG ピンは **6 レベル**の設定です。モードに応じて、その構成を以下の表にまとめます。

表 7-6. DIAG 表 (HW バリエント)

DIAG ピン	スタンバイ状態	アクティブ状態		
	オフ状態診断	フォルト応答	IPROPI / ITRIP	コメント
R _{LVL10F6}	ディセーブル	再試行	使用可能	ローサイド負荷で使用
R _{LVL20F6}	イネーブル ⁽¹⁾	ラッチ	使用可能	
R _{LVL30F6}	イネーブル ⁽¹⁾	ラッチ	ディセーブル	ハイサイド負荷で使用
R _{LVL40F6}	イネーブル ⁽¹⁾	再試行	ディセーブル	
R _{LVL50F6}	ディセーブル	ラッチ	使用可能	ローサイド負荷で使用
R _{LVL60F6}	イネーブル ⁽¹⁾	再試行	使用可能	

(1) 組み合わせの詳細については、「オフ状態診断 (OLP)」セクションの表を参照してください

注

HW バリエーションのみ - ハイサイド負荷の使用事例で、オフ状態診断をディセーブルにするオプションは、サポートされていません。この場合、オフ状態診断をディセーブルにする唯一の方法は、DRVOFF ピンを High に設定し、IN ピンを Low に設定することです。

HW バリエーションでは、パワーアップまたはスリープからのウェイクアップ後のデバイス初期化時に、DIAG ピンがラッチされます。動作中の更新はブロックされます。

7.3.3.4.2 SPI バリエーション

SPI バリエーションの場合、S_DIAG は CONFIG2 レジスタにある 2 ビットの設定です。モードに応じて、その構成を以下の表にまとめます。

表 7-7. DIAG 表 (SPI バリエーション)

S_DIAG ビット	スタンバイ状態	アクティブ状態		
	オフ状態診断	オン状態診断	IPROPI / ITRIP	コメント
2'b00	無効	無効	使用可能	ローサイド負荷で使用
2'b01	有効 ⁽¹⁾	無効	使用可能	
2'b10	無効	使用可能	無効	ハイサイド負荷で使用
2'b11	有効 ⁽¹⁾	使用可能	無効	

(1) 組み合わせの詳細については、「オフ状態診断 (OLP)」セクションの表を参照してください

デバイスの SPI バリエーションでは、SPI 通信が利用可能なときに S_DIAG ビットに書き込むことによって、いつでもこの設定を変更できます。この変更はすぐに反映されます。

7.3.4 保護および診断機能

このドライバは、過電流や過熱から保護されており、デバイスの堅牢性を確保します。また、このデバイスは、負荷監視 (オン状態およびオフ状態)、VM ピンの過電圧 / 低電圧監視、VCP ピンの低電圧監視を備えており、予期しない電圧状態を通知します。フォルト状態を検出すると、ローサイドのオープン・ドレイン nFAULT ピンが GND にプルダウンされ、I_{nFAULT_PD} 電流によってフォルトを通知します。スリープ状態に移行すると、nFAULT は自動的にアサート解除されます。

注

SPI バリエーションでは、nFAULT ピンのロジック・レベルは、FAULT SUMMARY レジスタの FAULT ビットの反転コピーになっています。唯一の例外は、オフ状態診断が有効、かつ SPI_IN レジスタがロックされている場合です(「OLP」セクションを参照)。

SPI バリエーションでは、nFAULT が LOW にアサートされるたびに、デバイスは FAULT SUMMARY レジスタおよび STATUS レジスタにフォルトを記録します。これらのレジスタは、次の条件でのみクリアできます。

- CLR FLT コマンド、または
- nSLEEP ピンによるスリープ・コマンド

単一の 16 ビット SPI フレームで定期的なソフトウェア監視を行う場合、次の方法によって、有用な診断情報をすべて取得できます。

- アクティブ 状態で STATUS1 レジスタを読み取る
- スタンバイ状態で STATUS2 レジスタを読み取る

診断可能なすべてのフォルト・イベントは、STATUS レジスタを読み取ることによって一意に識別できます。

7.3.4.1 過電流保護 (OCP)

- デバイスの状態: アクティブ

- メカニズム & スレッシュホールド: 各 MOSFET のアナログ電流制限回路により、短絡時にもデバイスのピーク出力電流を制限できます。出力電流が過電流スレッシュホールド I_{OCP} を上回る状態になり、その時間が t_{OCP} を超えると、過電流フォルトが検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - OUT はハイ インピーダンス
 - GND への短絡フォルト (ハイサイド FET で検出された過電流) の場合は、FET がディセーブルになっても、IPROPI ピンは V_{IPROPI_LIM} へプルアップされ続けます。HW バリエーションでは、nFAULT ピンが LOW にアサートされているときに IPROPI ピンが HIGH にプルアップされているため、これにより、アクティブ状態時の GND 短絡フォルトを他の種類のフォルトと区別できます。
- 応答は、ラッチ設定、または t_{RETRY} と t_{CLEAR} による再試行設定、いずれかを選択可能
- IPROPI ピンに 10nF ~ 100nF の範囲のコンデンサを追加することにより、内部 ITRIP レギュレーション有効時の負荷短絡の場合に、OCP 検出を確保できます。これは、短絡部分に十分なインダクタンスがある場合に特に有効です。この状況では、OCP 検出の前に ITRIP レギュレーションがトリガされて、デバイスの短絡検出が働かない可能性があります。OCP 検出がこの競合条件を確実に満たすようにするため、IPROPI ピンに小さな容量を追加することによって ITRIP レギュレーション ループが遅くなり、OCP 検出回路が意図したとおりに動作できるようになります。

SPI バリエーションは、 I_{OCP} レベルおよび t_{OCP} フィルタ時間を設定可能です。これらの設定については、[CONFIG4](#) レジスタを参照してください。

7.3.4.2 過熱保護 (TSD)

- デバイスの状態: スタンバイ、アクティブ
- メカニズムおよびスレッシュホールド: このデバイスは、ダイの周囲に複数の温度センサを備えています。いずれかのセンサが設定温度 T_{TSD} に対して過熱状態になり、その時間が t_{TSD} を超えると、過熱フォルトが検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - OUT は Hi-Z
 - IPROPI ピンは Hi-Z
- その応答は、ラッチ設定、または T_{HYS} と t_{clear_TSD} による再試行設定、いずれかを選択可能

7.3.4.3 オフ状態診断 (OLP)

ユーザーは、パワー FET がオフのときにスタンバイ状態でオフ状態診断を使用して、OUT ノードのインピーダンスを判断できます。この診断機能により、スタンバイ状態で以下に示す故障状態をパッシブに検出できます。

- VM または GND への出力短絡 < 100Ω
- ローサイド負荷の開放負荷 > 1kΩ
- ハイサイド負荷の開放負荷 > 10kΩ (VM = 13.5V の場合)

注

この診断では、**負荷の短絡**を検出することはできません。ただし、アクティブ動作中に過電流フォルト (OCP) が発生し、スタンバイ状態の OLP 診断で何もフォルトが報告されない場合、負荷の短絡を論理的に推定することができます。アクティブ状態で OCP が発生し、かつ、スタンバイ状態で OLP が発生する場合は、端子の短絡を意味します (OUT ノードでの短絡)。

- ユーザーは、次の組み合わせを設定できます。
 - OUT の内部プルアップ抵抗 (R_{OLP_PU})
 - OUT の内部プルダウン抵抗 (R_{OLP_PD})
 - コンパレータの基準電圧レベル
- この組み合わせは、コントローラ入力 (HW バリエーションのみ存在するピン) または、SPI バリエーションで SPI_IN レジスタがロックされていない場合、[SPI_IN](#) レジスタの等価ビットによって決定されます。
- HW バリエーション - オフ状態診断が有効の場合、コンパレータ出力 (OLP_CMP) は、nFAULT ピンで利用できます。

- SPI バリエーション - オフ状態診断コンパレータ出力 (OLP_CMP) は、**STATUS2** レジスタの OLP_CMP ビットで利用できます。さらに、**SPI_IN** レジスタがロックされている場合には、オフ状態診断が有効のとき、このコンパレータ出力は、**nFAULT** ピンでも利用できます。
- ユーザーは、すべての組み合わせを切り替えながら、出力が安定した後にコンパレータの出力を記録してください。
- 入力の組み合わせとコンパレータの出力に基づいて、出力にフォルトが発生しているかどうかを判断できます。

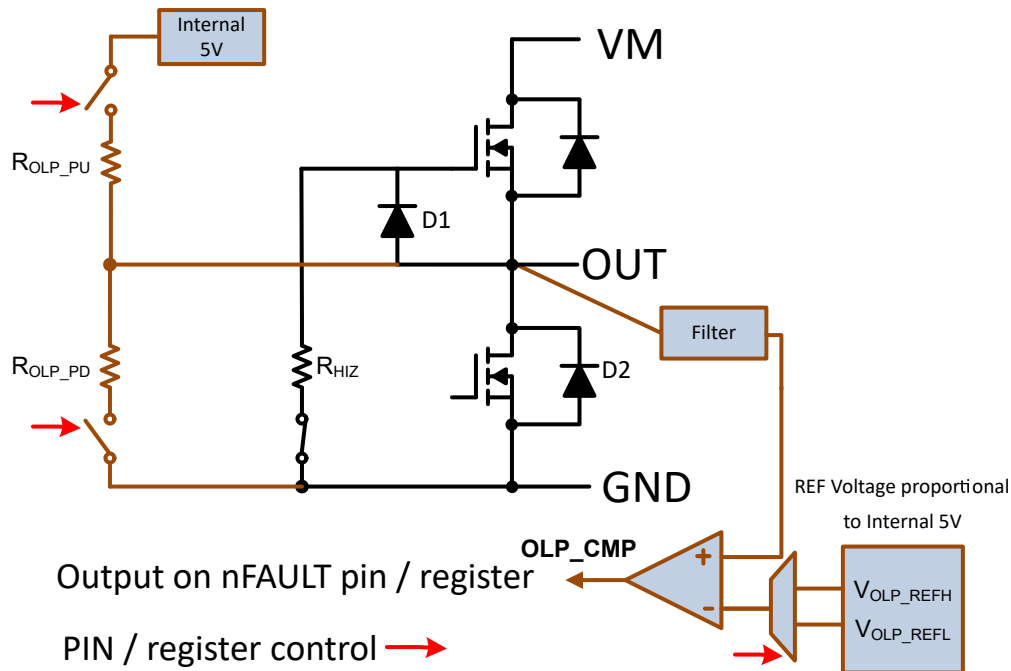


図 7-6. オフ状態 (パッシブ) 診断

ローサイド負荷について、フォルトがないシナリオおよびフォルトシナリオに対する OLP の組み合わせおよび真理値表を表 7-8 に示します。

表 7-8. ローサイド負荷のオフ状態診断表

ユーザー入力					OLP の設定		OLP_CMP 出力		
DIAG ピン	S_DIAG ビット	nSLEEP	DRVOFF	IN	OUT	CMP REF	通常	オープン	短絡
LVL2, LVL6	2'b01	1	1	1	R _{OLP_PU}	V _{OLP_REFH}	L	H	H
LVL3, LVL4	2'b11	1	1	1	R _{OLP_PD}	V _{OLP_REFL}	L	L	H

ハイサイド負荷について、フォルトがないシナリオおよびフォルトシナリオに対する OLP の組み合わせおよび真理値表を表 7-9 に示します。

表 7-9. ハイサイド負荷に対するオフ状態診断表

ユーザー入力					OLP の設定		OLP_CMP 出力		
DIAG ピン	S_DIAG ビット	nSLEEP	DRVOFF	IN	OUT	CMP REF	通常	オープン	短絡
LVL2, LVL6	2'b01	1	1	1	R _{OLP_PU}	V _{OLP_REFH}	H	H	L
LVL3, LVL4	2'b11	1	1	1	R _{OLP_PD}	V _{OLP_REFL}	H	L	L

7.3.4.4 オン状態診断 (OLA) - SPI バリエーションのみ

- デバイスの状態: アクティブ - ハイサイド還流
- メカニズムおよびスレッシュホールド: オン状態診断 (OLA) により、ハイサイド還流時にアクティブ状態での開放負荷検出が可能です。このハイサイド負荷には、VM に直接接続されるもの、または、もう一方のハーフブリッジのハイサイド FET を経由するものが含まれます。PWM スwitching 遷移中、LS FET がオフになると、誘導性負荷電流が HS ボディダイオードを通じて VM に還流します。HS FET がオンになる前、短時間のデッドタイム中に、デバイスは、VM を超える電圧スパイクが OUTx で発生するかどうかを検知します。この電圧スパイクが観測されるためには、この負荷電流は、FET ドライバによってアサートされる出力のブルダウン電流 (I_{PD_OLA}) よりも大きくなる必要があります。この電圧スパイクが存在しない還流スウィッチング サイクルが「3 回」連続する場合、負荷インダクタンスの喪失または負荷抵抗の増加を意味しており、OLA フォルトとして検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - 出力 - 通常機能を維持
 - IPROPI ピン - 通常機能を維持
- 再試行とラッチのいずれかに応答を設定可能再試行設定では、還流スウィッチング サイクル中に電圧スパイクが「3 回」連続して検出されると、OLA フォルトが自動的にクリアされます。

この監視は選択可能であり、無効にできます。

注

- OLA は、ローサイド負荷 (ローサイド還流) ではサポートされていません。

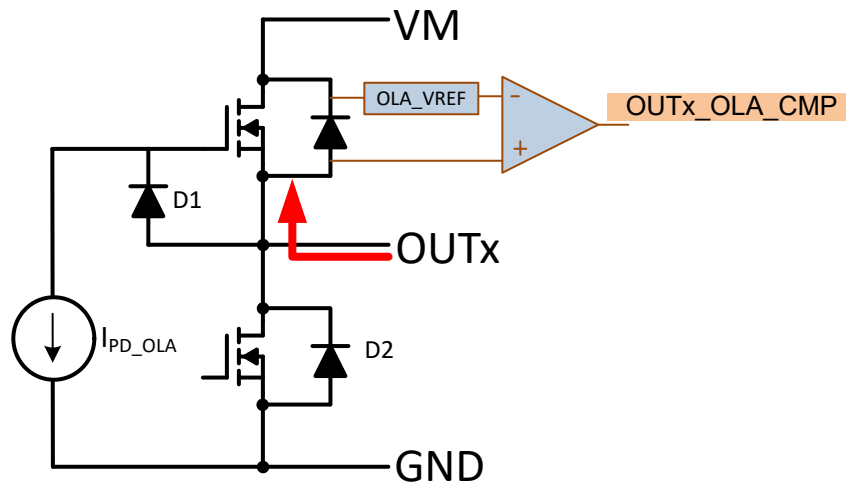


図 7-7. オン状態診断

7.3.4.5 VM 過電圧監視

- デバイスの状態: スタンバイ、アクティブ
- メカニズムおよびスレッシュホールド: VM ピンの電源電圧が V_{VMOV} で設定されたスレッシュホールドを上回る状態になり、その時間が t_{VMOV} を超えると、VM 過電圧フォルトが検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - 出力 - 通常機能を維持
 - IPROPI ピン - 通常機能を維持
- 再試行とラッチのいずれかに応答を設定可能

SPI バリエントでは、この監視は選択可能でありディセーブルにできます。また、スレッショルドも構成可能です。
[CONFIG1](#) レジスタを参照してください。

7.3.4.6 VM 低電圧監視

- デバイスの状態: スタンバイ、アクティブ
- メカニズムおよびスレッショルド: VM ピンの電源電圧が V_{VMUV} で設定されたスレッショルドを下回る状態になり、その時間が t_{VMUV} を超えると、VM 低電圧フォルトが検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - 出力は Hi-Z
 - IPROPI ピンは Hi-Z
- HW および SPI (S) バリエント: 応答設定は再試行に固定
- SPI (P) バリエントのみ: 再試行とラッチのいずれかに応答を設定可能
- 再試行時間は VM 低電圧状態の回復にのみ依存し、 t_{RETRY} および t_{CLEAR} とは無関係

7.3.4.7 チャージ・ポンプ低電圧モニタ

- デバイスの状態: アクティブ
- メカニズムおよびスレッショルド: VCP ピンの電圧が V_{VCPUV} により設定されたスレッショルドを下回る状態になり、その時間が t_{VCPUV} を超えると、VCP 低電圧フォルトが検出されます。
- 動作:
 - nFAULT ピンは LOW にアサート
 - 出力 - 通常機能を維持ただし、このチャージ・ポンプ低電圧の条件下では、VM と OUT の間のハイサイド FET は抵抗性になり、電圧ヘッドルームが不足しているために、ハイ・サイド FET がハイ・インピーダンスのように見えることがあります。
 - IPROPI ピン - 通常機能を維持ただし、このチャージ・ポンプの電圧条件では、電流センスが影響を受けて、電圧ヘッドルームが不足しているために、ハイ・インピーダンスのように見えることがあります。
- 応答は、 V_{VCPUV_HYS} に基づく再試行に固定

7.3.4.8 パワー・オン・リセット (POR)

- デバイスの状態: すべて
- メカニズムおよびスレッショルド: ロジック電源の電圧が VDD_{POR_FALL} を下回る状態になり、その時間が t_{POR} を超えると、パワー・オン・リセットが発生してデバイスがハード・リセットされます。
- 動作:
 - nFAULT ピンはアサート解除
 - OUT はハイ・インピーダンス
 - IPROPI ピンはハイ・インピーダンス。
 - この電源が VDD_{POR_RISE} レベルを上回るまで回復した場合、デバイスはウェークアップ初期化を実行し、nFAULT ピンが Low にアサートされて、このリセットをユーザーに通知します ([「ウェークアップ遷移」](#)を参照)。
- HW および SPI (S) バリエント: ロジック電源が VM 電源から内部的に生成されるので、これらのスレッショルドは、 VM_{POR_FALL} および VM_{POR_RISE} となります。
- SPI (P) バリエントのみ: これらのスレッショルドは、VDD ピンの電圧 (VDD_{POR_FALL} および VDD_{POR_RISE}) に直接対応します。
- フォルト応答: 常に再試行。再試行時間は、外部電源がデバイス・ウェークアップを開始する条件に依存します。

7.3.4.9 イベントの優先順位

アクティブ状態で、2 つ以上のイベントが同時に発生する場合、デバイスは次の優先順位表に基づいてドライバの制御を割り当てます。

表 7-10. イベント優先順位表

イベント	優先順位
ユーザー・スリープ・コマンド	1
ユーザー入力:DRVOFF	2
過熱検出 (TSD)	3
過電流検出 (OCP) ⁽¹⁾	4
VM 低電圧検出 (VMUV)	5
ユーザー入力:IN	6
ITRIP レギュレーションによる内部 PWM 制御	7
VM 過電圧検出 (VMOV) ⁽²⁾	8
チャージ・ポンプ低電圧 (CPUV) ⁽²⁾	9

- (1) デバイスが OCP イベントの確認を待っているとき (t_{OCP} の間待機) に、OCP イベントよりも優先順位の低いイベントが発生した場合、OCP イベントを検出できるようにするため、デバイスは他のイベントの処理を最大 t_{OCP} まで遅延させることがあります。
- (2) このフォルト・イベントによって OUTx が変化することはないので、この場合の優先順位は「無関係 (Don't care)」です。

7.4 プログラミング - SPI バリエーションのみ

7.4.1 SPI インターフェイス

SPI バリエーションは、全二重の 4 線式同期通信を備えており、デバイスの構成や動作パラメータの設定、デバイスからの診断情報の読み出しに使用します。SPI は、ペリフェラル・モードで動作し、コントローラに接続します。シリアル・データ入力 (SDI) ワードの構成は、16 ビットのワード、8 ビットのコマンド (A1)、8 ビットのデータ (D1) となっています。シリアル・データ出力 (SDO) ワードの構成は、FAULT_SUMMARY バイト (S1)、その後にレポート・バイト (R1) です。レポート・バイトは、読み出しコマンドでアクセスする場合はレジスタ・データ、書き込みコマンドの場合はヌルです。MCU と SPI ペリフェラル・ドライバ間のデータ・シーケンス 図 7-8 を示します。

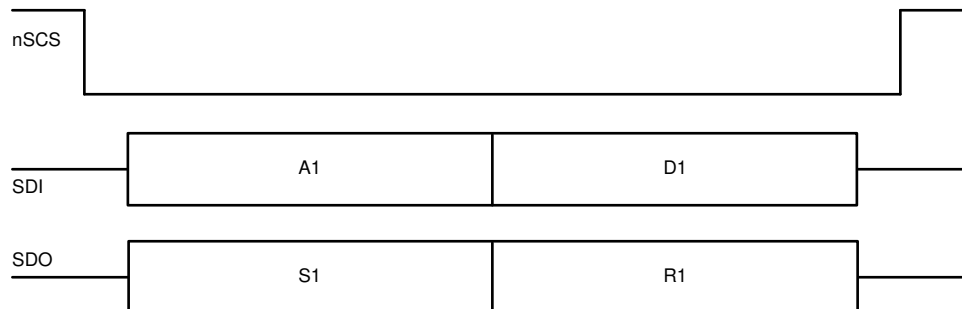


図 7-8. SPI データ - 標準「16 ビット」フレーム

有効なフレームは以下の条件を満たしていなければなりません。

- SCLK ピンは、nSCS ピンが HIGH から LOW、および LOW から HIGH に遷移するとき、LOW になっている必要がある。
- nSCS ピンは、ワードとワードの間では HIGH にプルアップされている必要がある。
- nSCS ピンが HIGH にプルアップされているときは、SCLK ピンおよび SDI ピンのすべての信号が無視され、SDO ピンが Hi-Z 状態になる。
- デバイスからの SDO データは SCLK の立ち上がりエッジで伝搬され、SDI 上のデータは SCLK の次の立ち下がりエッジでデバイスによってキャプチャされる。
- 最上位ビット (MSB) が最初にシフト・イン / シフト・アウトされる。
- 標準フレームで有効なトランザクションを実行するには、16 SCLK サイクルが完全に発生する必要がある。また、デジタイズ・チェーン・フレームに「n」個のペリフェラル・デバイスが接続されているとき、有効なトランザクションを得るには 16

+ (n x 16) の SCLK サイクルが発生しなければならない。それ以外の場合には、フレーム・エラー(SPI_ERR) が報告され、書き込み動作では、データは無視される。

7.4.2 標準フレーム

SDI 入力データ・ワードは 2 バイト長であり、以下のフォーマットで構成されています。

- コマンド・バイト (最初のバイト)
 - MSB ビットはフレームの種類を示します (標準フレームの場合、ビット B15 = 0)。
 - MSB の次のビット W0 は、読み取り / 書き込み動作を示します (ビット B14、書き込み = 0、読み取り = 1)。
 - 次に 6 つのアドレス・ビット A[5:0] (ビット B13~B8) が続きます。
- データ・バイト (2 番目のバイト)
 - 2 番目のバイトは、データ D[7:0] (ビット B7~B0) を示します。読み取り動作では、これらのビットは通常ヌル値に設定されます。書き込み動作では、アドレス指定されたレジスタのデータ値がこれらのビットに設定されます。

表 7-11. SDI - 標準フレーム・フォーマット

	コマンド・バイト								データ・バイト							
ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

SDO 出力データ・ワードは 2 バイト長であり、以下のフォーマットで構成されています。

- ステータス・バイト (最初のバイト)
 - MSB の 2 ビットは HIGH に固定 (B15、B14 = 1)
 - 次の 6 ビットは、FAULT SUMMARY レジスタ (B13:B8) の値が出力されます。
- レポート・バイト (2 番目のバイト)
 - 2 番目のバイト (B7:B0) は、読み出し動作 (W0 = 1) の場合、読もうとするレジスタの現在のデータであり、書き込みコマンド (W0 = 0) の場合、書き込まれるレジスタに存在するデータです。

表 7-12. SDO - 標準フレーム・フォーマット

	ステータス・バイト								レポート・バイト							
ビット	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
データ	1	1	FAULT	VMOV	VMUV	OCF	TSD	SPI_ERR	D7	D6	D5	D4	D3	D2	D1	D0

7.4.3 複数ペリフェラルに対する SPI インターフェイス

複数のデバイスをコントローラに接続するためには、デイジー・チェーンを使う方法と、使わない方法があります。デイジー・チェーンを使用せずに「n」個のデバイスをコントローラに接続する場合は、[図 7-9](#) に示すように、nSCS ピンのためにコントローラ側で「n」個の I/O リソースを利用する必要があります。これに対して、デイジー・チェーン構成を使用する場合は、単一の nSCS ラインを使って複数のデバイスを接続できます。[図 7-10](#)

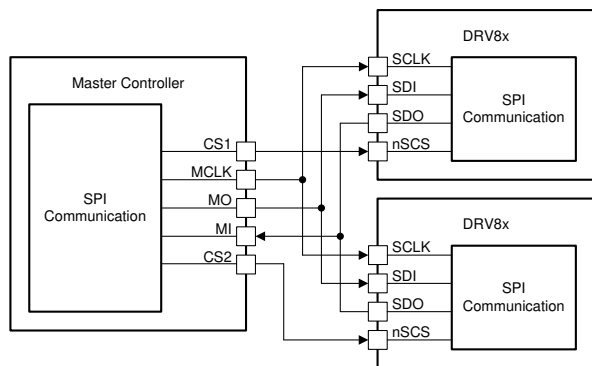


図 7-9. デイジー・チェーンを使わない SPI 動作

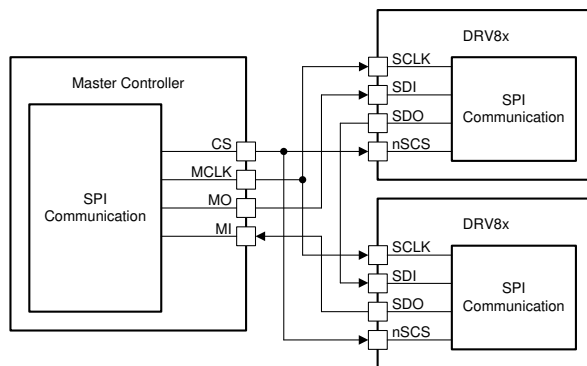


図 7-10. デイジー・チェーンを使った SPI 動作

7.4.3.1 複数のペリフェラルに対するデジィー・チェーン・フレーム

複数のデバイスが同じ MCU と通信する場合に、デバイスをデジィー・チェーン構成で接続することで GPIO ポートを節約できます。図 7-11 は、そのトポロジと波形を示しています。ここで、デジィー・チェーン接続されているペリフェラル「n」の数は 3 になっています。この方法で最大 63 個のデバイスを接続できます。

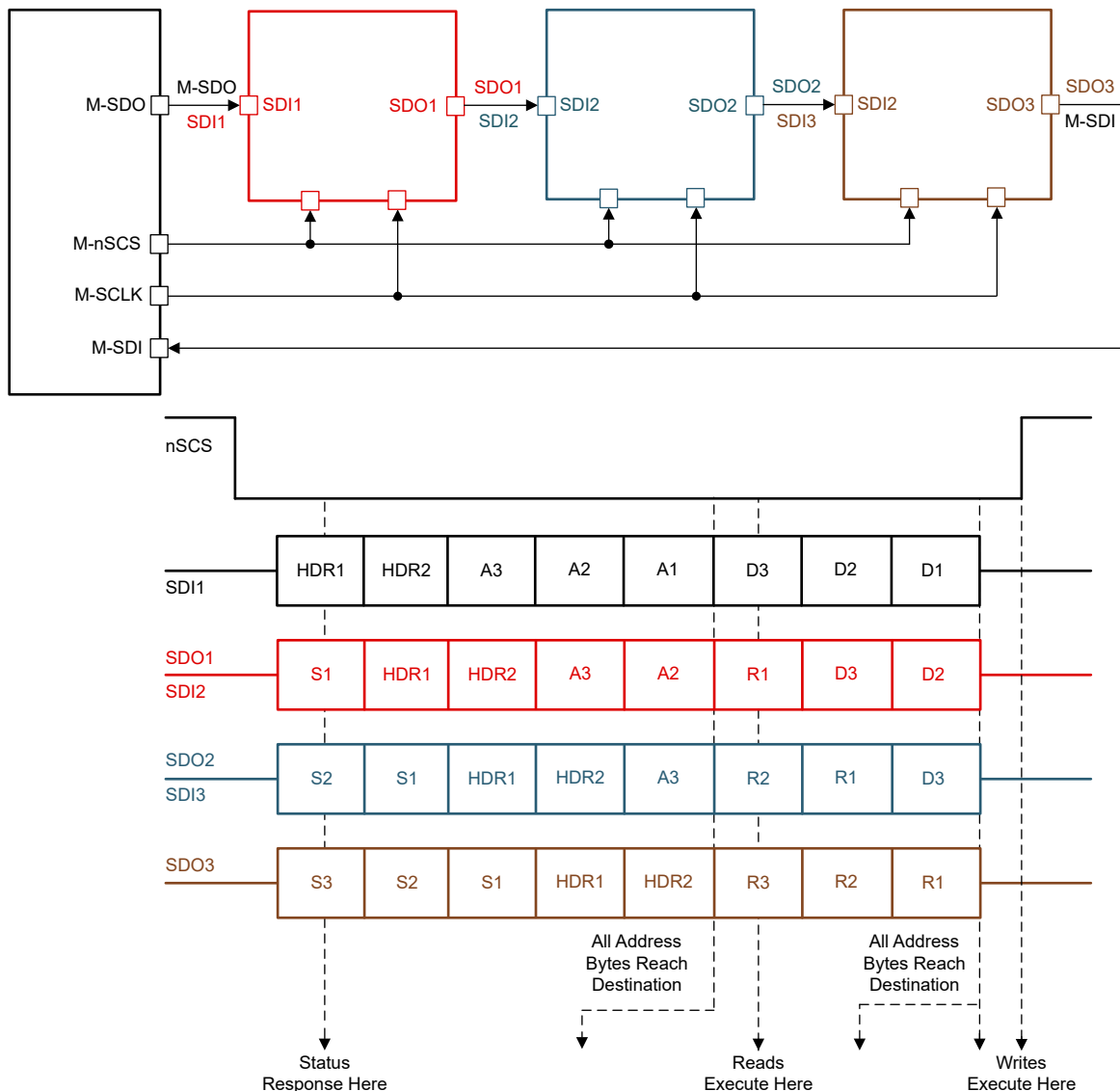


図 7-11. デジィー・チェーン SPI 動作

この場合、コントローラから送信される SDI は次の形式になります (図 7-11 の SDI1 を参照)。

- 2 バイトのヘッダ (HDR1、HDR2)
- チェーン内で最も遠いペリフェラルから始まる「n」バイトの**コマンド・バイト** (この例では A3、A2、A1)
- チェーン内で最も遠いペリフェラルから始まる「n」バイトの**データ・バイト** (この例では D3、D2、D1)
- 合計 $2 \times \text{「n」} + 2$ バイト

データがチェーンを通して送信されると、コントローラはそれを次の形式で受信 します (図 7-11 の SDO3 を参照)。

- チェーン内で最も遠いペリフェラルから始まる 3 バイトの**ステータス・バイト** (この例では S3、S2、S1)
- 前に送信された 2 バイトのヘッダ (HDR1、HDR2)

- チェーン内の最も遠いペリフェラルから始まる 3 バイトの**レポート・バイト** (この例では R3、R2、R1)

ヘッダ・バイトは、デジター・チェーン SPI 通信の開始時にアサートされる特別なバイトです。ヘッダ・バイトは、先頭の 2 ビットが 1 と 0 で始まる必要があります。

最初のヘッダ・バイト (HDR1) には、デジター・チェーン内のペリフェラル・デバイスの総数に関する情報が含まれます。N5～N0 は、[図 7-12](#) のようにチェーン内のデバイスの数を示す 6 ビットの値です。各デジター・チェーン接続に、最大 63 個のデバイスを直列に接続できます。ペリフェラルの数 = 0 は許容されず、SPI_ERR フラグが立てられます。

2 番目のヘッダ・バイト (HDR2) には、グローバルな **CLR FAULT** コマンドが含まれており、チップ・セレクト (nSCS) 信号の立ち上がりエッジですべてのデバイスのフォルト・レジスタをクリアします。HDR2 レジスタの後続 5 ビットは、SPARE (予備) となっています (冗長ビット)。これらのデータは、MCU でデジター・チェーン接続の整合性を判定するために使用できます。

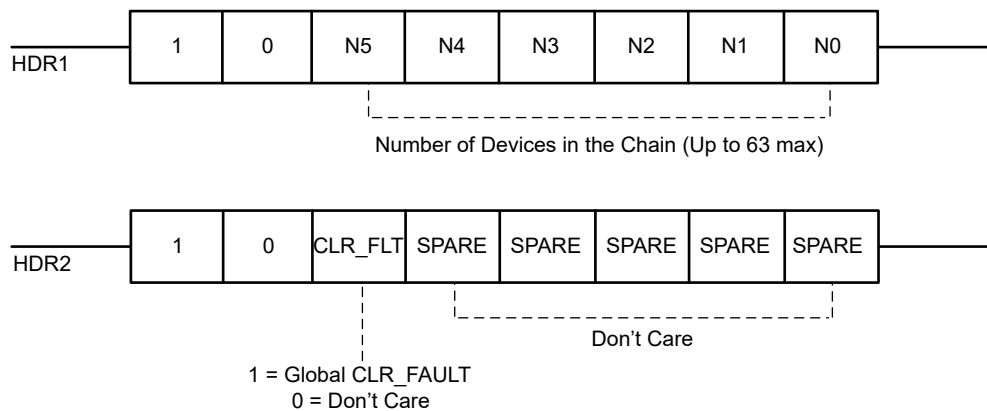


図 7-12. ヘッダ・バイト

さらに、このデバイスは、先頭の 2 ビットが 1 と 1 で始まるバイトを「パス」バイトとして認識します。「パス」バイトはデバイスによって処理されませんが、単に SDO 上で次のバイトとして送信されます。

データがデバイスを通る際、デバイスは最初のヘッダ・バイトの前に受信したステータス・バイトの数を数えることで、チェーン内の自身の位置を判断します。たとえば、この 3 デバイス構成でチェーン内のデバイス 2 は、2 つのヘッダ・バイトを受信する前に、2 つのステータス・バイトを受信します。

ステータス・バイトが 2 つなので、チェーン内の位置が 2 番目であることがわかります。また、HDR1 バイトから、チェーン内に接続されているデバイスの数がわかります。このようにして、そのデバイスに対応するアドレスおよびデータ・バイトのみをバッファに読み込み、その他のビットは無視してバイパスします。このプロトコルは、チェーン接続した最大 63 台のデバイスのシステムにレイテンシを追加せずに高速な通信を可能にします。

コマンド、データ、ステータス、およびレポート・バイトは、「**標準フレーム形式**」で説明されているものと同じです。

8 レジスタ・マップ - SPI バリエーションのみ

このセクションでは、デバイス内にある、ユーザーが構成可能なレジスタについて説明します。

注

デバイスで SPI 通信が利用可能なときには、いつでもレジスタへの書き込みが可能です。負荷が駆動されている間にアクティブ状態でレジスタを更新する際には注意が必要です。これは、重要なデバイス構成を制御する S_DIAG などの設定で特に重要です。レジスタへの意図しない書き込みを防止するため、このデバイスは、COMMAND レジスタの REG_LOCK ビットによるロック・メカニズムを備えており、設定可能なすべてのレジスタの内容をロックできます。ベスト・プラクティスとしては、初期化の際にすべての構成可能なレジスタに書き込み、次にこれらの設定をロックすることです。出力制御用のランタイム・レジスタ書き込みは、SPI_IN レジスタによって処理されます。このレジスタは、SPI_IN_LOCK ビットによる専用の個別ロック・メカニズムを備えています。

8.1 ユーザー レジスタ

次の表に、ユーザーがアクセスできるすべてのレジスタを示します。この表に記載されていないレジスタのアドレスは、すべて「予約済み」と見なされ、この空間へのアクセスはブロックされます。そのようなレジスタにアクセスすると、SPI_ERR が発生します。

表 8-1. ユーザー レジスタ

名称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	タイプ ⁽²⁾	アドレス
DEVICE_ID	DEV_ID[5]	DEV_ID[4]	DEV_ID[3]	DEV_ID[2]	DEV_ID[1]	DEV_ID[0]	REV_ID[1]	REV_ID[0]	R	00h
FAULT_SUMMARY	SPI_ERR ⁽³⁾	POR	フォルト	VMOV	VMUV	OCP	TSD	VCPUV ⁽³⁾	R	01h
STATUS1	OLA ⁽⁶⁾	OLA ⁽⁶⁾	ITRIP_CMP	アクティブ	OCP_H ⁽⁷⁾	OCP_L ⁽⁸⁾	OCP_H ⁽⁷⁾	OCP_L ⁽⁸⁾	R	02h
STATUS2	DRVOFF_STAT	N/A ⁽⁴⁾	N/A ⁽⁴⁾	アクティブ	N/A ⁽⁴⁾	N/A ⁽⁴⁾	N/A ⁽⁴⁾	OLP_CMP	R	03h
COMMAND	CLR_FLT	N/A ⁽⁴⁾	N/A ⁽⁴⁾	SPI_IN_LOCK[1]	SPI_IN_LOCK[0] (1)	N/A ⁽⁴⁾	REG_LOCK[1]	REG_LOCK[0] ⁽¹⁾	R/W	08h
SPI_IN	N/A ⁽⁴⁾	N/A ⁽⁴⁾	N/A ⁽⁴⁾	N/A ⁽⁴⁾	S_DRVOFF ⁽¹⁾	SPARE ⁽⁵⁾ (1)	SPARE ⁽⁵⁾	S_IN	R/W	09h
CONFIG1	EN_OLA	VMOV_SEL[1]	VMOV_SEL[0]	SSC_DIS ⁽¹⁾	OCP_RETRY	TSD_RETRY	VMOV_RETRY	OLA_RETRY	R/W	0Ah
CONFIG2	SPARE ⁽⁵⁾	S_DIAG[1]	S_DIAG[0]	N/A ⁽⁴⁾	N/A ⁽⁴⁾	S_ITRIP[2]	S_ITRIP[1]	S_ITRIP[0]	R/W	0Bh
CONFIG3	TOFF[1]	TOFF[0] ⁽¹⁾	N/A ⁽⁴⁾	S_SR[2]	S_SR[1]	S_SR[0]	SPARE ⁽⁵⁾	SPARE ⁽⁵⁾	R/W	0Ch
CONFIG4	TOCP_SEL[1]	TOCP_SEL[0]	N/A ⁽⁴⁾	OCP_SEL[1]	OCP_SEL[0]	DRVOFF_SEL ⁽¹⁾	SPARE ⁽⁵⁾	IN_SEL	R/W	0Dh

- (1) リセット時、デフォルトで 1b に設定。その他はリセット時、デフォルトで 0b に設定。
- (2) R = 読み取り専用、R/W = 読み取り / 書き込み
- (3) VCPUV は、すべての SPI フレームについて、SDO 応答の最初のバイトでは、SPI_ERR に置き換えられています。SDO - 標準フレーム フォーマットを参照してください。
- (4) N/A = 利用不可 (このビットを読み取ると 0b になります)
- (5) SPARE = 冗長ビット。これらは、ユーザーがスクラッチ ビットとして利用できます。
- (6) 2 つの OLA ビットのいずれかが設定されている場合、OLA が示されます
- (7) 2 つの OCP_L ビットのいずれかが設定されている場合、OCP_L が示されます
- (8) 2 つの OCP_H ビットのいずれかが設定されている場合、OCP_H が示されます

DRV8145-Q1

JAJSPH7B – JANUARY 2023 – REVISED MARCH 2024

8.1.1 DEVICE_ID レジスタ (アドレス = 00h)

[ユーザー レジスタ表](#)に戻ります。

デバイス	DEVICE_ID の値
DRV8143S-Q1	BAh
DRV8144S-Q1	CAh
DRV8145S-Q1	DAh
DRV8143P-Q1	BEh
DRV8145P-Q1	DEh

8.1.2 FAULT_SUMMARY レジスタ (アドレス = 01h) [リセット = 40h]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7	SPI_ERR	R	0b	1b は前の SPI フレームで SPI 通信フォルトが発生したことを示します。
6	POR	R	1b	1b は、パワーオンリセットが検出されたことを示します。
5	フォルト	R	0b	SPI-ERR、POR、VMOV、VMUV、OCP、TSD、OLA & VCPUV のロジック OR
4	VMOV	R	0b	1b は、VM 過電圧が検出されたことを示します。スレッシュホールドを変更するか、または診断をディセーブルにするには、 VMOV_SEL を、フォルト応答を設定するには、 VMOV_RETRY を参照してください。
3	VMUV	R	0b	1b は、VM 低電圧が検出されたことを示します。
2	OCP	R	0b	1b は、1 つまたは複数のパワー FET で過電流が検出されたことを示します。スレッシュホールド & フィルタ時間を変更するには、 OCP_SEL 、 TOCP_SEL を参照してください。フォルト応答を設定するには、 OCP_RETRY を参照してください。
1	TSD	R	0b	1b は過熱が検出されたことを示します。フォルト応答を設定するには、 TSD_RETRY を参照してください。
0	VCPUV	R	0b	1b は、チャージ ポンプ低電圧が検出されたことを示します。

8.1.3 STATUS1 レジスタ (アドレス = 02h) [リセット = 00h]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7	OLA	R	0b	1b は、アクティブ状態のときに OUT で開放負荷状態が検出されたことを示します
6	OLA	R	0b	1b は、アクティブ状態のときに OUT で開放負荷状態が検出されたことを示します

ビット	フィールド	種類	リセット	説明
5	ITRIP_CMP	R	0b	1b は、負荷電流が ITRIP レギュレーション レベルに達したことを示します。
4	アクティブ	R	0b	1b は、デバイスがアクティブ状態であることを示します
3	OCP_H	R	0b	1b は、OUT のハイサイド FET で過電流 (GND への短絡) が検出されたことを示します
2	OCP_L	R	0b	1b は、OUT のローサイド FET で過電流 (VM への短絡) が検出されたことを示します
1	OCP_H	R	0b	1b は、OUT のハイサイド FET で過電流 (GND への短絡) が検出されたことを示します
0	OCP_L	R	0b	1b は、OUT のローサイド FET で過電流 (VM への短絡) が検出されたことを示します

8.1.4 STATUS2 レジスタ (アドレス = 03h) [リセット = 80h]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7	DRVOFF_STAT	R	1b	このビットは、DRVOFF ピンの状態を示します。1b は、ピンの状態が High であることを意味します。
6, 5	該当なし	R	0b	該当なし
4	アクティブ	R	0b	1b は、デバイスがアクティブ状態であることを示します (STATUS1 のビット 4 のコピー)
3, 2, 1	該当なし	R	0b	該当なし
0	OLP_CMP	R	0b	このビットは、オフ状態診断 (OLP) コンパレータの出力です。

8.1.5 COMMAND レジスタ (アドレス = 08h) [リセット = 09h]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7	CLR_FLT	R/W	0b	クリア フォルト コマンド - 1b を書き込むと、フォルトレジスタで報告されたすべてのフォルトがクリアされ、nFAULT ピンがアサート解除されます
6-5	該当なし	R	0b	該当なし
4-3	SPI_IN_LOCK	R/W	01b	10b を書き込むと、SPI_IN レジスタのロックを解除します 01b または 00b または 11b を書き込むと、SPI_IN レジスタをロックします SPI_IN レジスタは、デフォルトでロックされています。
2	該当なし	R	0b	該当なし

ビット	フィールド	種類	リセット	説明
1-0	REG_LOCK	R/W	01b	10b を書き込むと、CONFIG レジスタを ロック します 01b または 00b または 11b を書き込むと、CONFIG レジスタを ロック解除 します CONFIG レジスタは、デフォルトで ロック解除 されています。

8.1.6 SPI_IN レジスタ (アドレス = 09h) [リセット = 0Ch]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7-4	該当なし	R	0b	該当なし
3	S_DRVOFF	R/W	1b	SPI_IN がロックされていない場合、DRVOFF ピンと等価なレジスタ ビットです。 レジスタ ピン制御 セクションを参照してください。
2-1	該当なし	R	10b	該当なし
0	S_IN	R/W	0b	SPI_IN がロックされていない場合、IN ピンと等価なレジスタ ビットです。 レジスタ ピン制御 セクションを参照してください。

8.1.7 CONFIG1 レジスタ (アドレス = 0Ah) [リセット = 10h]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7	EN_OLA	R/W	0b	1b を書き込むと、アクティブ状態で開放負荷検出をイネーブルにします。独立モードでは、ローサイド負荷に対して OLA は常にディセーブルになっています。 「DIAG」 セクションを参照してください。
6-5	VMOV_SEL	R/W	0b	VM 過電圧診断のスレッシュホールドを決定します 00b = VM > 35V 01b = VM > 28V 10b = VM > 18V 11b = VMOV ディセーブル
4	SSC_DIS	R/W	1b	0b: スペクトラム拡散クロック機能をイネーブルにします
3	OCP_RETRY	R/W	0b	1b を書き込むと、過電流検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。
2	TSD_RETRY	R/W	0b	1b を書き込むと、過熱検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。

ビット	フィールド	種類	リセット	説明
1	VMOV_RETRY	R/W	0b	1b を書き込むと、VMOV 検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。 注 SPI (P) バリエーションの場合、このビットは VM 低電圧検出のフォルト応答も制御します。
0	OLA_RETRY	R/W	0b	1b を書き込むと、アクティブ状態での開放負荷検出の設定を再試行するようにフォルト応答を構成します。それ以外の場合、フォルト応答はラッチされます。

8.1.8 CONFIG2 レジスタ (アドレス = 0Bh) [リセット = 00h]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7	SPARE	R/W	0b	未使用
6-5	S_DIAG	R/W	0b	負荷タイプ表示 - DIAG 表 を参照
4-3	該当なし	R	0b	該当なし
2-0	S_ITRIP	R/W	0b	ITRIP レベル設定 - ITRIP 表 を参照

8.1.9 CONFIG3 レジスタ (アドレス = 0Ch) [リセット = 40h]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7-6	TOFF	R/W	1b	ITRIP 電流レギュレーションで使用する TOFF 時間 00b = 20μsec 01b = 30μsec 10b = 40μsec 11b = 50μsec
5	該当なし	R	0b	該当なし
4-2	S_SR	R/W	0b	スルー レート構成 - セクション 7.3.3.1 を参照
1-0	SPARE	R/W	0b	未使用

8.1.10 CONFIG4 レジスタ (アドレス = 0Dh) [リセット = 04h]

[ユーザー レジスタ表](#)に戻ります。

ビット	フィールド	種類	リセット	説明
7-6	TOCP_SEL	R/W	0b	過電流検出に対するフィルタ時間の設定 00b = 6μsec 01b = 3μsec 10b = 1.5μsec 11b = 最小 (約 0.2μsec)
5	該当なし	R	0b	該当なし
4-3	OCP_SEL	R/W	0b	過電流検出に対するスレッシュホールドの設定 00b = 100% 設定 01b、11b = 50% 設定 10b = 75% 設定
2	DRVOFF_SEL	R/W	1b	DRVOFF ビン - レジスタ ロジックの組み合わせ (SPI_IN がロックされていない場合) 0b = OR 1b = AND
1	SPARE	R/W	0b	未使用
0	IN_SEL	R/W	0b	IN ビン - レジスタ ロジックの組み合わせ (SPI_IN がロックされていない場合) 0b = OR 1b = AND

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

DRV814x-Q1 ファミリは、ハーフブリッジまたは H ブリッジ電力段構成を必要とする各種用途に使用できます。一般的なアプリケーション例としては、ブラシ付き DC モーター、ソレノイド、アクチュエータなどがあります。また、LED、抵抗素子、リレーなど多くの一般的な受動負荷の駆動にも利用できます。以下のアプリケーション例では、H ブリッジ・ドライバを必要とする双方向電流制御アプリケーションや、2 つのハーフブリッジ・ドライバを必要とするデュアル単方向電流制御アプリケーションで本デバイスを使用する方法を紹介します。

9.1.1 負荷の概要

に、各種の誘導性負荷に対するデバイス機能のユーティリティを示します。

表 9-1. 負荷の概要表

負荷	設定		デバイスの機能		
	デバイス	還流パス	スルーレート制御	電流感知	ITRIP レギュレーション
双方向モーターまたはソレノイド (1)	2 つの DRV814x によるフル・ブリッジ	ハイサイド	フルレンジ	連続	有益ではない(3)
双方向モーターまたはソレノイド (1)	2 つの DRV814x によるフル・ブリッジ	ローサイド	フルレンジ	不連続(2)	有益
単方向モーターまたはローサイド・ソレノイド (片側は GND に接続)	DRV814x	ローサイド	フルレンジ	不連続(2)	有益
ハイサイド・ソレノイド (片側は VM に接続)	DRV814x	ハイサイド	フルレンジ	利用不可、外部ソリューションが必要	

- (1) ソレノイド - クランプまたはクイック消磁が可能、クランプレベルは VM に依存
(2) 還流中および OUT 電圧のスルー時間中 (t_{blank} を含む) には検出しない
(3) SPI バリエーション - コントローラは、ITRIP_CMP ビットをポーリングして、2 つのハーフブリッジ間の外部調整が可能

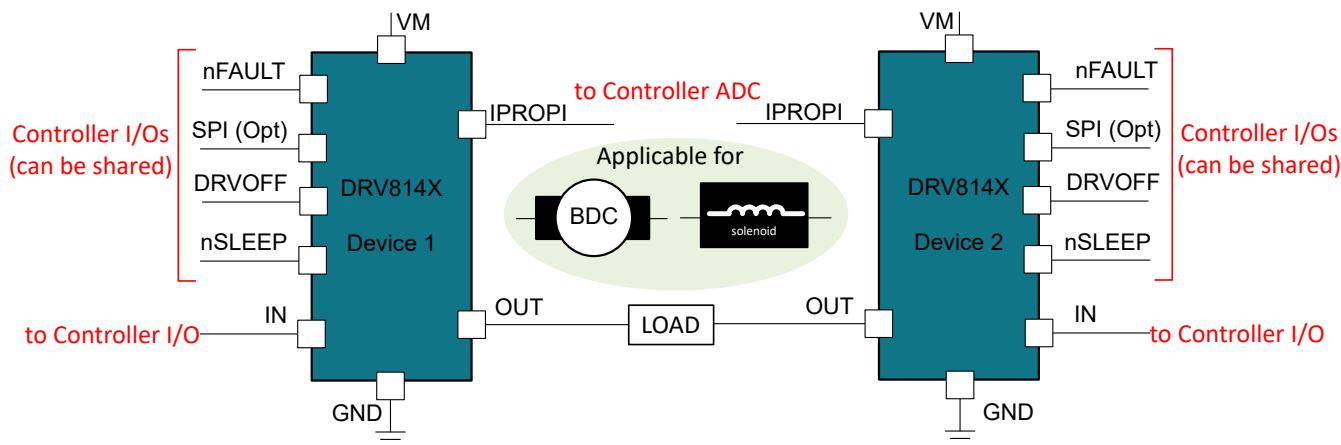


図 9-1. 2 つの DRV814x-Q1 デバイスによるフルブリッジ・トポロジの説明図

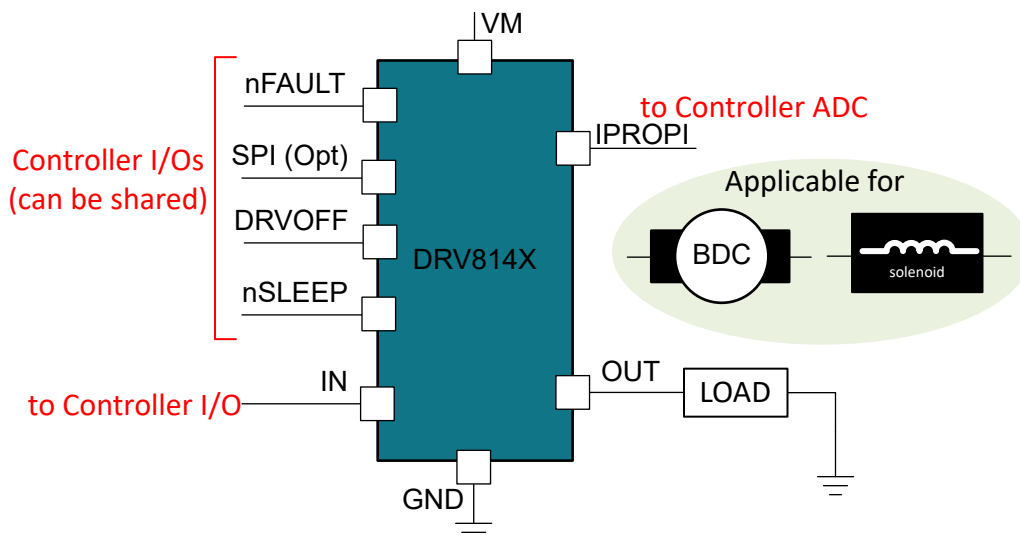


図 9-2. DRV814x-Q1 デバイスでローサイド負荷を駆動するハーフブリッジ・トポロジの説明図

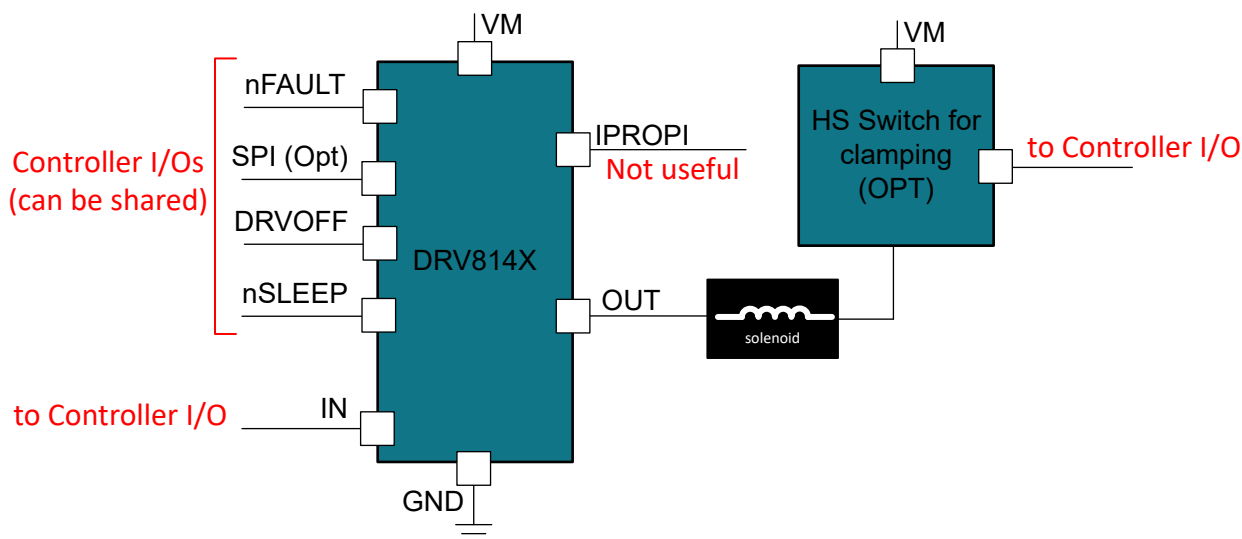


図 9-3. DRV814x-Q1 デバイスでハイサイド負荷を駆動するハーフブリッジ・トポロジの説明図

9.2 代表的なアプリケーション

以下の図は、ブラシ付き DC モーターまたは何らかの誘導性負荷を駆動するための代表的なアプリケーション回路図を示しています。これらの回路図にはいくつかの選択可能な接続があります。それぞれを以下に示します。

- nSLEEP ピン
 - SPI (S) バリエーション - スリープ機能が必要ないアプリケーションでは、このピンを High に接続できます。
 - SPI (P) バリエーション - 該当なし
 - HW (H) バリエーション - スリープ機能が必要ない場合であっても、ピン制御は**必須**です。コントローラは、ウェークアップ時にリセットパルス (標準値: 30μsec、 t_{reset} 最大値と t_{sleep} 最小値の間に限定) を発行し、ウェークアップまたはパワーアップをアクノリッジする必要があります。
- DRVOFF ピン
 - SPI (P) および SPI (S) バリエーション両方 - **ピン機能でシャットオフする必要がないアプリケーションでは、このピンは Low に接続できます。これと等価なレジスタビットを使用できます。**
- IN ピン

- SPI (P) および SPI (S) バリエーション両方 - レジスタのみでの制御が必要な場合、このピンを Low に接続するか、またはフローティングのままにできます。
- NC ピン
 - すべてのバリエーション - このピンは、フローティングのままにするか、または Low に接続できます。
- OUT ピン
 - EMC の目的で、OUT と GND の間の負荷付近にコンデンサのための PCB フットプリントを追加することを推奨します。
- IPROPI ピン
 - すべてのバリエーション - この出力の監視は任意です。また、ITRIP 機能 & IPROPI 機能が不要な場合、IPROPI ピンを Low に接続できます。必要に応じて、小型コンデンサ (10nF~100nF) のための PCB フットプリントを追加することを推奨します。
- nFAULT ピン
 - SPI (P) および SPI (S) バリエーション両方 - この出力の監視は任意です。すべての診断情報は、STATUS レジスタから読み取り可能です。
- SPI 入力ピン
 - SPI (P) および SPI (S) バリエーション両方 - 入力 (SDI、nSCS、SCLK) は、3.3V / 5V レベル互換です。
- SPI SDO ピン
 - SPI (S) バリエーション - SDO は nSLEEP ピン電圧に追従します。
 - SPI (P) バリエーション - SDO は VDD ピン電圧に追従します。3.3V レベルのコントローラ入力と接続するには、レベルシフタまたは電流制限用の直列抵抗を推奨します。
- CONFIG ピン
 - HW (H) バリエーション - GND への短絡およびハイインピーダンスレベルを選択する場合、抵抗は不要です
 - SR、ITRIP、DIAG ピンの LVL1 および LVL6

9.2.1 HW バリエーション

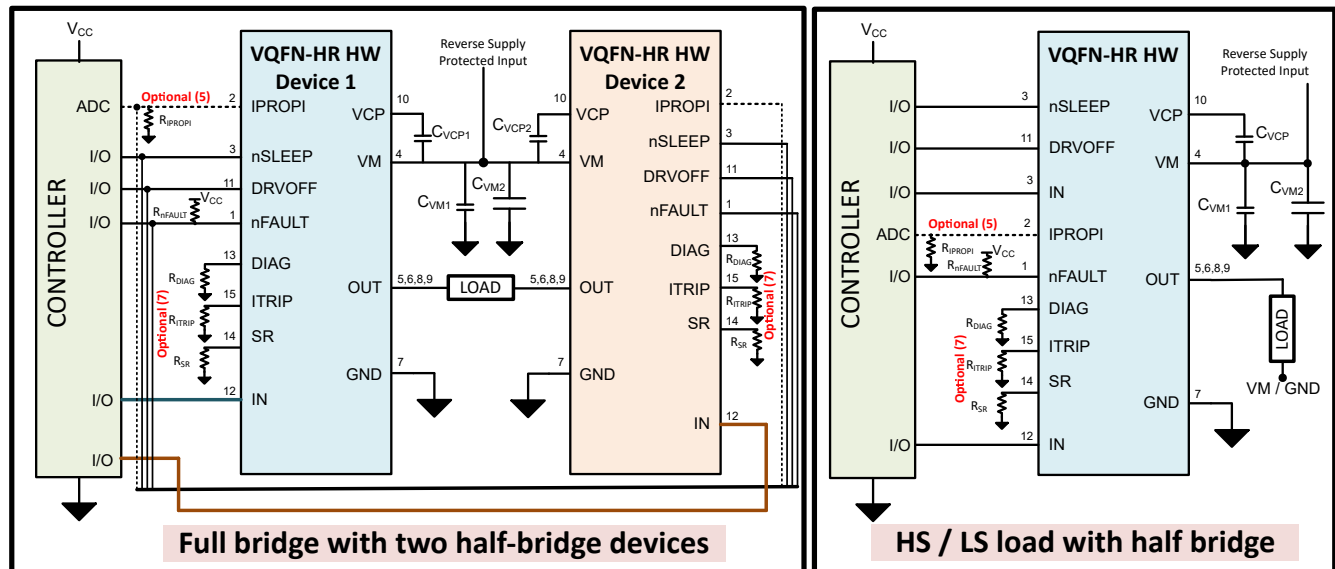


図 9-4. 代表的なアプリケーション回路図 - VQFN-HR パッケージの HW バリエーション

9.2.2 SPI バリエーション

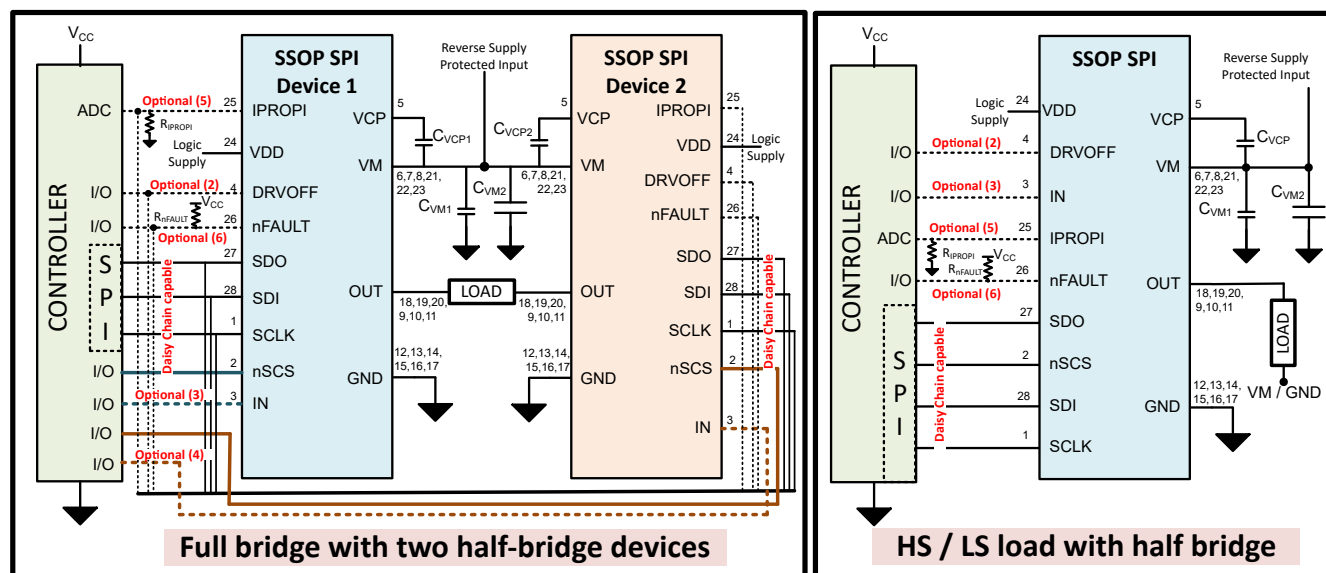


図 9-5. 代表的なアプリケーション回路図 - HTSSOP パッケージの SPI (P) バリエーション

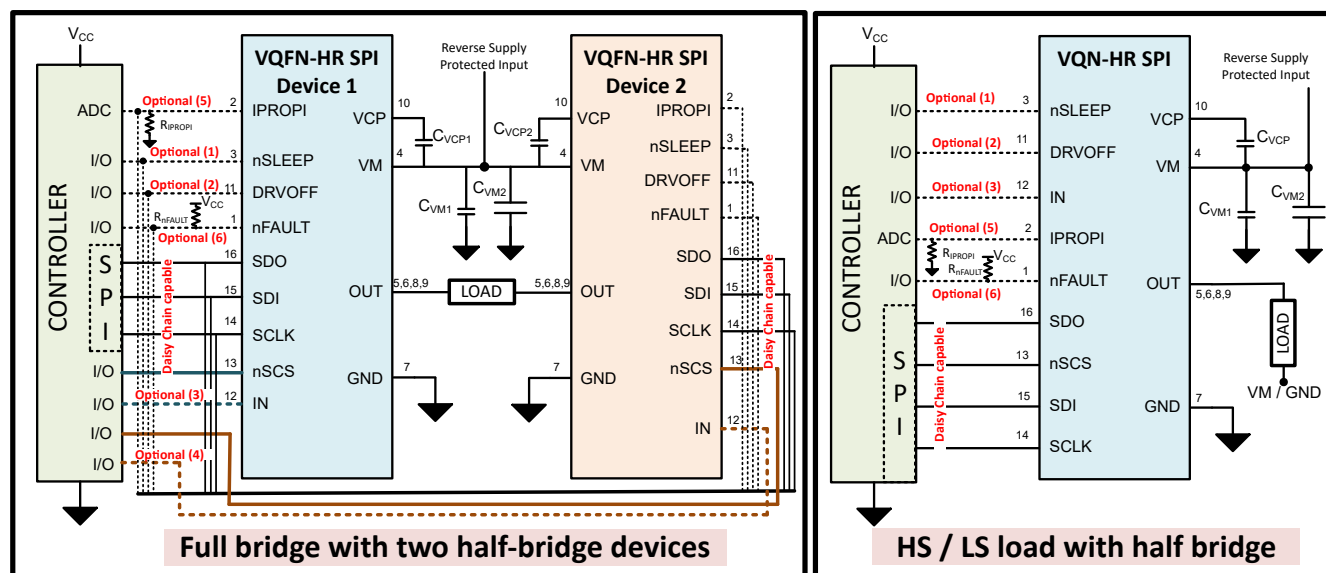


図 9-6. 代表的なアプリケーション回路図 - VQFN-HR パッケージの SPI (S) バリエーション

9.3 電源に関する推奨事項

このデバイスは、4.5V～40V の入力電源電圧 (VM) 範囲で動作するように設計されています。VM 定格の 0.1μF セラミックコンデンサをデバイスのできるだけ近くに配置する必要があります。また、適切なサイズのパルックコンデンサを VM ピンに配置する必要があります。

9.3.1 バルク容量の決定

バルク容量のサイズ決定は、モーター駆動システムの設計において重要な要素です。バルク容量が大きいほど有利ですが、その一方でコストと物理的なサイズが増加します。

必要なローカル容量値は、次のようなさまざまな要因で決まります。

- モーター・システムが必要とする最大電流
- 電源の容量、および電源の電流供給能力
- 電源とモーター・システムの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッピング)
- モーターのブレーキ方式

電源とモーター駆動システムとの間のインダクタンスにより、電源からの電流が変化する速度が制限されます。ローカル・バルク容量が小さすぎると、モーターに大電流を供給しようとする場合、または負荷ダンブが発生した場合、システムの電圧が変動します。十分なバルク容量を使うことで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

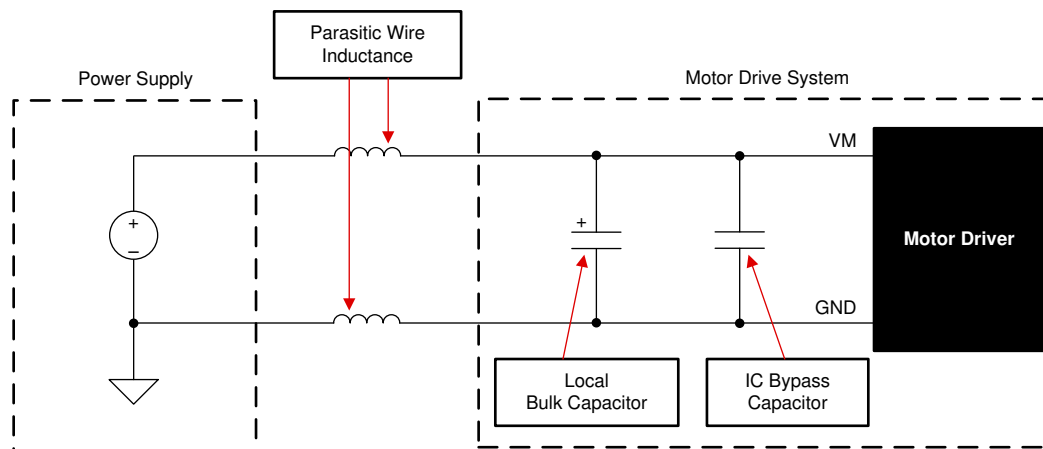


図 9-7. 外部電源を使用したモーター駆動システムの構成例

モーターから電源にエネルギーが伝達される場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

低 ESR セラミック バイパス コンデンサ (VM に対応する定格電圧、推奨値 0.1μF) を使って、各 VM ピンをグランドにバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いパターンまたはグランド プレーンでデバイスの GND ピンに接続する必要があります。

大電流パスをバイパスするために、追加のバルク コンデンサが必要です。このバルク コンデンサは、大電流パスの長さが最小となるよう配置する必要があります。接続用の金属パターンはできるだけ幅広くし、PCB の層間を多数のビアで接続します。これらの手法により、インダクタンスが最小限に抑えられ、バルク コンデンサが大電流を供給できるようになります。

VCP ピンと VM ピンの間にも、低 ESR のセラミック コンデンサを配置します。これには、X5R または X7R タイプで、6.3V 定格、1μF のコンデンサを使用する必要があります。

SPI (P) デバイス バリエーションでは、低 ESR セラミック 6.3V バイパス コンデンサ (推奨値 0.1μF) を使って、VDD ピンをグランドにバイパスすることもできます。

9.4.2 レイアウト例

次の図は、リード付きパッケージ デバイス用の 4cm x 4cm x 1.6mm、4 層 PCB のレイアウト例を示しています。4 層は、最上層および最下層に 2 オンスの銅箔、内層電源層に 1 オンスの銅箔を使用しており、サーマルビアはドリル径 0.3mm

で 0.025mm の銅メッキ、最小ビアピッチ 1mm となっています。リードなしの VQFN-HR パッケージにも、同じレイアウトを採用できます。4cm x 4cm x 1.6mm に対する [セクション 6.5.14](#) は、同様のレイアウトに基づいています。

注:このレイアウト例は、VQFN-HR パッケージの DRV814xQ1 デバイスを使ったフルブリッジトポロジを示しています。

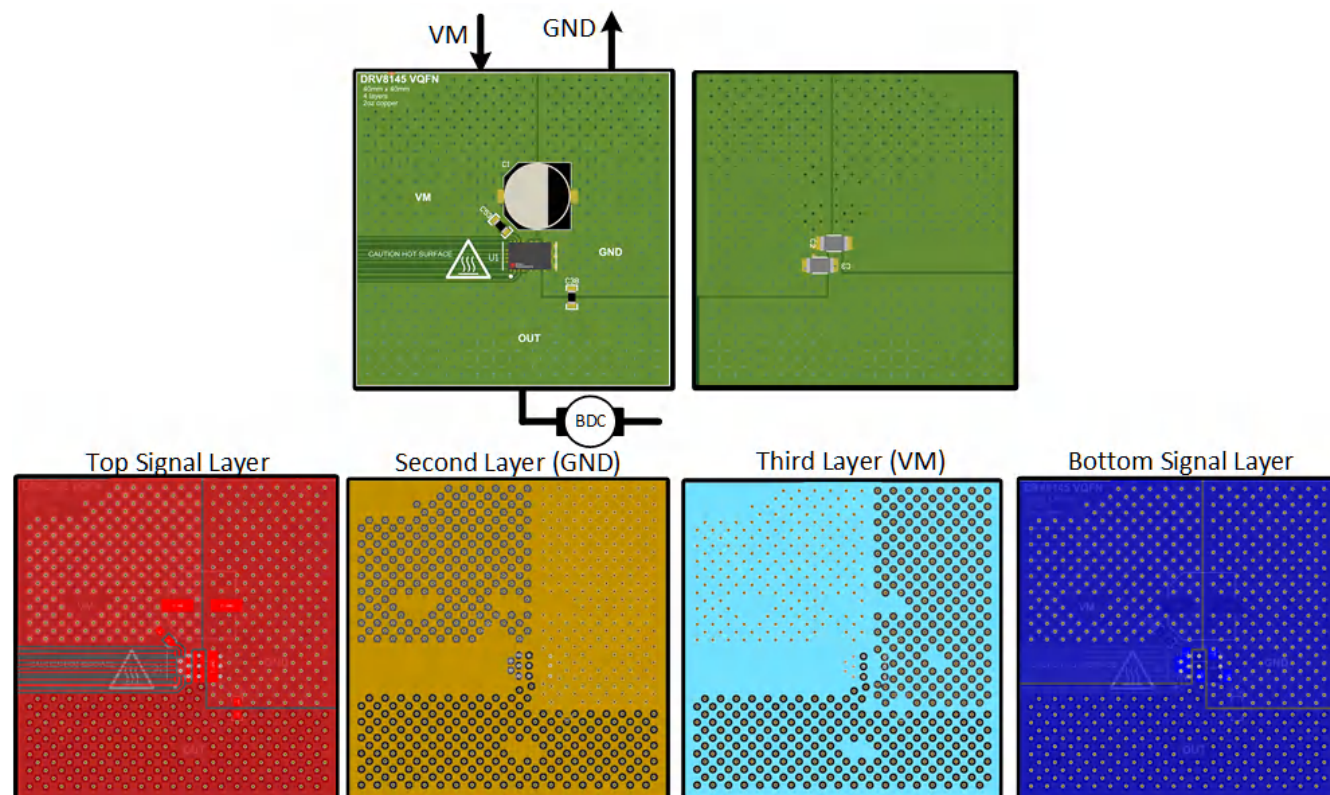


図 9-8. レイアウト例 : 4cm x 4cm x 1.6mm、4 層 PCB

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[『Half Bridge Driver Junction Temperature Estimator』](#)(Excel ベースのワークシート) (英語)
- テキサス・インスツルメンツ、[『モーター・ドライバ消費電力の計算』](#)アプリケーション・レポート
- テキサス・インスツルメンツ、[『Current Recirculation and Decay Modes』](#)アプリケーション・レポート (英語)
- テキサス・インスツルメンツ、[『PowerPAD™ 入門』](#)アプリケーション・レポート
- テキサス・インスツルメンツ、[『熱特性強化型パッケージ PowerPAD™』](#)アプリケーション・レポート
- テキサス・インスツルメンツ、[『モーター・ドライバ電流定格の説明』](#)アプリケーション・レポート
- テキサス・インスツルメンツ、[『モータ・ドライバの基板レイアウトのベスト・プラクティス』](#)アプリケーション・レポート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](#) のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 コミュニティ・リソース

10.4 商標

すべての商標は、それぞれの所有者に帰属します。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2023) to Revision B (March 2024)	Page
• DRV8143H に HVSSOP デバイス パッケージを追加.....	3

Changes from Revision * (January 2023) to Revision A (June 2023)	Page
• EC 表 - I _{PD_OLA} の下限値を 1.75mA から 0.36mA に低減.....	17

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DRV8145HQRXZRQ1	ACTIVE	VQFN-HR	RXZ	16	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8145H	Samples
DRV8145PQPWPRQ1	ACTIVE	HTSSOP	PWP	28	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8145P	Samples
DRV8145SQRXZRQ1	ACTIVE	VQFN-HR	RXZ	16	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	DRV8145S	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

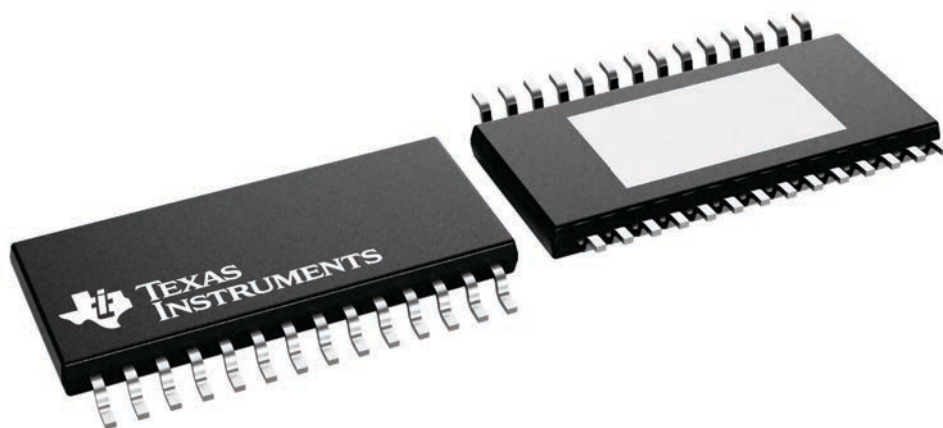
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

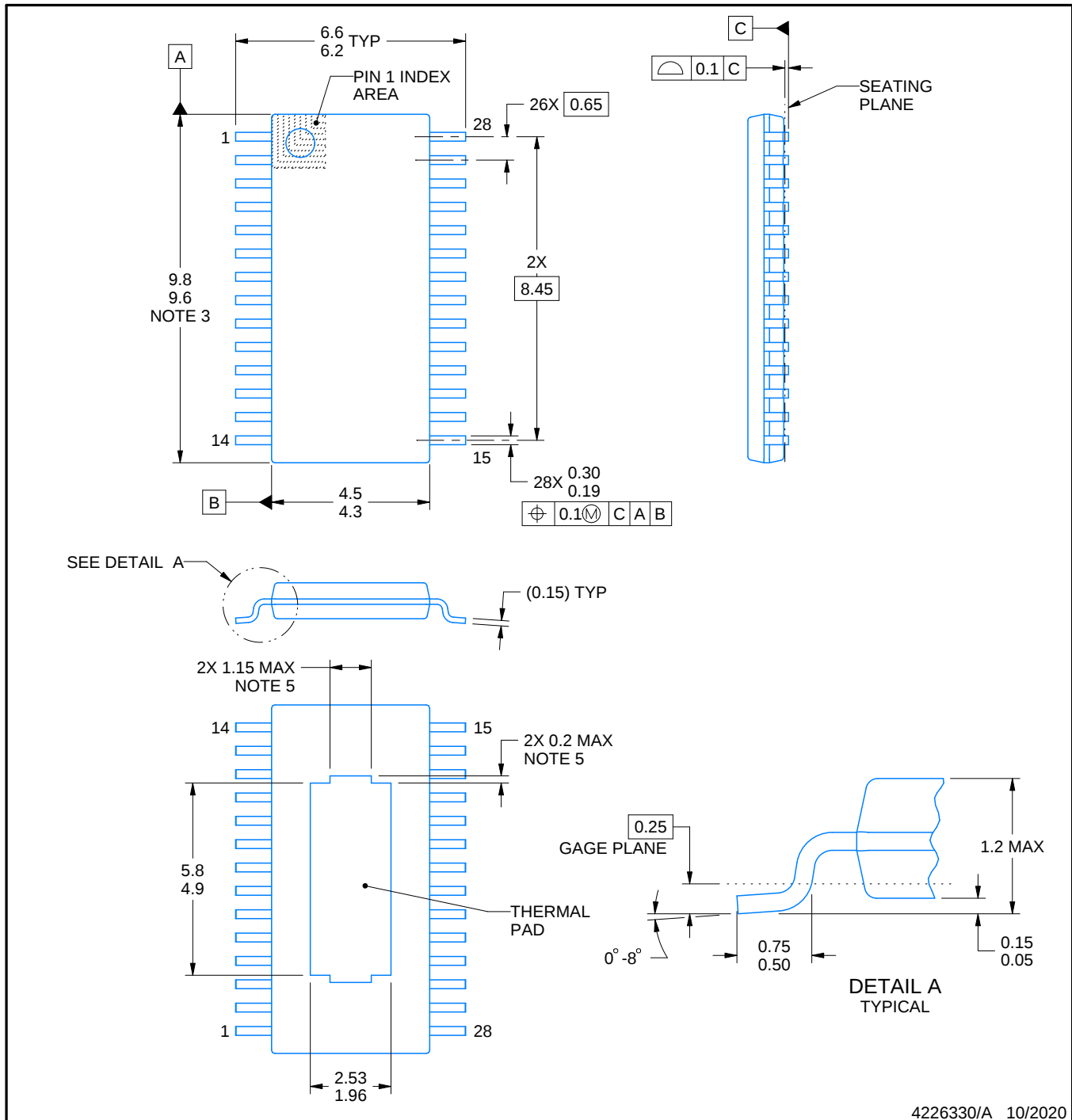
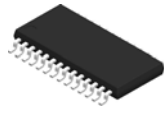
4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B



4226330/A 10/2020

NOTES:

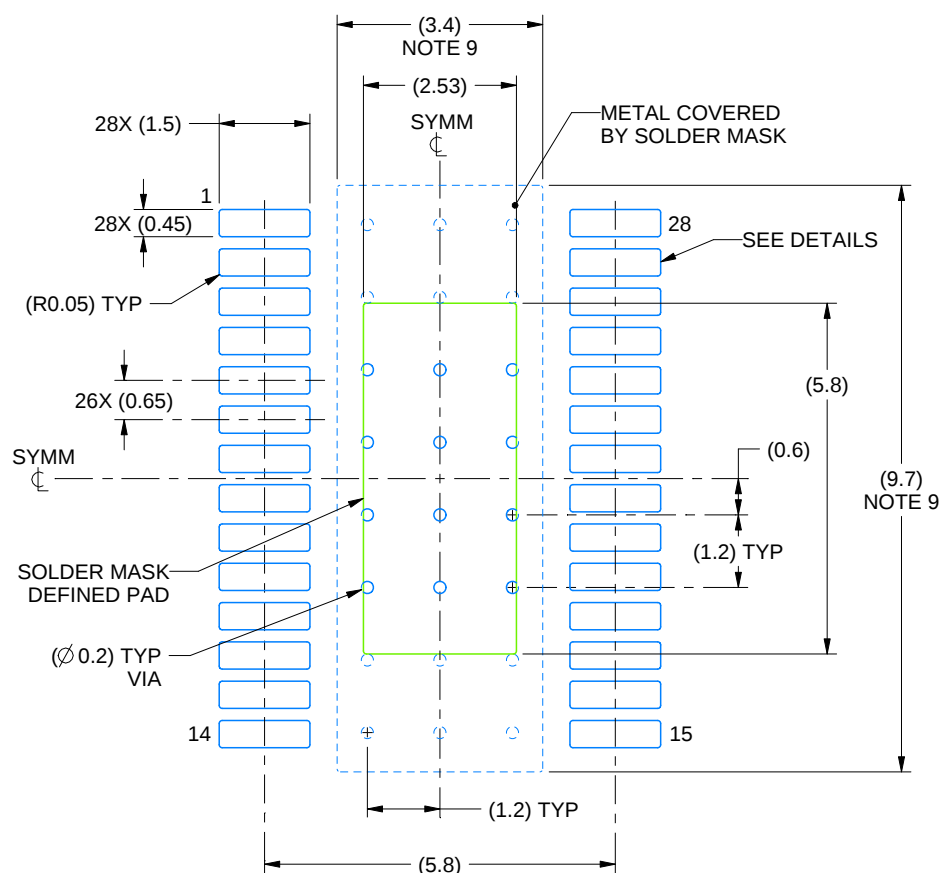
PowerPAD is a trademark of Texas Instruments.

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- Reference JEDEC registration MO-153.
- Features may differ or may not be present.

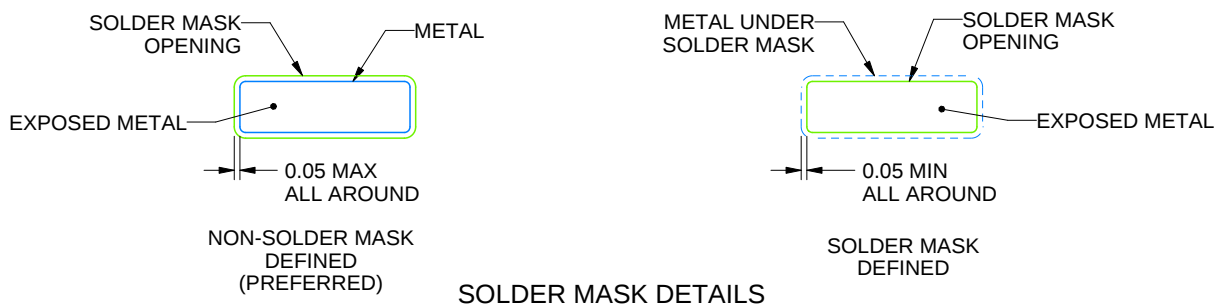
PWP0028R

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



4226330/A 10/2020

NOTES: (continued)

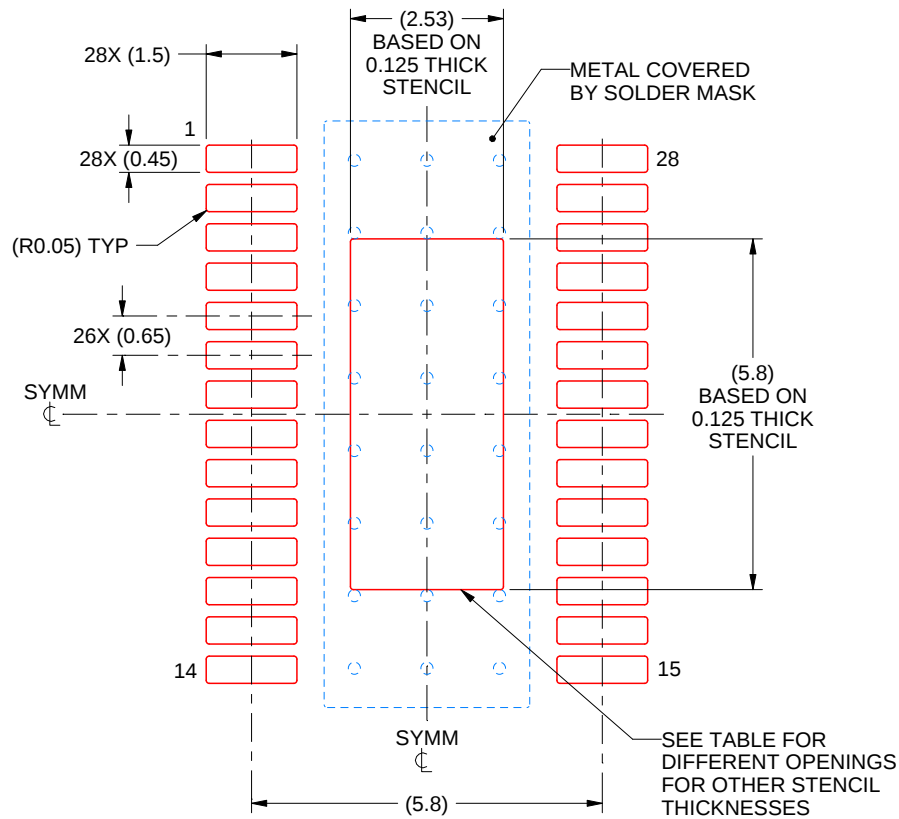
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028R

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



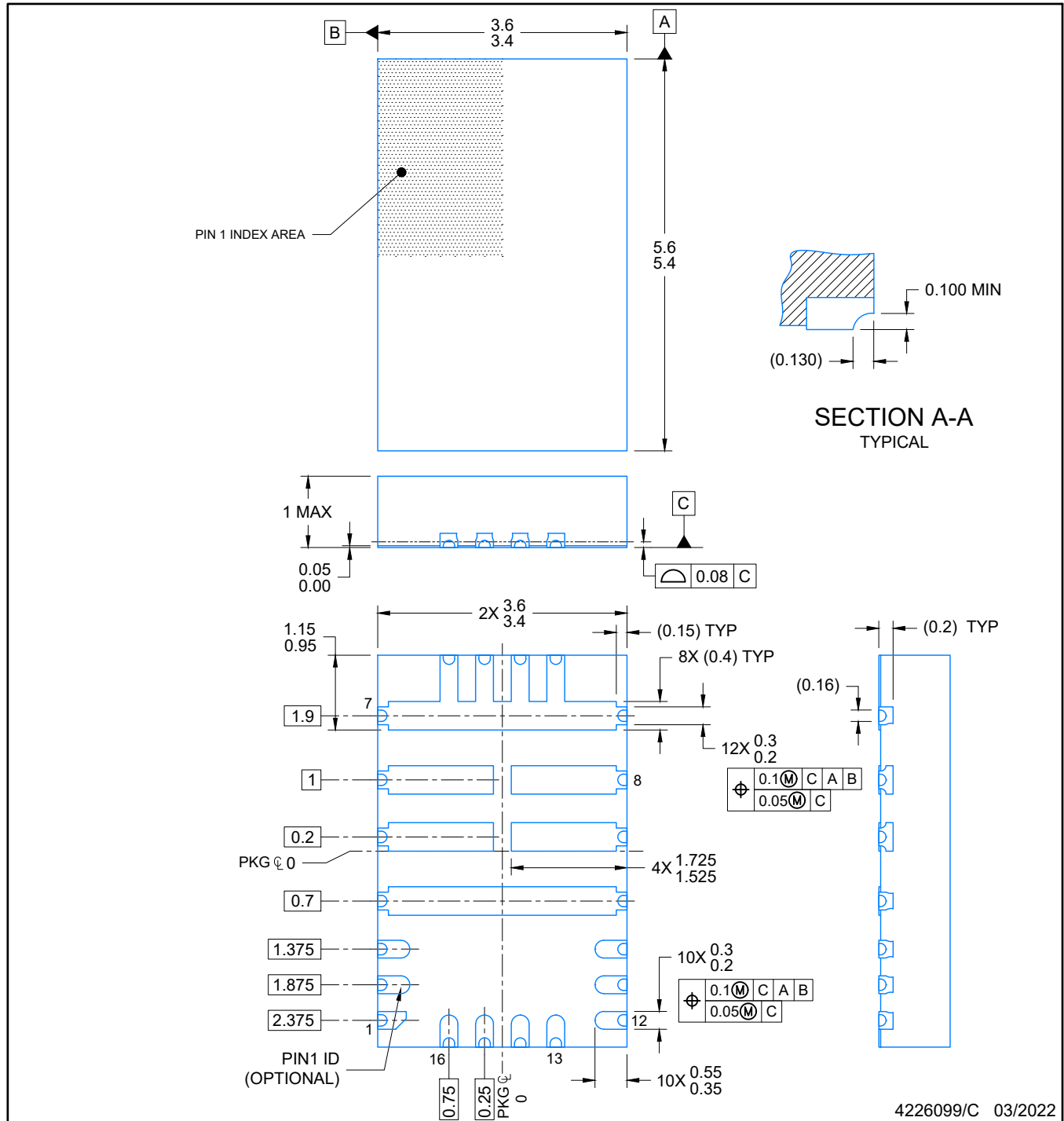
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.83 X 6.48
0.125	2.53 X 5.80 (SHOWN)
0.15	2.31 X 5.29
0.175	2.14 X 4.90

4226330/A 10/2020

NOTES: (continued)

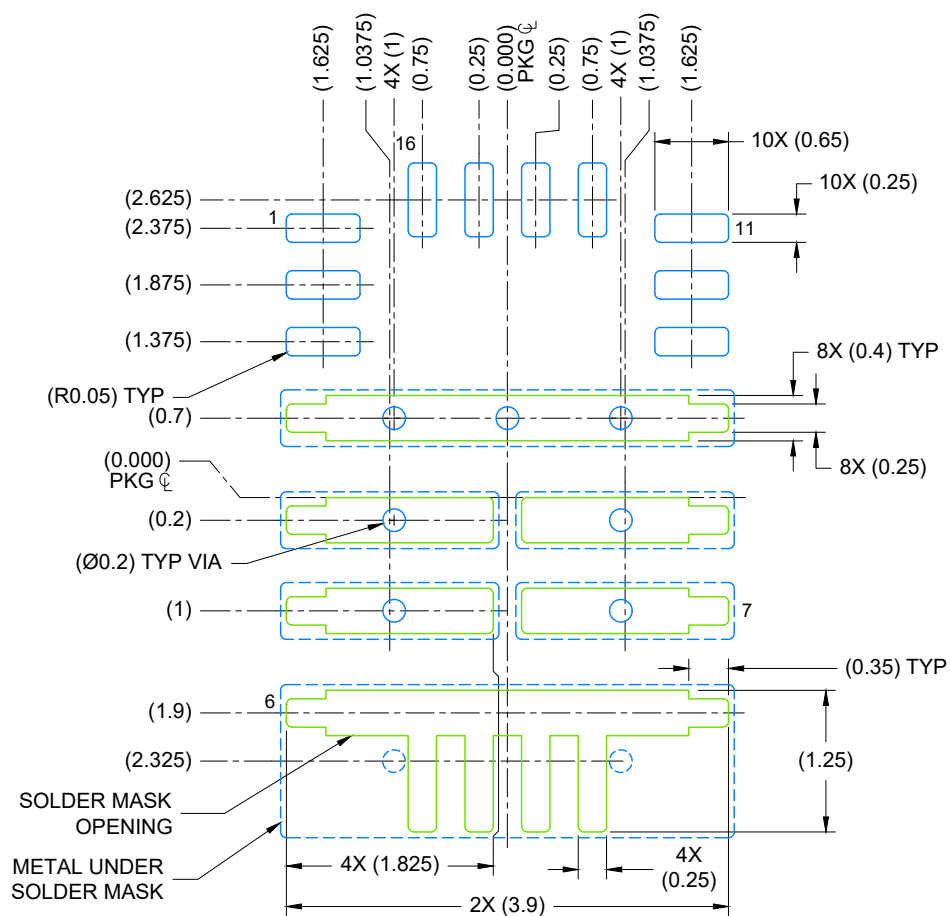
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



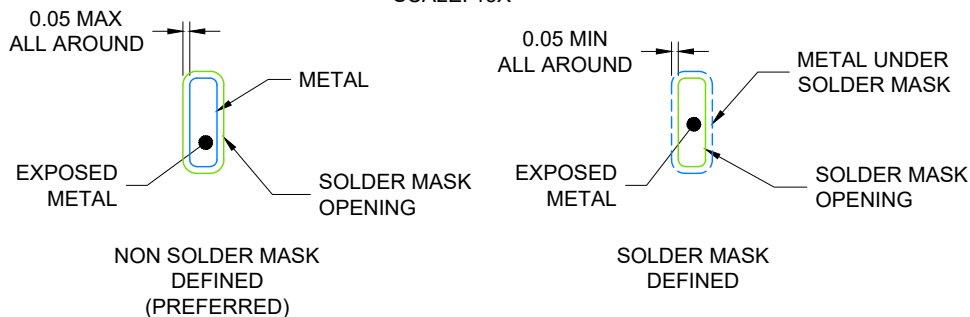
4226099/C 03/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

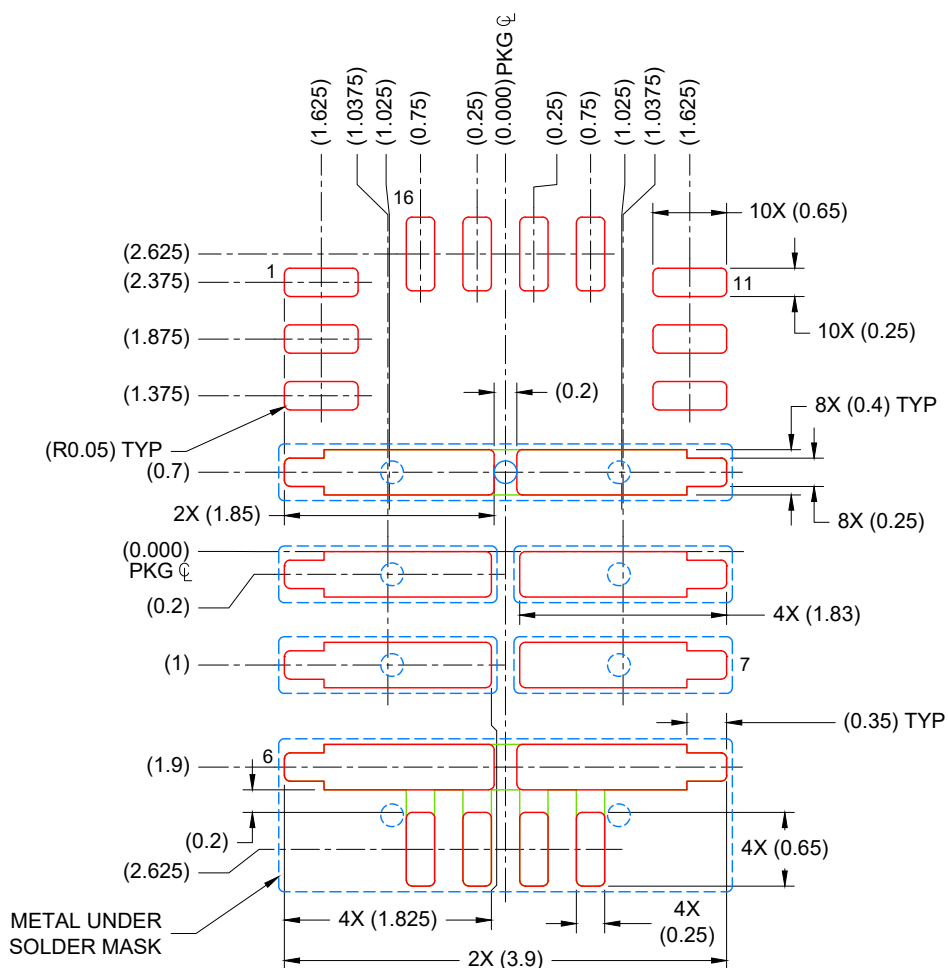
EXPOSED METAL SHOWN
SCALE: 15X

SOLDER MASK DETAILS

4226099/C 03/2022

NOTES: (continued)

- For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Solder mask tolerances between and around signal pads can vary based on board fabrication site.
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL
 SCALE: 15X

PAD 4: 94%; PAD 7: 88%

4226099/C 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated