

DRV8461 : 65V、3A ステッパ・モーター・ドライバ、高効率およびノイズレス動作

1 特長

- ステッパ・モーター・ドライバ
 - STEP/DIR ピン付きの SPI またはハードウェア・インターフェイス
 - 最高 **1/256** のマイクロステッピング・インデクサ
- **4.5V~65V** の動作電源電圧範囲
 - 標準の 24V、36V、48V レールをサポート
- 低い $R_{DS(ON)}$: 24V、25°C で **300mΩ HS + LS**
- ブリッジごとの大電流能力:
 - **3A** フルスケール、2.1A RMS
- DDW パッケージは次のデバイスとピン互換
 - **DRV8452DDWR**: 55V、5A フルスケール
 - **DRV8462DDWR**: 65 V、5A フルスケール
- PWP パッケージは次のデバイスとピン互換
 - **DRV8434/52**: 48/55V、2.5/5A
 - **DRV8424/26**: 33V、1.5/2.5A
- 電流検出およびレギュレーション機能を内蔵
 - **±6%** のフルスケール電流精度
- スマート・チューンと混合減衰のレギュレーション・オプション
- サイレント・ステップ減衰モードは静止時および低速時のサイレント動作に使用
- 自動マイクロステッピング・モードはステップ周波数補間に使用
- カスタマイズ可能なマイクロステッピング・インデクサの表
- 自動トルクは負荷に依存する電流制御に使用
- 静止電力節約モード
- 1.8V、3.3V、5.0V のロジック入力をサポート
- 低消費電流のスリープ・モード (2.5μA)
- 独立したロジック電源電圧 (VCC)
- 保護および診断機能
 - センサレスのストール検出
 - VM 低電圧誤動作防止 (UVLO)
 - 開放負荷検出 (OL)
 - 過電流保護 (OCP)
 - サーマル・シャットダウン (OTSD)
 - フォルト条件出力 (nFAULT)
 - インデクサのゼロ位置出力 (nHOME)

2 アプリケーション

- ファクトリ・オートメーション、ステッパ・ドライブ、ロボット
- 繊維機械、ミシン
- 医療用画像処理、診断、および機器
- 舞台照明

- ATM、貨幣計数機
- PLC、DCS、PAC
- 多機能プリンタ
- 3D プリンタ
- 屋外 IP カメラ

3 概要

DRV8461 は、広い電圧範囲、大電力、高性能のステッパ・モーター・ドライバです。このデバイスは、最大 65V の電源電圧をサポートし、HS + LS オン抵抗が 300mΩ の MOSFET を内蔵しているので、最大 3A の電流を供給できます。

自動トルク機能により、負荷トルクに応じてコイル電流を調整することで、効率が向上します。静止電力節約モードにより、モーターの保持状態での電力損失が低減されます。サイレント・ステップ減衰モードは、低速時および静止時にノイズのない動作を実現します。電流検出を内蔵しており、外付けの検出抵抗が不要になるため、PCB の面積とシステムのコストを削減できます。内蔵のインデクサは最大 1/256 のマイクロステッピングをサポートし、自動マイクロステッピング・モードで入力ステップ信号を補間することにより、コントローラのオーバーヘッドを低減します。センサレスのストール検出により、システムでのエンド・ストップが不要になります。このデバイスは、その他にも保護機能および診断機能をサポートしており、堅牢で信頼性の高い動作を実現します。

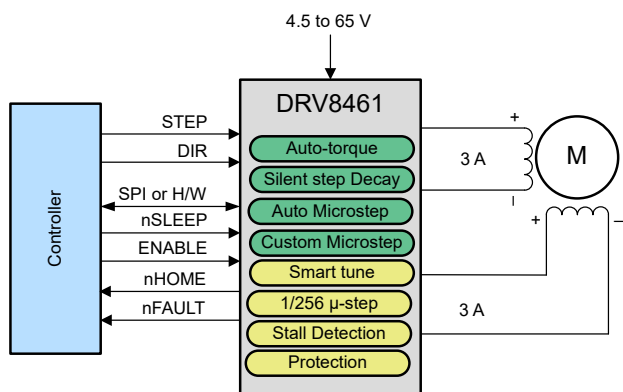
DRV8461 は、最小限の調整で高度な機能を構成できます。DRV8461 は、外付け FET ドライバに比べて電力密度が高く、PCB 面積も小さくなっています。高いエネルギー効率と、高精度でノイズのない動作により、DRV8461 は、高性能ステッパ・モーター・システムに理想的な選択肢です。

デバイス情報

部品番号	インターフェイス	パッケージ ⁽¹⁾	本体サイズ (公称)
DRV8461DDWR	SPI または H/W	HTSSOP (44)	14 × 6.1mm
DRV8461SPWPR	SPI	HTSSOP (28)	9.7 × 4.4mm
DRV8461PWPR	H/W	HTSSOP (28)	9.7 × 4.4mm

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。





概略回路図

目次

1 特長.....	1	8.1 アプリケーション情報.....	105
2 アプリケーション.....	1	8.2 代表的なアプリケーション.....	105
3 概要.....	1	9 熱に関する注意事項.....	111
4 改訂履歴.....	3	9.1 サーマル・パッド.....	111
5 ピン構成および機能.....	4	9.2 PCB 材料に関する推奨事項.....	111
6 仕様.....	8	10 電源に関する推奨事項.....	112
6.1 絶対最大定格.....	8	10.1 バルク容量.....	112
6.2 ESD 定格.....	8	10.2 電源.....	112
6.3 推奨動作条件.....	8	11 レイアウト.....	114
6.4 熱に関する情報.....	9	11.1 レイアウトのガイドライン.....	114
6.5 電気的特性.....	9	11.2 レイアウト例.....	114
6.6 代表的な特性.....	14	12 デバイスおよびドキュメントのサポート.....	115
7 詳細説明.....	16	12.1 ドキュメントのサポート.....	115
7.1 概要.....	16	12.2 ドキュメントの更新通知を受け取る方法.....	115
7.2 機能ブロック図.....	17	12.3 サポート・リソース.....	115
7.3 機能説明.....	19	12.4 商標.....	115
7.4 プログラミング.....	71	12.5 静電気放電に関する注意事項.....	115
7.5 レジスタ・マップ.....	76	12.6 用語集.....	115
8 アプリケーションと実装.....	105	13 メカニカル、パッケージ、および注文情報.....	115

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2022) to Revision A (September 2023)	Page
• 誤字を修正。.....	1
• 電圧と電流を更新。.....	1
• PWP パッケージのデータに対応するようにウェークアップ時間とターンオフ時間の標準値を更新。.....	9
• LDO ドロップアウトの標準仕様を更新。.....	9
• nSCS 電流の最大仕様を引き上げ.....	9
• PWP パッケージのデータに対応するように RDSON の仕様を変更。.....	9
• PWP を含むように KV の仕様を更新、電流精度の仕様を簡略化。.....	9
• オフ時間の標準値を 9.5us に変更。.....	9
• PWP データを含むように UVLO の仕様を更新。.....	9
• 静止電力節約のセクションを減衰モードのセクションの前に移動、自動トルクがイネーブルのときのデバイスの動作の説明を含めるようにセクションの下注を更新。.....	31

5 ピン構成および機能

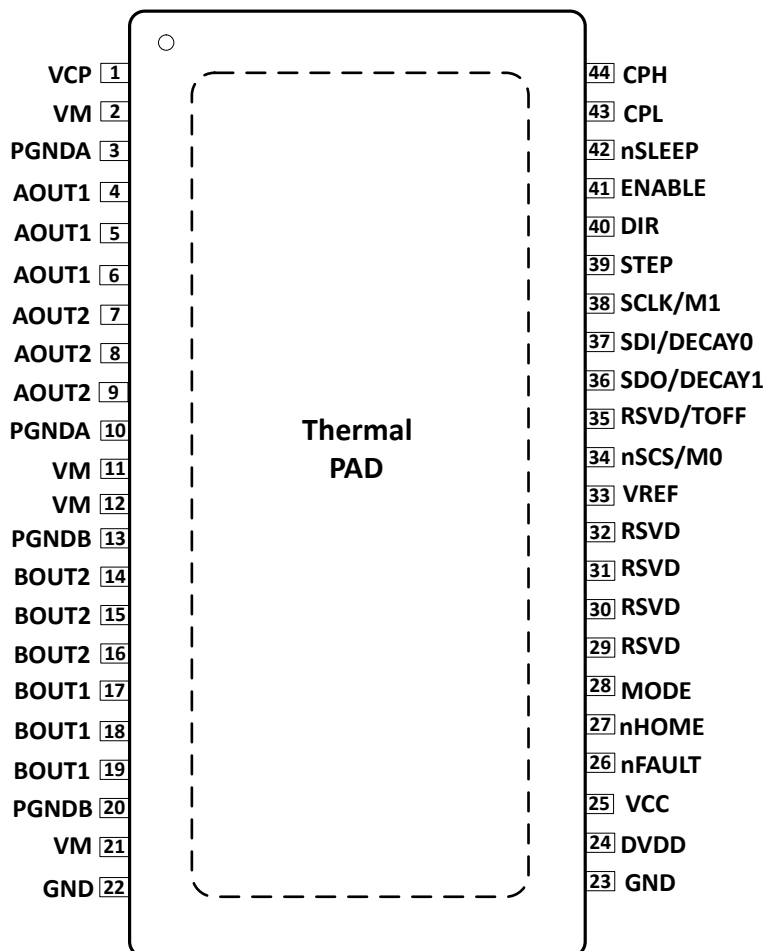


図 5-1. DDW パッケージ (44 ピン HTSSOP)、SPI またはハードウェア・インターフェイス、上面図

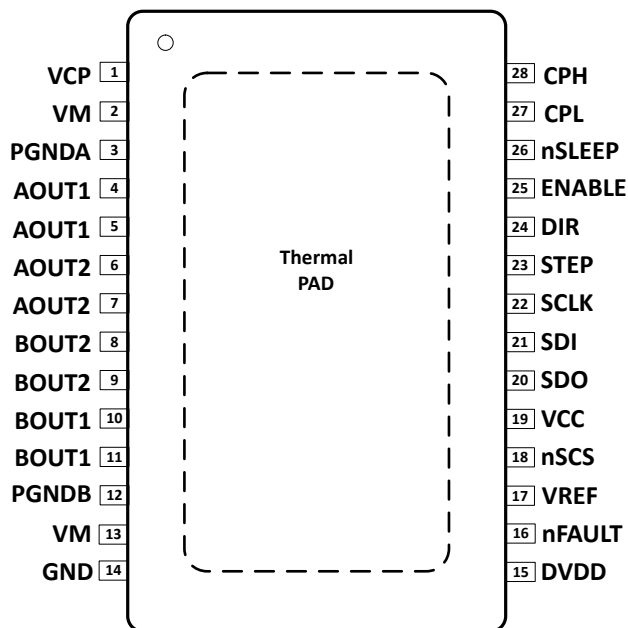


図 5-2. SPI インターフェイス搭載の PWP パッケージ (28 ピン HTSSOP)、上面図

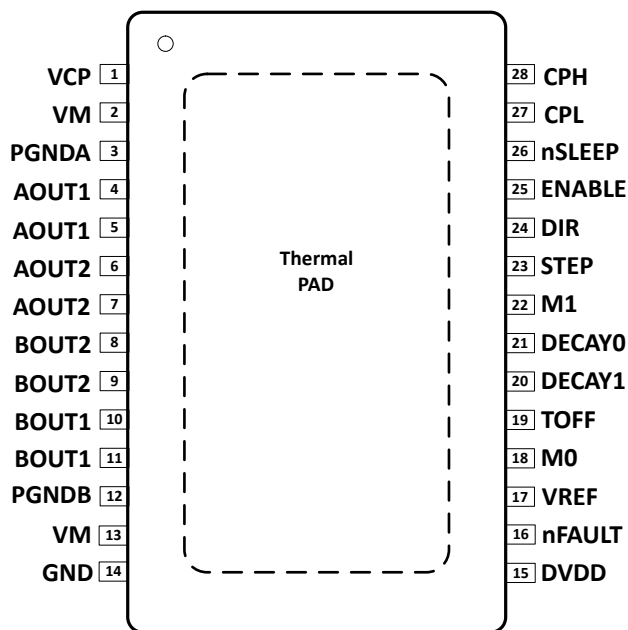


図 5-3. ハードウェア・インターフェイス搭載の PWP パッケージ (28 ピン HTSSOP)、上面図

ピン				種類	説明
名称	DDW	PWP			
		SPI インターフェイス	ハードウェア・インターフェイス		
VCC	25	19	-	電源	内部ロジック・ブロックの電源電圧。個別のロジック電源電圧が利用できない場合は、VCC ピンを DVDD ピンに接続します。SPI インターフェイスで構成した場合、VCC ピンは SDO 出力の電源ピンとしても機能します。詳しくは、 セクション 7.3.16 を参照してください。
RSVD/TOFF	35	-	19	入力	このピンは SPI インターフェイスでは使用しません。ハードウェア・インターフェイスでは、このピンで PWM 電流レギュレーションのオフ時間をプログラムします。
VCP	1	1		電源	チャージ・ポンプの出力。X7R、1μF、16V セラミック・コンデンサを VCP と VM との間に接続します。
VM	2、11、12、21	2、13		電源	電源。モーターの電源電圧に接続し、VM 定格の 2 つの 0.01μF セラミック・コンデンサと 1 つのバルク・コンデンサを使用して、PGNDA と PGNDB にバイパスします。
PGNDA	3、10	3		電源	電源グラウンド。システム・グラウンドに接続します。
PGNDB	13、20	12		電源	電源グラウンド。システム・グラウンドに接続します。
AOUT1	4、5、6	4、5		出力	巻線 A 出力。モーターの巻線に接続します。
AOUT2	7、8、9	6、7		出力	巻線 A 出力。モーターの巻線に接続します。
BOUT2	14、15、16	8、9		出力	巻線 B 出力。モーターの巻線に接続します。
BOUT1	17、18、19	10、11		出力	巻線 B 出力。モーターの巻線に接続します。
GND	22、23	14		電源	デバイスのグラウンド。システム・グラウンドに接続します。
DVDD	24	15		電源	内部 LDO 出力。X7R、1μF、6.3V または 10V 定格のセラミック・コンデンサを、GND に接続します。
nFAULT	26	16		オープン・ドレイン	フォルト通知出力。フォルト条件のときにロジック Low にプルされます。オープン・ドレイン nFAULT には外付けプルアップ抵抗が必要です。
nHOME	27	-		オープン・ドレイン	内部インデクサがステップ・テーブルのホーム位置 (45°) にあるとき、ロジック Low にプルされます。nHOME ピンは、360°の電氣的回転 (4 つのフルステップ) ごとに 1 つの Low パルスを出力します。DDW パッケージでのみ利用できます。詳しくは、 セクション 7.3.5.1 を参照してください。
MODE	28	-		入力	DDW パッケージの場合、MODE ピンは SPI またはハードウェア (H/W) ピン・インターフェイスを使用してデバイスをプログラムします。詳しくは、 セクション 7.3.1 を参照してください。
RSVD	29、30、31、32	-		-	予約済み。未接続のままにします。
VREF	33	17		入力	フルスケール電流を設定するための電圧リファレンス入力。DVDD と抵抗分割器を使用して VREF を生成できます。SPI インターフェイスで構成した場合、VREF_INT_EN = 1b のときは VREF ピンを未接続のままにできます。
nSCS/M0	34	18		入力	SPI インターフェイスでは、このピンはシリアル・チップ・セレクトとして機能します。このピンをアクティブ Low にするとシリアル・インターフェイス通信が有効になります。ハードウェア・インターフェイスの場合、このピンはマイクロステッピング・モードをプログラムします。

ピン				種類	説明
名称	DDW	PWP			
		SPI インターフェイス	ハードウェア・インターフェイス		
SDO/DECAY1	36	20		プッシュプル / 入力	SPI インターフェイスでは、このピンはシリアル・データ出力として機能します。データは、SCLK ピンの立ち上がりエッジでシフト・アウトされます。ハードウェア・インターフェイスの場合、このピンは減衰モードをプログラムします。
SDI/DECAY0	37	21		入力	SPI インターフェイスでは、このピンはシリアル・データ入力として機能します。データは、SCLK ピンの立ち下がりエッジでキャプチャされます。ハードウェア・インターフェイスの場合、このピンは減衰モードをプログラムします。
SCLK/M1	38	22		入力	SPI インターフェイスでは、このピンはシリアル・クロック入力として機能します。シリアル・データは、このピンの対応する立ち上がりおよび立ち下がりエッジでシフト・アウトおよびキャプチャされます。ハードウェア・インターフェイスの場合、このピンはマイクロステッピング・モードをプログラムします。
STEP	39	23		入力	ステップ入力。アクティブ・エッジが発生すると、インデクサが 1 ステップ進みます。SPI インターフェイスでは、STEP アクティブ・エッジは立ち上がりエッジまたは立ち上がり / 立ち下がりエッジの両方に設定できます。ハードウェア・インターフェイスの場合、STEP アクティブ・エッジは常に立ち上がりエッジです。
DIR	40	24		入力	方向入力。ロジック・レベルはステッピングの方向を設定します。
ENABLE	41	25		入力	デバイスの出力は、ロジック Low でディセーブル、ロジック High でイネーブルになります。デバイスがハードウェア・インターフェイスで動作しているときは、ENABLE ピンによって OCP、OL、OTSD のフォルト回復方法も決定されます。
nSLEEP	42	26		入力	スリープ・モード入力。デバイスは、ロジック High でイネーブルになり、ロジック Low で低消費電力スリープ・モードに移行します。nSLEEP リセット・パルス幅が狭いと、ラッチされた障害はクリアされます。
CPL	43	27		電源	チャージ・ポンプのスイッチング・ノード。X7R、0.1μF、VM 定格セラミック・コンデンサを CPH と CPL の間に接続します。
CPH	44	28		電源	
PAD	-	-		-	サーマル・パッド。システム・グラウンドに接続します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾⁽²⁾

	最小値	最大値	単位
電源電圧 (VM)	-0.3	70	V
チャージ・ポンプ電圧 (VCP、CPH)	-0.3	$V_{VM} + 5.75$	V
チャージ・ポンプ負スイッチング・ピン (CPL)	-0.3	V_{VM}	V
nSLEEP ピン電圧 (nSLEEP)	-0.3	V_{VM}	V
内部レギュレータ電圧 (DVDD)	-0.3	5.75	V
外部ロジック電源 (VCC)	-0.3	5.75	V
制御ピン電圧	-0.3	5.75	V
リファレンス入力ピン電圧 (VREF)	-0.3	5.75	V
PGNDx から GND への電圧	-0.5	0.5	V
PGNDx から GND への電圧、1μs 未満	-2.5	2.5	V
オープン・ドレイン出力電流 (nFAULT、nHOME)	0	10	mA
連続出力ピン電圧 (AOUT1、AOUT2、BOUT1、BOUT2)	-1	$V_{VM} + 1$	V
出力ピン電圧 (過渡 100ns) (AOUT1、AOUT2、BOUT1、BOUT2)	-3	$V_{VM} + 3$	V
ピーク駆動電流 (AOUT1、AOUT2、BOUT1、BOUT2)	内部的に制限		A
動作時の周囲温度、 T_A	-40	125	°C
動作時の接合部温度、 T_J	-40	150	°C
保存温度、 T_{stg}	-65	150	°C

- 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- すべての電圧値は、回路のグラウンド端子 GND を基準としたものです。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ¹	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JESD22 JS-002 準拠 ²	±750	
		角のピン その他のピン	±500	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)。

		最小値	最大値	単位
V_{VM}	通常 (DC) 動作の電源電圧範囲	4.5	65	V
V_I	ロジック・レベル入力電圧	0	5.5	V

		最小値	最大値	単位
V _{VCC}	VCC ピン電圧	3.05	5.5	V
V _{REF}	リファレンス電圧 (VREF)	0.05	3.3	V
f _{STEP}	適用される STEP 信号 (STEP)	0	100 ⁽¹⁾	kHz
I _{FS}	モーターのフルスケール電流 (xOUTx)	0	3 ⁽²⁾	A
I _{RMS}	モーターの RMS 電流 (xOUTx)	0	2.1 ⁽²⁾	A
T _A	動作時周囲温度	-40	125	°C
T _J	動作時接合部温度	-40	150	°C

- STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモーターの負荷により制限されます。
- 消費電力および温度の制限に従う必要があります。

6.4 熱に関する情報

熱評価基準		DDW	PWP	単位
R _{θJA}	接合部から周囲への熱抵抗	23.2	25.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	10.9	15.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	6.6	6.3	°C/W
Ψ _{JT}	接合部から上面への熱特性パラメータ	0.2	0.2	°C/W
Ψ _{JB}	接合部から基板への特性評価パラメータ	6.5	6.3	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	1.3	1.3	°C/W

6.5 電気的特性

標準値は T_A = 25°C、V_{VM} = 24V での値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VM、DVDD)						
I _{VM}	VM 動作電源電流	ENABLE = 1、nSLEEP = 1、モーター負荷なし、VCC = 外部 5V		5	7.5	mA
		ENABLE = 1、nSLEEP = 1、モーター負荷なし、VCC = DVDD		8	11	
I _{VMQ}	VM スリープ・モード電源電流	nSLEEP = 0		2.5	5	μA
t _{SLEEP}	スリープ時間	nSLEEP = 0 からスリープ・モードまで	120			μs
t _{RESET}	nSLEEP リセット・パルス	nSLEEP = Low でフォルトをクリア	20		40	μs
t _{WAKE}	ウェークアップ時間	ハードウェア・インターフェイス、nSLEEP = 1 で出力遷移		0.85	1.2	ms
		SPI インターフェイス、nSLEEP = 1 で SPI 準備完了		0.15	0.25	ms
t _{ON}	ターンオン時間 ¹	VM > UVLO で出力遷移		0.9	1.3	ms
V _{DVDD}	内部レギュレータ電圧	外部負荷なし、6V < V _{VM} < 65V	4.75	5	5.25	V
		外部負荷なし、V _{VM} = 4.5V	4.2	4.42		V
チャージ・ポンプ (VCP、CPH、CPL)						

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VCP}	VCP 動作電圧	$6\text{V} < V_{VM} < 65\text{V}$		$V_{VM} + 5$		V
f_{VCP}	チャージ・ポンプのスイッチング周波数	$V_{VM} > UVLO$, $nSLEEP = 1$		357		kHz
f_{CLK}	内部デジタル・クロック周波数	$V_{VM} > UVLO$, $nSLEEP = 1$		10		MHz
ロジック・レベル入力 (STEP、DIR、MODE、DECAY1、nSCS、SCLK、SDI、nSLEEP)						
V_{IL}	入力ロジック Low 電圧		0		0.6	V
V_{IH}	入力ロジック High 電圧 (DECAY1 を除くすべてのピン)		1.5		5.5	V
V_{IH_DECAY1}	入力ロジック High 電圧 (DECAY1 ピン)		2.7		5.5	V
V_{HYS}	入力ロジック・ヒステリシス (nSLEEP を除くすべてのピン)			100		mV
V_{HYS_SLEEP}	nSLEEP ロジック・ヒステリシス			300		mV
I_{IL}	入力ロジック Low 電流 (nSCS を除くすべてのピン)	$V_{IN} = 0\text{V}$	-1		1	μA
I_{IL_nSCS}	nSCS ロジック Low 電流	$nSCS = 0\text{V}$	8		12	μA
I_{IH}	入力ロジック High 電流 (nSCS を除くすべてのピン、200k の内部プルダウン抵抗)	$V_{IN} = DVDD$			50	μA
I_{IH_nSCS}	nSCS ロジック High 電流	$nSCS = DVDD$			0.15	μA
トライレベル入力 (M0、DECAY0、ENABLE)						
V_{I1_tri}	入力ロジック Low 電圧	GND に接続	0		0.6	V
V_{I2_tri}	入力ハイ・インピーダンス電圧	ハイ・インピーダンス	1.8	2	2.2	V
V_{I3_tri}	入力ロジック High 電圧	DVDD に接続	2.7		5.5	V
I_{O_tri}	出力プルアップ電流			10.5		μA
クワッドレベル入力 (M1、TOFF)						
V_{I1_quad}	入力ロジック Low 電圧	GND に接続	0		0.6	V
V_{I2_quad}	入力セカンド・レベル電圧	$330\text{k}\Omega \pm 5\%$ を GND に接続	1	1.25	1.4	V
V_{I3_quad}	入力ハイ・インピーダンス電圧	ハイ・インピーダンス	1.8	2	2.2	V
V_{I4_quad}	入力ロジック High 電圧	DVDD に接続	2.7		5.5	V
I_{O_quad}	出力プルアップ電流			10.5		μA
ブッシュアップ出力 (SDO)						
R_{PD_SDO}	内部プルダウン抵抗	5mA 負荷、GND 基準		30	60	Ω
R_{PU_SDO}	内部プルアップ抵抗	5mA 負荷、VCC 基準		60	110	Ω
I_{SDO}	SDO リーク電流 ¹	$V_{VM} > 6\text{V}$, $SDO = VCC$ および 0V	-2.5		2.5	μA
制御出力 (nFAULT、nHOME)						

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OL}	出力ロジック Low 電圧	$I_O = 5\text{mA}$			0.35	V
I_{OH}	出力ロジック High リーク電流		-1		1	μA
モーター・ドライバ出力 (AOUT1、AOUT2、BOUT1、BOUT2)						
$R_{DS(ONH)}$	ハイサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = -3\text{A}$		153	180	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$ 、 $I_O = -3\text{A}$		225	285	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$ 、 $I_O = -3\text{A}$		255	325	$\text{m}\Omega$
$R_{DS(ONL)}$	ローサイド FET オン抵抗	$T_J = 25^\circ\text{C}$ 、 $I_O = 3\text{A}$		150	185	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$ 、 $I_O = 3\text{A}$		225	300	$\text{m}\Omega$
		$T_J = 150^\circ\text{C}$ 、 $I_O = 3\text{A}$		255	340	$\text{m}\Omega$
I_{LEAK}	ディセーブル・モードでのグラウンドへの出力リーク電流 ¹	Hブリッジはハイ・インピーダンス、 $V_{VM} = 65\text{V}$			200	μA
t_{RF}	出力立ち上がり / 立ち下がり時間	ハードウェア・インターフェイス、 $I_O = 3\text{A}$ 、 $10\% \sim 90\%$		140		ns
		SPI インターフェイス、 $SR = 0\text{b}$ 、 $I_O = 3\text{A}$ 、 $10\% \sim 90\%$		140		
		SPI インターフェイス、 $SR = 1\text{b}$ 、 $I_O = 3\text{A}$ 、 $10\% \sim 90\%$		70		
t_D	出力デッドタイム	$V_M = 24\text{V}$ 、 $I_O = 3\text{A}$		300		ns
PWM 電流制御 (VREF)						
K_V	トランスインピーダンス・ゲイン	$V_{REF} = 3.3\text{V}$	1.064	1.12	1.176	V/A
I_{VREF}	V_{REF} ピンのリーク電流	$V_{REF} = 3.3\text{V}$			40	nA
t_{OFF}	PWM オフ時間	$TOFF = 0$ または $TOFF = 00\text{b}$		9.5		μs
		$TOFF = 1$ または $TOFF = 01\text{b}$		19		
		$TOFF = \text{ハイ・インピーダンス}$ または $TOFF = 10\text{b}$		27		
		$TOFF = 330\text{k}\Omega$ を GND に接続、または $TOFF = 11\text{b}$		35		
ΔI_{TRIP_EXT}	電流トリップ精度、外部 V_{REF} 入力	10%~20% フルスケール電流	-10		10	%
		20%~100% フルスケール電流	-6		6	
ΔI_{TRIP_INT}	電流トリップ精度、内部 V_{REF}	10%~20% フルスケール電流	-10		10	%
		20%~100% フルスケール電流	-7		7	
$I_{O,CH}$	AOUT と BOUT の電流マッチング	100% フルスケール電流	-3		3	%

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとし
ます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{BLK}	電流レギュレーション・ブランキング時間	SPI インターフェイス、TBLANK_TIME = 00b		1		μs
		ハードウェア・インターフェイスまたは SPI インターフェイス、TBLANK_TIME = 01b		1.5		
		SPI インターフェイス、TBLANK_TIME = 10b		2		
		SPI インターフェイス、TBLANK_TIME = 11b		2.5		
t_{DEG}	電流レギュレーション・グリッチ除去時間			0.5		μs
保護回路						
V_{MUVLO}	VM 低電圧誤動作防止 (UVLO)	VM 立ち下がり	4.1	4.25	4.36	V
		VM 立ち上がり	4.2	4.37	4.47	
V_{CCUVLO}	VCC 低電圧誤動作防止 (UVLO)	VCC を外部電圧に接続、VCC 立ち下がり	2.7	2.8	2.9	V
		VCC を外部電圧に接続、VCC 立ち上がり	2.78	2.9	3.05	
$V_{UVLO,HYS}$	低電圧ヒステリシス	立ち上がりから立ち下がりへのスレッシュ ホールド		100		mV
V_{RST}	VM 低電圧誤動作防止 (UVLO) リ セット	VCC = DVDD、SPI インターフェイス、VM 立ち下がり、デバイス・リセット、SPI 通信 なし			3.4	V
V_{CPUV}	チャージ・ポンプ低電圧	VCP 立ち下がり		$V_{VM} + 2$		V
I_{OCP}	過電流保護	いずれかの FET を流れる電流	4.8			A
t_{OCP}	過電流検出遅延	ハードウェア・インターフェイス		2.2		μs
		SPI インターフェイス、TOCP = 0b		1.2		
		SPI インターフェイス、TOCP = 1b		2.2		
t_{RETRY}	過電流リトライ時間			4.1		ms
t_{OL}	開放負荷検出時間	ハードウェア・インターフェイス			60	ms
		SPI インターフェイス、OL_T = 00b			30	
		SPI インターフェイス、OL_T = 01b			60	
		SPI インターフェイス、OL_T = 10b			120	
I_{OL}	開放負荷電流スレッシュホールド			110		mA
T_{OTW}	過熱警告	SPI インターフェイス、ダイ温度 T_J	135	150	165	$^\circ\text{C}$
T_{HYS_OTW}	過熱警告ヒステリシス	SPI インターフェイス、ダイ温度 T_J		20		$^\circ\text{C}$
T_{OTSD}	サーマル・シャットダウン	ダイ温度 T_J	150	165	180	$^\circ\text{C}$

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$T_{\text{HYS_OTSD}}$	サーマル・シャットダウン・ヒステリシス ダイ温度 T_J		20		$^\circ\text{C}$

(1) 設計により保証されています。

6.5.1 SPI のタイミング要件

		最小値	公称値	最大値	単位
t_{READY}	SPI 準備完了、 $V_M > V_{\text{RST}}$		1		ms
t_{SCLK}	SCLK の最小周期	100			ns
t_{SCLKH}	SCLK の最小 High 時間	50			ns
t_{SCLKL}	SCLK の最小 Low 時間	50			ns
$t_{\text{SU_SDI}}$	SDI 入力のセットアップ時間	20			ns
$t_{\text{H_SDI}}$	SDI 入力のホールド時間	30			ns
$t_{\text{D_SDO}}$	SDO 出力遅延時間、SCLK High から SDO 有効まで、 $C_L = 20\text{pF}$			30	ns
$t_{\text{SU_nSCS}}$	nSCS 入力セットアップ時間	50			ns
$t_{\text{H_nSCS}}$	nSCS 入力ホールド時間	50			ns
$t_{\text{HI_nSCS}}$	nSCS のアクティブ Low の前の最小 High 時間			2	μs
$t_{\text{DIS_nSCS}}$	nSCS ディセーブル時間、nSCS High から SDO ハイ・インピーダンスまで		10		ns

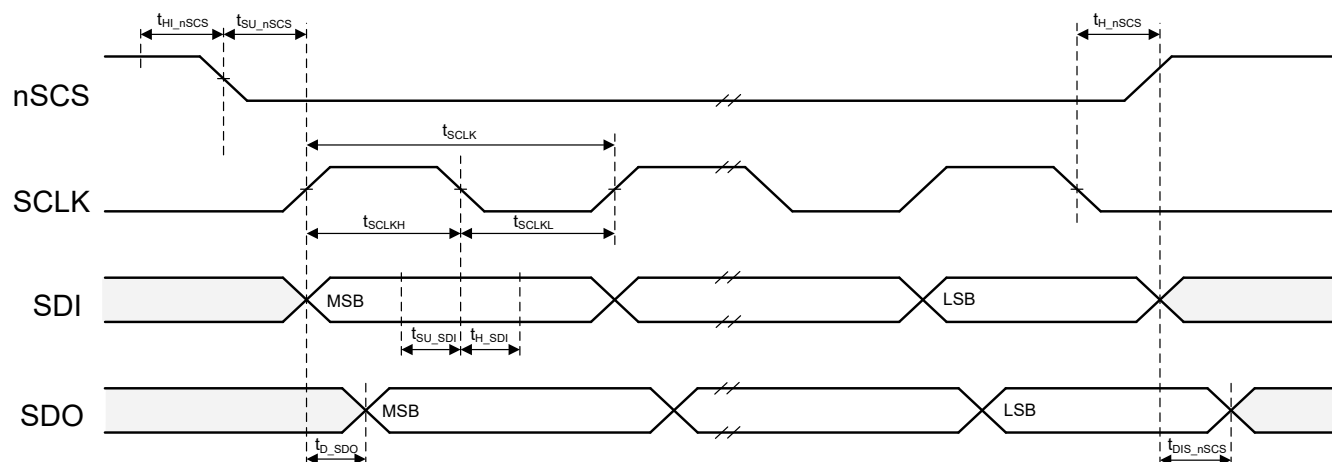


図 6-1. SPI のタイミング図

6.5.2 STEP と DIR のタイミング要件

標準限界値は $T_J = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

番号		最小値	最大値	単位
1	f_{STEP} ステップ周波数		500 ⁽¹⁾	kHz
2	$t_{\text{WH_STEP}}$ パルス幅、STEP High	970		ns
3	$t_{\text{WL_STEP}}$ パルス幅、STEP Low	970		ns
4	$t_{\text{SU_DIR, Mx}}$ セットアップ時間、DIR または Mx から STEP 立ち上がりまで	200		ns

標準限界値は $T_J = 25^\circ\text{C}$ 、 $V_{VM} = 24\text{V}$ の値です。特に記述のない限り、すべての限界値は推奨動作条件の全範囲を満たすものとします。

番号			最小値	最大値	単位
5	$t_{H_DIR, Mx}$	ホールド時間、DIR または Mx から STEP 立ち上がりまで	200		ns

(1) STEP 入力は最高 500kHz で動作しますが、システムの帯域幅はモーターの負荷により制限されます。

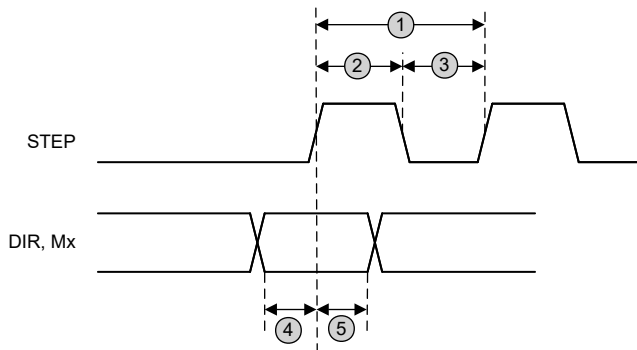


図 6-2. STEP と DIR のタイミング図

6.6 代表的な特性

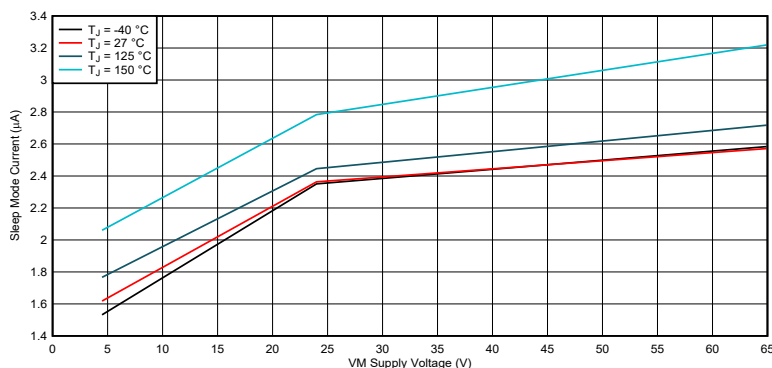


図 6-3. スリープ・モード電源電流

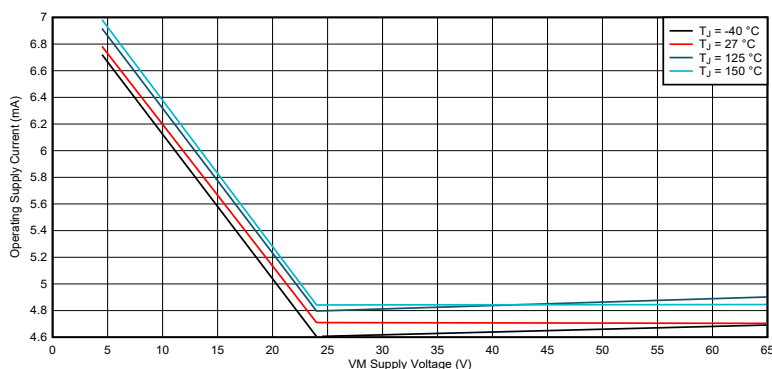


図 6-4. 動作電源電流、VCC=外部 5V

6.6 代表的な特性

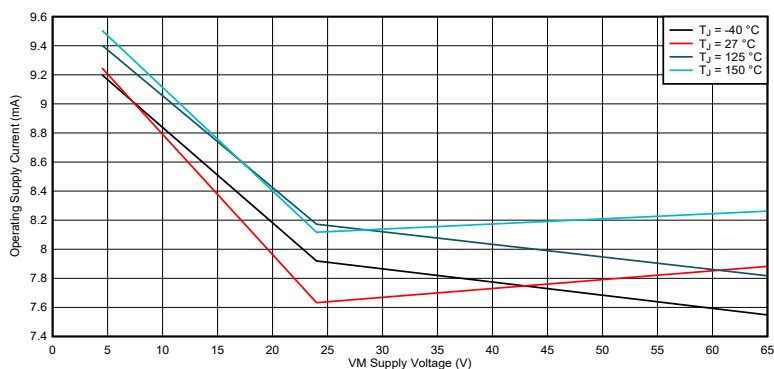


図 6-5. 動作電源電流、VCC = DVDD

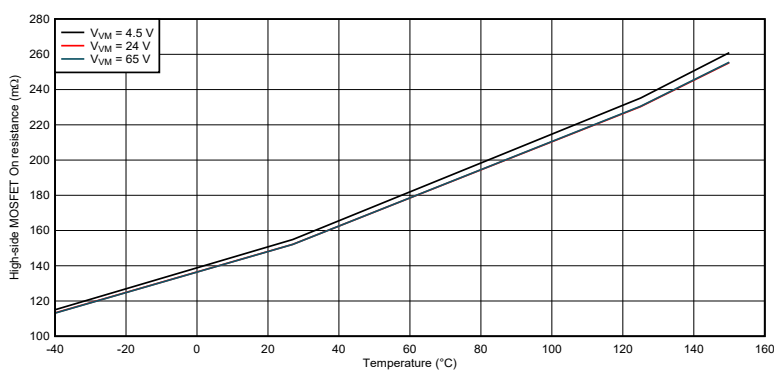


図 6-6. ハイサイド FET オン抵抗

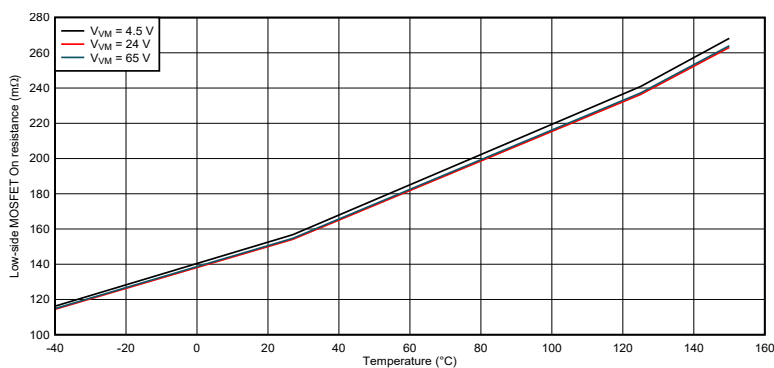


図 6-7. ローサイド FET オン抵抗

7 詳細説明

7.1 概要

DRV8461 はバイポーラ・ステッパ・モーターの用の高集積モーター・ドライバ・ソリューションです。このデバイスには、2 個の N チャネル・パワー MOSFET H ブリッジ、電流検出抵抗、電流レギュレーション回路、およびマイクロステッピング・インデクサが内蔵されています。DRV8461 は、4.5V~65V の幅広い電源電圧範囲に対応しています。このデバイスは、44 ピン HTSSOP (DDW) パッケージと、28 ピン HTSSOP (PWP) パッケージの 2 つのパッケージで供給されます。DRV8461 は、最大 4.8A のピーク電流、3A のフルスケール電流、2.1A の二乗平均平方根 (rms) の出力電流を供給します。実際のフルスケール電流および RMS 電流は、周囲温度、電源電圧、PCB の熱設計に依存します。システム設計にスケーラブルな電圧および電流ソリューションを提供するため、DRV8461 の DDW パッケージは [DRV8462](#) および [DRV8452](#) とピン互換であり、PWP パッケージは [DRV8424](#)、[DRV8426](#)、[DRV8452](#)、[DRV8434](#) とピン互換です。

DRV8461 には自動トルク機能が内蔵されており、負荷トルクに応じて出力電流を調整することにより、電力損失を低減し、システムの効率を向上させます。SPI インターフェイスには、特定のモーターおよびシステムの使用事例に合わせて自動トルク・アルゴリズムの性能を最適化するためのさまざまなオプションが用意されています。ストール検出機能は、モーターが妨げられたり、またはエンドオブトラベル停止に達したときに、モーター・ストール条件を検出してシステム・コントローラに通知します。さらに、静止電力節約モードにより、モーターが保持位置にあるときの電力損失が低減されます。

DRV8461 は電流検出アーキテクチャを内蔵しているため、2 つの外部電力検出抵抗が不要になり、基板面積、BOM コスト、設計作業が大幅に削減され、消費電力が大幅に低減されます。このアーキテクチャでは、電流検出に電流ミラー手法と内部パワー MOSFET を使うことで、検出抵抗における電力消費を除去しています。オプションの外部電力検出抵抗を PGND ピンと基板グラウンドの間に接続して、モーターの状態を監視し、フィールド・オリエンテッド・コントロールなどの閉ループ・アルゴリズムを実装することもできます。電流レギュレーションの設定点は VREF ピンの電圧で調整できます。SPI インターフェイスの場合、8 ビット・レジスタにより、コントローラは VREF 電圧リファレンスをスケールせずに出力電流をスケールできます。また、別の 8 ビット・レジスタにより、モーター停止時の電力損失を低減する目的で保持電流レベルを構成できます。

STEP/DIR ピン・インターフェイスにより、外部コントローラからステッパ・モーターの方向とステップ速度を制御できます。内部マイクロステッピング・インデクサを使うと、巻線電流レベルを制御する外部コントローラを使わずに高精度のマイクロステッピングを実行できます。このインデクサはフルステップ、ハーフステップ、1/4、1/8、1/16、1/32、1/64、1/128、1/256 マイクロステッピングを実行できます。高いマイクロステッピングにより、大きな可聴ノイズの低減とスムーズな移動が可能になります。自動マイクロステッピング・モードでは、入力ステップ周波数が高分解能に補間されるため、コントローラからの低周波数ステップ入力を使用して動作しながら、電流レギュレーションが改善され、可聴ノイズが低減されます。カスタム・マイクロステッピング表を使用すると、特定のモーターのニーズに合わせて電流波形を調整できます。

ステッパ・モーター・ドライバは、低速減衰、混合減衰、高速減衰など、いくつかの減衰モードを実装することにより、巻線電流を再循環する必要があります。DRV8461 はスマート・チューン減衰モードをサポートしています。スマート・チューンは革新的な減衰メカニズムで、電源電圧、モーター速度の変動、経年変化の影響に関係なく、最適な電流レギュレーション性能になるように自動調整します。スマート・チューン・リップル・コントロールは、オフ時間可変型のリップル電流制御方式を採用し、モーター巻線電流の歪みを最小限に抑えることができます。スマート・チューン・ダイナミック減衰では、固定オフ時間ダイナミック高速減衰割合方式が使用されます。スマート・チューン減衰モードに加えて、DRV8461 は静止時と低速回転時にノイズのない動作を実現するためのサイレント・ステップ減衰モードも特長です。

本デバイスは、内蔵デジタル発振器と内蔵チャージ・ポンプのための拡散スペクトラム・クロック処理機能を備えています。この機能により、本デバイスからの電磁放射を最小限に抑えることができます。また、低消費電力スリープ・モードを搭載しているため、モーターをアクティブに駆動していないときにシステムの電力を節約できます。

7.2 機能ブロック図

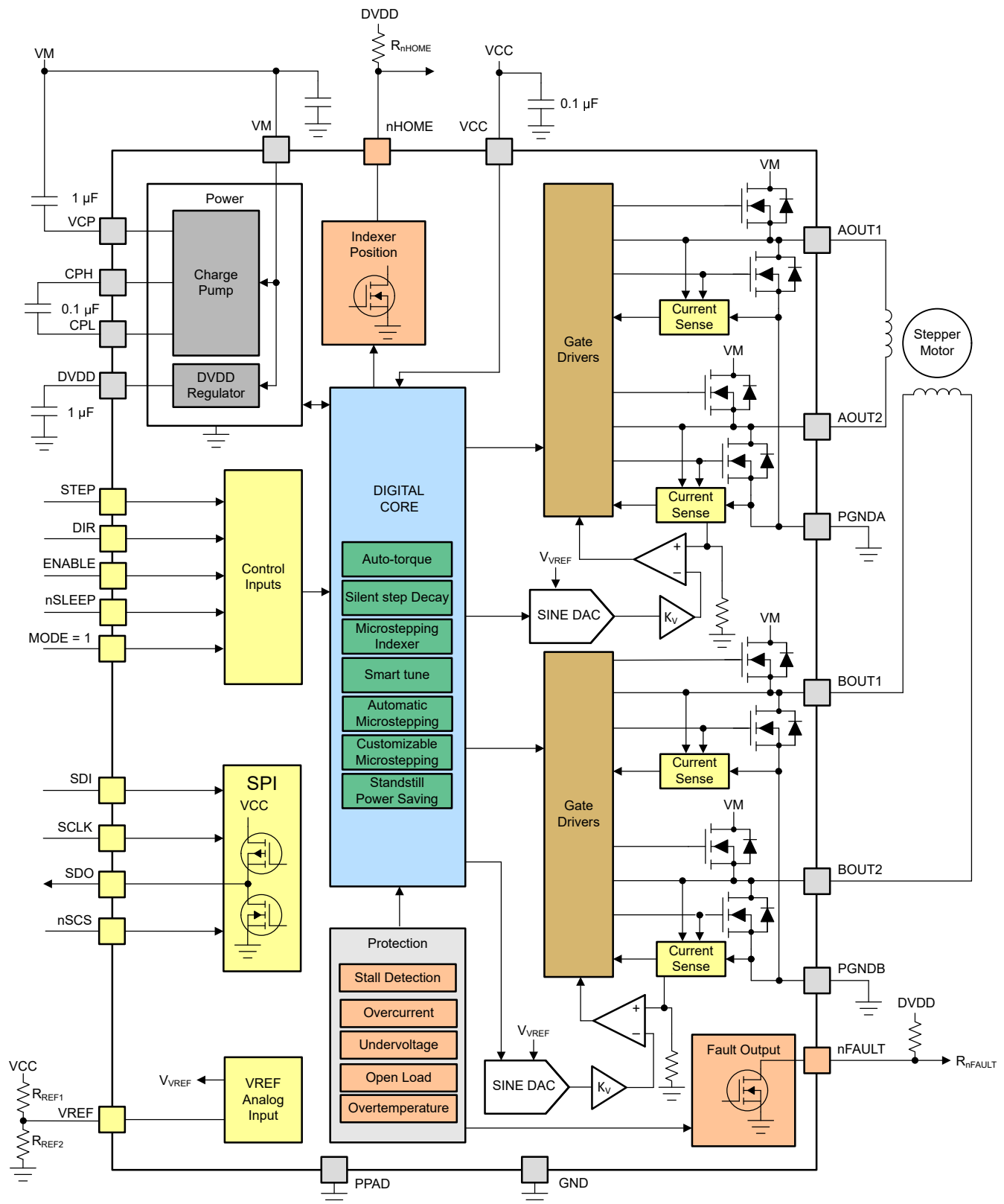


図 7-1. SPI インターフェイスの DRV8461 のブロック図

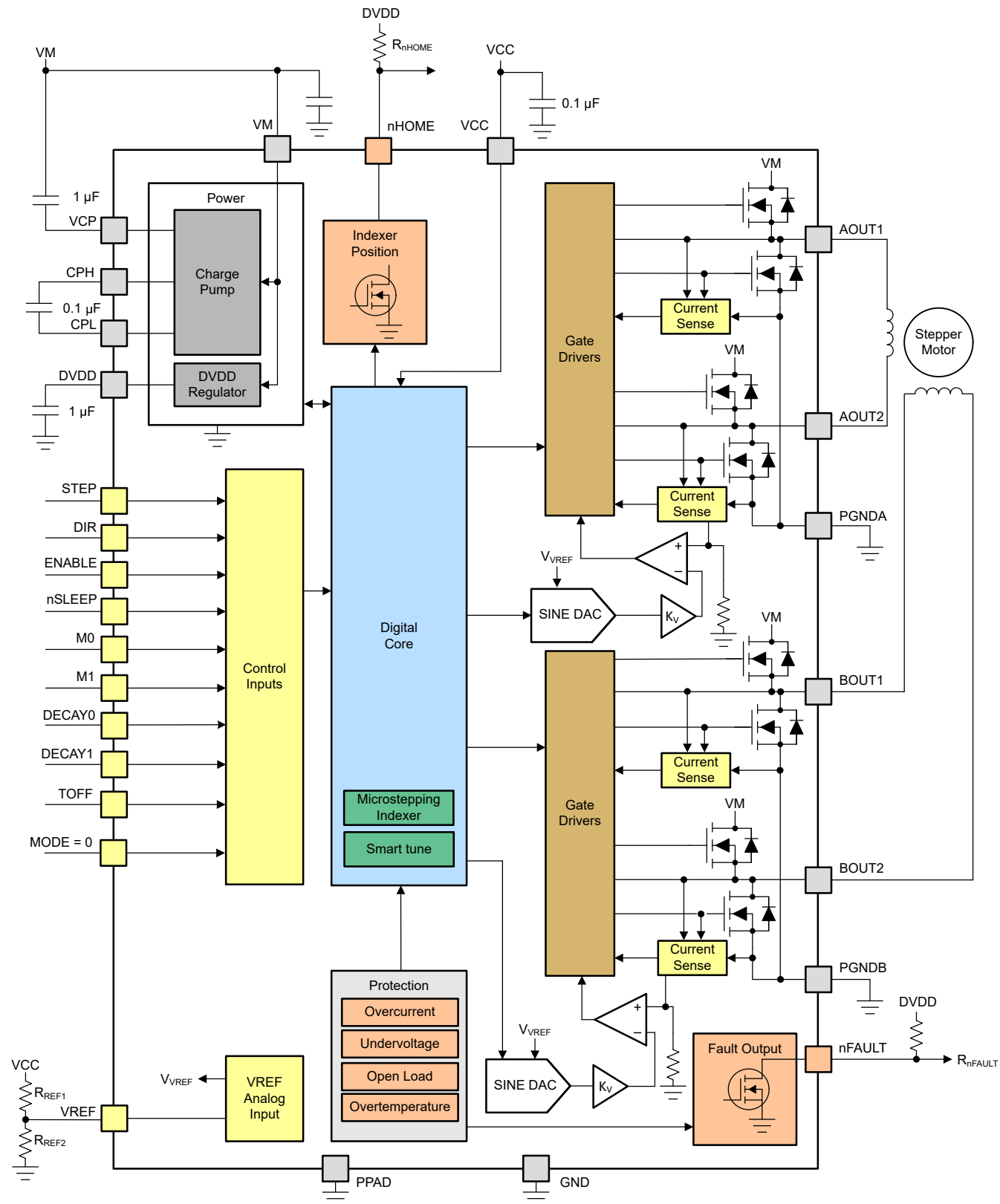


図 7-2. ハードウェア・インターフェースの DRV8461 ブロック図

7.3 機能説明

表 7-1 に、DRV8461 の推奨外付け部品を示します。

表 7-1. 外付け部品

部品	ピン 1	ピン 2	推奨
C _{VM1}	VM	PGNDA	X7R、0.01μF、VM 定格セラミック・コンデンサ
C _{VM2}	VM	PGNDB	X7R、0.01μF、VM 定格セラミック・コンデンサ
C _{VM3}	VM	PGNDA	バルク、VM 定格コンデンサ
C _{VCP}	VCP	VM	X7R、1μF、16V セラミック・コンデンサ
C _{SW}	CPH	CPL	X7R、0.1μF、VM 定格セラミック・コンデンサ
C _{DVDD}	DVDD	GND	X7R、1μF、6.3V セラミック・コンデンサ
C _{VCC}	VCC	GND	X7R、0.1μF、6.3V セラミック・コンデンサ
R _{nFAULT}	DVDD または VCC	nFAULT	10kΩ 抵抗
R _{nHOME}	DVDD または VCC	nHOME	10kΩ 抵抗
R _{REF1}	VREF	DVDD または VCC	チョッピング電流を設定するための抵抗。VREF_INT_EN = 1b の場合は不要。
R _{REF2}	VREF	GND	

7.3.1 動作インターフェイス

DRV8461 は、ハードウェア (H/W) ピン・インターフェイスまたは SPI インターフェイスで動作できます。SPI インターフェイスで動作する場合、デバイスは表 7-4 に示す追加機能と詳細な診断機能をサポートします。

DDW パッケージ・オプションの場合、ロジック・レベルの MODE ピンは、電源投入時または nSLEEP サイクルの後で、動作しているインターフェイスの情報をラッチします。

- この時点で MODE ピンがグラウンドに接続されていれば、デバイスはハードウェア・ピン・インターフェイスで動作します。
- この時点で MODE ピンがロジック High の場合、デバイスは SPI で動作します。

注

電源投入後または nSLEEP = 1 になった後、MODE ピンのロジック・レベルを途中で変更しないでください。

5 本のピンの機能は、表 7-2 および 表 7-3 に示すように、動作インターフェイスによって異なります。

表 7-2. ピン機能、DDW パッケージ

ピン番号	ハードウェア・インターフェイス	SPI インターフェイス
34	M0	nSCS
35	TOFF	予約済み
36	DECAY1	SDO
37	DECAY0	SDI
38	M1	SCLK

表 7-3. ピンの機能、PWP パッケージ

ピン番号	DRV8461SPWPR (SPI)	DRV8461PWPR (ハードウェア・インターフェイス)
18	nSCS	M0

表 7-3. ピンの機能、PWP パッケージ (続き)

ピン番号	DRV8461SPWPR (SPI)	DRV8461PWPR (ハードウェア・インターフェイス)
19	VCC	TOFF
20	SDO	DECAY1
21	SDI	DECAY0
22	SCLK	M1

表 7-4 は、2 つの動作インターフェイスの機能セットと診断機能を比較したものです。

表 7-4. 機能セットの違い

機能	ハードウェア・インターフェイス	SPI
スマート・チューン	あり	あり
最大 1/256 のマイクロステッピング	あり	あり
独立したロジック電源 (VCC)	あり	あり
nHOME 出力	あり	あり
nFAULT 出力	あり	あり
自動マイクロステッピング	なし	あり
カスタマイズ可能なマイクロステッピング	なし	あり
インデクサ出力	なし	あり
内部 3.3V リファレンス電圧	なし	あり
デュアル・ステップ・アクティブ・エッジ	なし	あり
サイレント・ステップ減衰	なし	あり
自動トルク	なし	あり
静止電力節約	なし	あり
スペクトラム拡散	なし	あり
保護機能		
VM および VCP UVLO	あり	あり
VCC パワーオン・リセット	あり	あり
過電流保護	あり	あり
開放負荷検出	あり	あり
サーマル・シャットダウン	あり	あり
ストール検出	なし	あり
過熱警告	なし	あり

7.3.2 ステッパ・モーター・ドライバの電流定格

ステッパ・モーター・ドライバは、出力電流を表す 3 種類の数値 (ピーク、RMS、フルスケール) を使用して分類できます。

7.3.2.1 ピーク電流定格

ステッパ・ドライバのピーク電流は、過電流保護トリップ・スレッショルド I_{OCP} で制限されます。一般に、 I_{OCP} の最小値は、ステッパ・モーター・ドライバのピーク電流定格を規定します。DRV8461 の場合、ピーク電流定格はブリッジごとに 4.8A です。

7.3.2.2 RMS 電流定格

RMS 電流は、IC の熱性能を考慮して決定します。25°C の標準的なシステムでの $R_{DS(ON)}$ 、立ち上がり時間および立ち下がり時間、PWM 周波数、デバイスの静止時電流、パッケージの熱性能に基づいて計算されます。実動作時の RMS 電流はヒートシンクと周囲温度に応じて上下する場合があります。DRV8461 の場合、RMS 電流定格はブリッジあたり 2.1A です。

7.3.2.3 フルスケール電流定格

フルスケール電流とは、マイクロステッピング時の正弦波電流波形の最大値を指します。この正弦波振幅は RMS 電流に関係しているため、フルスケール電流もデバイスの熱性能を考慮して求めます。フルスケール電流定格は、正弦波電流波形の場合は約 $\sqrt{2} \times I_{RMS}$ 、方形波電流波形 (フルステップ) の場合は I_{RMS} です。

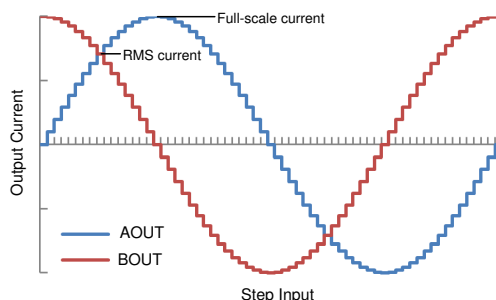


図 7-3. フルスケール電流と RMS 電流

7.3.3 PWM モーター・ドライバ

DRV8461 には 2 つのフル H ブリッジ用ドライバが搭載されており、バイポーラ・ステッパ・モーターの 2 つの巻線を駆動します。図 7-4 に、この回路のブロック図を示します。

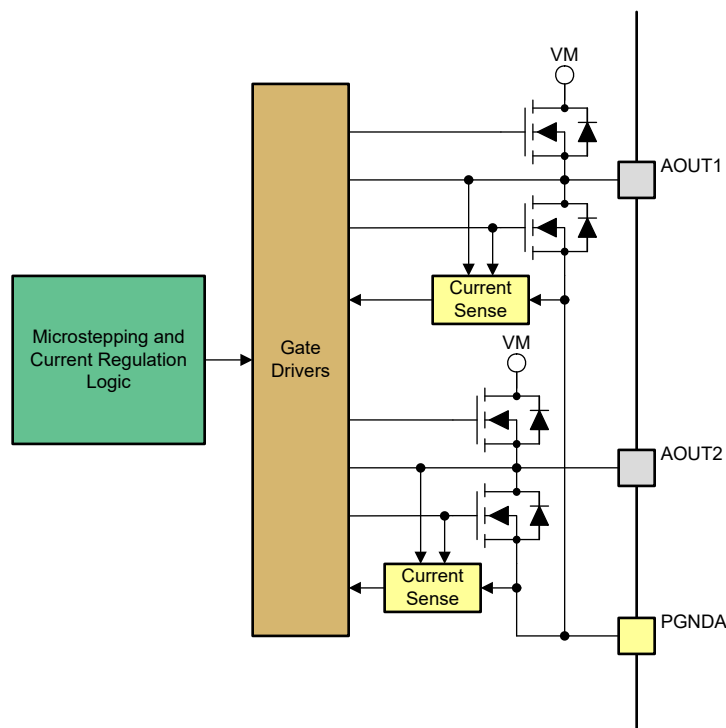


図 7-4. PWM モーター・ドライバのブロック図

7.3.4 マイクロステッピング・インデクサ

本デバイスの内蔵インデクサ・ロジックを使用すると、各種ステップ・モードに対応できます。表 7-5 に示すように、SPI レジスタの MICROSTEP_MODE ビット、または M0 と M1 ピンを使用して、ステップ・モードを設定します。

表 7-5. マイクロステッピング・インデクサの設定

MODE = 1	MODE = 0		
MICROSTEP_MODE	M0	M1	ステップ・モード
0000b	0	0	100% 電流によるフルステップ (2 相励起)
0001b	0	330kΩ を GND に接続	71% 電流によるフルステップ (2 相励起)
0010b	1	0	非循環 1/2 ステップ
0011b	ハイ・インピーダンス	0	1/2 ステップ
0100b	0	1	1/4 ステップ
0101b	1	1	1/8 ステップ
0110b	ハイ・インピーダンス	1	1/16 ステップ
0111b	0	ハイ・インピーダンス	1/32 ステップ
1000b	ハイ・インピーダンス	330kΩ を GND に接続	1/64 ステップ
1001b	ハイ・インピーダンス	ハイ・インピーダンス	1/128 ステップ
1010b	1	ハイ・インピーダンス	1/256 ステップ

SPI で動作している場合、表 7-6 に示すように、このデバイスでは SPI インターフェイスを介してステッピングと方向を変更することもできます。この機能のために、4 つのビットが使用されます。

表 7-6. SPI 経由での STEP および DIR の制御

ビット	0b (デフォルト)	1b
SPI_DIR	ドライバは、DIR ピン入力に基づいて方向を変更します	方向は、DIR ビットに応じて変更されます
SPI_STEP	ステッピングは STEP ピンの入力に依存します	ステップは、STEP ビットに応じて変更されます
DIR	モーターは逆方向に動きます	モーターは順方向に動きます
STEP	X	インデクサが 1 ステップ進みます。STEP ビットは自己クリアのため、1b が書き込まれた後で自動的に 0b になります。

表 7-7 に、DIR ピンがロジック High または DIR ビットが「1」の場合のフルステップ (71% 電流)、1/2 ステップ、1/4 ステップ、1/8 ステップ動作の電流の相対値とステップ方向を示します。マイクロステッピングの分解能がより高い場合も同じパターンに従います。AOUT 電流は電気角の正弦、BOUT 電流は電気角の余弦です。正電流は、駆動時に xOUT1 ピンから xOUT2 ピンに流れる電流と定義します。

表 7-7. 電流の相対値とステップ方向

1/8 ステップ	1/4 ステップ	1/2 ステップ	フルステップ 71%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	1	1		0%	100%	0.00
2				20%	98%	11.25
3	2			38%	92%	22.50
4				56%	83%	33.75
5	3	2	1	71%	71%	45.00
6				83%	56%	56.25
7	4			92%	38%	67.50
8				98%	20%	78.75
9	5	3		100%	0%	90.00
10				98%	-20%	101.25
11	6			92%	-38%	112.50
12				83%	-56%	123.75
13	7	4	2	71%	-71%	135.00
14				56%	-83%	146.25
15	8			38%	-92%	157.50
16				20%	-98%	168.75
17	9	5		0%	-100%	180.00
18				-20%	-98%	191.25
19	10			-38%	-92%	202.50
20				-56%	-83%	213.75
21	11	6	3	-71%	-71%	225.00
22				-83%	-56%	236.25
23	12			-92%	-38%	247.50
24				-98%	-20%	258.75
25	13	7		-100%	0%	270.00
26				-98%	20%	281.25
27	14			-92%	38%	292.50
28				-83%	56%	303.75
29	15	8	4	-71%	71%	315.00
30				-56%	83%	326.25
31	16			-38%	92%	337.50
32				-20%	98%	348.75

表 7-8 に、DIR = 1 の場合のフルスケール電流 100% でのフルステップ動作を示します。このステッピング・モードは、71% の電流によるフルステップ・モードよりも多くの電力を消費しますが、高いモーター RPM で高トルクを実現できます。

表 7-8. 100% 電流でのフルステップ

フルステップ 100%	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	100	100	45
2	100	-100	135
3	-100	-100	225
4	-100	100	315

表 7-9 に、DIR = 1 の場合の非循環 1/2 ステップ動作を示します。このステッピング・モードは循環 1/2 ステップ動作よりも多くの電力を消費しますが、高いモーター RPM で高トルクを実現できます。

表 7-9. 非循環 1/2 ステッピング電流

非循環 1/2 ステップ	AOUT 電流 (フルスケールに対する %)	BOUT 電流 (フルスケールに対する %)	電気角 (度)
1	0	100	0
2	100	100	45
3	100	0	90
4	100	-100	135
5	0	-100	180
6	-100	-100	225
7	-100	0	270
8	-100	100	315

表 7-10 に示すように、SPI で動作している場合、STEP_EDGE ビットに応じて、STEP アクティブ・エッジを立ち上がりエッジにするか、または立ち上がりエッジと立ち下がりエッジの両方に行うことができます。H/W インターフェイスを使用して構成した場合、STEP アクティブ・エッジは立ち上がりエッジのみになります。高い入力 STEP レートで実行する必要があるアプリケーションでは、両方のエッジをアクティブ・エッジとして構成すると、入力 STEP レートは実質的に 2 倍になるため、コントローラのオーバーヘッドが半分に減少します。

表 7-10. STEP アクティブ・エッジ

インターフェイス	STEP_EDGE	STEP アクティブ・エッジ
SPI	0b (デフォルト)	立ち上がりエッジ
	1b	立ち上がりエッジと立ち下がりエッジ
H/W	X	立ち上がりエッジ

STEP 入力の各アクティブ・エッジのタイミングで、インデクサは表の次の状態に進みます。この方向は、DIR ピンがロジック High の場合です。DIR ピンがロジック Low の場合、表のシーケンスは反転します。ステップ中にステップ・モードが動的に変更された場合、STEP のアクティブ・エッジで、インデクサは次の有効な状態に進み、新しいステップ・モード設定になります。

電源投入後、ロジック低電圧誤動作防止が終了した後、またはスリープ・モードを終了した後で、インデクサは初期励起状態 (ホーム位置) である 45°の電気角に移動します。これは、両方のコイルのフルスケール電流の 71% に相当します。このような場合、すべてのレジスタが各デフォルト値に復元されます。

SPI で動作しているとき、IDX_RST ビットが 1b の場合、図 7-5 に示すようにインデクサは 45°の電気角にリセットされますが、メモリ・マップ・レジスタの内容は変更されません。

パターンは上から下へ順に: AOUT2、AOUT1、STEP、コイル B 電流、コイル A 電流、nSCS

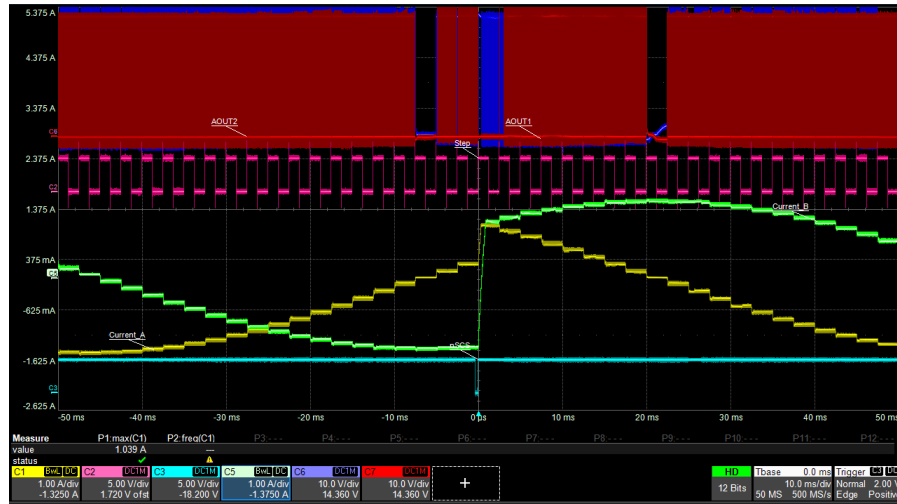


図 7-5. インデクサのリセット

STEP 入力周波数がジッタすると、ストール検出の目的でデバイスの信号はフィルタリングされます。表 7-11 に示すように、FRQ_CHG ビットと STEP_FRQ_TOL ビットでフィルタ設定をプログラムします。2% のフィルタリングは、中心周波数付近で最大 2% のジッタがフィルタリングされ、内部回路がモーターのストールを検出するためのクリーンな STEP 信号が生成されることを意味します。

表 7-11. ステップ周波数のフィルタリング

FRQ_CHG	STEP_FRQ_TOL	フィルタリング
0b (デフォルト)	00b	1%
	01b (デフォルト)	2%
	10b	4%
	11b	6%
1b	関係なし	フィルタリングなし

7.3.5 インデクサ出力

DRV8461 にはインデックス・レジスタが搭載されており、予想されるマイクロステップ電流とモーターの位置をユーザーに示します。

- CUR_A_POS レジスタと CUR_A_SIGN ビットは、インデクサ表でのコイル A 電流の位置を示します。
- CUR_B_POS レジスタと CUR_B_SIGN ビットは、インデクサ表でのコイル B 電流の位置を示します。
- CUR_A レジスタは、予想されるコイル A 電流の値を示します。この電流は $\sin(90^\circ \times \text{CUR_A_POS} / 255)$ です。
- 対応する符号ビットが 1b の場合、電流は正となり、符号ビットが 0b の場合、電流は負となります。

表 7-12 に、1/256 マイクロステッピングにおける電流波形に対する CUR_A_POS レジスタおよび CUR_B_POS レジスタの出力を示します。

表 7-12. インデクサ出力表

電流象限	CUR_A_POS	CUR_A_SIGN	CUR_B	CUR_B_SIGN
第 1 象限 (0° -> 90°)	0 -> 255	1b	255 -> 0	1b

表 7-12. インデクサ出力表 (続き)

電流象限	CUR_A_POS	CUR_A_SIGN	CUR_B	CUR_B_SIGN
第 2 象限 (90° -> 180°)	255 -> 0	1b	0 -> 255	0b
第 3 象限 (180° -> 270°)	0 -> 255	0b	255 -> 0	0b
第 4 象限 (270° -> 360°)	255 -> 0	0b	0 -> 255	1b

インデクサ出力と nHOME 信号を組み合わせることにより、電気波形内のモーターの位置を特定できます。これらをエンコーダ出力と比較して、ステップ損失の検出など、モーターの移動の不一致を検出できます。

7.3.5.1 nHOME 出力

DDW パッケージでは、マイクロステッピング・インデクサが両方のコイルでフルスケール電流の 71% に対応するホーム位置 (電気角 45°) に達すると、オープン・ドレインの nHOME 出力が Low にプルされます。それ以外の場合はすべて、nHOME 出力が High にプルされます。さらに、デバイスが SPI インターフェイスで動作している場合、インデクサがホーム位置に達すると、SPI レジスタの NHOME ビットが 0b になります。

そのため、nHOME 出力は電氣的回転ごとに 1 つの Low パルス、つまり、図 7-6 に示すように、4 つのフルステップごとに 1 つのパルスを出します。したがって、nHOME の Low パルスは、4 フルステップごとに定義されたモーターの位置に対応します。nHOME と機械式ホーム・スイッチを組み合わせることで、モーターのホーム位置をより高精度に設定できます。

プルアップ抵抗を使用して、nHOME を 5V、3.3V、1.8V の電源にプルアップします。5V にプルアップする場合は、nHOME ピンから抵抗を介して DVDD ピンに接続できます。3.3V または 1.8V にプルアップする場合は、外部電源を使用する必要があります。

波形パターンは上から下へ順に: BOUT2、BOUT1、コイル B 電流、コイル A 電流、nHOME

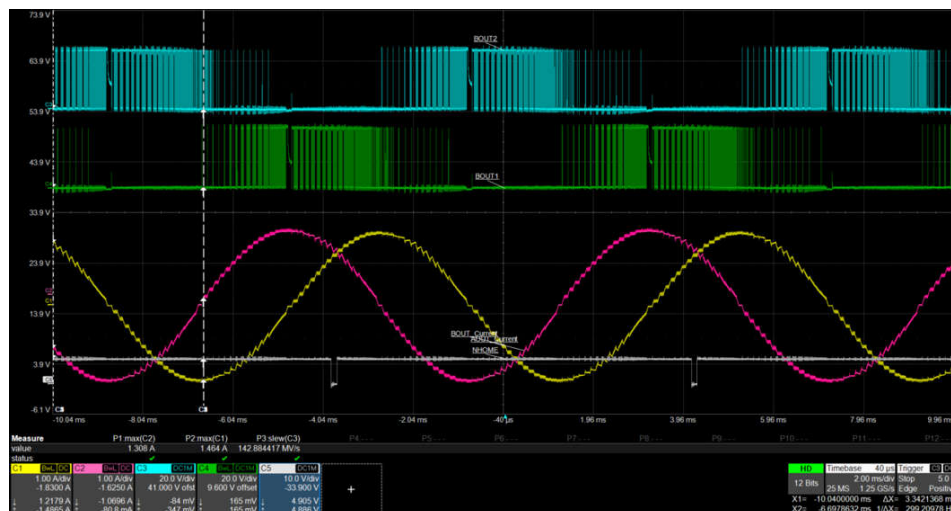


図 7-6. nHOME 出力の波形

7.3.6 自動マイクロステッピング・モード

DRV8461 が SPI インターフェイスで動作している場合、自動マイクロステッピング・モードは入力ステップ・パルスを補間して、より高分解能のマイクロステップに対応する電流波形を生成します。この結果、どのステップ周波数でも滑らかな正弦波電流とノイズのない動作を実現します。

- 自動マイクロステッピングがディセーブルの場合、システム・コントローラは強制的に高周波数のステップ信号を出力して、高分解能のマイクロステップ電流波形を生成します。

- 自動マイクロステッピングがイネーブルの場合、ステップ信号の周波数が低い場合滑らかな電流波形を生成することができます。
 - これにより、コントローラのオーバーヘッドは大幅に減少するため、3D プリンタやファクトリ・オートメーション、医療機器などのアプリケーションに有用です。
- 補間された周波数は、ステッパ・モーターの共振周波数帯域まで下降しないことに注意してください。

自動マイクロステッピング・モードをイネーブルにするには、EN_AUTO ビットを 1b にしてください。

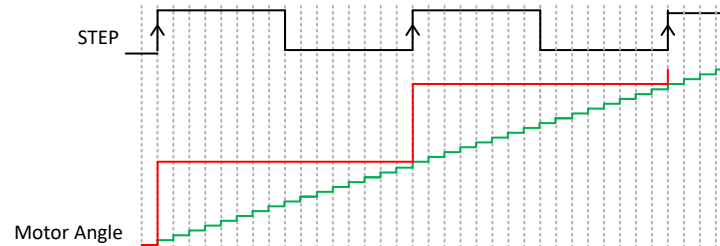


図 7-7. 自動マイクロステッピングによる補間

図 7-7 に、自動マイクロステッピングを使用した場合と使用しない場合のモーター角の増加を示します。自動マイクロステッピングを使用しない場合 (赤線)、モーター角はステップ入力のアクティブ・エッジごとに大きく増加します。自動マイクロステッピングを使用すると (緑線)、モーター角は非常に滑らかに変化します。

表 7-13 に示すように、DRV8461 は RES_AUTO ビットの構成によって 1/32、1/64、1/128、1/256 のマイクロステッピング・レベルでの補間をサポートしています。補間設定は、実行中に変更できます。

表 7-13. 自動マイクロステッピングの補間レベル

RES_AUTO	補間
00b (デフォルト)	1/256
01b	1/128
10b	1/64
11b	1/32

表 7-14 は、コイル電流、および EN_AUTO ビットにそれぞれ 1b と 0b を書き込むことによるハーフステップ・モードと自動マイクロステッピング・モードの滑らかな遷移を示しています。ハーフステップと 1/256 の自動マイクロステッピング・モードでは、ステップ周波数は同じであることに注意してください。

表 7-14. ハーフステップと自動マイクロステッピング間の遷移

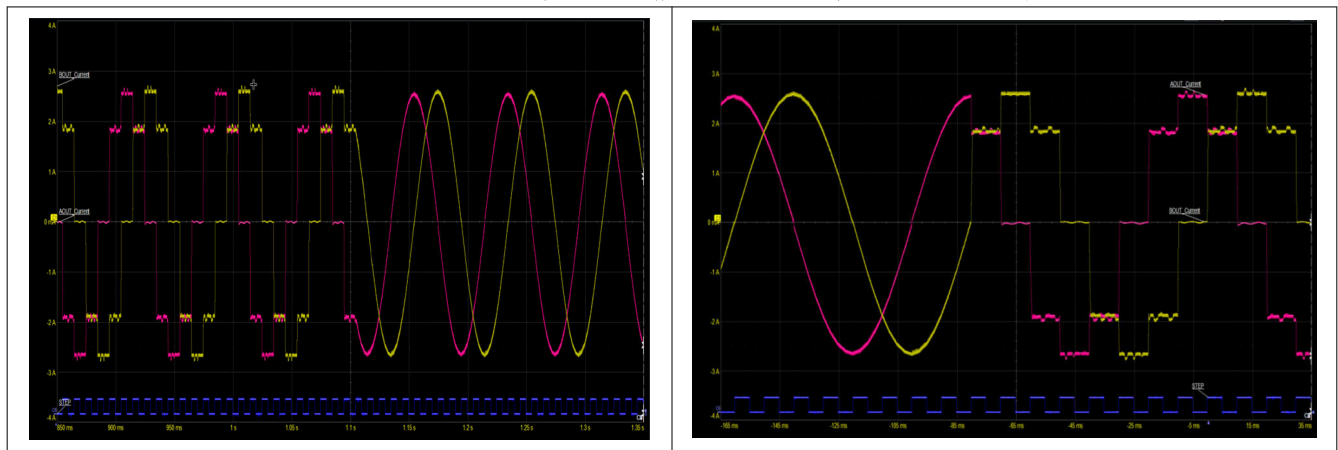


表 7-14. ハーフステップと自動マイクロステッピング間の遷移 (続き)

ハーフステップ・モードから 1/256 の自動マイクロステッピングへの遷移

1/256 の自動マイクロステッピングからハーフステップ・モードへの遷移

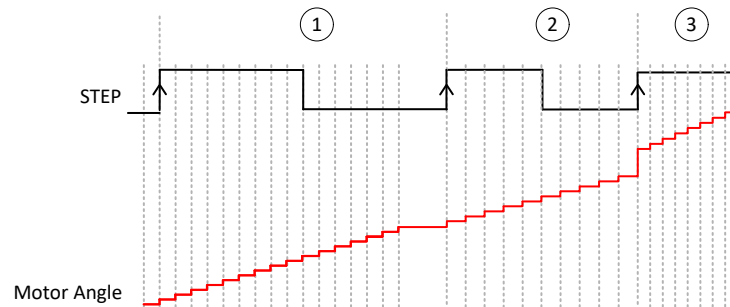


図 7-8. ステップ周波数を変化させたときの自動マイクロステッピング

図 7-8 に示すように、補間は前の 2 つのステップ・パルス間の時間に基づいて行われます。前のインターバル時間は、RES_AUTO ビットの設定に応じて除算と等しくなるように補間されます。

入力ステップ周波数が前のインターバルから低下する場合 (図のセグメント「1」)、モーターは次のステップのアクティブ・エッジが発生するまで、同じポジションを維持します。EN_STSL ビットが 1b の場合、デバイスは停止省電力モードに入り、 t_{STSL_DLY} が経過するまで次のアクティブ・エッジは来ません。停止省電力モードは、次のステップのアクティブ・エッジで終了します。

前のインターバルからステップ周波数が増加する場合 (図のセグメント「2」)、次のステップのアクティブ・エッジが来て、インデクサがステップ入力に応じたポジションに移動すると、モーター角はスムーズに自動補正されます。セグメント「3」では、モーター角はセグメント「2」のステップ周波数に対応して、より高速に増加します。

注

- 自動マイクロステッピング・モードでは、ステップ入力の周波数は 10Hz～300kHz の間である必要があります。
- 10Hz 未満のフルステップ等価ステップ周波数で自動マイクロステッピングを実現するには、自動マイクロステッピングをイネーブルにする前に、より高い分解能のマイクロステッピング設定を使用します。
 - たとえば、フルステップ・モードでの 1Hz のステップ周波数は、1/16 マイクロステッピング・モードでの 16Hz のステップ周波数に相当します。そのため、フルステップ 1Hz ステップ入力に自動マイクロステッピングを使用する場合は、MICROSTEP_MODE を 0110b (1/16 マイクロステップ) に設定し、RES_AUTO ビットを使用して目的の補間レベルを実現できます。

7.3.7 カスタム・マイクロステッピング表

ステップ・モーター・システムの性能と可聴ノイズは、モーターと負荷の両方から発生されるトルク・リップルによって異なります。トルク・リップルは、各マイクロステップにおけるトルクの変動によって定義されます。ほとんどのステップ・モーターでは、標準的な正弦波マイクロステップ・インデクサで許容範囲のトルク・リップルと優れた性能を実現できます。

ただし、一部のモーターと負荷トルクの組み合わせでは、電流プロファイルを変更するとトルク・リップルが減少し、振動と可聴ノイズが低減することがあります。適切にプログラムすることで、カスタマイズされた電流波形により、一定のトルクでマイクロステップ位置が均等に分散されるため、最適な位置精度を実現します。

たとえば、永久磁石モーターの場合、ステップ角 ($3.6^\circ \sim 18^\circ$) がハイブリッド・モーター (0.9° または 1.8°) より大きい場合、トルクの変動がより顕著になります。固定子の歯数が少ないため、回転子が 2 つの固定子の歯の間にあるときに、固定子の歯と回転子の間で相互に作用するフラックスの量が少なくなります。これらの中間位置で電流レベルが上昇すると、デフォルトの正弦波インデクサに比べてトルク・リップルは小さくなります。

DRV8461 は、特定のモーターの要件に合わせてマイクロステッピング電流プロファイルを調整するためのルックアップ・テーブルを備えています。変更された電流プロファイルは、EN_CUSTOM ビットに「1」を書き込むことで、デフォルトの正弦波プロファイルの代わりに使用されます。カスタム・マイクロステッピング・モードでのステップ入力の周波数は、300kHz を超えないようにします。補間プロセスの詳細を以下に示します。

- ユーザーは、1/8 マイクロステッピング設定で、コイル A 電流の第 1 象限に対応する電流 (TRQ_DAC の %) をプログラムする必要があります。
- これらの電流値は、CUSTOM_CURRENT1 レジスタから CUSTOM_CURRENT8 レジスタに保存されます。
- これらの電流値の位置は、電気角 11.25°、22.5°、33.75°、45°、56.25°、67.5°、78.75°、90° に対応します。
- 0°の位置の電流値はゼロとします。
- 9 つの電流値 (0% フルスケール電流を含む) は、区分線形手法を使用して合計 256 ポイントまで補間され、完全な電流波形が作られます。補完された波形は、プログラムされたマイクロステッピング・モードに関係なく、常に 1/256 のマイクロステップに対応します。
- 次に、最初の象限の値を反転し、コイル A の他の 3 つの象限についても繰り返します。また、コイル B の電流についても同様に 4 つの象限で反転を繰り返し、完全な電流波形を作り上げます。

表 7-15 に、ユーザーの入力例を示します。

表 7-15. カスタム・マイクロステッピング表の値

位置 (°)	正弦インデкса値	修正値 (CUSTOM_CURRENTx)
0	0	0
11.25	49.7	24
22.5	97.6	56
33.75	141.7	96
45	180.3	152
56.25	212	192
67.5	235.6	224
78.75	250.1	240
90	255	255

図 7-9 に、正弦インデксаで生成される波形と比較した、完全な電気角におけるコイル A の対応する修正電流波形を示します。

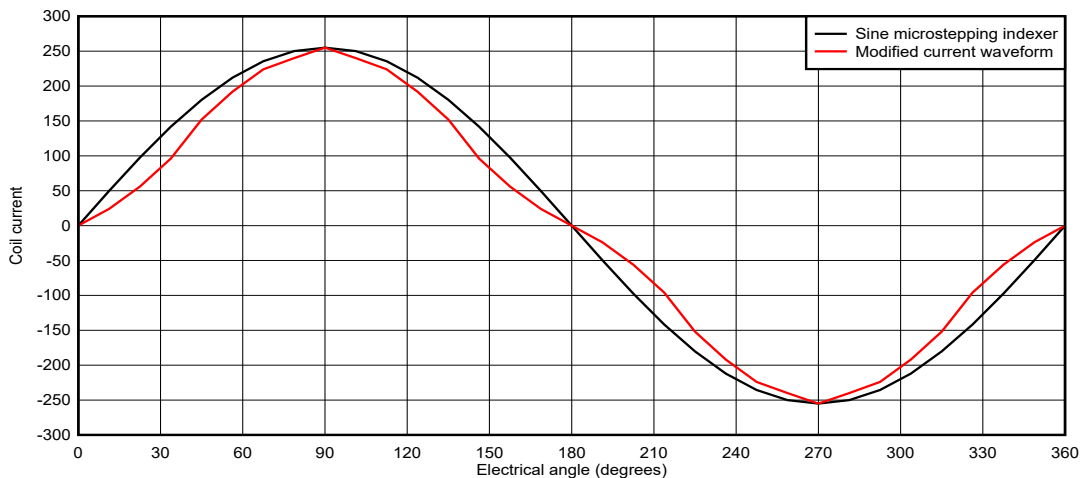


図 7-9. カスタマイズ可能なマイクロステッピング

7.3.8 電流レギュレーション

モーター巻線に流れる電流は、PWM 電流レギュレーション回路によって制御されます。H ブリッジをイネーブルにすると、現在の電源電圧、巻線のインダクタンス、逆起電力の大きさに応じた速度で、巻線に流れる電流が増加します。電流が電流レギュレーション・スレッショルドに達すると、[図 7-10](#) に示すように、ブリッジはオフ時間の間減衰モードに移行して電流は減少します。オフ時間が経過すると、ブリッジは再びイネーブルになり、次の PWM サイクルを開始します。

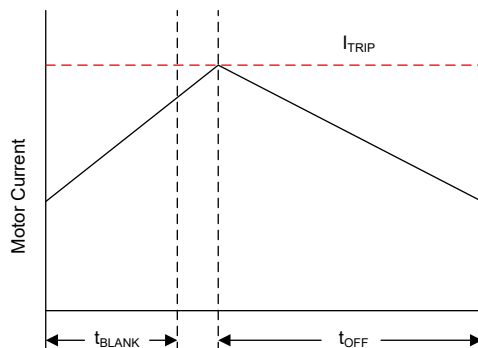


図 7-10. 電流チョッピング波形

PWM レギュレーション電流は、ローサイド・パワー MOSFET と並列に接続した電流センス MOSFET の両端の電圧を監視するコンパレータによって設定されます。このデバイスをハードウェア・インターフェイスで構成する場合、電流センス MOSFET は、電流モードの正弦波で重み付けした DAC の出力であるリファレンス電流でバイアスされます。この DAC のフルスケール・リファレンス電流は VREF ピンの電圧で設定します。SPI インターフェイスで動作している場合、2 つのレジスタ (TRQ_DAC と ISTSL) により、リファレンス電流をさらにスケールリングできます。

[式 1](#) を使用して、ハードウェア・インターフェイスのフルスケール・レギュレーション電流を計算します。

$$I_{FS} (A) = VREF (V) / K_V (V/A) \quad (1)$$

SPI インターフェイスの場合、8 ビットの TRQ_DAC レジスタはフルスケール電流を [式 1](#) のようにさらにスケールリングします。TRQ_DAC の設定については、[表 7-16](#) を参照してください。

$$I_{FS} (A) = VREF (V) \times TRQ_DAC / K_V (V/A) \quad (2)$$

表 7-16. TRQ_DAC の設定

TRQ_DAC	電流スカラー
11111111b	100%
11111110b	99.61%
11111101b	99.22%
11111100b	98.83%
.....	
00000000b	0.39%

もう 1 つの 8 ビット・レジスタ ISTSL は、ステップ・パルスが印加されておらず、モーターが同じ位置に保持されているとき、保持電流 (I_{HOLD}) をプログラムします。保持電流が低い値に遷移すると、モーターおよびドライバの電力損失が減少します。詳しくは、[セクション 7.3.9](#) を参照してください。

$$I_{HOLD} (A) = VREF (V) \times ISTSL / K_V (V/A) \quad (3)$$

表 7-17. ISTSL の設定

ISTSL	保持電流の値
11111111b	100%

表 7-17. ISTSL の設定 (続き)

ISTSL	保持電流の値
11111110b	99.61%
11111101b	99.22%
11111110b	98.83%
.....	
00000000b	0.39%

7.3.8.1 内部リファレンス電圧

SPI インターフェイスで動作している場合、DRV8461 は 3.3V の内部リファレンス電圧をサポートします。この内部リファレンスは、VREF_INT_EN ビットに 1b を書き込むことでイネーブルできます。この場合、VREF ピンの電圧は無視され、VREF ピンはオープンのままでも、グランドに接続してもかまいません。

フルスケール電流と保持電流は 式 4 および 式 5 のように計算されます。

$$I_{FS} (A) = 3.3V \times TRQ_DAC / K_V (V/A) \quad (4)$$

$$I_{HOLD} (A) = 3.3V \times ISTSL / K_V (V/A) \quad (5)$$

リファレンスとして内部 3.3V を使用すると、VREF ピンに接続されている 2 つの抵抗が不要になるため、BOM のコストを削減できます。

7.3.9 静止電力節約モード

コントローラがステップ・パルスを送信せず、モーターが同じ位置を保持している場合、DRV8461 は静止電力節約モードで動作するように構成できます。EN_STSL ビットに 1b を書き込むことでこのモードをイネーブルにすると、コイル電流は実行電流から保持電流まで下げることにより、システムの消費電力を低減できます。

図 7-11 に示すように、最後の STEP パルスの後、デバイスは TSTSL_DLY レジスタによってプログラムされた時間を待機します。その後、TSTSL_FALL レジスタによってプログラムされた期間にわたって、コイル電流は実行電流から保持電流まで降下します。デバイスが静止電力節約モードであることを示して、STSL フラグが立ちます。次の STEP パルスが検出されると、コイル電流はただちに実行電流まで上昇します。TSTSL_FALL および TSTSL_DLY に利用可能なオプションを表 7-18 に示します。

セクション 7.3.8 に記載されているように、実行電流は TRQ_DAC レジスタによってプログラムされ、保持電流は ISTSL レジスタによってプログラムされます。

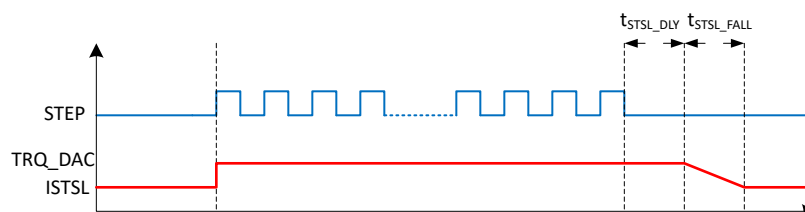


図 7-11. 静止電力節約モード

表 7-18. 静止立ち下がり時間と遅延時間

パラメータ	説明
TSTSL_FALL[3:0]	TSTSL_DLY 時間の経過後に、電流が TRQ_DAC から ISTSL まで減少する時間を制御します。TSTSL_FALL ごとに、電流が ISTSL に達するまで TRQ_DAC は 1b ずつ低下します。合計立ち下がり時間 = (TRQ_DAC - ISTSL) * 各電流ステップの立ち下がり時間。 0000b: 立ち下がり時間 = 0 0001b: 各電流ステップの立ち下がり時間 = 1ms 0100b: 各電流ステップの立ち下がり時間 = 4ms (デフォルト) 1111b: 各電流ステップの立ち下がり時間 = 15ms
TSTSL_DLY[5:0]	最後の STEP パルスから静止電力節約モードの起動までの遅延を制御します。 000000b: 予約済み 000001b: 遅延 = $1 \times 16\text{ms} = 16\text{ms}$ 000100b: 遅延 = $4 \times 16\text{ms} = 64\text{ms}$ (デフォルト) 111111b: 遅延 = $63 \times 16\text{ms} = 1.008\text{s}$

注

- デバイスが静止電力節約モード中に ISTSL を変更する必要がある場合は、最初に EN_STSL ビットを 1b から 0b に切り替え、次に 1b に戻します。
- 自動トルクがディセーブルのとき:
 - ISTSL < TRQ_DAC の場合は $I_{\text{HOLD}} = \text{ISTSL}$
 - ISTSL > TRQ_DAC の場合は $I_{\text{HOLD}} = \text{TRQ_DAC}$
- 自動トルクがイネーブルのとき:
 - ISTSL < TRQ_DAC の場合は $I_{\text{HOLD}} = \text{ISTSL}$
 - ISTSL > ATQ_TRQ_DAC の場合は $I_{\text{HOLD}} = \text{ATQ_TRQ_DAC}$
 - 最善策は、ISTSL を ATQ_TRQ_MIN より小さい値にプログラムすることです。

7.3.10 電流レギュレーション減衰モード

PWM 電流チョッピング中、H ブリッジは PWM 電流チョッピング・スレッシュホールドに達するまで、モーター巻線を駆動できません。図 7-12 の項目 1 に、これを示します。

チョッピング電流スレッシュホールドに達した後、H ブリッジは 2 種類の状態 (高速減衰または低速減衰) で動作できます。

- 高速減衰モードでは、PWM チョッピング電流レベルに達するとすぐ、巻線電流が逆方向に流れるように反対側のアームの MOSFET に切り換えることで、H ブリッジは状態を反転させます。巻線電流がゼロに近づくと、H ブリッジはディセーブルにされ、逆方向の電流がそれ以上流れるのを防止します。図 7-12 の項目 3 に、高速減衰モードを示します。
- 低速減衰モードでは、H ブリッジの両方のローサイド MOSFET をイネーブルにすることで巻線電流を再循環させます。図 7-12 の項目 2 に、これを示します。

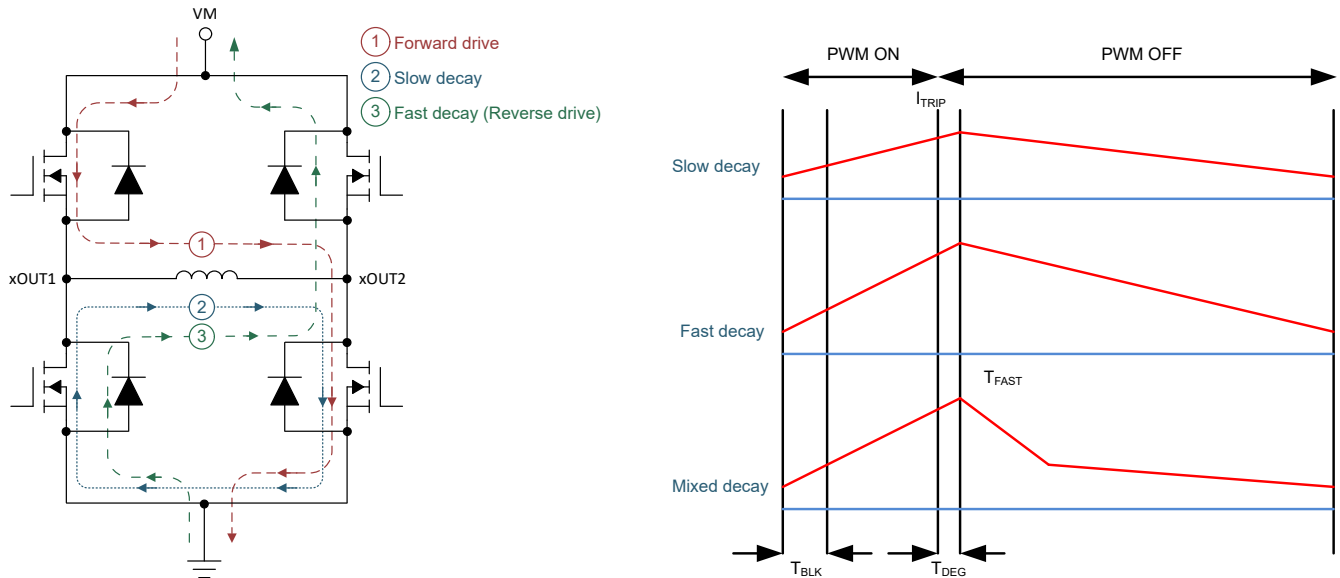


図 7-12. 減衰モード

減衰モードは、表 7-19 に示すように DECAY レジスタまたは DECAY0 ピンと DECAY1 ピンで選択します。減衰モードは、実行中に変更できます。

表 7-19. 減衰モードの設定

SPI インターフェイス DECAY	ハードウェア・インターフェイス		減衰モード
	DECAY0	DECAY1	
000b	ハイ・インピーダンス	1	低速減衰
100b	1	0	混合減衰:30% 高速
101b	ハイ・インピーダンス	0	混合減衰:60% 高速
110b	0	0	スマート・チューン・ダイナミック減衰
111b (デフォルト)	0	1	スマート・チューン・リップル制御

注

DECAY ビットの残り (001b、010b、011b) の設定、および (DECAY0 = 1、DECAY1 = 1) の設定は予約済みです。

DRV8461 は、低速時および静止時に超サイレント動作を行うためのサイレント・ステップ減衰モードも備えています。詳しくは、セクション 7.3.12 を参照してください。

7.3.10.1 低速減衰

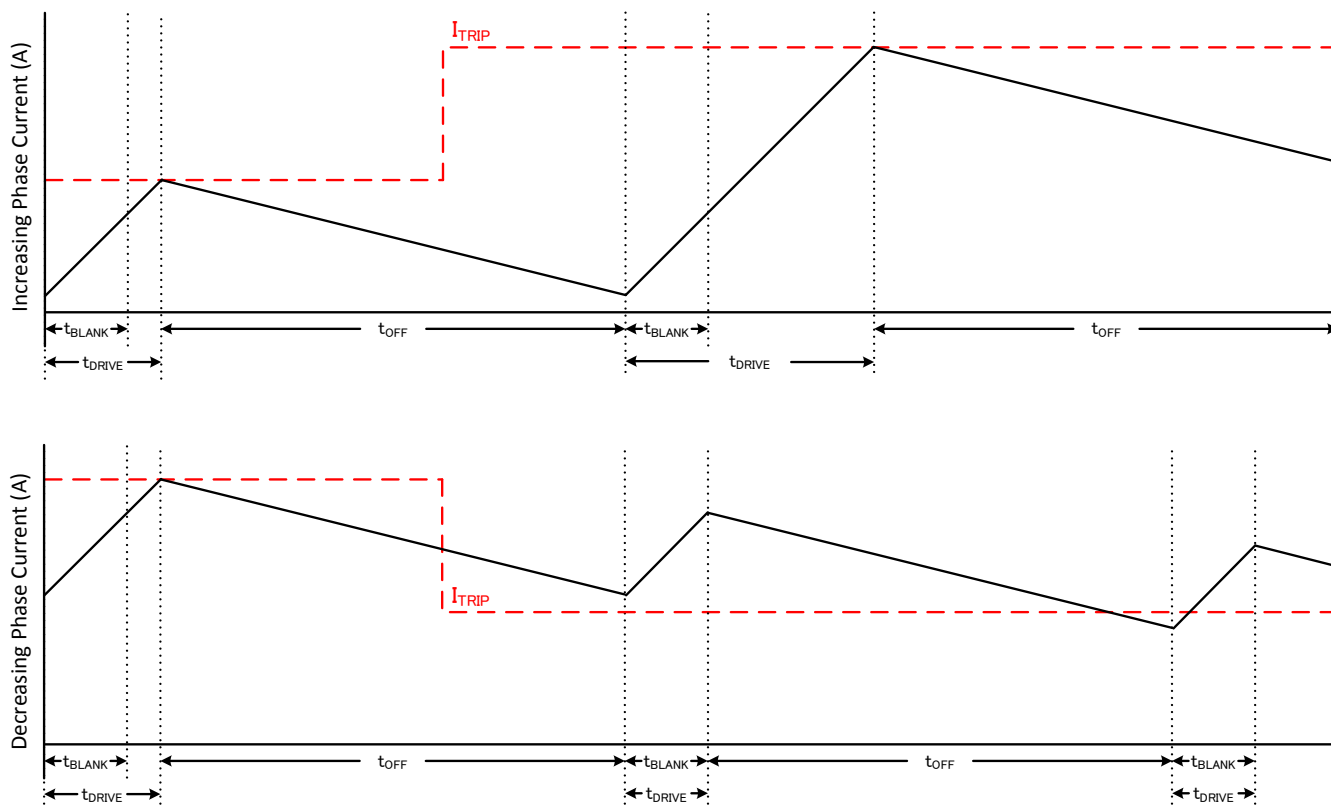


図 7-13. 低速減衰モード

低速減衰では、H ブリッジのローサイド FET はどちらもオンになり、電流を再循環させることができます。低速減衰モードを選択する際は、以下の点を考慮してください。

- 低速減衰は、与えられた t_{OFF} に対する減衰モードの中で、最も小さい電流リップルを示します。
- しかし、電流減少ステップでは、低速減衰では電流が非常にゆっくり減少するため、新しい I_{TRIP} レベルに落ち着くまでに長い時間がかかります。
 - オフ時間終了時の電流が I_{TRIP} レベルを上回っている場合、もう一度オフ時間の間低速減衰が延長され、オフ時間終了時の電流が I_{TRIP} レベルを下回るまで繰り返されます。
- 電流が長時間にわたって同じレベルに保持されている (STEP 入力なし) 場合や、目標レギュレーション電流レベルが低い場合、または、ステップング速度が非常に低い場合、モーター巻線の逆起電力が非常に小さく、オフ時間中に電流を放電する可能性があるため、低速減衰では適切に電流を制御できない場合があります。この状態では、モーター電流が急速に増加する可能性があり、長いオフ時間を必要とする場合があります。場合によっては、このために電流レギュレーションが失われる可能性があるため、より積極的な減衰モードが推奨されます。

7.3.10.2 混合減衰

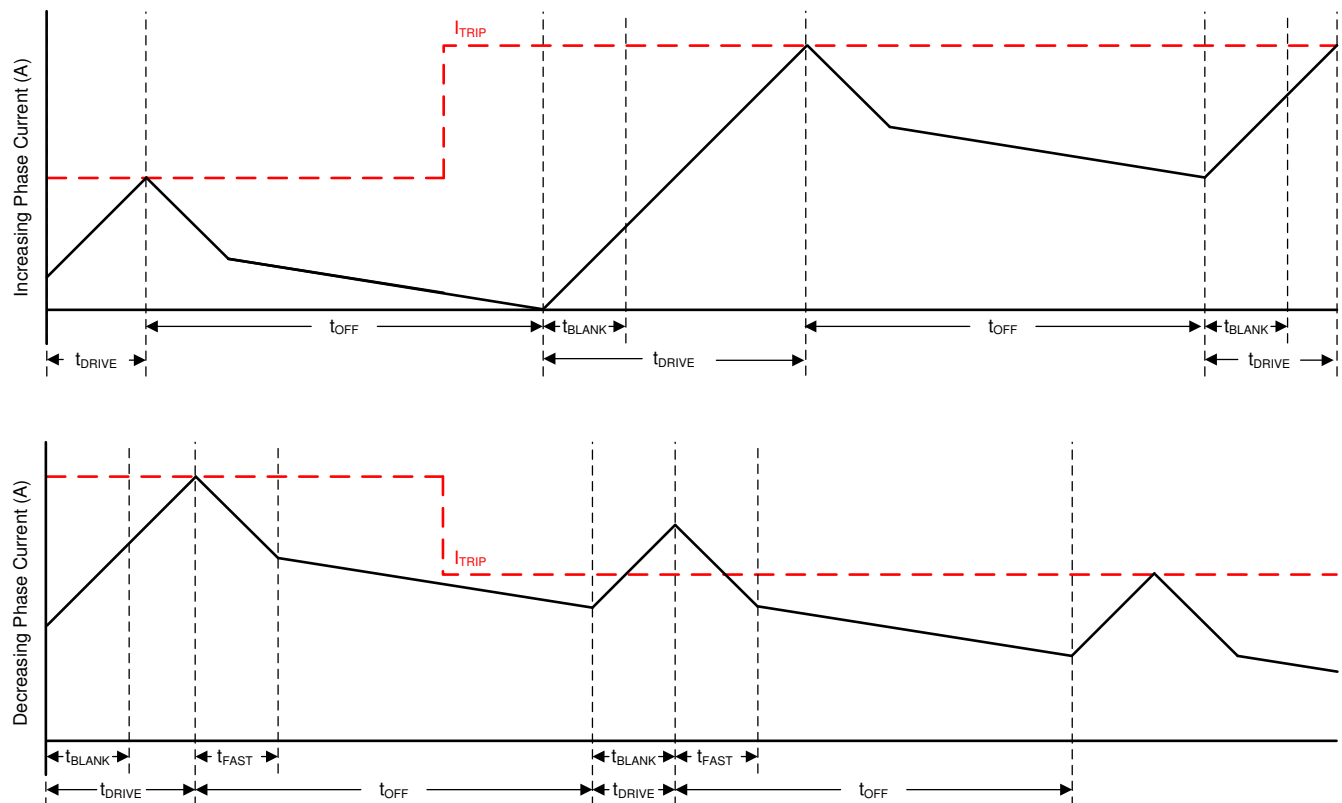


図 7-14. 混合減衰モード

混合減衰では、 t_{OFF} 時間の一定の初期期間 (30% または 60%) は高速減衰で開始し、その後 t_{OFF} の残り時間は低速減衰に切り替わります。混合減衰モードを選択するときは、次の点を考慮する必要があります。

- このモードでは、低速減衰よりもリップルが大きくなります。
- 電流減少ステップでは、混合減衰は低速減衰よりも速く、新しい I_{TRIP} レベルに落ち着きます。
- 電流が長時間 (STEP 入力なし) または非常に低いステップング速度で同じレベルに保持されている場合、混合減衰を使用すると、モーター巻線に逆起電力が存在しないときに電流をレギュレーション状態に維持できます。
- 30% または 60% の固定混合減衰方式を採用すると、電流レギュレーションでパターンが繰り返し発生し、可聴周波数範囲に低下して、モーターのノイズが増加する可能性があります。

7.3.10.3 スマート・チューン・ダイナミック減衰

スマート・チューンは、従来の混合減衰モードに比べて高度な電流レギュレーション方式です。スマート・チューンは、ステップ・モーター・ドライバが次のような動作要因の変化に基づいて減衰方式を調整するのに役立ちます。

- モーターの巻線抵抗およびインダクタンス
- モーターの経年劣化
- モーターの動的速度および負荷
- モーターの電源電圧変動
- 立ち上がりおよび立ち下がりステップでのモーターの逆起電力の差動
- ステップ遷移
- 小電流と大電流の di/dt

DRV8461 は 2 種類のスマート・チューン方式 (スマート・チューン・ダイナミック減衰とスマート・チューン・リップル・コントロール) を備えています。

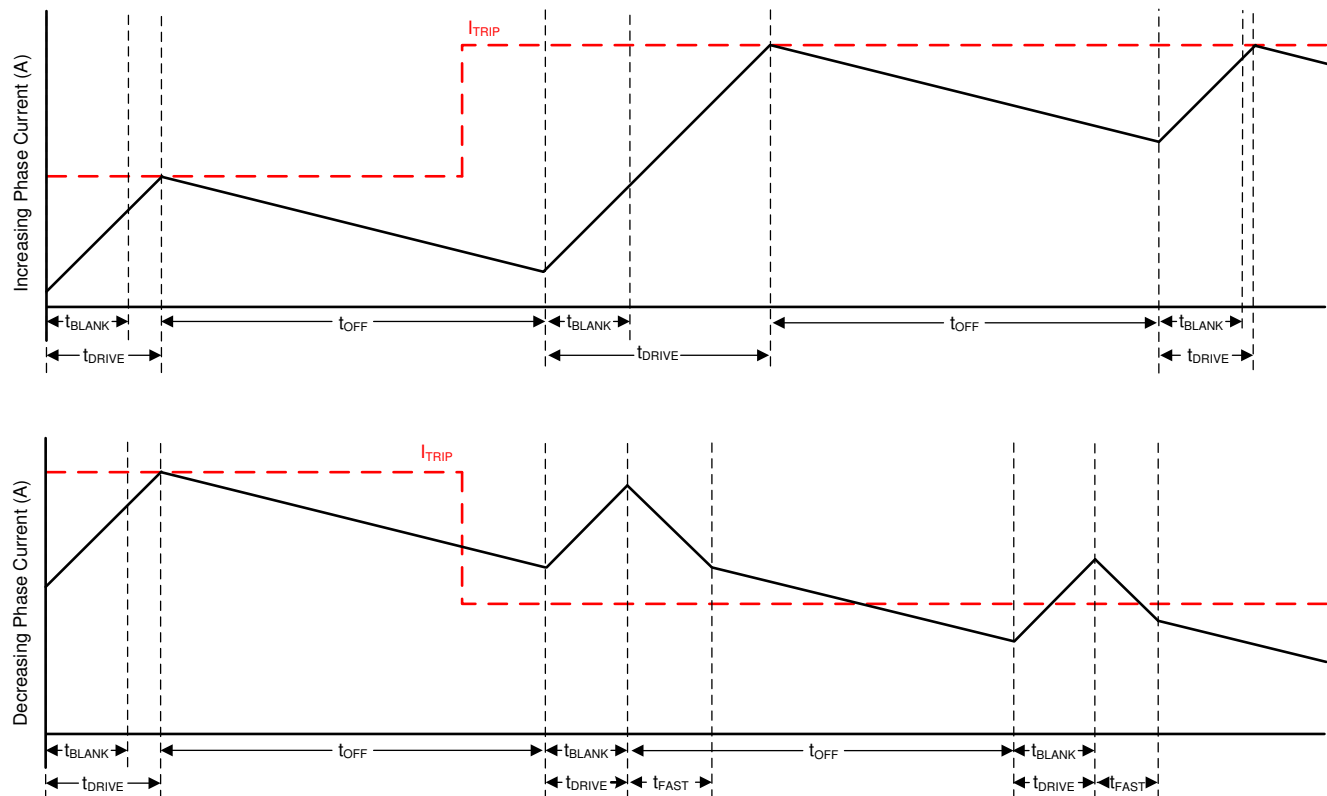


図 7-15. スマート・チューン・ダイナミック減衰モード

スマート・チューン・ダイナミック減衰モードでは、混合減衰の総時間に対する高速減衰の割合が動的に調整されます。これにより、モーターのリップルを最小限に抑え、性能を最大限に高めるために最適な混合減衰設定を自動的に決定することで、モーター減衰のチューニングが不要になります。

高速減衰の割合は、各 PWM サイクルで繰り返し最適化されます。モーター電流が目標 I_{TRIP} レベルを超えると、電流レギュレーション損失を防ぐため、次のサイクルで (高速減衰の割合を増やすことで) 混合減衰モードはより積極的になります。目標 I_{TRIP} レベルに達するまでに長い駆動時間を必要とする場合は、リップルを抑えて動作するために、次のサイクルで (高速減衰の割合を減らすことで) 減衰モードはより消極的になります。立ち下がりステップでは、次のステップに素早く達するために、スマート・チューン・ダイナミック減衰は自動的に高速減衰に切り替わります。

7.3.10.4 スマート・チューン・リップル・コントロール

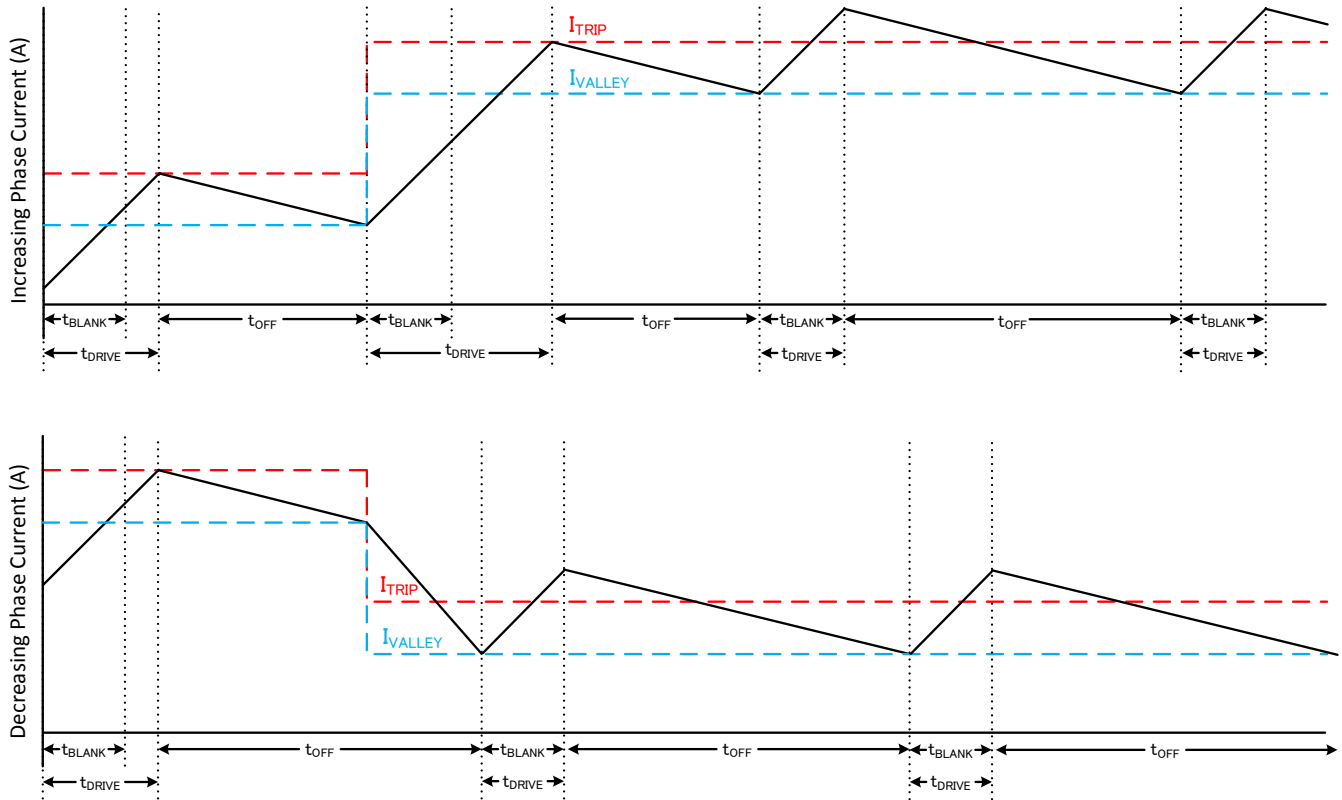


図 7-16. スマート・チューン・リップル・コントロール減衰モード

スマート・チューン・リップル・コントロール減衰モードでは、PWM オフ時間は電流レベルと動作パラメータに応じて変化します。スマート・チューン・リップル・コントロールは I_{VALLEY} レベルと I_{TRIP} レベルをあわせて設定することで動作します。電流レベルが I_{TRIP} に達すると、ドライバは t_{OFF} 時間が経過するまで低速減衰に移行する代わりに、 I_{VALLEY} に達するまで低速減衰に移行します。

スマート・チューン・リップル・コントロール・モードのリップル電流の大きさは、表 7-20 に示すように RC_RIPPLE[1:0] ビット、または TOFF ピンによってプログラムされます。

表 7-20. 電流リップル設定

ハードウェア・インターフェイス	SPI インターフェイス	特定のマイクロステップ・レベルでの電流リップル
TOFF	RC_RIPPLE	
0	00b (デフォルト)	15mA + I_{TRIP} の 1%
1	01b	15mA + I_{TRIP} の 2%
ハイ・インピーダンス	10b	15mA + I_{TRIP} の 4%
330kΩ を GND に接続	11b	15mA + I_{TRIP} の 6%

スマート・チューン・リップル・コントロール方式により、リップル電流のレギュレーションを大幅に厳密化できるため、モーターの効率が向上し、可聴ノイズが低減されます。PWM 周波数が可聴範囲 (< 20kHz) よりも確実に高くなる、リップル電流設定を選択してください。

7.3.10.5 PWM オフ時間

表 7-21 に示すように、TOFF ビットまたは TOFF ピンにより、スマート・チューン・リップル制御およびサイレント・ステップ減衰モードを除くすべての減衰モードの PWM オフ時間を設定します。このオフ時間の設定は実行中に変更できます。

表 7-21. オフ時間の設定

SPI インターフェイス	ハードウェア・インターフェイス	オフ時間
TOFF	TOFF	
00b	0	9.5μs
01b (デフォルト)	1	19μs
10b	ハイ・インピーダンス	27μs
11b	330kΩ を GND に接続	35μs

7.3.10.6 電流レギュレーション・ブランキング時間とグリッチ除去時間

H ブリッジでドライブ・フェーズを開始すると、電流検出回路がイネーブルになる前に、電流検出コンパレータは一定時間 (ブランキング時間) 無視されます。ブランキング時間は、PWM の最小駆動時間も設定します。

- デバイスがハードウェア・インターフェイスで動作している場合、ブランキング時間は 1.5μs に固定されます。
- デバイスが SPI インターフェイスで動作している場合、表 7-22 に示すようにブランキング時間は TBLANK_TIME ビットにより、デフォルト値 1.5μs でプログラムできます。

表 7-22. TBLANK_TIME の設定

TBLANK_TIME	ブランキング時間
00b	1μs
01b (デフォルト)	1.5μs
10b	2μs
11b	2.5μs

電流が I_{TRIP} レベルに近い場合、適切な電流レギュレーションのためにはグリッチ除去時間を 0.5μs にします。

7.3.11 外付け抵抗による電流検出

PWM 電流レギュレーションは、DRV8461 の内部センス抵抗の両端で検出される電圧に基づき行われます。図 7-17 に示すように、オプションで PGND ピンとシステム・グラウンドの間に (または、VM ピンに平行に) 外付け抵抗を配置して、コイル電流を検出することもできます。DRV8461 には 2 本の PGNDA ピンと 2 本の PGNDB ピンがあり、各 H ブリッジに対して 1 ペアとなります。そのため、PGND ピンとシステム・グラウンドの間にセンス抵抗を配置することにより、各ステップ・モーター・コイルの電流を別々に検出することができます。4 本の VM ピンはすべて内部で短絡しているため、センス抵抗が VM 経路に配置されると、この抵抗は両方の H ブリッジの合計電流を検出します。

PGND ピンとシステム・グラウンドとの間に接続された外部センス抵抗の電圧降下は、300mV を超えないようにする必要があります。検出されたコイル電流はモーターの状態を監視するために処理されたり、フィールド指向制御ループに必要な信号を生成するために使用して、システム全体の効率を向上させます。

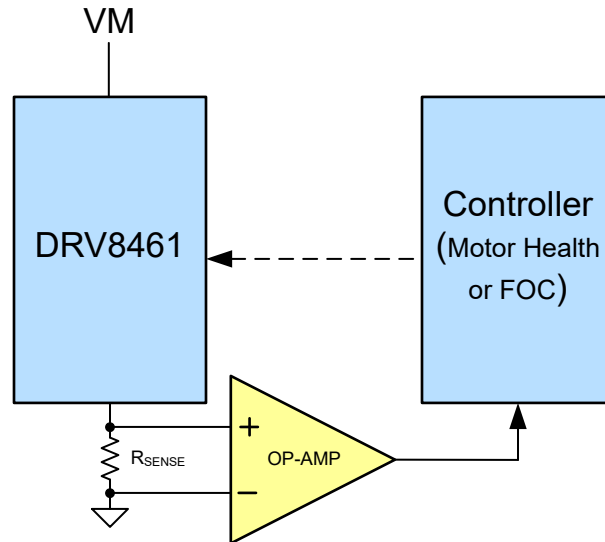


図 7-17. 外付け抵抗による電流検出

低速減衰中は電流がセンス抵抗を流れないため、センス抵抗の導通電流はコイル RMS 電流より小さくなります。センス抵抗は、対応する IC ピンのできるだけ近くに配置してください。センス抵抗を左右対称に配置することで、マッチングが適切になります。電圧スパイクとリングングを防止するため、低インダクタンスのセンス抵抗を使用してください。最適な性能を確保するため、センス抵抗には十分な大きな電力を定格とする表面接地型の抵抗を使用してください。

7.3.12 サイレント・ステップ減衰モード

従来のピーク電流モード制御は、検出 MOSFET の瞬間的な電流を調べて、駆動時間と減衰時間を決定します。そのため、モーター・ドライバはシステムの瞬間的な誤差に反応します。このような電流の急激な変化により、モーターから可聴ノイズが発生します。

ノイズのないステップ・モーター動作を実現するため、DRV8461 にはサイレント・ステップ減衰モードが搭載されています。サイレント・ステップは、静止時と低速時に PWM スイッチングを行うことでノイズを除去する電圧モードの PWM レギュレーション方式です。そのため、サイレント・ステップで動作するステップ・モーター・アプリケーションは、低ノイズ動作が不可欠となる 3D プリンタ、医療機器、ファクトリ・オートメーションなどのアプリケーションに最適です。

注

デバイスがサイレント・ステップ減衰モードで動作している場合：

- 開放負荷障害検出は、モーターが動作しているときにのみ機能し、モーターが静止している場合は機能しません。
- ストール検出機能はサポートされていません。
- スペクトラム拡散機能はディセーブルです。

サイレント・ステップ・ループは低帯域幅動作向けに設計されているため、モーター速度が中程度から高速のときは、減衰モードから DECAY ビットでプログラムされた従来の電流モード減衰方式の 1 つに戻すことが可能です。サイレント・ステップから他の減衰モードへはすぐに移行しますが、他の減衰モードからサイレント・ステップへは電氣的半周期の境界で移行します。

図 7-18 に、サイレント・ステップ減衰モードの実装のブロック図を示します。

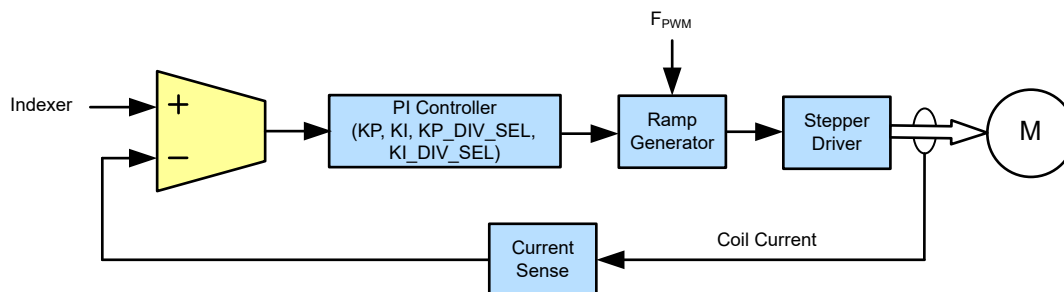


図 7-18. サイレント・ステップのブロック図

表 7-23 に、サイレント・ステップ減衰モードに関連する SPI レジスタのパラメータを示します。

表 7-23. サイレント・ステップのパラメータ表

パラメータ	説明
EN_SS	EN_SS ビットが 1b の場合、サイレント・ステップ減衰モードはイネーブルになります。デバイスは、コイル A およびコイル B の電流に対してそれぞれ 1 つのゼロ交差が発生した後、サイレント・ステップで動作を開始します。EN_SS に 0b を書き込むと、サイレント・ステップ減衰モードはディセーブルされ、DECAY ビット設定に従って減衰モードが変化します。
SS_PWM_FREQ[1:0]	サイレント・ステップ減衰モードでの PWM 周波数 (F_{PWM}) を表します。 00b = 25kHz (デフォルト) 01b = 33kHz 10b = 42kHz 11b = 50kHz PWM 周波数が高くなると、スイッチング損失も大きくなります。
SS_SMPL_SEL[1:0]	サイレント・ステップ電流ゼロ交差サンプリング時間。デフォルト値は 2μs です。ゼロ交差付近で電流波形が歪んでいる場合は、サンプリング時間を長くしてください。 00b = 2μs (デフォルト) 01b = 3μs 10b = 4μs 11b = 5μs
SS_KP[6:0]	サイレント・ステップ PI コントローラの比例ゲインを表します。範囲は 0~127 で、デフォルト値は 0 です。
SS_KI[6:0]	サイレント・ステップ PI コントローラの積分ゲインを表します。範囲は 0~127 で、デフォルト値は 0 です。
SS_KP_DIV_SEL[2:0]	KP の分割係数。実際の KP = $SS_KP / SS_KP_DIV_SEL$ です。 000b - $SS_KP/32$ (デフォルト) 001b - $SS_KP/64$ 010b - $SS_KP/128$ 011b - $SS_KP/256$ 100b - $SS_KP/512$ 101b - $SS_KP/16$ 110b - SS_KP
SS_KI_DIV_SEL[2:0]	KI の分割係数。実際の KI = $SS_KI / SS_KI_DIV_SEL$ です。 000b - $SS_KI/32$ (デフォルト) 001b - $SS_KI/64$ 010b - $SS_KI/128$ 011b - $SS_KI/256$ 100b - $SS_KI/512$ 101b - $SS_KI/16$ 110b - SS_KI

表 7-23. サイレント・ステップのパラメータ表 (続き)

パラメータ	説明
SS_THR[7:0]	デバイスがサイレント・ステップ減衰モードから、DECAY ビットによってプログラムされた別の減衰モードに移移する周波数をプログラムします。この周波数は、正弦波電流波形の周波数に相当します。 00000001b = 2Hz 00000010b = 4Hz . . 11111111b = 510Hz (デフォルト)

SS_THR スレッシュホールドを、指定されたマイクロステッピング設定のステップ周波数 (f_{STEP}) に変換するには、式 6 を使用する必要があります。

$$f_{STEP} = (SS_THR * 1000 * usm) / 256 \quad (6)$$

ここで、usm はマイクロステップ数 (4、16、256 など) に相当します。デバイスがカスタム・マイクロステッピング・モードで動作している場合、ステップ周波数を求めるには、式 6 に usm = 256 を使用します。

サイレント・ステップ・ループのゲインと周波数との関係を以下に示します。

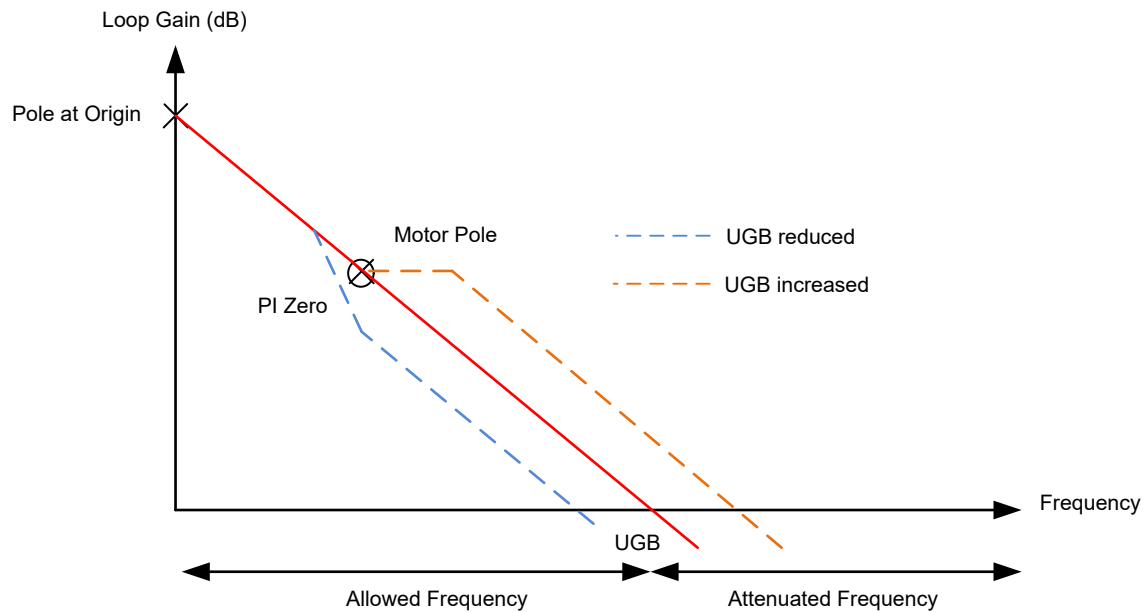


図 7-19. サイレント・ステップ・ゲインと周波数との関係

ループ伝達関数には、次の 2 つの極と 1 つのゼロが含まれます。

- 原点に 1 つの極
- モーター・コイルの抵抗とインダクタンスによる 1 つの極 (f_P)

$$f_P = R_{MOTOR} / (2 * \pi * L_{MOTOR}) \quad (7)$$

- PI ループによって生成される 1 つのゼロ (f_Z)

$$f_Z = (K_I * F_{PWM}) / (2 * \pi * K_P) \quad (8)$$

目標のループ・ゲインを実現するには、比例ゲイン K_P を選択する必要があります。 K_P を求めるには、以下の式を使用します。

$$KP = 6 * \pi * UGB * L_{MOTOR} / VM \quad (9)$$

ここで、UGB はループのユニティゲイン帯域幅、 R_{MOTOR} はモーター・コイル抵抗、 L_{MOTOR} はモーター・コイル・インダクタンス、 I_{FS} はフルスケール電流、 VM は電源電圧です。

- いずれかの周波数が UGB 未満になると、伝搬が許可されます。
- PWM 周波数やステップ周波数など、UGB 以上の周波数は減衰し、モーターのノイズには影響しません。
- 可聴範囲内の大部分の周波数を減衰させるには、UGB を 200Hz にするのが妥当です。
- 電源電圧が変化した場合は、KP の値を修正することで UGB を変更できます。この方法で、さまざまな動作条件にわたって同様のオーディオ・ノイズを抑制することができます。
- モーターの極より低い周波数にゼロを選択すると、ゲインと周波数との関係に示すように UGB は増加します。

モーターの極をキャンセルするには、ゼロを配置する必要があります。離散化された実装では f_p と f_z を等しくすることで、次の式を使用して KI を計算できます。

$$KI = KP * R_{MOTOR} / (F_{PWM} * L_{MOTOR}) \quad (10)$$

例として、以下の使用事例を考えてみます。

- $VM = 24V$
- $I_{FS} = 3A$
- $R_{MOTOR} = 0.9\Omega$
- $L_{MOTOR} = 1.2mH$
- $UGB = 200Hz$
- $F_{PWM} = 25kHz$
- 50RPM を超えると、減衰モードはサイレント・ステップからスマート・チューン・リップル・コントロールに変更されます。

上記の式を使用すると、 $KP = 0.1885$ 、 $KI = 0.00566$ となります。次のレジスタ値を設定できます。

- $SS_KP = 0110000b = 48$
- $SS_KI = 0000011b = 3$
- $SS_KP_DIV_SEL = 011b = 1/256$
- $SS_KI_DIV_SEL = 100b = 1/512$
- 50RPM は 1/256 マイクロステッピング時に約 42.6kpps に相当し、42Hz の正弦波電流波形の周波数に相当します。SS_THR = 00010101b = 21 です。

以下の画像に、モーターがサイレント・ステップ減衰モードで動作しているときの滑らかな正弦波コイル電流の波形を示します。



図 7-20. サイレント・ステップ減衰でのコイル電流波形

SS_SMPL_SEL ビットは、ゼロ交差点付近の電流波形の滑らかさに影響を及ぼします。デフォルト値の $2\mu\text{s}$ サンプル時間は、ほとんどのモーターやアプリケーションで適切に動作します。電流波形の歪みがゼロ交差点付近に見られる場合、サンプル時間の値を最大 $5\mu\text{s}$ まで増やすことができます。以下の画像は、サイレント・ステップ減衰モードからスマート・チューン・リップル・コントロール減衰モードへの遷移例で、サンプル時間は $5\mu\text{s}$ です。

パターンは上から下へ順に: AOUT2、AOUT1、コイル A 電流、コイル B 電流、nSCS

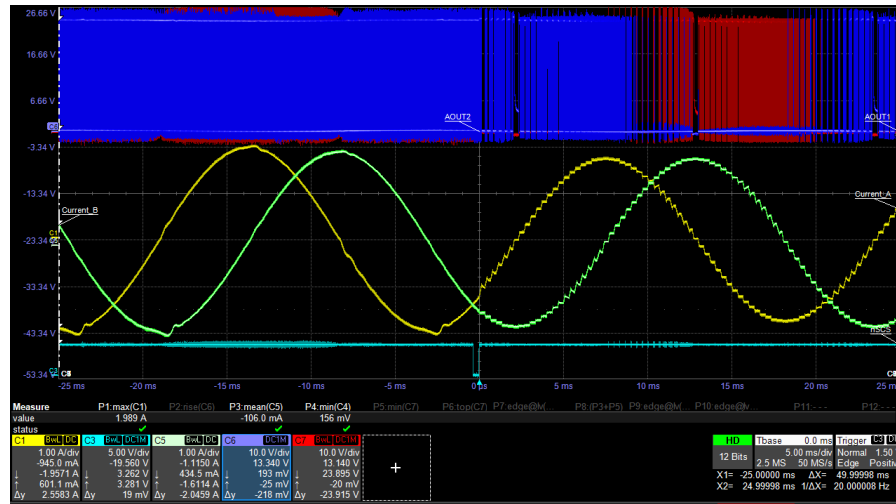


図 7-21. サイレント・ステップからスマート・チューンへの遷移

7.3.13 自動トルクの動的電流調整

標準的なステッパ・モーター・ドライバの場合、フルスケール電流はピーク負荷トルクの要求に基づいて設計されます。これにより、ピーク負荷が要求された場合でもモーターのステップ損失を防止できます。そのため、負荷トルクに関係なく、電流は常に一定です。この結果、負荷トルクがピーク負荷より低い場合、図 7-22 に示すように、ドライバとモーターでは抵抗性電力損失として入力電力の一部が消費されます。

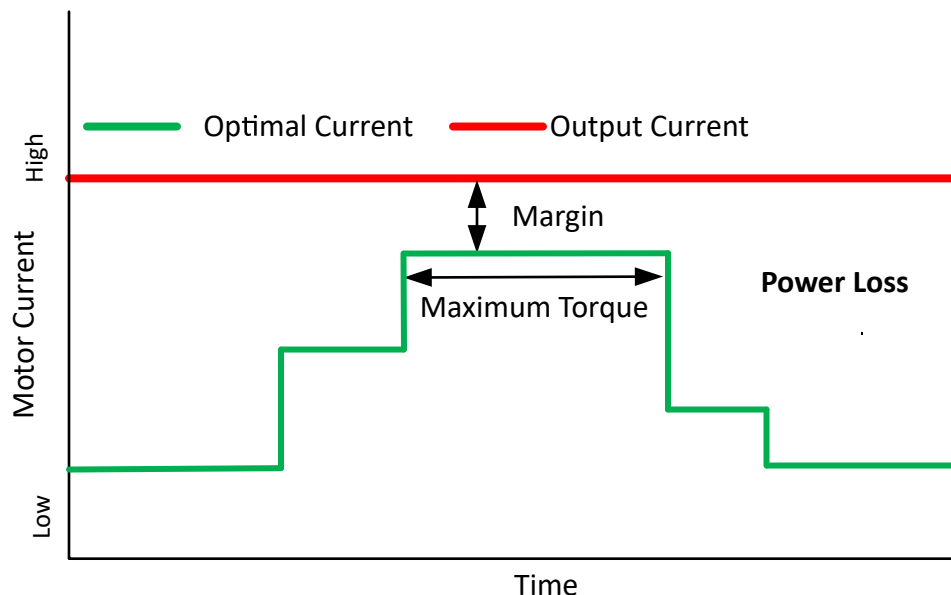


図 7-22. 標準型ステッパ・ドライバによる電力損失

ほとんどのシステムでは、ピーク負荷トルクの要求が発生することはごくまれです。たとえば、ATM 機械では、ステッパ・モーターがピーク負荷を供給する必要があるのは稼働時間全体の 15% 未満かもしれません。しかし、標準的なステッパ・ド

ライバは、最終的に常時モーターにフルスケール電流を供給するため、不要な電力損失、システム・サイズの増大化、部品の寿命短縮によりシステム効率は低下します。

DRV8461 に実装された自動トルク・アルゴリズムは、負荷トルクに応じて出力電流を動的に変化させることで、システム効率を向上させます。負荷トルクが低い場合、抵抗性損失を低減するために出力電流は低くなり、負荷トルクが高くなると、出力電流は急激に増加してモーターのステップ損失を防止します。この概念を、[図 7-23](#) に示します。自動トルクにより効率が向上した結果、システムは低温で動作するため、部品の寿命が長くなります。自動トルク機能により、より安価で小型サイズのステッパ・モーターを利用することも可能です。

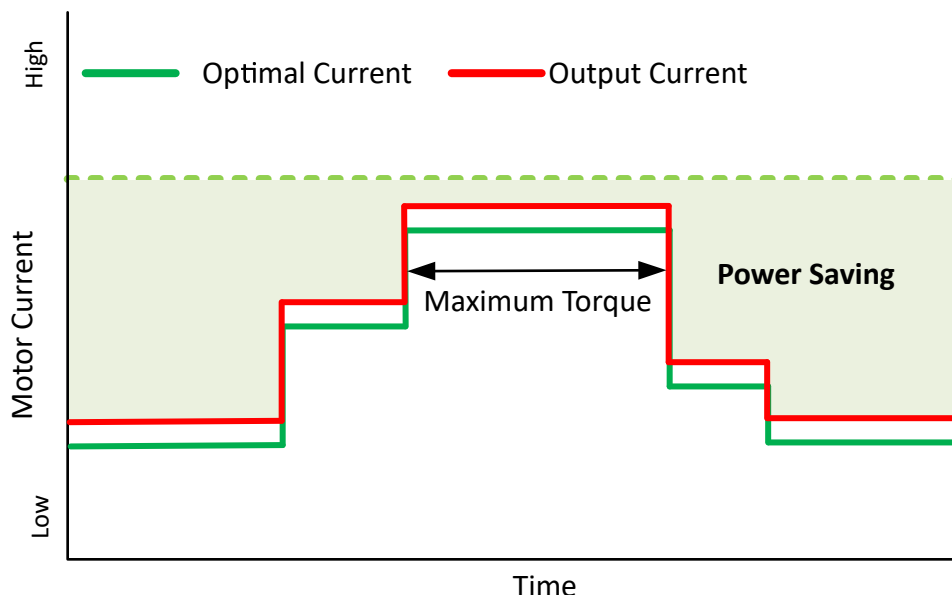


図 7-23. 自動トルクによる省電力

自動トルク機能をイネーブルにするには、ATQ_EN ビットに 1b を書き込みます。

7.3.13.1 自動トルク学習ルーチン

ステッパ・モーター・システムでは、電源から供給される合計電力は負荷のトルク要件を満たすための電力と、モーターの巻線抵抗やドライバのオン抵抗による抵抗損失などの電力損失として消費されます。これは、次の [式 11](#) によって決定されます。

$$\text{Power delivered by supply} = \text{Constant losses} + \tau \times \omega \quad (11)$$

ここで、 τ は負荷トルク、 ω はモーター速度です。

[式 11](#) から、負荷トルクが増加すると、電源から供給される電力も増加することがわかります。自動トルク・アルゴリズムは、電源から供給される電力を監視して、負荷トルクに関する情報を取得します。定数損失は、ATQ_LRN パラメータで表され、ATQ_CNT パラメータは負荷トルクをサポートするために必要な電力を表します。

任意のモーターについて、ATQ_LRN はコイル電流に正比例します。これは、[式 12](#) のように表すことができます。

$$\text{ATQ_LRN} = \frac{k \times I_M}{V_{VM}} \quad (12)$$

ここで、 I_M はモーター電流、 V_{VM} はドライバへの電源電圧、 k は定数です。[式 12](#) は、ATQ_LRN とモーター電流の線形関係を示しています。自動トルク学習ルーチンは、無負荷時における任意の 2 つの電流での ATQ_LRN の値を学習し、この関係を使用して、他の電流における ATQ_LRN の値を補間します。

ATQ_CNT パラメータは、負荷トルクに対応する供給電力の成分を表しています。この関係は 式 13 で表すことができます。

$$ATQ_CNT = \frac{k_1 \times \tau \times \omega}{I_{FS}} \quad (13)$$

ここで、 k_1 は特定の動作条件における定数で、 I_{FS} はステッパ・ドライバのフルスケール電流 (正弦波電流波形のピーク) です。

式 13 は、自動トルク・アルゴリズムの基本的な動作原理を定義しています。ATQ_CNT パラメータを使用すると、ステッパ・モーターに印加される負荷トルクに基づいて、モーター・コイルの電流レギュレーションを実行できます。

図 7-24 に (ATQ_LRN + ATQ_CNT) を示します。これは、2.8A 定格のハイブリッド・バイポーラ NEMA 24 ステッパ・モーターの 2.5A フルスケール電流における負荷トルクの関数として測定されたものです。ATQ_LRN は負荷トルクに応じて変化しませんが、ATQ_CNT は負荷トルクに応じて線形的に変化します。

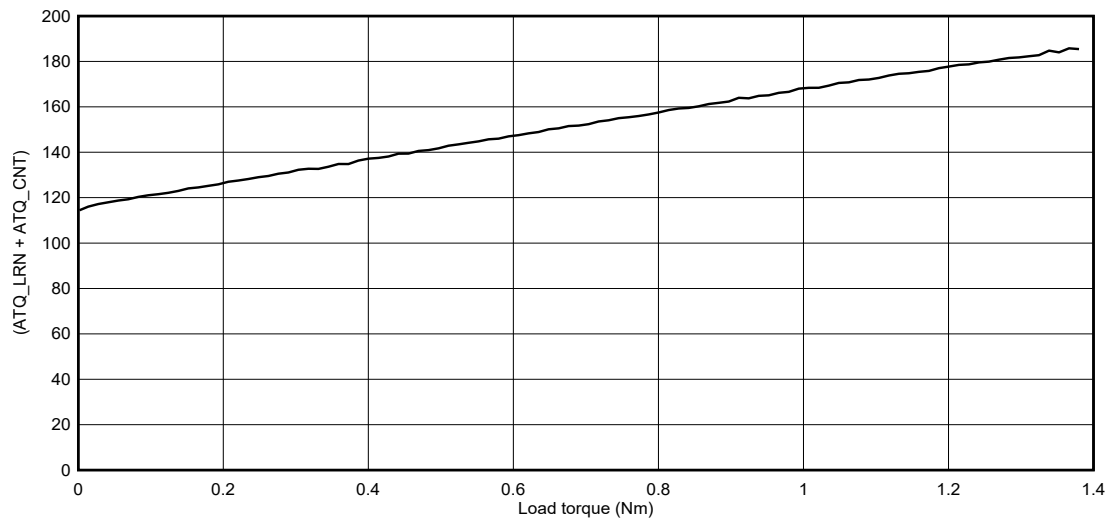


図 7-24. (ATQ_LRN + ATQ_CNT) と負荷トルクとの関係

自動トルク・アルゴリズムをイネーブルにした後、学習ルーチンを実行して、ATQ_LRN パラメータを推定する必要があります。

この学習ルーチンは、式 12 で示される ATQ_LRN とモーター電流との線形関係を使用します。ユーザーは、学習を実行する 2 つの電流値を選択する必要があります。ここではモーターに負荷トルクは印加されません。これら 2 つの電流値は、ATQ_LRN_MIN_CURRENT レジスタおよび ATQ_LRN_STEP レジスタによってプログラムされます。

- 初期電流レベル=ATQ_LRN_MIN_CURRENT x 8
- 最終電流レベル=初期電流レベル + ATQ_LRN_STEP

これら 2 つの電流の ATQ_LRN 値は、ATQ_LRN_CONST1 レジスタおよび ATQ_LRN_CONST2 レジスタに保存されます。この 2 つのレジスタを使用して、アプリケーションの動作範囲内にある他のすべての電流の ATQ_LRN 値を補間します。

表 7-24 に、自動トルク学習ルーチンに関連するレジスタを示します。

表 7-24. 自動トルク学習ルーチンのレジスタ

レジスタ名	概要
ATQ_LRN_MIN_CURRENT[4:0]	自動トルク学習ルーチンの初期電流レベルを表します。

表 7-24. 自動トルク学習ルーチンのレジスタ (続き)

レジスタ名	概要
ATQ_LRN_STEP[1:0]	初期電流レベルまでのインクリメントを表します。次の 4 つのオプションをサポートしています。 00b: ATQ_LRN_STEP = 128 01b: ATQ_LRN_STEP = 16 10b: ATQ_LRN_STEP = 32 11b: ATQ_LRN_STEP = 64 例: ATQ_LRN_STEP = 10b かつ ATQ_LRN_MIN_CURRENT = 11000b の場合 - 初期学習電流レベル = $24 \times 8 = 192$ - 最終学習電流レベル = $192 + 32 = 224$
ATQ_LRN_CYCLE_SELECT[1:0]	学習ルーチンにより電流が他のレベルになった後の、ある電流レベルにおける電氣的半周期の数を表します。次の 4 つのオプションをサポートしています。 00b: 8 半周期 01b: 16 半周期 10b: 24 半周期 11b: 32 半周期
LRN_START	このビットに 1b を書き込むと、自動トルク学習ルーチンはイネーブルになります。学習が完了すると、このビットは自動的に 0b になります。
LRN_DONE	学習が完了すると、このビットは 1b になります。
ATQ_LRN_CONST1[10:0]	初期学習電流レベルにおける ATQ_LRN パラメータを示します。
ATQ_LRN_CONST2[10:0]	最終学習電流レベルにおける ATQ_LRN パラメータを示します。
VM_SCALE	このビットが 1b のとき、自動トルク・アルゴリズムは電源電圧の変動に応じて、ATQ_UL、ATQ_LL、および ATQ_LRN パラメータを自動的に調整します。

学習ルーチンのパラメータを設定する際に考慮すべき点を以下に挙げます：

- 初期電流レベルは、最大動作電流の 30%～50% の範囲で選択することを推奨します。
- 最終電流レベルは 255 を超えないようにする必要があり、最大動作電流の 80%～100% の範囲で選択できます。
- (高速または低電源電圧による) 電流波形の歪みにより、ATQ_LRN パラメータの読み取り値が不正確になる可能性があります。学習電流レベルは、波形の歪みが観察される位置から離れた電流を選択する必要があります。
- ATQ_LRN_CYCLE_SELECT の値が小さいと、学習は高速化されます。ただし、ノイズが発生しやすいシステムでは、より大きな ATQ_LRN_CYCLE_SELECT 値を使用することで、ATQ_LRN パラメータ値の安定性が高まります。
- 学習は、モーターが定常状態の速度に達したときに実施する必要があります。
- モーターを変更した場合、またはモーター速度が $\pm 10\%$ 変化した場合は、再学習を行う必要があります。

自動学習をイネーブルにする簡単な方法として、次のコマンド・シーケンスを適用する必要があります。

- ATQ_EN に 1b を書き込みます
- 負荷なしでモーターを動作させます
- ATQ_LRN_MIN_CURRENT をプログラムします
- ATQ_LRN_STEP をプログラムします
- ATQ_LRN_CYCLE_SELECT をプログラムします
- ATQ_LRN_START に 1b を書き込みます
- このアルゴリズムは、電氣的半周期の ATQ_LRN_CYCLE_SELECT 数の間、初期電流レベルでモーターを動作させます
- 次に、アルゴリズムは、電氣的半周期の ATQ_LRN_CYCLE_SELECT 数の間、最終電流レベルでモーターを動作させます
- 学習が完了すると、

- ATQ_LRN_START ビットは自動的に 0b にクリアされます
- ATQ_LRN_DONE ビットは 1b になります
- ATQ_LRN_CONST1 および ATQ_LRN_CONST2 の値は各レジスタに格納されます
- モーター電流は ATQ_TRQ_MAX になります

ATQ_LRN_CONST1 と ATQ_LRN_CONST2 がプロトタイプ・テストから判明すれば、学習ルーチンを再実行せずにそれらを量産に使用できます。次のコマンド・シーケンスは量産に適用します。

- VREF をプロトタイプ・テストの学習時と同じ値に設定します
- ATQ_LRN_MIN_CURRENT をプログラムします
- ATQ_LRN_STEP をプログラムします
- ATQ_LRN_CONST1 をプログラムします
- ATQ_LRN_CONST2 をプログラムします
- ATQ_EN に 1b を書き込みます

自動トルク学習ルーチンを整理したフローチャートを、[図 7-25](#) に示します。

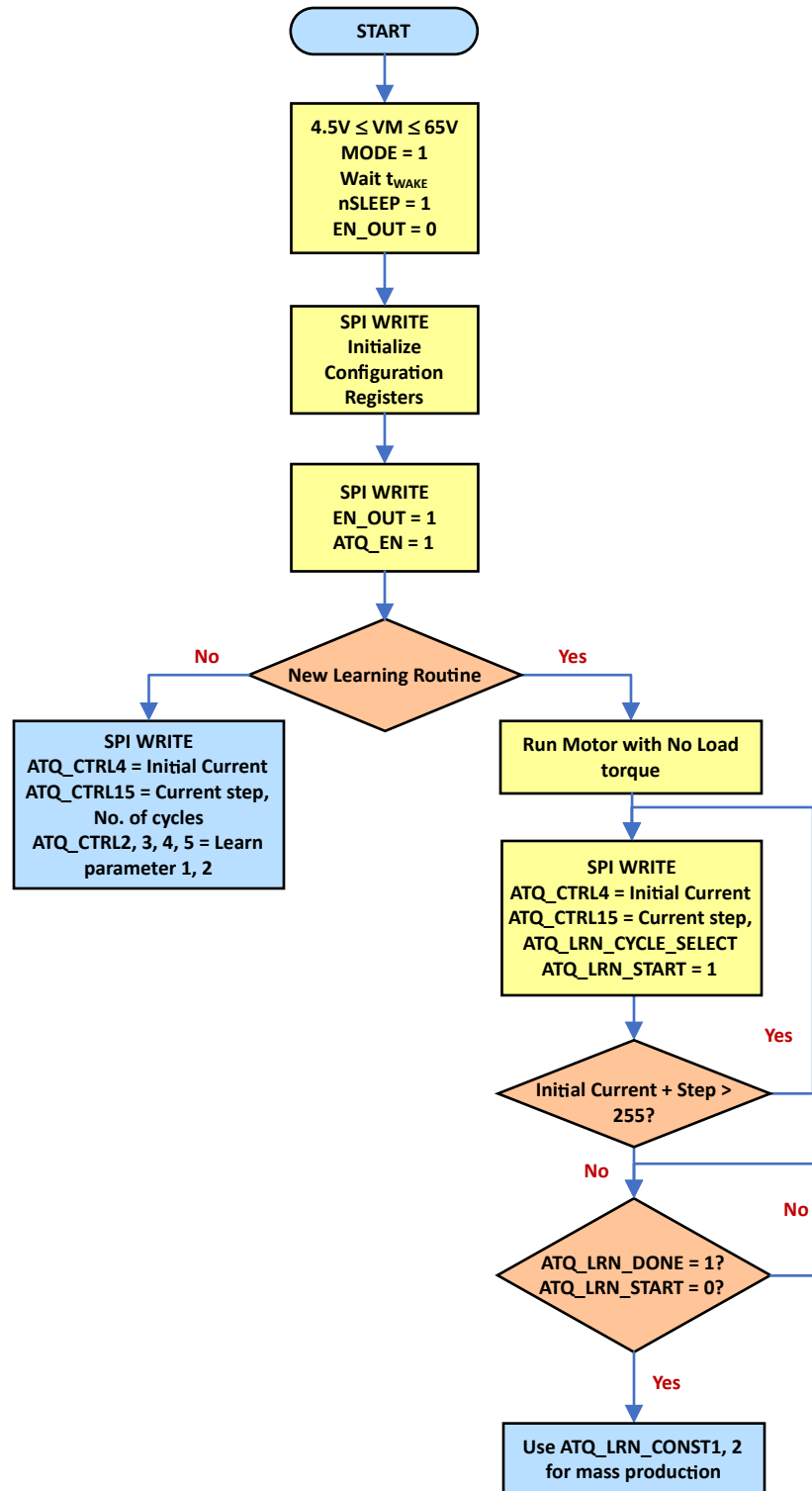


図 7-25. 自動トルク学習のフローチャート

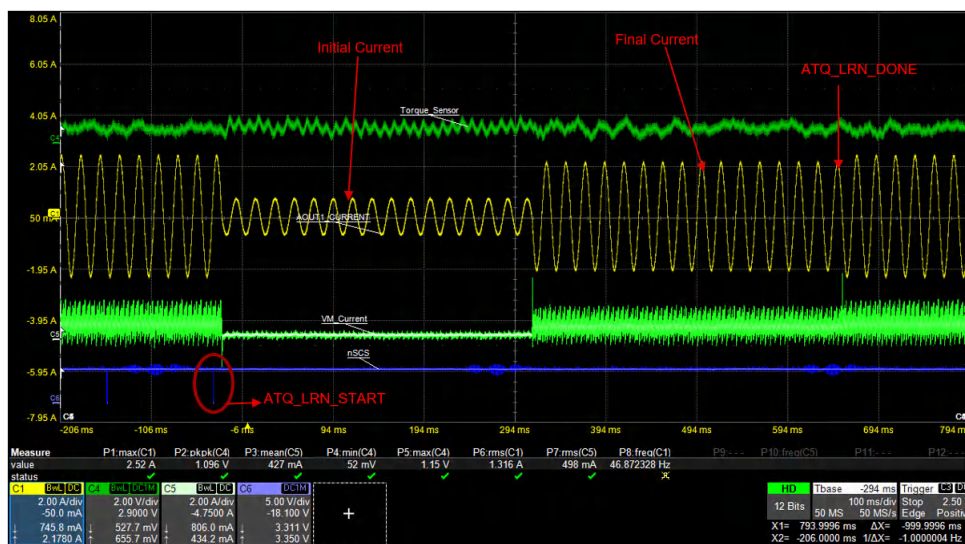


図 7-26. 自動トルク学習

図 7-26 は、初期電流 740mA (I_{FS1}) と最終電流 2.2A (I_{FS2}) での自動学習プロセスを示しています。ATQ_LEARN_CYCLE_SELECT は、32 半周期に相当しています。

7.3.13.2 電流制御ループ

表 7-25 に、電流制御に関連するレジスタを示します。

表 7-25. 電流制御用レジスタ

パラメータ	概要
ATQ_UL[7:0] ATQ_LL[7:0]	ATQ_CNT がモーター電流の修正によって制御される範囲内でのヒステリシス・ループの境界の上限と下限。
ATQ_TRQ_MIN[7:0] ATQ_TRQ_MAX[7:0]	自動トルクがイネーブルのとき、プログラム可能な最小および最大電流制限。
ATQ_TRQ_DAC[7:0]	自動トルクがイネーブルのとき、モーター電流の値を出力します。ATQ_TRQ_DAC は、ATQ_TRQ_MIN と ATQ_TRQ_MAX の間で変動する場合があります。
CNT_OFLW	ATQ_CNT が ATQ_UL より大きい場合、CNT_OFLW フラグは 1b になります。
CNT_UFLW	ATQ_CNT が ATQ_LL より小さい場合、CNT_UFLW フラグは 1b になります。

ATQ_CNT パラメータは負荷トルクに比例し、ステッピング・ドライバの電流設定に反比例します。この関係の理想化された表現を図 7-27 に示します。

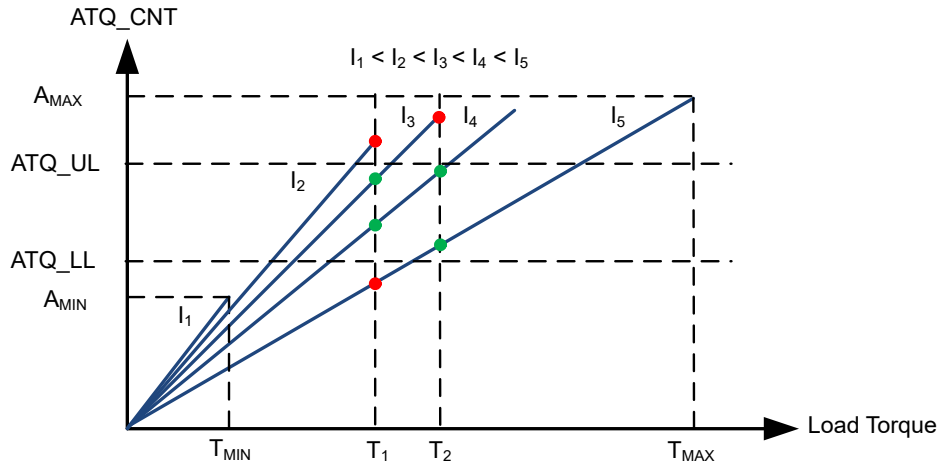


図 7-27. 負荷トルクの間数としての ATQ_CNT

自動トルク・アルゴリズムは、図 7-27 に示すように、モーター電流を変調することで、ユーザーがプログラム可能な ATQ_UL パラメータおよび ATQ_LL パラメータで定義されているヒステリシス帯域内に ATQ_CNT を制限します。

- 負荷トルクの要求が増大すると (T_1 から T_2)、ATQ_CNT は ATQ_UL スレッシュホールドを上回り、それに応答して、アルゴリズムは電流を大きくして (I_3 から I_4)、帯域内に ATQ_CNT を収めます。
- 負荷トルク要求が低下し (T_2 から T_1)、かつ、ATQ_CNT が ATQ_LL を下回ると、アルゴリズムは電流を低減して、ATQ_CNT をヒステリシス帯域内に収めます (I_5 から I_4)。

次の方法論では、電流制御パラメータの値を選択する方法を説明します。

- ATQ_TRQ_MIN は、モーターに印加される最小負荷トルクに対応するために必要な最小モーター電流です。このパラメータを見つける方法：
 - 最小負荷トルク (T_{MIN}) でモーターに負荷をかけ、フルスケール電流 (I_{FS}) でモーターを駆動します
 - ATQ_UL および ATQ_LL をゼロに設定し、KP を 1 に設定します
 - モーターがストールするまで電流を低減します
 - モーターがストールする時点の電流 (I_A) をメモします
 - $ATQ_TRQ_MIN = 1.1 \times I_A$ と設定します
- ATQ_TRQ_MAX を見つける方法：
 - モーター電流が I_A のときに、最大負荷トルク (T_{MAX}) でモーターに負荷をかけます。モーターはストールします。
 - モーター電流は増加を開始します
 - モーターがストールを脱するときの電流 (I_B) をメモします
 - $ATQ_TRQ_MAX = 1.1 \times I_B$ と設定します
 - 電流が ATQ_TRQ_MAX、負荷トルクが T_{MAX} のときの ATQ_CNT (A_{MAX}) をメモします。
- ATQ_UL の場合：
 - 初期値を $0.5 \times A_{MAX}$ に設定します。
 - アプリケーション固有の負荷プロファイル (ピーク負荷とアイドル負荷) を適用します。
 - モーターがストールした場合、モーターがストールしなくなるまで、値 ATQ_UL を小さくします。
 - 負荷プロファイルの適用後にモーターがストールしない場合、モーターがストールするまで、ATQ_UL を増加させることができます。
 - ATQ_UL の値が大きいほど、ピーク負荷時の消費電力が減りますが、高速負荷過渡の場合、モーターがストールする可能性があります。
 - ATQ_UL の値が小さいほど、ピーク負荷時の消費電力が増えますが、モーターのストールおよびステップ損失の可能性も低下します。
- ほとんどのアプリケーションでは、ATQ_UL と ATQ_LL の差を 2 から開始することを推奨します。

- VM_SCALE ビットは、ユーザーが ATQ_UL および ATQ_LL を設定した後にのみ 1b にする必要があります。

ATQ_UL、ATQ_LL、ATQ_TRQ_MAX、および ATQ_TRQ_MIN パラメータを選択した場合のフローチャートを以下に示します。

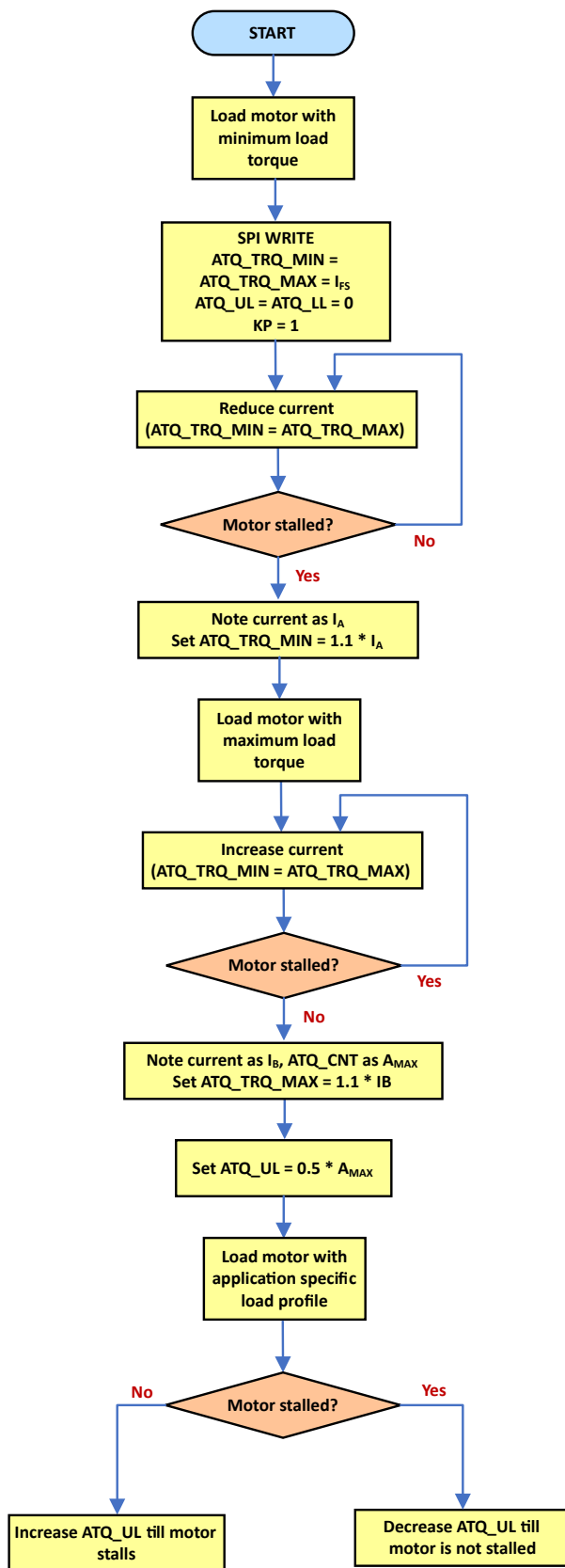


図 7-28. ATQ_TRQ_MIN、ATQ_TRQ_MAX、ATQ_UL、ATQ_LL の選択

7.3.13.3 PD 制御ループ

表 7-26 に、PD 制御ループ関連の主要パラメータを示します。

表 7-26. PD 制御ループのパラメータ

パラメータ	概要
KP[7:0]、KD[3:0]	PD 制御ループの比例ゲインおよび差動ゲインのパラメータ。
ATQ_AVG[2:0]	ATQ_CNT パラメータは、半周期の ATQ_AVG 数の移動平均です。したがって、ATQ_AVG の値が大きいと、急激なピーク負荷要求に対するループ応答時間は遅くなりますが、より高いトルク出力への唐突な動きはなく、スムーズに移移します。値が小さいと、ループは急激な負荷要求に対して即座に応答します。 010b - 2 サイクルの平均 100b - 4 サイクルの平均 111b - 8 サイクルの平均 - その他の値: 平均化なし
ATQ_FRZ[2:0]	電流が PD ループに反応して変化した後の電氣的な半周期における遅延。小さい値を使用すると、ピーク負荷の要求を満たすために、電流が急速に増加します。このパラメータの範囲は 1~7 です。 001b - 応答時間は最小ですが、ループは不安定になります 111b - 応答時間は最大ですが、ループは安定します
ATQ_D_THR[7:0]	誤差の変化が ATQ_D_THR 未満の場合、KD は補正に寄与しません。KD は、誤差の変化が ATQ_D_THR より大きい場合にのみ寄与します。 たとえば、ATQ_D_THR = 10 の場合、 誤差の変化が 9 の場合、 $u(t) = KP * e(t)$ です 誤差の変化が 12 の場合、 $u(t) = KP * e(t) + KD * de(t)/dt$ です
ATQ_ERROR_TRUNCATE[3:0]	PD ループの式で使われる前に、誤差から切り捨てられた LSB ビット数。値が大きいと、電流波形の発振が減少します。

PD 制御アルゴリズムは次のように表されます。

$$u(t) = KP * e(t) + KD * de(t)/dt \quad (14)$$

ここで、

KP および KD = PD ループ定数

$u(t)$ = コントローラの出力

$e(t)$ = エラー信号

- 一般に、KP が増加すると、制御システムの応答速度が向上します。
- ただし、KP が大きすぎると、電流波形が発振し始めます。
- KP がさらに大きくなると、発振も大きくなります。システムは不安定になり、制御範囲外で発振する可能性もあります。
- KD の値を大きくすると、制御システムは誤差項の変化に対する反応も大きくなるため、制御システム全体の応答速度は増加します。
- 微分応答はノイズの影響を非常に受けやすいため、KD の値を小さくすることを推奨します。
- ゼロでない値の KD を選択した場合、システムのノイズ耐性を向上させるために、値の大きい ATQ_D_THR を使用する必要があります。

PD ループ・パラメータの調整に関するガイドラインは、以下のとおりです。

- KP = 1、KD = 0 に設定します。他のすべての PD ループ・パラメータは、それぞれのデフォルト値に設定する必要があります
- アプリケーション固有の負荷プロファイルを適用します
- モーターがストールした場合、KP、KD を増やし、モーターのストールが止まるまで ATQ_D_THR を下げます

- モーターのストールが止まったときに、定負荷トルクで電流波形を観察します
- 電流波形に発振がある場合は、ATQ_FRZ、ATQ_AVG、および ATQ_ERROR_TRUNCATE を増やします
- ATQ_FRZ、ATQ_AVG、ATQ_ERROR_TRUNCATE の値が非常に大きいと、負荷過渡応答が悪化する可能性があるため、負荷過渡応答をもう一度確認し、PD 制御ループを安定させることを推奨します。

図 7-29 は、PD 制御ループ・パラメータを選択するフローチャートです。

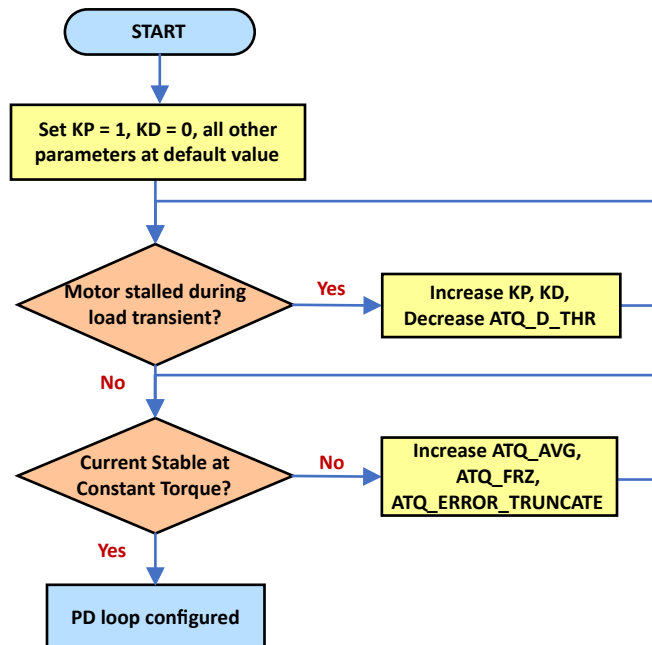


図 7-29. PD 制御ループ・パラメータの選択

7.3.14 チャージ・ポンプ

ハイサイド N チャネル MOSFET のゲート駆動電圧を供給するため、チャージ・ポンプが内蔵されています。このチャージ・ポンプには、VM ピンと VCP ピンの間に電荷を蓄積するためのコンデンサを接続する必要があります。また、CPH ピンと CPL ピンの間にもフライング・コンデンサとして働くセラミック・コンデンサを接続する必要があります。

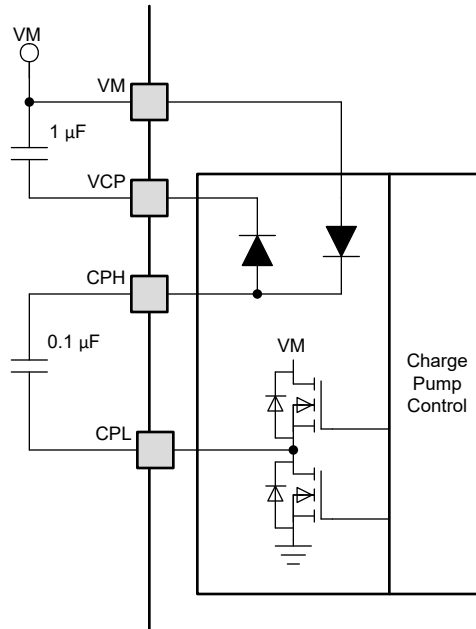


図 7-30. チャージ・ポンプのブロック図

7.3.15 リニア電圧レギュレータ

本デバイスには、リニア電圧レギュレータが内蔵されています。VCC ピンを DVDD に接続すると、DVDD レギュレータはローサイド・ゲート・ドライバとすべての内部回路に電力を供給します。正常に動作させるため、1μF のセラミック・コンデンサを使用して DVDD ピンを GND にバイパスします。DVDD 出力は通常 5V です。

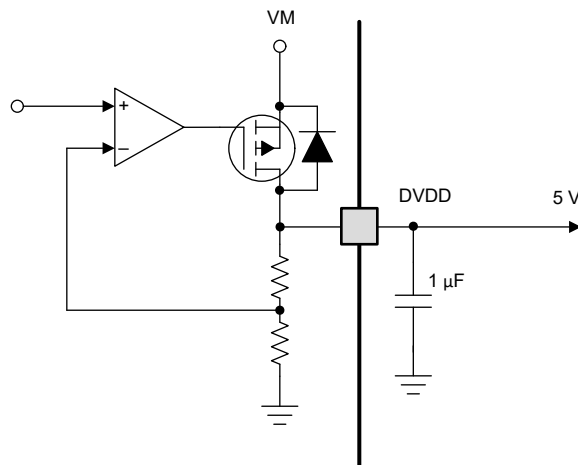


図 7-31. リニア電圧レギュレータのブロック図

デジタル入力を永続的に High に固定する必要がある場合は、入力を外部レギュレータではなく DVDD ピンに接続することを推奨します。この方法により、VM ピンに電圧が印加されないときやスリープ・モード時に電力を節約します。DVDD のレギュレータがディセーブルされ、電流が入力プルダウン抵抗に流れないためです。参考までに、ロジック・レベル入力は 200kΩ (標準値) のプルダウンを備えています。

nSLEEP ピンを DVDD に接続することはできません。これを接続すると、本デバイスはスリープ・モードから復帰できなくなります。

7.3.16 VCC 電圧電源

外部電圧を VCC ピンに印加することで、内部ロジック回路に電力を供給することができます。VCC ピンの電圧は 3.05V ~5.5V の間で適切にレギュレーションする必要があります。外部電源が利用できない場合、VCC ピンをデバイスの DVDD ピンに接続する必要があります。

VCC から電力を供給する場合、内部ロジック・ブロックは VM 電源レールからの電力を消費しないため、DRV8461 の電力損失を低減できます。これは、高電圧アプリケーションや、熱条件が重要な場合に非常に有益です。0.1μF のセラミック・コンデンサを使用して、VCC ピンをグラウンドにバイパスします。

7.3.17 ロジック・レベル、トライレベル、クワッドレベルのピン構造図

図 7-32 に、M0、DECAY0、ENABLE ピンの入力構造を示します。

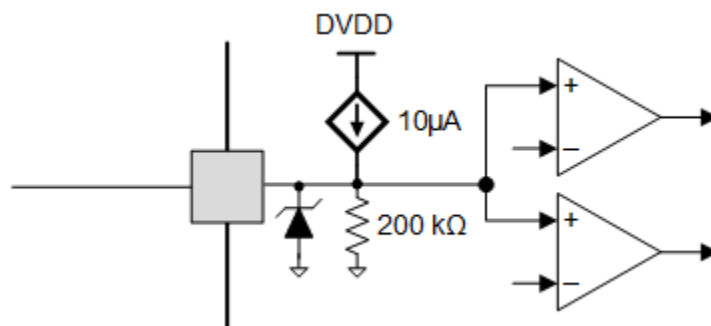


図 7-32. トライレベル入力ピン構造図

図 7-33 に、M1、TOFF ピンの入力構造を示します。

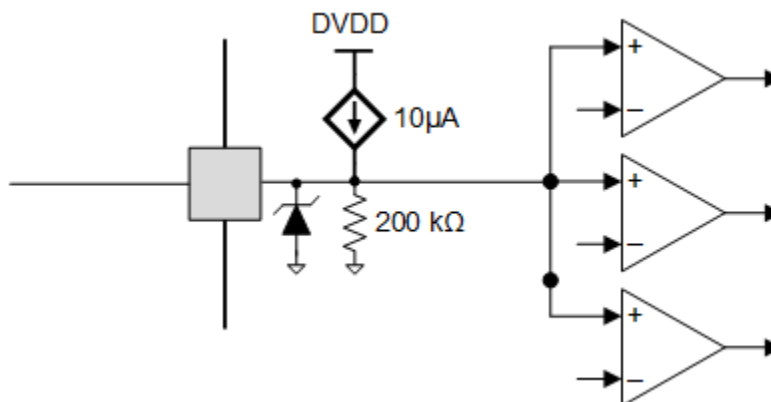


図 7-33. クワッドレベル入力ピン構造図

図 7-34 に、STEP、DIR、MODE、SDI、SCLK、DECAY1、nSLEEP ピンの入力構造を示します。

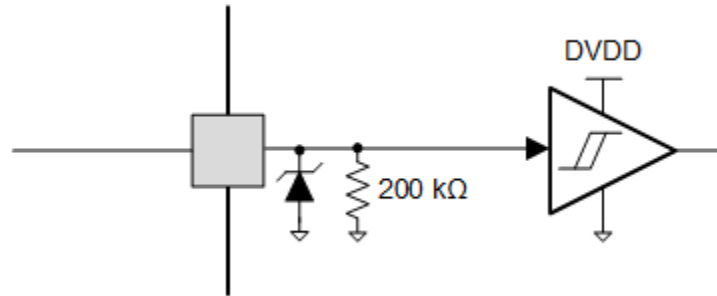


図 7-34. ロジック・レベル入力ピン構造図

下図に、ロジック・レベル・ピン nSCS の入力構造を示します。

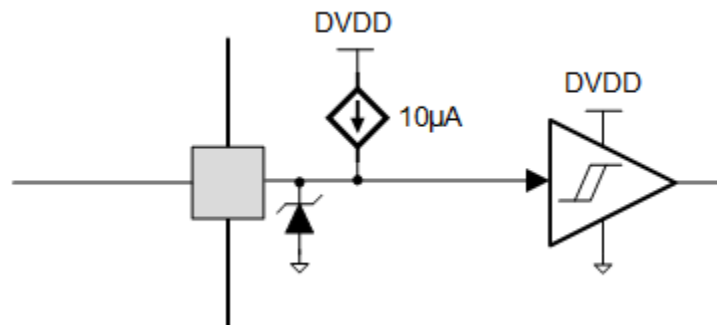


図 7-35. nSCS 入力ピン構造図

7.3.18 スペクトラム拡散

スペクトラム拡散または周波数ディザリングは、狭帯域信号を広帯域信号に変換して EMI の影響を低減するために使用され、複数の周波数にわたってエネルギーが拡散されます。図 7-36 に、クロック周波数の操作により時間の経過とともにエネルギーが拡散する効果を示します。

DRV8461 の場合、デジタル回路の内部クロック (標準値 10MHz) とチャージ・ポンプのクロック (標準値 357kHz) の周波数を操作することにより、ピーク・エネルギーは低減し、他の周波数とその高調波に分配されます。この機能と出力スルーレート制御を組み合わせることで、本デバイスからの放射妨害波を最小限に抑え、厳格な EMI 規格に合格する一助となります。

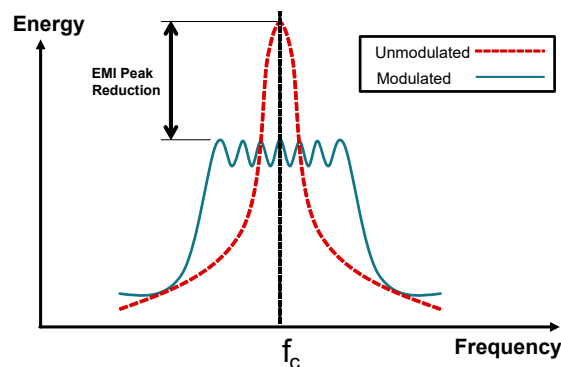


図 7-36. スペクトラム拡散と周波数変調による EMI 低減

DRV8461 が SPI インターフェイスで構成されている場合、スペクトラム拡散は DIS_SSC ビットを使用してイネーブルまたはディセーブルにできます。デフォルトでは、電源投入後にスペクトラム拡散はディセーブルになります。DIS_SSC ビットに 0b を書き込むと、スペクトラム拡散がイネーブルになります。デバイスがサイレント・ステップ減衰モードで動作してい

る場合、スペクトラム拡散はディセーブルになります。また、DRV8461 が GPIO インターフェイスで構成されている場合、スペクトラム拡散はディセーブルです。

スペクトラム拡散を実装するには、複数の方法があります。DRV8461 では、三角波アナログ変調プロファイルを使用します。図 7-37 および 図 7-38 に、それぞれの中心周波数周辺の内部デジタル・クロックとチャージ・ポンプ・クロックのスペクトラム拡散プロファイルを示します。デジタル・クロックは、9MHz～11MHz の間の 14 ステップの等量によって変わります。

中心周波数自体は、プロセスや温度の変化に応じて変化することに注意してください。また、これらに加えて、スペクトラム拡散による変動もあります。

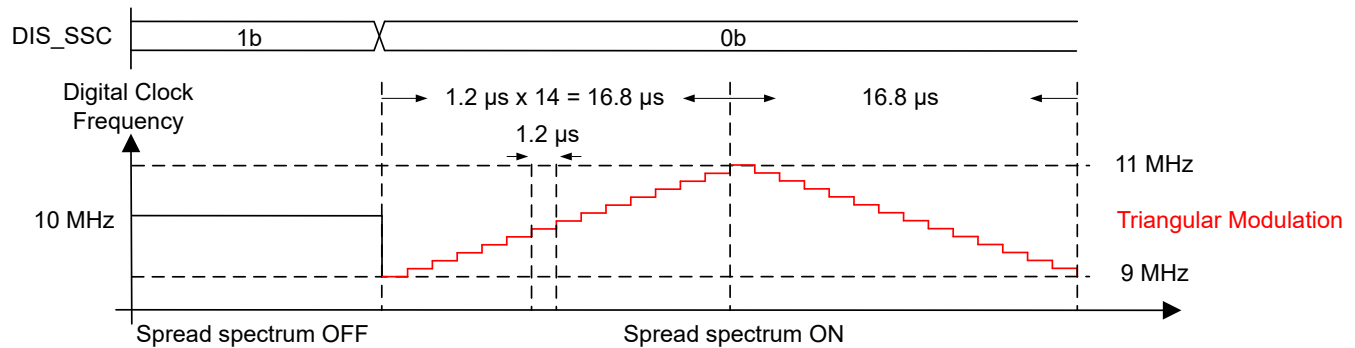


図 7-37. 内部デジタル・クロックの三角波スペクトラム拡散

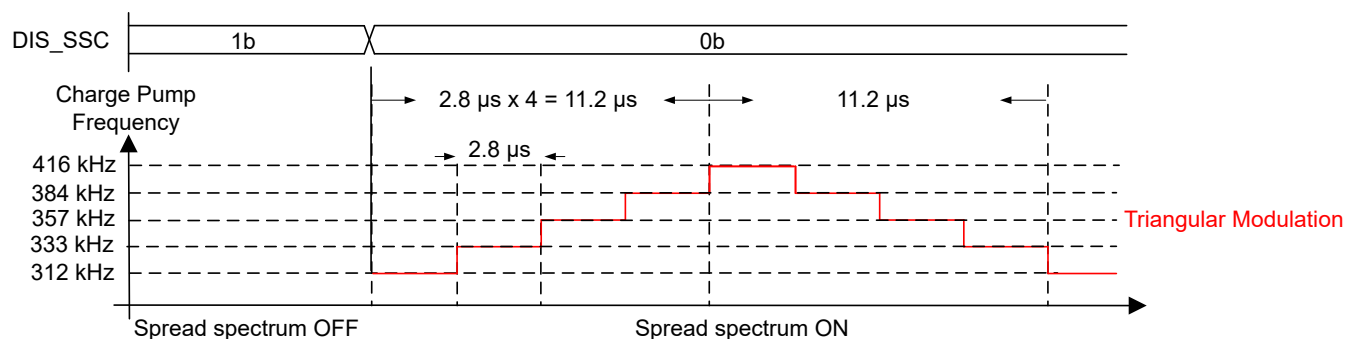


図 7-38. チャージ・ポンプ・クロックの三角波スペクトラム拡散

7.3.19 保護回路

本デバイスは、電源低電圧、チャージ・ポンプ低電圧、出力過電流、開放負荷、デバイス過熱イベントから包括的に保護されています。また、SPI インターフェイスで動作している場合、過負荷またはエンドオブライン動作の発生時も本デバイスはストール検出から保護されています。

7.3.19.1 VM 低電圧誤動作防止

VM ピンの電圧が UVLO の立ち下がりスレッショルド電圧を下回った場合：

- すべての出力がディセーブル (ハイ・インピーダンス) になる
- チャージ・ポンプがディセーブルになる
- nFAULT は Low に駆動される

VM 電圧が UVLO 立ち上がりスレッショルド電圧を上回ると、通常動作に復帰します (モーター・ドライバとチャージ・ポンプ)。

SPI インターフェイスで動作しているとき、VM ピンの電圧が UVLO 立ち下がりスレッショルド電圧よりも低く、V_{RST} または VCC UVLO よりも高い場合 (図 7-39 を参照)：

- SPI 通信が利用可能になり、デバイスのデジタル・コアがアクティブになる
- FAULT ビットと UVLO ビットは 1b になる
- nFAULT ピンは Low に駆動される

この条件から、VM 電圧が UVLO 立ち上がりスレッシュホールド電圧を上回ると、次のようになります。

- nFAULT ピンが解放される (外部電圧にプルアップされる)
- FAULT ビットは 0b になる
- UVLO ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされるまで、1b にラッチされた状態を維持する

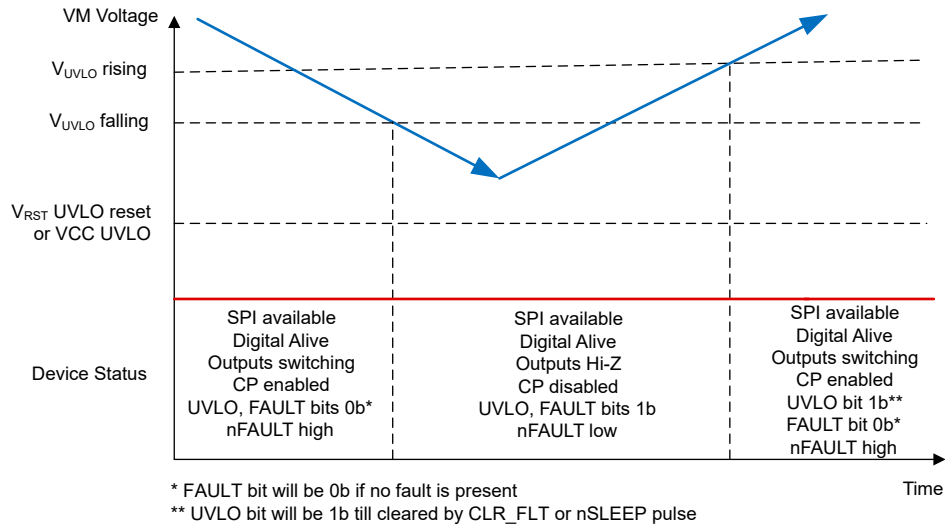


図 7-39. 電源電圧ランプ・プロファイル

VM ピンの電圧が V_{RST} または VCC UVLO を下回る場合 (図 7-40 を参照):

- SPI 通信は利用できず、デジタル・コアがシャットダウンされる
- FAULT ビットと UVLO ビットは 0b になる
- nFAULT ピンは High になる

その後の電源投入時に、VM 電圧が V_{RST} 電圧を超えた場合:

- デジタル・コアが再開される
- UVLO ビットは 0b のままになる
- FAULT ビットは 1b になる
- nFAULT ピンは Low にプルされる
- VM 電圧が VM UVLO 立ち上がりスレッシュホールドを超えた場合
 - FAULT ビットは 0b になる
 - UVLO ビットは 0b のままになる
 - nFAULT ピンは High にプルされる

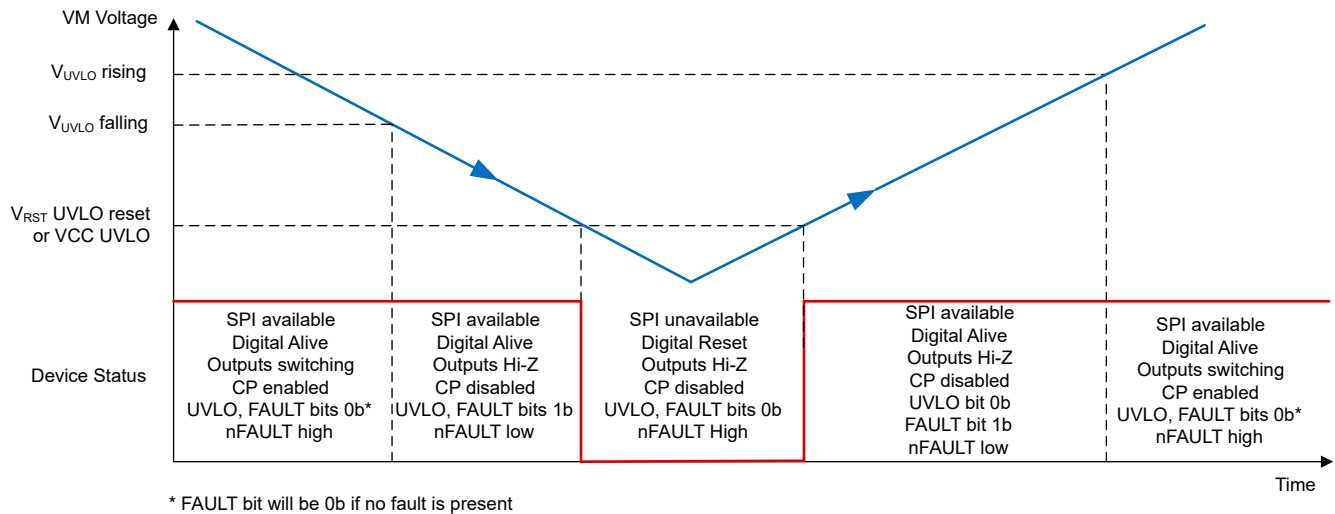


図 7-40. 電源電圧ランプ・プロファイル

7.3.19.2 VCP 低電圧誤動作防止 (CPUV)

VCP ピンの電圧が CPUV 電圧を下回ると、次の動作が行われます。

- すべての出力がディセーブル (ハイ・インピーダンス) になる
- nFAULT ピンは Low に駆動される
- チャージ・ポンプはアクティブのまま
- SPI バージョンの場合、FAULT ビットと CPUV ビットは 1b になる

VCP 低電圧条件が解消すると、通常動作に復帰します (モーター・ドライバの動作と nFAULT の解放)。CPUV ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされるまで 1b 状態を維持します。

7.3.19.3 ロジック電源パワーオン・リセット (POR)

VCC ピンの電圧が VCC_{UVLO} スレッシュホールドを下回ると、次のようになります。

- すべての出力がディセーブル (ハイ・インピーダンス) になる
- チャージ・ポンプがディセーブルになる

VCC UVLO は nFAULT ピンに通知されません。VCC 低電圧条件が解消されると、通常のモーター・ドライバ動作が再開されます。

デバイスが SPI インターフェイスで動作している場合：

- VCC が UVLO スレッシュホールドを上回ると、NPOR ビットはリセットされ、0b にラッチされます。
- NPOR は、CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされるまでリセット状態を維持します。
- 電源投入後、CLR_FLT コマンドが発行されると、NPOR は自動的に 1b にラッチされます。

VCC UVLO のシナリオを 図 7-41 に示します。

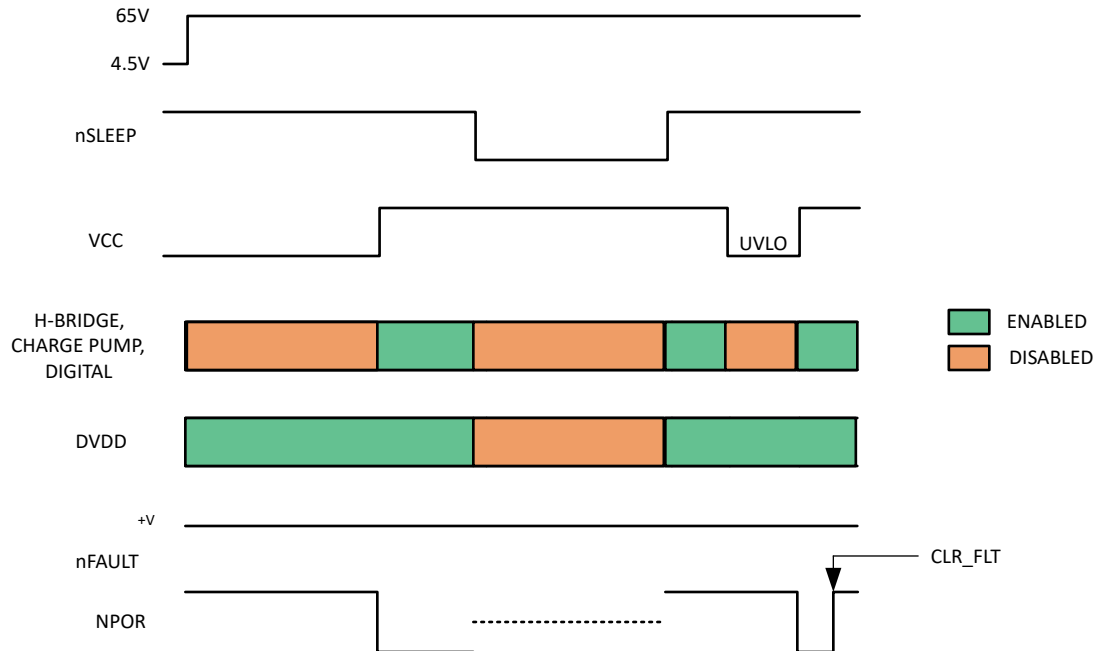


図 7-41. ロジック電源 POR

7.3.19.4 過電流保護 (OCP)

任意の MOSFET のアナログ電流制限回路は、ゲート駆動を止めることで、MOSFET に流れる電流を制限します。この電流制限が t_{OCP} よりも長い時間継続すると、過電流フォルトが検出されます。

- 両方の H ブリッジの MOSFET がディセーブルになる
- nFAULT は Low に駆動される
- チャージ・ポンプはアクティブのまま
- SPI インターフェイスで動作している場合：
 - FAULT ビットと OCP ビットは 1b にラッチされます
 - xOUTy と VM が短絡した場合、対応する OCP_LSy_x ビットは 1b になります
 - xOUTy とグランドが短絡した場合、対応する OCP_HSxy_x ビットは 1b になります
 - TOCP ビットは、過電流保護のグリッチ除去時間をプログラムします。

過電流保護は 2 つのモード (ラッチ付きシャットダウンと自動リトライ) で動作できます。この動作モードは、実行中に変更できます。

7.3.19.4.1 ラッチ付きシャットダウン

ラッチ付きシャットダウン・モードを選択するには：

- ハードウェア・インターフェイスの場合、ENABLE ピンをハイ・インピーダンスにする必要があります
- SPI インターフェイスの場合、OCP_MODE ビットを 0b にする必要があります

このモードでは、OCP 条件が解消すると、CLR_FLT コマンドの適用後、nSLEEP リセット・パルスの印加後、または電源を切って再投入した後に、通常動作に復帰します。

7.3.19.4.2 自動リトライ

自動リトライ・モードの選択方法：

- H/W インターフェイスの場合、ENABLE ピンを High (2.7V 以上) にします
- SPI インターフェイスの場合、OCP_MODE ビットを 1b にします

このモードでは、 t_{RETRY} 時間が経過して、フォルト条件が解除されると、自動的に通常動作が再開されます (モーター・ドライバ動作と $nFAULT$ の解除)。

7.3.19.5 ストール検出

SPI インターフェイスで動作している場合、DRV8461 はストール検出に対応します。

ステッピング・モーターでは、図 7-42 に示すように、モーターの巻線電流、逆起電力、機械的トルク負荷の間に明確な関係があります。無負荷モーターの場合、逆起電力は巻線電流に対して位相が 90° ずれています。与えられた巻線電流に対して、モーターの負荷がモーターの最大トルク能力に近づくと、逆起電力は巻線電流に合わせて位相が変化します。DRV8461 は、モーター電流の立ち上がり電流象限と立ち下がり電流象限の間の逆起電力の位相の変化を検出することで、モーターの過負荷ストール条件またはエンドオブライン・トラベルを検出できます。

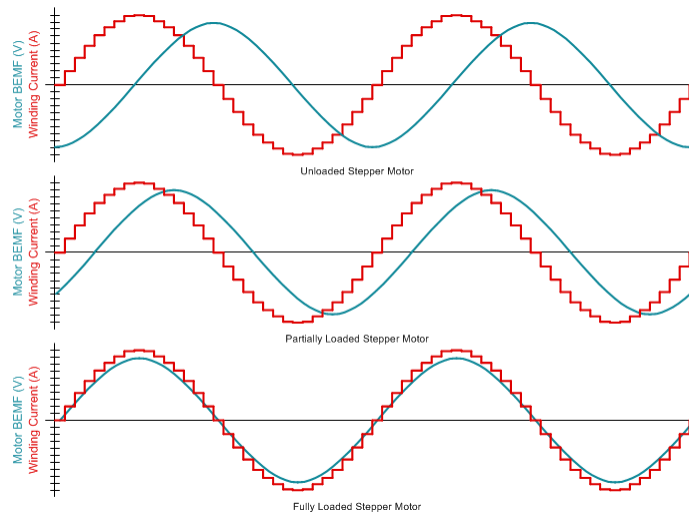


図 7-42. モーターの逆起電力の監視によるストール検出

ストール検出アルゴリズムは、次の場合にイネーブルになります。

- デバイスが SPI インターフェイスで動作するようにプログラムされている場合 (MODE = 1)
- 減衰モードがスマート・チューン・リップル・コントロールとしてプログラムされている場合 (DECAY = 111b)
- EN_STL が 1b の場合
- フォルト条件がない場合 (UVLO、OCP、OL、OTSD など)

このアルゴリズムは、PWM オフ時間を監視することで立ち上がり電流象限と立ち下がり電流象限の逆起電力を比較し、TRQ_COUNT レジスタで表されるトルク・カウントと呼ばれるパラメータを生成します。この比較は、TRQ_COUNT がモーター電流、周囲温度、電源電圧に大きく依存しないような方法で行われます。モーターのストールは、ドライバがフルステップ・モードで動作している場合でも検出できます。

TRQ_COUNT は、最新の 4 つの電氣的半周期の移動平均として計算されます。TRQ_COUNT レジスタは、電氣的半周期ごとに更新されます。更新された TRQ_COUNT は STALL_TH と比較され、ストール条件が検出されると、ストール・フォルトが通知され、電氣的半周期の電流ゼロ交差時にラッチされます。

モーターの負荷が軽い場合、TRQ_COUNT はゼロ以外の値になります。モーターがストール条件に近づくにつれて TRQ_COUNT はゼロに近づくため、これを使ってストール条件を検出できます。

- TRQ_COUNT がストール・スレッショルド (STALL_TH レジスタで表されます) を下回ると、デバイスはストールを検出します。
- SPI レジスタでは、STALL ビット、STL ビット、FAULT ビットは 1b にラッチされます。
- STL_REP ビットにより、ストールの通知方法を制御できます。
 - STL_REP ビットが 1b の場合、ストールが検出されると $nFAULT$ ピンは Low に駆動されます。

- STEL_REP が 0b の場合、ストールが検出されても nFAULT ピンは High のままを維持します。

ストール条件では、モーターのシャフトは回転しません。ストール条件が解消すると、モーターは再び回転を開始し、目標速度まで加速します。CLR_FLT ビットと nSLEEP リセット・パルスのどちらかによって障害クリア・コマンドが発行されると、nFAULT は解放され、FAULT レジスタはクリアされます。

モーターのコイルの抵抗が大きいと、TRQ_COUNT が小さくなる場合があります。TRQ_SCALE ビットを使うと、小さい TRQ_COUNT 値を拡大し、その後の処理を簡単にできます。

- 最初に計算された TRQ_COUNT 値が 500 未満であり、かつ TRQ_SCALE ビットが 1b の場合、レジスタの TRQ_COUNT 出力は 8 倍になります。
- TRQ_SCALE ビットが 0b の場合、TRQ_COUNT はアルゴリズムによる当初の計算値を維持します。

ストール・スレッシュホールドは、次の 2 種類の方法で設定できます。

- ユーザーは、すべての動作条件における TRQ_COUNT 出力の動作を観察することで、STALL_TH ビットを書き込むことができます。
- このアルゴリズムは、以下で説明する自動ストール学習プロセスを使用してストール・スレッシュホールドを学習できます。
 - 学習の前に、モーター速度が目標値に達していることを確認します。モーター速度の上昇または下降中は、ストール・スレッシュホールドの学習を行わないでください。
 - STL_LRN ビットを 1b に設定して、学習を開始します。
 - 無負荷の状態でモーターを動作させます。
 - ドライバが安定状態カウントを学習するよう 32 電氣的サイクルの間待機します。
 - モーターをストールさせます。
 - ドライバがストール・カウントを学習するよう 16 電氣的サイクルの間待機します。
 - 学習が成功すると、STL_LRN_OK ビットは 1b になります。
 - ストール・スレッシュホールドは、定常カウントとストール・カウントの平均として計算され、STALL_TH レジスタに保存されます。

ストール・スレッシュホールドの設定方法に関するフローチャートを以下に示します。

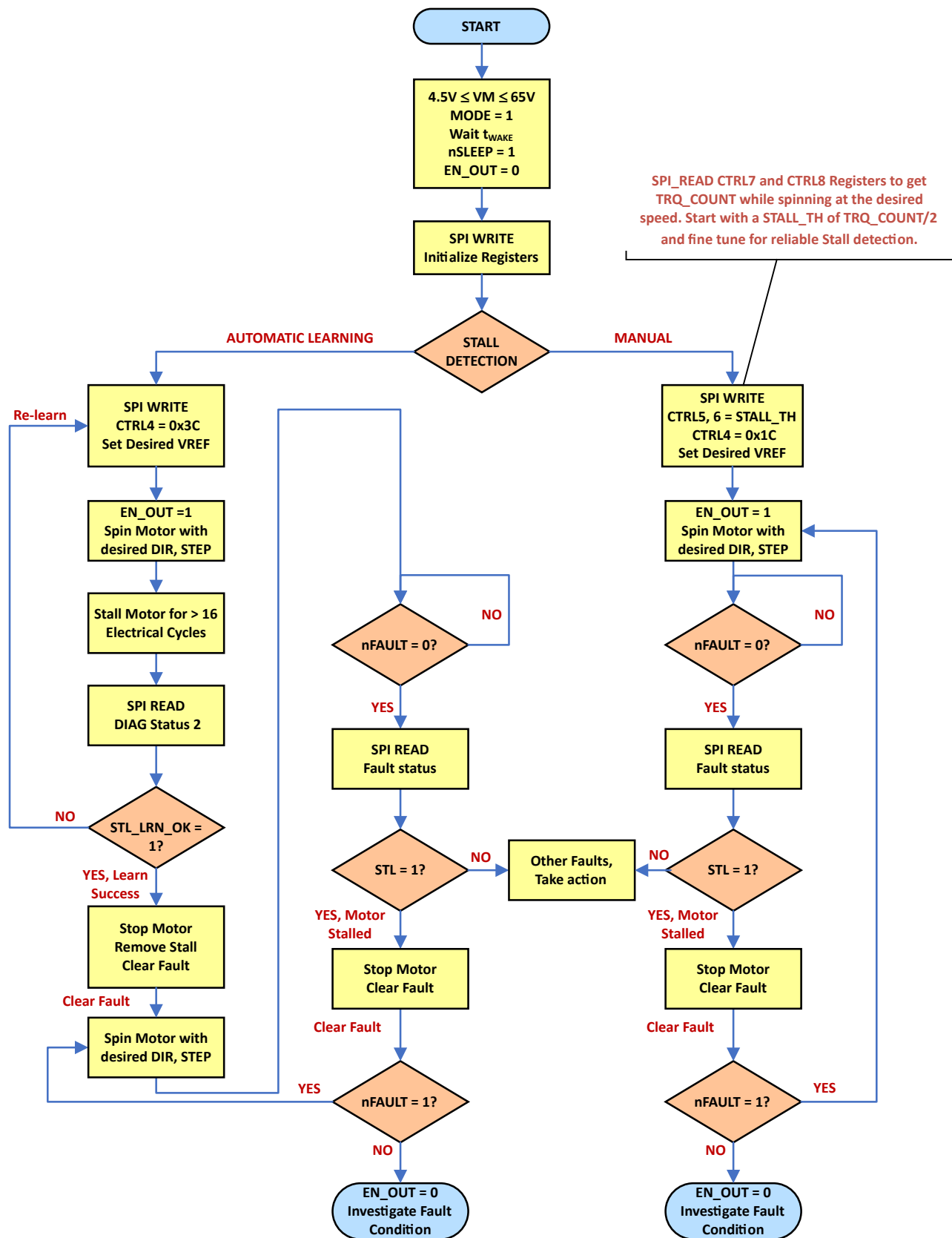


図 7-43. ストール学習のフローチャート

モーター作動中またはストール中のトルク・カウントが不安定な場合、自動ストール学習プロセスは失敗する場合があります。例として、モーターのコイル抵抗が大きい場合、モーターが非常に高速または低速で動作している場合、トルク・カウントが時間と共に大きく変化する場合、定常カウントとストール・カウントの差が小さい場合が挙げられます。このような場合は、自動ストール学習手法を使用しないことを推奨します。代わりに、動作条件の範囲全体にわたって定常カウントとトルク・カウントを慎重に検討し、定常カウントの最小値とストール・カウントの最大値の中間にスレッシュホールドを設定します。

ある速度で学習されたストール・スレッシュホールドは、別の速度ではうまく機能しない場合があります。モーター速度が $\pm 10\%$ 以上変化するたびにストール・スレッシュホールドを再学習させることを推奨します。

注

- ストール検出アルゴリズムは、PWM オフ時間を変更する逆起電力に依存します。逆起電力は、モーター速度に正比例します。ストール検出を確実に動作させるには、十分な振幅の逆起電力を生成できるように、モーター速度を十分に上げる必要があります。モーターのコイル抵抗値が大きい場合は、ストール検出の信頼性を高めるために、最小速度を上げる必要があります。
- **EN_OUT** ビットまたは **ENABLE** ピンをトグルすることでデバイスがディセーブル・モード (H ブリッジ・ハイ・インピーダンス) からアクティブ・モードに移行した場合、または **CLR_FLT** を発行してデバイスがフォルトから回復した場合、ストール検出フォルトにもフラグが立つ場合があります。これは、**TRQ_CNT** が **STL_TH** よりも大きい値に達するまでに要する時間が原因です。ストール・フォルトの結果、**nFAULT** は **Low** のまま (**STL_REP** = 1b の場合) になる場合があります。ストール・フォルトと **nFAULT** ピンを解放するには別の **CLR_FLT** が必要です。これは、次の方法で防止できます。
 - アクティブ・モードのイネーブル後にストール検出をイネーブルにする (**EN_OUT** = 1b を書き込み、**ENABLE**=ロジック High にした後にのみ **EN_STALL** = 1b を書き込む)
 - ブリッジがアクティブ・モードになった後、または **CLR_FLT** コマンドを発行してフォルト条件をクリアした後、**STEP** パルスを開始する
- 電源電圧の低下、コイル抵抗の増加、モーターの高速動作が原因で電流レギュレーションが失われた場合、**TRQ_COUNT** が不安定になり、値が急激に高くなる可能性があるため、ストール検出の信頼性が十分でない状態で動作する可能性があります。コイル電流の波形を見ると、この状態を確認できます。コイル電流が標準的な正弦波波形になり、正弦波のピークが目的のフルスケール電流に到達すると、ストール検出は確実に動作します。高速または低電源電圧が原因で電流波形が三角波になる場合、ストール検出アルゴリズムは信頼性が十分でない状態で動作する可能性があります。
- **EN_STL** = 1b で、自動トルクもイネーブルの場合、モーターのストールが検出されると、コイル電流は **ATQ_TRQ_MAX** になります。
- **EN_STL** = 0b で、自動トルクがイネーブルの場合、モーターがストールするとコイル電流は **ATQ_TRQ_MIN** になります。

7.3.19.6 開放負荷検出 (OL)

開放負荷フォルトは、次の場合に検出されます。

- モーターが動作している場合：
 - コイル電流が開放負荷電流スレッシュホールド (I_{OL}) を下回った場合
- モーターがホールド状態の場合：
 - コイル電流がインデクサで設定された I_{TRIP} レベルを下回った場合
- 上記のいずれかの条件が、開放負荷検出時間 (t_{OL}) を超えて持続する場合

デバイスが SPI インターフェイスで動作している場合、開放負荷検出をイネーブルにするには **EN_OL** ビットを 1b にする必要があります。

開放負荷検出時間 (t_{OL}) は、表 7-27 のように設定されます。

表 7-27. 開放負荷検出時間

インターフェイス	OL_T	t _{OL} (ms) の最大値
ハードウェア・インターフェイス	該当なし	60
SPI インターフェイス	00b	30
	01b (デフォルト)	60
	10b	120

開放負荷フォルトが検出されると、次の動作が行われます。

- nFAULT が Low にプルされます。
- デバイスが SPI インターフェイスで動作している場合、次の動作が行われます。
 - OL ビットと FAULT ビットは 1b にラッチされます。
 - OL_A ビットが 1b の場合、AOUT1 と AOUT2 の間の巻線 A の開放負荷フォルトを示します。
 - BOUT1 と BOUT2 の間の開放負荷フォルトによって、OL_B ビットが 1b になります。

開放負荷条件が解消されると、デバイスがハードウェア・インターフェイスと SPI インターフェイスのどちらで構成されているかによって動作は異なります。

デバイスがハードウェア・インターフェイスで構成されており、開放負荷条件が解消された場合：

- ENABLE ピンがロジック High の場合、nFAULT はただちに解放されます。
- ENABLE ピンがハイ・インピーダンスの場合、nSLEEP リセット・パルスが印加されると nFAULT は解放されます。

デバイスが SPI インターフェイスで構成されており、開放負荷条件が解消された場合：

- OL_MODE ビットが 1b の場合、nFAULT はただちに解放されます。FAULT レジスタの OL ビットと DIAG2 レジスタの OL_X ビットは、CLR_FLT ビットまたは nSLEEP リセット・パルスのいずれかによって障害クリア・コマンドが発行された後でのみクリアされます。
- OL_MODE ビットが 0b の場合、CLR_FLT ビットまたは nSLEEP リセット・パルスのどちらかによって障害クリア・コマンドが発行された後、nFAULT ビットと FAULT ビットは解放されます。

本デバイスの電源を切って再投入した後、またはスリープ・モードから復帰した後にも、開放負荷フォルトはクリアされません。

図 7-44 および 図 7-45 に、コイル A とコイル B がそれぞれ開いている場合の開放負荷検出を示します。開放負荷検出時間は最大 60ms に選択され、OL_MODE ビットは 0b でした。

パターンは上から下へ順に:AOUT2、コイル A 電流、コイル B 電流、nFAULT

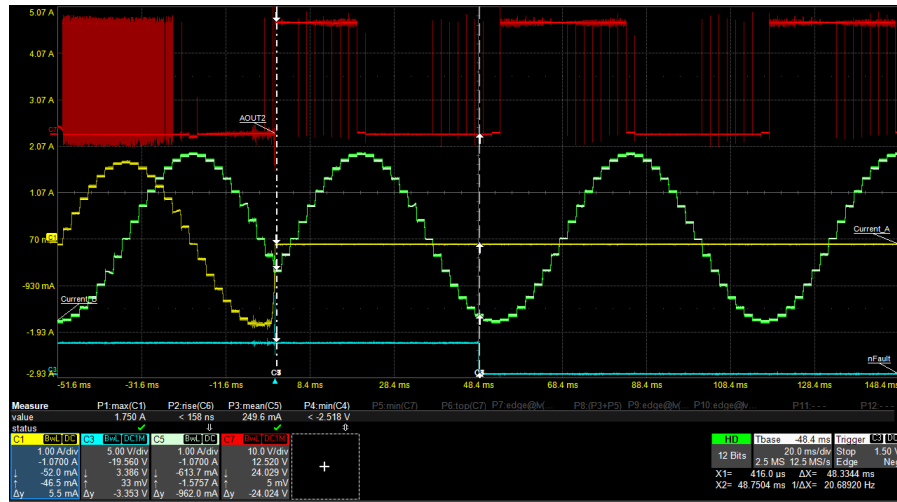


図 7-44. コイル A の開放負荷検出

パターンは上から下へ順に:AOUT2、コイル A 電流、コイル B 電流、nFAULT

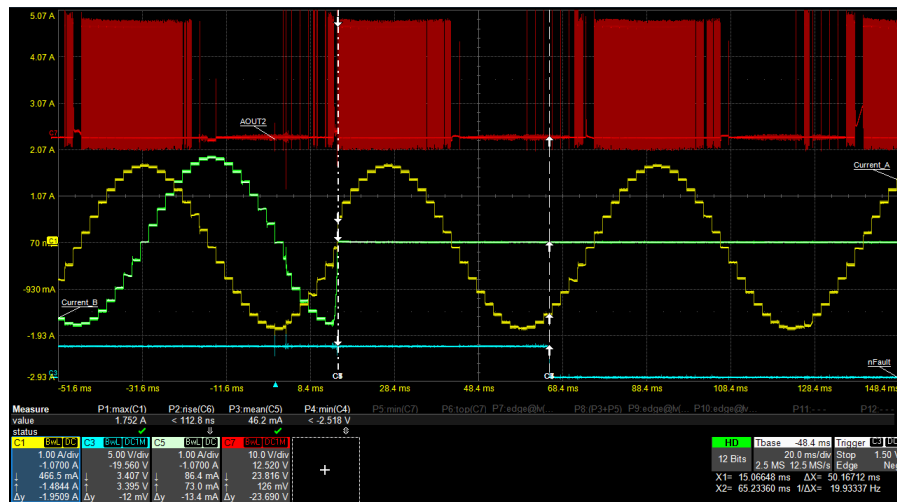


図 7-45. コイル B の開放負荷検出

注

- サイレント・ステップ減衰モードでは、モーターの動作中にのみ開放負荷フォルト検出が機能します。モーターが静止状態の場合、開放負荷検出はサポートされません。
- 開放負荷フォルトが検出されると、次の動作が行われます。
 - ENABLE ピンがロジック High からハイ・インピーダンスに実行中に変更された場合は、開放負荷条件が解消されると nSLEEP リセット・パルスが印加されます。
 - OL_MODE を 1b から 0b に変更した場合、または EN_OL を 1b から 0b に変更した場合は、開放負荷条件が解消されるとすぐに障害クリア・コマンドが適用されます。
- デバイスの自動トルクがイネーブルで動作しているとき、開放負荷フォルトが検出されると、コイル電流は TRQ_DAC に対応する値になります。

7.3.19.7 過熱警告 (OTW)

ダイ温度が過熱警告のトリップ・ポイント (T_{OTW}) を超えると、過熱警告が検出されます。この機能は、デバイスが SPI インターフェイスで動作している場合にのみサポートされます。

OTW が検出されると、次の動作が行われます。

- OTW ビットと TF ビットは 1b になります
- デバイスの機能は継続され、追加動作が実行されることはありません。
- チャージ・ポンプはアクティブのままです。
- TW_REP ビットが 1b の場合:
 - OTW の発生時、nFAULT は Low にプルされます
 - FAULT ビットが 1b になります

ダイ温度が過熱警告のヒステリシス・ポイント (T_{HYS_OTW}) を下回ると、OTW ビットと TF ビットは自動的にクリアされます。

7.3.19.8 サーマル・シャットダウン (OTSD)

ダイ温度がサーマル・シャットダウン制限 (T_{OTSD}) を超えると、サーマル・シャットダウンが検出されます。サーマル・シャットダウンが検出されると、次の動作が行われます。

- H ブリッジのすべての MOSFET がディセーブルになる
- nFAULT は Low に駆動される
- チャージ・ポンプがディセーブルになる
- SPI インターフェイスで動作している場合
 - FAULT、TF、OTS ビットが 1b に設定されます

サーマル・シャットダウン保護からの回復には、ラッチ付きシャットダウンと自動リトライという 2 つのモードがあります。この回復モードは、実行中に変更できます。

7.3.19.8.1 ラッチ付きシャットダウン

ラッチ付きシャットダウン・モードを選択するには、

- デバイスがハードウェア・インターフェイスで動作している場合、ENABLE ピンをハイ・インピーダンスにします
- デバイスが SPI インターフェイスで動作している場合、OTSD_MODE を 0b にします

このモードでは、接合部温度が、過熱スレッシュホールド限界値からヒステリシスを引いた値 ($T_{OTSD} - T_{HYS_OTSD}$) を下回った後に、nSLEEP リセット・パルスが印加された後、または電源を切って再投入した後、通常動作に復帰します。

7.3.19.8.2 自動リトライ

自動リトライ・モードの選択方法:

- H/W インターフェイスの場合、ENABLE ピンをロジック High (2.7V 以上) にします
- SPI インターフェイスの場合、OTSD_MODE ビットを 1b にします

このモードでは、接合部温度が過熱スレッシュホールド制限 - ヒステリシス ($T_{OTSD} - T_{HYS_OTSD}$) を下回ると、通常動作が再開されます (モーター・ドライバ動作と nFAULT ラインの解除)。SPI インターフェイスで動作している場合、TF ビットと OTS ビットは 1b にラッチされた状態を保持して、過熱状態が発生したことを示します。これは、障害クリア・コマンドが CLR_FLT ビット、または nSLEEP リセット・パルスのいずれかによって送信されるまで続きます。

7.3.19.9 電源電圧検出

内蔵 ADC は、モーター・ドライバに印加される電源電圧を監視し、CTRL14 レジスタの VM_ADC ビットに値を出力します。デフォルト値は 01011b で、24V に対応します。

この電源電圧読み取り値を使用すると、電源電圧があらかじめ設定されたスレッシュホールドを超えたときにモーター・ドライバを無効にすることで、コントローラによる過電圧保護を実装できます。

7.3.19.10 nFAULT 出力

nFAULT ピンにはオープン・ドレイン出力があるため、5V、3.3V または 1.8V 電源にプルアップする必要があります。nFAULT ピンは、電源投入後に High になります。フォルトが検出された場合、nFAULT ピンはロジック Low になります。5V にプルアップする場合、nFAULT ピンから抵抗を介して DVDD ピンに接続できます。3.3V または 1.8V にプルアップする場合は、外部電源を使う必要があります。

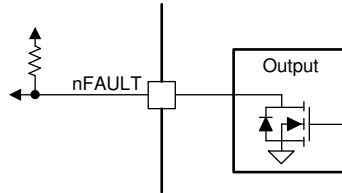


図 7-46. nFAULT ピン

7.3.19.11 フォルト条件のまとめ

表 7-28. フォルト条件のまとめ

FAULT	条件	構成	異常通知	H ブリッジ	チャージ・ポンプ	インデクサ	ロジック	復帰
VM 低電圧 (UVLO)	$VM < V_{UVLO}$	—	nFAULT / SPI	ディセーブル	ディセーブル	ディセーブル	リセット	$VM > V_{UVLO}$
VCP 低電圧 (CPUV)	$VCP < V_{CPUV}$	—	nFAULT / SPI	ディセーブル	動作	動作	動作	$VCP > V_{CPUV}$
ロジック電源 POR	$VCC < V_{CC_{UVLO}}$	—	SPI	ディセーブル	ディセーブル	ディセーブル	リセット	$VCC > V_{CC_{UVLO}}$
過電流 (OCP)	$I_{OUT} > I_{OCP}$	OCP_MODE = 0b / ENABLE = ハイ・インピーダンス	nFAULT / SPI	ディセーブル	動作	動作	動作	ラッチ: CLR_FLT / nSLEEP リセット・パルス
		OCP_MODE = 1b / ENABLE = 1	nFAULT / SPI	ディセーブル	動作	動作	動作	自動リトライ: t_{RETRY}
開放負荷 (OL)	負荷が検出されない	OL_MODE = 1b / ENABLE = 1	nFAULT / SPI	動作	動作	動作	動作	自動
		OL_MODE = 0b / ENABLE = ハイ・インピーダンス	nFAULT / SPI	動作	動作	動作	動作	ラッチ: CLR_FLT / nSLEEP リセット・パルス
ストール検出 (STALL)	モーターのストール / 停止	STL_REP = 0b	SPI	動作	動作	動作	動作	CLR_FLT / nSLEEP リセット・パルス
		STL_REP = 1b	nFAULT / SPI	動作	動作	動作	動作	
過熱警告 (OTW)	$T_J > T_{OTW}$	TW_REP = 1b	nFAULT / SPI	動作	動作	動作	動作	自動: $T_J < T_{OTW} - T_{HYS_OTW}$
		TW_REP = 0b	SPI	動作	動作	動作	動作	

表 7-28. フォルト条件のまとめ (続き)

FAULT	条件	構成	異常通知	H ブリッジ	チャージ・ポンプ	インデクサ	ロジック	復帰
サーマル・シャット ダウン (OTSD)	$T_J > T_{OTSD}$	OTSD_MODE = 0b / ENABLE=ハイ・インピー ダンス	nFAULT / SPI	ディセーブル	ディセーブル	動作	動作	ラッチ: CLR_FLT / nSLEEP リセット・ パルス
		OTSD_MODE = 1b / ENABLE = 1	nFAULT / SPI	ディセーブル	ディセーブル	動作	動作	自動: $T_J < T_{OTSD}$ - T_{HYS_OTSD}

7.3.20 デバイスの機能モード

7.3.20.1 スリープ・モード

nSLEEP ピンが Low になると、本デバイスは低消費電力のスリープ・モードに移行します。スリープ・モードでは、すべての内部 MOSFET、DVDD レギュレータ、SPI、チャージ・ポンプがディセーブルになります。nSLEEP ピンでの立ち下がりエッジの後、 t_{SLEEP} 時間が経過すると、デバイスはスリープ・モードに移行します。nSLEEP ピンが High になると、本デバイスは自動的にスリープから復帰します。 t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.3.20.2 ディセーブル・モード

ENABLE ピンは、本デバイスのハーフ・ブリッジをイネーブルまたはディセーブルにするために使用されます。ENABLE ピンが Low になると、出力ドライバはディセーブル (ハイ・インピーダンス) になります。SPI インターフェイスで動作する場合、表 7-29 に示すように、EN_OUT ビットは出力ドライバをディセーブルにする目的でも使用できます。EN_OUT ビットを 0b にすると、出力ドライバはディセーブル (ハイ・インピーダンス) になります。

表 7-29. 出力ドライバをイネーブルまたはディセーブルにするための条件

nSLEEP	ENABLE	EN_OUT	H ブリッジ
0	X	X	ディセーブル
1	0	0b	ディセーブル
1	0	1b	ディセーブル
1	1	0b	ディセーブル
1	1	1b	イネーブル

7.3.20.3 動作モード

このモードは、次の場合にイネーブルになります。

- nSLEEP が High
- ENABLE ピンがハイ・インピーダンスまたはロジック High
- SPI インターフェイスの場合に EN_OUT = 1b
- $VM > UVLO$

t_{WAKE} 時間が経過すると、デバイスは入力可能な状態になります。

7.3.20.4 nSLEEP リセット・パルス

ラッチされたフォルトは nSLEEP リセット・パルスでクリアできます。このパルス幅は 20 μ s より長く、40 μ s より短い必要があります。nSLEEP が 40 μ s より長く 120 μ s より短い間 Low である場合、図 7-47 に示すように、フォルトはクリアされますが、本デバイスはシャットダウンする場合としない場合があります。このリセット・パルスは、チャージ・ポンプの状態にも、その他の機能ブロックの状態にも影響を与えません。

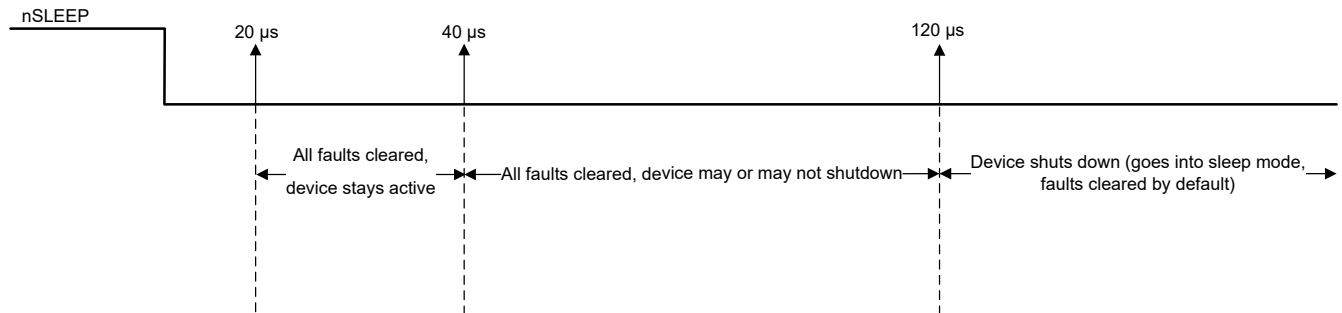


図 7-47. nSLEEP リセット・パルス

7.3.20.5 機能モードのまとめ

表 7-30. 機能モードのまとめ

条件	構成	H ブリッジ	DVDD レギュレータ	チャージ・ポンプ	インデクサ	ロジック
スリープ・モード	4.5V < VM < 65V nSLEEP ピン = 0	ディセーブル	ディセーブル	ディセーブル	ディセーブル	ディセーブル
動作	4.5V < VM < 65V nSLEEP ピン=1 ENABLE = 1、EN_OUT = 1b	動作	動作	動作	動作	動作
ディセーブル	4.5V < VM < 65V nSLEEP ピン=1 ENABLE ピン=0 または EN_OUT = 0b	ディセーブル	動作	動作	動作	動作

7.4 プログラミング

7.4.1 シリアル・ペリフェラル・インターフェイス (SPI) 通信

SPI インターフェイスで動作するように構成されている場合、本デバイスは全二重の 4 線式同期通信を備えており、デバイス構成や動作パラメータの設定、デバイスからの診断情報の読み出しに使用します。このセクションでは、SPI プロトコル、コマンド構造、制御レジスタとステータス・レジスタについて説明します。SPI はターゲット・モードで動作し、次の構成でコントローラに接続できます。

- 1 つのターゲット・デバイス
- 並列接続した複数のターゲット・デバイス
- 直列 (デイジー・チェーン) 接続した複数のターゲット・デバイス

7.4.1.1 SPI フォーマット

シリアル・データ入力 (SDI) ワードは、16 ビットのワード、8 ビットのコマンド (A1)、8 ビットのデータ (D1) で構成されます。シリアル・データ出力 (SDO) ワードは、フォルト・ステータス表示 (S1) とそれに続くレポート・バイト (R1) の 8 ビットのステータス・レジスタで構成されています。図 7-48 に、コントローラと SPI ターゲット・ドライバの間のデータ・シーケンスを示します。

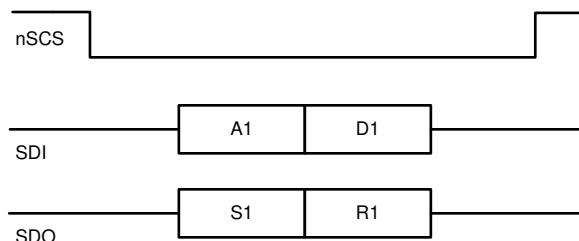


図 7-48. SPI フォーマット - 標準「16 ビット」フレーム

有効なフレームは次の条件を満たしていなければなりません。

- nSCS ピンが Low になるときに nSCS ピンが High になるとき、SCLK ピンは Low である必要があります。
- nSCS ピンは、フレーム間の最低 500ns 以上は High になっている必要があります。
- nSCS ピンが High にアサートされているときは、SCLK ピンと SDI ピンのすべての信号が無視され、SDO ピンがハイ・インピーダンス状態 (Hi-Z) になる必要があります。
- 標準フレームで有効なトランザクションを実行するには、16 SCLK のサイクルが完全に発生する必要があります。また、デジタイズ・チェーン・フレームに「n」個のペリフェラル・デバイスが接続されているとき、有効なトランザクションを実行するには $16 + (n \times 16)$ の SCLK サイクルが発生する必要があります。それ以外の場合は、フレーム・エラー (SPI_ERROR) が報告され、書き込み動作ならデータは無視されます。
- デバイスからの SDO データは SCLK の立ち上がりエッジで伝搬され、SDI 上のデータは SCLK の次の立ち下がりエッジで、デバイスによってキャプチャされます。
- 最上位ビット (MSB) のシフト・イン / シフト・アウトが最初に行われます。
- 書き込みコマンドの場合、書き込み先レジスタ内の既存データは、8 ビットのコマンド・データに続いて SDO ピンでシフト・アウトされます。

SDI 入力データ・ワードは 16 ビット長であり、表 7-31 に示すようなフォーマットで構成されています。

- コマンド・バイト (最初の 8 ビット)
 - MSB ビットはフレームの種類を示します (標準フレームの場合、ビット B15 = 0)
 - MSB の次のビット W0 は、読み取り / 書き込み動作を示します (ビット B14、書き込み=0、読み取り=1)
 - 次に、6 つのアドレス・ビット A[5:0] (ビット B13~B8) が続きます
- データ・バイト (最後の 8 ビット)
 - 最後の 8 ビットは、データ D[7:0] (ビット B7~B0) を示します。読み取り動作では、これらのビットは通常ヌル値に設定されます。書き込み動作では、アドレス指定されたレジスタのデータ値がこれらのビットに設定されます。

表 7-31. SDI - 標準フレーム・フォーマット

R/W		アドレス						データ							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

SDO 出力データ・ワードは 16 ビット長であり、表 7-32 に示すようなフォーマットで構成されています。

- ステータス・バイト (最初の 8 ビット)
 - MSB の 2 ビットは High に固定 (B15、B14 = 1)
 - 次の 6 ビットは、FAULT レジスタ (ビット B13~B8) の値が出力されます
- レポート・バイト (最後の 8 ビット)
 - 最後の 8 ビット (B7:B0) は、読み取り動作 (W0 = 1) の場合は読み取り元のレジスタの現在のデータであり、書き込みコマンド (W0 = 0) の場合は書き込み先のレジスタに存在するデータです。

表 7-32. SDO 出力データ・ワードのフォーマット

ステータス								レポート							
B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
1	1	UVLO	CPUV	OCF	STL	TF	OL	D7	D6	D5	D4	D3	D2	D1	D0

7.4.1.2 デイジー・チェーン構成における複数のターゲット・デバイスの SPI

複数のデバイスをコントローラに接続するには、デイジー・チェーンを使う方法と、使わない方法があります。デイジー・チェーンを使わずに「n」個のデバイスをコントローラに接続するには、nSCS ピンのためにコントローラ側で「n」個の GPIO リソースを利用する必要があります。これに対して、デイジー・チェーン構成を使用する場合は、単一の nSCS ラインを使って複数のデバイスを接続できます。

図 7-49 に、3 台のデバイスをデイジー・チェーンで接続する場合のトポロジを示します。この構成により、複数のデバイスが同じコントローラと通信するときに、GPIO ポートを節約できます。

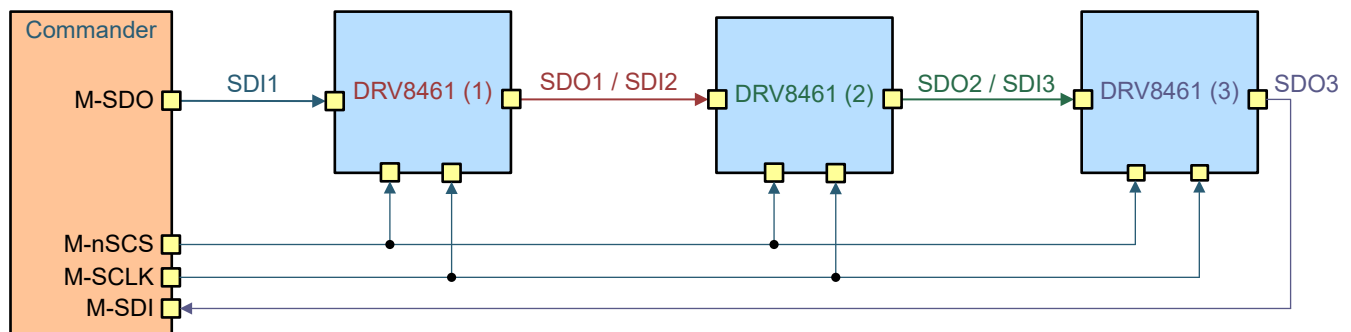


図 7-49. デイジー・チェーン接続された 3 台のデバイス

3 デバイス構成の場合、チェーンの最初のデバイスは次のフォーマットで MCU からデータを受信します。2 バイトのヘッダ (HDRx) + 3 バイトのアドレス (Ax) + 3 バイトのデータ (Dx)。

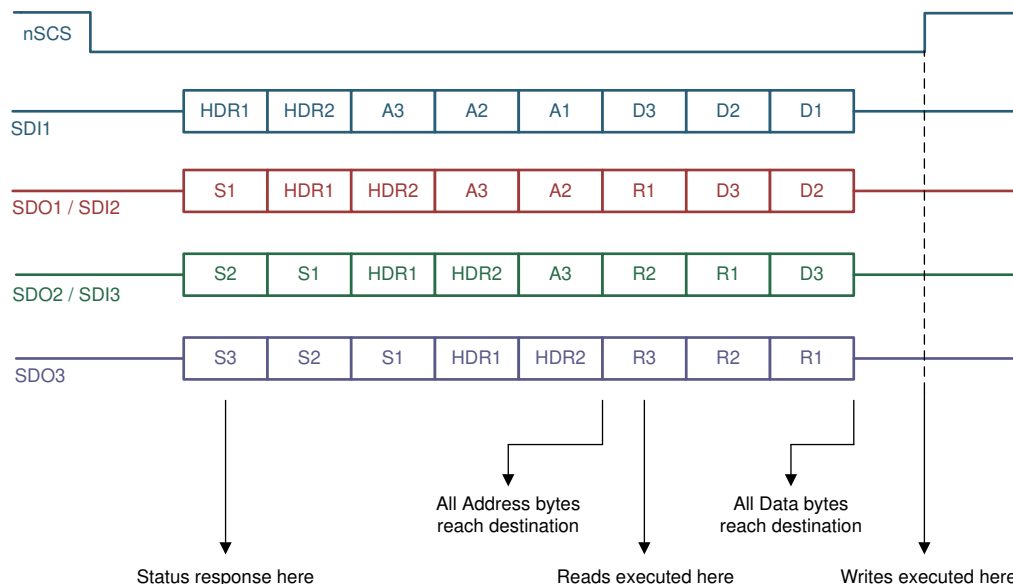


図 7-50. 3 台のデバイスによる SPI フレーム

3 デバイス構成の場合、データがチェーンを介して送信されると、MCU は図 7-51 に示すフォーマットでデータ文字列を受信します。3 バイトのステータス (Sx) + 2 バイトのヘッダ + 3 バイトのレポート (Rx)。

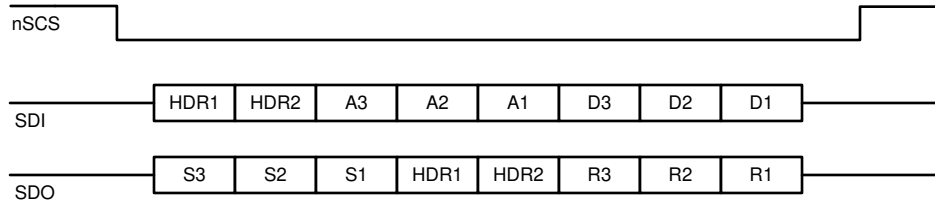


図 7-51. 3 台のデバイスの SPI データ・シーケンス

ヘッダ・バイトには、チェーン接続されたデバイス数とグローバル障害クリア・コマンドの情報が含まれています。グローバル障害クリア・コマンドとは、すべてのデバイスの **FAULT** レジスタをチップ・セレクト (**nSCS**) 信号の立ち上がりエッジでクリアするコマンドです。ヘッダ値 **N5~N0** の 6 ビットは、チェーン内のデバイス数を示すために使用されます。各デジタイ・チェーン接続には、最大 63 台のデバイスを直列に接続できます。

HDR2 レジスタの下位 5 ビットは、MCU がデジタイ・チェーン接続の整合性を判断するために使えるドント・ケア・ビットです。ヘッダ・バイトは、上位 2 ビットが 10 で始まる必要があります。

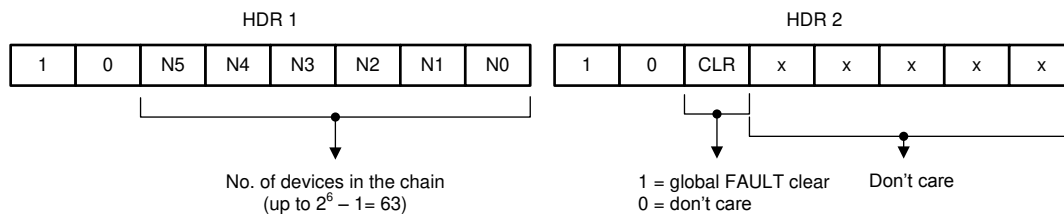


図 7-52. ヘッダ・バイト

ステータス・バイトは、MCU が読み取りコマンドを開始して特定のデバイスからフォルト・ステータスを読み取る必要がないように、デジタイ・チェーン内の各デバイスのフォルト・ステータス・レジスタに関する情報を提供します。これにより、MCU は追加の読み取りコマンドを確保でき、システムはデバイス内でフラグが立ったフォルト条件をより効率的に特定できます。ステータス・バイトは、上位 2 ビットが 11 で始まる必要があります。

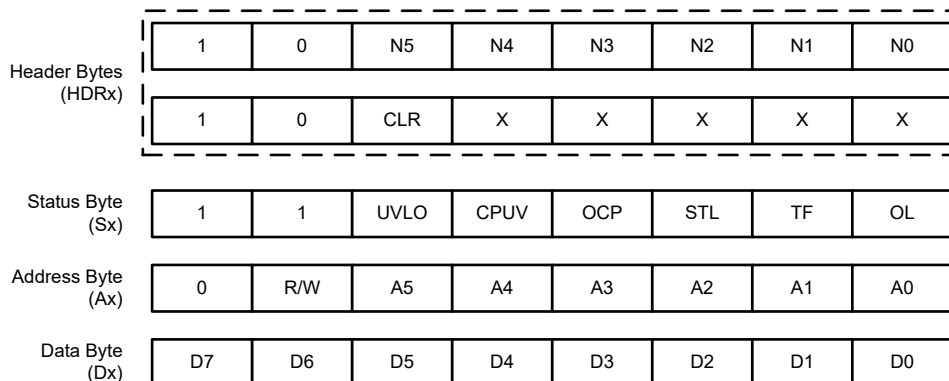


図 7-53. ヘッダ、ステータス、アドレス、データ・バイトの内容

データがデバイスを通過する際、そのデバイスは最初のヘッダ・バイトに続けて受信したステータス・バイトの数を数えることで、チェーン内の自身の位置を判断します。たとえば、この 3 デバイス構成では、チェーン内のデバイス 2 は、2 つのステータス・バイト、HDR1 バイト、HDR2 バイトをこの順に受信します。

受信したステータス・バイトが 2 つであることから、デバイス 2 は自身の位置がチェーン内の 2 番目であることが分かります。HDR2 バイトから、チェーン内に接続されているデバイスの数が分かります。このようにして、データは関連するアドレスおよびデータ・バイトのみをバッファに読み込み、その他のビットは無視します。このプロトコルは、チェーン接続した最大 63 台のデバイスのシステムにレイテンシを生じさせずに、より高速な通信を可能にします。

アドレスおよびデータ・バイトは 1 デバイス接続と同じです。レポート・バイト (R1~R3、[図 7-51](#) を参照) は、アクセス先のレジスタの内容です。

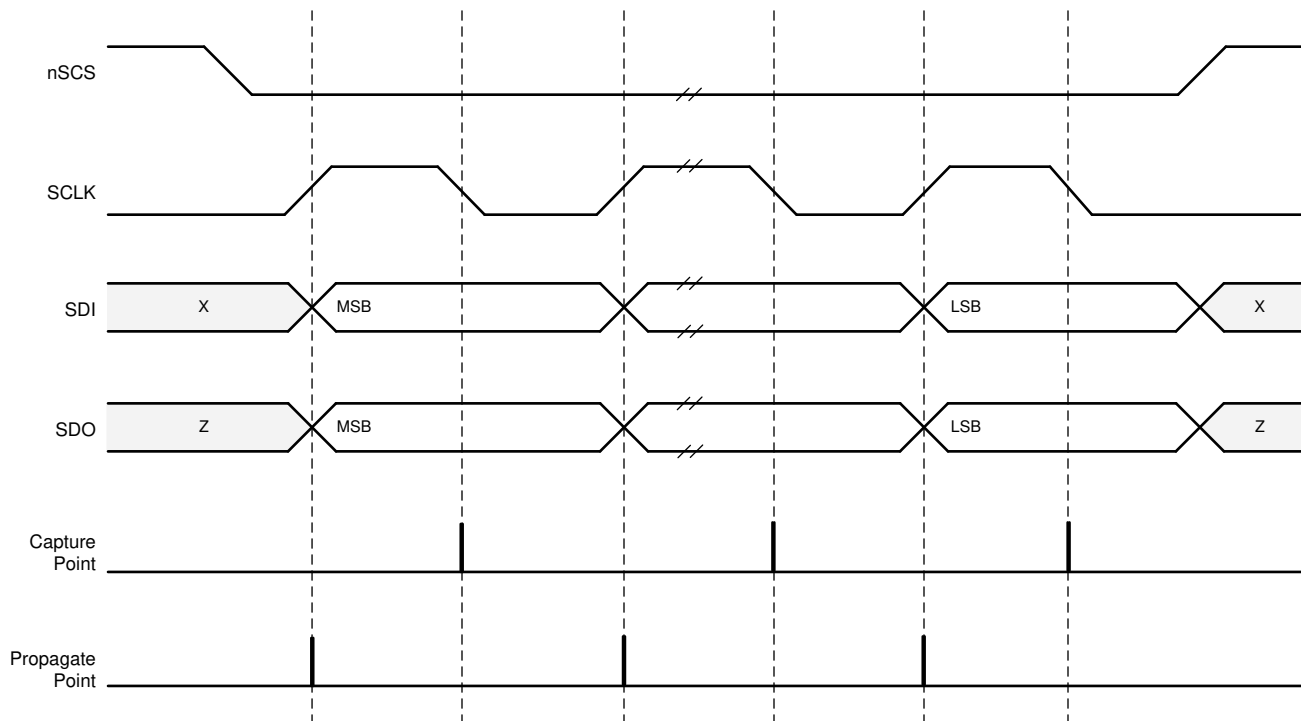


図 7-54. SPI トランザクション

7.4.1.3 並列構成における複数のターゲット・デバイスの SPI

[図 7-55](#) に、並列構成で接続された 3 つの DRV8461 デバイスを示します。

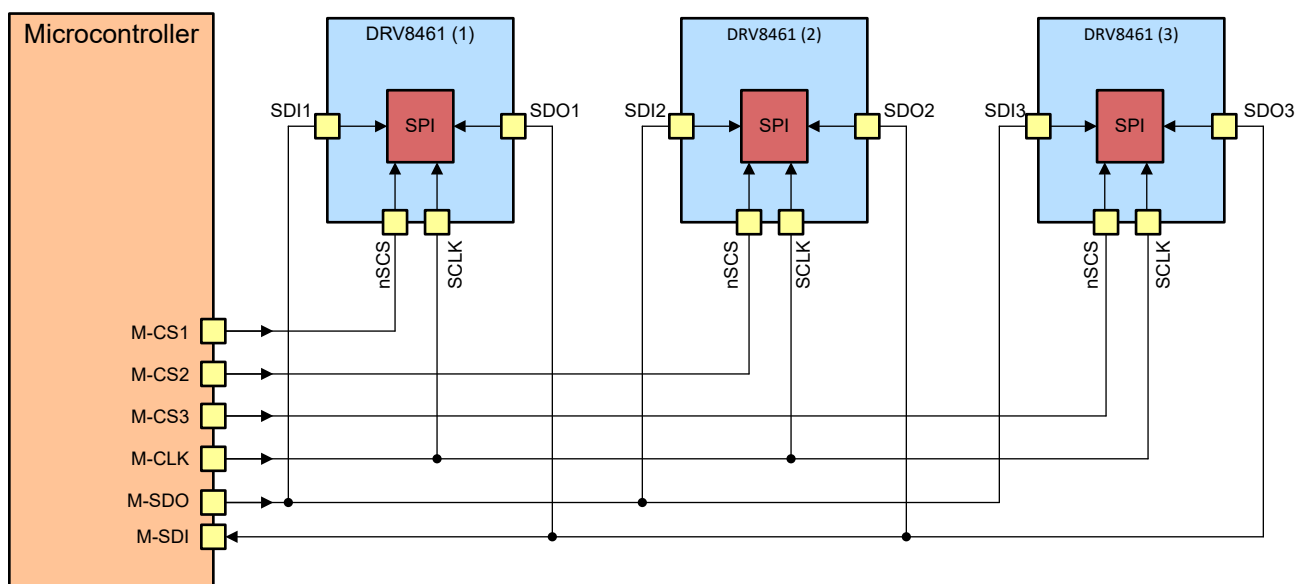


図 7-55. 並列構成で接続された 3 つのデバイス

7.5 レジスタ・マップ

表 7-33 に、本デバイスにメモリマップされたレジスタを示します。表 7-33 に記載されていないレジスタ・アドレスはすべて予約済みと見なされます。これらのレジスタ内容は変更しないでください。

表 7-33. メモリ・マップ

レジスタ	7	6	5	4	3	2	1	0	種類	アドレス	
FAULT	FAULT	SPI_ERROR	UVLO	CPUV	OCF	STL	TF	OL	R	0x00	
DIAG1	OCF_LS2_B	OCF_HS2_B	OCF_LS1_B	OCF_HS1_B	OCF_LS2_A	OCF_HS2_A	OCF_LS1_A	OCF_HS1_A	R	0x01	
DIAG2	STSL	OTW	OTS	STL_LRN_OK	STALL	LRN_DONE	OL_B	OL_A	R	0x02	
DIAG3	RSVD	NHOME	CNT_OFLW	CNT_UFLW	RSVD	NPOR	RSVD		R	0x03	
CTRL1	EN_OUT	SR	IDX_RST	TOFF[1:0]		DECAY[2:0]			RW	0x04	
CTRL2	DIR	STEP	SPI_DIR	SPI_STEP	MICROSTEP_MODE[3:0]					RW	0x05
CTRL3	CLR_FLT	LOCK[2:0]			TOCP	OCF_MODE	OTSD_MODE	OTW_REP	RW	0x06	
CTRL4	TBLANK_TIME[1:0]		STL_LRN	EN_STL	STL_REP	STL_FRQ	STEP_FRQ_TOL[1:0]		RW	0x07	
CTRL5	STALL_TH[7:0]								RW	0x08	
CTRL6	RC_RIPPLE[1:0]		DIS_SSC	TRQ_SCALE	STALL_TH[11:8]					RW	0x09
CTRL7	TRQ_COUNT[7:0]								R	0x0A	
CTRL8	RSVD				TRQ_COUNT[11:8]					R	0x0B
CTRL9	EN_OL	OL_MODE	OL_T[1:0]		STEP_EDGE	RES_AUTO[1:0]		EN_AUTO	RW	0x0C	
CTRL10	ISTSL[7:0]								RW	0x0D	
CTRL11	TRQ_DAC[7:0]								RW	0x0E	
CTRL12	EN_STSL	TSTSL_FALL[3:0]				RSVD			RW	0x0F	
CTRL13	TSTSL_DLY[5:0]						VREF_INT_EN	RSVD	RW	0x10	
INDEX1	CUR_A_POS[7:0]								R	0x11	
INDEX2	CUR_A_SIGN	RSVD							R	0x12	
INDEX3	CUR_B_POS[7:0]								R	0x13	
INDEX4	CUR_B_SIGN	RSVD					CUR_A[1:0]		R	0x14	
INDEX5	CUR_A[9:2]								R	0x15	
CUSTOM_CTRL1	RSVD							EN_CUSTOM	RW	0x16	
CUSTOM_CTRL2	CUSTOM_CURRENT1[7:0]								RW	0x17	
CUSTOM_CTRL3	CUSTOM_CURRENT2[7:0]								RW	0x18	
CUSTOM_CTRL4	CUSTOM_CURRENT3[7:0]								RW	0x19	
CUSTOM_CTRL5	CUSTOM_CURRENT4[7:0]								RW	0x1A	
CUSTOM_CTRL6	CUSTOM_CURRENT5[7:0]								RW	0x1B	
CUSTOM_CTRL7	CUSTOM_CURRENT6[7:0]								RW	0x1C	
CUSTOM_CTRL8	CUSTOM_CURRENT7[7:0]								RW	0x1D	
CUSTOM_CTRL9	CUSTOM_CURRENT8[7:0]								RW	0x1E	
ATQ_CTRL1	ATQ_CNT[7:0]								R	0x1F	
ATQ_CTRL2	ATQ_CNT[10:8]			RSVD		ATQ_LRN_CONST1[10:8]			RW	0x20	
ATQ_CTRL3	ATQ_LRN_CONST1[7:0]								RW	0x21	
ATQ_CTRL4	ATQ_LRN_MIN_CURRENT[4:0]					ATQ_LRN_CONST2[10:8]			RW	0x22	
ATQ_CTRL5	ATQ_LRN_CONST2[7:0]								RW	0x23	
ATQ_CTRL6	ATQ_UL[7:0]								RW	0x24	

表 7-33. メモリ・マップ (続き)

レジスタ	7	6	5	4	3	2	1	0	種類	アドレス
ATQ_CTRL7	ATQ_LL[7:0]								RW	0x25
ATQ_CTRL8	KP[7:0]								RW	0x26
ATQ_CTRL9	RSVD				KD[3:0]				RW	0x27
ATQ_CTRL10	ATQ_EN	LRN_START	ATQ_FRZ[2:0]			ATQ_AVG[2:0]			RW	0x28
ATQ_CTRL11	ATQ_TRQ_MIN[7:0]								RW	0x29
ATQ_CTRL12	ATQ_TRQ_MAX[7:0]								RW	0x2A
ATQ_CTRL13	ATQ_D_THR[7:0]								RW	0x2B
ATQ_CTRL14	RSVD								RW	0x2C
ATQ_CTRL15	ATQ_ERROR_TRUNCATE[3:0]				ATQ_LRN_STEP[1:0]		ATQ_LRN_CYCLE_SELECT[1:0]		RW	0x2D
ATQ_CTRL16	ATQ_TRQ_DAC[7:0]								R	0x2E
ATQ_CTRL17	RSVD	VM_SCALE	RSVD						RW	0x2F
ATQ_CTRL18	RSVD								RW	0x30
SS_CTRL1	SS_SMPL_SEL[1:0]		RSVD		SS_PWM_FREQ[1:0]		RSVD	EN_SS	RW	0x31
SS_CTRL2	SS_KP[7:0]								RW	0x32
SS_CTRL3	SS_KI[7:0]								RW	0x33
SS_CTRL4	RSVD	SS_KI_DIV_SEL[2:0]			RSVD	SS_KP_DIV_SEL[2:0]			RW	0x34
SS_CTRL5	SS_THR[7:0]								RW	0x35
CTRL 14	VM_ADC[4:0]					RSVD			RW	0x3C

表の小さなセルに収まるように、複雑なビット・アクセス・タイプを記号で表記しています。表 7-34 に、このセクションでアクセス・タイプに使用しているコードを示します。

表 7-34. アクセス・タイプ・コード

アクセス・タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.5.1 ステータス・レジスタ

ステータス・レジスタは、警告およびフォルト状態を示すために使用されます。ステータス・レジスタは読み取り専用レジスタです。

表 7-35 に、ステータス・レジスタのメモリマップされたレジスタを示します。表 7-35 に記載されていないレジスタ・オフセット・アドレスはすべて予約済みと見なされます。これらのレジスタの内容を変更してはいけません。

表 7-35. ステータス・レジスタまとめ表

アドレス	レジスタ名	セクション
0x00	FAULT	表示
0x01	DIAG1	表示
0x02	DIAG2	表示

表 7-35. ステータス・レジスタまとめ表 (続き)

アドレス	レジスタ名	セクション
0x03	DIAG3	表示

7.5.1.1 FAULT (アドレス=0x00) [デフォルト=00h]

図 7-56 に、FAULT レジスタを示し、表 7-36 にこのレジスタのフィールドの説明を示します。

読み取り専用

「レジスタ・マップ表」に戻ります

図 7-56. FAULT レジスタ

7	6	5	4	3	2	1	0
FAULT	SPI_ERROR	UVLO	CPUV	OCP	STL	TF	OL
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-36. FAULT レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	FAULT	R	0b	デバイスが何らかのフォルト状態になると、FAULT ビットは 1b になります。通常動作中、FAULT ビットは 0b です。FAULT ビットが 1b のとき、nFAULT ピンはプルダウンされます。通常動作中は nFAULT ピンは解放されます。
6	SPI_ERROR	R	0b	SPI プロトコル・エラー (例: SCLK パルスが必要な数以上存在する。nSCS が Low であるにもかかわらず SCLK が存在しない) を示します。SPI_ERROR はフォルトで 1b になり、nFAULT ピンは Low に駆動されます。プロトコル・エラーが解消し、かつ CLR_FLT ビットと nSLEEP リセット・パルスのどちらかによって障害クリア・コマンドが発行されると、通常動作が再開されます。
5	UVLO	R	0b	このビットが 1b の場合、電源低電圧誤動作防止のフォルト状態であることを示します。
4	CPUV	R	0b	このビットが 1b の場合、チャージ・ポンプ低電圧のフォルト状態であることを示します。
3	OCP	R	0b	このビットが 1b の場合、過電流のフォルト状態であることを示します。
2	STL	R	0b	このビットが 1b の場合、モーターがストール状態であることを示します。
1	TF	R	0b	過熱警告 (OTW) と過熱シャットダウン (OTSD) の論理和です。このビットが 1b の場合、過熱フォルトを示します。
0	OL	R	0b	このビットが 1b の場合、開放負荷フォルト状態であることを示します。

7.5.1.2 DIAG1 (アドレス=0x01) [デフォルト=00h]

図 7-57 に DIAG1 レジスタを示し、表 7-37 にこのレジスタのフィールドの説明を示します。

読み取り専用

「レジスタ・マップ表」に戻ります

図 7-57. DIAG1 レジスタ

7	6	5	4	3	2	1	0
OCP_LS2_B	OCP_HS2_B	OCP_LS1_B	OCP_HS1_B	OCP_LS2_A	OCP_HS2_A	OCP_LS1_A	OCP_HS1_A
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-37. DIAG1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	OCP_LS2_B	R	0b	このビットが 1b の場合、BOUT2 に接続されているハーフ・ブリッジのローサイド FET の過電流フォルトを示します
6	OCP_HS2_B	R	0b	このビットが 1b の場合、BOUT2 に接続されているハーフ・ブリッジのハイサイド FET の過電流フォルトを示します
5	OCP_LS1_B	R	0b	このビットが 1b の場合、BOUT1 に接続されているハーフ・ブリッジのローサイド FET の過電流フォルトを示します
4	OCP_HS1_B	R	0b	このビットが 1b の場合、BOUT1 に接続されているハーフ・ブリッジのハイサイド FET の過電流フォルトを示します
3	OCP_LS2_A	R	0b	このビットが 1b の場合、AOUT2 に接続されているハーフ・ブリッジのローサイド FET の過電流フォルトを示します
2	OCP_HS2_A	R	0b	このビットが 1b の場合、AOUT2 に接続されているハーフ・ブリッジのハイサイド FET の過電流フォルトを示します
1	OCP_LS1_A	R	0b	このビットが 1b の場合、AOUT1 に接続されているハーフ・ブリッジのローサイド FET の過電流フォルトを示します
0	OCP_HS1_A	R	0b	このビットが 1b の場合、AOUT1 に接続されているハーフ・ブリッジのハイサイド FET の過電流フォルトを示します

7.5.1.3 DIAG2 (アドレス=0x02) [デフォルト=00h]

図 7-58 に DIAG2 レジスタを示し、表 7-38 にこのレジスタのフィールドの説明を示します。

読み取り専用

[「レジスタ・マップ表」](#)に戻ります

図 7-58. DIAG2 レジスタ

7	6	5	4	3	2	1	0
STSL	OTW	OTS	STL_LRN_OK	STALL	LRN_DONE	OL_B	OL_A
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 7-38. DIAG2 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	STSL	R	0b	このビットが 1b の場合、デバイスが静止電力節約モードで動作していることを示します。
6	OTW	R	0b	このビットが 1b の場合、過熱警告を示します。
5	OTS	R	0b	このビットが 1b の場合、過熱シャットダウンを示します。
4	STL_LRN_OK	R	0b	このビットが 1b の場合、ストール検出学習が成功したことを示します。
3	STALL	R	0b	このビットが 1b の場合、モーターがストールしたことを示します。
2	LRN_DONE	R	0b	このビットが 1b の場合、自動トルク学習が成功したことを示します。
1	OL_B	R	0b	このビットが 1b の場合、BOUT コイルの開放負荷検出を示します。
0	OL_A	R	0b	このビットが 1b の場合、AOUT コイルの開放負荷検出を示します。

7.5.1.4 DIAG3 (アドレス=0x03) [デフォルト=00h]

図 7-59 に DIAG3 レジスタを示し、表 7-39 にこのレジスタのフィールドの説明を示します。

読み取り専用

「レジスタ・マップ表」に戻ります

図 7-59. DIAG3 レジスタ

7	6	5	4	3	2	1	0
RSVD	NHOME	CNT_OFLW	CNT_UFLW	RSVD	NPOR	RSVD	
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-00b	

表 7-39. DIAG3 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	RSVD	R	0b	予約済み
6	NHOME	R	0b	このビットが「1」の場合、インデクサがホーム以外の位置にあることを示します
5	CNT_OFLW	R	0b	このビットが「1」の場合、ATQ_CNT が ATQ_UL より大きいことを示します
4	CNT_UFLW	R	0b	このビットが「1」の場合、ATQ_CNT が ATQ_LL より小さいことを示します
3	RSVD	R	0b	予約済み
2	NPOR	R	0b	0b=前の VCC UVLO イベントを示します 1b = VCC UVLO イベント後に、NPOR ビットが CLR_FLT または nSLEEP リセット・パルス入力によってクリアされたことを示します
1-0	RSVD	R	00b	予約済み

7.5.2 制御レジスタ

本 IC の制御レジスタは、デバイスの設定に使用します。制御レジスタは読み取りと書き込みが可能です。

表 7-40 に、制御レジスタのメモリ・マップされたレジスタを示します。表 7-40 に記載されていないレジスタ・オフセット・アドレスはすべて予約済みと見なされます。これらのレジスタの内容を変更してはいけません。

表 7-40. 制御レジスタまとめ表

アドレス	レジスタ名	セクション
0x04	CTRL1	表示
0x05	CTRL2	表示
0x06	CTRL3	表示
0x07	CTRL4	表示
0x08	CTRL5	表示
0x09	CTRL6	表示
0x0A	CTRL7	表示
0x0B	CTRL8	表示
0x0C	CTRL9	表示
0x0D	CTRL10	表示
0x0E	CTRL11	表示
0x0F	CTRL12	表示

表 7-40. 制御レジスタまとめ表 (続き)

アドレス	レジスタ名	セクション
0x1A	CTRL13	表示
0x3C	CTRL14	表示

7.5.2.1 CTRL1 (アドレス = 0x04) [デフォルト = 0Fh]

[図 7-60](#) に CTRL1 レジスタを示し、[表 7-41](#) にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-60. CTRL1 制御レジスタ

7	6	5	4	3	2	1	0
EN_OUT	SR	IDX_RST	TOFF[1:0]		DECAY[2:0]		
R/W-0b	R/W-0b	R/W-0b	R/W-01b		R/W-111b		

表 7-41. CTRL1 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	EN_OUT	R/W	0b	0b = すべての出力がディセーブル 1b = すべての出力がイネーブル
6	SR	R/W	0b	0b = 出力の立ち上がり / 立ち下がり時間 140ns 1b = 出力の立ち上がり / 立ち下がり時間 70ns
5	IDX_RST	R/W	0b	このビットが 1b の場合、インデクサを 45°の電気角にリセットしますが、メモリ・マップ・レジスタの内容は変更されません。
4-3	TOFF[1:0]	R/W	01b	00b = 9.5μs 01b = 19μs 10b = 27μs 11b = 35μs
2-0	DECAY[2:0]	R/W	111b	000b = 低速減衰 100b = 30% 混合減衰 101b = 60% 混合減衰 110b = スマート・チューン・ダイナミック減衰 111b = スマート・チューン・リップル制御 001b、010b、011b = 予約済み

7.5.2.2 CTRL2 (アドレス=0x05) [デフォルト=06h]

[図 7-61](#) に、CTRL2 レジスタを示し、[表 7-42](#) にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-61. CTRL2 制御レジスタ

7	6	5	4	3	2	1	0
DIR	STEP	SPI_DIR	SPI_STEP	MICROSTEP_MODE[3:0]			
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0110b			

表 7-42. CTRL2 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	DIR	R/W	0b	方向入力。SPI_DIR = 1b のとき、DIR = 1b で、モーターは順方向に動作し、DIR = 0b で、モーターは逆方向に動作します。
6	STEP	R/W	0b	ステップ入力。SPI_STEP = 1b のとき、ロジック 1b にするとインデクサが 1 ステップ進みます。このビットは 1b が書き込まれた後、自己クリアされ自動的に 0b になります。
5	SPI_DIR	R/W	0b	0b=出力は入力 DIR ピンのステップング方向に従います 1b=出力は SPI レジスタの DIR ビットのステップング方向に従います
4	SPI_STEP	R/W	0b	0b=出力は入力 STEP ピンのステップングに従います 1b=出力は SPI レジスタの STEP ビットのステップングに従います
3-0	MICROSTEP_MODE[3:0]	R/W	0110b	0000b = 100% 電流によるフルステップ (2 相励起) 0001b = 71% 電流によるフルステップ (2 相励起) 0010b = 非循環 1/2 ステップ 0011b = 1/2 ステップ 0100b = 1/4 ステップ 0101b = 1/8 ステップ 0110b = 1/16 ステップ 0111b = 1/32 ステップ 1000b = 1/64 ステップ 1001b = 1/128 ステップ 1010b = 1/256 ステップ 1011b~1111b=予約済み

7.5.2.3 CTRL3 (アドレス=0x06) [デフォルト=38h]

図 7-62 に、CTRL3 レジスタを示し、表 7-43 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-62. CTRL3 制御レジスタ

7	6	5	4	3	2	1	0
CLR_FLT	LOCK[2:0]			TOCP	OCP_MODE	OTSD_MODE	OTW_REP
R/W-0b	R/W-011b			R/W-1b	R/W-0b	R/W-0b	R/W-0b

表 7-43. CTRL3 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	CLR_FLT	R/W	0b	すべてのラッチされたフォルト・ビットをクリアするには、このビットに 1b を書き込みます。このビットは、1b が書き込まれると自動的に 0b にリセットされます。
6-4	LOCK[2:0]	R/W	011b	設定をロックして、レジスタへのさらなる書き込み (これらのビットとアドレス 0x06h のビット 7 (CLR_FLT) への書き込みを除く) を無視するには、110b を書き込みます。ロックされていない状態で、110b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。 すべてのレジスタのロックを解除するには、このレジスタに 011b を書き込みます。ロックされている状態で、011b 以外のどんなシーケンスを書き込んでも何の影響も及ぼしません。
3	TOCP	R/W	1b	1b=過電流保護のグリッチ除去時間は 2.2μs 0b=過電流保護のグリッチ除去時間は 1.2μs

表 7-43. CTRL3 制御レジスタのフィールドの説明 (続き)

ビット	フィールド	種類	デフォルト	説明
2	OCP_MODE	R/W	0b	0b=過電流状態によってラッチされたフォルトが発生します 1b=過電流状態のフォルト回復は自動的に再試行されます
1	OTSD_MODE	R/W	0b	0b=過熱状態によってラッチされたフォルトが発生します 1b=過熱状態のフォルト回復は自動的に再試行されます
0	TW_REP	R/W	0b	0b=過熱または低温警告は nFAULT で通知されません 1b=過熱または低温警告は nFAULT で通知されます

7.5.2.4 CTRL4 (アドレス=0x07) [デフォルト=49h]

図 7-63 に、CTRL4 制御レジスタを示し、表 7-44 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-63. CTRL4 制御レジスタ

7	6	5	4	3	2	1	0
TBLANK_TIME[1:0]		STL_LRN	EN_STL	STL_REP	FRQ_CHG	STEP_FREQ_TOL[1:0]	
R/W-01b		R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-01b	

表 7-44. CTRL4 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-6	TBLANK_TIME[1:0]	R/W	01b	電流センスのブランキング時間を制御します。 00b = 1μs のブランキング時間 01b = 1.5μs のブランキング時間 10b = 2μs のブランキング時間 11b = 2.5μs のブランキング時間
5	STL_LRN	R/W	0b	ストール検出スレッシュホールドの自動学習をイネーブルにするには、1b を書き込みます。ストール学習プロセスが完了すると、このビットは自動的に 0b に戻ります。
4	EN_STL	R/W	0b	0b=ストール検出をディセーブルにします 1b=ストール検出をイネーブルにします
3	STL_REP	R/W	1b	0b=ストール検出は nFAULT で通知されません 1b=ストール検出は nFAULT で通知されます
2	FRQ_CHG	R/W	0b	0b=ステップ入力 は STEP_FREQ_TOL ビットに従ってフィルタされます 1b=ステップ入力 はフィルタされません
1-0	STEP_FREQ_TOL[1:0]	R/W	01b	ステップ入力のフィルタ設定をプログラムします。 00b = 1% フィルタリング 01b = 2% フィルタリング 10b = 4% フィルタリング 11b = 6% フィルタリング

7.5.2.5 CTRL5 (アドレス=0x08) [デフォルト=03h]

図 7-64 に CTRL5 レジスタを示し、表 7-45 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-64. CTRL5 制御レジスタ

7	6	5	4	3	2	1	0
STALL_TH[7:0]							
R/W-00000011b							

表 7-45. CTRL5 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	STALL_TH[7:0]	R/W	00000011b	ストール・スレッシュホールドの下位 8 ビット。 000000000000b = 0 カウント 000000000011b = 3 カウント (デフォルト) 111111111111b = 4095 カウント

7.5.2.6 CTRL6 (アドレス=0x09) [デフォルト=20h]

図 7-65 に CTRL6 レジスタを示し、表 7-46 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-65. CTRL6 制御レジスタ

7	6	5	4	3	2	1	0
RC_RIPPLE[1:0]		DIS_SSC	TRQ_SCALE	STALL_TH[11:8]			
R/W-00b		R/W-1b	R/W-0b	R/W-0000b			

表 7-46. CTRL6 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-6	RC_RIPPLE[1:0]	R/W	00b	スマート・チューン・リップル制御減衰モードで電流リップルを制御します。 00b = 1% リップル (デフォルト) 01b = 2% リップル 10b = 4% リップル 11b = 6% リップル
5	DIS_SSC	R/W	1b	0b=スペクトラム拡散をイネーブルにします 1b=スペクトラム拡散をディセーブルにします
4	TRQ_SCALE	R/W	0b	0b=トルク・カウント・スケーリングを適用しません 1b=トルク・カウントは 8 倍されます
3-0	STALL_TH[11:8]	R/W	0000b	ストール・スレッシュホールドの 4MSB ビット。

7.5.2.7 CTRL7 (アドレス=0x0A) [デフォルト=FFh]

図 7-66 に CTRL7 レジスタを示し、表 7-47 にこのレジスタのフィールドの説明を示します。

読み取り専用

「レジスタ・マップ表」に戻ります

図 7-66. CTRL7 制御レジスタ

7	6	5	4	3	2	1	0
TRQ_COUNT[7:0]							

図 7-66. CTRL7 制御レジスタ (続き)

R-11111111b

表 7-47. CTRL7 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	TRQ_COUNT[7:0]	R	11111111b	TRQ_COUNT の 8LSB ビット。 000000000000b = 0 カウント XXXXXXXXXXXXb = 1~4094 カウント 111111111111b = 4095 カウント

7.5.2.8 CTRL8 (アドレス=0x0B) [デフォルト=0Fh]

図 7-67 に CTRL8 レジスタを示し、表 7-48 にこのレジスタのフィールドの説明を示します。

読み出し専用

「レジスタ・マップ表」に戻ります

図 7-67. CTRL8 制御レジスタ

7	6	5	4	3	2	1	0
RSVD				TRQ_COUNT[11:8]			
R-0000b				R-1111b			

表 7-48. CTRL8 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-4	RSVD	R	0000b	予約済み。
3-0	TRQ_COUNT[11:8]	R	1111b	TRQ_COUNT の 4MSB ビット。

7.5.2.9 CTRL9 (アドレス=0x0C) [デフォルト=10h]

図 7-68 に CTRL9 レジスタを示し、表 7-49 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-68. CTRL9 制御レジスタ

7	6	5	4	3	2	1	0
EN_OL	OL_MODE	OL_T[1:0]		STEP_EDGE	RES_AUTO[1:0]		EN_AUTO
R/W-0b	R/W-0b	R/W-01b		R/W-0b	R/W-00b		R/W-0b

表 7-49. CTRL9 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	EN_OL	R/W	0b	開放負荷検出をイネーブルにするには、1b を書き込みます。このビットが 0b の場合、開放負荷検出はディセーブルです。
6	OL_MODE	R/W	0b	0b = nFAULT は、ラッチされた OL フォルトが CLR_FLT ビットまたは nSLEEP リセット・パルスによってクリアされた後に解放されます 1b = nFAULT は、OL フォルト条件が解消した直後に解放されます

表 7-49. CTRL9 制御レジスタのフィールドの説明 (続き)

ビット	フィールド	種類	デフォルト	説明
5-4	OL_T[1:0]	R/W	01b	開放負荷フォルト検出時間を制御します。 00b = 30ms (最大値) 01b = 60ms (最大値) 10b = 120ms (最大値) 11b = 予約済み
3	STEP_EDGE	R/W	0b	0b = STEP 入力のアクティブ・エッジは立ち上がりエッジのみ 1b = STEP 入力のアクティブ・エッジは立ち上がりエッジと立ち下がりエッジの両方
2-1	RES_AUTO[1:0]	R/W	00b	自動マイクロステッピング・モードでマイクロステッピングの分解能を制御します。 00b = 1/256 01b = 1/128 10b = 1/64 11b = 1/32
0	EN_AUTO	R/W	0b	0b=自動マイクロステッピングがディセーブル 1b=自動マイクロステッピングがイネーブル

7.5.2.10 CTRL10 (アドレス=0x0D) [デフォルト=80h]

図 7-69 に CTRL10 レジスタを示し、表 7-50 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-69. CTRL10 制御レジスタ

7	6	5	4	3	2	1	0
ISTSL[7:0]							
R/W-10000000b							

表 7-50. CTRL10 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ISTSL[7:0]	R/W	10000000b	保持電流を決定します。 11111111b = 256/256 x 100% 11111110b = 255/256 x 100% 11111101b = 254/256 x 100% 11111100b = 253/256 x 100% 00000000b = 1/256 x 100%

7.5.2.11 CTRL11 (アドレス=0x0E) [デフォルト=FFh]

図 7-70 に、CTRL11 レジスタを示し、表 7-51 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-70. CTRL11 制御レジスタ

7	6	5	4	3	2	1	0
TRQ_DAC[7:0]							

図 7-70. CTRL11 制御レジスタ (続き)

R/W-11111111b

表 7-51. CTRL11 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	TRQ_DAC[7:0]	R/W	11111111b	実行電流を決定します。 11111111b = 256/256 x 100% 11111110b = 255/256 x 100% 11111101b = 254/256 x 100% 11111100b = 253/256 x 100% 00000000b = 1/256 x 100%

7.5.2.12 CTRL12 (アドレス=0x0F) [デフォルト=20h]

図 7-71 に CTRL12 レジスタを示し、表 7-52 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-71. CTRL12 制御レジスタ

7	6	5	4	3	2	1	0
EN_STSL	TSTSL_FALL[3:0]				RSVD		
R/W-0b	R/W-0100b				R/W-000b		

表 7-52. CTRL12 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	EN_STSL	R/W	0b	0b=静止電力節約モードがディセーブル 1b=静止電力節約モードがイネーブル
6-3	TSTSL_FALL[3:0]	R/W	0100b	TSTSL_DLY 時間の経過後に、電流が TRQ_DAC から ISTSL まで減少する時間を制御します 0000b: 立ち下がり時間=0 0001b: 各電流ステップの立ち下がり時間=1ms 0100b: 各電流ステップの立ち下がり時間=4ms 1111b: 各電流ステップの立ち下がり時間=15ms
2-0	RSVD	R/W	000b	予約済み

7.5.2.13 CTRL13 (アドレス=0x10) [デフォルト=10h]

図 7-72 に CTRL13 レジスタを示し、表 7-53 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-72. CTRL13 制御レジスタ

7	6	5	4	3	2	1	0
TSTSL_DLY[5:0]						VREF_INT_EN	RSVD

図 7-72. CTRL13 制御レジスタ (続き)

R/W-000100b	R/W-0b	R/W-0b
-------------	--------	--------

表 7-53. CTRL13 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-2	TSTSL_DLY[5:0]	R/W	000100b	最後の STEP パルスから静止電力節約モードの起動までの遅延を制御します。 000000b: 予約済み 000001b: 遅延=1 x 16ms = 16ms 000100b: 遅延=4 x 16ms = 64ms 111111b: 遅延=63 x 16ms = 1.008s
1	VREF_INT_EN	R/W	0b	このビットが 1b の場合、デバイスは内部 3.3V リファレンス電圧を使用して電流をレギュレーションし、VREF ピンの電圧は無視されます。
0	RSVD	R/W	0b	予約済み

注

TSTSL_DLY を 000000b に設定しないでください。

7.5.2.14 CTRL14 (アドレス = 0x3C) [デフォルト = 58h]

図 7-73 に CTRL14 レジスタを示し、表 7-54 にこのレジスタのフィールドの説明を示します。

読み取り専用

「レジスタ・マップ表」に戻ります

図 7-73. CTRL14 制御レジスタ

7	6	5	4	3	2	1	0
VM_ADC[4:0]					RSVD		
R-01011b					R-000b		

表 7-54. CTRL14 制御レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-3	VM_ADC[4:0]	R	01011b	内蔵の ADC で監視される電源電圧値が出力されます。 00000b: $V_{VM} = 0V$ 01011b: $V_{VM} = 24V$ 11111b: $V_{VM} = 65V$
2-0	RSVD	R	000b	予約済み

7.5.3 インデкса・レジスタ

インデкса・レジスタはコイル A の電流値を提供し、コイル A とコイル B の電流に対するマイクロステップ表内での位置を示します。インデкса・レジスタは読み取り専用です。

表 7-55 に、インデкса・レジスタに対してメモリマップされたレジスタを示します。表 7-55 に記載されていないレジスタ・オフセット・アドレスはすべて予約済みと見なされます。これらのレジスタの内容を変更してはいけません。

表 7-55. インデクサ・レジスタまとめ表

アドレス	レジスタ名	セクション
0x11	INDEX1	表示
0x12	INDEX2	表示
0x13	INDEX3	表示
0x14	INDEX4	表示
0x15	INDEX5	表示

7.5.3.1 INDEX1 (アドレス=0x11) [デフォルト=80h]

図 7-74 に INDEX1 レジスタを示し、表 7-56 にこのレジスタのフィールドの説明を示します。

読み取り専用

[「レジスタ・マップ表」](#)に戻ります

図 7-74. INDEX1 レジスタ

7	6	5	4	3	2	1	0
CUR_A_POS[7:0]							
R-10000000b							

表 7-56. INDEX1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUR_A_POS[7:0]	R	10000000b	インデクサ表でのコイル A 電流の位置を示します。

7.5.3.2 INDEX2 (アドレス=0x12) [デフォルト=80h]

図 7-75 に INDEX2 レジスタを示し、表 7-57 にこのレジスタのフィールドの説明を示します。

読み取り専用

[「レジスタ・マップ表」](#)に戻ります

図 7-75. INDEX2 レジスタ

7	6	5	4	3	2	1	0
CUR_A_SIGN		RSVD					
R-1b		R-0000000b					

表 7-57. INDEX2 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	CUR_A_SIGN	R	1b	CUR_A_POS ビットで示される位置のコイル A 電流の向きを出力します。 1b=コイル A の電流は正です 0b=コイル A の電流は負です
6-0	RSVD	R	0000000b	予約済み

7.5.3.3 INDEX3 (アドレス=0x13) [デフォルト=80h]

図 7-76 に INDEX3 レジスタを示し、表 7-58 にこのレジスタのフィールドの説明を示します。

読み取り専用

[「レジスタ・マップ表」](#)に戻ります

図 7-76. INDEX3 レジスタ

7	6	5	4	3	2	1	0
CUR_B_POS[7:0]							
R-10000000b							

表 7-58. INDEX3 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUR_B_POS[7:0]	R	10000000b	インデкса表でのコイル B 電流の位置を示します。

7.5.3.4 INDEX4 (アドレス=0x14) [デフォルト=82h]

図 7-77 に INDEX4 レジスタを示し、表 7-59 にこのレジスタのフィールドの説明を示します。

読み取り専用

「レジスタ・マップ表」に戻ります

図 7-77. INDEX4 レジスタ

7	6	5	4	3	2	1	0
CUR_B_SIGN	RSVD					CUR_A[1:0]	
R-1b	R-00000b					R-10b	

表 7-59. INDEX4 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	CUR_B_SIGN	R	1b	CUR_B_POS ビットで示される位置のコイル B 電流の向きを出力します。 1b=コイル B の電流は正です 0b=コイル B の電流は負です
6-2	RSVD	R	00000b	予約済み
1-0	CUR_A[1:0]	R	10b	コイル A の電流の下位 LSB 2 ビット

7.5.3.5 INDEX5 (アドレス=0x15) [デフォルト=B5h]

図 7-78 に INDEX5 レジスタを示し、表 7-60 にこのレジスタのフィールドの説明を示します。

読み取り専用

「レジスタ・マップ表」に戻ります

図 7-78. INDEX5 レジスタ

7	6	5	4	3	2	1	0
CUR_A[9:2]							
R-10110101b							

表 7-60. INDEX5 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUR_A[9:2]	R	10110101b	コイル A に電流の上位 8 ビットを出力します

7.5.4 カスタム・マイクロstepping・レジスタ

カスタム・マイクロstepping・レジスタには、コイル A 電流の第 1 象限に対応する電流値が保存されます。カスタム・マイクロstepping・レジスタは読み出しと書き込みが可能です。

表 7-61 に、カスタム・マイクロステップ・レジスタのメモリマップト・レジスタを示します。表 7-61 にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-61. カスタム・マイクロステップ・レジスタのまとめ表

アドレス	レジスタ名	セクション
0x16	CUSTOM_CTRL1	表示
0x17	CUSTOM_CTRL2	表示
0x18	CUSTOM_CTRL3	表示
0x19	CUSTOM_CTRL4	表示
0x1A	CUSTOM_CTRL5	表示
0x1B	CUSTOM_CTRL6	表示
0x1C	CUSTOM_CTRL7	表示
0x1D	CUSTOM_CTRL8	表示
0x1E	CUSTOM_CTRL9	表示

7.5.4.1 CUSTOM_CTRL1 (アドレス=0x16) [デフォルト=00h]

図 7-79 に CUSTOM_CTRL1 レジスタを示し、表 7-62 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-79. CUSTOM_CTRL1 レジスタ

7	6	5	4	3	2	1	0
RSVD							EN_CUSTOM
R/W-0000000b							R/W-0b

表 7-62. CUSTOM_CTRL1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-1	RSVD	R/W	0000000b	予約済み
0	EN_CUSTOM	R/W	0b	0b=カスタム・マイクロステッピング・テーブルはディスエーブルになります 1b=カスタム・マイクロステッピング・テーブルはイネーブルになります

7.5.4.2 CUSTOM_CTRL2 (アドレス=0x17) [デフォルト=00h]

図 7-80 に CUSTOM_CTRL2 レジスタを示し、表 7-63 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-80. CUSTOM_CTRL2 レジスタ

7	6	5	4	3	2	1	0
CUSTOM_CURRENT1[7:0]							
R/W-00000000b							

表 7-63. CUSTOM_CTRL2 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUSTOM_CURRENT1[7:0]	R/W	00000000b	第 1 象限の位置 1 の電流値

7.5.4.3 CUSTOM_CTRL3 (アドレス=0x18) [デフォルト=00h]

図 7-81 に CUSTOM_CTRL3 レジスタを示し、表 7-64 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-81. CUSTOM_CTRL3 レジスタ

7	6	5	4	3	2	1	0
CUSTOM_CURRENT2[7:0]							
R/W-00000000b							

表 7-64. CUSTOM_CTRL3 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUSTOM_CURRENT2[7:0]	R/W	00000000b	第 1 象限の位置 2 の電流値

7.5.4.4 CUSTOM_CTRL4 (アドレス=0x19) [デフォルト=00h]

図 7-82 に CUSTOM_CTRL4 レジスタを示し、表 7-65 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-82. CUSTOM_CTRL4 レジスタ

7	6	5	4	3	2	1	0
CUSTOM_CURRENT3[7:0]							
R/W-00000000b							

表 7-65. CUSTOM_CTRL4 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUSTOM_CURRENT3[7:0]	R/W	00000000b	第 1 象限の位置 3 の電柱値

7.5.4.5 CUSTOM_CTRL5 (アドレス=0x1A) [デフォルト=00h]

図 7-83 に CUSTOM_CTRL5 レジスタを示し、表 7-66 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-83. CUSTOM_CTRL5 レジスタ

7	6	5	4	3	2	1	0
CUSTOM_CURRENT4[7:0]							
R/W-00000000b							

表 7-66. CUSTOM_CTRL5 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUSTOM_CURRENT4[7:0]	R/W	00000000b	第 1 象限の位置 4 の電流値

7.5.4.6 CUSTOM_CTRL6 (アドレス=0x1B) [デフォルト=00h]

図 7-84 に CUSTOM_CTRL6 レジスタを示し、表 7-67 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-84. CUSTOM_CTRL6 レジスタ

7	6	5	4	3	2	1	0
CUSTOM_CURRENT5[7:0]							
R/W-00000000b							

表 7-67. CUSTOM_CTRL6 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUSTOM_CURRENT5[7:0]	R/W	00000000b	第 1 象限の位置 5 の電流値

7.5.4.7 CUSTOM_CTRL7 (アドレス=0x1C) [デフォルト=00h]

図 7-85 に CUSTOM_CTRL7 レジスタを示し、表 7-68 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-85. CUSTOM_CTRL7 レジスタ

7	6	5	4	3	2	1	0
CUSTOM_CURRENT6[7:0]							
R/W-00000000b							

表 7-68. CUSTOM_CTRL7 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUSTOM_CURRENT6[7:0]	R/W	00000000b	第 1 象限の位置 6 の電流値

7.5.4.8 CUSTOM_CTRL8 (アドレス=0x1D) [デフォルト=00h]

図 7-86 に CUSTOM_CTRL8 レジスタを示し、表 7-69 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-86. CUSTOM_CTRL8 レジスタ

7	6	5	4	3	2	1	0
CUSTOM_CURRENT7[7:0]							
R/W-00000000b							

表 7-69. CUSTOM_CTRL8 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUSTOM_CURRENT7[7:0]	R/W	00000000b	第 1 象限の位置 7 の電流値

7.5.4.9 CUSTOM_CTRL9 (アドレス=0x1E) [デフォルト=00h]

図 7-87 に CUSTOM_CTRL9 レジスタを示し、表 7-70 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-87. CUSTOM_CTRL9 レジスタ

7	6	5	4	3	2	1	0
CUSTOM_CURRENT8[7:0]							
R/W-00000000b							

表 7-70. CUSTOM_CTRL9 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	CUSTOM_CURRENT8[7:0]	R/W	00000000b	第 1 象限の位置 8 の電流値

7.5.5 自動トルク・レジスタ

自動トルク・レジスタは、自動トルク機能を制御します。自動トルク・レジスタは、読み出しと書き込みが可能です。

[表 7-71](#) に、ステータス・レジスタに対してメモリマップされたレジスタを示します。[表 7-71](#) にないレジスタ・オフセット・アドレスはすべて予約済みと見なすべきであり、レジスタ内容は変更しないでください。

表 7-71. 自動トルク・レジスタのまとめ表

アドレス	レジスタ名	セクション
0x1F	ATQ_CTRL1	表示
0x20	ATQ_CTRL2	表示
0x21	ATQ_CTRL3	表示
0x22	ATQ_CTRL4	表示
0x23	ATQ_CTRL5	表示
0x24	ATQ_CTRL6	表示
0x25	ATQ_CTRL7	表示
0x26	ATQ_CTRL8	表示
0x27	ATQ_CTRL9	表示
0x28	ATQ_CTRL10	表示
0x29	ATQ_CTRL11	表示
0x2A	ATQ_CTRL12	表示
0x2B	ATQ_CTRL13	表示
0x2C	ATQ_CTRL14	表示
0x2D	ATQ_CTRL15	表示
0x2E	ATQ_CTRL16	表示
0x2F	ATQ_CTRL17	表示
0x30	ATQ_CTRL18	表示

7.5.5.1 ATQ_CTRL1 (アドレス=0x1F) [デフォルト=00h]

[図 7-88](#) に ATQ_CTRL1 レジスタを示し、[表 7-72](#) にこのレジスタのフィールドの説明を示します。

読み出し専用

[「レジスタ・マップ表」](#)に戻ります

図 7-88. ATQ_CTRL1 レジスタ

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 7-88. ATQ_CTRL1 レジスタ (続き)

ATQ_CNT[7:0]
R-00000000b

表 7-72. ATQ_CTRL1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_CNT[7:0]	R	00000000b	読み出し専用。ATQ_CNT 出力の 8 LSB ビットを示します。 ATQ_CNT はメカニカルな負荷トルクに比例します。

7.5.5.2 ATQ_CTRL2 (アドレス=0x20) [デフォルト=00h]

図 7-89 に ATQ_CTRL2 レジスタを示し、表 7-73 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-89. ATQ_CTRL2 レジスタ

7	6	5	4	3	2	1	0
ATQ_CNT[10:8]			RSVD		ATQ_LRN_CONST1[10:8]		
R/W-000b			R/W-00b		R/W-000b		

表 7-73. ATQ_CTRL2 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-5	ATQ_CNT[10:8]	R/W	000b	ATQ_CNT 出力の 3MSB ビットを示します
4-3	RSVD	R/W	00b	予約済み
2-0	ATQ_LRN_CONST1[10:8]	R/W	000b	初期学習電流レベルにおける ATQ_LRN パラメータの 3MSB ビットを示します。

7.5.5.3 ATQ_CTRL3 (アドレス=0x21) [デフォルト=00h]

図 7-90 に ATQ_CTRL3 レジスタを示し、表 7-74 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-90. ATQ_CTRL3 レジスタ

7	6	5	4	3	2	1	0
ATQ_LRN_CONST1[7:0]							
R/W-00000000b							

表 7-74. ATQ_CTRL3 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_LRN_CONST1[7:0]	R/W	00000000b	初期学習電流レベルにおける ATQ_LRN パラメータの 8LSB ビットを示します。

7.5.5.4 ATQ_CTRL4 (アドレス=0x22) [デフォルト=20h]

図 7-91 に ATQ_CTRL4 レジスタを示し、表 7-75 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-91. ATQ_CTRL4 レジスタ

7	6	5	4	3	2	1	0
ATQ_LRN_MIN_CURRENT[4:0]					ATQ_LRN_CONST2[10:8]		
R/W-00100b					R/W-000b		

表 7-75. ATQ_CTRL4 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-3	ATQ_LRN_MIN_CURRENT[4:0]	R/W	00100b	自動トルク学習の初期電流レベルを表します。 初期学習電流=ATQ_LRN_MIN_CURRENT * 8
2-0	ATQ_LRN_CONST2[10:8]	R/W	000b	最終学習電流レベルにおける ATQ_LRN パラメータの 3MSB ビットを示します。

7.5.5.5 ATQ_CTRL5 (アドレス=0x23) [デフォルト=00h]

[図 7-92](#) に ATQ_CTRL5 レジスタを示し、[表 7-76](#) にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-92. ATQ_CTRL5 レジスタ

7	6	5	4	3	2	1	0
ATQ_LRN_CONST2[7:0]							
R/W-00000000b							

表 7-76. ATQ_CTRL5 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_LRN_CONST2[7:0]	R/W	00000000b	最終学習電流レベルにおける ATQ_LRN パラメータの 8LSB ビットを示します。

7.5.5.6 ATQ_CTRL6 (アドレス=0x24) [デフォルト=00h]

[図 7-93](#) に ATQ_CTRL6 レジスタを示し、[表 7-77](#) にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-93. ATQ_CTRL6 レジスタ

7	6	5	4	3	2	1	0
ATQ_UL[7:0]							
R/W-00000000b							

表 7-77. ATQ_CTRL6 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_UL[7:0]	R/W	00000000b	自動トルク・ヒステリシス帯域の上限をプログラムします。

7.5.5.7 ATQ_CTRL7 (アドレス=0x25) [デフォルト=00h]

[図 7-94](#) に ATQ_CTRL7 レジスタを示し、[表 7-78](#) にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-94. ATQ_CTRL7 レジスタ

7	6	5	4	3	2	1	0
ATQ_LL[7:0]							
R/W-00000000b							

表 7-78. ATQ_CTRL7 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_LL[7:0]	R/W	00000000b	自動トルク・ヒステリシス帯域の下限をプログラムします。

7.5.5.8 ATQ_CTRL8 (アドレス=0x26) [デフォルト=00h]

図 7-95 に ATQ_CTRL8 レジスタを示し、表 7-79 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-95. ATQ_CTRL8 レジスタ

7	6	5	4	3	2	1	0
KP[7:0]							
R/W-00000000b							

表 7-79. ATQ_CTRL8 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	KP[7:0]	R/W	00000000b	自動トルク PD 制御ループを調整するための比例定数。

7.5.5.9 ATQ_CTRL9 (アドレス=0x27) [デフォルト=00h]

図 7-96 に ATQ_CTRL9 レジスタを示し、表 7-80 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-96. ATQ_CTRL9 レジスタ

7	6	5	4	3	2	1	0
RSVD				KD[3:0]			
R/W-0000b				R/W-0000b			

表 7-80. ATQ_CTRL9 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-4	RSVD	R/W	0000b	予約済み。
3-0	KD[3:0]	R/W	0000b	自動トルク PD 制御ループを調整するための差動定数。

7.5.5.10 ATQ_CTRL10 (アドレス=0x28) [デフォルト=08h]

図 7-97 に ATQ_CTRL10 レジスタを示し、表 7-81 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-97. ATQ_CTRL10 レジスタ

7	6	5	4	3	2	1	0
ATQ_EN	LRN_START	ATQ_FRZ[2:0]			ATQ_AVG[2:0]		
R/W-0b	R/W-0b	R/W-001b			R/W-000b		

表 7-81. ATQ_CTRL10 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	ATQ_EN	R/W	0b	0=自動トルクはディセーブル 1=自動トルクはイネーブル
6	LRN_START	R/W	0b	このビットに 1b を書き込むと、自動トルク学習プロセスが有効になります。学習が完了すると、このビットは自動的に 0b になります。
5-3	ATQ_FRZ[2:0]	R/W	001b	電流が PD ループに反応して変化した後の電氣的な半周期における遅延。小さい値を使用すると、ピーク負荷の要求を満たすために、電流が急速に増加します。このパラメータの範囲は 1~7 です。 001b - 応答時間は最小ですが、ループは不安定になります 111b - 応答時間は最大ですが、ループは安定します
2-0	ATQ_AVG[2:0]	R/W	000b	ATQ_CNT パラメータは、半周期の ATQ_AVG 数の移動平均です。したがって、ATQ_AVG の値が大きいと、急激なピーク負荷要求に対するループ応答時間は遅くなりますが、より高いトルク出力への唐突な動きはなく、スムーズに遷移します。値が小さいと、ループは急激な負荷要求に対して即座に応答します。 010b - 2 サイクルの平均 100b - 4 サイクルの平均 111b - 8 サイクルの平均 - その他の値: 平均化なし

7.5.5.11 ATQ_CTRL11 (アドレス=0x29) [デフォルト=0Ah]

[図 7-98](#) に ATQ_CTRL11 レジスタを示し、[表 7-82](#) にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-98. ATQ_CTRL11 レジスタ

7	6	5	4	3	2	1	0
ATQ_TRQ_MIN[7:0]							
R/W-00001010b							

表 7-82. ATQ_CTRL11 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_TRQ_MIN[7:0]	R/W	00001010b	自動トルクがイネーブルのときの最小コイル電流。

7.5.5.12 ATQ_CTRL12 (アドレス=0x2A) [デフォルト=FFh]

[図 7-99](#) に ATQ_CTRL12 レジスタを示し、[表 7-83](#) にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-99. ATQ_CTRL12 レジスタ

7	6	5	4	3	2	1	0
ATQ_TRQ_MAX[7:0]							
R/W-11111111b							

表 7-83. ATQ_CTRL12 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_TRQ_MAX[7:0]	R/W	11111111b	自動トルクがイネーブルのときの最大コイル電流。

7.5.5.13 ATQ_CTRL13 (アドレス=0x2B) [デフォルト=05h]

図 7-100 に ATQ_CTRL13 レジスタを示し、表 7-84 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-100. ATQ_CTRL13 レジスタ

7	6	5	4	3	2	1	0
ATQ_D_THR[7:0]							
R/W-00000101b							

表 7-84. ATQ_CTRL13 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_D_THR	R/W	00000101b	誤差の変化が ATQ_D_THR 未満の場合、KD は補正に寄与しません。KD は、誤差の変化が ATQ_D_THR より大きい場合にのみ寄与します。 たとえば、ATQ_D_THR = 10 の場合、 誤差の変化が 9 の場合、 $u(t) = KP * e(t)$ です 誤差の変化が 12 の場合、 $u(t) = KP * e(t) + KD * de(t)/dt$ です

7.5.5.14 ATQ_CTRL14 (アドレス=0x2C) [デフォルト=0Fh]

図 7-101 に ATQ_CTRL14 レジスタを示し、表 7-85 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-101. ATQ_CTRL14 レジスタ

7	6	5	4	3	2	1	0
RSVD							
R/W-00001111b							

表 7-85. ATQ_CTRL14 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	RSVD	R/W	00001111b	予約済み

7.5.5.15 ATQ_CTRL15 (アドレス=0x2D) [デフォルト=00h]

図 7-102 に ATQ_CTRL15 レジスタを示し、表 7-86 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-102. ATQ_CTRL15 レジスタ

7	6	5	4	3	2	1	0
ATQ_ERROR_TRUNCATE[3:0]				ATQ_LRN_STEP[1:0]		ATQ_LRN_CYCLE_SELECT[1:0]	
R/W-0000b				R/W-00b		R/W-00b	

表 7-86. ATQ_CTRL15 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-4	ATQ_ERROR_TRUNCATE[3:0]	R/W	0000b	PD ループの式で使用する前に、誤差から切り捨てられた LSB ビット数。このオプションは、電流のノイズの除去に役立ちます。
3-2	ATQ_LRN_STEP[1:0]	R/W	00b	初期電流レベルまでのインクリメントを表します。次の 4 つのオプションをサポートしています。 00b: ATQ_LRN_STEP = 128 01b: ATQ_LRN_STEP = 16 10b: ATQ_LRN_STEP = 32 11b: ATQ_LRN_STEP = 64 例: ATQ_LRN_STEP = 10b かつ ATQ_LRN_MIN_CURRENT = 11000b の場合 - 初期学習電流レベル = $24 \times 8 = 192$ - 最終学習電流レベル = $192 + 32 = 224$
1-0	ATQ_LRN_CYCLE_SELECT[1:0]	R/W	00b	学習ルーチンにより電流が他のレベルになった後の、ある電流レベルにおける電氣的半周期の数を表します。次の 4 つのオプションをサポートしています。 00b: 8 半周期 01b: 16 半周期 10b: 24 半周期 11b: 32 半周期

7.5.5.16 ATQ_CTRL16 (アドレス=0x2E) [デフォルト=FFh]

[図 7-103](#) に ATQ_CTRL16 レジスタを示し、[表 7-87](#) にこのレジスタのフィールドの説明を示します。

読み取り専用

[「レジスタ・マップ表」](#)に戻ります

図 7-103. ATQ_CTRL16 レジスタ

7	6	5	4	3	2	1	0
ATQ_TRQ_DAC[7:0]							
R-11111111b							

表 7-87. ATQ_CTRL16 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	ATQ_TRQ_DAC[7:0]	R	11111111b	自動トルクがイネーブルのとき、モーター電流の値を出力します。ATQ_TRQ_DAC は、ATQ_TRQ_MIN と ATQ_TRQ_MAX の間で変動する場合があります。

注

自動トルクがディセーブルの場合は、ATQ_TRQ_DAC は ATQ_TRQ_MAX にプログラムされた値を読み取ります。

7.5.5.17 ATQ_CTRL17 (アドレス=0x2F) [デフォルト=00h]

図 7-104 に ATQ_CTRL17 レジスタを示し、表 7-88 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-104. ATQ_CTRL17 レジスタ

7	6	5	4	3	2	1	0
RSVD	VM_SCALE	RSVD					
R/W-0b	R/W-0b	R/W-000000b					

表 7-88. ATQ_CTRL17 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	RSVD	R/W	0b	予約済み。
6	VM_SCALE	R/W	0b	このビットが 1b の場合、電源電圧が変化したタイミングで、学習ルーチンによって学習パラメータの値が自動的に変更されます。
5-0	RSVD	R/W	000000b	予約済み。

7.5.5.18 ATQ_CTRL18 (アドレス=0x30) [デフォルト=00h]

図 7-105 に ATQ_CTRL18 レジスタを示し、表 7-89 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-105. ATQ_CTRL18 レジスタ

7	6	5	4	3	2	1	0
RSVD							
R/W-00000000b							

表 7-89. ATQ_CTRL18 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	RSVD	R/W	00000000b	予約済み。

7.5.6 サイレント・ステップ・レジスタ

サイレント・ステップ・レジスタは、サイレント・ステップ減衰モードを制御します。サイレント・ステップ・レジスタは読み出しと書き込みが可能です。

表 7-90 に、サイレント・ステップ・レジスタのメモリマップされたレジスタを示します。表 7-90 に記載されていないレジスタ・オフセット・アドレスはすべて予約済みと見なされます。これらのレジスタの内容を変更してはいけません。

表 7-90. サイレント・ステップ・レジスタのまとめ表

アドレス	レジスタ名	セクション
0x31	SS_CTRL1	表示
0x32	SS_CTRL2	表示
0x33	SS_CTRL3	表示

表 7-90. サイレント・ステップ・レジスタのまとめ表 (続き)

アドレス	レジスタ名	セクション
0x34	SS_CTRL4	表示
0x35	SS_CTRL5	表示

7.5.6.1 SS_CTRL1 (アドレス=0x31) [デフォルト=00h]

図 7-106 に、SS_CTRL1 レジスタを示し、表 7-91 に、このレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-106. SS_CTRL1 レジスタ

7	6	5	4	3	2	1	0
SS_SMPL_SEL[1:0]		RSVD		SS_PWM_FREQ[1:0]		RSVD	EN_SS
R/W-00b		R/W-00b		R/W-00b		R/W-0b	R/W-0b

表 7-91. SS_CTRL1 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-6	SS_SMPL_SEL[1:0]	R/W	00b	サイレント・ステップ電流ゼロ交差サンプリング時間。デフォルト値は 2μs です。ゼロ交差付近で電流波形が歪んでいる場合は、サンプリング時間を長くしてください。 00b = 2μs (デフォルト) 01b = 3μs 10b = 4μs 11b = 5μs
5-4	RSVD	R/W	00b	予約済み。
3-2	SS_PWM_FREQ[1:0]	R/W	00b	サイレント・ステップ減衰モードでの PWM 周波数 (F _{PWM}) を表します。 00b - 25KHz 01b - 33KHz 10b - 42KHz 11b - 50KHz
1	RSVD	R/W	0b	予約済み
0	EN_SS	R/W	0b	0b=サイレント・ステップ減衰モードはディセーブル 1b=サイレント・ステップ減衰モードはイネーブル

7.5.6.2 SS_CTRL2 (アドレス=0x32) [デフォルト=00h]

図 7-107 に、SS_CTRL2 レジスタを示し、表 7-92 に、このレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-107. SS_CTRL2 レジスタ

7	6	5	4	3	2	1	0
RSVD		SS_KP[6:0]					
R/W - 0b		R/W-0000000b					

表 7-92. SS_CTRL2 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	RSVD	R/W	0b	予約済み。
6-0	SS_KP[6:0]	R/W	0000000b	サイレント・ステップ PI コントローラの比例ゲインを表します。範囲は 0～127 で、デフォルト値は 0 です。

7.5.6.3 SS_CTRL3 (アドレス=0x33) [デフォルト=00h]

図 7-108 に、SS_CTRL3 レジスタを示し、表 7-93 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-108. SS_CTRL3 レジスタ

7	6	5	4	3	2	1	0
RSVD	SS_KI[6:0]						
R/W-0b	R/W-0000000b						

表 7-93. SS_CTRL3 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	RSVD	R/W	0b	予約済み。
6-0	SS_KI[6:0]	R/W	0000000b	サイレント・ステップ PI コントローラの積分ゲインを表します。範囲は 0～127 で、デフォルト値は 0 です。

7.5.6.4 SS_CTRL4 (アドレス=0x34) [デフォルト=00h]

図 7-109 に、SS_CTRL4 レジスタを示し、表 7-94 に、このレジスタのフィールドの説明を示します。

読み出し / 書き込み

「レジスタ・マップ表」に戻ります

図 7-109. SS_CTRL4 レジスタ

7	6	5	4	3	2	1	0
RSVD	SS_KI_DIV_SEL[2:0]			RSVD	SS_KP_DIV_SEL[2:0]		
R/W-0b	R/W-000b			R/W-0b	R/W-000b		

表 7-94. SS_CTRL4 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7	RSVD	R/W	0b	予約済み
6-4	SS_KI_DIV_SEL[2:0]	R/W	000b	KI の分割係数。実際の KI = SS_KI / SS_KI_DIV_SEL です。 • 000b - SS_KI/32 • 001b - SS_KI/64 • 010b - SS_KI/128 • 011b - SS_KI/256 • 100b - SS_KI/512 • 101b - SS_KI/16 • 110b - SS_KI
3-1	RSVD	R/W	0b	予約済み

表 7-94. SS_CTRL4 レジスタのフィールドの説明 (続き)

ビット	フィールド	種類	デフォルト	説明
0	SS_KP_DIV_SEL[2:0]	R/W	000b	KP の分割係数。実際の KP = SS_KP / SS_KP_DIV_SEL です。 • 000b - SS_KP/32 • 001b - SS_KP/64 • 010b - SS_KP/128 • 011b - SS_KP/256 • 100b - SS_KP/512 • 101b - SS_KP/16 • 110b - SS_KP

7.5.6.5 SS_CTRL5 (アドレス=0x35) [デフォルト=FFh]

図 7-110 に、SS_CTRL5 レジスタを示し、表 7-95 にこのレジスタのフィールドの説明を示します。

読み出し / 書き込み

[「レジスタ・マップ表」](#)に戻ります

図 7-110. SS_CTRL5 レジスタ

7	6	5	4	3	2	1	0
SS_THR[7:0]							
R/W-11111111b							

表 7-95. SS_CTRL5 レジスタのフィールドの説明

ビット	フィールド	種類	デフォルト	説明
7-0	SS_THR[7:0]	R/W	11111111b	デバイスがサイレント・ステップ減衰モードから、DECAY ビットによってプログラムされた別の減衰モードに遷移する周波数をプログラムします。この周波数は、正弦波電流波形の周波数に相当します。 • 00000001b = 2Hz • 00000010b = 4Hz • . • . • 11111111b = 510Hz

注

SS_THR を 00000000b に設定しないでください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

DRV8461 はバイポーラ・ステッパ・モーターの制御に使用されます。

8.2 代表的なアプリケーション

次の設計手順で DRV8461 を構成できます。

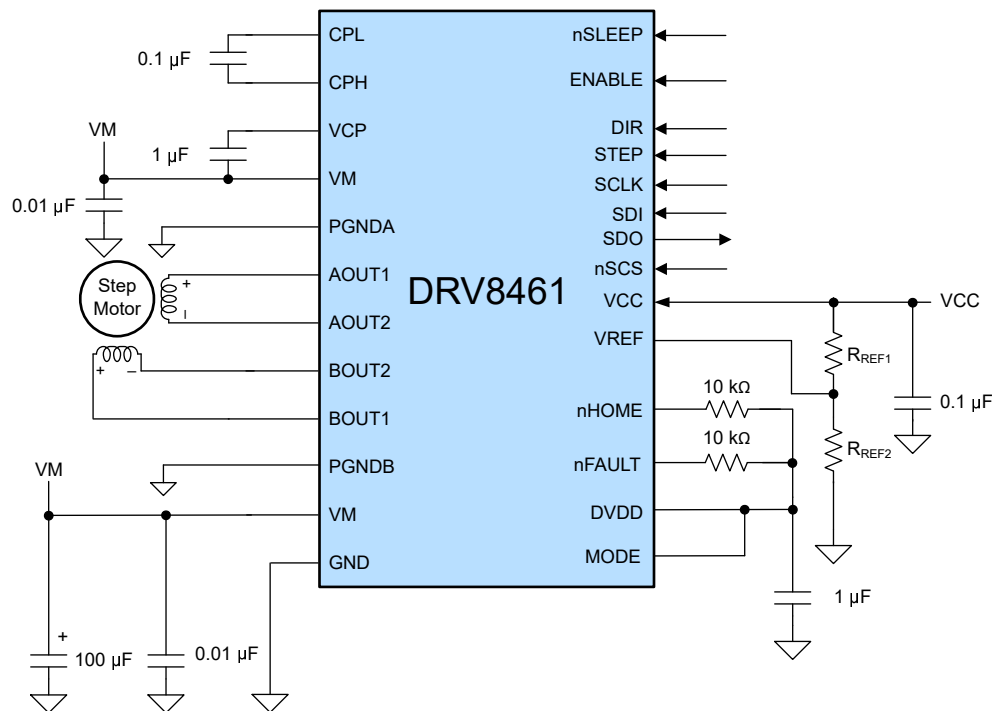


図 8-1. 代表的なアプリケーション回路図

8.2.1 設計要件

表 8-1 に、システム設計の設計入力パラメータを示します。

表 8-1. 設計パラメータ

設計パラメータ	略号	値の例
電源電圧	VM	24V
モーター巻線抵抗	R_L	0.5Ω/相
モーター巻線インダクタンス	L_L	0.4mH/相
モーター・フルステップ角	θ_{step}	1.8°/ステップ
目標マイクロステッピング・レベル	n_m	1/16 ステップ
目標モーター速度	v	7.5rpm

表 8-1. 設計パラメータ (続き)

設計パラメータ	略号	値の例
目標フルスケール電流	I_{FS}	3A

8.2.2 詳細な設計手順

8.2.2.1 ステッピング・モーターの速度

DRV8461 を構成するには、まず、モーター速度とマイクロステッピング・レベルの目標値が必要です。対象とするアプリケーションで一定速度が必要となる場合、周波数 f_{step} の方形波を **STEP** ピンに印加する必要があります。目標モーター速度が高すぎると、モーターは回転しません。モーターが目標速度に対応できることを確認してください。目標モーター速度 (v)、マイクロステッピング・レベル (n_m)、モーターのフルステップ角 (θ_{step}) に対応する f_{step} を計算するには、式 15 を使用します。

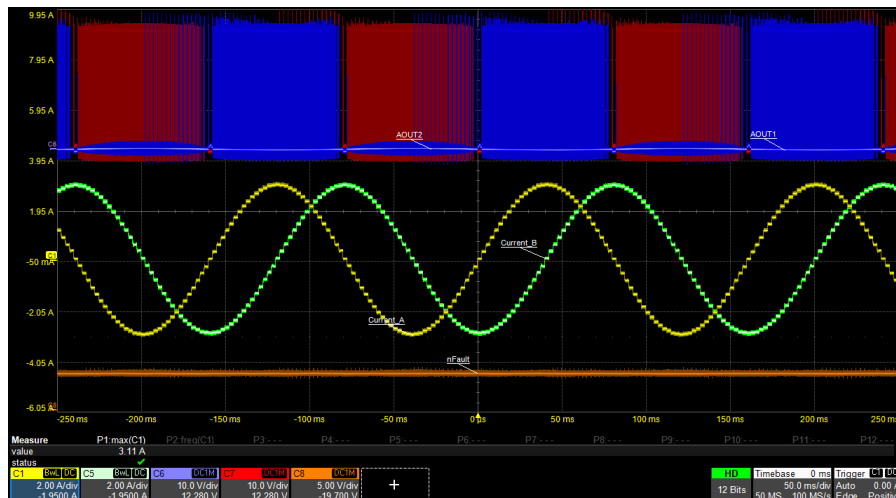
$$f_{step} \text{ (steps / s)} = \frac{v \text{ (rpm)} \times 360 \text{ (}^\circ \text{ / rot)}}{\theta_{step} \text{ (}^\circ \text{ / step)} \times n_m \text{ (steps / microstep)} \times 60 \text{ (s / min)}} \quad (15)$$

θ_{step} 値は、ステッピング・モーターのデータシート、またはモーター本体に記載されています。たとえば、1/16 マイクロステップ・モードで 7.5rpm の目標に対して、このアプリケーションのモーターは 1.8° / ステップで回転する必要があります。式 15 を使用すると、 f_{step} は 400Hz として計算できます。

マイクロステッピング・レベルは M0 ピンと M1 ピン、または MICROSTEP_MODE ビットで設定され、表 7-5 に示すいずれかの設定にできます。マイクロステッピング・レベルが高いほどモーターの動きは円滑になり、可聴ノイズは小さくなりますが、同じモーター速度を実現するのに高い f_{step} が必要になります。

8.2.3 アプリケーション特性の波形

Ch 1=コイル A 電流、Ch 5=コイル B 電流、Ch 6 = AOUT1、Ch 7 = AOUT2

図 8-2. $I_{FS} = 3A$ による 400pps での 1/16 マイクロステッピング

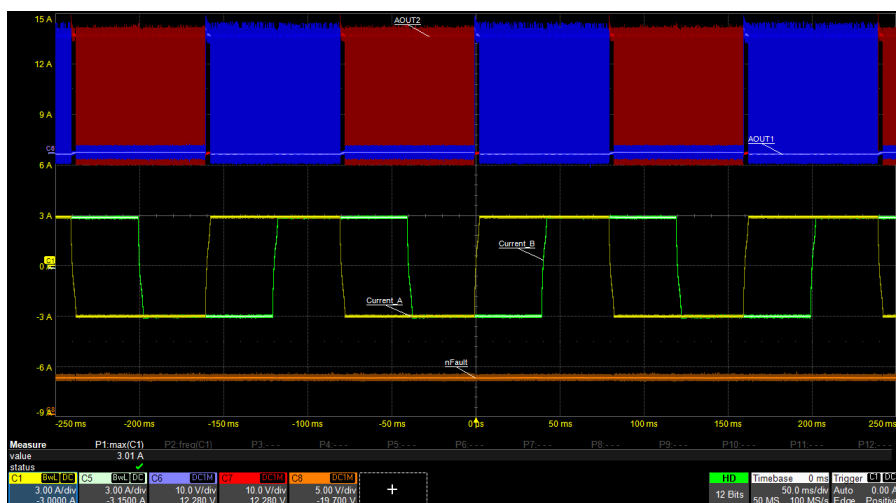


図 8-3. $I_{FS} = 3A$ による 25pps でのフルステップ

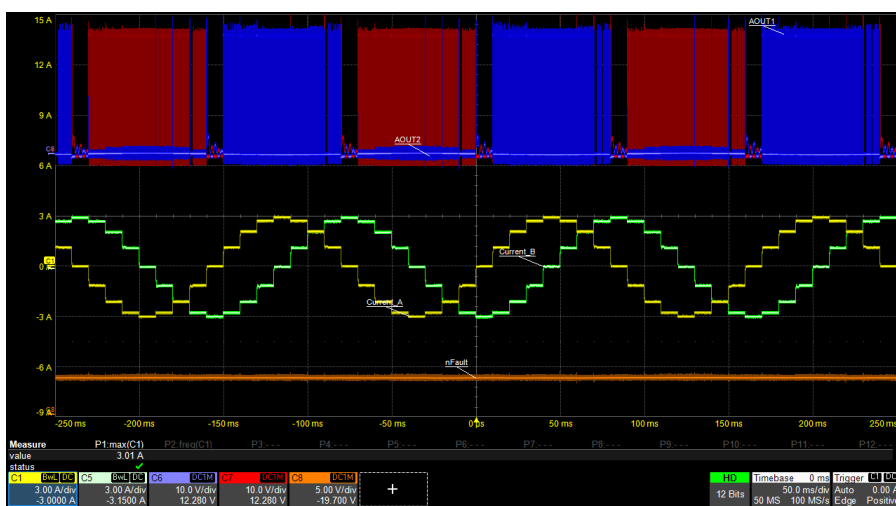


図 8-4. $I_{FS} = 3A$ による 100pps での 1/4 マイクロステッピング

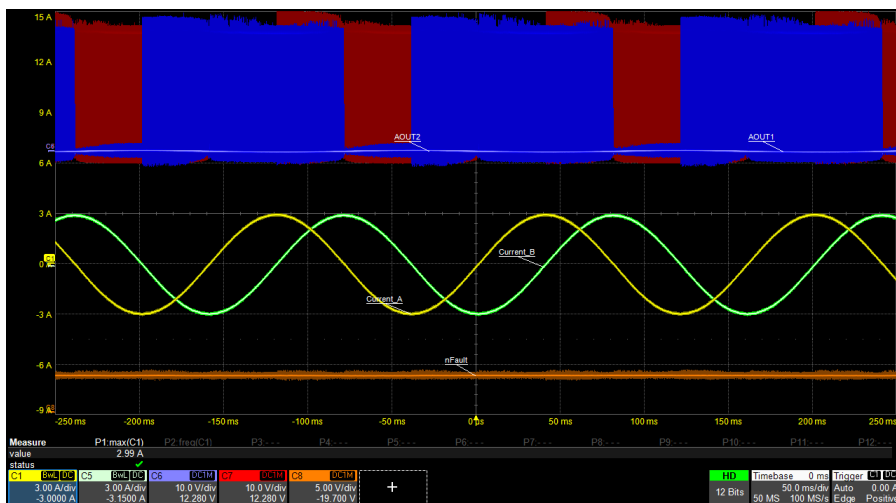


図 8-5. $I_{FS} = 3A$ による 6400pps での 1/256 マイクロステッピング

8.2.4 熱に関連するアプリケーション

このセクションでは、デバイスの消費電力の計算と接合部温度の概算について説明します。

8.2.4.1 消費電力

全消費電力は主な 3 つの要素 (導通損失 (P_{COND})、スイッチング損失 (P_{SW})、静止時消費電流による電力損失 (P_Q)) で構成されます。

8.2.4.2 導通損失

フル・ブリッジに接続されたモータの電流経路は、一方のハーフ・ブリッジのハイサイド FET と、他方のハーフ・ブリッジのローサイド FET を通ります。導通損失 (P_{COND}) は、式 16 に示すように、モータの RMS 電流 (I_{RMS})、ハイサイド・オン抵抗 ($R_{DS(ONH)}$)、ローサイド・オン抵抗 ($R_{DS(ONL)}$) で決まります。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (16)$$

表 8-1 に示されている代表的なアプリケーションの導通損失は、式 17 のように計算されます。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (3A / \sqrt{2})^2 \times (0.3\Omega) = 2.7W \quad (17)$$

注

この電力の計算値は、ハイサイド FET とローサイド FET のオン抵抗に大きな影響を与えるデバイス温度に大きく影響されます。より精密に計算するには、FET のオン抵抗のデバイス温度に対する依存性を考慮します。

8.2.4.3 スwitchング損失

PWM スwitchング周波数に起因する電力損失は、出力電圧の立ち上がり時間 / 立ち下がり時間 (t_{RF})、電源電圧、モータの RMS 電流、PWM スwitchング周波数で決まります。各 H ブリッジの立ち上がり時間と立ち下がり時間のスswitchング損失は、式 18 と式 19 のように計算されます。

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \quad (18)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \quad (19)$$

DRV8461 は、出力立ち上がり時間 / 立ち下がり時間 (t_{RF}) として 140ns と 70ns の 2 つの値を備えています。立ち上がり時間 / 立ち下がり時間が短いほど、明らかにスswitchング損失は小さくなります。この例では $t_{RF} = 140ns$ 、PWM 周波数を 30kHz としており、各パラメータの値を代入すると、各 H ブリッジのスswitchング損失は以下のように計算されます。

$$P_{SW_RISE} = 0.5 \times 24V \times (3A / \sqrt{2}) \times (140ns) \times 30kHz = 0.107W \quad (20)$$

$$P_{SW_FALL} = 0.5 \times 24V \times (3A / \sqrt{2}) \times (140ns) \times 30kHz = 0.107W \quad (21)$$

ステッパ・モーター・ドライバの合計スswitchング損失 (P_{SW}) は立ち上がり時間のスswitchング損失 (P_{SW_RISE}) と立ち下がり時間のスswitchング損失 (P_{SW_FALL}) の和の 2 倍として以下のように計算されます。

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (0.107W + 0.107W) = 0.428W \quad (22)$$

注

出力の立ち上がり時間 / 立ち下がり時間 (t_{RF}) は、電源電圧、温度、デバイス間の変動に基づいて変化すると予想されます。

スイッチング損失は PWM スwitching 周波数に正比例します。アプリケーションでの PWM 周波数は電源電圧、モーターのコイルのインダクタンス、逆起電圧、オフ時間 (スマート・チューン・リップル制御減衰モードではリップル電流) で決まります。

8.2.4.4 静止時電流による消費電力

VCC ピンが外部電圧に接続されている場合、静止時電流は標準で 5mA です。電源電圧によって消費される静止時電流による消費電力は、以下のように計算されます。

$$P_Q = V_{VM} \times I_{VM} \quad (23)$$

値を代入すると、静止時の電力損失は以下のように計算されます。

$$P_Q = 24V \times 5mA = 0.12W \quad (24)$$

注

静止時の電力損失は、動作電源電流の標準値 (I_{VM}) を使用して計算します。この動作電源電流は電源電圧、温度、デバイス間のばらつきによって決まります。

8.2.4.5 全消費電力

全消費電力 (P_{TOT}) は導通損失、スイッチング損失、静止電力損失の合計として 式 25 のように計算されます。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 2.7W + 0.428W + 0.12W = 3.248W \quad (25)$$

8.2.4.6 デバイスの接合部温度の概算

周囲温度が T_A 、総消費電力 (P_{TOT}) の場合、接合部温度 (T_J) は次のように計算されます。

$$T_J = T_A + (P_{TOT} \times R_{\theta JA})$$

JEDEC 規格の 4 層 PCB の場合を考えると、接合部から周囲への熱抵抗 ($R_{\theta JA}$) は、DDW パッケージで 23.2°C/W、PWP パッケージで 25.2°C/W です。

周囲温度が 25°C と仮定すると、DDW パッケージの接合部温度は以下のように計算されます。

$$T_J = 25^\circ C + (3.248W \times 23.2^\circ C/W) = 100.4^\circ C \quad (26)$$

PWP パッケージの接合部温度は次のように計算されます。

$$T_J = 25^\circ C + (3.248W \times 25.2^\circ C/W) = 106.8^\circ C \quad (27)$$

セクション 8.2.4.2 に記述したように、さらに正確な計算を行うには、セクション 6.6 に記載されているデバイスの接合部温度での FET のオン抵抗の依存性を考慮してください。

たとえば、

- 接合部温度が 100.4°C の場合、オン抵抗は 25°C の場合に比べて 1.3 倍大きくなることがあります。
- 導通損失の初期推定値は 2.7W でした。
- したがって、導通損失の新しい推定値は $2.7W \times 1.3 = 3.51W$ になります。
- それに伴い、合計電力損失の新しい推定値は 4.058W になります。
- DDW パッケージの接合部温度の新しい推定値は 119.1°C になります。

- これ以上計算を繰り返しても、接合部温度の推定値が大きく増加する可能性はわずかです。

9 熱に関する注意事項

9.1 サーマル・パッド

デバイスの熱能力を向上させるため、DDW および PWP パッケージ用のサーマル・パッドは、デバイスの底面に取り付けられています。データシートに記載されている電力を供給するには、サーマル・パッドが PCB の大きな面積を覆うように、はんだ付けする必要があります。詳細については、「[レイアウトのガイドライン](#)」を参照してください。

9.2 PCB 材料に関する推奨事項

放熱性能を向上させ、EMI マージンを改善するために、上層と下層の両方に FR-4 ガラス・エポキシ材料、2 オンス (70µm) の銅を用いることを推奨します (PCB パターンのインダクタンスが低いため)。

10 電源に関する推奨事項

- DRV8461 デバイスは、4.5V～65V の入力電圧源 (VM) で動作するように設計されています。
- VM 定格の 0.01 μ F セラミック・コンデンサを DRV8461 の VM ピンの近くに配置する必要があります。
- また、バルク・コンデンサを VM に接続する必要があります。

10.1 バルク容量

適切なローカル・バルク容量の確保は、モーター駆動システムの設計において重要な要素です。一般に、バルク容量が大きいほど利点がありますが、コストと物理的なサイズが増加します。

必要なローカル容量は、次のようなさまざまな要因で決まります。

- モーター・システムが必要とする最大電流
- 電源容量と電流供給能力
- 電源とモーター・システムとの間の寄生インダクタンスの大きさ
- 許容される電圧リップル
- 使用するモーターの種類 (ブラシ付き DC、ブラシレス DC、ステッパ)
- モーターのブレーキ方式

電源とモーター駆動システムとの間のインダクタンスにより、電源からの電流が変化できる速度は制限されます。ローカル・バルク容量が小さすぎると、システムはモーターからの過剰な電流要求やダンブによる電圧変動の影響を受けます。十分なバルク容量を使うことで、モーターの電圧は安定し、大電流を素早く供給できます。

データシートには一般に、推奨値が記載されていますが、バルク・コンデンサの容量が適切かどうかを判断するには、システム・レベルのテストが必要です。

モーターが電源にエネルギーを伝達する場合のマージンを確保するため、バルク・コンデンサの定格電圧は動作電圧より高くする必要があります。

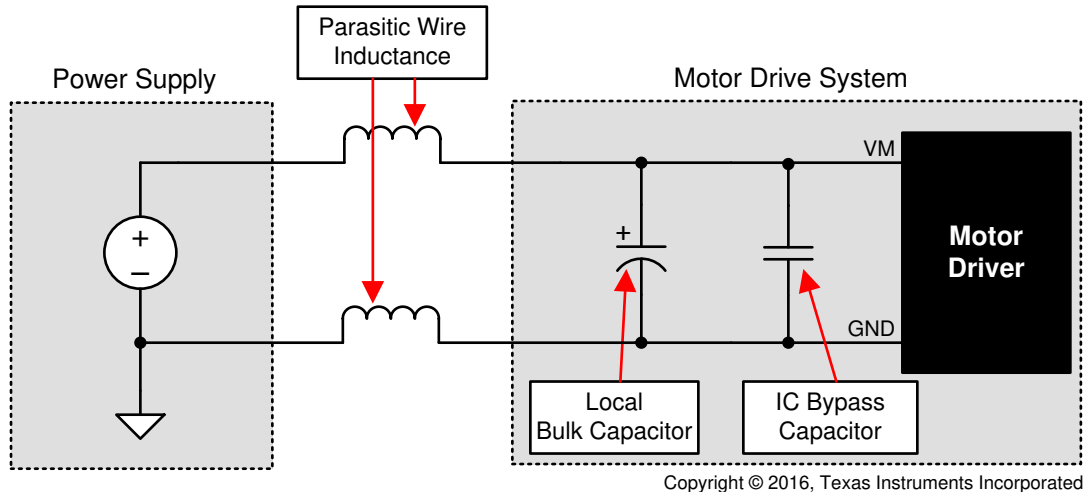


図 10-1. 外部電源を使用したモーター駆動システムの構成例

10.2 電源

DRV8461 が適切に動作するのに必要なのは VM ピンに接続された単一の電源電圧のみです。

- VM ピンは、H ブリッジに電源を供給します。
- 内部電圧レギュレータは、デジタル回路と低電圧アナログ回路に 5V 電源 (DVDD) を供給します。DVDD ピンを外部回路の電圧源として使用することは推奨しません。
- 外部低電圧電源オプションを VCC ピンに接続することで、内部回路に電力を供給することができます。過渡時に一定の電圧を供給するため、0.1 μ F のデカップリング・コンデンサを VCC ピンの近くに配置する必要があります。

- また、ハイサイド・ゲート・ドライブには、内蔵チャージ・ポンプによって生成される高電圧電源が必要です。チャージ・ポンプには、外部コンデンサが必要です。

11 レイアウト

11.1 レイアウトのガイドライン

- VM 定格の低 ESR セラミック・バイパス・コンデンサを推奨値 $0.01\mu\text{F}$ で使用して、VM ピンを PGND にバイパスする必要があります。このコンデンサは VM ピンのできるだけ近くに配置し、太いパターンまたはグラウンド・プレーンでデバイスの PGND ピンに接続する必要があります。
- VM 定格のバルク・コンデンサを使用して、VM ピンを PGND にバイパスする必要があります。この部品には電解コンデンサが使用できます。
- 低 ESR セラミック・コンデンサを CPL ピンと CPH ピンの間に配置する必要があります。VM 定格の $0.1\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。
- 低 ESR セラミック・コンデンサを VM ピンと VCP ピンの間に配置する必要があります。16V 定格の $1\mu\text{F}$ を推奨します。この部品はピンにできるだけ近付けて配置します。
- 低 ESR セラミック・コンデンサを使用して、DVDD ピンをグラウンドにバイパスします。6.3V 定格の $1\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。
- 低 ESR セラミック・コンデンサを使用して、VCC ピンをグラウンドにバイパスします。6.3V 定格の $0.1\mu\text{F}$ を推奨します。このバイパス・コンデンサはピンにできるだけ近付けて配置します。
- 一般に、電源ピンとデカップリング・コンデンサの間のインダクタンスを防ぐ必要があります。
- サーマル・パッドは、システム・グラウンドに接続する必要があります。
 - システムや基板全体には、大きく、切れ目のない単一のグラウンド・プレーンを使用することを推奨します。グラウンド・プレーンは PCB の下層に作成できます。
 - インピーダンスとインダクタンスを最小化するため、グラウンド・ピンからビアを経由して下層のグラウンド・プレーンに接続する配線は、できる限り短く、幅広くする必要があります。
 - インピーダンスを低減するために、複数のビアを推奨します。
 - 熱の拡散を改善するために、デバイスの周囲のスペースをできるだけ大きく、特に PCB の下層に確保してください。
 - サーマル・パッドを単一または複数の内部グラウンド・プレーンに接続することでも、熱の拡散と熱抵抗の低減に役立ちます。

11.2 レイアウト例

DRV8461 EVM のレイアウト例に従います。設計ファイルは、[DRV8461EVM](#) 製品フォルダからダウンロードできます。

12 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを、以下で紹介します。

12.1 ドキュメントのサポート

12.1.1 関連資料

- テキサス・インスツルメンツ、『自動トルクによるステッパ・モーター・システムの電力損失の低減』アプリケーション・レポート
- テキサス・インスツルメンツ、『内蔵 FET と外部 FET の比較: モーター・ドライバの性能比較』アプリケーション・レポート
- テキサス・インスツルメンツ、『ステッパ・モーターの可聴ノイズを低減する方法』アプリケーション・レポート
- テキサス・インスツルメンツ、『動作の円滑性と精度を向上させる方法』アプリケーション・レポート
- テキサス・インスツルメンツ、『スマート・チューンがステッパ・モーターの電流を調整する方法』アプリケーション・レポート
- テキサス・インスツルメンツ、『電流再循環および減衰モード』アプリケーション・レポート
- テキサス・インスツルメンツ、『DRV8xxx によるユニポーラ・ステッパ・モーターの駆動方法』アプリケーション・レポート
- テキサス・インスツルメンツ、『モーター・ドライバの電流定格の理解』アプリケーション・レポート
- テキサス・インスツルメンツ、『モーター・ドライブのレイアウト・ガイド』アプリケーション・レポート
- テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション・レポート

12.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](https://www.ti.com) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

12.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

12.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

12.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

12.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8461DDWR	Active	Production	HTSSOP (DDW) 44	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8461
DRV8461DDWR.A	Active	Production	HTSSOP (DDW) 44	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8461
DRV8461PWPR	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8461
DRV8461PWPR.A	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8461
DRV8461SPWPR	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8461S
DRV8461SPWPR.A	Active	Production	HTSSOP (PWP) 28	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8461S

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

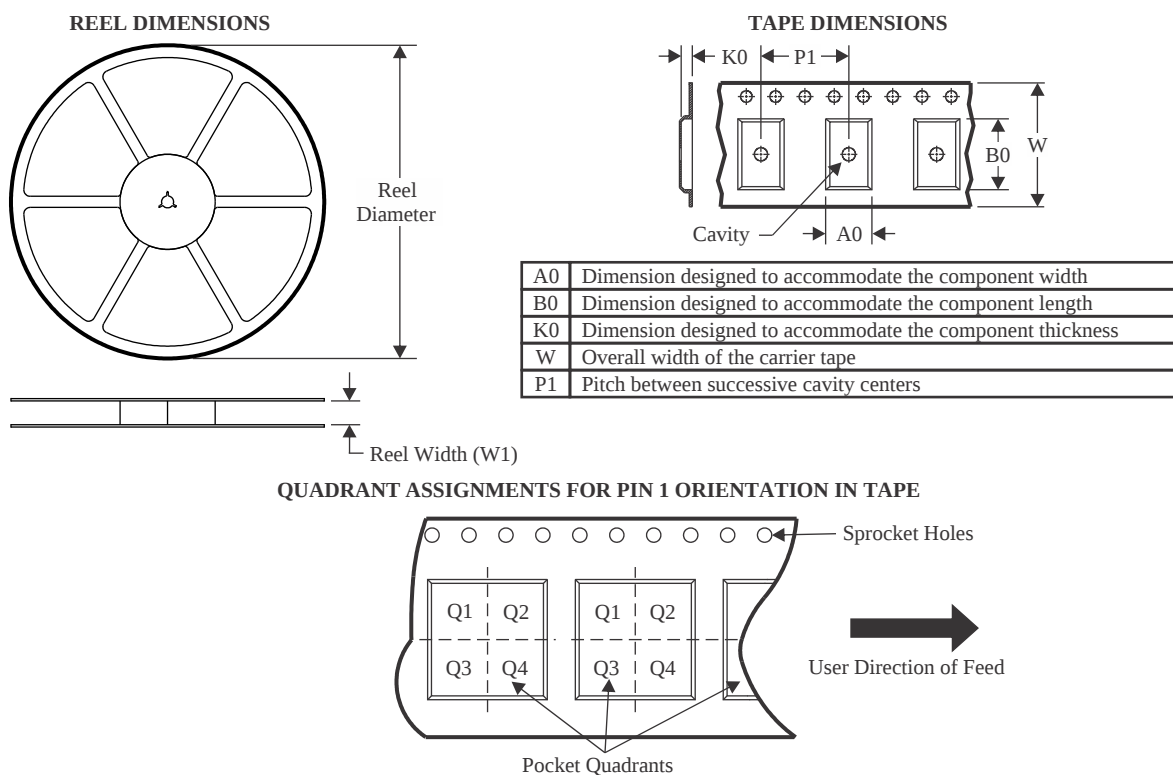
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

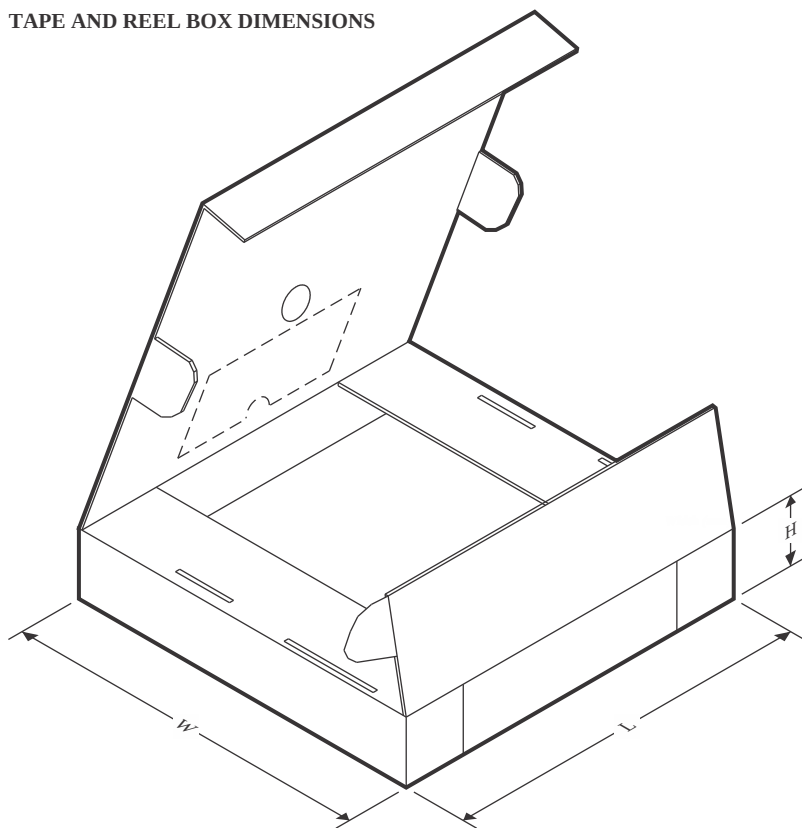
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8461DDWR	HTSSOP	DDW	44	2500	330.0	24.4	8.9	14.7	1.4	12.0	24.0	Q1
DRV8461PWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1
DRV8461SPWPR	HTSSOP	PWP	28	2500	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8461DDWR	HTSSOP	DDW	44	2500	356.0	356.0	41.0
DRV8461PWPR	HTSSOP	PWP	28	2500	356.0	356.0	35.0
DRV8461SPWPR	HTSSOP	PWP	28	2500	356.0	356.0	35.0

GENERIC PACKAGE VIEW

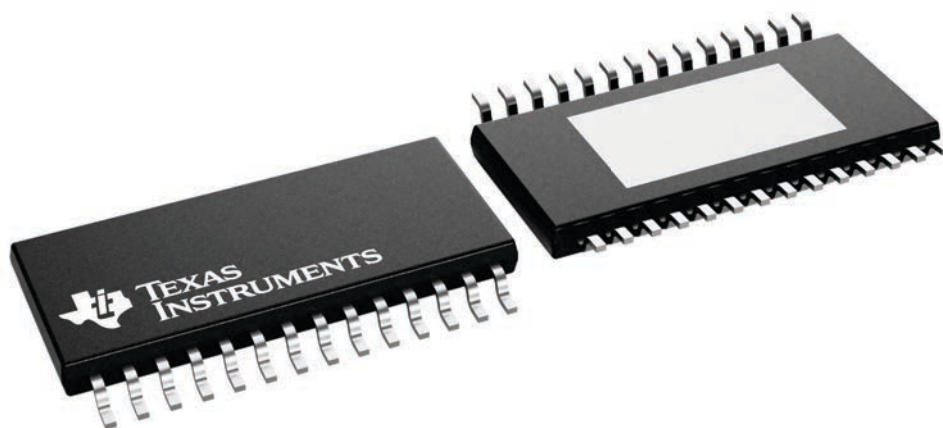
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

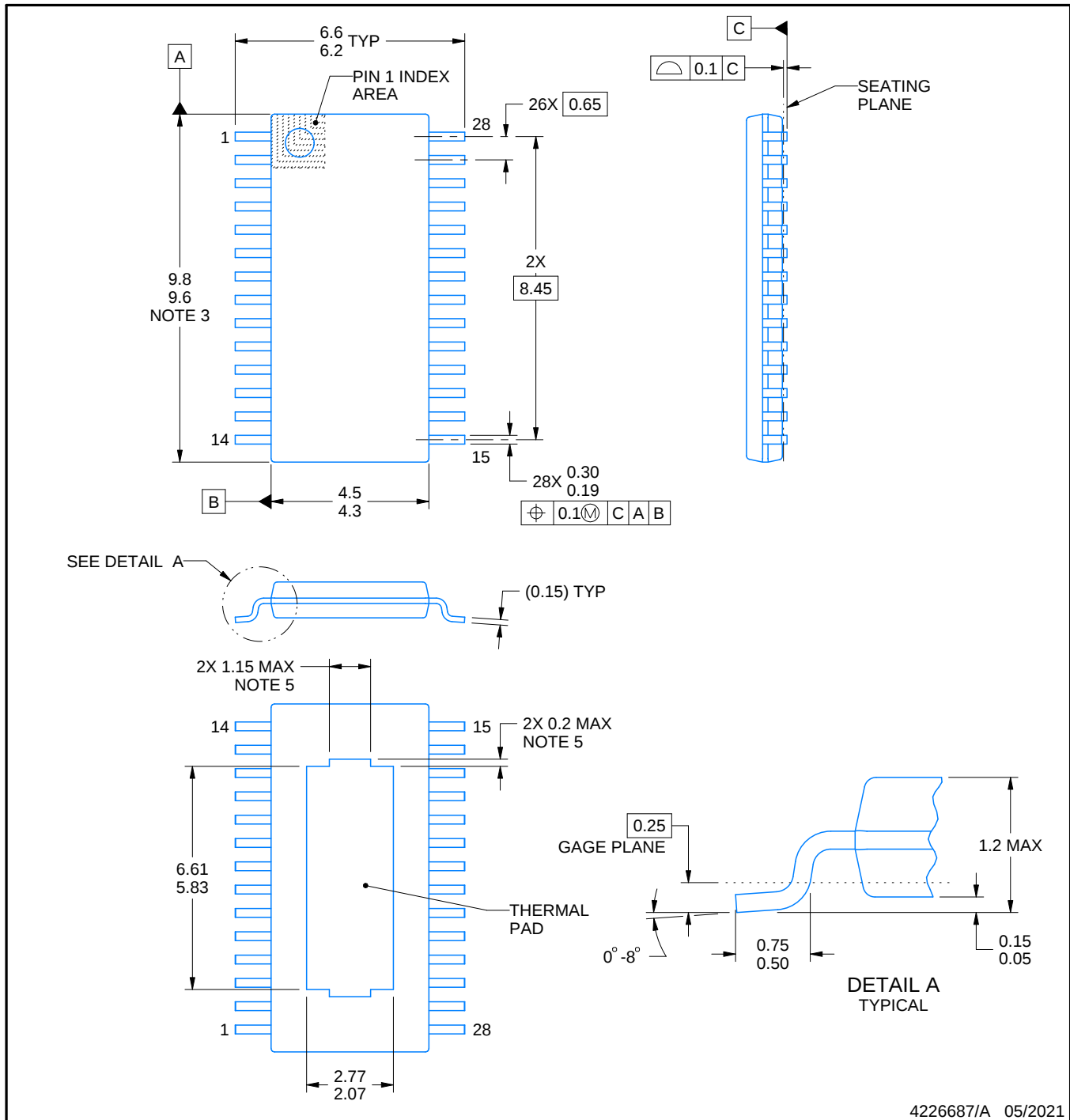
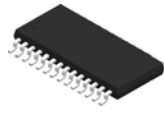
4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B



4226687/A 05/2021

NOTES:

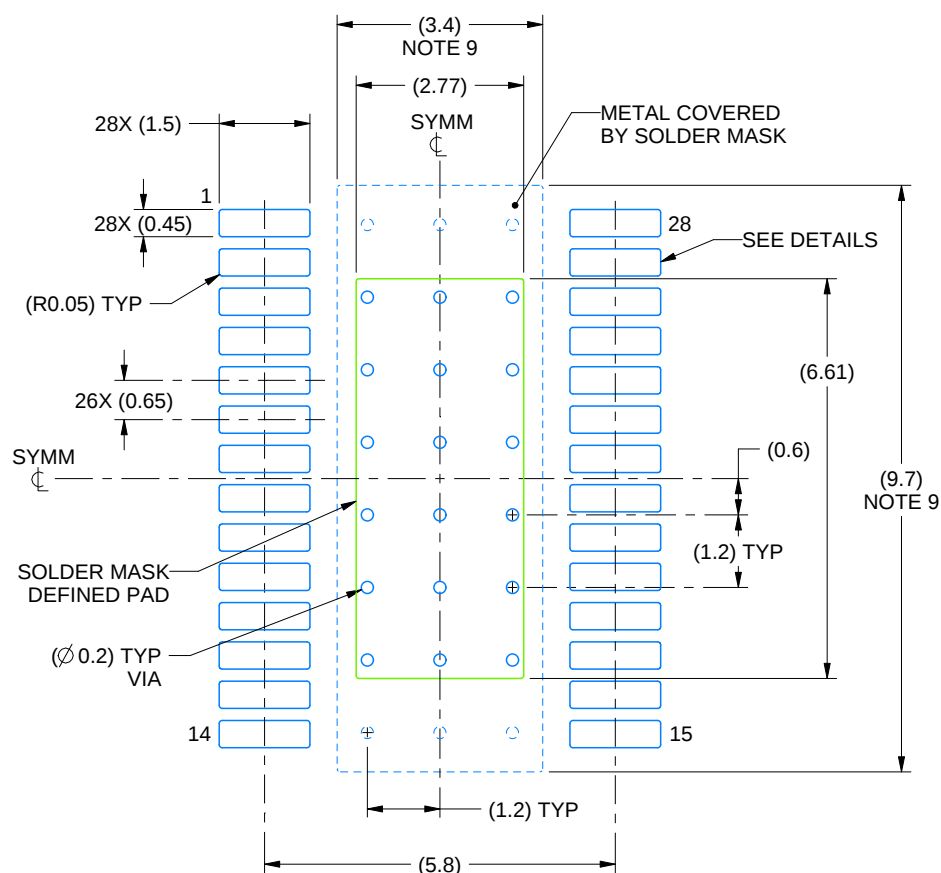
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

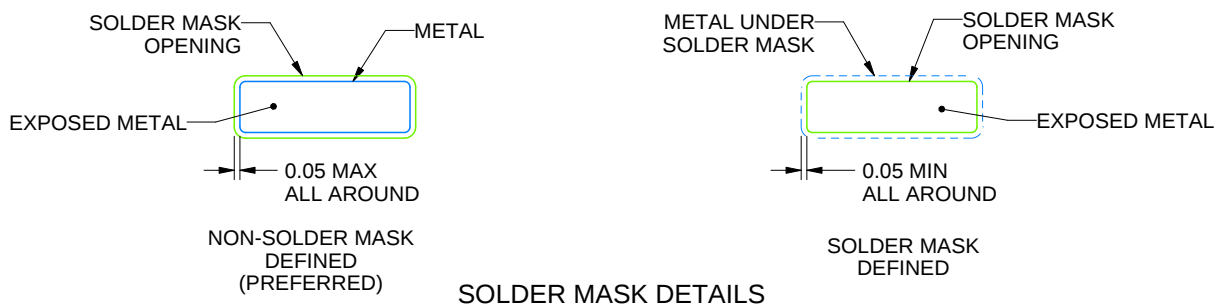
PWP0028T

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



4226687/A 05/2021

NOTES: (continued)

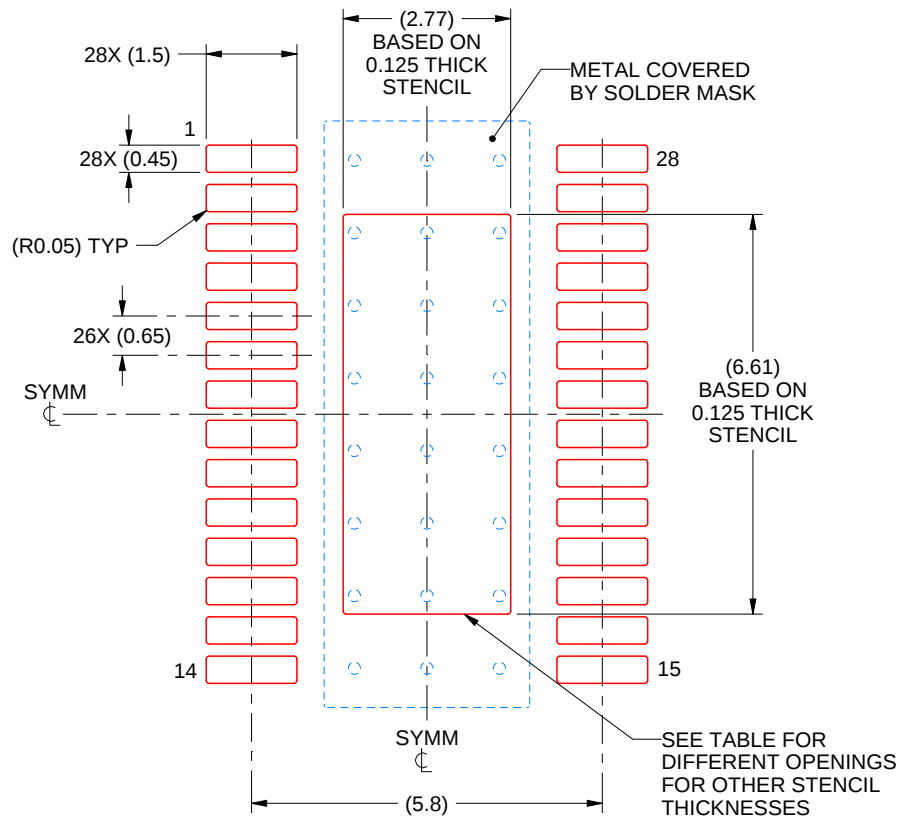
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

PWP0028T

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.10 X 7.39
0.125	2.77 X 6.61 (SHOWN)
0.15	2.53 X 6.03
0.175	2.34 X 5.59

4226687/A 05/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

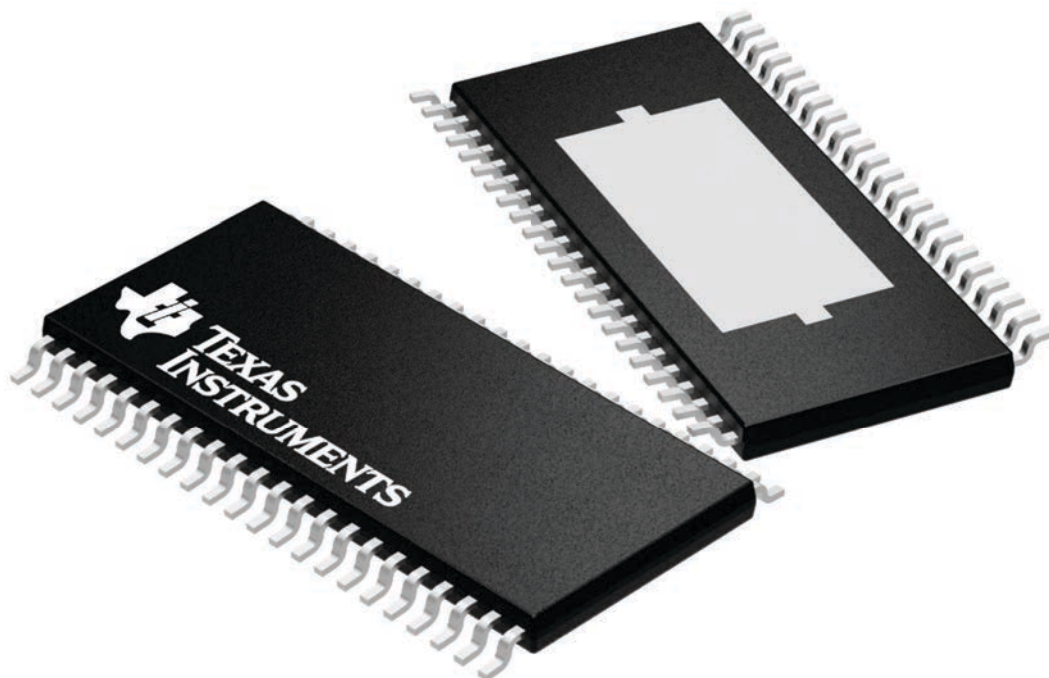
DDW 44

PowerPAD TSSOP - 1.2 mm max height

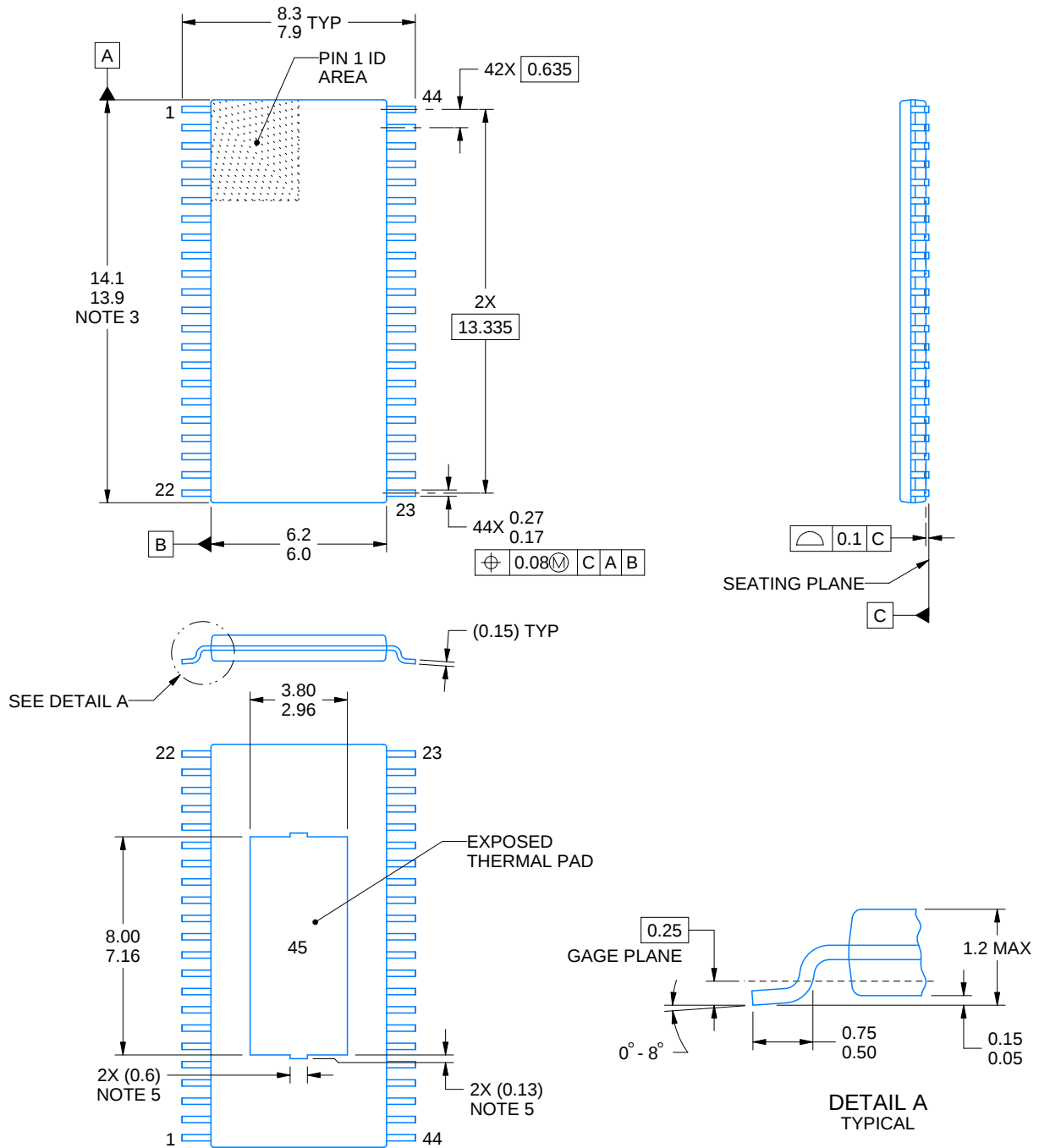
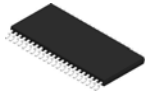
6.1 x 14, 0.635 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224876/A



4226764/A 05/2021

NOTES:

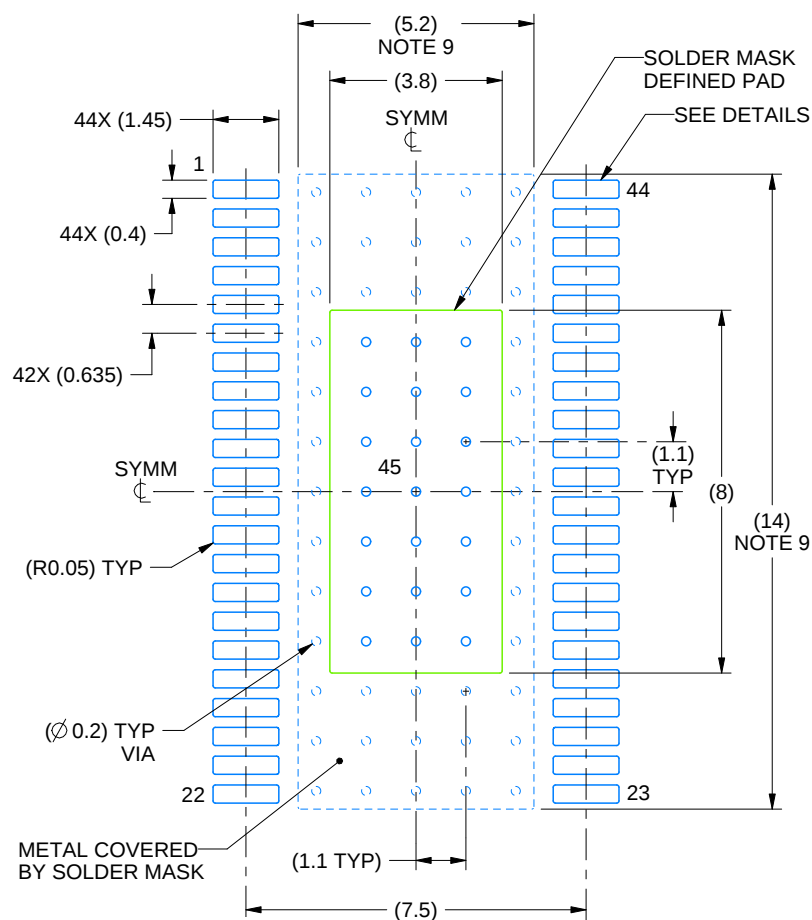
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

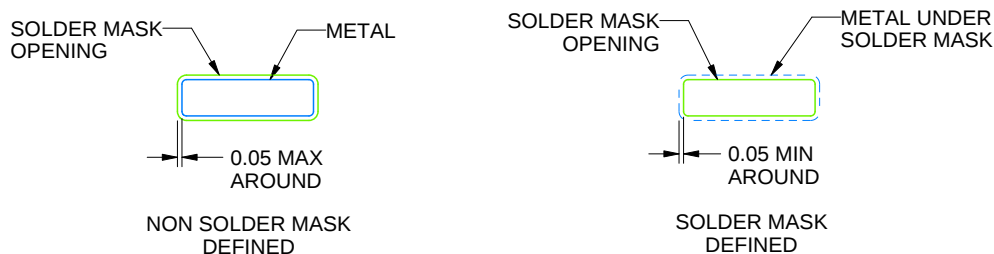
DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4226764/A 05/2021

NOTES: (continued)

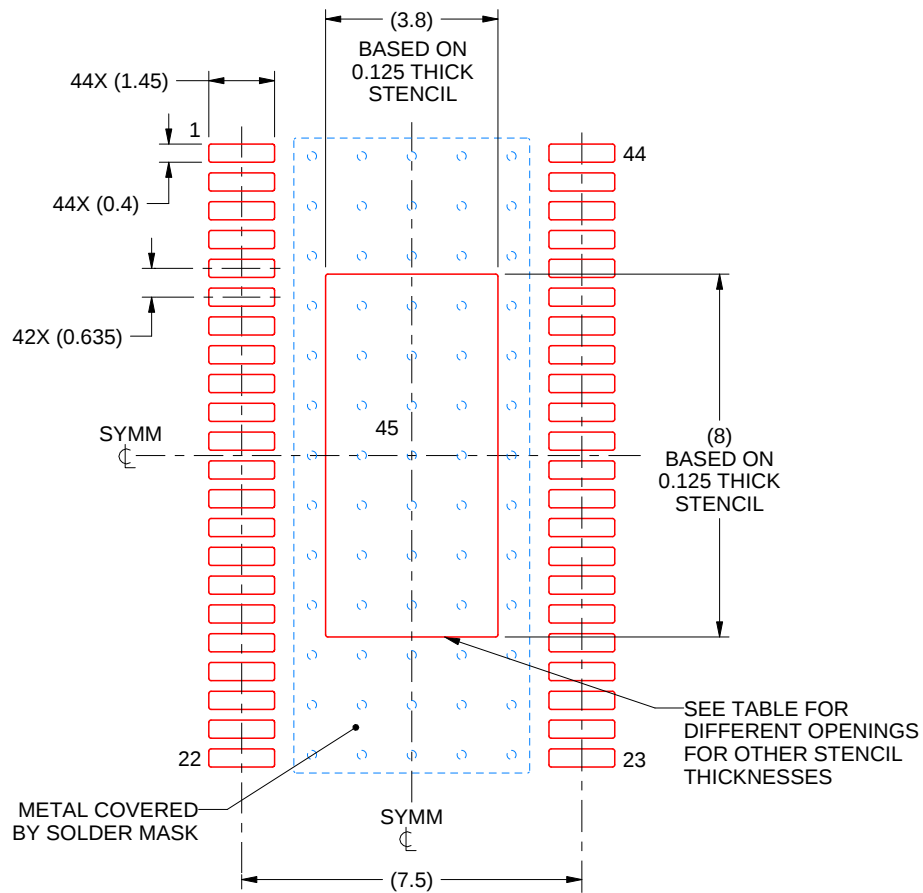
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
 PAD 45:
 100% PRINTED SOLDER COVERAGE BY AREA
 SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

4226764/A 05/2021

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated