

ステッピング・モータ・コントローラIC

特長

- PWM (パルス幅変調) マイクロステッピング・モータ・ドライバ
 - マイクロステッピング・インデクサを内蔵
 - 巻線あたり最大2.5A
 - 3ビットの巻線電流制御により最大8つの電流レベルを設定可能
 - 低MOSFETオン抵抗
- 動作電源電圧範囲：8V ~ 38V
- 熱特性を強化した表面実装パッケージ

アプリケーション

- プリンタ
- スキャナ
- OA機器
- ゲーム機
- FA機器
- ロボット

概要

DRV8811は、プリンタやスキャナなどのOA機器アプリケーション等に対して、様々なステッピング・モータ・ドライバソリューションを提供します。2つのHブリッジ・ドライバに加え、ステッピング・モータ制御用のマイクロステッピング・インデクサ・ロジックを搭載しています。

それぞれの出力ドライバ・ブロックはNチャンネル・パワーMOSFETで構成され、フルHブリッジとしてモータを駆動します。

単純なステップ/方向インターフェイスにより、制御回路と簡単にインターフェイスできます。ピンを使用して、モータをフル・ステップ、1/2ステップ、1/4ステップ、または1/8ステップ・モードに設定できます。また、減衰モードとPWMオフ時間のプログラミングが可能です。

過電流保護、短絡保護、低電圧誤動作防止、および過熱保護のために、内部シャットダウン機能が用意されています。

DRV8811は、サーマル・パッド付きのPowerPAD™ 28ピンHTSSOPパッケージで供給されます。

製品情報⁽¹⁾

T _A	パッケージ ⁽²⁾	発注型番	捺印
-40°C ~ 85°C	PowerPAD™ (HTSSOP) – PWP	2000個 (1リール)	DRV8811PWPR
		50個 (1チューブ)	DRV8811PWP
			DRV8811

(1) 最新のパッケージおよびご発注情報については、このデータシートの巻末にある「付録：パッケージ・オプション」を参照するか、TIのWebサイト (www.ti.com または www.tij.co.jp) をご覧ください。

(2) パッケージ図面、熱特性データ、記号の意味については、www.ti.com/packaging を参照してください。

PowerPADは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

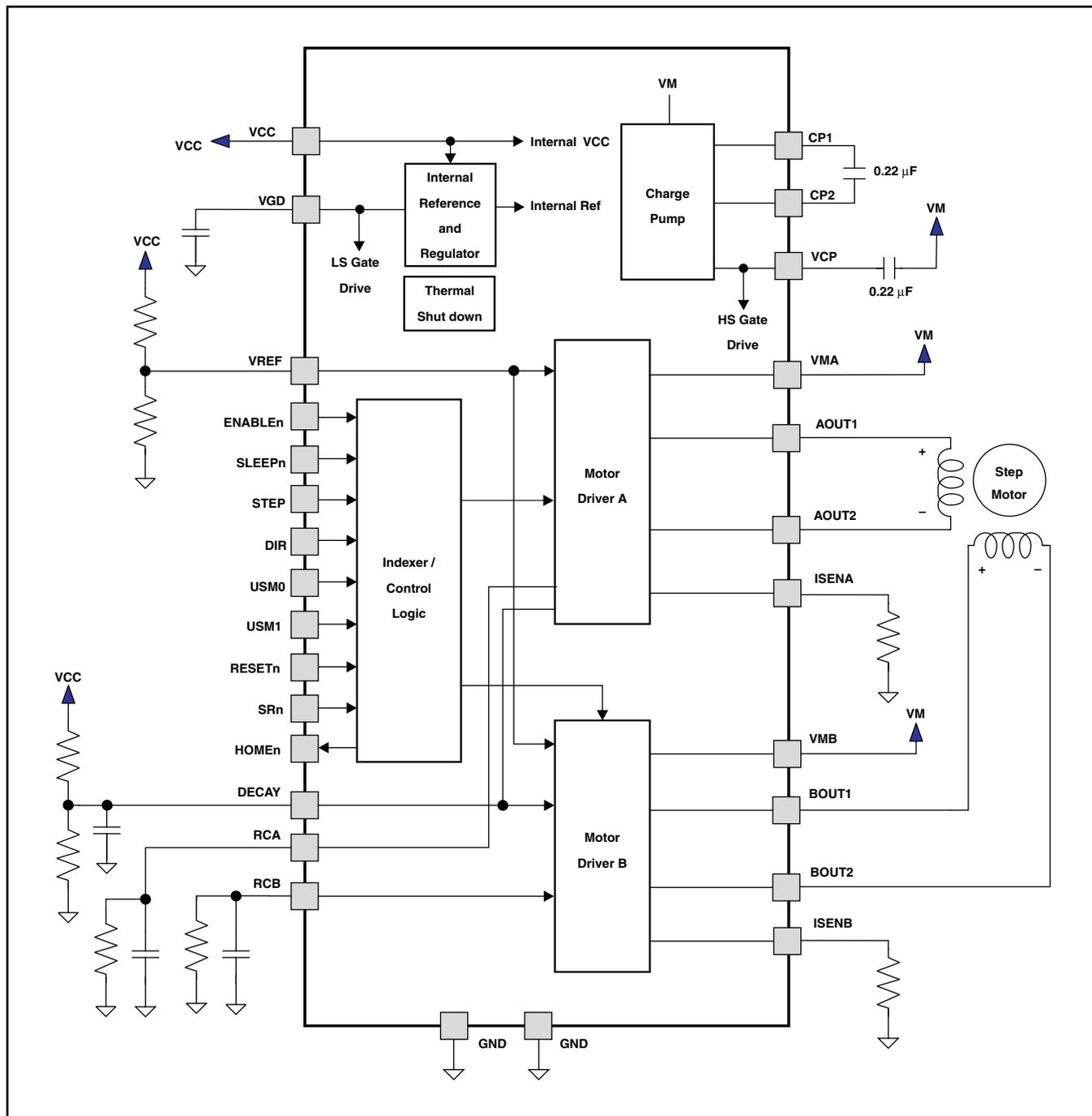


静電気放電対策

ESDはこの集積回路にダメージを与えることがあります。テキサス・インスツルメンツ社は、全ての集積回路に適切なESD対策が行われることを推奨します。この適切な取扱いや取付け手順が守られない場合には、素子にダメージを与えることがあります。

ESDが与えるダメージには、素子へ微妙な性能劣化から完全な素子故障まで様々な症状に及びます。非常に些細なパラメータの変化でもその素子の仕様を満足しなくなることがあり、高詳細な集積回路はさらにESDによる影響を受けやすい場合があります。

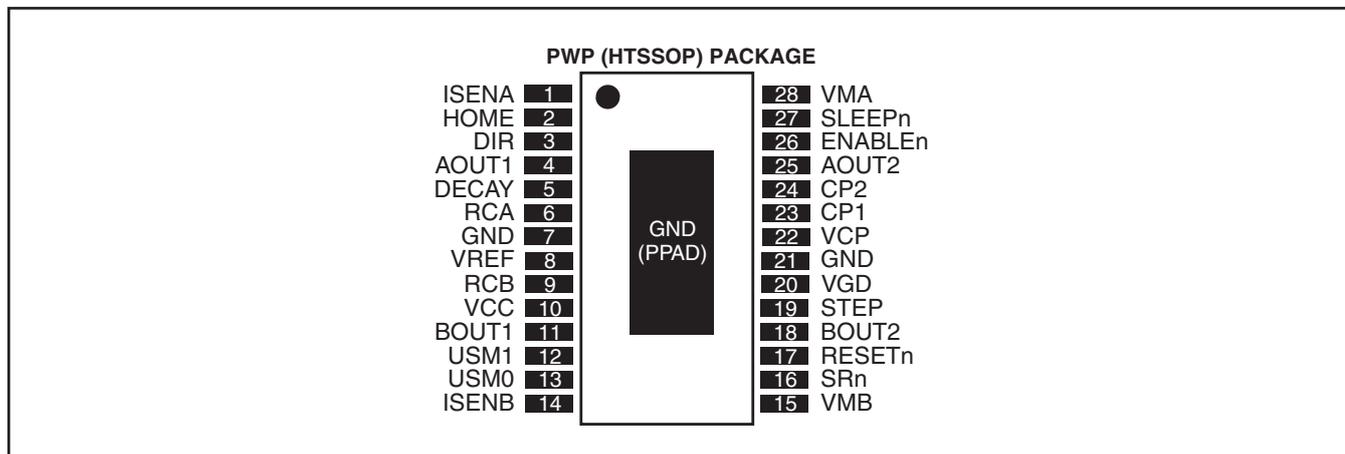
機能ブロック図



端子機能

名前	ピン	I/O ⁽¹⁾	説明	外部部品または接続
電源およびグランド				
GND	7, 21	-	デバイスのグランド	
VMA	28	-	ブリッジAの電源	モータの電源(8V~38V)に接続します。両方のピンを同じ電源に接続する必要があります。
VMB	15	-	ブリッジBの電源	モータの電源(8V~38V)に接続します。両方のピンを同じ電源に接続する必要があります。
VCC	10	-	ロジック電源電圧	3V~5Vのロジック電源に接続します。0.1μFのセラミック・コンデンサを使用してGNDにバイパスします。
CP1	23	IO	チャージ・ポンプ用 フライング・コンデンサ	CP1とCP2の間に0.22μFのコンデンサを接続します。
CP2	24	IO	チャージ・ポンプ用 フライング・コンデンサ	CP1とCP2の間に0.22μFのコンデンサを接続します。
VCP	22	IO	ハイサイド・ゲート駆動電圧	V _M との間に0.22μFのセラミック・コンデンサを接続します。
VGD	20	IO	ローサイド・ゲート駆動電圧	0.22μFのセラミック・コンデンサを使用してGNDにバイパスします。
制 御				
ENABLEn	26	I	イネーブル入力	入力“H”時、デバイスの出力がディセーブルになり、“L”時はイネーブルになります。
SLEEPn	27	I	スリープ・モード入力	入力“H”時、デバイスがイネーブルになり、“L”時は低電力スリープ・モードになります。
DECAY	5	I	減衰モード選択	印加する電圧によって減衰モードが設定されます。詳細については、モータ・ドライバの説明を参照してください。0.1μFのセラミック・コンデンサを使用してGNDにバイパスします。
STEP	19	I	ステップ入力	立ち上がりエッジでインデクサが1ステップ移動します。
DIR	3	I	方向入力	レベルによってステッピング方向を設定します。
USM0	13	I	マイクロステップ・モード0	USM0およびUSM1によってステップ・モード(フル・ステップ、1/2ステップ、1/4ステップ、または1/8ステップ)を設定します。
USM1	12	I	マイクロステップ・モード1	USM0およびUSM1によってステップ・モード(フル・ステップ、1/2ステップ、1/4ステップ、または1/8ステップ)を設定します。
RESETn	17	I	リセット入力	アクティブ・ローのリセット入力により、インデクサ・ロジックが初期化され、“H”ブリッジ出力がディセーブルになります。
SRn	16	I	同期整流イネーブル入力	入力L時、同期整流がイネーブルになります。
VREF	8	I	電流設定リファレンス入力	巻線電流設定のリファレンス電圧。
RCA	6	I	ブリッジAのブランキング およびオフ時間調整	GNDとの間に並列の抵抗およびコンデンサを接続します。詳細については、モータ・ドライバの説明を参照してください。
RCB	9	I	ブリッジBのブランキング およびオフ時間調整	GNDとの間に並列の抵抗およびコンデンサを接続します。詳細については、モータ・ドライバの説明を参照してください。
ISENA	1	-	ブリッジAグランド / Isense	ブリッジAの電流センス抵抗に接続します。
ISENB	14	-	ブリッジBグランド / Isense	ブリッジBの電流センス抵抗に接続します。
出 力				
AOUT1	4	O	ブリッジA出力1	バイポーラ・ステッピング・モータの巻線Aに接続します。
AOUT2	25	O	ブリッジA出力2	正電流はAOUT1→AOUT2です。
BOUT1	11	O	ブリッジB出力1	バイポーラ・ステッピング・モータの巻線Bに接続します。
BOUT2	18	O	ブリッジB出力2	正電流はBOUT1→BOUT2です。
HOMEEn	2	O	ホーム位置	ステップ・テーブルのホーム状態のとき、“L”になります。それ以外の状態では、“H”になります。

(1) 方向: I = 入力、O = 出力、OZ = 3ステート出力、OD = オープン・ドレイン出力、IO = 入力/出力



絶対最大定格 (1)(2)(3)

動作温度範囲内 (特に記述のない限り)

		MIN	MAX	単位
V_{MX}	電源電圧範囲	-0.3	40	V
V_{CC}	電源電圧範囲	-0.3	7	V
	デジタル・ピン電圧範囲	-0.5	V_{CC}	V
V_{REF}	入力電圧範囲	-0.3 V	V_{CC}	V
	ISENSExピン電圧範囲	-0.3	0.5	V
$I_{O(peak)}$	ピーク・モータ駆動出力電流、 $t < 1\mu s$		6	A
I_O	連続モータ駆動出力電流		± 2.5	A
P_D	連続合計消費電力	「定格消費電力」の表を参照		
T_J	動作仮想接合部温度範囲	-40	150	°C
T_A	動作周囲温度範囲	-40	85	°C
T_{stg}	保存温度範囲	-60	150	°C

- (1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
- (2) すべての電圧値は回路のグランド端子を基準としています。
- (3) 消費電力および温度の制限に従う必要があります。

定格消費電力

基板	パッケージ	$R_{\theta JA}$	ディレーティング係数、 $T_A = 25^\circ C$ 以上	$T_A < 25^\circ C$	$T_A = 70^\circ C$	$T_A = 85^\circ C$
Low-K ⁽¹⁾	PWP	67.5°C/W	14.8 mW/°C	1.85 W	1.18 W	0.96 W
Low-K ⁽²⁾	PWP	39.5°C/W	25.3 mW/°C	3.16 W	2.02 W	1.64 W
High-K ⁽³⁾	PWP	33.5°C/W	29.8 mW/°C	3.73 W	2.38 W	1.94 W
High-K ⁽⁴⁾	PWP	28°C/W	35.7 mW/°C	4.46 W	2.85 W	2.32 W

- (1) このデータを得るために使用したJEDEC Low-K基板は、裏面に銅領域のない76mm × 114mm、2層、1.6mm厚のPCBです。
- (2) このデータを得るために使用したJEDEC Low-K基板は、裏面に25cm²の2オンス銅領域を形成した76mm × 114mm、2層、1.6mm厚のPCBです。
- (3) このデータを得るために使用したJEDEC High-K基板は、裏面に銅領域のない76mm × 114mm、4層、1.6mm厚のPCBであり、ソリッドな1オンスの内部グランド・プレーンを持ちます。
- (4) このデータを得るために使用したJEDEC High-K基板は、裏面に25cm²の1オンス銅領域を形成した76mm × 114mm、4層、1.6mm厚のPCBであり、ソリッドな1オンスの内部グランド・プレーンを持ちます。

推奨動作条件

動作温度範囲内 (特に記述のない限り)

		MIN	NOM	MAX	単位
V_M	モータ電源電圧範囲 ⁽¹⁾	8		38	V
V_{CC}	ロジック電源電圧範囲	3		5.5	V
V_{REF}	VREF入力電圧			V_{CC}	V

- (1) すべての V_M ピンを同じ電源電圧に接続する必要があります。

電気的特性

動作温度範囲内 (特に記述のない限り)

パラメータ		測定条件	MIN	TYP	MAX	単位
電源						
I_{VM}	V_M 動作電源電流	$V_M = 35\text{ V}$, $f_{PWM} < 50\text{ KHz}$		4.5	8	mA
I_{VCC}	V_{CC} 動作電源電流	$f_{PWM} < 50\text{ KHz}$		0.4	4	mA
I_{VMQ}	V_M スリープ・モード電源電流	$V_M = 35\text{ V}$		12	20	μA
I_{VCCQ}	V_{CC} スリープ・モード電源電流			5	20	μA
V_{UVLO}	V_M 低電圧誤動作防止電圧	V_M 上昇時		6.7	8	V
	V_{CC} 低電圧誤動作防止電圧	V_{CC} 上昇時		2.71	2.95	
VREF入力/電流制御精度						
I_{REF}	VREF入力電流	$VREF = 3.3\text{ V}$	-3		3	μA
ΔI_{CHOP}	チョッピング電流精度	$VREF = 2.0\text{V}$ 、70%~100%電流	-5		5	%
		$VREF = 2.0\text{V}$ 、20%~56%電流	-10		10	%
論理レベル入力						
V_{IL}	入力 “Low” 電圧				$0.3 \times V_{CC}$	V
V_{IH}	入力 “High” 電圧		$0.7 \times V_{CC}$			V
I_{IL}	入力 “Low” 電流	$V_{IN} = 0.3 \times V_{CC}$	-20		20	μA
I_{IH}	入力 “High” 電流	$V_{IN} = 0.3 \times V_{CC}$	-20		20	μA
HOMEn出力						
V_{OL}	出力 “Low” 電圧	$I_O = 200\ \mu\text{A}$			$0.3 \times V_{CC}$	V
V_{OH}	出力 “High” 電圧	$I_O = -200\ \mu\text{A}$	$0.7 \times V_{CC}$			V
減衰入力						
V_{IL}	入力 “Low” スレッシュホールド電圧	高速減衰モード時		$0.21 \times V_{CC}$		V
V_{IH}	入力 “High” スレッシュホールド電圧	低速減衰モード時		$0.6 \times V_{CC}$		V
HブリッジFET						
$R_{ds(on)}$	High side FETオン抵抗	$V_M = 24\text{ V}$, $I_O = 2.5\text{ A}$, $T_J = 25^\circ\text{C}$		0.50		Ω
		$V_M = 24\text{ V}$, $I_O = 2.5\text{ A}$, $T_J = 85^\circ\text{C}$		0.60	0.75	
$R_{ds(on)}$	Low side FETオン抵抗	$V_M = 24\text{ V}$, $I_O = 2.5\text{ A}$, $T_J = 25^\circ\text{C}$		0.50		Ω
		$V_M = 24\text{ V}$, $I_O = 2.5\text{ A}$, $T_J = 85^\circ\text{C}$		0.60	0.75	
I_{OFF}			-20		20	μA
モータ・ドライバ						
t_{OFF}	オフ時間	$R_x = 56\text{ k}\Omega$, $C_x = 680\text{ pF}$	30	38	46	μs
t_{BLANK}	電流センス・ブランキング時間	$R_x = 56\text{ k}\Omega$, $C_x = 680\text{ pF}$	700	950	1200	ns
t_{DT}	デッド・タイム ⁽¹⁾	$SR_n = 0$	100	475	800	ns
保護回路						
I_{OCP}	過電流保護トリップ・レベル		2.5	4.5	6.5	A
t_{TSD}	過熱シャットダウン温度 ⁽¹⁾	ダイ温度	150	160	180	$^\circ\text{C}$

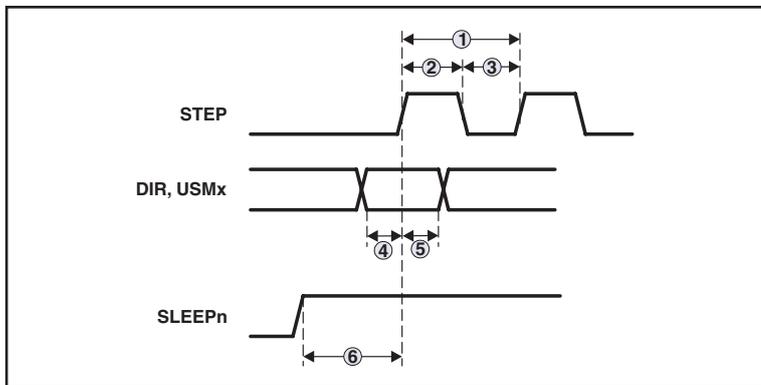
(1) 設計保証値であり、テストは行っていません。

タイミング要件

動作温度範囲内 (特に記述のない限り)

	パラメータ		MIN	MAX	単位
①	f_{STEP}	ステップ周波数		500	kHz
②	$t_{WH(STEP)}$	パルス幅、STEP “High”	1		μs
③	$t_{WL(STEP)}$	パルス幅、STEP “Low”	1		μs
④	$t_{SU(STEP)}$	セットアップ時間、コマンド~STEP立ち上がり	200		ns
⑤	$t_{H(STEP)}$	ホールド時間、コマンド~STEP立ち上がり	200		ns
⑥	t_{WAKE}	ウェイクアップ時間、SLEEPn非アクティブ~STEP	1		ms

次ページのタイミング図の①~⑥に相当する。



機能説明

PWM Hブリッジ・ドライバ

DRV8811には、電流制御PWM回路とマイクロステッピング・インデクサを持つ2つのHブリッジ・モータ・ドライバが搭載されています。モータ制御回路のブロック図を次に示します。

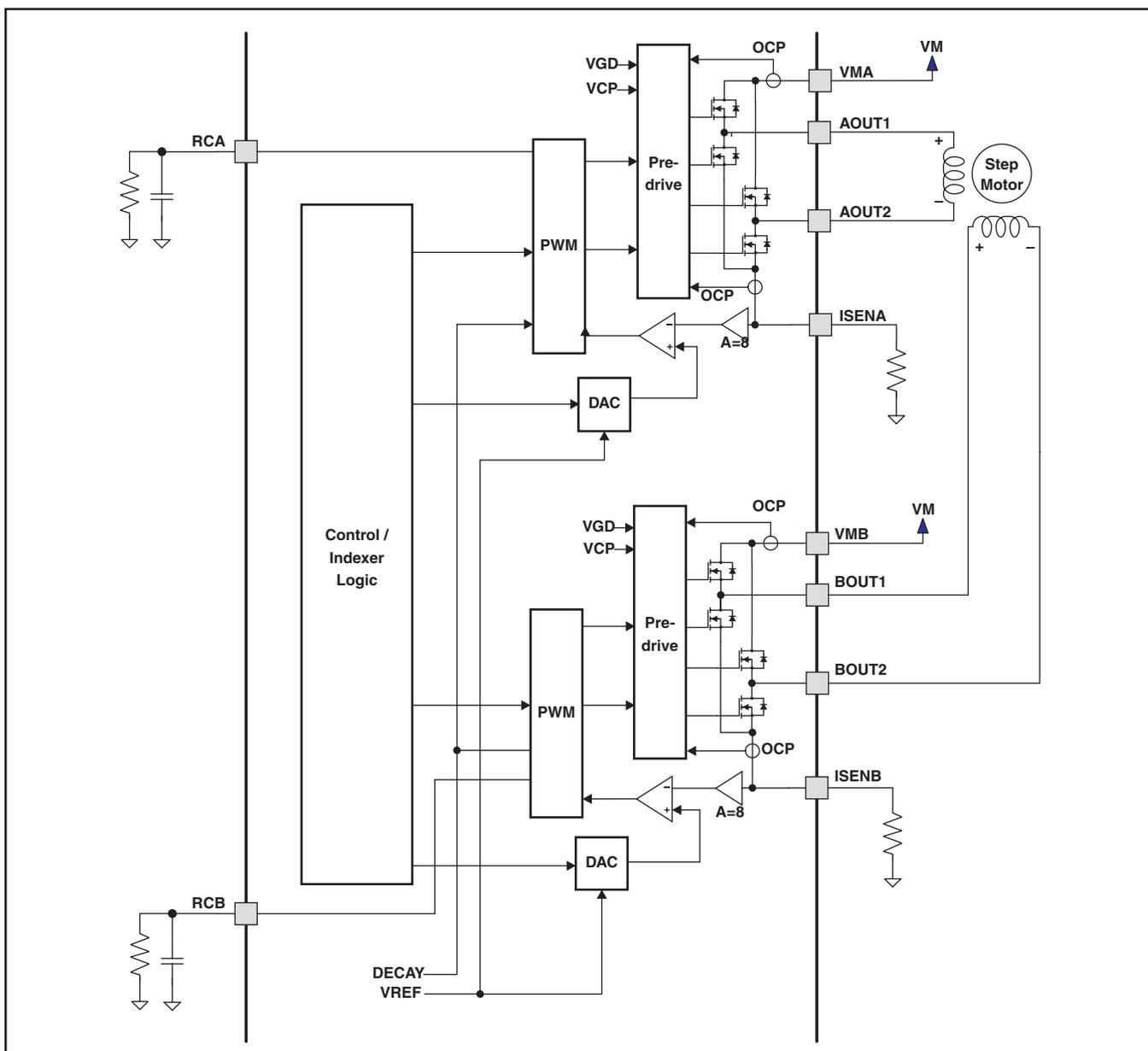


図 1. ブロック図

電流レギュレーション

PWMチョッピング電流は、コンパレータによって設定されます。コンパレータは、電流センス抵抗両端の電圧(8倍値)を、リファレンス電圧と比較します。リファレンス電圧は、VREFピンから入力されます。フルスケール(100%)チョッピング電流は、次の式で計算されます。

$$I_{CHOP} = \frac{V_{REFX}}{8 \cdot R_{ISENSE}} \quad (1)$$

例：

0.22Ωのセンス抵抗を使用し、VREFxピンが3.3Vの場合、フルスケール(100%)チョッピング電流は $3.3V / (8 \times 0.22\Omega) = 1.875A$ となります。

また、リファレンス電圧は内部DACでスケールされ、それによってバイポーラ・ステッピング・モータの分数ステッピングに対するトルク制御が可能になります。後述の「マルチステッピング・インデクサ」を参照してください。

巻線がアクティブになると、その巻線を通る電流が増加し、前述のチョッピング電流スレッシュホールドに達すると、固定されたオフ時間にわたって電流がオフになります。このオフ時間は、RCA(ブリッジA)およびRCB(ブリッジB)ピンに接続された抵抗とコンデンサの値によって決まります。オフ時間は次の式で近似されます。

$$t_{OFF} = R \cdot C \quad (2)$$

巻線が最初にアクティブになったときの過渡電流による誤差を防ぐため、FETをオンにした直後にブランキング期間が設けられています。この期間中は、電流センス・コンパレータの状態が無視されます。ブランキング期間は、RCxピンに接続されたコンデンサの値によって決まり、次の式で近似されます。

$$t_{BLANK} = 1400 \cdot C \quad (3)$$

減衰モード

PWM電流チョッピング中は、PWM電流スレッシュホールドに達するまでの間、Hブリッジによるモータ巻線の駆動がイネーブルになります。これは、図2の①で示されています。図中の電流の流れの方向は、ステップ表での正の電流の流れを示しています。

チョッピング電流スレッシュホールドに達すると、Hブリッジは2つの異なる状態、高速モードまたは低速減衰モードで動作できます。

高速モードでは、PWMチョッピング電流レベルに達すると、Hブリッジが状態を反転して、巻線電流が逆方向に流れるようにします。同期整流がイネーブル(SRnピンが“Low”)の場合は、対向する両FETがオンになります。巻線電流がゼロに近づくと、ブリッジがデイスエーブルになり、逆方向の電流が停止されます。SRnが“High”の場合は、電流がボディ・ダイオード経由または外部ショットキー・ダイオード経由で再循環されます。高速モードは、図2の②で示されています。

低速減衰モードでは、ブリッジ内の両方のローサイドFETを

イネーブルにすることで、巻線電流が再循環されます。これは、図2の③で示されています。DRV8811は、混合減衰モードもサポートしています。

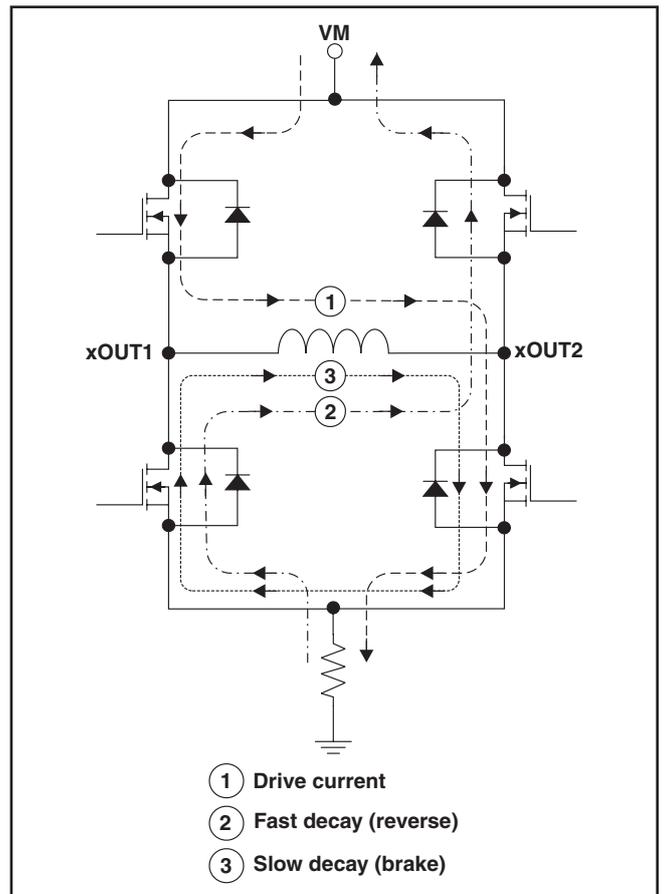


図 2. 減衰モード

混合減衰モードは、高速モードから開始されますが、ある一定の時間が経過すると低速減衰モードに切り替わり、固定オフ時間の残りの時間は低速減衰モードに保持されます。

高速および混合減衰モードは、巻線を通る電流の減少時のみアクティブとなります。電流の増加時は、常に低速減衰が使用されます。

どの減衰モードを使用するかは、DECAYピンの電圧によって選択されます。この電圧が $0.6 \times V_{CC}$ より高い場合は、常に低速減衰モードが使用されます。DECAYが $0.21 \times V_{CC}$ より低い場合、巻線を通る電流の減少時は高速モードで動作します。電圧がこれらのレベルの間の範囲である場合は、混合減衰モードが使用されます。

混合減衰モードでは、DECAYピンの電圧によって、サイクル内のどの時点で低速減衰モードへ変化するかが設定されます。これは、次の式で近似できます。

$$t_{FD} = R \cdot C \cdot \ln \left(\frac{0.6 \cdot V_{CC}}{V_{DECAY}} \right) \quad (4)$$

ブランキング、固定オフ時間、および混合減衰モードの動作を図3に示します。

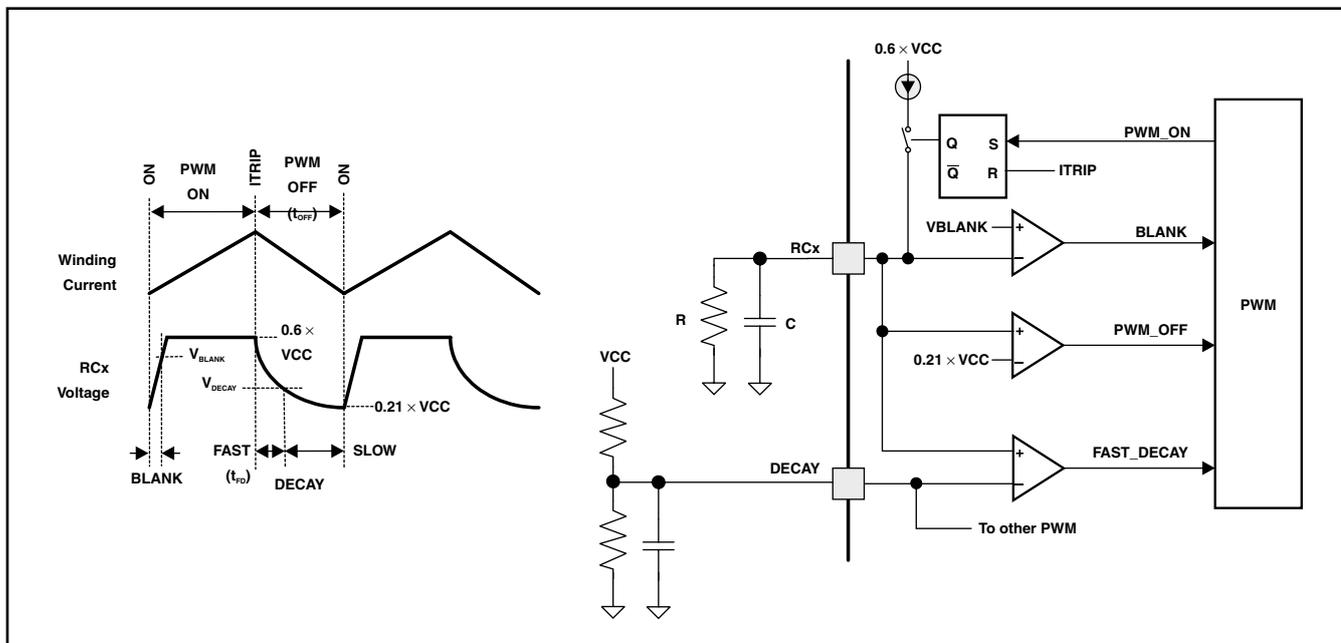


図 3. PWM

マイクロステッピング・インデクサ

DRV8811の内蔵インデクサ・ロジックによって、いくつかの異なるステッピング構成を使用できます。次の表に示すように、USM1およびUSM0ピンを使用してステッピング・モードを設定できます。

USM1	USM0	ステップ・モード
0	0	フル・ステップ (2相励起)
0	1	1/2ステップ (1-2相励起)
1	0	1/4ステップ (W1-2相励起)
1	1	8マイクロステップ/ステップ

次の表に、USM1およびUSM0の各設定に対する相対電流およびステップ方向を示します。STEP入力の各立ち上がりエッジで、インデクサは表内の次の状態に移行します。方向はDIRピンが“High”の場合です。DIRピンが“Low”の場合は、シーケンスが逆になります。正の電流は、xOUT2を基準にxOUT1 = 正と定義されています。

ホーム状態は45度です。この状態は、パワーアップ時、またはデバイスのリセット時の状態です。この状態では、HOMEn出力ピンが“Low”になります。他のすべての状態では、このピンは“High”となります。

フル・ステップ USM = 00	1/2ステップ USM = 01	1/4ステップ USM = 10	1/8ステップ USM = 11	AOUTx電流 (フルスケールに 対する%)	BOUTx電流 (フルスケールに 対する%)	ステップ角(度)
	1	1	1	100	0	0
			2	98	20	11.325
		2	3	92	38	22.5
			4	83	56	33.75
1	2	3	5	71	71	45 (ホーム状態)
			6	56	83	56.25
		4	7	38	92	67.5
			8	20	98	78.75
	3	5	9	0	100	90
			10	-20	98	101.25
		6	11	-38	92	112.5
			12	-56	83	123.75
2	4	7	13	-71	71	135
			14	-83	56	146.25
		8	15	-92	38	157.5

フル・ステップ USM = 00	1/2ステップ USM = 01	1/4ステップ USM = 10	1/8ステップ USM = 11	AOUTx電流 (フルスケールに 対する%)	BOUTx電流 (フルスケールに 対する%)	ステップ角(度)
			16	-98	20	168.75
	5	9	17	-100	0	180
			18	-98	-20	191.25
		10	19	-92	-38	202.5
			20	-83	-56	213.75
3	6	11	21	-71	-71	225
			22	-56	-83	236.25
		12	23	-38	-92	247.5
			24	-20	-98	258.75
	7	13	25	0	-100	270
			26	20	-98	281.25
		14	27	38	-92	292.5
			28	56	-83	303.75
4	8	15	29	71	-71	315
			30	83	-56	326.25
		16	31	92	-38	337.5
			32	98	-20	348.75

RESETn、ENABLEn、およびSLEEPn動作

RESETnピンが“Low”になると、ステップ・テーブルがホーム位置にリセットされます。また、Hブリッジ・ドライバはディスエーブルになります。RESETnがアクティブである間は、STEP入力が無視されます。

ENABLEnピンは、出力ドライバの制御に使用されます。ENABLEnが“Low”のとき、Hブリッジがイネーブルになります。ENABLEnが“High”のときは、Hブリッジがディスエーブルで、出力がハイ・インピーダンス状態になります。

ENABLEnが“High”のとき、入力ピン、およびインデクサ (STEPおよびDIRピン) を含めた制御ロジックは引き続き機能しています。

SLEEPnピンは、デバイスを低電力状態にするために使用されます。SLEEPnが“Low”の場合、Hブリッジがディスエーブルとなり、ゲート駆動チャージ・ポンプが停止し、すべての内部クロックが停止します。この状態では、SLEEPnが“High”に戻るまで、すべての入力が無視されます。

保護回路

過電流保護 (OCP)

いずれかのFETを流れる電流が設定済みの過電流スレッシュホールドを超えた場合、Hブリッジ内のすべてのFETがディスエーブルになります。ENABLEnピンをいったん“High”にして再度“Low”にするか、または電源をいったん切断して再投入するまで、FETはイネーブルになりません。過電流状態は両方向でセンスされ (地絡、天絡、モータ巻線間の短絡)、すべての場合に過電流シャットダウンとなります。

過電流保護は、PWM電流制御用の電流センス回路を使って行われるのではなく、Isense抵抗値またはVREF電圧とは独立しています。

過熱シャットダウン (TSD)

内部チップ温度が設定温度を超えた場合、デバイス内のすべてのドライバがシャットダウンされ、インデクサはホーム状態にリセットされます。内部チップ温度が安全レベルまで低下すると、動作が再開されます。

低電圧誤動作防止 (UVLO)

任意の時点でVMの電圧がUVLOの電圧を下回った場合、デバイス内のすべての回路がディスエーブルになり、インデクサはホーム状態にリセットされます。VMが上昇してUVLOスレッシュホールドを超えると、動作が再開されます。

熱特性について

過熱保護

DRV8811には、前述のとおり、過熱シャットダウン (TSD) 機能があります。内部チップ温度が約150°Cを超えた場合、デバイスは、温度が安全なレベルに低下するまでディスエーブルとなります。

デバイスが過熱シャットダウン状態になりがちである場合には、消費電力が過剰であるか、ヒートシンクが不足しているか、または周囲温度が高すぎることを示しています。

消費電力

DRV8811の消費電力で大勢を占めるのは、出力FET抵抗 $R_{DS(ON)}$ で消費される電力です。ステッピング・モータを駆動したときの平均消費電力は、次の式でおおまかに見積もることができます。

$$P_{TOT} = 4 \cdot R_{DS(ON)} \cdot (I_{OUT(RMS)})^2 \quad (5)$$

ここで、 P_{TOT} は合計消費電力、 $R_{DS(ON)}$ は各FETの抵抗、 $I_{OUT(RMS)}$ は各巻線に流れるRMS出力電流です。 $I_{OUT(RMS)}$ は、フルスケール出力電流設定 $\times 0.7$ にほぼ等しくなります。係数の4は、2つのモータ巻線があり、各巻線について任意の時点で2つのFET (ハイサイドとローサイド) に巻線電流が流れているという事実によるものです。

DRV8811で消費できる最大電力は、周囲温度およびヒートシンクに依存します。図4および図5に、最大許容消費電力が温度およびPCB構成によってどのように変化するかを示しています。図4は、裏面に銅領域がないか、または24cm²の2オンス銅領域を形成した、76mm \times 114mm \times 1.6mm厚の2層JEDEC Low-K基板を使用したデータです。同様に、図5は、ソリッドな1オンスの内部グラウンド・プレーンを持つ、76mm \times 114mm \times 1.6mm厚の4層JEDEC Low-K基板を使用したデータです。この場合は、サーマル・ビアを使用してPowerPAD™をグラウンド・プレーンに接続しており、外層に追加の銅領域はありません。

$R_{DS(ON)}$ は温度とともに増加するため、デバイスの温度が上昇すると、消費電力は増加します。ヒートシンクのサイズを決定するには、この点を考慮する必要があります。図6を参照してください。

ヒートシンク

PowerPAD™パッケージは、露出したパッドを使用してデバイスから熱を除去します。適切な動作のためには、このパッドをPCB上の銅領域に熱的に接続して放熱させる必要があります。グラウンド・プレーンを持つ多層PCBでは、いくつかのビアを追加してサーマル・パッドをグラウンド・プレーンに接続することで、これを実現できます。内部プレーンのないPCBでは、PCBのいずれかの側に銅領域を追加することで放熱できます。銅領域がPCB上でデバイスとは反対側にある場合は、サーマル・ビアを使用して、上層から下層へと熱を伝達します。

PCBの設計方法の詳細については、TIアプリケーション・レポートSLMA002「PowerPAD™ Thermally Enhanced Package」およびTIアプリケーション・ブリーフSLMA004「PowerPAD™ Made Easy」を参照してください。いずれも、www.ti.comから入手できます。

一般に、より多くの銅領域を設けるほど、より大きな電力を消費できます。図7は、2オンス銅のヒートシンク領域を持つ片面PCBでの熱抵抗と銅プレーン面積の関係を示しています。ヒートシンクの効果は約20cm²まで急激に増加した後、それより大きな面積ではやや平坦になることがわかります。

消費電力 (2層)

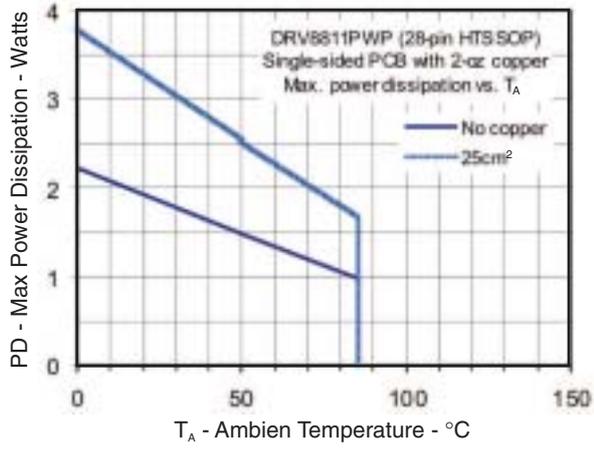


図 4

消費電力 (4層)

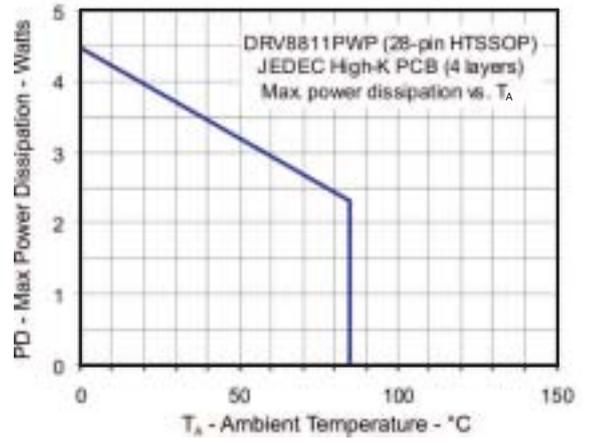


図 5

標準 $R_{DS(ON)}$ 对 温度

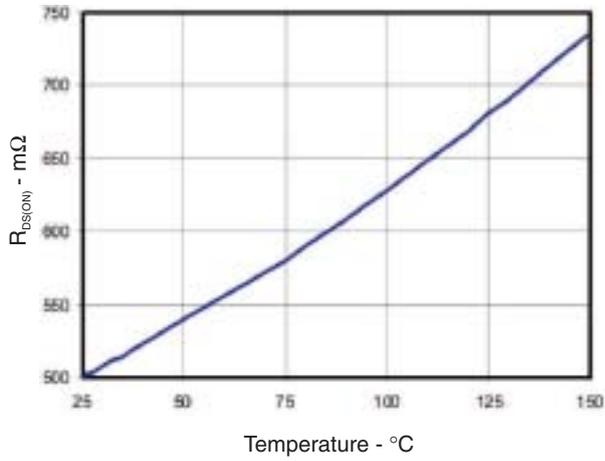


図 6

熱抵抗 对 銅面積

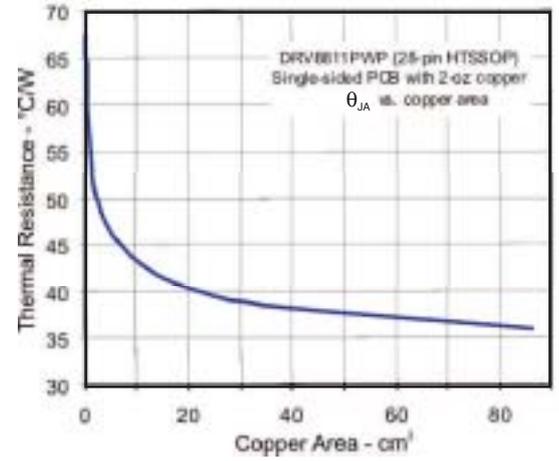


図 7

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
DRV8811PWP	ACTIVE	HTSSOP	PWP	28	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
DRV8811PWPR	ACTIVE	HTSSOP	PWP	28	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

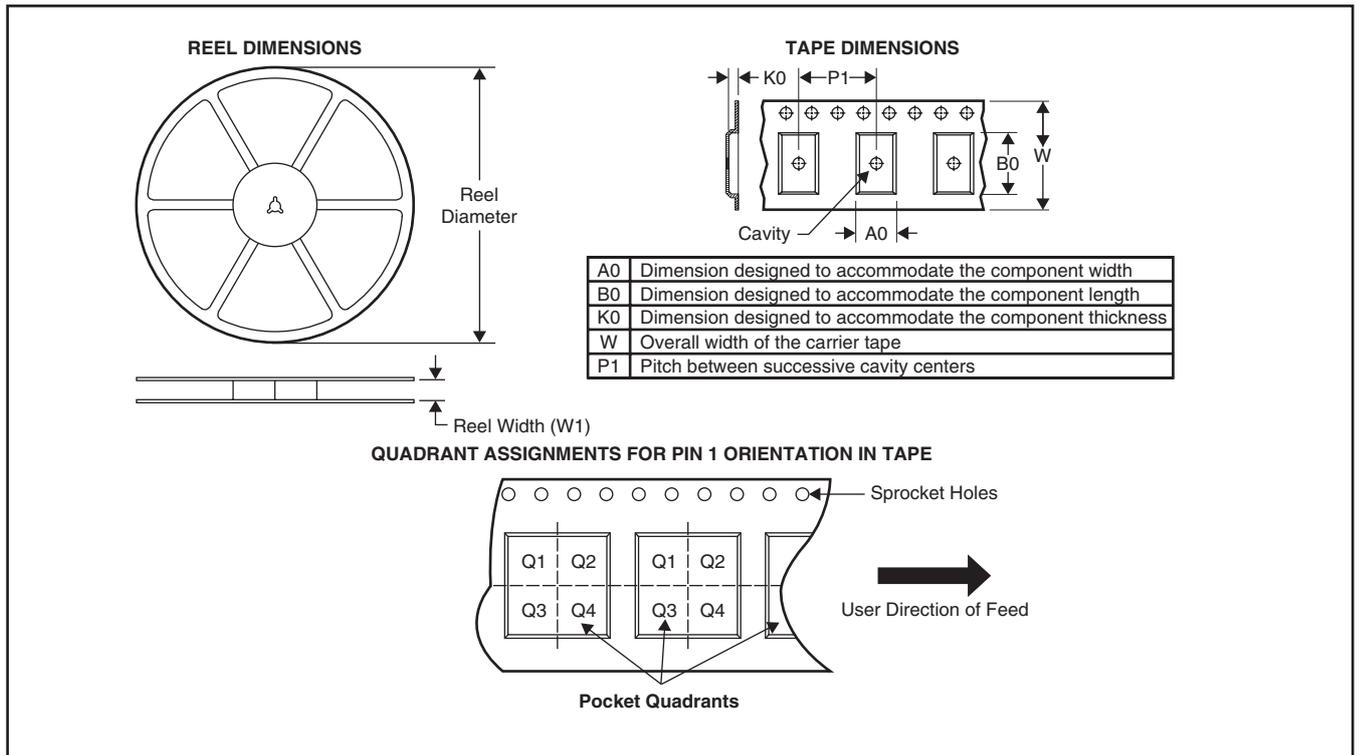
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

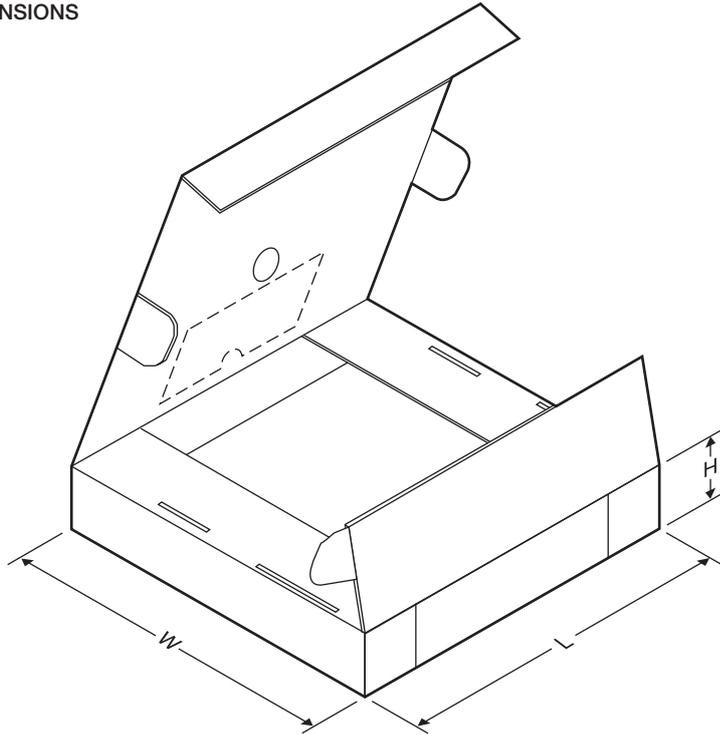


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8811PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1

パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

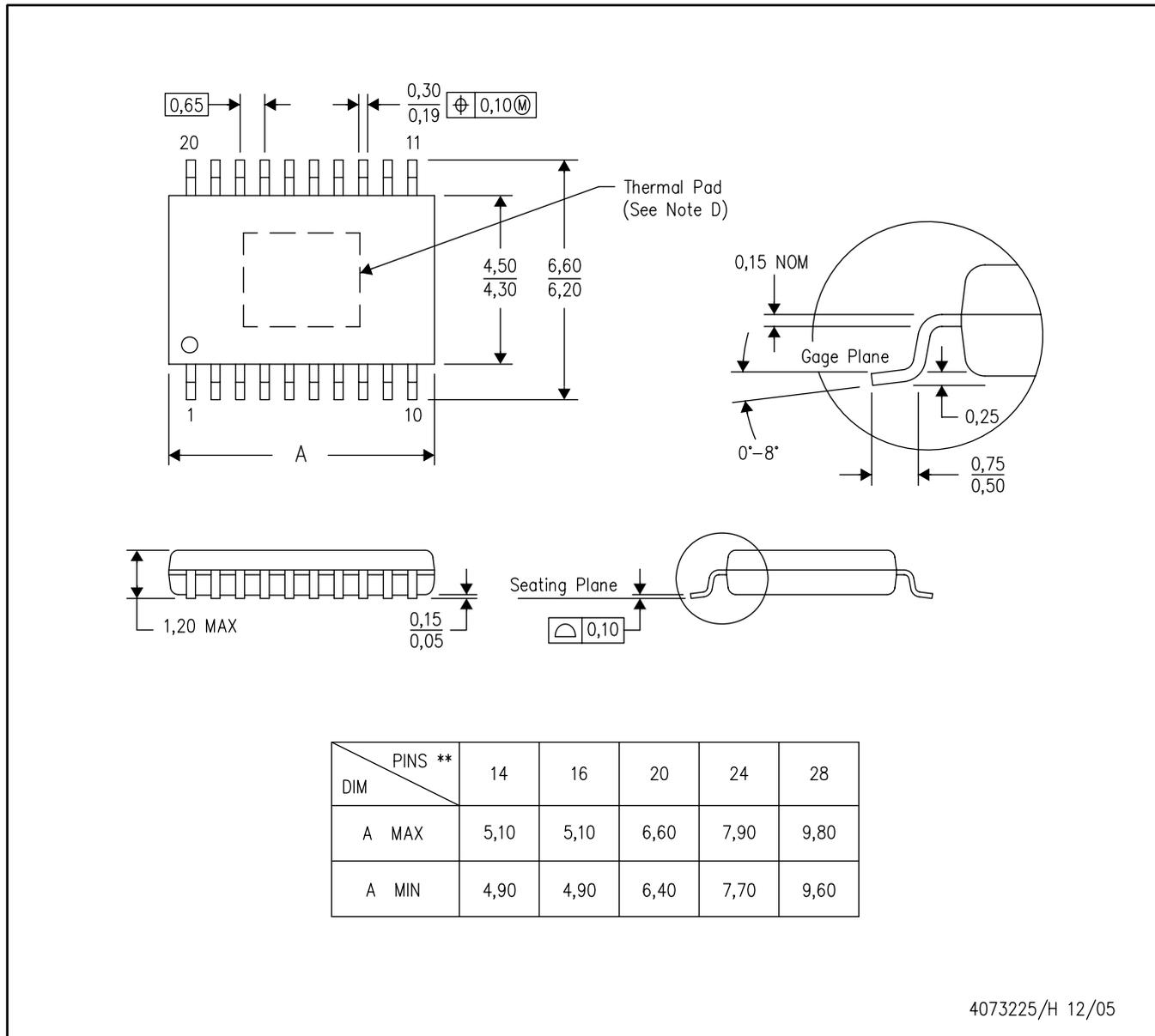
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8811PWPR	HTSSOP	PWP	28	2000	346.0	346.0	33.0

メカニカル・データ

PWP (R-PDSO-G**)

20 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE PACKAGE



4073225/H 12/05

注： A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. 本体寸法にはバリや突起を含みません。バリおよび突起は、各辺0.15を超えてはなりません。

D. このパッケージは、基板上的サーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』（TI文献番号SLMA002）を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。

E. JEDEC MO-153に適合しています。

サーマルパッド・メカニカル・データ

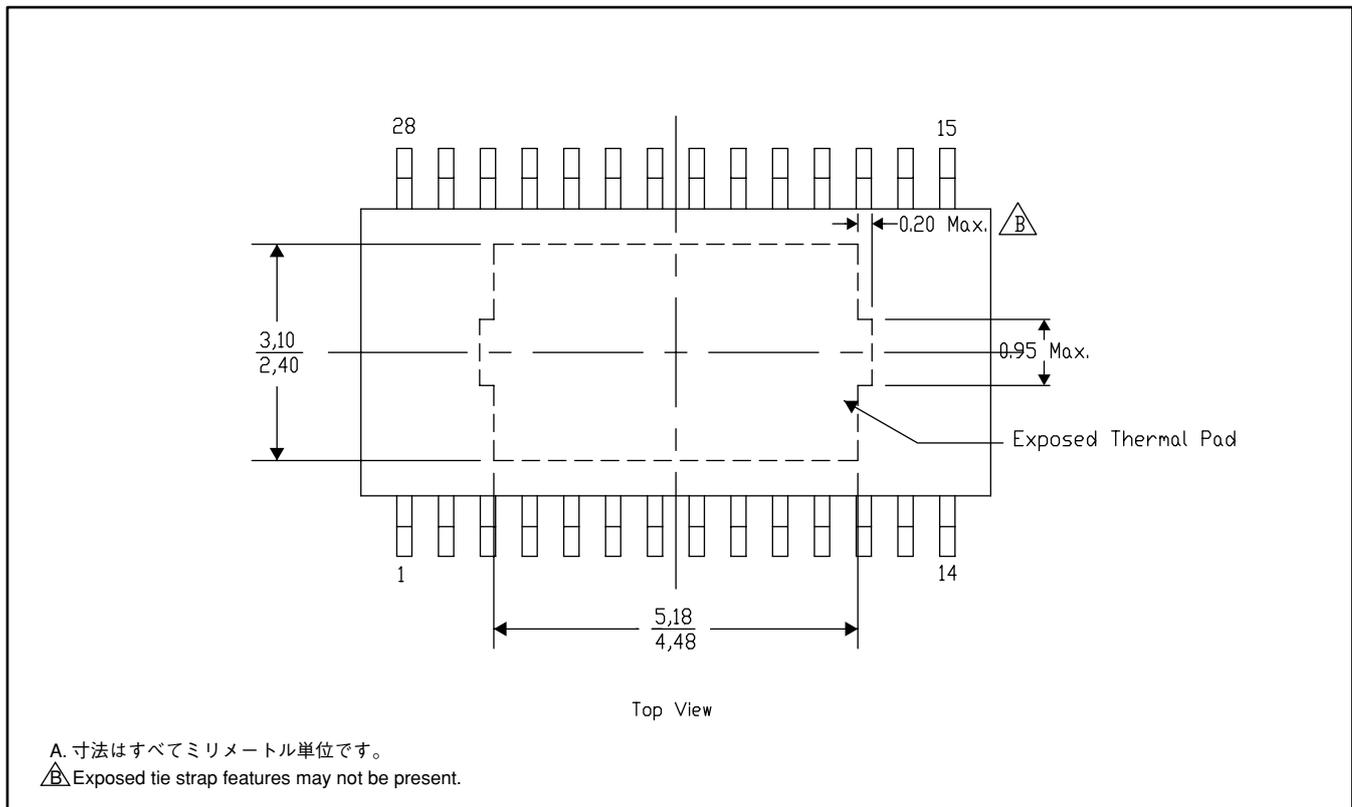
PWP (R-PDSO-G28)

熱特性について

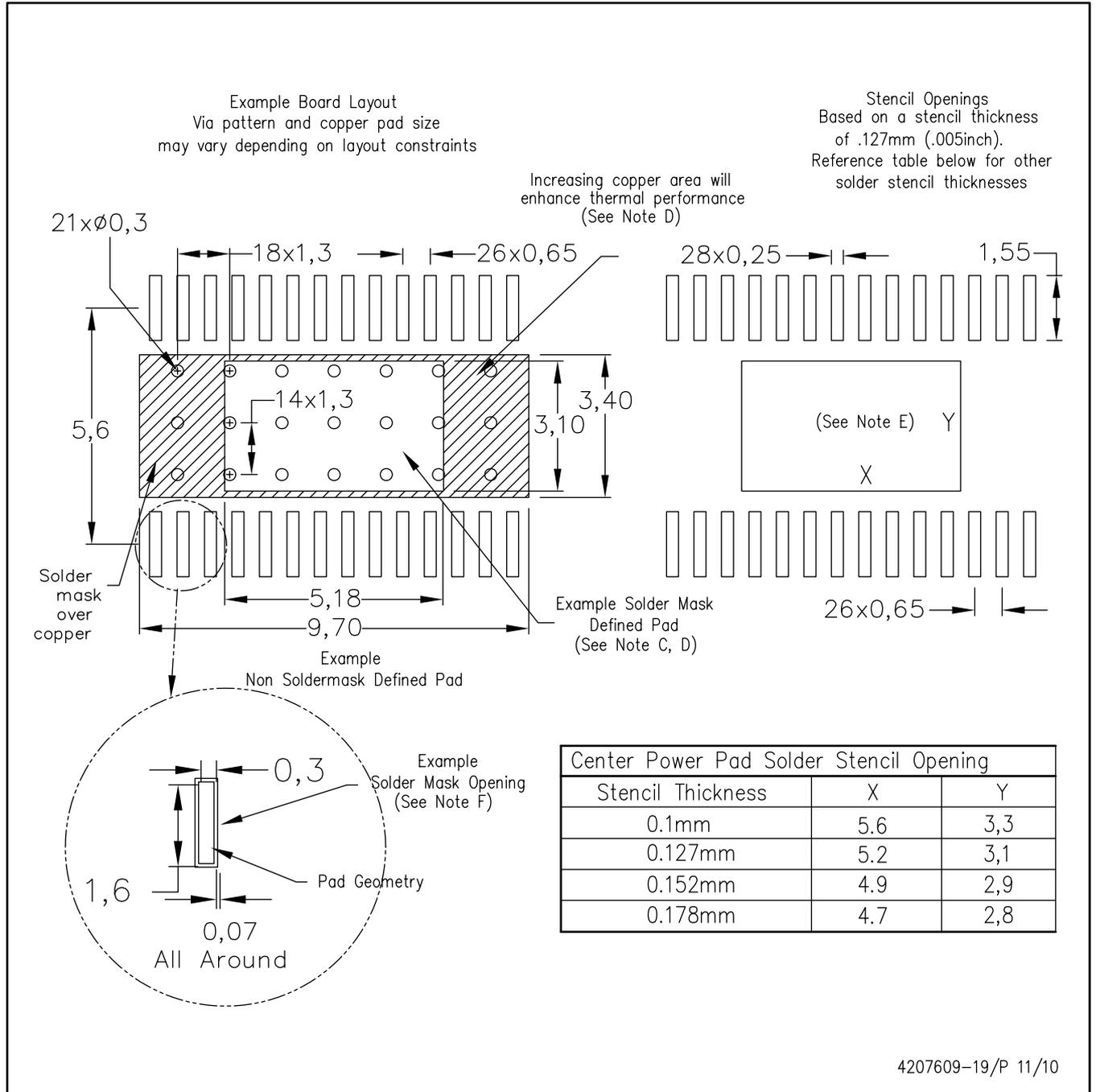
このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマルビアを使用して、サーマルパッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカルブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーションブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.com で入手できます。

このパッケージの露出したサーマルパッドの寸法を次の図に示します。



露出サーマルパッドの寸法



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002, SLMA004)を参照してください。これらのドキュメントは、ホームページ www.ti.com で入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもありません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもありません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上