

ESD8x2 2 チャンネル、36V、ESD 保護ダイオード

1 特長

- 動作電圧: 36V
- 低いリーク電流: 50nA (最大値)
- IEC 61000-4-2 ESD 保護:
 - $\pm 25\text{kV}$ の接触放電と $\pm 25\text{kV}$ の気中放電 (ESD852)
 - $\pm 18\text{kV}$ の接触放電と $\pm 18\text{kV}$ の気中放電 (ESD862)
- 強力なサージ保護:
 - IEC 61000-4-5 (8/20 μs): 4.3A (ESD852)
 - IEC 61000-4-5 (8/20 μs): 3.1A (ESD862)
- 双方向 ESD 保護
- 入出力容量: 2.8pF (標準値) (ESD852)
- 入出力容量: 2.6pF (標準値) (ESD862)
- SOT-23 (DBZ): 小型、標準、共通フットプリント
- 自動光学検査 (AOI) に適したリード付きパッケージ

2 アプリケーション

- ファクトリ・オートメーション
- 通信機器
- USB 給電 (USB-PD):
 - VBUS 保護
 - IO 保護 (VBUS への短絡に耐える)
- 産業用通信:
 - CAN/CAN-FD

3 概要

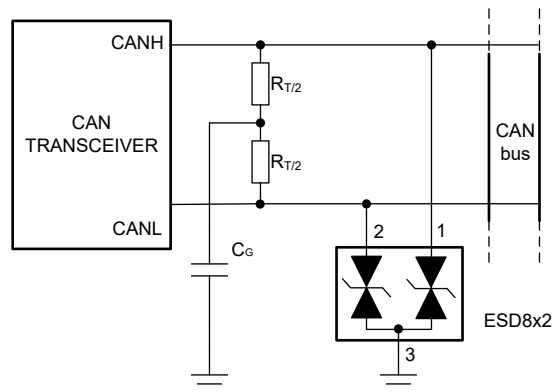
ESD8x2 デバイスは、USB 給電 (USB-PD) および産業用インターフェイス向けの双方向 ESD 保護ダイオードです。これらのデバイスは、IEC 61000-4-2 規格で指定された最大レベル ($\pm 25\text{kV}$ の接触およびエアギャップ放電、または $\pm 18\text{kV}$ の接触およびエアギャップ放電) を満たす、またはそれを超える ESD 放散能力を有しています。低い動的抵抗および低いクランピング電圧により、過渡現象に対してシステムレベルの保護を実現します。産業用システムは高いレベルの堅牢性と信頼性を要求するため、この保護機能は重要です。

これらのデバイスはチャンネルごとの IO 容量が低く、静電気放電 (ESD) とその他の過渡事象に起因する損傷から保護されるよう、2 つの IO ラインに適合したピン配置を備えています。ESD852 は、 $I_{PP} = 4.3\text{A}$ (8/20 μs のサージ波形) が可能なため、USB VBUS や産業用入出力ラインを、過渡サージイベントから保護するのに非常に適しています。さらに、ESD8x2 の 2.8pF または 2.6pF のライン容量は、USB 給電向けの低速信号や産業用アプリケーション向けの入出力信号を保護するのに非常に適しています。

パッケージ情報

部品番号	チャンネル数	パッケージ ⁽¹⁾
ESD852	2 チャンネル	DBZ (SOT-23、3)
ESD862		

(1) 詳細については、[セクション 9](#) を参照してください。



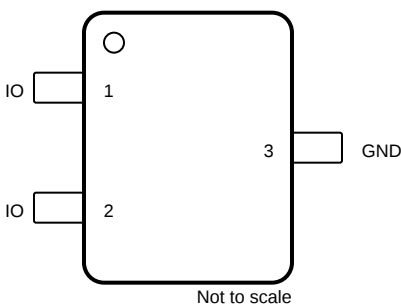
ESD8x2 の代表的なアプリケーション



Table of Contents

1 特長	1	5.8 Typical Characteristics – ESD862.....	7
2 アプリケーション	1	6 Application and Implementation	8
3 概要	1	6.1 Application Information.....	8
4 Pin Configuration and Functions	3	7 Device and Documentation Support	9
5 Specifications	4	7.1 Documentation Support.....	9
5.1 Absolute Maximum Ratings.....	4	7.2 ドキュメントの更新通知を受け取る方法.....	9
5.2 ESD Ratings—JEDEC Specification.....	4	7.3 サポート・リソース.....	9
5.3 ESD Ratings—IEC Specification.....	4	7.4 Trademarks.....	9
5.4 Recommended Operating Conditions.....	4	7.5 静電気放電に関する注意事項.....	9
5.5 Thermal Information.....	5	7.6 用語集.....	9
5.6 Electrical Characteristics.....	5	8 Revision History	9
5.7 Typical Characteristics – ESD852.....	6	9 Mechanical, Packaging, and Orderable Information	9

4 Pin Configuration and Functions



**図 4-1. DBZ Package,
SOT-23
(Top View)**

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
IO	1, 2	I/O	ESD protected IO
GND	3	G	Connect to ground.

(1) I = Input, O = Output, I/O = Input or Output, G = Ground, P = Power

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

PARAMETER		DEVICE	MIN	MAX	UNIT
P _{pp}	IEC 61000-4-5 Power (t _p – 8/20 μs) at 25°C	ESD852		233	W
	IEC 61000-4-5 Power (t _p – 8/20 μs) at 25°C	ESD862		175	W
I _{pp}	IEC 61000-4-5 current (t _p – 8/20 μs) at 25°C	ESD852		4.3	A
	IEC 61000-4-5 current (t _p – 8/20 μs) at 25°C	ESD862		3.1	A
T _A	Operating free-air temperature		-55	150	°C
T _J	Junction temperature		-55	150	°C
T _{stg}	Storage temperature		-65	155	°C

- (1) Operation outside the *Absolute Maximum Rating* may cause permanent device damage. *Absolute Maximum Rating* do not imply functional operation of the device at these or any other conditions beyond those listed under *Recommended Operating Condition*. If used outside the *Recommended Operating Condition* but within the *Absolute Maximum Rating*, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.

5.2 ESD Ratings—JEDEC Specification

PARAMETER		TEST CONDITION	VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	± 2500	V
		Charged device model (CDM), per JEDEC specification JS-002 ⁽²⁾	± 1000	

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

5.3 ESD Ratings—IEC Specification

over T_A = 25°C (unless otherwise noted)

PARAMETER		TEST CONDITION	DEVICE	VALUE	UNIT
V _(ESD)	Electrostatic discharge	IEC 61000-4-2 Contact Discharge, all pins	ESD852	±25000	V
			ESD862	±18000	V
		IEC 61000-4-2 Air Discharge, all pins	ESD852	±25000	V
			ESD862	±18000	V

5.4 Recommended Operating Conditions

PARAMETER		MIN	NOM	MAX	UNIT
V _{IN}	Input voltage	-36		36	V
T _A	Operating free-air temperature	-55		150	°C

5.5 Thermal Information

THERMAL METRIC ⁽¹⁾		ESD852	ESD862	UNIT
		DBZ (SOT-23)	DBZ (SOT-23)	
		3 PINS	3 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	293.4	313.5	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	148.9	162.8	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	133.0	151.8	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	32.9	43.5	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	132.0	150.8	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.6 Electrical Characteristics

over $T_A = 25^\circ\text{C}$ (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS	DEVICE	MIN	TYP	MAX	UNIT
V_{RWM}	Reverse stand-off voltage			–36		36	V
V_{BRF}	Forward breakdown voltage ^{(1) (2)}	$I_{IO} = 10\text{ mA}$, IO to GND		37.8	40	44.2	V
V_{BRR}	Reverse breakdown voltage ^{(1) (2)}	$I_{IO} = -10\text{ mA}$, IO to GND		–44.2	–40	–37.8	V
V_{CLAMP}	Clamping voltage ⁽³⁾	$I_{PP} = 1\text{ A}$, $t_p = 8/20\text{ }\mu\text{s}$, IO to GND	ESD852		43		V
		$I_{PP} = 4.3\text{ A}$, $t_p = 8/20\text{ }\mu\text{s}$, from IO to GND	ESD852		61		V
		$I_{PP} = 1\text{ A}$, $t_p = 8/20\text{ }\mu\text{s}$, from IO to GND	ESD862		47		V
		$I_{PP} = 3.1\text{ A}$, $t_p = 8/20\text{ }\mu\text{s}$, from IO to GND	ESD862		61		V
V_{CLAMP}	Clamping voltage ⁽³⁾	$I_{PP} = 16\text{ A}$, TLP, IO to GND or GND to IO	ESD852		63		V
			ESD862		64		V
I_{LEAK}	Leakage current	$V_{IO} = \pm 36\text{ V}$, IO to GND			5	50	nA
R_{DYN}	Dynamic resistance ⁽⁴⁾	IO to GND and GND to IO	ESD852		0.49		Ω
			ESD862		0.49		Ω
C_L	Line capacitance ⁽¹⁾	$V_{IO} = 0\text{ V}$, $f = 1\text{ MHz}$, $V_{pp} = 30\text{ mV}$	ESD852		2.8	3.5	pF
			ESD862		2.6	2.9	pF

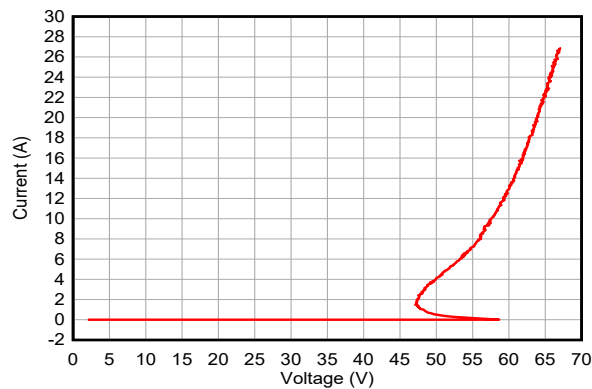
(1) Measured from IO to GND on each channel.

(2) V_{BRF} and V_{BRR} are defined as the voltage when $\pm 10\text{ mA}$ is applied in the positive or negative direction respectively.

(3) Device stressed with $8/20\text{ }\mu\text{s}$ exponential decay waveform according to IEC 61000-4-5.

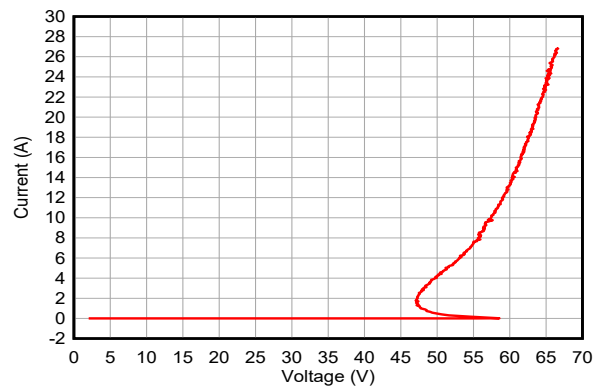
(4) Non-repetitive current pulse, Transmission Line Pulse (TLP); square pulse; ANSI / ESD STM5.5.1-2008

5.7 Typical Characteristics – ESD852



tp = 100 ns, Transmission Line Pulse (TLP)

図 5-1. Positive TLP Curve



tp = 100 ns, Transmission Line Pulse (TLP)

図 5-2. Negative TLP Curve

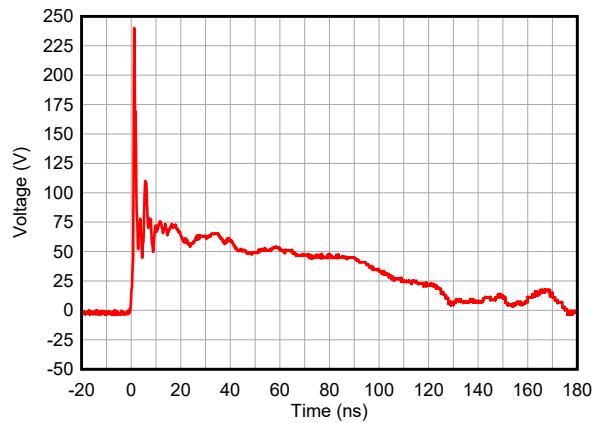


図 5-3. +8-kV Clamped IEC Waveform

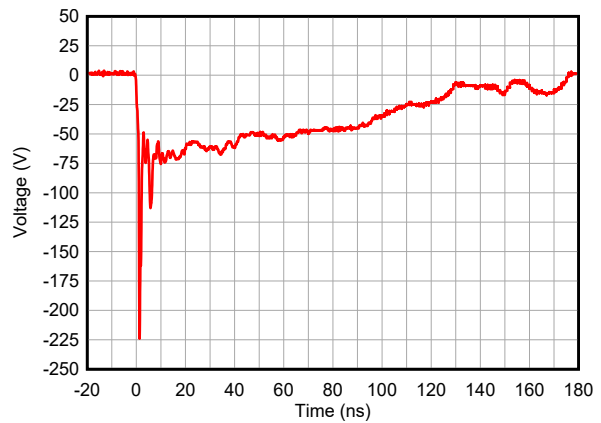


図 5-4. -8-kV Clamped IEC Waveform

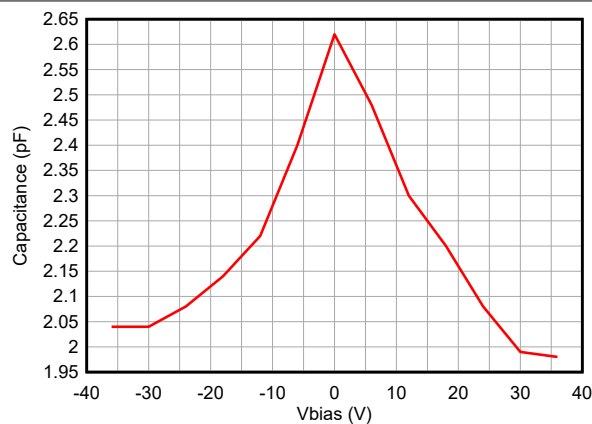


図 5-5. Capacitance vs. Bias Voltage

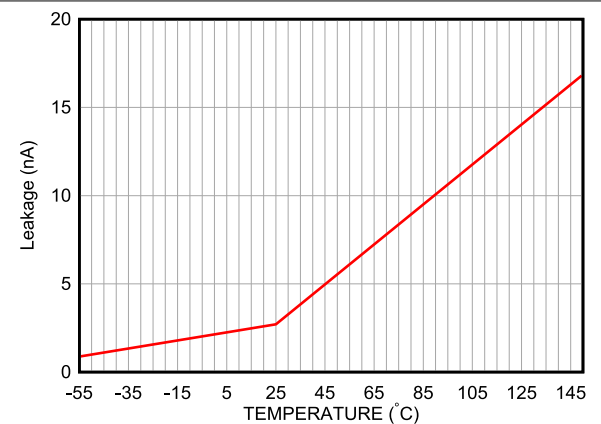


図 5-6. Leakage vs. Temperature

5.8 Typical Characteristics – ESD862

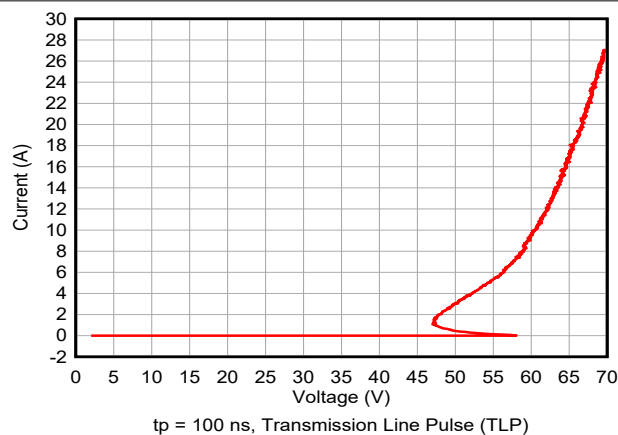


図 5-7. Positive TLP Curve

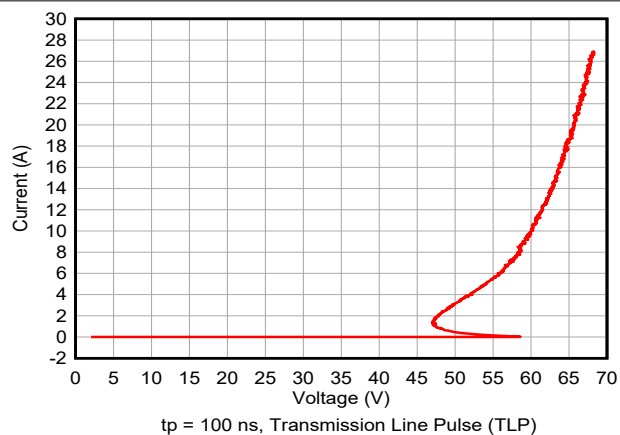


図 5-8. Negative TLP Curve

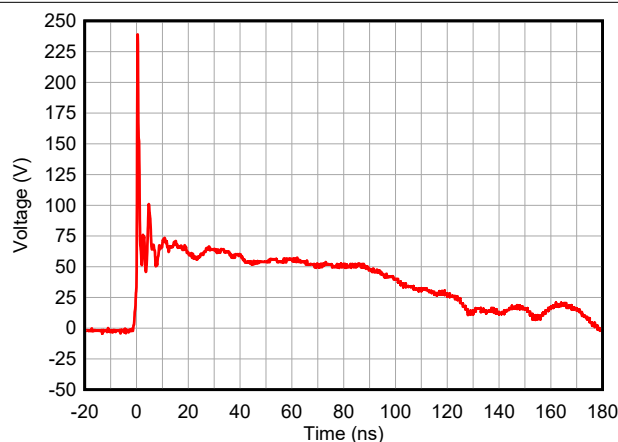


図 5-9. +8-kV Clamped IEC Waveform

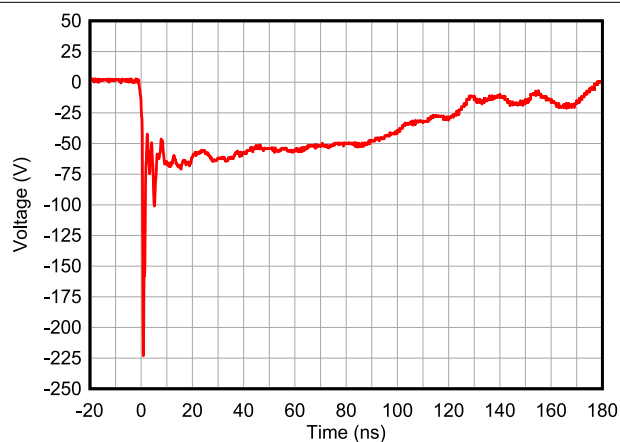


図 5-10. -8-kV Clamped IEC Waveform

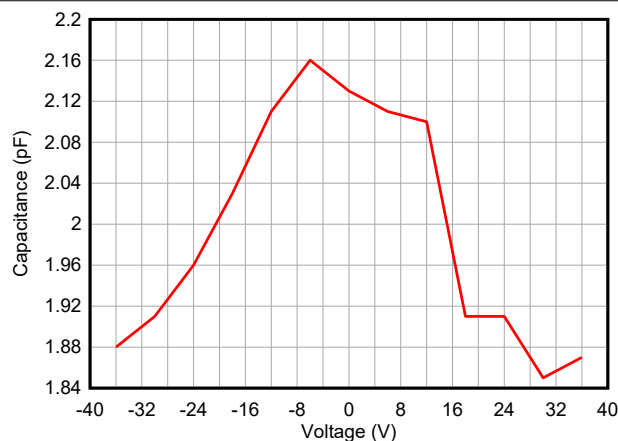


図 5-11. Capacitance vs. Bias Voltage

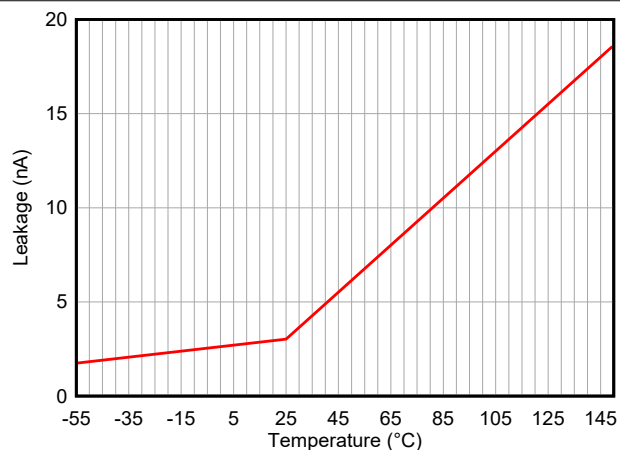


図 5-12. Leakage vs. Temperature

6 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

6.1 Application Information

The ESD8x2 devices are ESD diodes which provide a path to ground for dissipating transient voltage spikes, such as ESD or surge on signal lines and power lines. Connect the devices in parallel to the down stream circuitry they are protecting. As the current from the transient passes through the ESD device, only a small voltage drop is present across the diode. This is the voltage presented to the protected IC. The low R_{DYN} of the triggered ESD device holds this voltage (V_{CLAMP}) to a safe level for the protected IC. For more information on how to properly use this device, refer to the [ESD Packaging and Layout Guide](#).

7 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

7.1 Documentation Support

7.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [ESD Layout Guide user's guide](#)
- Texas Instruments, [ESD and Surge Protection for USB Interfaces application note](#)
- Texas Instruments, [ESD Protection Diodes EVM user's guide](#)
- Texas Instruments, [Generic ESD Evaluation Module user's guide](#)
- Texas Instruments, [Reading and Understanding an ESD Protection data sheet](#)

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 Revision History

DATE	REVISION	NOTES
November 2023	*	Initial Release

9 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ESD852DBZR	ACTIVE	SOT-23	DBZ	3	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z38	Samples
ESD862DBZR	ACTIVE	SOT-23	DBZ	3	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-55 to 150	2Z78	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

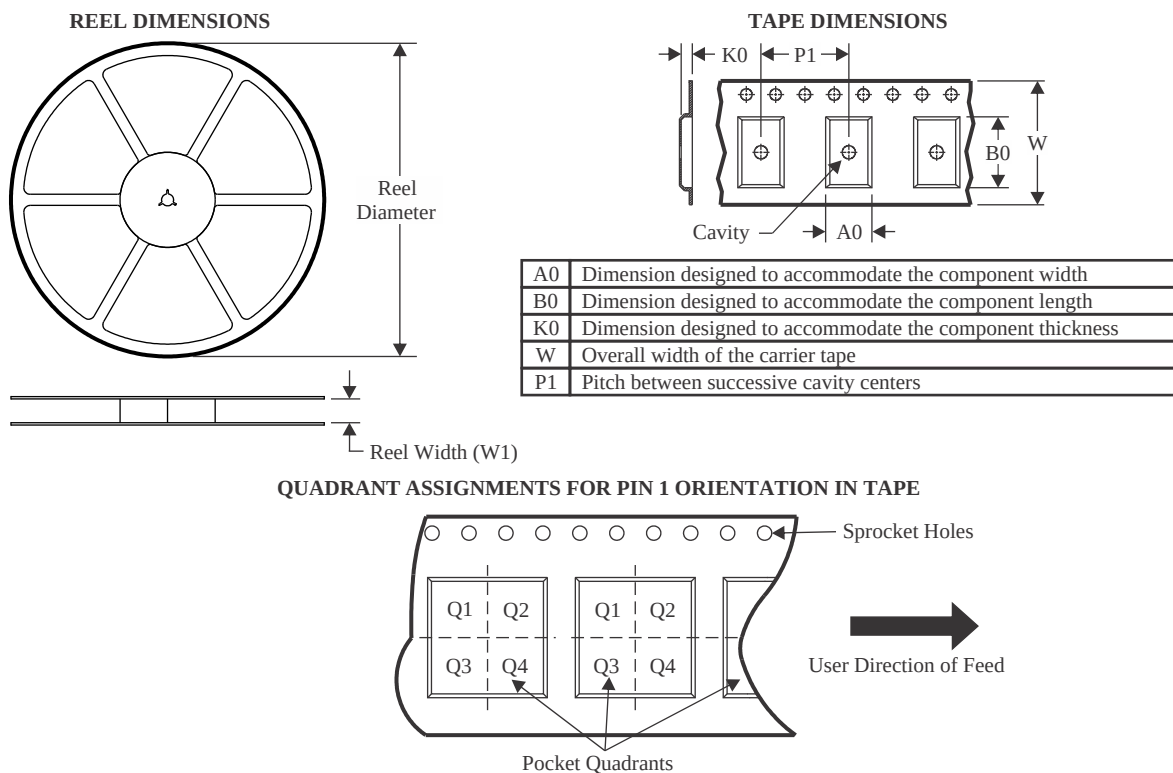
(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

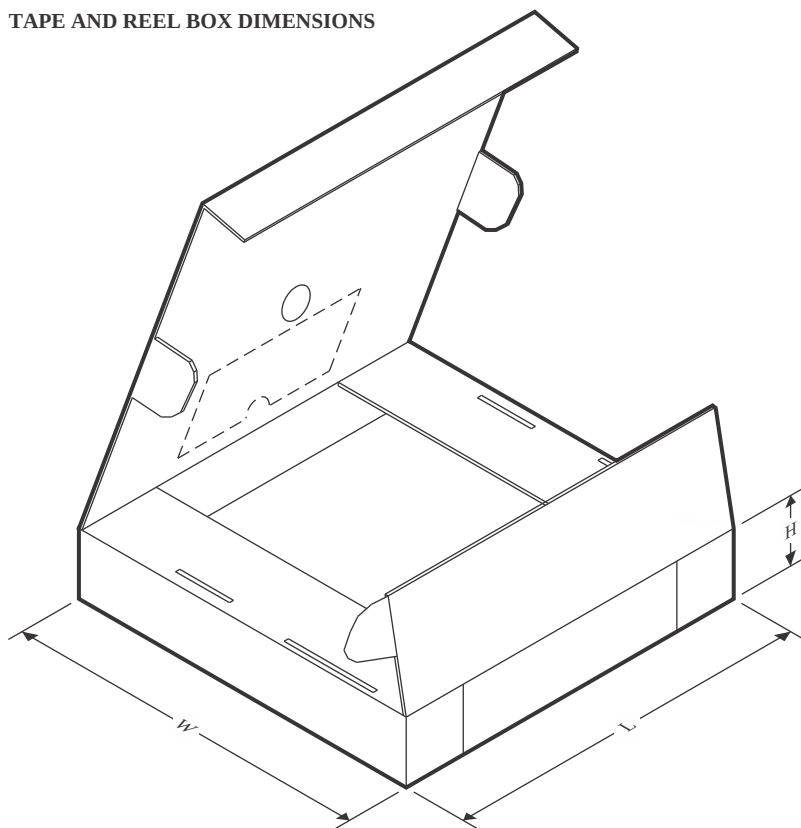
TAPE AND REEL INFORMATION



*All dimensions are nominal

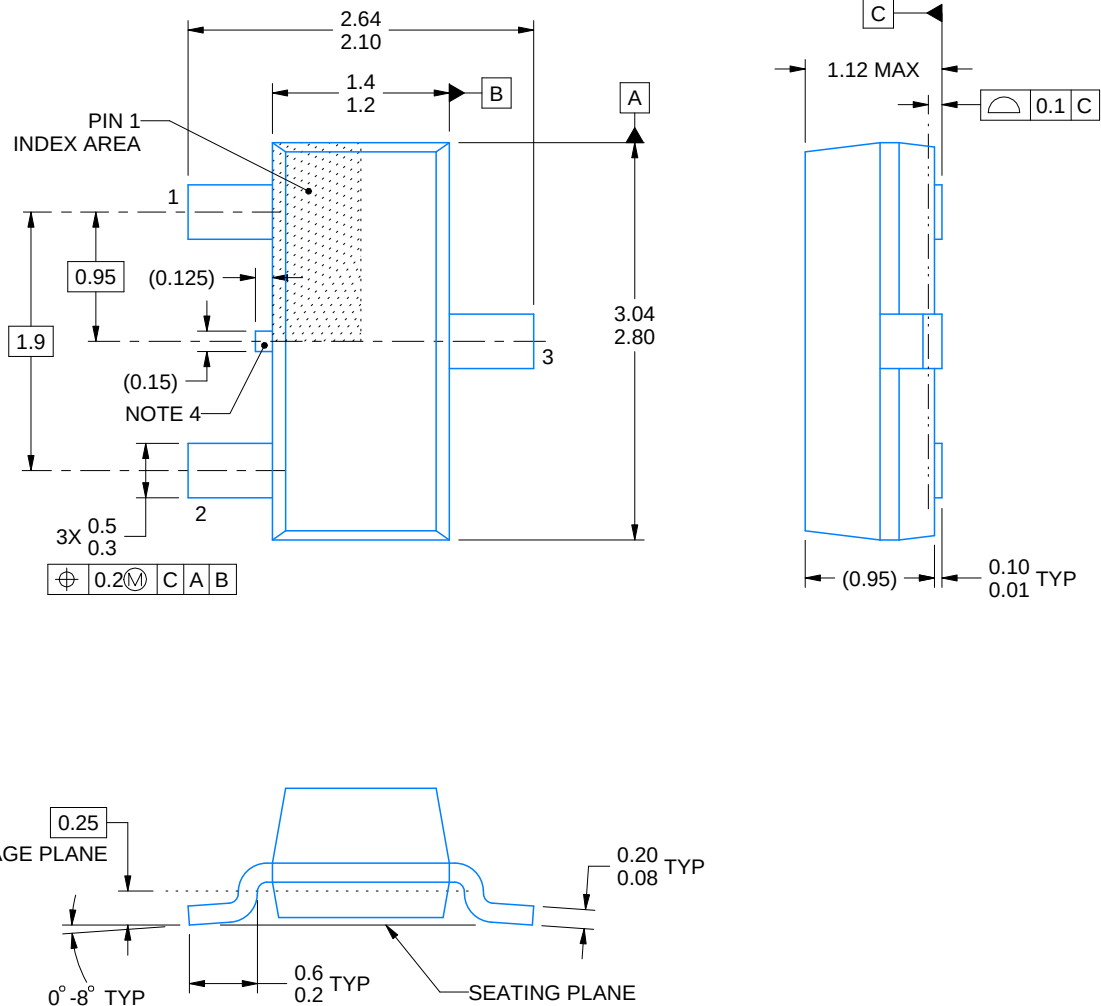
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ESD852DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3
ESD862DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ESD852DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0
ESD862DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0



4214838/D 03/2023

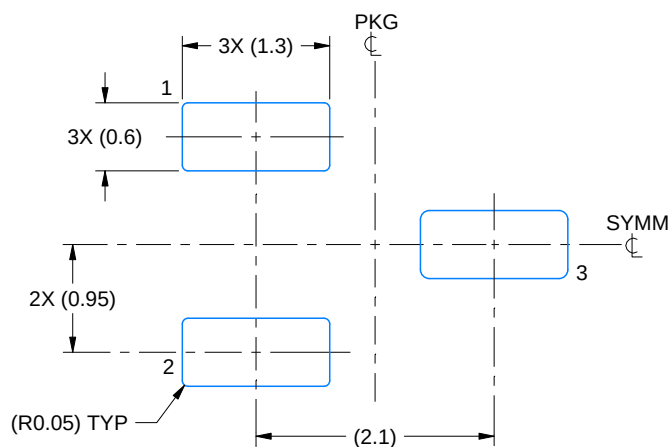
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration TO-236, except minimum foot length.
4. Support pin may differ or may not be present.

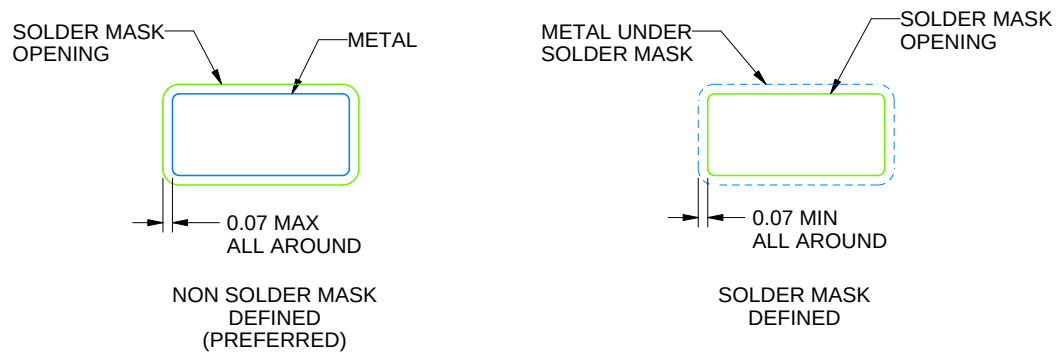
DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4214838/D 03/2023

NOTES: (continued)

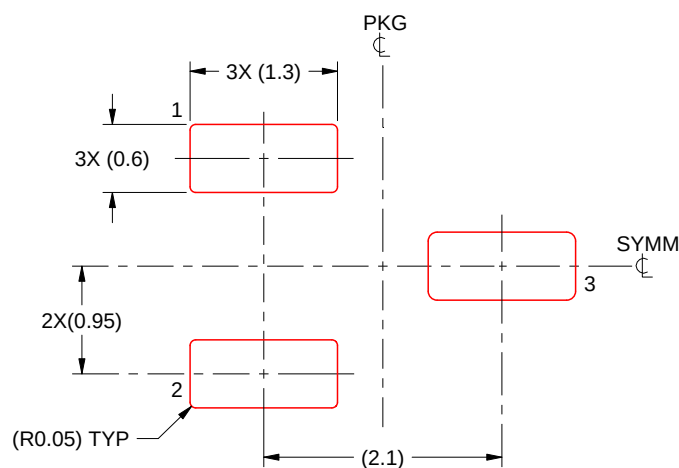
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

4214838/D 03/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated