

# LMH1983 オーディオ・クロック付き 3G/HD/SDビデオ・クロック・ジェネレータ

## 特長

- A/Vクロックを同時に生成する4つのPLL
  - PLL1 : 27MHzまたは13.5MHz
  - PLL2 : 148.5MHzまたは74.25MHz
  - PLL3 : 148.5/1.001MHzまたは74.25/1.001MHz
  - PLL4 : 98.304MHz / 2<sup>X</sup> (X = 0~15)
- 3×2ビデオ・クロック用クロスポイント
- ジッタ特性とロック時間を最適化できる柔軟なPLL帯域幅設定
- 新しいリファレンスへのなめらかな再同期
- リファレンス喪失時、デジタル・ホールドオーバーまたはフリーラン動作
- リファレンス喪失やPLLロック喪失を示すステータス・フラグ
- 3.3V単一電源動作
- アドレス選択ピンを備えたI<sup>2</sup>Cインターフェイス (3値入力)

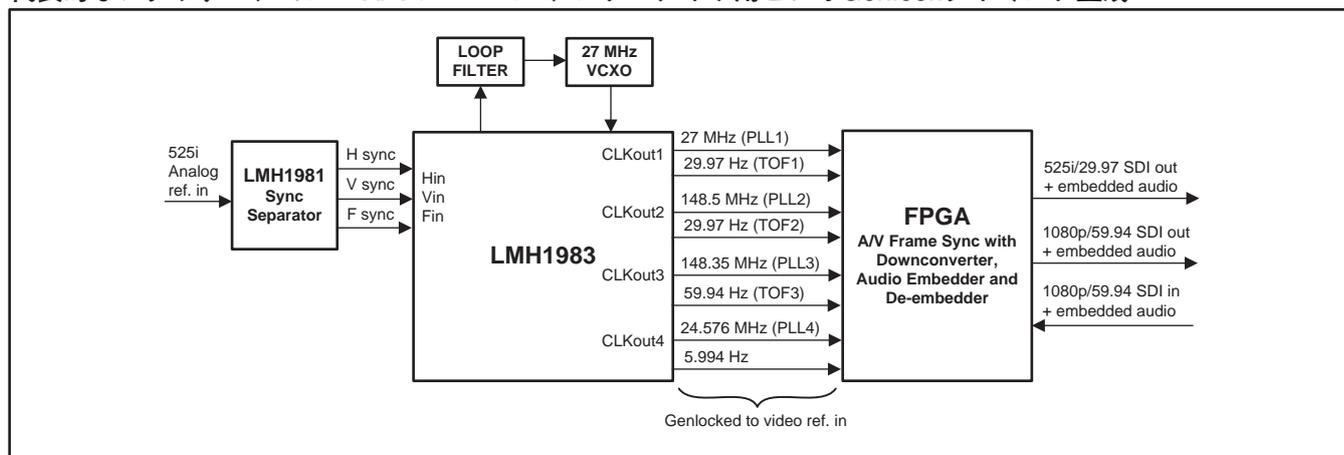
## アプリケーション

- トリプル・レート(3G/HD/SD) SDI SerDes
- FPGAのリファレンス・クロックの生成/クリーニング
- オーディオの埋め込み・抽出機器
- ビデオ・カメラ
- フレーム・シンクロナイザ(Genlock、DARS)
- A/D、D/A変換/編集/処理カード
- キーヤーおよびロゴ・インサータ
- フォーマット/規格コンバータ
- ビデオ・ディスプレイおよびプロジェクタ
- A/V用試験装置および測定機器

## 概要

LMH1983は、業務用放送機器のための多くの機能を集積したプログラマブル・オーディオ/ビデオ(A/V)クロック・ジェネレータです。全米映画テレビジョン技術者協会(SMPTE)が定めたシリアル・デジタル・インターフェイス(SDI)ビデオ規格や

### 代表的なアプリケーション - A/Vフレーム・シンクロナイザ用ビデオGenlockタイミング生成



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated(TI)が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

AES3/EBUデジタル・オーディオ規格に対応した機器で使用されている数々のフェーズ・ロック・ループ (PLL) や電圧制御水晶発振器 (VCXO) を本製品で置き換えることができます。クロック・クリーニング回路を追加しなくとも、どのようなSDIトランスミッタでも、その厳格な出力ジッタ仕様を満たす、低ジッタのリファレンス・クロックを供給します。

LMH1983は、自動入力フォーマット検出、簡単にプログラム可能なマルチA/V出力フォーマット、Genlockまたはデジタル・フリーラン・モード、各種自動機能をオーバーライトできるプログラミング機能を備えています。認識可能な入力フォーマットには、主要なビデオ規格のHVF同期信号のほか、27MHz、10MHz、並びに32/44.1/48/96kHzのオーディオ・ワード・クロックなどがあります。

2ステージPLLアーキテクチャは、4個のPLLと3個のオンチップVCOを集積しています。第1ステージ(PLL1)は、ループ帯域幅が狭い、外付けの低ノイズ27MHz VCXOを使用して、クリーンなリファレンス・クロックを次のステージに供給します。第2ステージ (PLL2、3、4) は、148.5MHz、148.5/1.001MHz、98.304MHz (24.576MHz × 4) など、主要な基本デジタルA/Vクロック・レートを同時生成する3個の並列VCO PLLで構成され

ています。各PLLは、クロックと、フレームの先頭 (TOF) を示すタイミング・パルスを生成できます。

リファレンスにロックした時は、内蔵の10ビットA/Dコンバータ(ADC)がループ・フィルタ制御電圧に追従します。リファレンス喪失 (LOR)が発生した場合には、制御電圧を保持して、出力精度を直前のリファレンスの±0.5ppm(typ)以内に保つようプログラムすることもできます。LMH1983を、グリッチを出すことなく直前のリファレンスに再同期させることもできます。

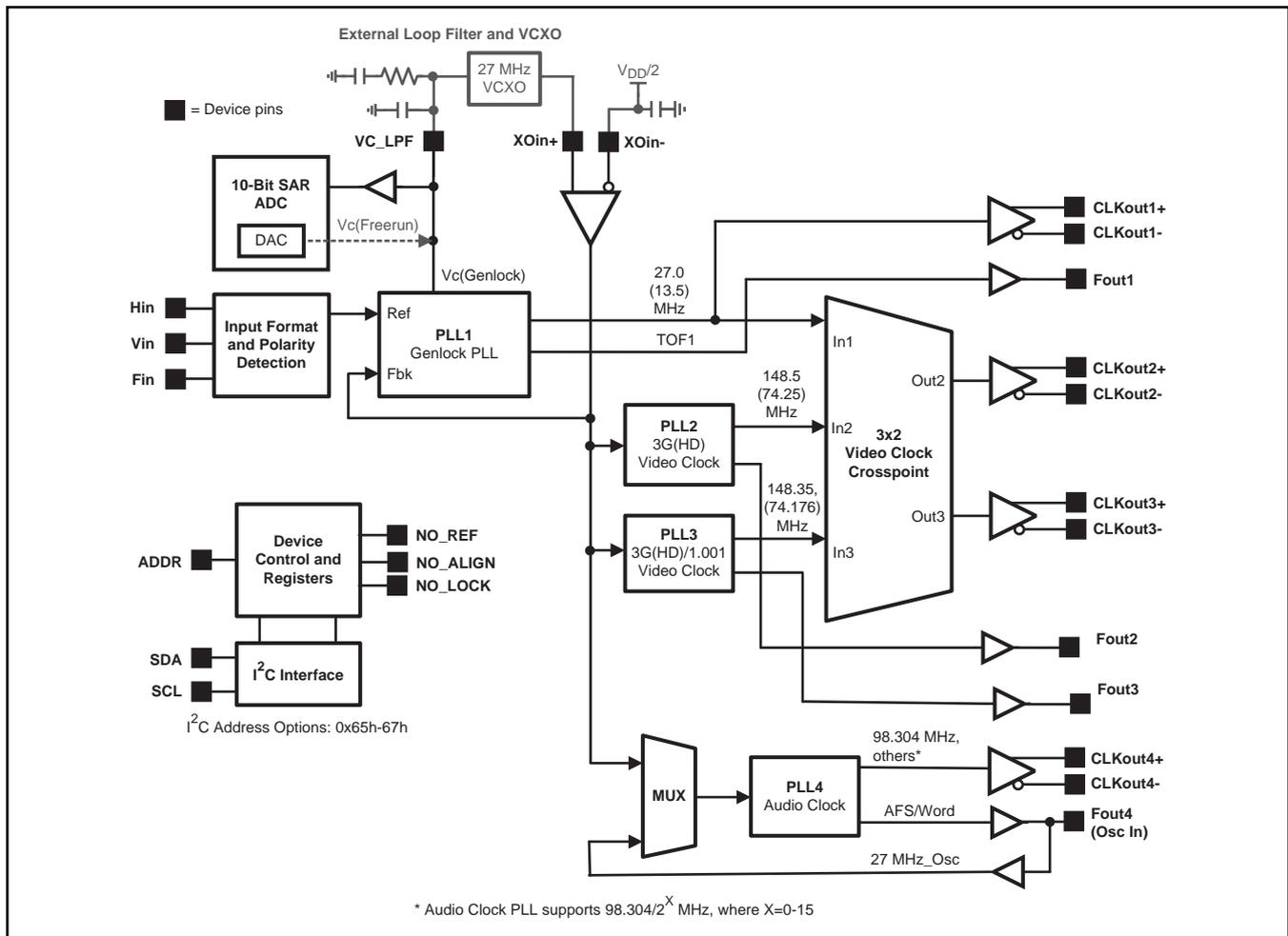
LMH1983は、省スペースの6mm × 6mm 40ピンLLPパッケージで供給されます。



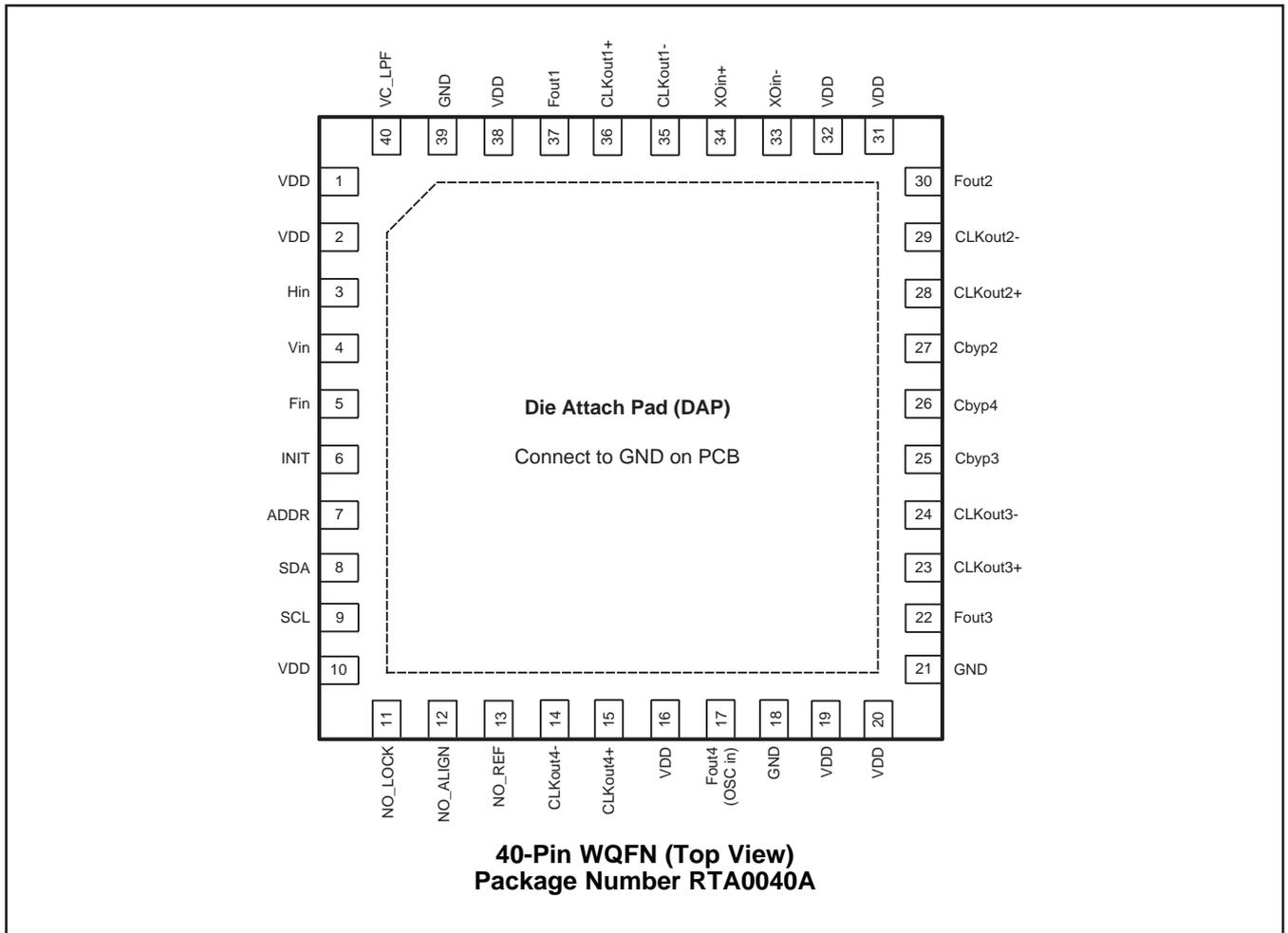
## 静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

## 機能ブロック図



## ピン配置図



## ピン説明

Pin No.	Pin Name	I/O	Signal Level	Pin Description
–	DAP	–	GND	Die Attach Pad (Connect to ground on PCB)
1	VDD	–	Power	3.3V supply for PLL1
2	VDD	–	Power	3.3V supply for logic I/O
3	Hin	I	LVC MOS	Horizontal sync reference signal Auto polarity correction for HVF will be based off Hin polarity. Recognized clock inputs can be applied to Hin.
4	Vin	I	LVC MOS	Vertical sync reference signal
5	Fin	I	LVC MOS	Field sync (odd/even) reference signal
6	INIT	I	LVC MOS	Reset signal for audio-video phase alignment (rising edge triggered)
7	ADDR	I	LVC MOS	I <sup>2</sup> C address select Pin settings: – Tie low: 65h (7-bit slave address in hex) – Float: 66h – Tie high: 67h
8	SDA <sup>(1)</sup>	I/O	I <sup>2</sup> C	I <sup>2</sup> C Data signal
9	SCL <sup>(1)</sup>	I	I <sup>2</sup> C	I <sup>2</sup> C Clock signal
10	VDD	–	Power	3.3V supply for logic I/O
11	NO_LOCK <sup>(2)</sup>	O	LVC MOS	Loss of lock status flag for PLLs 1-4 (active high)

(1) SDA and SCL pins each require a pull-up resistor of 4.7 kΩ to the VDD supply.

(2) The NO\_LOCK status flag is derived from the Lock Status register bits (LOCK1-4) for each PLL. Each lock status bit can be masked from the NO\_LOCK flag by setting their respective mask bits.

Pin No.	Pin Name	I/O	Signal Level	Pin Description
12	NO_ALIGN	O	LVC MOS	Loss of alignment status flag for OUTs 1–4 (active high)
13	NO_REF	O	LVC MOS	Loss of reference status flag (active high)
14 15	CLKout4– CLKout4+	O	LVDS	Audio clock from PLL4 (fundamental rate is 98.304 MHz). The output is 24.576 MHz by default and is selectable via the host.
16	VDD	–	Power	3.3V supply for CLKout4
17	Fout4 (OSCin)	I/O	LVC MOS	Audio frame timing signal for OUT4 (active low.) Timing Generator fixed to PLL4 clock. The output is the audio-video-frame (AVF) pulse by default and is programmable via the host. <b>Optional</b> OSCin function can be used to apply a 27 MHz external clock for PLL4 to generate an audio clock independent of the video input reference; this function must be enabled via the host.
18	GND	–	GND	Ground
19	VDD	–	Power	3.3V supply for PLL3 and PLL4
20	VDD	–	Power	3.3V supply for CLKout3
21	GND	–	GND	Ground
22	Fout3	O	LVC MOS	Video frame timing signal for OUT3 (active low).
23 24	CLKout3+ CLKout3–	O	LVDS	Video clock from PLL1, PLL2, or PLL3 depending on output crosspoint mode. The output is 148.35 MHz by default and is selectable via the host.
25	Cbyp3	–	Analog	Bias bypass for on-chip LDO for PLL3 Connect to 1.0 uF and 0.1 uF bypass capacitors.
26	Cbyp4	–	Analog	Bias bypass for on-chip LDO for PLL4 Connect to 1.0 uF and 0.1 uF bypass capacitors.
27	Cbyp2	–	Analog	Bias bypass for on-chip LDO for PLL2 Connect to 1.0 uF and 0.1 uF bypass capacitors.
28 29	CLKout2+ CLKout2–	O	LVDS	Video clock from PLL1, PLL2, or PLL3 depending on output crosspoint mode. The output is 148.5 MHz by default and is selectable via the host.
30	Fout2	O	LVC MOS	Video frame timing signal for OUT2 (active low).
31	VDD	–	Power	3.3V supply for CLKout2
32	VDD	–	Power	3.3V supply for PLL2
33 34	XOin– <sup>(3)</sup> XOin+	I	LVC MOS/LV DS	27 MHz VCXO clock signal for PLL1. – LVC MOS: Directly connect clock signal to XOin+ and bias XOin- to mid-supply with 0.1uF bypass capacitor. – LVDS: Directly connect LVDS clock signals to XOin+ and XOin-. <b>Note:</b> A TCXO or other clean 27 MHz oscillator can be applied for standalone clock generation using PLLs 2-4 (bypass PLL1).
35 36	CLKout1– CLKout1+	O	LVDS	Video clock from PLL1. The output is 27 MHz by default and is selectable via the host.
37	Fout1	O	LVC MOS	Reference frame timing signal for OUT1 (active Low). Timing generator fixed to PLL1 OUT1 Format follows the reference input format.
38	VDD	–	Power	3.3V supply for CLKout1
39	GND	–	GND	Ground
40	VC_LPF	O	Analog	Loop filter for PLL1 charge pump output with VCXO Voltage Control (VC) sensing. If free-run and holdover mode, PLL1 is disabled and an internal DAC outputs a control voltage to the VCXO.

(3) XOin must be driven by a 27 MHz clock in order to read or write registers via I<sup>2</sup>C.

## 絶対最大定格<sup>(1)</sup>

If Military/Aerospace specified devices are required, contact the Texas Instruments Sales Office/Distributors for availability and specifications.

ESD耐圧 <sup>(2)</sup>	
人体モデル	2500V
マシン・モデル	250V
帯電デバイスモデル	750V
電源電圧(V <sub>DD</sub> )	3.6V
入力電圧(各入力)	-0.3V ~ V <sub>DD</sub> +0.3V
出力電圧(各出力)	-0.3V ~ V <sub>DD</sub> +0.3V
保存温度範囲	-65°C ~ +150°C
接合部温度(T <sub>JMAX</sub> )	150°C
熱抵抗(θ <sub>JA</sub> )	33°C/W
ハンダ付け情報 <a href="http://www.ti.com/product/lmh1983">www.ti.com/product/lmh1983</a> の製品フォルダと <a href="http://www.ti.com/lit/an/snoa549c/snoa549c.pdf">www.ti.com/lit/an/snoa549c/snoa549c.pdf</a> を参照してください。	

- (1) 絶対最大定格とは、この値を超えるとデバイスが破損する可能性のあるリミット値です。動作定格はデバイスが機能する条件を示します。保証された仕様および試験条件については「電気的特性」を参照してください。
- (2) 人体モデル適用規格: MIL-STD-883、Method 3015.7。マシン・モデル適用規格: JESD22-A115-A (JEDECのESD MM規格)。  
電界誘導帯電デバイスモデル適用規格: JESD22-C101-C (JEDECのESD FICDM規格)。

## 推奨動作条件

V <sub>DD</sub>	3.3V ± 5%
入力電圧	0V ~ V <sub>DD</sub>
温度範囲(T <sub>A</sub> )	-40°C ~ 85°C

## 電気的特性<sup>(1)(2)</sup>

特記のない限り、すべてのリミット値はT<sub>A</sub> = 25°C、V<sub>DD</sub> = 3.3V、R<sub>L,CLK</sub> = 100Ω (CLKout差動負荷)で保証されます。太字のリミット値は、全温度範囲に対して適用されます。

Symbol	Parameter	Conditions	Min <sup>(3)</sup>	Typ <sup>(4)</sup>	Max <sup>(3)</sup>	Units
I <sub>DD</sub>	Total Supply Current	Default register settings, no load on logic outputs. V <sub>DD</sub> = 3.465V		170	212	mA
I <sub>DD</sub>	Total Supply Current	PLL2, PLL3 and PLL4 disabled, no load on logic outputs. V <sub>DD</sub> = 3.465V		60	100	mA
<b>Reference Inputs (Hin, Vin, Fin)</b>						
V <sub>IL</sub>	Low Input Voltage	I <sub>IN</sub> = ±10 μA	0		0.3 V <sub>DD</sub>	V
V <sub>IH</sub>	High Input Voltage	I <sub>IN</sub> = ±10 μA	0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
T <sub>AFD</sub>	Auto-Format Detection Time	Time from when reference input first presented to when detected as indicated by NO_REF going low. Reference timing must be stable and accurate (no missing pulses).		2	4	input frames
<b>OSCin Logic Inputs</b>						
V <sub>IL</sub>	Low Input Voltage	I <sub>IN</sub> = ±10 μA	0		0.3 V <sub>DD</sub>	V
V <sub>IH</sub>	High Input Voltage	I <sub>IN</sub> = ±10 μA	0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
<b>I<sup>2</sup>C Interface (SDA, SCL)</b>						
V <sub>IL</sub>	Low Input Voltage		0		0.3 V <sub>DD</sub>	V
V <sub>IH</sub>	High Input Voltage		0.7 V <sub>DD</sub>		V <sub>DD</sub>	V
I <sub>IN</sub>	Input Current	V <sub>IN</sub> between 0.1 V <sub>DD</sub> and 0.9 V <sub>DD</sub>	-10		+10	μA
I <sub>OL</sub>	Low Output Sink Current	V <sub>OL</sub> = 0V or 0.4V		3		mA

- (1) 最大消費電力は、T<sub>J(MAX)</sub>とθ<sub>JA</sub>の関数です。ある周囲温度における最大許容消費電力は、PD = (T<sub>J(MAX)</sub> - T<sub>A</sub>)/θ<sub>JA</sub>で表されます。すべての数値は、プリント基板に直接ハンダ付けするパッケージに適用されます。
- (2) 「電気的特性」の値は、記載温度における工場出荷試験条件にのみ適用されます。試験条件と異なる条件で保証するパラメータ特性は「電気的特性」には示されていません。
- (3) リミット値は出荷試験で25°Cにてすべてテストされます。動作温度範囲内のリミット値は統計解析手法を用いた相関関係により保証されます。
- (4) 代表値 (typ) は特性評価時におけるパラメータの標準値 (norm) を表します。実際の代表値は、時の経過、アプリケーションや構成にも依存します。この代表値はテストされた値ではなく、出荷した製品の保証値でもありません。

## 電気的特性 (1)(2)

特記のない限り、すべてのリミット値は  $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $R_{L\_CLK} = 100\Omega$  (CLKout差動負荷) で保証されます。太字のリミット値は、全温度範囲に対して適用されます。

Symbol	Parameter	Conditions	Min <sup>(3)</sup>	Typ <sup>(4)</sup>	Max <sup>(3)</sup>	Units
<b>Status Flag Outputs (NO_REF, NO_ALIGN, NO_LOCK)</b>						
$V_{OL}$	Low Output Voltage	$I_{OUT} = +10\text{ mA}$			0.4	V
$V_{OH}$	High Output Voltage	$I_{OUT} = -10\text{ mA}$	$V_{DD}-0.4\text{V}$			V
<b>Frame Timing Outputs</b>						
$V_{OL}$	Low Output Voltage	$I_{OUT} = +10\text{ mA}$ , Fout1, Fout2, Fout3 <sup>(5)</sup>			0.4	V
$V_{OH}$	High Output Voltage	$I_{OUT} = -10\text{ mA}$ Fout1, Fout2, Fout3 <sup>(5)</sup>	$V_{DD}-0.4\text{V}$			V
$I_{OZ}$	Output Shutdown Leakage Current	Output buffer shutdown, pin connected to $V_{DD}$ or GND $V_{DD} = 3.465\text{V}$		0.4	10	$ \mu\text{A} $
$t_R$	Rise Time 20% to 80%	15 pF Load		1		ns
$t_F$	Fall Time 20% to 80%	15 pF load		1		ns
$t_{D1}$ <sup>(6)</sup>	Timing output delay time	TOF1 delay measured from the CLKout1 clock reset edge. Delay spec applies for all output clock and format supported by the output pair following output initialization. 15 pF load.		22		ns
$t_{D2}$	Timing output delay time	TOF2 delay measured from the CLKout2 clock reset edge. Delay spec applies for all output clock and format supported by the output pair following output initialization. 15 pF load.		2		ns
$t_{D3}$	Timing output delay time	TOF3 delay measured from the CLKout3 clock reset edge. Delay spec applies for all output clock and format supported by the output pair following output initialization. 15 pF load.		2		ns
$t_{D4}$	Timing output delay time	TOF4 delay measured from the CLKout4 clock reset edge. Delay spec applies for all output clock and format supported by the output pair following output initialization. 15 pF load.		22		ns
<b>Video and Audio Clock Outputs (CLKout1, CLKout2 and CLKout3)</b>						
$t_{DJ}$	27 MHz TIE deterministic Jitter	Measured at CLKout1 all other CLKouts shutdown		250		fs
		Measured at CLKout1, other CLKouts output default PLL		250		
	148.5 MHz TIE deterministic Jitter	Measured at CLKout2 all other CLKouts shutdown		8		ps
		Measured at CLKout2, other CLKouts output default PLL		8		
	148.35 MHz TIE deterministic Jitter	Measured at CLKout3 all other CLKouts shutdown		4		ps
		Measured at CLKout3, other CLKouts output default PLL		4		
	24.576 MHz TIE deterministic Jitter	Measured at CLKout4 all other CLKouts shutdown		15		ps
		Measured at CLKout4, other CLKouts output default PLL		15		
$t_{RJ}$	27 MHz TIE random Output Jitter <sup>(7)</sup>	Measured at CLKout1, other CLKouts shutdown		2.7		ps
		Measured at CLKout1, other CLKouts output default PLL		2.7		
	148.5 MHz TIE Random Output Jitter <sup>(7)</sup>	Measured at CLKout2, other CLKouts shutdown		3.0		ps
		Measured at CLKout2, other CLKouts output default PLL		3.0		
	148.35 MHz TIE Random Output Jitter <sup>(7)</sup>	Measured at CLKout3, other CLKouts shutdown		3.5		ps
		Measured at CLKout3, other CLKouts output default PLL		3.5		
	24.576 MHz TIE Random Output Jitter <sup>(7)</sup>	Measured at CLKout4, other CLKouts shutdown		3.4		ps
		Measured at CLKout4, other CLKouts output default PLL		3.4		
$T_D$	Duty Cycle	Measured at 50% level of clock amplitude, any output clock		50		%
$t_R$	Rise Time 20% to 80%	15 pF load		400		ps
$t_F$	Fall Time 80% to 20%	15 pF load		400		ps
$V_{OD}$	Differential Signal Output Voltage	100 $\Omega$ differential load, CLKout1, CLKout2 or CLKout3 <sup>(8)</sup>	247	350	454	mV

(5) FoutXの $t_D$ は、CLKoutの立ち上がりクロック・エッジからFoutXの立ち下がりエッジまでを50%レベルで測定されたものです。

(6) CLKoutXの $t_D$ は、XOinの立ち上がりクロック・エッジからCLKoutXの立ち上がりクロック・エッジの間において50%のレベルで測定されたものです。測定は、入力クロックと出力クロックの位相が揃った時点のクロック・サイクルで行われています。

(7) SDおよびHDのクロック出力ジッタは、XOに20psピーク・ツー・ピークのジッタを含むクロックを入力し、タイム・インターバル・エラー(TIE)法によるジッタ測定で得られたものです。TIEピーク・ツー・ピーク・ジッタの代表値は、Tektronix DSA71604オシロスコープと1GHzアクティブ差動プローブ、TDSJIT3ジッタ解析ソフトウェアを使用し、LMH1983評価ベンチ・ボード上で測定しました。TDSJIT3クロックTIE測定のセットアップ:10<sup>-12</sup>のビット誤り率(BER)、100,000回以上のサンプルデータの取り込み。

オシロスコープのセットアップ:縦軸20mV/div、横軸10 $\mu\text{s}$ /div、サンプリング・レート25GS/s

(8) 差動出力振幅と共通モード電圧は、I<sup>2</sup>Cインターフェイスを介して調整できます。テストは、0x3Eの値をレジスタ0x3Aにロードして行っています。

## 電気的特性<sup>(1)(2)</sup>

特記のない限り、すべてのリミット値は $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $R_{L\_CLK} = 100\Omega$  (CLKout差動負荷)で保証されます。太字のリミット値は、全温度範囲に対して適用されます。

Symbol	Parameter	Conditions	Min <sup>(3)</sup>	Typ <sup>(4)</sup>	Max <sup>(3)</sup>	Units
$V_{OS}$	Common Signal Output Voltage	100 $\Omega$ differential load, CLKout1, CLKout2 or CLKout3 <sup>(6)</sup>	1.125	1.25	1.375	V
$ V_{OD} $	Change to $V_{OD}$   for Complementary Output States	100 $\Omega$ differential load, CLKout1, CLKout2 or CLKout3 <sup>(6)</sup>			50	mV
$ V_{OS} $	Change to $V_{OS}$   for Complementary Output States	100 $\Omega$ differential load, CLKout1, CLKout2 or CLKout3 <sup>(6)</sup>			50	mV
$I_{OS}$	Output Short Circuit Current	Differential clock output pins connected to GND for CLKout1, CLKout2 or CLKout3			24	mA
$I_{OZ}$	Output Shutdown Leakage Current	Output buffer in shutdown mode, differential clock output pins connected to $V_{DD}$ or GND		1	10	$\mu$ A
<b>VCXO Input (XOin)</b>						
$f_{OFF}$	Maximum Relative Frequency Offset between VCXO Input and H Input	Assumes H input jitter of $\pm 15$ ns		$\pm 150$		ppm
$V_{XOin\_SE}$	Single-ended Signal Input Voltage Range	Single-ended input buffer mode	0		$V_{DD}$	V
$V_{XOin\_DIFF}$	Differential Signal Input Voltage Range	Differential input buffer mode, $V_{CM} = 1.2\text{V}$	247	350	454	mV
<b>Digital Holdover and Free-Run Specifications</b>						
$V_{VCO\_RNG}$	DAC Output Voltage Range	Digital Free-run Mode	0.5		$V_{DD}-0.5\text{V}$	V

## サポートされている規格と タイミング・フォーマット

表1に、サポートされている標準タイミング・フォーマットを示します。この表には、LMH1983を各入出力フォーマットに設定するためのパラメータも掲載されています。表1に掲載されているフォーマットについては、入力の自動検出が対応可能です。自動検出機能より優先させたい場合は、ホストからI<sup>2</sup>C経由で入力フォーマットを手動設定することもできます。

Format	INPUT TIMING / PLL1 PARAMETERS				OUTPUT TIMING (OUT1-4) PARAMETERS				
	Reference Divider	Feedback Divider	Phase Detector (PD) Freq. (kHz)	PD Periods per Frame Counter	PLL#	PLL Clock Freq. (MHz)	Total Clocks per Line Counter	Total Lines per Frame Counter	Frame Rate (Hz)
NTSC, 525i	1	1716	15.7343	525	1	27.0	1716	525	29.97
					2	148.5	9438		
PAL, 625i	1	1728	15.625	625	1	27.0	1728	625	25
					2	148.5	9504		
525p	1	858	31.4685	525	1	27.0	858	525	59.94
					2	148.5	4719		
625p	1	864	31.25	625	1	27.0	864	625	50
					2	148.5	4752		
720p/60	1	600	45.0	750	2	148.5	3300	750	60
720p/59.94	5	3003	8.99101	150	3	148.35	3300	750	59.94
720p/50	1	720	37.5	750	2	148.5	3960	750	50
720p/30	1	1200	22.5	750	2	148.5	6600	750	30
720p/29.97	5	6006	4.49550	150	3	148.35	6600	750	29.97
720p/25	1	1440	18.75	750	2	148.5	7920	750	25
720p/24	1	1500	18.0	750	2	148.5	8250	750	24
720p/23.98	2	3003	8.99101	375	3	148.35	8250	750	23.98
1080p/60	1	400	67.5	1125	2	148.5	2200	1125	60
1080p/59.94	5	2002	13.48651	225	3	148.35	2200	1125	59.94
1080p/50	1	480	56.25	1125	2	148.5	2640	1125	50
1080p(psF)/30	1	800	33.75	1125	2	148.5	4400	1125	30
1080p(psF)/29.97	5	4004	6.74326	225	3	148.35	4400	1125	29.97
1080p(psF)/25	1	960	28.125	1125	2	148.5	5280	1125	25
1080p(psF)/24	1	1000	27.0	1125	2	148.5	5500	1125	24
1080p(psF)/23.98	1	1001	26.9730	1125	3	148.35	5500	1125	23.98
1080i/60	1	800	33.75	1125	2	148.5	4400	1125	30
1080i/59.94	5	4004	6.74326	225	3	148.35	4400	1125	29.97
1080i/50	1	960	28.125	1125	2	148.5	5280	1125	25
48 kHz word clock	2	1125	24.0	1	4	98.304	2048	1	48000
96 kHz word clock	4	1125	24.0	1	4	98.304	1024	1	96000
27 MHz osc clk	1000	1000	27.000	1			Input only		
10 MHz GPS osc clk	600	1620	16.6666	1			Input only		

表 1. サポートされているフォーマットのルックアップ・テーブル (LUT)

## 自動フォーマット検出コード

自動フォーマット検出コードは、レジスタ0x07(Output Mode - PLL2 Format)、0x08(Output Mode - PLL3 Format)、0x20(Input Format)に適用されます。

## レジスタの説明

以下の表は、デバイス設定レジスタの詳細を示します。7ビット以下のフィールドのデフォルト値は2進数で表され、8ビット(1バイト)のフィールドのデフォルト値は16進数で表されています。予約済み (RSVD) フィールドには書き込みを行わないでください。

Format Code	Description	Hsync Period (in 27 MHz clocks)	Interlaced (I) / Progressive (P)
0	480i/29.97	1716	I
1	576I25	1728	I
2	480P59.94	858	P
3	576P50	864	P
4	720P60	600	P
5	720P59.94	600.6	P
6	720P50	720	P
7	720P30	1200	P
8	720P27.97	1201.2	P
9	720P25	1440	P
10	720P24	1500	P
11	720P23.98	1501.5	P
12	1080P60	400	P
13	1080P59.94	400.4	P
14	1080P50	480	P
15	1080P30	800	P
16	1080P29.97	800.8	P
17	1080P25	960	P
18	1080P24	1000	P
19	1080P23.98	1001	P
20	1080I30	800	I
21	1080I29.97	800.8	I
22	1080I25	960	I
23	1080I24	1000	I
24	1080I23.98	1001	I
25	48 kHz Audio	562.5	—
26	96 kHz Audio	281.25	—
27	44.1 kHz Audio	612.244898	—
28	32 kHz Audio	843.75	—
29	27 MHz Hsync	1	—
30	10 MHz Hsync	2.7	—
31	User Defined	User Defined	User Defined
63	Unknown	All Others	

ADD	Name	Bits	Field	R/W	Default	Description
0x00	Device Status — Input Reference	7	INTERLACED	R	—	Indicates if the input reference format is an interlaced format
		6	ANALOG_REF	R	—	This bit is set depending on if the sync detection circuit had determined if the reference is an analog or digital derived signal
		5	INPUT_POLARITY	R	—	Returns the value of the input polarity determined by the sync detector for HSYNC — 0 indicates an active low sync
		4	HSYNC_STATUS	R	—	This bit is set if the Hsync During Vsync detector will set NO_H_DURING_V on the next rising edge of VSYNC
		3	H_ONLY	R	—	This is set by the Interlaced detector
		2	LOR_STATUS	R	—	Returns the inverse of the NO_REF output pin state
		1	LOST_HSYNC	R	—	Set if HSYNC_MISSING is high while no_h_during_v is low. Remains set until read, then self-clears
		0	Reserved	R	—	Reserved — always returns '0'
0x01	Device Status	7	Lock_Status	R	1	Returns lock status for all unmasked and enabled PLLs
		6	Align_Status	R	0	Returns the Align Status for all enabled TOFs
		5	Wrong_Format	R	1	Returns the value of the Wrong_Format bit.
		4	Holdover	R	0	Returns the value of the PLL Holdover Bit
		3:0	RSVD			Reserved
0x02	PLL Lock and Output Alignment Status	7:4	Lock_Detect	R	—	[7] indicates the lock status of PLL4. [6] indicates the lock status of PLL3. [5] indicates the lock status of PLL2. [4] indicates the lock status of PLL1. 0 = PLL Not Locked 1 = PLL Locked
		3:0	Align_Detect	R	—	[3] indicates the lock status of TOF4. [2] indicates the lock status of TOF3. [1] indicates the lock status of TOF2. [0] indicates the lock status of TOF1. 0 = TOF Alignment not detected 1 = TOF alignment detected
0x03	Revision ID	7:0		R	0xC0	Returns device revision code
0x04	Reserved	7:0	RSVD			Reserved
0x05	Device Control	7	Soft_Reset	R/W	0	Writing a '1' will reset all registers to their default values. This bit is self-clearing and always returns '0' when read.
		6	Powerdown	R/W	0	Controls the power down function.
		5	EN_AFD	R/W	1	Enables Auto Format Detection (AFD). 0 = Auto Format Detect disabled 1 = Auto Format Detect enabled
		4:3	PLL1_Mode	R/W	01	Sets PLL1 operating mode: 00 = Force Free-run 01 = Genlock 10 = Force Holdover 11 = Reserved
		2	LOR Mode	R/W	0	Sets default mode of operation on Loss of Reference (LOR) condition: 0 = Holdover on LOR 1 = Free-run on LOR
		1	Force_148	R/W	1	When this bit is set, it forces the PLL2 and PLL3 clock rates to 148.xx MHz regardless of chosen output format. Otherwise, the native clock rate of the chosen output format will be used. 0 = Uses the native clock rates 1 = Forces PLL2 = 148.5 MHz and PLL3 = 148.35 MHz clock rate
		0	GOE	R/W	1	Global Output Enable 0 = Disables all CLKout and Fout output buffers (Hi-Z) 1 = Enable active outputs

表 2. レジスタ・マップ

ADD	Name	Bits	Field	R/W	Default	Description
0x06	Input Polarity	7:4	RSVD			Reserved
		3	EN_AUTOPOL	R/W	1	Enables Auto Polarity Detection and Correction. The proper polarity needs to be set to synchronize the output timing signals to the leading edges of the H and V inputs. 0 = The polarities of HVF inputs are manually set by their respective polarity override registers. 1 = The polarity of the H input is auto-detected. The polarity correction applied to the H input will also be applied to V and F inputs.
		2	HIN_POL_OVR	R/W	0	Used to manually set the H input Polarity. 0 = Active Low (Negative polarity) 1 = Active High (Positive polarity)
		1	VIN_POL_OVR	R/W	0	Used to manually set the V input Polarity. 0 = Active Low (Negative polarity) 1 = Active High (Positive polarity)
		0	FIN_POL_OVR	R/W	0	Used to manually set the F input Polarity. 0 = Active Low (Negative polarity) 1 = Active High (Positive polarity)
0x07	Output Mode – PLL2 Format	7:6	RSVD			Reserved
		5:0	PLL2_Format	R/W	001110	Sets the video format output timing for PLL2.
0x08	Output Mode – PLL3 Format	7:6	RSVD			Reserved
		5:0	PLL3_Format	R/W	001101	Sets the video format output timing for PLL3.
0x09	Output Mode – Misc	7:5	RSVD			Reserved
		4	AFS Mode	R/W	0	Sets the TOF4 output timing mode. 0 = Secondary Audio Clock Output (derived from PLL4 clock) 1 = Audio Frame Sync (derived from TOF1)
		3:0	XPT_Mode	R/W	0000	Sets the PLL/TOF crosspoint mode for Out2 and Out3. Refer to the crosspoint output selection table.
0x0A	Output Buffer Control	7:4	CLK_HIZ	R/W	0000	[3] sets CLKout4 output buffer mode. [2] sets CLKout3 output buffer mode. [1] sets CLKout2 output buffer mode. [0] sets CLKout1 output buffer mode. 0 = CLKoutx enabled 1 = CLKoutx Hi-Z
		3:0	FOUT_HIZ	R/W	1111	[3] sets Fout4 output buffer mode. [2] sets Fout3 output buffer mode. [1] sets Fout2 output buffer mode. [0] sets Fout1 output buffer mode. 0 = Foutx enabled 1 = Foutx Hi-Z
0x0B	Output Frame Control – Offset1_MSB	7:5	RSVD			Reserved
		4:0	TOF1 Offset MSB	R/W	00000	TOF1_Offset[12:0] sets number of lines to delay TOF1. TOF1_Offset_MSB[4:0] sets TOF1_Offset[12:8]
0x0C	Output Frame Control – Offset1_LSB	7:0	TOF1 Offset LSB	R/W	0x00	TOF1_Offset_LSB[7:0] sets TOF1_Offset[7:0]
0x0D	Output Frame Control – Offset2_MSB	7:5	RSVD			Reserved
		4:0	TOF2 Offset MSB	R/W	00000	TOF2_Offset[12:0] sets number of lines to delay TOF2. TOF2_Offset_MSB[4:0] sets TOF2_Offset[12:8]
0x0E	Output Frame Control – Offset2_LSB	7:0	TOF2 Offset LSB	R/W	0x00	TOF2_Offset_LSB[7:0] sets TOF2_Offset[7:0]
0x0F	Output Frame Control – Offset3_MSB	7:5	RSVD			Reserved
		4:0	TOF3 Offset MSB	R/W	00000	TOF3_Offset[12:0] sets number of lines to delay TOF3. TOF3_Offset_MSB[4:0] sets TOF3_Offset[12:8]
0x10	Output Frame Control – Offset3_LSB	7:0	TOF3 Offset LSB	R/W	0x00	TOF3_Offset_LSB[7:0] sets TOF3_Offset[7:0]
0x11	Alignment Control – TOF1	7:6	RSVD			Reserved

表 2. レジスタ・マップ

ADD	Name	Bits	Field	R/W	Default	Description
0X11 – CONTINUED						
0x11	Alignment Control – TOF1	5:4	TOF1_Align_Mode	R/W	11	00 = Auto-align when misaligned 01 = Reserved 10 = Always Align 11 = Never Align <b>NOTE:</b> When H_ONLY is 1, TOF1 align mode is forced to never align.
		3	TOF1_Sync_Near	R/W	1	This bit sets the PLL1/TOF1 output synchronization behavior when the same reference is reapplied following a momentary LOR condition and TOF1 is within 2 lines of the expected location. 0 = Drift Lock – ensures the outputs drift smoothly back to frame alignment without excessive output phase disturbances 1 = Crash Lock – achieves the fastest frame alignment through PLL/TOF counter resets, which can result in output phase disturbances
		2	TOF1_Sync_Far	R/W	0	This bit sets the PLL1/TOF1 output synchronization behavior when the same reference is reapplied following a momentary LOR condition and TOF1 is within 2 lines of the expected location. 0 = Drift Lock – ensures the outputs drift smoothly back to frame alignment without excessive output phase disturbances 1 = Crash Lock – achieves the fastest frame alignment through PLL/TOF counter resets, which can result in output phase disturbances
		1	TOF1_Sync_Slew	R/W	0	Sets the direction that TOF1 slews to achieve frame alignment when a new reference is applied and TOF1 is outside of 2 lines of the expected location. 0 = TOF1 lags by railing the VCXO input low 1 = TOF1 advances by railing the VCXO input high
		0	RSVD			Reserved
0x12	Alignment Control – TOF2	7:6	RSVD			Reserved
		5:4	TOF2_Align_Mode	R/W	11	00 = auto align when misaligned 01 = one shot manual align when writing TOF2_INIT=1 10 = always align 11 = never align
		3:1	RSVD			Reserved
		0	TOF2_INIT	R/W	0	Writing one to this bit while also writing TOF2_Align_Mode = 3, will cause the TOF2_INIT output to go high for at least one vframe period + one Hsync period and not more than one vframe period + two Hsync periods. The assertion of TOF2_INIT must happen immediately (it cannot wait for Hsync). If TOF2_Align_Mode is being written to 3, this bit will have no effect. This bit is self-clearing and will always read zero.
0x13	Alignment Control – TOF3	7:6	RSVD			Reserved
		5:4	TOF3_Align_Mode	R/W	11	00 = auto align when misaligned 01 = one shot manual align when writing TOF3_INIT=1 10 = always align 11 = never align
		3:1	RSVD			Reserved
		0	TOF3_INIT	R/W	0	Writing one to this bit while also writing TOF3_Align_Mode ≠ 3, will cause the TOF3_INIT output to go high for at least one vframe period + one Hsync period and not more than one vframe period + two Hsync periods. The assertion of TOF3_init must happen immediately (it cannot wait for Hsync). If TOF3_Align_Mode is being written to 3, this bit will have no effect. This bit is self-clearing and will always read zero.

表 2. レジスタ・マップ

ADD	Name	Bits	Field	R/W	Default	Description
0x14	Alignment Control – AFS	7:6	RSVD			Reserved
		5:4	AFS_Align_Mode	R/W	11	00 = auto align when misaligned 01 = one shot manual align. AFS_Init_Input reg determines if done by pin (INIT) or register (AFS_INIT = 1) 10 = always align 11 = never align
		3	AFS_Init_Input	R/W	0	0 = Rising edges on INIT (pin 6) trigger AFS one shot manual align. 1 = Writing '1' to AFS_Init register triggers AFS one shot manual align.
		2:1	RSVD			Reserved
		0	AFS_INIT	R/W	0	Writing one to this bit while also writing AFS_Align_Mode = 3 and AFS_Init_Input=1, or providing a rising edge on the init input when AFS_Align_Mode ≠ 3 and AFS_Init_Input=0, will cause the AFS_INIT output to go high for at least one vframe period + one Hsync period and not more than one vframe period + two Hsync periods. The assertion of AFS_INIT must happen immediately (it cannot wait for Hsync). If AFS_Align_Mode = 3, toggling the init input will have no effect. This bit is self-clearing and will always read zero.
0x15	Loss of Alignment Control	7:3	RSVD			Reserved
		2:0	LOA_Window	R/W	010	Number of 27 MHz clocks between the TOF1 and Vsync before Loss of Alignment is reported. If the code loaded in this register is n, then Loss of Alignment will be reported if the difference between TOF1 and Vsync exceeds 2 <sup>n</sup> 27 MHz clock cycles
0x16	LOR Control – Holdover Sampled Voltage MSB	7:2	RSVD			Reserved
		1:0	VC_Hold_MSB	R	10	The VC_Hold[9:0] input signal changes rather slowly. For synchronization, it should be sampled on consecutive 27 MHz clocks until two identical values are found. This value will be saved as VC_Hold_sampled[9:0]. Whenever the VC_Hold[9:8] register is read, VC_Hold_sampled[9:8] is returned, and VC_Hold[7:0] will memorize the current value of VC_Hold_sampled[7:0] (to be read at a later time). This scheme allows a coherent 10-bit value to be read. Returns a synchronized snapshot of the VC_Hold[9:8] (MSB).
0x17	LOR Control – Holdover Sampled Voltage LSB	7:0	VC_Hold_LSB	R	NA	The VC_Hold[9:0] input signal changes rather slowly. For synchronization, it should be sampled on consecutive 27 MHz clocks until two identical values are found. This value will be saved as VC_Hold_sampled[9:0]. Whenever the VC_Hold[9:8] register is read, VC_Hold_sampled[9:8] is returned, and VC_Hold[7:0] will memorize the current value of VC_Hold_sampled[7:0] (to be read at a later time). This scheme allows a coherent 10-bit value to be read. Returns a synchronized snapshot of the VC_Hold[7:0] (LSB)
0x18	LOR Control Free-run Control Voltage MSB	7:2	RSVD			Reserved
		1:0	VC_Free_MSB	R/W	01	Free-run Control Voltage (VC_Free[9:0]) is the voltage asserted on VC_LPF pin in free-run mode. Writing will change the MSB (VC_Free[9:8])
0x19	LOR Control – Free-run Control Voltage LSB	7:0	VC_Free_LSB	R/W	0xFF	Free-run Control Voltage (VC_Free[9:0]) is the voltage asserted on VC_LPF pin in free-run mode. Writing will change the LSB (VC_Free[7:0])
0x1A	LOR Control – ADC & DAC Disable	7:2	RSVD			Reserved
		1	ADC_Disable	R/W	0	Directly controls the ADC_Disable output port. 0 = enable holdover ADC 1 = disable holdover ADC
		0	DAC_Disable	R/W	0	Directly controls the DAC_Disable output port. 0 = enable Free-run/Holdover DAC 1 = disable Free-run/Holdover DAC
0x1B	Loss of Reference Threshold	7	RSVD			Reserved
		6:4	HSYNC_Missing_Threshold	R/W	00	Sets the threshold for number of additional clocks to wait before setting HSYNC_Missing.
		3	RSVD			Reserved
		2:0	LOR_Threshold	R/W	001	Sets the number of Hsync periods to wait before setting loss of reference. Since during blanking there can have up to 5 missing Hsync pulses, this value is usually set to 6.

表 2. レジスタ・マップ

ADD	Name	Bits	Field	R/W	Default	Description
0x1C	Loss of Lock Threshold	7:5	RSVD			Reserved
		4:0	LOCK1_Threshold	R/W	10000	Sets the number of Hsync periods to wait before setting loss of lock. Since during blanking there can have up to 5 missing Hsync pulses, this value is usually set > 6.
0x1D	Mask Control – PLL Lock and Output Align	7	MASK_LOCK4	R/W	0	Setting this bit masks the PLL4 lock status in the global LOCK_STATUS bit.
		6	MASK_LOCK3	R/W	0	Setting this bit masks the PLL3 lock status in the global LOCK_STATUS bit.
		5	MASK_LOCK2	R/W	0	Setting this bit masks the PLL2 lock status in the global LOCK_STATUS bit.
		4	MASK_LOCK1	R/W	0	Setting this bit masks the PLL1 lock status in the global LOCK_STATUS bit.
		3	MASK_TOF4_ALIGN	R/W	0	Setting this bit masks the TOF4 align status in the global ALIGN_STATUS bit.
		2	MASK_TOF3_ALIGN	R/W	0	Setting this bit masks the TOF3 align status in the global ALIGN_STATUS bit.
		1	MASK_TOF2_ALIGN	R/W	0	Setting this bit masks the TOF2 align status in the global ALIGN_STATUS bit.
		0	MASK_TOF1_ALIGN	R/W	0	Setting this bit masks the TOF1 align status in the global ALIGN_STATUS bit.
0x1E	Reserved	7:0	RSVD			Reserved
0x1F	Reserved	7:0	RSVD			Reserved
0x20	Input Format	7:6	RSVD			Reserved
		5:0	Input Format		000000	When Auto Format Detection is enabled (EN_AFD, address 0x05), this register is read-only and controlled automatically. When Auto Format Detection is disabled, this register is writable via I <sup>2</sup> C. All writes to this register (whether automatic or manual) will update all the LUT1 (Lookup Table 1), LUT2_2, and LUT2_3 output registers based on the value written here. Writing to any of the LUT1, LUT2_2, or LUT2_3 output registers will set this field to 6'd62 (0x3E) indicating that custom changes have been made.
0x21	Output Frame Lookup – Input Vsync Code	7:4	RSVD			Reserved
		3:0	Input Vsync Code	R/W	0011	Writes to this register update the Vsync code which tells the device what the Input frame rate is. There is a table which correlates the Vsync codes to the actual frame rates. When Auto Format Detection is enabled (EN_AFD, address 5), this register is read-only, and is automatically loaded by the device.
0x22	Output Frame Lookup – PLL2 Vsync Code	7:4	RSVD			Reserved
		3:0	PLL2 Vsync Code	R/W	0101	Whenever PLL2_FORMAT (address 7) is written, this field is updated with the appropriate Vsync code. If any custom changes are made the device will set this field to 4'd14 (0x0E) to so indicate.
0x23	Output Frame Lookup – PLL3 Vsync Code	7:4	RSVD			Reserved
		3:0	PLL3 Vsync Code	R/W	0110	Whenever PLL3_FORMAT (address 8) is written, this field is updated with the appropriate Vsync code. If any custom changes are made the device will set this field to 4'd14 (0x0E) to so indicate.
0x24	Reserved	7:0	RSVD			Reserved
0x25	PLL1 Advanced Control	7:5	RSVD			Reserved
		4	PLL1_DIV	R/W	0	0 = Divide by 1 (Output is 27 MHz) 1 = Divide by 2 (Output is 13.5 MHz)
		3	RSVD			Reserved
		2	PLL1 Input Mode	R/W	0	Directly controls the mode of the PLL1 input buffer. 0 = Single Ended 1 = Differential
		1	RSVD			Reserved
		0	FastLock		1	This bit enables ICP1_FAST (address 0x27) to be used during locking. 0 = FastLock disabled 1 = FastLock enabled

表 2. レジスタ・マップ

ADD	Name	Bits	Field	R/W	Default	Description
0x26	PLL1 Advanced Control FastLock Delay	7:4	RSVD			Reserved
		3:0	FastLock Delay	R/W	0000	Sets the amount of time that PLL1_Lock must be asserted before the PLL1 Charge pump current is reduced from the ICP1_Fast value to the ICP1 value. The time delay is specified in units of half seconds. Delay = FastlockDelay*0.5 Seconds. Valid values are from 0 to 10. Values from 11 to 15 are reserved.
0x27	PLL1 Advanced Control Fastlock CP Current	4:0	FastLock Charge Pump Current	R/W	11111	This field specifies the charge pump current to drive when FastLock is active. Charge pump current is equal to 34.375 $\mu$ A * register value
0x28	PLL1 Advanced Control Charge Pump Current	4:0	PLL1 Charge Pump Current	R/W	01000	This field defines the charge pump current used when FastLock is not active. Charge pump current is equal to 34.375 $\mu$ A * register value
0x29	PLL1 Advanced Control R Counter MSB	7:2	RSVD			Reserved
		1:0	MSB	R/W	00	The two LSBs of Register 0x29 along with the eight bits of Register 0x2A form a ten bit word which comprises the R divider for PLL1. This register is internally written based on the input format and when AutoFormatDetect is enabled, these registers are read only.
0x2A	PLL1 Advanced Control R Counter LSB	7:0	LSB	R/W	0x01	
0x2B	PLL1 Advanced Control N Counter MSB	7	RSVD			Reserved
		6:0	MSB	R/W	0000110	The 7 LSBs of Register 0x2B along with the eight bits of register 0x2C comprise the fifteen bit word which is used for the N divider of PLL1. These registers are internally controlled based on the input format detected and when AutoFormatDetect is enabled, these registers are read only.
0x2C	PLL1 Advanced Control N Counter LSB	7:0	LSB	R/W	0xB4	
0x2D	PLL1 Advanced Control Lock Step Size	7:5	RSVD			Reserved
		4:0	Lock Step Size	R/W	01000	See Applications section discussion on Lock Detect
0x2E	PLL2 Advanced Control Main	7:5	RSVD			Reserved
		4	PLL2_DIV	R/W	0	0 = divide by 1 1 = divide by 2
		3	PLL2_DISABLE	R/W	0	0 = PLL2 disable is determined by XPT_MODE (Address 0x09) 1 = PLL2 is disabled
		2:0	RSVD			Reserved
0x2F	PLL2 Advanced Control Charge Pump Current	7:4	RSVD			Reserved
		3:0	ICP2	R/W	0010	Controls PLL2 Charge Pump Current
0x30	PLL2 Advanced Control VCO Range	7:0	VCO_RNG2	R/W	0x0C	Controls the VCO range
0x31	PLL3 Advanced Control Main	7:5	RSVD			Reserved
		4	PLL3_DIV	R/W	0	0 = divide by 1 1 = divide by 2
		3	ICP3	R/W	0	0 = PLL3 disable is determined by XPT_MODE (Address 0x09) 1 = PLL3 is disabled
		2:0	RSVD			Reserved
0x32	PLL3 Advanced Control Charge Pump Current	7:4	RSVD			Reserved
		3:0	ICP3	R/W	0011	Controls PLL3 Charge Pump Current
0x33	PLL3 Advanced Control VCO Range	7:0	VCO_RNG3	R/W	0x05	Controls the VCO range
0x34	PLL4 Advanced Control Main	7:4	PLL4_DIV	R/W	0010	Controls the PLL4 output divider — PLL4 is divided by 2 <sup>PLL4_DIV</sup>
		3	PLL4_Disable	R/W	0	0 = PLL4 is enabled 1 = PLL4 is disabled
		2	RSVD			Reserved
		1	IS125M	R/W	0	0 = 100 MHz clock 1 = 125 MHz clock
		0	PLL4_Mode	R/W	0	0 = using 27 MHz Clock 1 = using external clock
0x35	PLL4 Advanced Control Charge Pump Current	7:4	RSVD			Reserved
		3:0	ICP4	R/W	1000	Controls PLL4 Charge Pump Current
0x36	PLL4 Advanced Control R counter	7	RSVD			Reserved
		6:0	DIV_R4	R/W	1001011	Sets the R divider in PLL4
0x37	PLL4 Advanced Control N counter MSB	7:2	RSVD			Reserved
		1:0	DIV_N4_MSB	R/W	10	Two MSBs of the N divider in PLL4

表 2. レジスタ・マップ

ADD	Name	Bits	Field	R/W	Default	Description
0x38	PLL4 Advanced Control N counter LSB	7:0	DIV_N4_LSB	R/W	0x00	8 LSBs of the N divider in PLL4
0x39	PLL4 Advanced Control VCO Range	7:0	VCO4 Range	R/W	0x16	The value in the VCO4 Range register is used to adjust the center frequency of PLL4.
0x3A	LVDS Control	7	LVDS Boost	R/W	0	Applies pre-emphasis to LVDS output
		6:4	LVDS_DIFF	R/W	100	Adjusts LVDS Differential output swing
		3:0	LVDS_CM	R/W	1001	Adjusts LVDS Common Mode output voltage
0x3B	TOF1 Adv Control LPF MSB	7:5	RSVD			Reserved
		4:0	TOF1_LPF_MSB	R	00010	5 MSBs of the TOF1 lines per Frame count. This is read-only and loaded automatically when Auto Format Detection is enabled
0x3C	TOF1 Advanced Control LPF_LSB	7:0	TOF1_LPF_LSB	R	0x0D	8 LSBs of the TOF1 lines per Frame count. This is read-only and loaded automatically when Auto Format Detection is enabled Together with register 0x3B this is a 13 bit number which number of lines per frame. TOF1 will be at a frequency of Hsync divided by this value.
0x3D	TOF2 Advanced Control CPL MSB	7	RSVD			Reserved
		6:0	TOF2_CPL_MSB	R	0001010	This 15 bit register gives the number of clock cycles per line to calculate TOF2. It is loaded automatically based on the format set with register 0x07.
0x3E	TOF2 Advanced Control CPL_LSB	7:0	TOF2_CPL_LSB	R	0x50	
0x3F	TOF2 Advanced Control LPF MSB	7:5	RSVD			Reserved
		4:0	TOF2_LPF_MSB	R	00010	This 13 bit register is loaded automatically based on the format selected via register 0x07. It sets the number of lines per frame for the selected format to set the TOF2 rate correctly.
0x40	TOF2 Advanced Control LPF_LSB	7:0	TOF2_LPF_LSB	R	0x65	
0x41	TOF2 Advanced Control Frame Reset MSB	7:5	RSVD			Reserved
		4:0	TOF2_RST_MSB	R	00010	Automatically loaded based on formats selected.
0x42	TOF2 Advanced Control Frame Reset LSB	7:0	TOF2_RST_LSB	R	0x58	
0x43	TOF3 Advanced Control CPL_MSB	7	RSVD			Reserved
		6:0	TOF3_CPL_MSB	R	0001000	This 15 bit register gives the number of clock cycles per line to calculate TOF3. It is loaded automatically based on the format set with register 0x08.
0x44	TOF3 Advanced Control CPL_LSB	7:0	TOF3_CPL_LSB	R	0x98	
0x45	TOF3 Advanced Control LPF_MSB	7:5	RSVD			Reserved
		4:0	TOF3_LPF_MSB	R	00100	This 13 bit register is loaded automatically based on the format selected via register 0x08. It sets the number of lines per frame for the selected format to set the TOF3 rate correctly.
0x46	TOF3 Advanced Control LPF_LSB	7:0	TOF3_LPF_LSB	R	0x65	
0x47	TOF3 Advanced Control Frame Reset MSB	7:5	RSVD			Reserved
		4:0	TOF3_RST_MSB	R	00000	Automatically loaded based on formats selected.
0x48	TOF3 Advanced Control Frame Reset LSB	7:0	TOF3_RST_LSB	R	0x01	
0x49	TOF4 Advanced Control AFS	7:0	TOF4_AFS	R/W	0x05	See Applications Information section for details. See also PLL4 Block Diagram.
0x4A	TOF4 Advanced Control ACLK	7:4	RSVD			Reserved
		3:0	TOF4_ACLK	R/W	1011	See Applications Information section for details. See also PLL4 Block Diagram.
0x4B to 0x50	Reserved	7:0	RSVD			Reserved
0x51	User Auto Format 27M High Value MSB	7:0	USR_27M_High_MSB	R/W	0x00	User format detect is determined by looking at the frequency of the Hsync input. This frequency is measured by counting the number of 27 MHz clock cycles that occur in 20 Hsync periods. This 16 bit register lists the maximum number of 27 MHz clock cycles in 20 Hsync periods that could be considered to meet the criteria for the User Format
0x52	User Auto Format 27M High Value LSB	7:0	USR_27M_High_LSB	R/W	0x00	
0x53	User Auto Format 27M Low Value MSB	7:0	USR_27M_Low_MSB	R/W	0x00	User format detect is determined by looking at the frequency of the Hsync input. This frequency is measured by counting the number of 27 MHz clock cycles that occur in 20 Hsync periods. This 16 bit register lists the minimum number of 27 MHz clock cycles in 20 Hsync periods that could be considered to meet the criteria for the User Format
0x54	User Auto Format 27M Low Value LSB	7:0	USR_27M_Low_LSB	R/W	0x00	

表 2. レジスタ・マップ

ADD	Name	Bits	Field	R/W	Default	Description
0x55	User Auto Format R divider MSB	7:2	RSVD			Reserved
		1:0	USR_DIV_R1_MSB	R/W	00	See Applications Information section for details.
0x56	User Auto Format R Divider LSB	7:0	USR_DIV_R1_LSB	R/W	0x00	See Applications Information section for details.
0x57	User Auto Format N Divider MSB	7	RSVD			Reserved
		6:0	USR_DIV_N1_MSB	R/W	0000000	See Applications Information section for details.
0x58	User Auto Format N Divider LSB	7:0	USR_DIV_N1_LSB	R/W	0x00	See Applications Information section for details.
0x59	User Auto Format Charge Pump Current	7:0	USR_ICP	R/W	0x00	See Applications Information section for details.
0x5A	User Auto Format LPF MSB	7:5	RSVD			Reserved
		4:0	USR_TOF_LPF_MSB	R/W	00000	See Applications Information section for details.
0x5B	User Auto Format LPF LSB	7:0	USR_TOF_LPF_MSB	R/W	0x00	See Applications Information section for details.
0x5C	User Auto Format AFS	7:0	USR_TOF4	R/W	0x00	See Applications Information section for details.
0x5D	User Auto Format Misc	7	EN_USERMODE	R/W	0	Enables the Auto Format Detection User Mode. 0 = disabled 1 = enabled
		6:5	RSVD			Reserved
		4	USR_IINTERLACED	R/W	0	Sets the INTERLACED value to output from LUT1 if the INPUT_FORMAT register is set to the user code. This bit also specifies the value that the Auto Format Detection must see on the interlaced signal to detect the user defined mode.
		3:0	USR_IN_VS_CODE	R/W	0000	Sets the INPUT_VS_CODE value to output from LUT1 if the INPUT_FORMAT registers is set to the user code.

表 2. レジスタ・マップ

Register 0x09 [3:0]	PLL2_disable <sup>(1)</sup>	PLL3_Disable <sup>(1)</sup>	OUT2 Source	OUT3 Source
0000 (default)	0	0	PLL2	PLL3
0001	1	1	PLL1	PLL1
0010	0	1	PLL2	PLL2
0011	1	0	PLL3	PLL3
0100	0	0	PLL3	PLL2
0101	1	0	PLL1	PLL3
0110	0	1	PLL2	PLL1
0111	0	1	PLL1	PLL2
1000	1	0	PLL3	PLL1
1001	Reserved	Reserved	Reserved	Reserved
1010	Reserved	Reserved	Reserved	Reserved
1011	Reserved	Reserved	Reserved	Reserved
1100	Reserved	Reserved	Reserved	Reserved
1101	Reserved	Reserved	Reserved	Reserved
1110	Reserved	Reserved	Reserved	Reserved
1111	Reserved	Reserved	Reserved	Reserved

表 3. クロスポイント出力選択表

(1) PLL2\_DisableとPLL3\_Disableは、クロスポイント・モード・ビットのステータスにかかわらず、PLLx\_DISABLEレジスタへの書き込みにより強制できます。

Vsync Code <sup>(1)</sup> Number (binary)	Frame Rate Hz
0 (0000)	23.98 Hz
1 (0001)	24 Hz
2 (0010)	25 Hz
3 (0011)	29.97 Hz
4 (0100)	30 Hz
5 (0101)	50 Hz
6 (0110)	59.94 Hz
7 (0111)	60 Hz

表 4. Vsyncコード

(1) Vsyncコードは、レジスタ0x21 (Output Frame Lookup - Input Vsync Code)、0x22 (Output Frame Lookup - PLL2 Vsync Code)、0x23 (Output Frame Lookup - PLL3 Vsync Code) で使用されます。

# アプリケーション情報

## 機能の概要

LMH1983はフェーズ・ロック・ループ(PLL)クロック・ジェネレータで、Hsync/Vsync入力リファレンス・タイミングに同期、あるいは「Genlock」した多種多様なビデオ/オーディオ・レートクロックを複数同時に出力できます。4つのチャンネルそれぞれにTop of Frame(TOF)パルス・ジェネレータを備えており、各々のタイミングはプログラム可能でリファレンス・フレームに同期します。このクロック・ジェネレータは、2ステージPLLアーキテクチャを採用しています。第1ステージはVCXOベースのPLL(PLL1)で、外付けの27MHz VCXOとループ・フィルタを必要とします。Genlockモードでは、PLL1はVCXOクロックを入力リファレンスに対して位相ロックさせます。入力タイミング・ジッタを減衰させジッタ伝達を最小限に抑えるため、LMH1983を狭いループ帯域幅にする必要がありますが、その場合でも、VCXOを用いることで低位相ノイズのクロックが得られます。外付けVCXO、外付けループ・フィルタ、プログラム可能なPLLパラメータの組み合わせにより、システム設計者はループ帯域幅とループ応答をアプリケーションに応じ柔軟に最適化できます。

第2ステージは、モードによりますが、VCOとループ・フィルタを集積した3個のPLL(PLL2、PLL3、PLL4)で構成されます。各PLLは、デバイスのモードにかかわらずPLL1からのリファレンスVCXOクロック位相に常に追従します。PLL2とPLL3は、あらかじめ設定された分周比に基づいて、VCXOクロック周波数の通部と変換を行い、2つの一般的なHDクロック・レート(148.5MHzと148.35MHz)を生成します。PLL4は、デフォルトでは24.576MHzのオーディオ・クロックを生成するように設定されていますが、さまざまなアプリケーションに合わせて設定を変更できるよう、いくつかのレジスタがあります。

VCO内蔵PLLはPLLの安定性を確保するため広いループ帯域幅を有しているので、適切なジッタ性能を保証するにはVCXOは安定した低ジッタのクロック・リファレンスを供給する必要があります。未使用のクロックやTOF出力はHi-Zモードに移行させることが可能であり、これは消費電力の削減と、動作しているクロック出力のジッタや位相ノイズを低減させます。TOFパルスは、フレームの開始(トップ)を示し、フォーマットのクロスロック(入出力のフレームレートが異なる状況)にも対応します。出力タイミング(出力クロックおよびTOFパルス)、リファレンスに対する出力タイミング・オフセット、リファレンス・フレームに対する出力の初期化(アラインメント)を出力フォーマット・レジスタで指定する必要があります。使用しない場合は、TOF出力をHi-Zモードにすることもできます。

Genlock中にリファレンスの喪失が生じた際は、デフォルトでPLL1をフリーランまたはホールドオーバーのいずれかで動作させることができます。フリーランを選んだ場合、フリーラン制御用D/Aコンバータの出力電圧により出力周波数の精度が決まります。ホールドオーバーを選んだ場合、ホールド・オーバー用D/Aコンバータの出力電圧によりGenlock時の出力位相精度を維持します。これらのオプションとPLL1の適切なループ応答設計を組み合わせれば、リファレンスの喪失時や再アキュイジション時の出力クロック動作を柔軟に制御できます。リファレンス・ステータスやPLLロック・ステータスのフラグは、そのステータスをリアルタイムにアプリケーション・システムに通知します。リファレンスやロック喪失を検出するスレッシュホールドも設定できます。

## I<sup>2</sup>Cインターフェイス・プロトコル

I<sup>2</sup>Cインターフェイスのプロトコルは、スタート・パルスで始まり、7ビットのスレーブ・デバイス・アドレスとLSBに位置する読み出し/書き込みビットからなる1バイトが続きます。LMH1983のデフォルト・アドレスは、書き込みシーケンス用アドレスが0xCC(11001100)で、読み出しシーケンス用アドレスが0xCD(11001101)です。ベース・アドレスはADDRピンで変更できます。ADDRを開放状態にすると0x66(シフト状態では0xCC)、ADDRをGNDに接続すると0x65、ADDRをV<sub>DD</sub>に接続すると0x67になります。

## 書き込みシーケンス

書き込みシーケンスは、スタート状態で始まります。まず、SCLをHighにしたままマスタがSDAをLowにし、次にスレーブ・アドレスが送信されます。このアドレスは7ビットのアドレスと、それに続く読み出し/書き込みビット(書き込みは0)で構成されます。デフォルト・ベース・アドレスの0x66(1100110)の場合は、末尾に0が追加されて、最終的なアドレスは0xCCになります。アドレスの後に送信される各バイトには、ACKビットが続きます。SCKがHighになると、マスタがSDAラインを解放し、スレーブがSDAをLowにして確認応答をします。デバイス・アドレスの次に送信されるバイトはレジスタ・アドレスであり、このレジスタ・アドレスとACKに続いてデータ・バイトが送信されます。複数のデータ・バイトを送信する場合は、アドレスが自動的に加算され、データが次のアドレス位置に書き込まれます。「書き込みシーケンス・タイミング図」に示すように、各データ・バイトの後にはACKビットが続きます。

## 読み出しシーケンス

読み出しシーケンスは、2つのI<sup>2</sup>C転送で構成されます。最初はアドレス・アクセス転送で、アクセス先のアドレスのみを転送する書き込みシーケンスです。2番目はデータ読み出し転送で、最初の転送で指示されたアドレスから読み出しが始まります。その後は次のアドレスへと進み、ストップ状態になるまで読み出し続けます。以下のタイミング図に示すアドレス・アクセス転送は、スタート・パルス、読み出し/書き込みビット(この場合は書き込みを示す0)を含むスレーブ・デバイス・アドレス、ACKビットで構成されています。その次のバイトは読み出し対象のアドレスで、これにACKビットと、アドレス・アクセス転送の終わりを示すストップ・ビットが続きます。続くデータ読み出し転送は、スタート・パルス、読み出し/書き込みビット(この場合は読み出しを示す1)を含むスレーブ・デバイス・アドレス、ACKビットで構成されています。その次のバイトは、最

初のアクセス・アドレスから読み出されたデータです。データ・バイトが読み出されるごとに、アドレスが加算されるので、デバイスからの読み出しを続けると、後続アドレスのデータも取得できます。各バイトと先行バイトの間はACKビットで区切られ、読み出しシーケンスの終わりはストップ・ビットで示されます。

## 初期化

状況によっては、LMH1983が電源立上がり時に予期せぬ状態に陥り、PLL3の出力が大きなサイクル間ジッタを発生することがあります。電源投入後に簡単なレジスタ書き込みを行うことで、デバイスがこのような状態に留まることを防げます。レジスタ0x09に0x02を書き込んでから、レジスタ0x09に0x00を書き込むことで、CLKout3が劣化したデューティ・サイクルを示すことがなくなります。

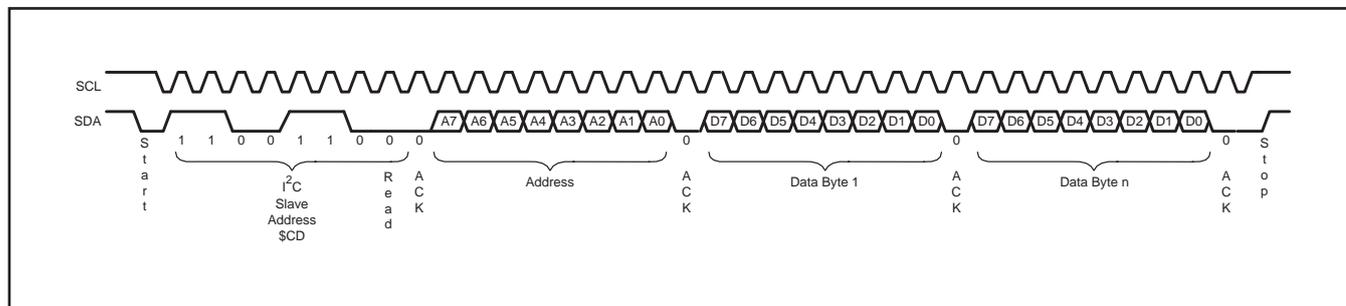


図 1. 書き込みシーケンス・タイミング図

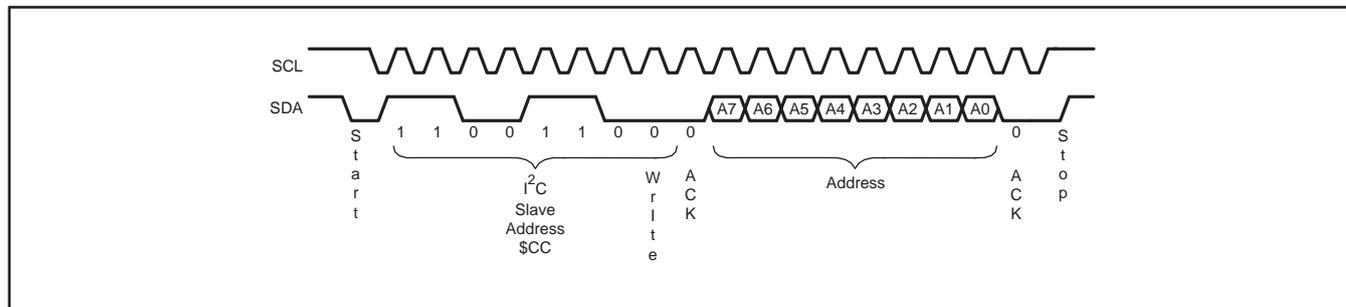


図 2. 読み出しシーケンス：アドレス・アクセス転送

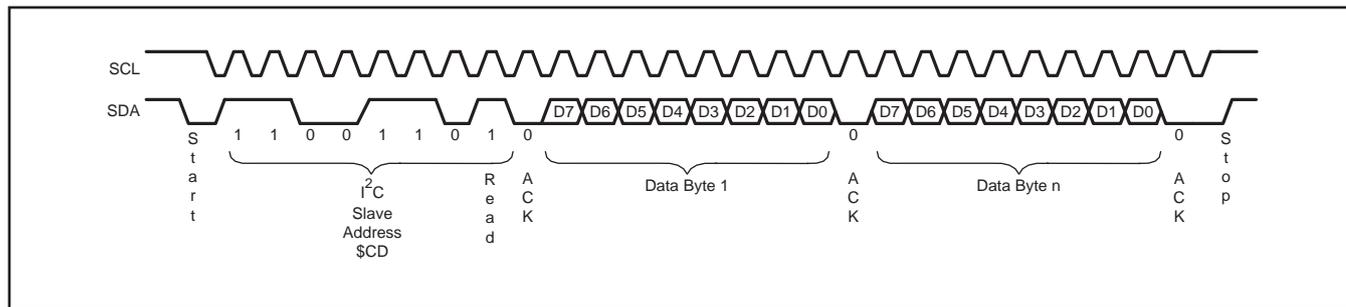


図 3. 読み出しシーケンス：データ読み出し転送

## リファレンス検出

デフォルト・モードでは、「自動フォーマット検出」が使用されます。この場合、デバイスは「自動フォーマット検出コード」表に示されたフォーマットの中からリファレンス・フォーマットを選択し、それに応じて内部構成をセットアップします。あらかじめ決められた31のフォーマットと1つのユーザー定義フォーマットを認識できます。デバイスがフォーマットを認識する方法は、 $H_{IN}$ 入力の周波数を測定し、 $V_{IN}$ 入力と $F_{IN}$ 入力を見て、リファレンス入力フォーマットがインタレースかプログレッシブ入力かを判断します。10MHzまたは27MHzリファレンスのように一部のフォーマットでは、 $H_{IN}$ や $V_{IN}$ 入力にスプリアスが発生すると、リファレンス入力を正しく認識できず、リファレンスへのロックが適切に行われません。そのため、 $H_{IN}$ がこうした特殊な信号の場合は、 $V_{IN}$ と $F_{IN}$ をミュートする必要があります。

## PLL1の制御

PLL1は27MHzのリファレンスを生成します。デバイス内の他のすべてのPLLが一次周波数リファレンスとして使用されます。PLL1に採用されているデュアル・ループ・アーキテクチャでは、一次ループが外付け27MHz VCXOを $H_{IN}$ 信号の高調波にロックさせます。このループに加えて、Genlock動作に使用する二次ループを備えています。この二次ループでは、LMH1983からのTOF1出力信号の位相と $F_{IN}$ 信号とを比較します。出力信号と入力リファレンスの同期を揃えるため、二次ループを一次ループより優先させます。この機能をどのように制御するかについては、「TOF1のアラインメント」の章で説明します。

PLL2、PLL3、PLL4は、いずれもPLL1を入力リファレンスとして使用するので、PLL1の性能が4つのクロック出力すべての性能に影響します。PLL1以外の3個のPLLでは、ループ・フィルタはすべて内蔵され、帯域幅はPLL1よりもはるかに広く設定されています。このため、4つのクロック出力の低周波ジッタ特性はすべて、PLL1のループ応答により決まります。したがって、PLL1のループ帯域幅とダンピング係数に特に注意を払う必要があります。

ループ応答は主にループ・フィルタ部品とループ・ゲインによって決まります。ほとんどのアプリケーションでは、 $R_S$ 、 $C_S$ 、 $C_P$ の各部品からなるパッシブの2次ループ・フィルタで、入力ジッタを十分減衰することができます。また、PLL1の低周波数応答をさらに工夫するため、より高次のフィルタを使うこともあります。

チャージ・ポンプ電流や「N」の値（デバイダ値）などパラメータの一部は、デバイスによって自動的に設定されます。入力リファレンス・フォーマットが変更されると、Nやチャージ・ポンプ電流も更新されます。Nは新しいリファレンスへのロックが

可能なように変更され、チャージ・ポンプ電流は一定のループ帯域幅を維持できるように調整されます。

PLL1の一次ロック・メカニズムでは、27MHz出力が $H_{IN}$ 周波数の倍数にロックされます。ただし、二次ループではTOF1と $V_{IN}$ の位相が比較され、デバイスのモードによっては、位相をゆっくり合わせ込むように、このループがVCXO制御電圧を駆動します。

## PLL1ループ応答の設計式

一次ループは、 $H_{IN}$ 入力に加えられたリファレンスを受け取り、R（レジスタ0x29と0x2Aに格納）で分周し、N（レジスタ0x2Bと0x2Cに格納）で分周された外付けVCXOの出力との間で位相および周波数を比較します。その際、PFDはパルスを出力します。そのパルスは、外部につながれたループ・フィルタで積分され、外付けVCXOの制御電圧を駆動します（「PLL1のブロック図」を参照）。PLL1のブロック図に示すループ・フィルタのトポロジならば、PLLの帯域幅は次式で求められます。

$$BW_{PLL1} = R_S \times K_{VCO} \times I_{CP1} / FB\_DIV$$

- $R_S$ は、外付けループ・フィルタの直列抵抗の値です。
- $K_{VCO}$ は、27MHz VCXOの公称ゲイン（Hz/V単位）です。 $K_{VCO} = \text{Pull\_range} \times 27\text{MHz} / \text{Vin\_Range}$ となります。代表的なインターフェイス回路で使用されているVCXO（メーカー：CTS、P/N：357LB3C027M0000）の場合は、 $L_{VCO} = 100\text{ppm} \times 27\text{MHz} / (3.0\text{V}-0.3\text{V}) = 1000\text{Hz/V}$ となります。
- $I_{CP1}$ は、PLL1チャージ・ポンプからの電流です。
- $FB\_DIV$ は、RレジスタとNレジスタの値で設定されるPLLの分周比です。これは、1回の $H_{IN}$ 周期内における27MHzクロック・パルスの数と等しくなります。NTSCの場合、この値は1716です。

通常動作の場合、チャージ・ポンプ電流や「FB\_DIV」の値などパラメータの一部は、デバイスによって自動的に設定されます。例えば、入力リファレンス・フォーマットが変更されると、Nやチャージ・ポンプ電流が更新されます。Nは新しいリファレンスへのロックが可能なように変更され、チャージ・ポンプ電流は一定のループ帯域幅を維持するように調整されます。

この帯域幅計算は近似式であり、ダンピング係数や、 $C_P$ によって生じる二次ポールの影響は考慮されていません。

-3dBのループ帯域幅を大幅に上回る周波数では、PLL1の閉ループ周波数応答は約-40dB/decadeでロールオフします。これは、ループ帯域幅を超える周波数の入力ジッタを減衰させるのに効果的です。-3dBのコーナー周波数付近では、ロールオフ特性はダンピング係数やフィルタの次数など他の要素に依存します。

PLLの位相比較周波数によるVCXOの変調が原因となる出力ジッタを防ぐには、帯域幅は以下の条件を満たすことが必要です。

- $BW \leq (27\text{MHz} / \text{FB\_DIV}) / 20$

PLL1のダンピング係数は次式で近似できます。

- $DF = (R_S/2) \sqrt{(I_{CP1} \times C_S \times K_{VCO} / \text{FB\_DIV})}$

$C_S$ は、直列コンデンサの容量(単位:ファラッド)です。通常、 $DF$ が $1/\sqrt{2}$ と1の間になるようにすると、ロック時間とリファレンス・スプリアス減衰のトレード・オフを適切に両立できます。 $DF$ は位相マージンに関連しており、PLLの安定性の基準となります。

第2の並列コンデンサ $C_P$ は、PLLによって生じるリファレンス・スプリアスをフィルタするために必要です。リファレンス・スプリアスはVCXO制御電圧を変調させ、ジッタを発生させます。以下の関係に基づいて $C_P$ を決定してください。

- $C_P \approx C_S/20$

PLLのループ・ゲイン $K$ は、 $K = I_{CP1} \times K_{VCO} / \text{FB\_DIV}$ で求められます。

したがって、帯域幅とダンピング係数は、 $K$ を使うと以下のように表せます。

- $BW = R_S \times K$

- $DF = (R_S/2) \times \sqrt{(C_S \times K)}$

## ループ・フィルタ用コンデンサ

現在多くの回路で最も一般的に使用されているコンデンサ・タイプは、X7R、Y5V、X5R、Y5Uなどの強誘電セラミック・コンデンサです。強誘電セラミック・コンデンサは、機械的な振動、ストレス、衝撃に反応して電気信号を生成する圧電効果が生じます。圧電効果がVCXOへの制御入力に及ぶと、ジッタ特性が悪影響を受けるおそれがあります。このような影響を防ぐ上で最も簡単な方法は、圧電効果を生じないタンタル・コンデンサを使用することです。

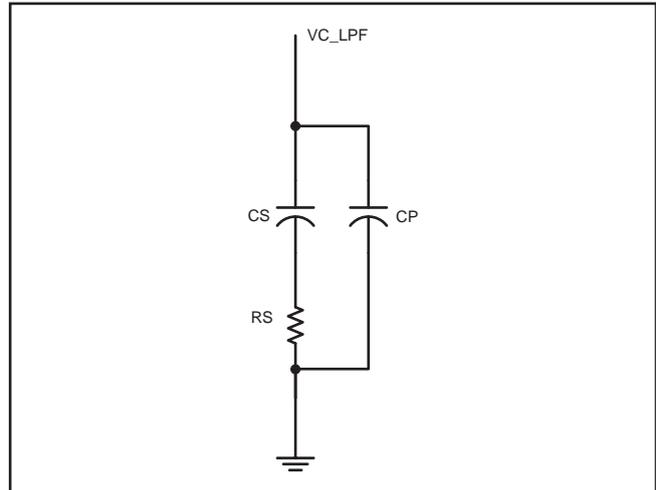


図 6. 外付けループ・フィルタの詳細

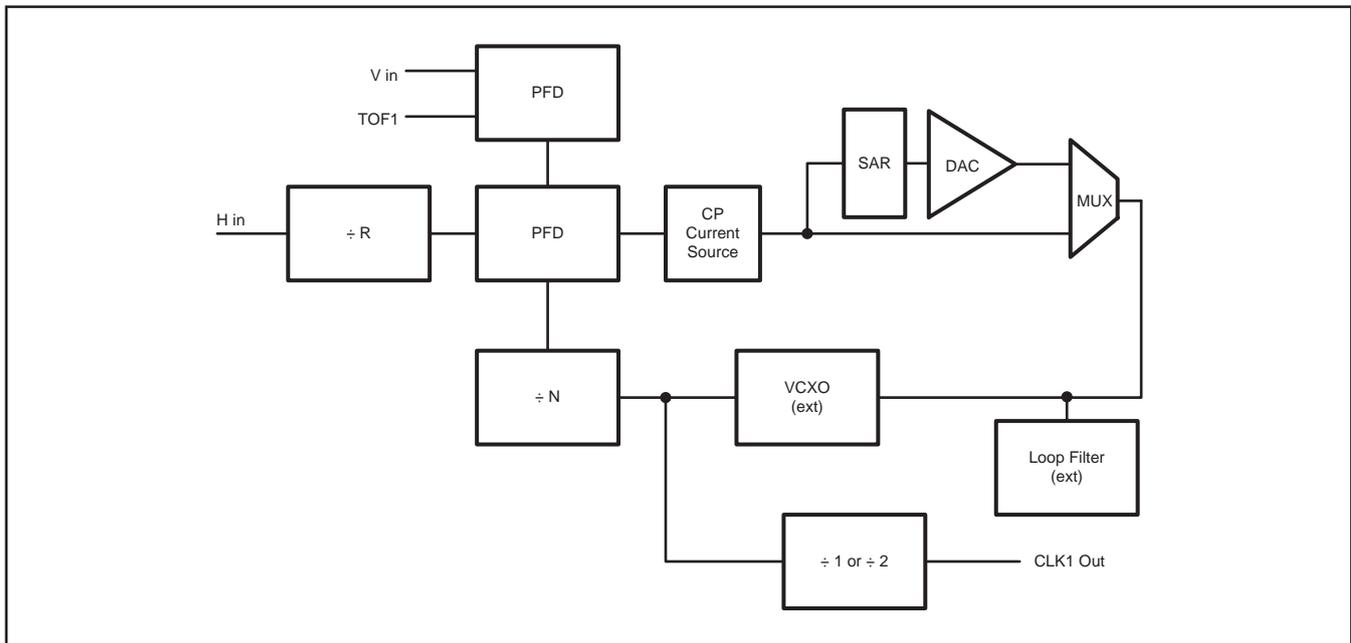


図 5. PLL1のブロック図

## ロックの判定

レジスタ0x02には、4個のPLLのロック・ステータスを示す4つのビットがあります。PLL1におけるロックの決定は、LockStepSizeレジスタ(レジスタ0x2D)とLoss of Lock Thresholdレジスタの2つを使って制御できます。LockStepSizeレジスタは、デバイスがロックしたとみなす際にVC\_LPFピンで許容される変動量を設定します。LMH1983へのリファレンスに多くのジッタがある場合、LockStepSizeの設定が小さすぎると、デバイスは容易にロックの宣言をしなないことがあります。PLL1のロック判定を制御する2番目のレジスタは0x1C (Loss of Lock Threshold)です。このレジスタは、ロックの喪失が宣言されるまでに必要な $H_{IN}$ 入力のカイクル数を設定します。一部のリファレンス信号では、垂直同期期間に複数の $H_{IN}$ パルスが欠落しているものがあるので、このレジスタには6より大きい値を設定することを推奨します。ピン11のNO\_LOCKは、LMH1983のロック・ステータスを示します。NO\_LOCKピンのステータスは、レジスタ0x01から読み出せます。これは4個のPLLそれぞれ4つのNO\_LOCKステータス・ビットの論理和で、PLLロック・マスク(レジスタ0x1D)内のビットによってマスクされます。また、個々のPLLがパワーダウンしている場合もマスクされます。

## ロック時間に関する考慮

LMH1983のロック時間は、PLL1のロック時間によって決まります。他のPLLはループ帯域幅がはるかに広いので、PLL1よりも迅速にロックします。したがって、ロック時間に関する考慮はすべてPLL1が対象です。PLLのロック時間はループ帯域幅に依存しており、帯域幅を求める式は「PLL1ループ応答の設計式」に記載されています。LMH1983は「FastLock」モードにも対応します。このモードでは、ループがロックしていない時、チャージ・ポンプ電流を増やし、帯域幅を広げます。そして、ロックが

確定した後、ユーザーによって設定された時間が経過すると、ICP1は絞られ、帯域幅は所定の値まで減少します。この結果、速いロック時間と非常に小さな残留ジッタを実現します。

ロック時間について注意すべきもう1つの点は、「TOF1のアライメント」の章で説明する「ドリフト・ロック」がイネーブルであるかどうかです。ドリフト・ロックがイネーブルの場合、TOF1の位相と $F_{IN}$ 信号の間に大きな差がある場合です。このようなケースでは、2つのフレーム信号が揃うまで、VCXOをなめらかに調整してクロック・レートを増減させます。これには長い時間(数十秒)がかかる可能性があります。

PLLがロックに要する時間とは別に、NO\_LOCK出力ピンの状態を決める回路が存在します。LMH1983のPLLは、VCXO制御ピンに印加される電圧を調整し、VCXOを入力リファレンスの高調波にロックすることによって動作します。デバイスがロックしていない場合、PLLはVCXO制御電圧を上限まで引き上げるか、下限まで引き下げて、電圧をなめらかにロック状態にします。VCXOとリファレンスの位相差が小さくなると、デバイスは制御電圧を上下に微調整して、位相差を維持します。VCXOのドリフトやリファレンスのジッタが原因で調整が必要になります。

NO\_LOCK表示の状態を決めるに当たり、LMH1983は定められた期間内において調整の量を監視するウィンドウを設けています。これら2つのパラメータは、レジスタを使って設定します。LOCK\_STEP\_SIZEレジスタでは、信号を測定する期間を設定し、LOCK\_THRESHOLDレジスタでは、デバイスがロックしようとする時に、決められた期間内で許容される制御電圧の変動量を設定します。

ロックと宣言するまでにかかる時間を最小限に抑えるには、LOCK\_STEP\_SIZEレジスタ(レジスタ、0x2D)に値1(最小値)を設定し、LOCK\_THRESHOLDレジスタ(レジスタ、0x1C)に値31(最大値)を設定してください。「NO\_LOCK高速応答モードのタイミング」に示します。

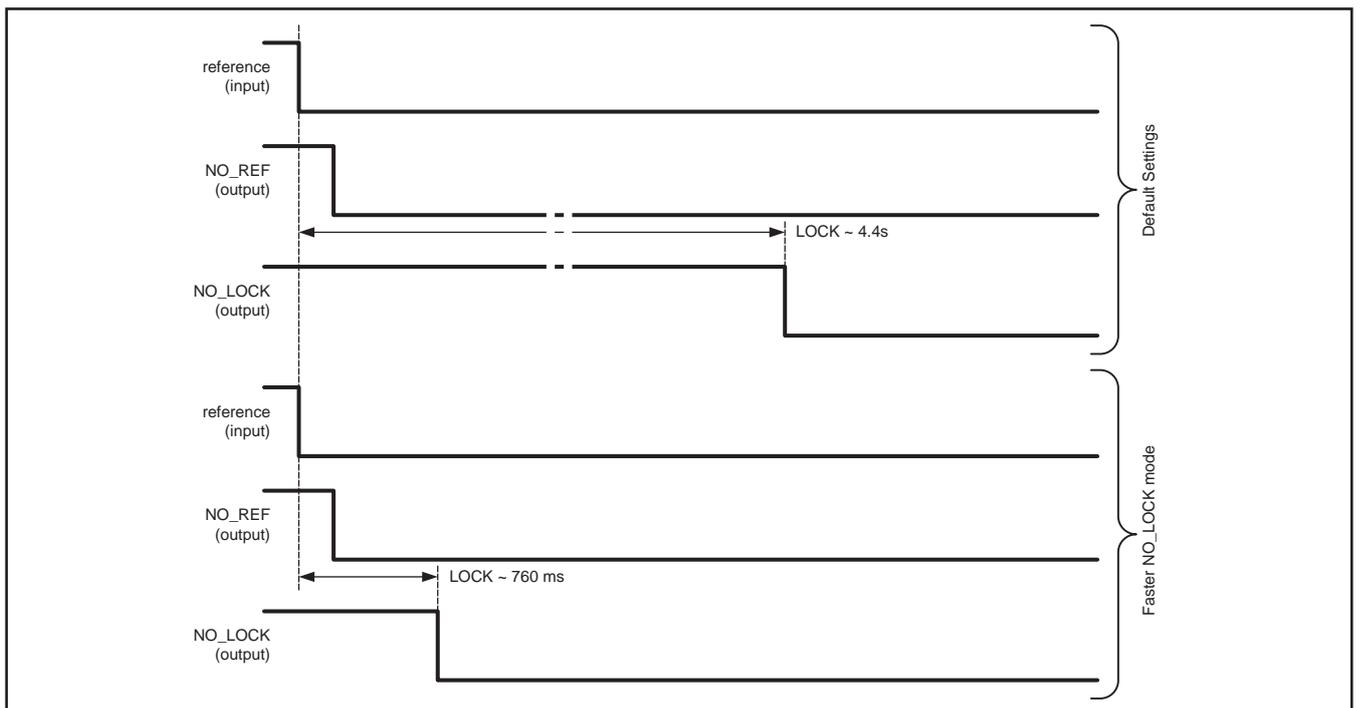


図 7. NO\_LOCK高速応答モードのタイミング

## VCXOの選択基準

推奨するVCXOは、CTSの部品番号357LB3C027M0000です。このVCXOは絶対引き込み範囲が $\pm 50$ ppm、温度範囲が $-20^{\circ}\text{C} \sim +70^{\circ}\text{C}$ です。絶対引き込み範囲の小さなVCXOを使うと、周波数安定性が向上し、わずかにジッタが減少しますが、絶対引き込み範囲は想定される入力周波数の変動範囲よりも広くなければなりません。

## フリーラン、ロック、ホールドオーバー・モード

LMH1983の一次PLLは、3種類のモードで動作し、レジスタ0x05で選択できます。フリーラン・モードでは、 $H_{IN}$ 、 $V_{IN}$ 、 $F_{IN}$ は使用せず、VCXO制御電圧はレジスタ0x15および0x16の値に従って設定されます。これらのレジスタへの書き込みを行うと、VCXO電圧を増減させることができます。スレープPLLは、一次PLLへのロックを維持します。

Genlockモードでは、 $H_{IN}$ とVCXO出力周波数の間でロックを維持するようVCXO制御電圧をアクティブに制御します。また、それに優先してTOF1と $F_{IN}$ の間でロックを行う二次ループも存在します。詳細は、「TOF1のアラインメント」の章を参照してください。

3番目のモードはホールドオーバー・モードです。リファレンスが喪失した時は、A/D - D/AペアがPLL制御ループを引き継いで、VCXO制御電圧を一定に保つことができます。これを適切に機能させるには、リファレンスが失われたら、直ちにデバイスがそのことを認識できなければなりません。一部のシンク・セパレータは、アナログ入力 of 喪失時にH、V、Fの各出力からランダム・パルスを出しますが、これはデバイスを混乱させます。したがって、ホールドオーバー・モードをアナログ・シンク・セパレータと組み合わせて使用する場合は、有効なリファレンス入力の有無を示す信号でH、V、Fの各信号をゲート制御することを推奨します。

## PLL2とPLL3の制御

LMH1983の4個のPLLのうちでPLL2とPLL3は最も自由度が低いです。それぞれ148.5MHzと148.35MHzで動作するようにプログラムされています。出力を74.25MHzまたは74.18MHzにする $\div 2$ オプションも用意されており、必要に応じて使用できます。その他の利用可能な制御としては、これら2つのPLLをディスエーブルすることです。それぞれのクロックが必要ない場合、PLL2またはPLL3をディスエーブルすることで消費電力を大幅に削減できます。

## PLL4の制御

PLL4はオーディオ用のクロックを生成するためのものですが、高い汎用性を備えています。複数のレジスタを利用して、広範な周波数を生成するようにPLL4を構成できます。PLL4のデフォルト状態では、CLK4から24.576MHz( $48\text{kHz} \times 512$ )を、TOF4から5.996Hzを出力します。CLK1(27MHz)を75で除算した結果360kHzの信号が得られ、PLL4に内蔵されたVCO(公称1.2GHz)を4096で除算してできた360kHzと比較します。この1.2GHz出力は12で除算され、98.304MHzの信号( $48\text{kHz} \times 2048$ )を生成します。レジスタ0x34の一部PLL4\_DIV値を変更することにより、48kHzの2の累乗倍が生成されます。ここで除数は2の累乗なので、デフォルト値の2では、98.304MHz信号が $2^2$ (すなわち4)で除算されます。PLL4\_DIVは4ビットなので、最大15までの値を設定でき、 $2^{15}$ (すなわち32768)の除算が可能です。

44.1kHzサンプリング・クロックに基づくオーディオ・クロックが必要な場合、44.1kHzオーディオ・クロックを生成するための適切なレジスタ設定の詳細手順について、テキサス・インスツルメンツのウェブサイト上のアプリケーション・ノートAN-2108を参照してください。

TOF4は、2種類の異なるモードで動作できます。AFS\_modeビット(レジスタ0x09)を0にセットすると、CLKout4を $2^{\text{TOF4\_ACLK}}$ (レジスタ0x4A)で分周することでTOF4を得ます。AFS\_modeビットを1にセットすると、TOF1をAFS\_div(レジスタ0x49)で分周することによりTOF4を得ます。自動フォーマット検出モードでは、AFS\_divレジスタは読み出し専用となり、検出されたフォーマットに応じて内部で設定されます。

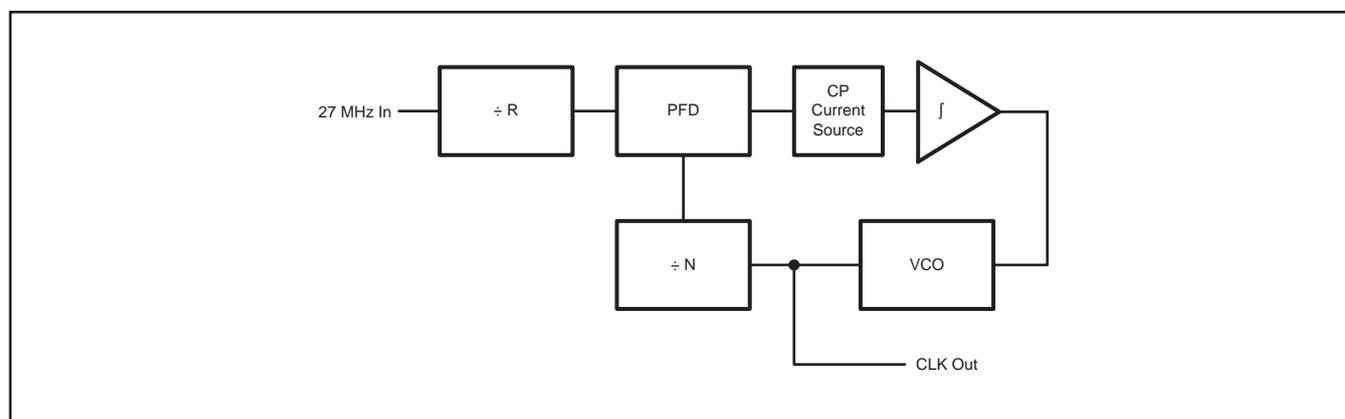


図 8. PLL2/PLL3のブロック図

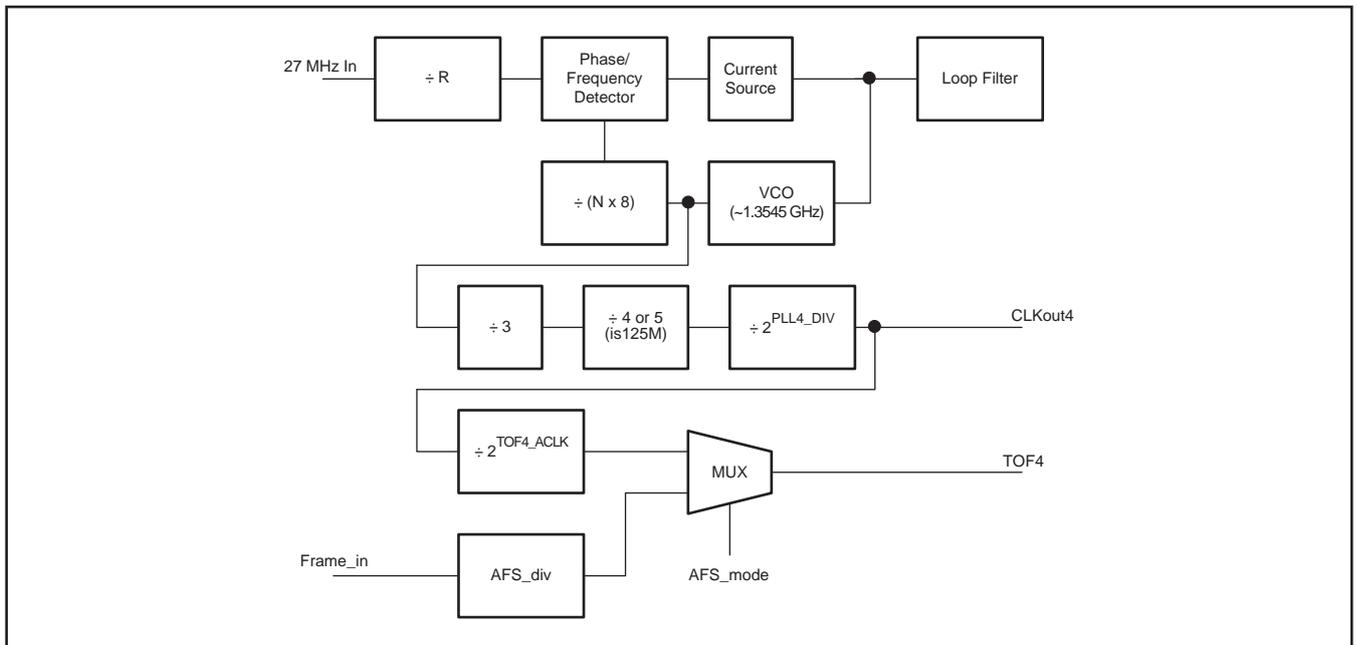


図 9. PLL4のブロック図

## クロック出力のジッタ

FPGAに搭載された組み込み型シリアルライザ/デシリアルライザなど、ビデオ・クロックを必要とする一部の回路は、ジッタに対して敏感です。現実のすべてのアプリケーションでは、ジッタはランダムな要素を持つので、統計的条件で規定するのが最良と考えます。SMPTEシリアル規格 (SMPTE259M、SMPTE292M、SMPTE424M) では、周波数領域でジッタを規定する方法を採用しています。この方式では、ジッタがバンドパス・フィルタで処理された後の信号のピーク・ツー・ピークジッタが対象となります。10Hz未満の周波数のジッタは無視され、10Hzから中間周波数 (270Mbps規格では1kHz、1.5Gbpsおよび3Gbps規格では100kHz) までのジッタはタイミング・ジッタと呼ばれ、中間周波数からシリアル・レートの1/10までのジッタはアラインメント・ジッタと呼ばれます。SMPTE規格が定められている限界値はピーク・ツー・ピークでの限界値ですが、高いレートでは特に、ランダム・プロセスが大きく影響するので、信頼度 (confidencelevel) という概念なしでピーク・ツー・ピーク・ジッタについて議論することはできません。LMH1983のジッタを規定するために使われている方法では、ジッタを確定要素 ( $t_{DJ}$ ) とランダム要素 ( $t_{RJ}$ ) に分解します。この方法は、広帯域オシロスコープでサポートされているジッタ解析ツールや、主要な計測器メーカーから提供されているタイミング解析ツールで採用されています。

RMS(実効値)ジッタとピーク・ツー・ピーク・ジッタの間で変換を行うには、ビット誤り率 (BER) を規定する必要があります。ジッタはランダムな事象なので、BERを決めないと、ピーク・ツー・ピーク・ジッタは測定時間に依存し、不必要に大きくなり得ます。ピーク・ツー・ピーク・ジッタをRMSジッタに関連付ける式は次のとおりです。

$$t_{P-P} = t_{DJ} + \alpha \times t_{RJ} \quad (1)$$

$\alpha$  は、次式よりBERから導き出せます。

$$1/2\text{erfc}(\sqrt{2} \times \alpha) = \text{BER} \quad (2)$$

erfc(エラー関数) は、数学関連の資料で使われている関数であり、ExcelやMATLABにも採用されています。この計算で一般的に用いられるBERは $10^{-12}$ で、この場合、 $\alpha$ は14になります。

クロック出力のジッタを評価する、もう1つの一般的な方法は、周波数の関数として位相ノイズを測定することです。以下のグラフは4つのCLKout出力各々の位相ノイズを示します。

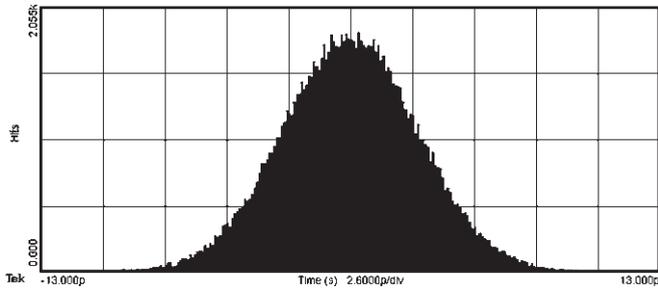


図 10. CLKout1のジッタのヒストグラム  
横軸：2.6ps/div

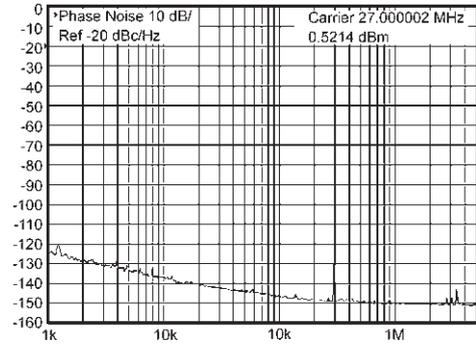


図 11. CLKout1の位相ノイズ

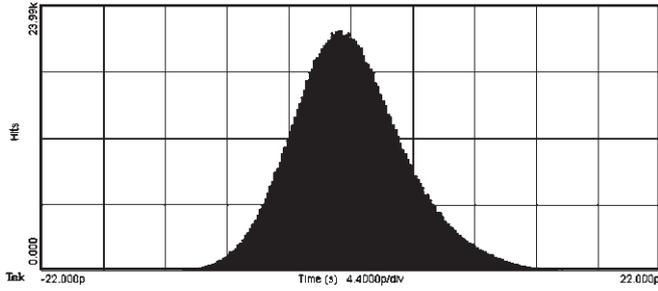


図 12. CLKout2のジッタのヒストグラム  
横軸：4.4ps/div

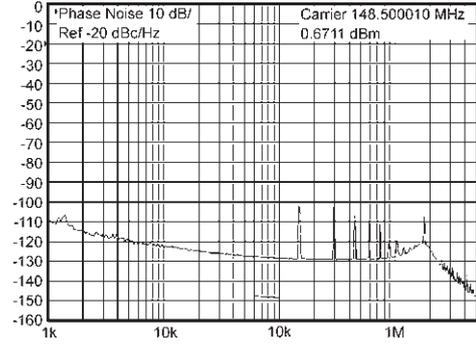


図 13. CLKout2の位相ノイズ

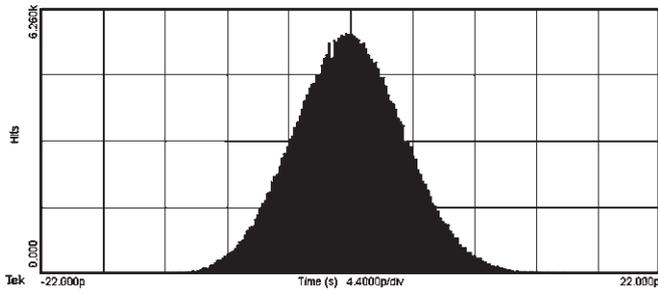


図 14. CLKout3のジッタのヒストグラム  
横軸：4.4ps/div

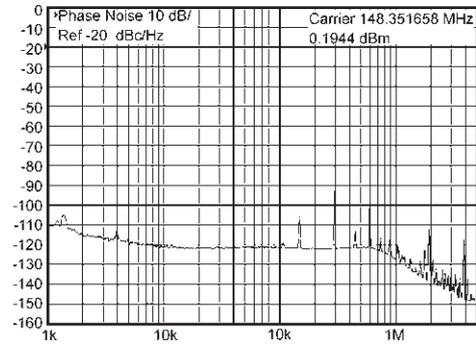


図 15. CLKout3の位相ノイズ

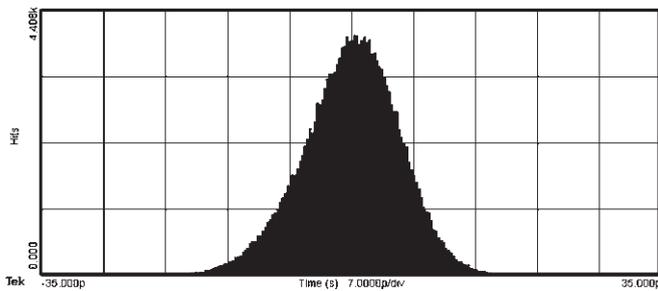


図 16. CLKout4のジッタのヒストグラム  
横軸：7ps/div

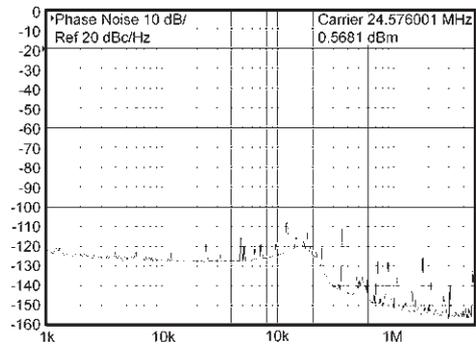


図 17. CLKout4の位相ノイズ

## 出力ドライバの調整

I<sup>2</sup>Cインターフェイスを介し、LVDS出力ドライバを調整することで差動出力電圧振幅、コモンモード電圧の変更、並びにLVDS出力のプリエンファシスを行うことができます。

レジスタ0x3AのMSB (ビット7)はプリエンファシスをオンにします。これによりLMH1983と負荷の間の距離を伸ばすことができます。トレース長は短くすることを推奨します。なぜなら長いトレースでは、有害な信号と結合し、ジッタ特性が低下する可能性があります。

CLKoutピンの差動出力振幅は、レジスタ0x3Aのビット[6:4]を使って調整します。大きな値を設定すると、出力振幅は増加します。コモンモード出力電圧もレジスタ0x3Aで調整でき、ビット[3:0]を使用します。

## TOF1のアラインメント

4つのクロック出力には、それぞれ対応するビデオフレームの先頭を示す信号 (TOF) 出力があります。LMH1983では、3つの各ビデオ・クロックに対してビデオ・フォーマットが設定され、TOF信号は、該当フォーマットの新しいフレームが始まることをデジタルで示します。例えば、PLL1がNTSCに対応したビデオ・フォーマットに設定されると、CLK1は27MHzになり、TOF1は1フレーム毎に1回、または900,900クロック・サイクル毎に1回パルスを出力します。デフォルト状態では、LMH1983が入力リファレンス・フォーマットを検出し、このフォーマットをCLK1の出力フォーマットとして設定します。そのため、入力リファレンス・フォーマットがNTSCリファレンスの場合、TOF1はデフォルトで29.97Hzの信号になります。

LMH1983へのH<sub>IN</sub>、V<sub>IN</sub>、F<sub>IN</sub>入力がLMH1981シンク・セパレータから発信された場合、F<sub>IN</sub>入力の立ち上がりエッジはラインの中間 (H<sub>IN</sub>パルスの中間) になります。図「TOF1のタイミング」に示すように、アラインメント状態にすると、TOFパルスは1H周期の幅を持つパルスで、遷移はH<sub>IN</sub>パルスの立ち上がりエッジに揃います。オフセット0を設定すると、F<sub>IN</sub>入力が遷移するH周期の間、Highになります。

入力F<sub>IN</sub>とTOF1出力とのアラインメントは、いくつかの方法で制御できます。TOF1には3種類のアライン・モードがあり、レジスタ0x11で選択できます。デフォルトのパワーアップ・モードでは、アラインメントは行われません。残りの2つのモードでは、常にF<sub>IN</sub>にアラインメントを強制するか、ミスアラインした時にF<sub>IN</sub>にアラインメントを強制します。ミスアラインは、ユーザーがレジスタ0x15で定義できます。このレジスタは、アラインメントを判定する際、F<sub>IN</sub>とTOF1の間で許容されるずれ量を指定します。入力リファレンス信号に、大きな低周波ジッタやふらつきがある場合、TOF1とF<sub>IN</sub>との相対的なアラインメントは変動する可能性があります。なぜなら、TOF1出力では、ジッタやふらつきがPLL1ループ・フィルタによって減衰されるからです。常時アライン・モードを選択した時、CLKout1/TOF1出力が望ましくないタイミング・ジャンプを起こすことがあります。

デバイスが、TOF1とF<sub>IN</sub>のアラインメントが必要と判断した場合、2つの方法で実行できます。クラッシュ・ロックでは、TOF1出力が遷移する場所を管理するカウンタをリセットすることで、TOF1は即座に移動し、F<sub>IN</sub>とアラインします。ドリフト・ロックでは、PLL1の二次ループを使い、VCXOを調整してCLKout1の周波数を増加または減少させ、TOF1とF<sub>IN</sub>をゆっくりアラインさせます。TOF1とアラインしていないリファレンスが新たに入力され、且つ、出力が現在使用中の場合、クラッシュ・ロックによってタイミングに大きな乱れを生じさせるよりも、TOF1にゆっくりアラインさせる方が良い場合があります。LMH1983では、TOF1とF<sub>IN</sub>の位相差が小さい場合と位相差が大きい場合、それぞれについてユーザーがクラッシュ・ロックまたはドリフト・ロックをレジスタ0x11で選択できます。また、差が大きい場合、アラインさせるために、ユーザーはPLL1の位相を進めるか、遅らせるかをデバイスに指示できます。ただし、アラインメントの差が大きい場合、ドリフト・ロックでアラインさせるには、きわめて長い時間 (数十秒) がかかる可能性があり、この間、出力クロックは入力H<sub>IN</sub>に位相ロックしません。

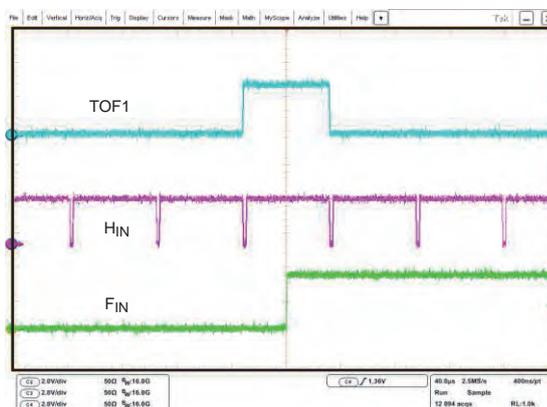


図 18. TOF1のタイミング

## TOF2とTOF3のタイミング

TOF1と同様に、2番目、3番目の各チャンネルにも対応したビデオ・フォーマットがあります。フォーマットは、それぞれレジスタ0x07と0x08で設定します。フォーマットが設定され、TOF出力がイネーブルになると、それぞれの出力に適したレートでTOFパルスが生成されます。TOF2とTOF3で選択できるアラインモードは4種類あります。

TOF2/TOF3 Alignment Mode	Description
0	Auto Align when misaligned
1	One shot manual align
2	always align
3	never align

表 5. TOF2/TOF3のアライン・モード

TOF2とTOF3は通常、TOF1にアラインします。フレーム・レートが互いに同じ場合のみ、アラインメント・ステータス・ビットがセットされます。もう1つの選択肢はソフトウェアを使用するもので、この場合はTOFX\_INITビットへの書き込みを行います。例えば、レジスタ0x12のLSBはTOF2\_INITビットです。TOF2のアラインモードを3以外に設定した状態でこのビットに1を書き込むと、TOF2の位相が即座にリセットされます。このビットはセルフ・クリア・ビットなので、読み出すと常に0が返ります。

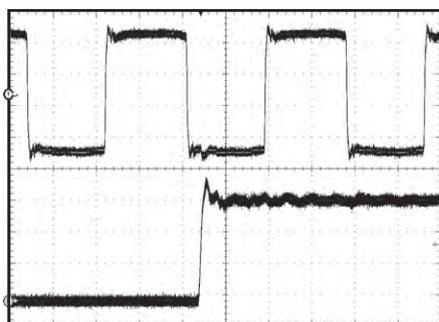


図 19. TOF1のタイミング  
上のトレース：CLKout1、下のトレース：TOF1  
10ns/div、上：200mV/div、下：1V/div

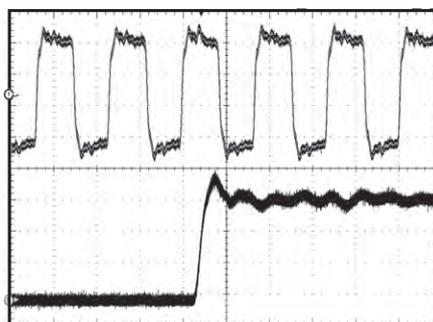


図 20. TOF2のタイミング  
上のトレース：CLKout2、下のトレース：TOF2  
4ns/div、上：200mV/div、下：1V/div

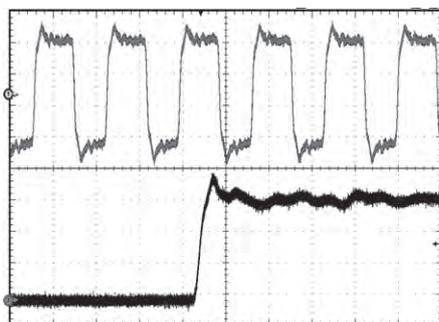


図 21. TOF3のタイミング  
上のトレース：CLKout3、下のトレース：TOF3  
4ns/div、上：200mV/div、下：1V/div

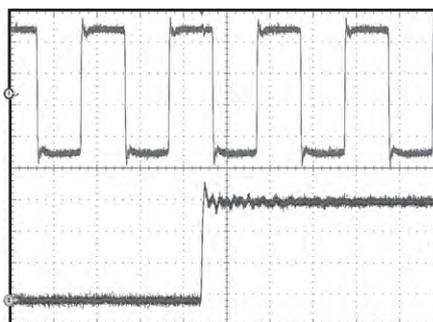


図 22. TOF4のタイミング  
上のトレース：CLKout4、下のトレース：TOF4  
10ns/div、上：200mV/div、下：1V/div

## TOF4のアラインメント・モード

LMH1983の4番目のチャンネルは通常、オーディオ・クロックの生成に使用されます。デフォルトのベース・オーディオ・クロック・レートは48kHzであり、このサンプリング・クロックとビデオ・フレームの間では、29.97Hzおよび30Hzフレーム・レート規格の場合は5フレーム毎に1回、60Hzおよび59.94Hzシステムの場合は10フレーム毎に1回、位相が合います。LMH1983は、このレートで発生するTOF4パルスを生成できるので、オーディオ・フレームとビデオ・フレームを同期させることができます。

TOF4は、TOF1またはF<sub>IN</sub>入力とアラインさせることができます。また、TOF4アラインメントの設定に使用可能な外部INIT入力もあります。

## ユーザー定義フォーマット

LMH1983には、検出されたリファレンスのフォーマットに基づいて自動的にロードされるレジスタが複数存在します。ユーザーは標準以外のフォーマットと、そのフォーマットの検出時にレジスタにロードされるレジスタ値を定義できます。LMH1983ではフォーマットの識別に当たり、Hsync入力周波数を測定し、該当フォーマットにおけるフレームあたりのライン数を数え、フォーマットがインタレースかプログレッシブかを判断します。Hsync周波数は、20回の水平同期に相当する時間内に発生する27MHzクロック・エッジを数えることで計測します。周波数を定義するには、最小許容カウントと最大カウントを定義して、Hsync周波数の範囲を設定する必要があります。レジスタ0x51と0x52を使って周波数範囲の下限を定める16ビット値を定義し、レジスタ0x53と0x54を使って周波数範囲の上限を定めます。レジスタ0x5Aと0x5Bは、そのフォーマットにおける1フレームあたりのライン数を定義し、レジスタ0x5Dのビット4はユーザー定義フォーマットがインタレースであるか否かを示します。ユーザー定義フォーマットの検出を有効にするには、0x5Dのビット7をセットする必要があります。ユーザー定義フォーマットが検出されると、レジスタ0x55から0x59の内容に基づいてPLL1が27MHzにロックするように構成され、これがPLL2、PLL3、PLL4のリファレンスとして使用されます。

## 代表的なインターフェイス回路

LMH1983の代表的なアプリケーション回路を図23「LMH1983の代表的なインターフェイス回路」に示します。この回路で最も考慮すべき部分はRS、CS、CP、およびLM7711オペアンプで構成されるループ・フィルタです。LM7711は、VCXOの制御電圧入力を駆動する前にループ・フィルタ出力をバッファします。ループ・フィルタの部品選択は慎重に行う必要があります（前記のループ・フィルタの説明を参照）。CLKout出力は差動LVDS信号なので、差動信号として扱ってください。これらの信号は完全な差動ラインとしてレイアウトすることがあります。この場合には、2つのライン間の特性インピーダンスは公称100Ωです。あるいは、疎結合ラインを使うこともあります。この場合、各ラインの特性インピーダンスはGND基準で50Ωにする必要があります。いずれの場合でも、トレース長はできるだけ一致するように注意してください。差動ラインのトレース長が一致しないと、そのラインでジッタは増加します。他の信号がトレースに干渉する場合も、クロック出力のジッタは増加します。したがって、クロック・トレースは可能な限り他の信号から分離する必要があり、特に長い距離にわたって並行させることは避けてください。有害な信号が敏感なクロック信号と交差しなければならない場所では、できるだけ90°に近い角度で交わるように配線する必要があります。

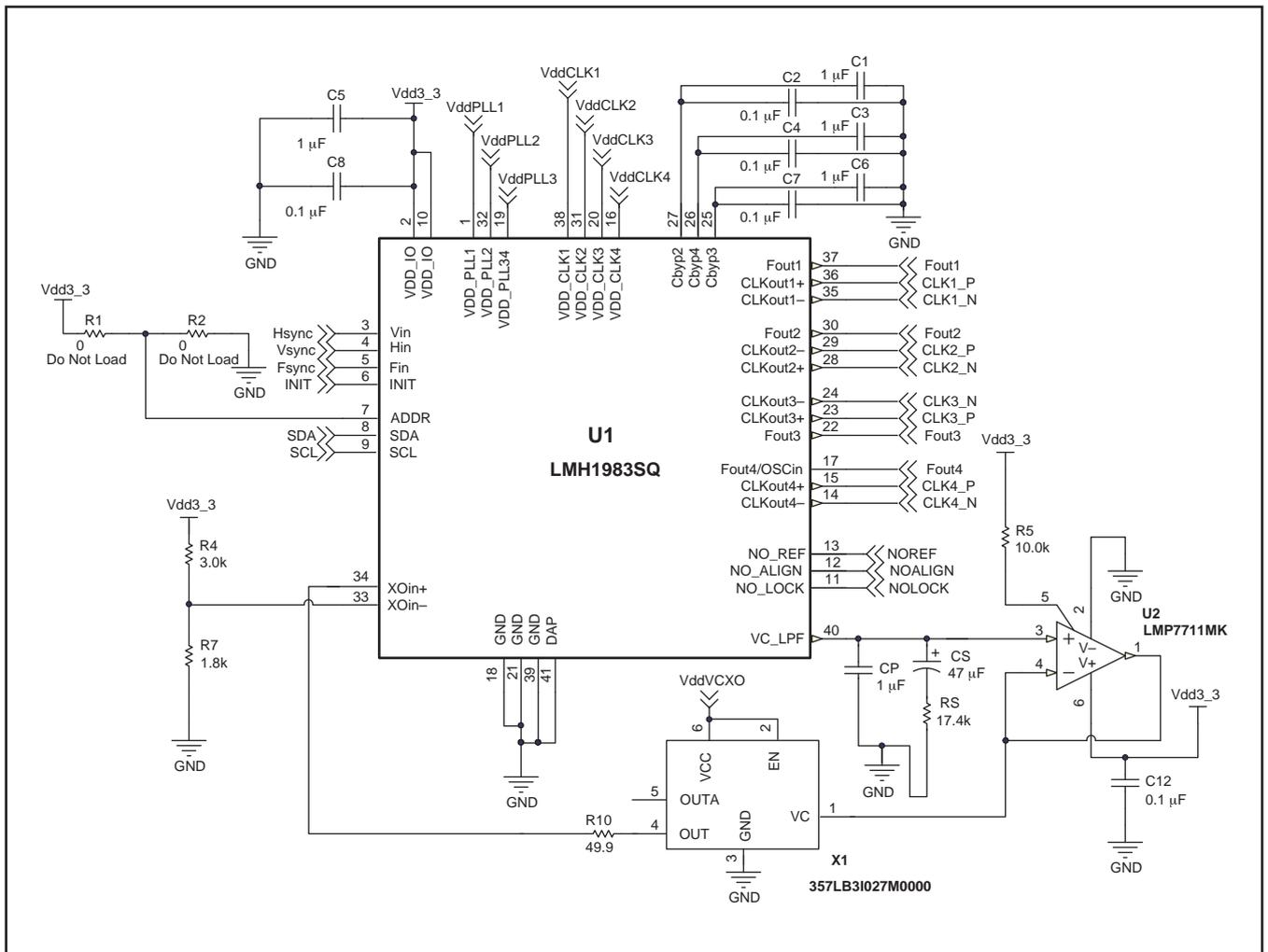


図 23. LMH1983の代表的なインターフェイス回路

LMH1983のようなマルチクロック・システムでは、ジッタの発生源になり得るものの1つが、チップ上における4個のPLL間の干渉です。この影響を低減させるため、LMH1983内部では各PLLを個別の電源によって動作させ、各電源は専用の内蔵レギュレータを持っています。「LMH1983の代表的なインターフェイス回路」に示すように、それぞれのレギュレータには専用の外部バイパスコンデンサが必要です。

制御システムとLMH1983の間には、I<sup>2</sup>Cバスも接続されます。LMH1983では、ADDRピンの状態 (High、Low、または開

放)によって、3つのI<sup>2</sup>Cアドレスのいずれか1つを選択します。制御バスの構成によっては、SDAピンとSCKピンにプルアップ抵抗が必要になります。

## 代表的なアプリケーションのブロック図

入出力構成が異なるLMH1983の代表的な3つのアプリケーションを以下に示します。

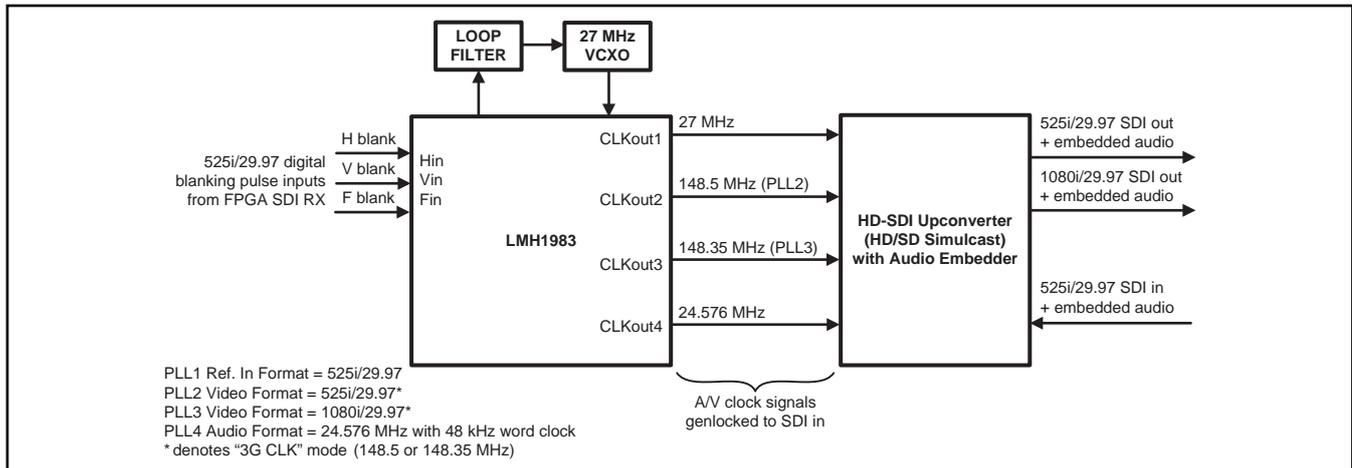


図 24. オーディオ重畳・抽出機能を持ったSD/HD SDI アップコンバータ向け3G, 3G/1.001、オーディオクロック生成

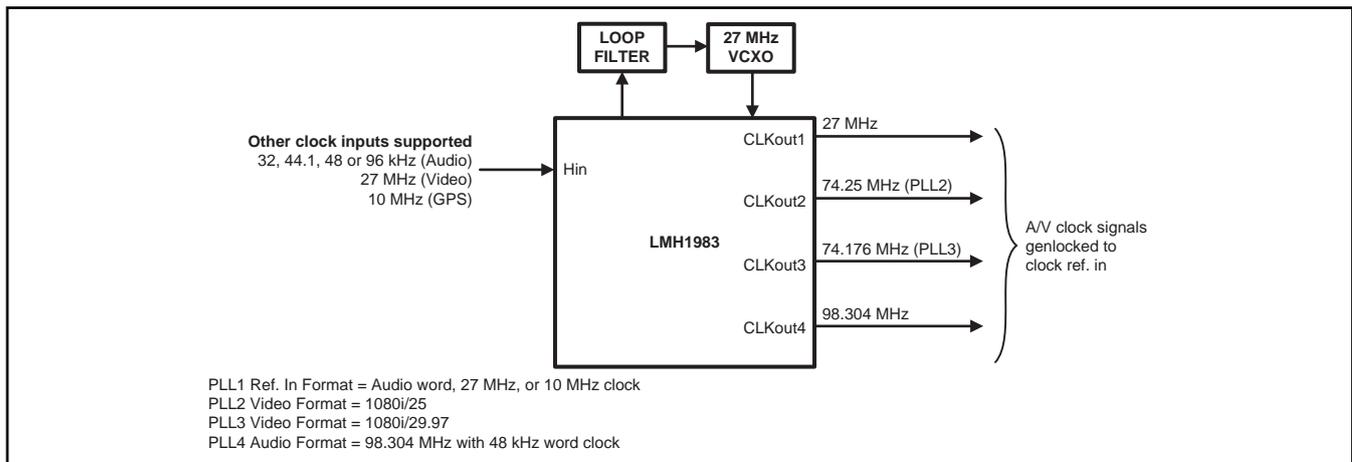


図 25. クロック参照型、A/Vクロック生成

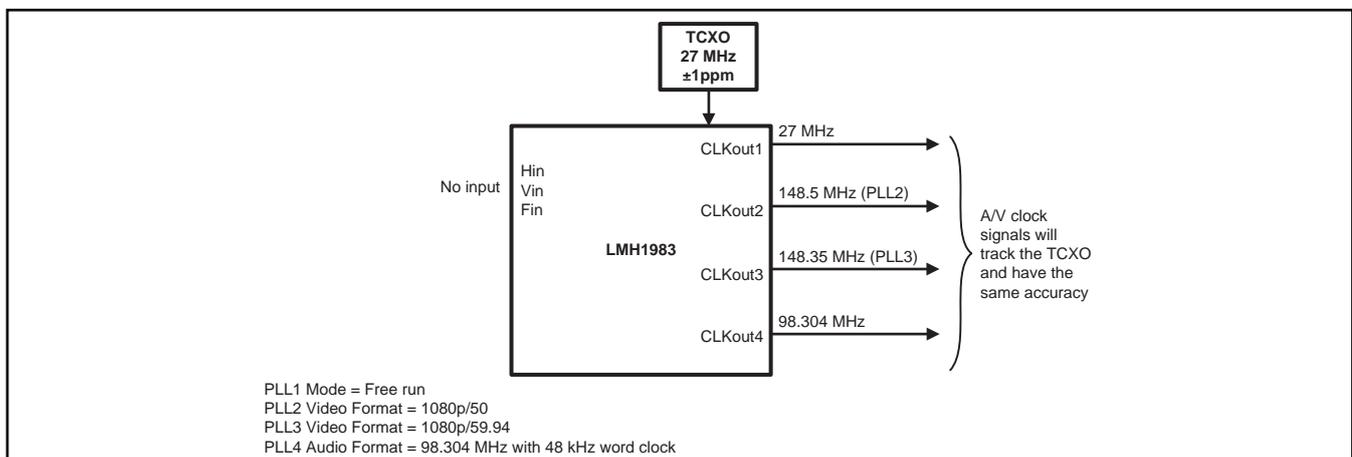


図 26. 27 MHz TCXOリファレンスを利用した、高精度、高安定性のA/Vクロック生成

## PCB設計における推奨事項と禁止事項

推奨事項：可能な限り、各電源毎にプリント板1つの層を割り当てます。これにより、電源層のインダクタンスが減少します。

推奨事項：可能な限り表面実装部品を使用します。

推奨事項：各電源ピンのできるだけ近くにバイパス・コンデンサやフィルタ部品を配置します。

推奨事項：LMH1983のできるだけ近くにバッファ・アンプなどのループ・フィルタ部品やVCXOを配置します。

禁止事項：グランド・プレーンは不連続にしないでください。帰還電流は、抵抗が最小の経路を通ります。高周波数信号では、インダクタンスが最小の経路になります。

推奨事項：すべての差動トレースのトレース長を同じにしてください。

推奨事項：ビアは大きなインダクタンスを持つことに注意してください。ビアを使って電源またはグランド層に接続するときは、単一のビアより、2つのビアを並列に配置した方がインダクタンスは減少します。

推奨事項：パッケージ底面のパッドはグランド層に接続してください。この接続は、主要なグランド接続に使われるとともに、熱導体の役割を持ち、ダイの温度を一定に保ちます。

# パッケージ情報

## 製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)	Op Temp (°C)	Top-Side Markings (4)	Samples
LMH1983SQ/NOPB	ACTIVE	WQFN	RTA	40	1000	Green (RoHS & no Sb/Br)	SN	Level-3-260C-168 HR	-40 to 85	LMH1983	<a href="#">Samples</a>
LMH1983SQE/NOPB	ACTIVE	WQFN	RTA	40	250	Green (RoHS & no Sb/Br)	SN	Level-3-260C-168 HR	-40 to 85	LMH1983	<a href="#">Samples</a>
LMH1983SQR/NOPB	ACTIVE	WQFN	RTA	40	2500	Green (RoHS & no Sb/Br)	SN	Level-3-260C-168 HR	-40 to 85	LMH1983	<a href="#">Samples</a>

(1) マーケティング・ステータスは次のように定義されています。

**ACTIVE**: 製品デバイスが新規設計用に推奨されています。

**LIFEBUY**: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

**NRND**: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

**PREVIEW**: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

**OBSOLETE**: TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**TBD**: Pb-Free/Green変換プランが策定されていません。

**Pb-Free (RoHS)**: TIにおける“Lead-Free”または“Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

**Pb-Free (RoHS Exempt)**: この部品は、1) ダイとパッケージの間に鉛ベースの半田バンブ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

**Green (RoHS & no Sb/Br)**: TIにおける“Green”は、“Pb-Free” (RoHS互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

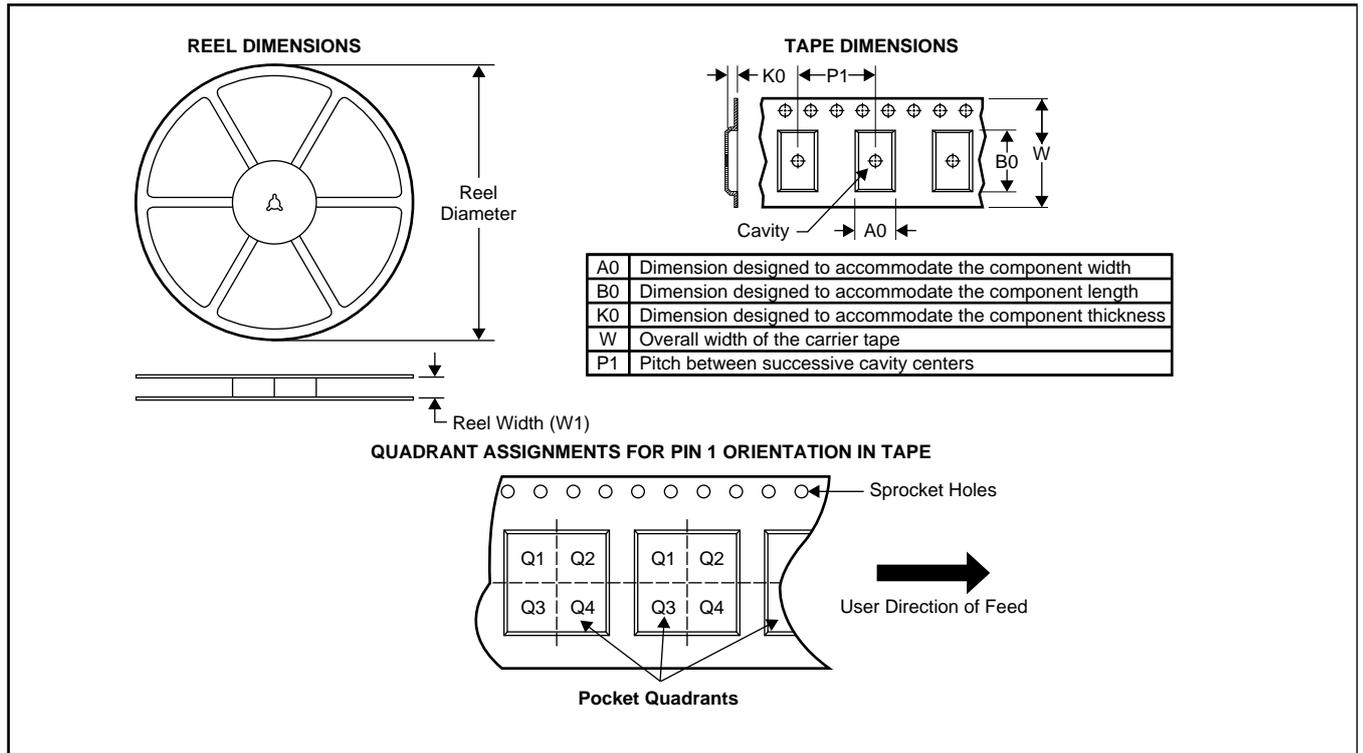
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

(4) Only one of markings shown within the brackets will appear on the physical device.

**重要な情報および免責事項**: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく適切な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・材料情報  
 テープおよびリール・ボックス情報

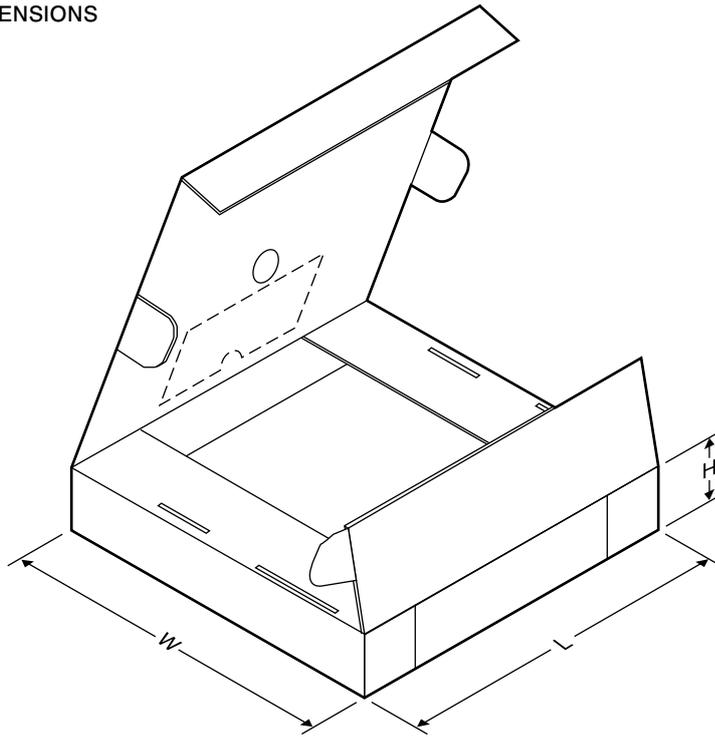


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMH1983SQ/NOPB	WQFN	RTA	40	1000	330.0	16.4	6.3	6.3	1.5	12.0	16.0	Q1
LMH1983SQE/NOPB	WQFN	RTA	40	250	178.0	16.4	6.3	6.3	1.5	12.0	16.0	Q1
LMH1983SQX/NOPB	WQFN	RTA	40	2500	330.0	16.4	6.3	6.3	1.5	12.0	16.0	Q1

## パッケージ・マテリアル情報

### TAPE AND REEL BOX DIMENSIONS

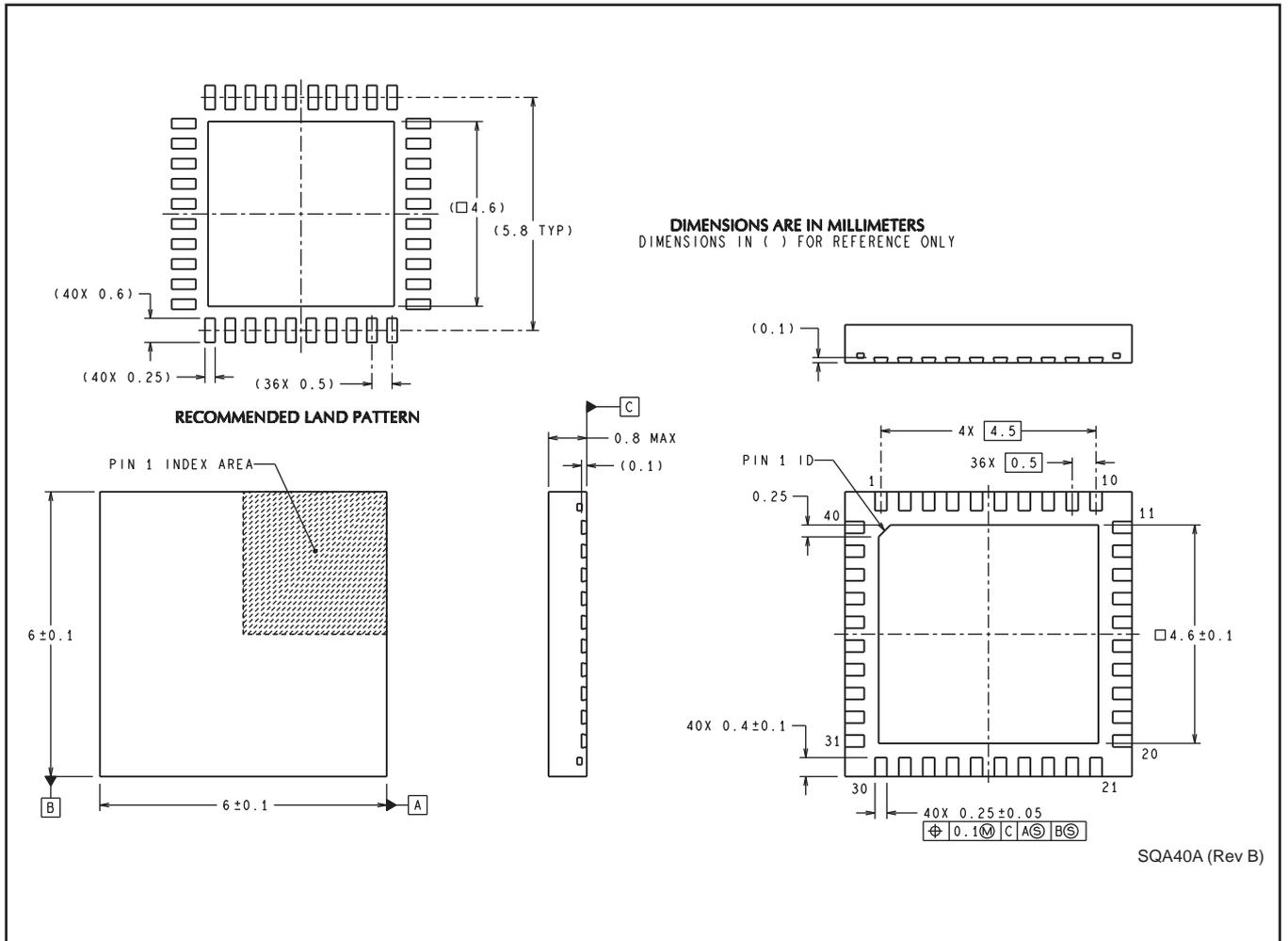


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMH1983SQ/NOPB	WQFN	RTA	40	1000	367.0	367.0	38.0
LMH1983SQE/NOPB	WQFN	RTA	40	250	213.0	191.0	55.0
LMH1983SQX/NOPB	WQFN	RTA	40	2500	367.0	367.0	38.0

# メカニカル・データ

RTA0040A



(SNLS309G)

# ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85%で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限 260℃以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上