

SN65LBC176-Q1 差動バス・トランシーバ

1 特長

- 車載アプリケーション用に認定済み
- 双方向トランシーバ
- ANSI 標準 RS-485 および ISO 8482:1987(E) の要件を満たすまたは上回る性能
- 高速、低消費電力の LinBiCMOS 回路
- シリアルとパラレルの両方のアプリケーションで高速動作に対応
- 低スキュー
- ノイズの多い環境の、長いバス・ラインでのマルチポイントの伝送用に設計
- ディセーブル時の非常に低い消費電流要件：200 μ A 以下
- 広い正および負の入力 / 出力バス電圧範囲
- ドライバ出力能力： ± 60 mA
- サーマル・シャットダウン保護
- ドライバの正および負電流制限
- 開路フェイルセーフのレシーバ設計
- レシーバ入力感度：最大 ± 200 mV
- レシーバ入力ヒステリシス：50mV (標準値)
- 単一の 5V 電源で動作
- グリッチ・フリーのパワーアップ / パワーダウン保護機能

2 概要

SN65LBC176 差動バス・トランシーバは、マルチポイント・バス伝送ライン上での双方向データ通信を目的として設計されたモノリシック IC です。平衡伝送ライン用に設計され、ANSI 標準 RS-485 および ISO 8482:1987(E) に準拠しています。

SN65LBC176 は、3 ステートの差動ライン・ドライバと差動入力ライン・レシーバを統合しており、どちらも 5V 単一電源で動作します。ドライバとレシーバはそれぞれアクティブ High、アクティブ Low のイネーブルを備えており、それらのイネーブルを外部で互いに接続することで、方向制御として機能させることができます。ドライバの差動出力とレシーバの差動入力、差動入出力 (I/O) バス・ポートを構成するように内部で接続されています。これらのポートは、ドライバがディセーブルされているか $V_{CC} = 0$ のとき、バスへの負荷を最小化するように設計されています。このポートは広い正負の同相電圧範囲を持っているため、本デバイスはパーティライン・アプリケーションに適しています。ドライバとレシーバをディセーブルすると、デバイスの消費電流を非常に小さくできます。ドライバとレシーバはいずれも、テキサス・インスツルメンツの LinASIC ライブラリのセルとして利用できます。

このトランシーバは、このデータシートの動作条件と特性のセクションに規定された範囲内で、ANSI 規格 RS-485 および ISO 8482:1987 (E) アプリケーションに適しています。拡張温度範囲全体では、ANSI 規格 RS-485 と ISO 8482:1987 (E) に含まれている一部の制限は満たされていないが、テスト不能です。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
SN65LBC176-Q1	D (SOIC) (8)	4.90mm $\times$ 3.91mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

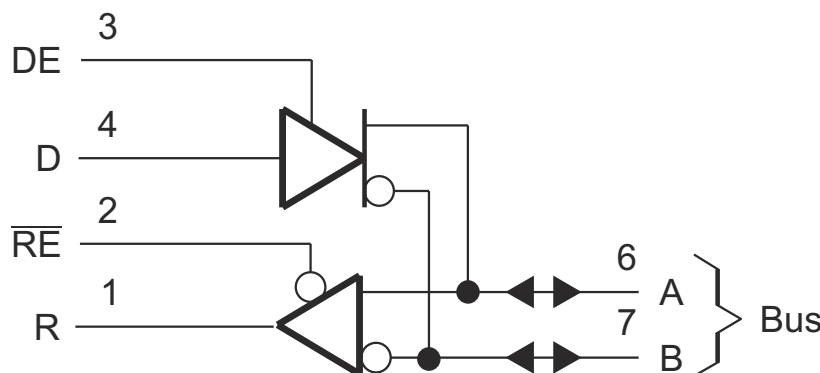


Table of Contents

1 特長	1	Parameter Measurement Information	8
2 概要	1	6 Detailed Description	11
3 改訂履歴	2	6.1 Device Functional Modes.....	11
4 Pin Configuration and Functions	3	7 Device and Documentation Support	12
5 Specifications	4	7.1 Documentation Support.....	12
5.1 Absolute Maximum Ratings.....	4	7.2 ドキュメントの更新通知を受け取る方法.....	12
5.2 Recommended Operating Conditions.....	4	7.3 サポート・リソース.....	12
5.3 Thermal Resistance Characteristics.....	5	7.4 Trademarks.....	12
5.4 Electrical Characteristics - Driver.....	5	7.5 静電気放電に関する注意事項.....	12
5.5 Switching Characteristics - Driver.....	6	7.6 用語集.....	12
5.6 Electrical Characteristics - Reciever.....	7	8 Mechanical, Packaging, and Orderable Information..	12
5.7 Switching Characteristics - Reciever.....	7		

3 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (October 2003) to Revision B (January 2023)	Page
• 「パッケージ情報」表、「ピン構成および実装」表、「熱に関する情報」表、「デバイスの機能モード」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• 「注文情報」表を削除.....	1

4 Pin Configuration and Functions

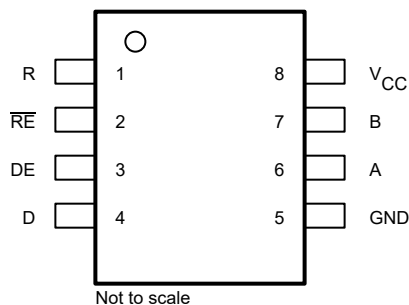


图 4-1. D Package, SOIC 8 Pins (Top View)

表 4-1. Pin Functions

NO	NAME	TYPE	DESCRIPTION
1	R	O	Receive data output
2	$\overline{RE}$	I	Receiver enable, active low
3	DE	I	Driver enable, active high
4	D	I	Driver data input
5	GND	GND	Device ground
6	A	I/O	Bus I/O port, A (complementary to B)
7	B	I/O	Bus I/O port, B(complementary to A)
8	V _{CC}	P	5 V Supply Pin

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)^{(1) (2)}

		MIN	MAX	UNIT
V _{CC}	Supply voltage		7	V
	Voltage range at any bus terminal	-10	15	V
	Input voltage, V _I (D, DE, R, or $\overline{RE}$)	-0.3	V _{CC} + 0.5	V
T _A	Operating free-air temperature range	-40	125	°C
T _{stg}	Storage temperature	-65	150	°C

- (1) Stresses beyond those listed under *absolute maximum ratings* may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under *recommended operating conditions* is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values are with respect to network ground terminal GND.

5.2 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
V _{CC}	Supply voltage		4.75	5	5.25	V
V _I or V _{IC}	Voltage at any bus terminal (separately or common mode),				12	V
					-7	V
V _{IH}	High-level input voltage,	D, DE, and $\overline{RE}$	2			V
V _{IL}	Low-level input voltage,	D, DE, and $\overline{RE}$			0.8	V
V _{ID}	Differential input voltage ⁽¹⁾				±12	V
I _{OH}	High-level output current	Driver			60	mA
		Receiver			-400	μA
I _{OL}	Low-level output current	Driver			-60	mA
		Receiver			8	mA
T _A	Operating free-air temperature,		-40		125	°C

- (1) Differential input/output bus voltage is measured at the noninverting terminal A with respect to the inverting terminal B.

5.3 Thermal Resistance Characteristics

THERMAL METRIC ⁽¹⁾		SN65LBC176-Q1	UNIT
		D (SOIC)	
		8 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	116.7	°C/W
$R_{\theta JC}$	Junction-to-case thermal resistance	56.3	°C/W
$R_{\theta JB}$	Junction-to-board thermal resistance	63.4	°C/W
Ψ_{JT}	Junction-to-top characterization parameter	8.8	°C/W
Ψ_{JB}	Junction-to-board characterization parameter	62.6	°C/W
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	n/a	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.4 Electrical Characteristics - Driver

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
V_{IK}	Input clamp voltage	$I_I = -18 \text{ mA}$				-1.5	V
V_O	Output voltage	$I_O = 0$		0		6	V
$ V_{OD1} $	Differential output voltage	$I_O = 0$		1.5		6	V
V_{OD3}	Differential output voltage	$V_{test} = -7 \text{ V to } 12 \text{ V}$	See Fig 2, ⁽²⁾	1.1			V
$ V_{OD2} $	Differential output voltage	$R_L = 54 \Omega$	See Fig 1, ⁽²⁾	1.1			V
$\Delta V_{OD} $	Change in magnitude of differential output voltage ⁽¹⁾	$R_L = 54 \Omega \text{ or } 100 \Omega$ See Fig 1				±0.2	V
V_{OC}	Common-mode output voltage					-1	V
$\Delta V_{OC} $	Change in magnitude of common-mode output voltage ⁽¹⁾					±0.2	V
I_O	Output current	Output disabled, ⁽³⁾	$V_O = 12 \text{ V}$			1	mA
			$V_O = -7 \text{ V}$			-0.8	mA
I_{IH}	High-level input current	$V_I = 2.4 \text{ V}$				-100	μA
I_{IL}	Low-level input current	$V_I = 0.4 \text{ V}$				-100	μA
I_{OS}	Short-circuit output current	$V_O = -7 \text{ V}$				-250	mA
		$V_O = 0 \text{ V}$				-150	mA
		$V_O = V_{CC}$				250	mA
		$V_O = 12 \text{ V}$				250	mA
I_{CC}	Supply current	$V_I = 0 \text{ or } V_{CC}$, No Load	Receiver disabled and driver enabled			1.75	mA
			Receiver and driver disabled			0.25	mA

- (1) $\Delta|V_{OD}|$ and $\Delta|V_{OC}|$ are the changes in magnitude of V_{OD} and V_{OC} , respectively, that occur when the input changes from a high level to a low level.
- (2) This device meets the ANSI Standard RS-485 VOD requirements above 0°C only.
- (3) This applies for both power on and off; refer to ANSI Standard RS-485 for exact conditions.

5.5 Switching Characteristics - Driver

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
$t_{d(OD)}$	Differential output delay time	$R_L = 54\ \Omega$ $C_L = 50\ \text{pF}$ See Fig 3	8		31	ns
$t_{t(OD)}$	Differential output transition time			12		ns
$t_{sk(p)}$	Pulse skew ($ t_{d(ODH)} - t_{d(ODL)} $)				6	ns
t_{PZH}	Output enable time to high level	$R_L = 110\ \Omega$ See Figure 4			65	ns
t_{PZL}	Output enable time to low level	$R_L = 110\ \Omega$ See Figure 5			65	ns
t_{PHZ}	Output disable time from high level	$R_L = 110\ \Omega$ See Figure 4			105	ns
t_{PLZ}	Output disable time from low level	$R_L = 110\ \Omega$ See Figure 5			105	ns

(1) All typical values are at $V_{CC} = 5\ \text{V}$, $T_A = 25^\circ\text{C}$.

5.5.1 Symbol Equivalents

Data Sheet Parameter	RS-485
V_O	V_{oa}, V_{ob}
$ V_{OD1} $	V_O
$ V_{OD2} $	$V_t (R_L = 54\ \Omega)$
$ V_{OD3} $	V_t (test termination measurement 2)
$\Delta V_{OD} $	$ V_t - V_t $
V_{OC}	$ V_{OS} $
$\Delta V_{OC} $	$ V_{OS} - V_{OS} $
I_{OS}	None
I_O	I_{ia}, I_{ib}

5.6 Electrical Characteristics - Reciever

over operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP ⁽¹⁾	MAX	UNIT
V_{IT+}	Positive-going input threshold voltage	$V_O = 2.7\text{ V}$	$I_O = -0.4\text{ mA}$			0.2	V
V_{IT-}	Negative-going input threshold voltage	$V_O = 0.5\text{ V}$	$I_O = 8\text{ mA}$	-0.2 ⁽²⁾			V
V_{hys}	Hysteresis voltage ($V_{IT+} - V_{IT-}$)	(see Figure 4)			50		mV
V_{IK}	Enable-input clamp voltage	$I_I = -18\text{ mA}$				-1.5	V
V_{OH}	High-level output voltage	$V_{ID} = 200\text{ mV}$ $I_{OH} = -400\text{ }\mu\text{A}$	See Fig 6	2.7			V
V_{OL}	Low-level output voltage	$V_{ID} = 200\text{ mV}$ $I_{OL} = 8\text{ mA}$	See Fig 6			0.45	V
I_{OZ}	High-impedance-state output current	$V_O = 0.4\text{ V to } 2.4\text{ V}$				± 20	μA
I_I	Line input current	Other input = 0 $V^{(3)}$	$V_I = 12\text{ V}$			1	mA
			$V_I = -7$			-0.8	mA
I_{IH}	High-level enable-input current	$V_{IH} = 2.7\text{ V}$				-100	μA
I_{IL}	Low-level enable-input current	$V_{IL} = 0.4\text{ V}$				-100	μA
r_I	Input resistance			12			k Ω
I_{CC}	Supply current	$V_I = 0\text{ or } V_{CC}$, No Load	Receiver disabled and driver enabled			3.9	mA
			Receiver and driver disabled			0.25	mA

(1) All typical values are at $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$.

(2) The algebraic convention, in which the less-positive (more-negative) limit is designated minimum, is used in this data sheet for common-mode input voltage and threshold voltage levels only.

(3) This applies for both power on and off; refer to ANSI Standard RS-485 for exact conditions.

5.7 Switching Characteristics - Reciever

over operating free-air temperature range (unless otherwise noted), $C_L = 15\text{ pF}$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low- to high-level single-ended output	$V_{ID} = -1.5\text{ V to } 1.5\text{ V}$ See Figure 7	11		37	ns
t_{PHL}	Propagation delay time, high- to low-level single-ended output		11		37	ns
$t_{sk(p)}$	Pulse skew ($ t_{d(ODH)} - t_{d(ODL)} $)				10	ns
t_{PZH}	Output enable time to high level	See Figure 8			35	ns
t_{PZL}	Output enable time to low level				35	ns
t_{PHZ}	Output disable time from high level	See Figure 8			35	ns
t_{PLZ}	Output disable time from low level				35	ns

Parameter Measurement Information

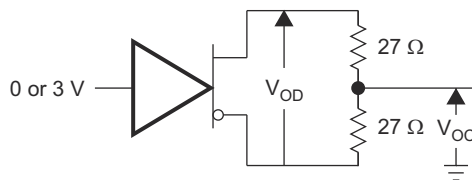


图 6-1. Driver V_{OD} and V_{OC}

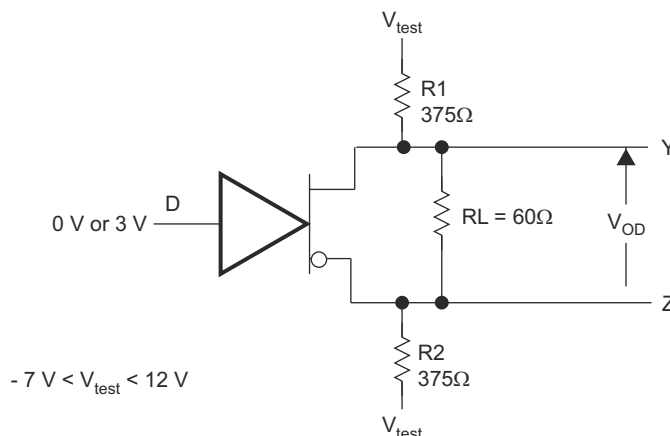
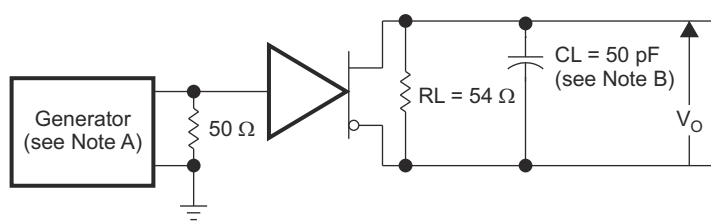
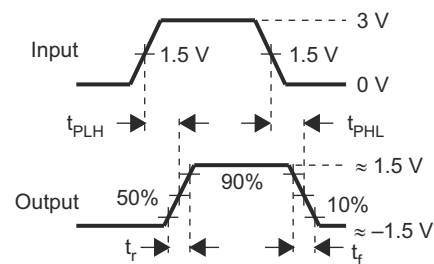


图 6-2. Driver V_{OD3}



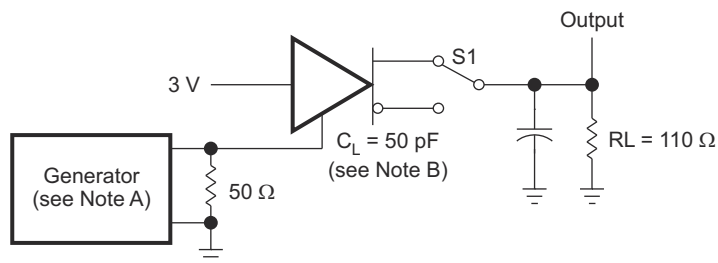
TEST CIRCUIT



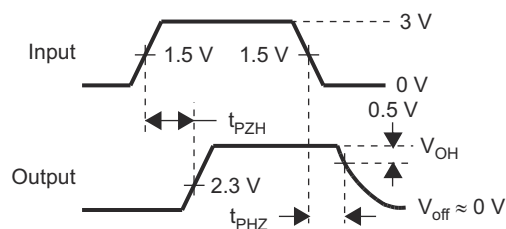
VOLTAGE WAVEFORMS

- The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1$ MHz, 50% duty cycle, $t_r \leq 6$ ns, $t_f \leq 6$ ns, $Z_O = 50 \Omega$.
- C_L includes probe and jig capacitance.

图 6-3. Driver Test Circuit and Voltage Waveforms



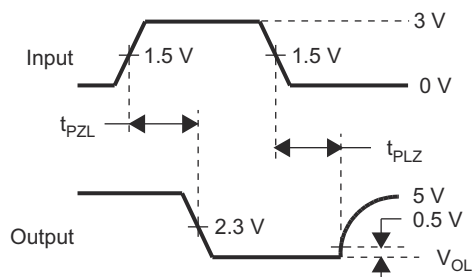
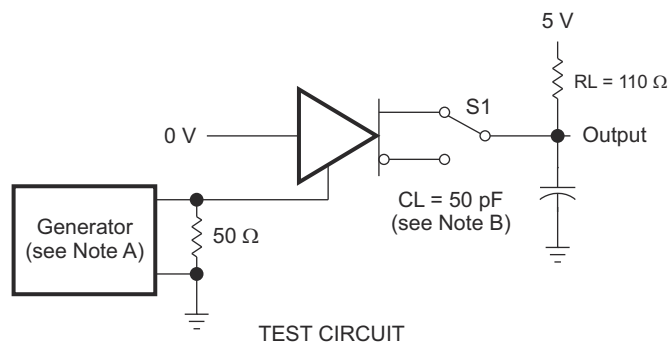
TEST CIRCUIT



VOLTAGE WAVEFORMS

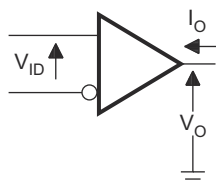
- The input pulse is supplied by a generator having the following characteristics: $PRR \leq 1$ MHz, 50% duty cycle, $t_r \leq 6$ ns, $t_f \leq 6$ ns, $Z_O = 50 \Omega$.
- C_L includes probe and jig capacitance.

图 6-4. Driver Test Circuit and Voltage Waveforms

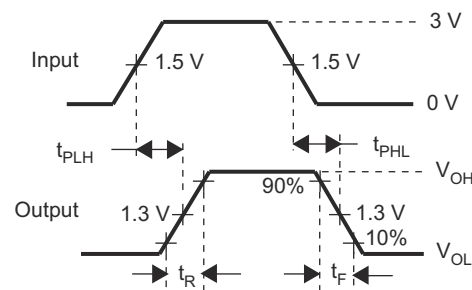
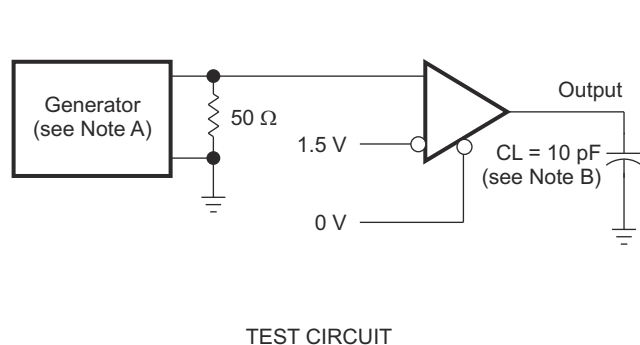


- A. The input pulse is supplied by a generator having the following characteristics: $\text{PRR} \leq 1 \text{ MHz}$, 50% duty cycle, $t_i \leq 6 \text{ ns}$, $t_f \leq 6 \text{ ns}$, $Z_0 = 50 \Omega$.
- B. C_1 includes probe and jig capacitance.

6-5. Driver Test Circuit and Voltage Waveforms



❏ 6-6. Receiver V_{OH} and V_{OL}



- A. The input pulse is supplied by a generator having the following characteristics: $\text{PRR} \leq 1 \text{ MHz}$, 50% duty cycle, $t_r \leq 6 \text{ ns}$, $t_f \leq 6 \text{ ns}$, $Z_0 = 50 \Omega$.
- B. C_L includes probe and jig capacitance.

6-7. Receiver Test Circuit and Voltage Waveforms

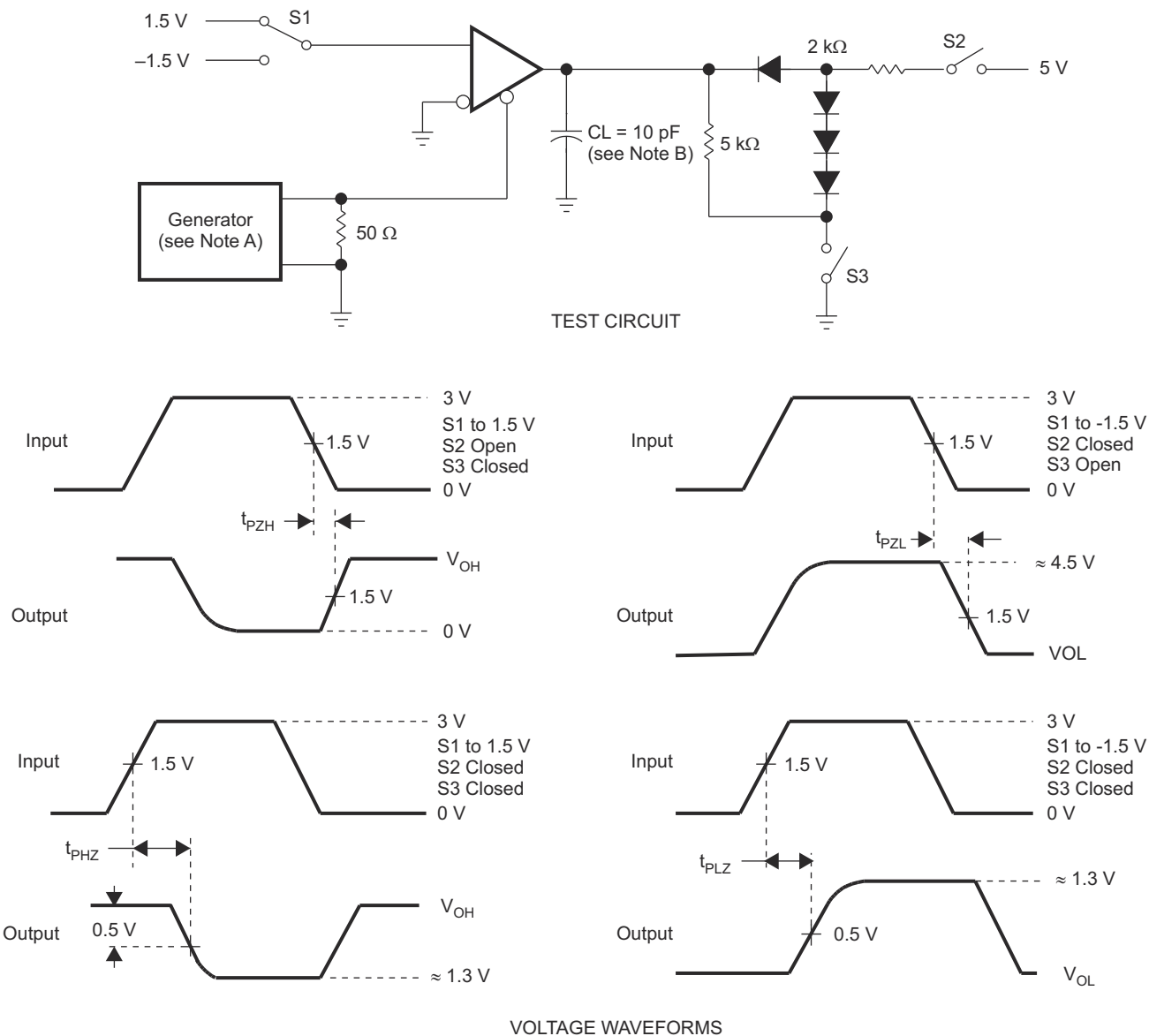


图 6-8. Receiver Test Circuit and Voltage Waveforms

6 Detailed Description

6.1 Device Functional Modes

表 6-1. Function Table - Driver

Input ⁽¹⁾	Output	Outputs	
D	DE	A	B
H	H	H	L
L	H	L	H
X	L	Z	Z

(1) H = high level, L = low level, ? = indeterminate, X = irrelevant, Z = high impedance (off)

表 6-2. Function Table - Receiver

Differential Inputs	ENABLE	Output
A-B	RE	R
$VID \geq 0.2 \text{ V}$	L	H
$-0.2 \text{ V} < VID < 0.2 \text{ V}$	L	?
$VID \leq -0.2 \text{ V}$	L	L
X	H	Z
Open	L	H

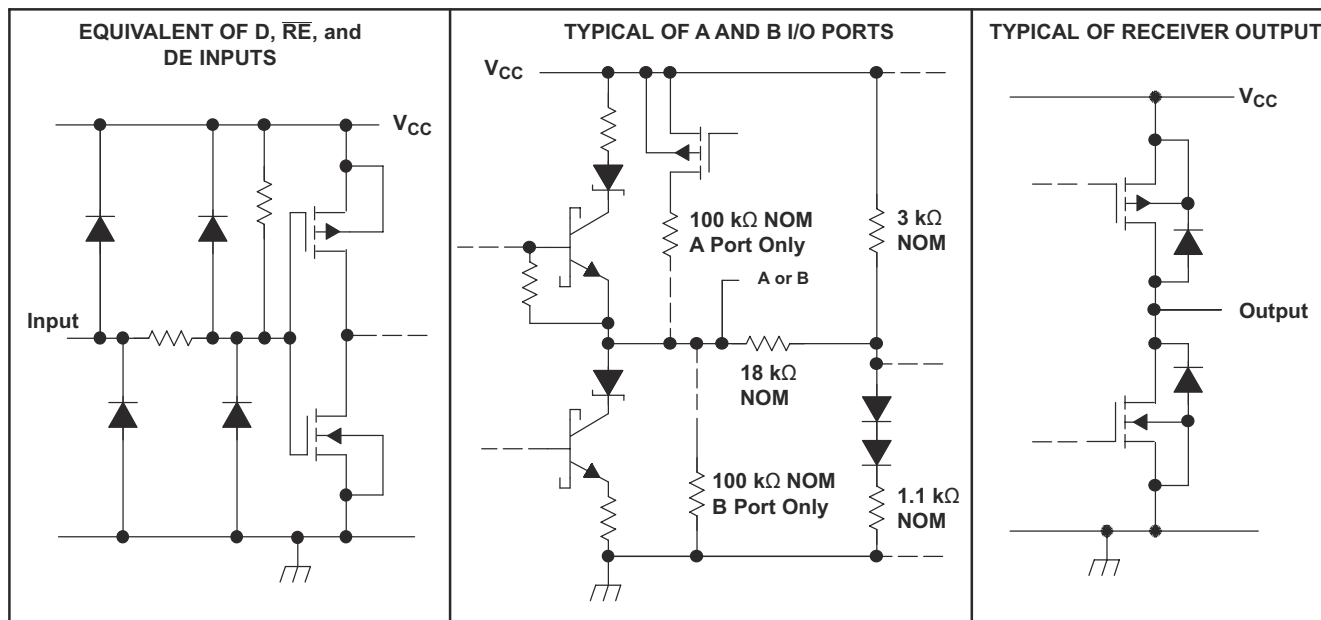


图 6-1. Schematics of Inputs and Outputs

7 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

7.1 Documentation Support

7.1.1 Related Documentation

7.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

7.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

7.4 Trademarks

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

8 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LBC176QDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	J176Q1
SN65LBC176QDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	J176Q1
SN65LBC176QDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	J176Q1
SN65LBC176QDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	J176Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

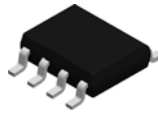
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN65LBC176-Q1 :

- Catalog : [SN65LBC176](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

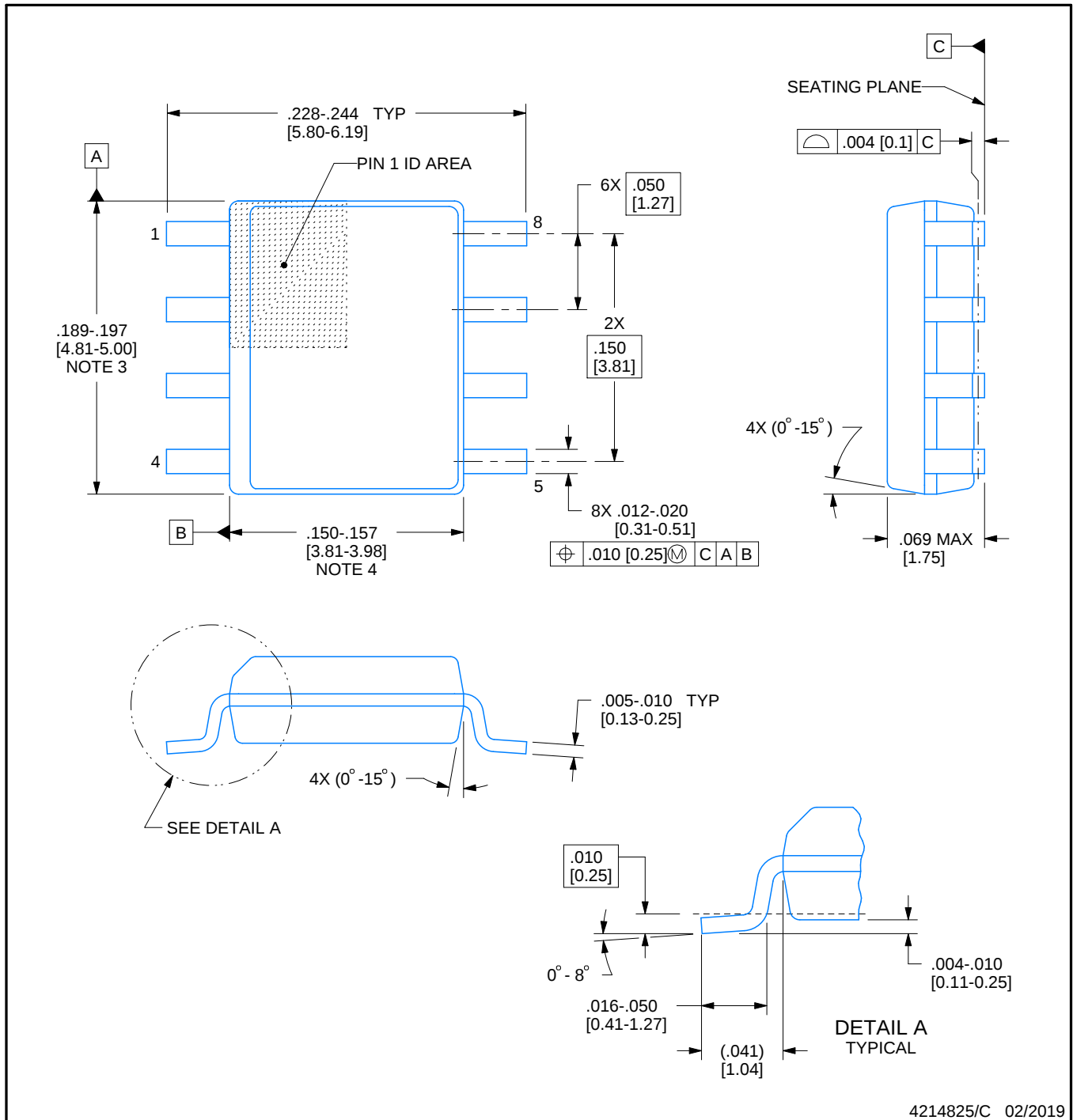


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

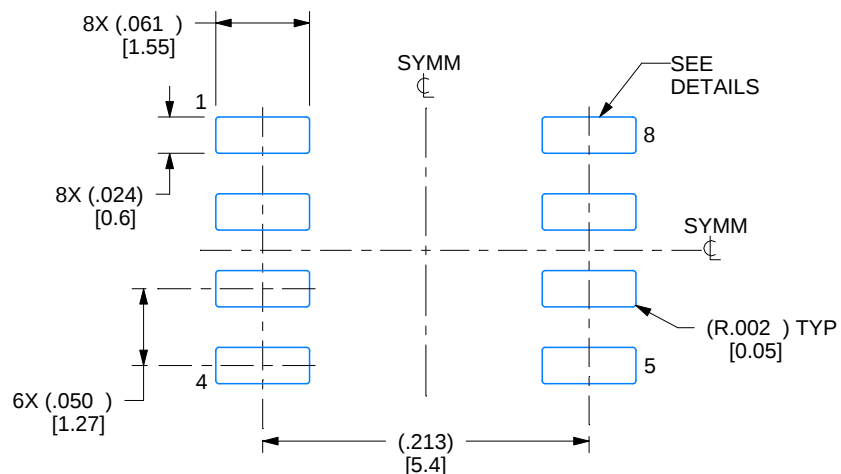
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

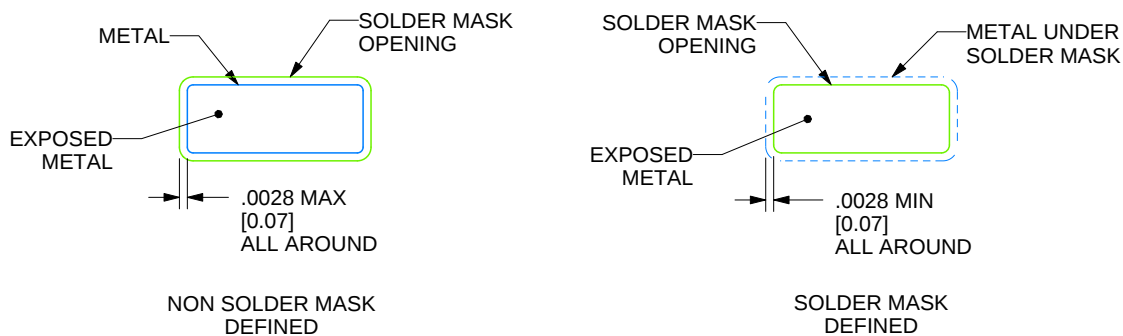
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

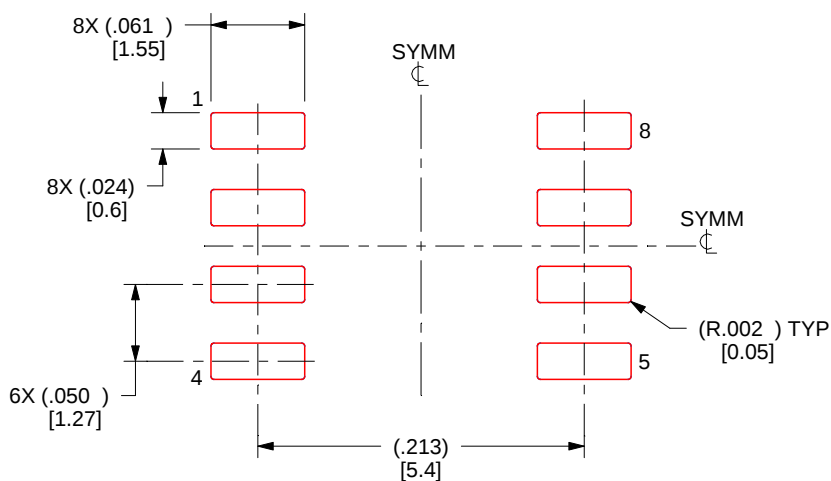
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated