

SN74AHCT1G00-Q1 車載用 2 入力正論理 NAND ゲート

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4B
- 動作範囲: 4.5V ~ 5.5V
- 低消費電力、 I_{CC} の最大値 10μA
- 5V で ±8mA の出力駆動能力
- 入力は TTL 電圧互換
- JESD 17 準拠で 250mA 超のラッチアップ性能

2 アプリケーション

- デジタル信号のイネーブルまたはディセーブル
- インジケータ LED の制御
- ロジック・ラッチまたは制御信号

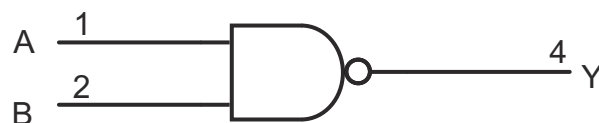
3 概要

SN74AHCT1G00-Q1 は 2 入力 NAND ゲートです。各ゲートはブール関数 $Y = \overline{A \times B}$ を正論理で実行します。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (3)
SN74AHCT1G00-Q1	DCK (SC-70, 5)	2mm × 2.1mm	2mm × 1.25mm
	DBV (SOT-23, 5)	2.9mm × 2.8mm	2.9mm × 1.6mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ×幅) は公称値で、該当する場合はピンも含まれます。
- 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



概略論理図 (正論理)

目次

1 特長.....	1	7.3 機能説明.....	8
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	9
3 概要.....	1	8 アプリケーションと実装.....	10
4 ピン構成および機能.....	3	8.1 アプリケーション情報.....	10
5 仕様.....	4	8.2 代表的なアプリケーション.....	10
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	12
5.2 ESD 定格.....	4	8.4 レイアウト.....	12
5.3 推奨動作条件.....	4	9 デバイスおよびドキュメントのサポート.....	14
5.4 熱に関する情報.....	5	9.1 ドキュメントのサポート.....	14
5.5 電気的特性.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	14
5.6 スイッチング特性.....	5	9.3 サポート・リソース.....	14
5.7 標準的特性.....	6	9.4 商標.....	14
6 パラメータ測定情報.....	7	9.5 静電気放電に関する注意事項.....	14
7 詳細説明.....	8	9.6 用語集.....	14
7.1 概要.....	8	10 改訂履歴.....	14
7.2 機能ブロック図.....	8	11 メカニカル、パッケージ、および注文情報.....	15

4 ピン構成および機能

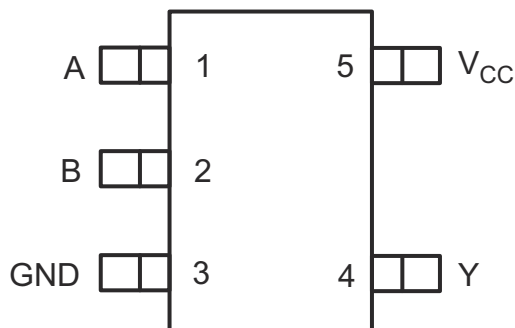


図 4-1. SN74AHCT1G00-Q1 DBV Package, 5-Pin SOT-23; DCK Package, 5-Pin SC-70 (Top View)

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
A	1	I	Input A
B	2	I	Input B
GND	3	G	Ground
Y	4	O	Output Y
V _{CC}	5	P	Positive Supply

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
V_I	入力電圧範囲		-0.5	7	V
V_O	出力電圧範囲		-0.5	$V_{CC} + 0.5$	V
I_{IK}	入力クランプ電流 ⁽²⁾	$V_I < -0.5V$		-20	mA
I_{OK}	出力クランプ電流 ⁽²⁾	$V_O < -0.5V$ または $V_O > V_{CC} + 0.5V$		± 20	mA
I_O	連続出力電流	$V_O = 0 \sim V_{CC}$		± 25	mA
I_O	V_{CC} または GND を通過する連続出力電流			± 50	mA
T_{stg}	保存温度		-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で、一時的に「推奨動作条件」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) 入力および出力の電流定格を遵守していても、入力および出力の電圧定格を超える場合があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾	± 2000	V
		HBM ESD 分類レベル 2 準拠		
		荷電デバイス・モデル (CDM)、AEC Q100-011	± 1000	
		CDM ESD 分類レベル C4B 準拠		

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施することを示しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		最小値	最大値	単位
V_{CC}	電源電圧	4.5	5.5	V
V_I	入力電圧	0	5.5	V
V_O	出力電圧	0	V_{CC}	V
V_{IH}	High レベル入力電圧	2.00		V
V_{IL}	Low レベル入力電圧		0.8	V
I_O	出力電流		± 8	mA
$\Delta t/\Delta v$	入力遷移の立ち上がりレートと立ち下がりレート		20	ns/V
T_A	自由気流での動作温度	-40	125	°C

(1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、 V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーション・レポート:『低速またはフローティング CMOS 入力の影響』を参照してください。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		DBV (SOT-23)	DCK (SC70)	単位
		5 ピン	5 ピン	
R _{θJA}	接合部から周囲への熱抵抗	278.0	293.4	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	180.5	208.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	184.4	180.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	115.4	120.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	183.4	179.5	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	N/A	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	V _{CC}	T _A = 25℃		-40℃～125℃		単位	
			最小値	代表値	最大値	最小値		代表値
V _{OH}	I _{OH} = -50μA	4.5V	4.4	4.5		V _{CC} -0.1	V	
	I _{OH} = -8mA		3.94		3.8			
V _{OL}	I _{OH} = 50μA	4.5V			0.1	0.1	V	
	I _{OH} = 8mA			0.36	0.44			
I _I	V _I = 0V～V _{CC}	0V～5.5V			±0.1	±1	μA	
I _{CC}	V _I = V _{CC} または GND、I _O = 0	5.5V			1	10	μA	
ΔI _{CC}	1 つの入力は 0.3V または 3.4V、他の入力は V _{CC} または GND	5.5V			1.35	1.5	mA	
C _i	V _I = V _{CC} または GND	5V		2	10	2	10	pF
C _{PD} ^{(1) (2)}	F = 1MHz	5V		11				pF

(1) C_{PD} を使用して、チャネルごとの動的な消費電力を決定します。

(2) $P_D = V_{CC}^2 \times F_I \times (C_{PD} + C_L)$ ここで、F_I= 入力周波数、C_L= 出力負荷容量、V_{CC}= 電源電圧

自由気流での動作温度範囲内 (特に記述のない限り)

5.6 スイッチング特性

パラメータ	始点 (入力)	終点 (出力)	負荷 容量	T _A = 25°C		-40°C~125°C		単位
				標準値	最大値	最小値	最大値	
t _{PD}	A または B	Y	C _L = 15pF	5	6.2	1	8	ns
t _{PD}	A または B	Y	C _L = 50pF	5.5	7.9	1	10	ns

5.7 標準的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

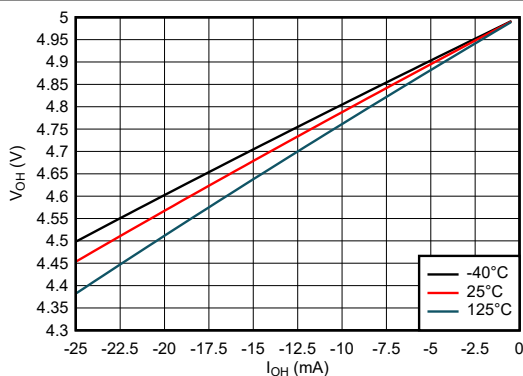


図 5-1. High 状態における出力電圧と電流の関係、5V 電源

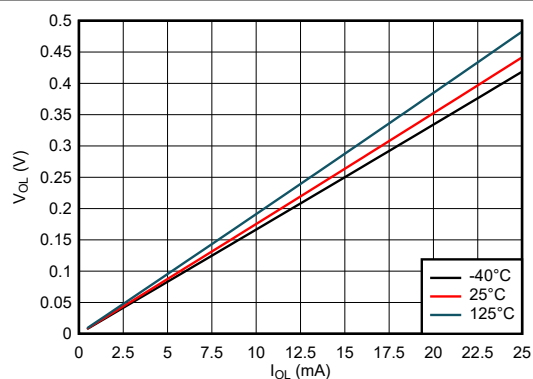


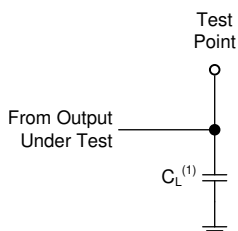
図 5-2. Low 状態における出力電圧と電流の関係、5V 電源

6 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータから供給されます。PRR $\leq$ 1MHz、 $Z_O = 50\Omega$ 、 $t_f < 3ns$

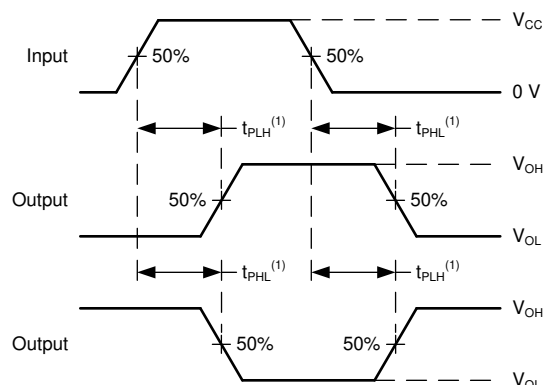
クロック入力の場合、入力デューティ・サイクルが 50% のときに f_{max} が測定されます。

出力は一度に 1 回ずつ測定され、測定するたびに入力が 1 回遷移します。



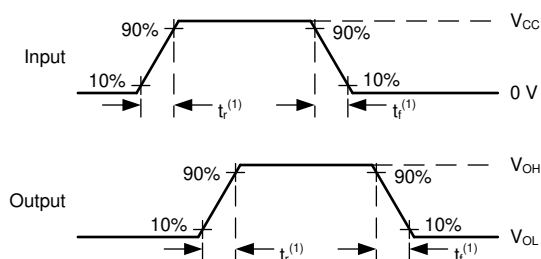
(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力の負荷回路



(1) t_{PLH} と t_{PHL} の大きいほうは、 t_{pd} と等しくなります。

図 6-2. 電圧波形の伝搬遅延



(1) t_r と t_f の大きいほうは、 t_t と等しくなります。

図 6-3. 電圧波形、入力および出力の遷移時間

7 詳細説明

7.1 概要

SN74AHCT1G00-Q1 は 2 入力 NAND ゲートです。各ゲートはブール関数 $Y = \overline{A \times B}$ を正論理で実行します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 平衡な CMOS プッシュプル出力

このデバイスには、平衡な CMOS プッシュプル出力が内蔵されています。「平衡な」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスは駆動能力を備えており、軽負荷に高速エッジが生成されるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにする必要があります。

7.3.2 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力 that 搭載されています。これらの入力は、入力電圧スレッシュホールドを下げることで TTL ロジック・デバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算します。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーション・レポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND で終端する必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因に依存しますが、10kΩ の抵抗を推奨し、通常はすべての要件を満たします。

7.3.3 クランプ・ダイオード構造

図 7-1 に示すように、このデバイスへの出力には正と負の両方のクランプ・ダイオードがあり、このデバイスへの入力には負のクランプ・ダイオードのみがあります。

注意

「絶対最大定格」表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることがあります。

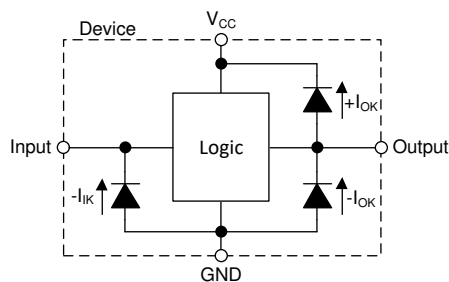


図 7-1. 各入力と出力に対するクランプ・ダイオードの電氣的配置

7.4 デバイスの機能モード

表 7-1 に、SN74AHCT1G00-Q1 デバイスの機能モードを示します。

表 7-1. 機能表

入力 ⁽¹⁾		出力 Y
A	B	
H	H	L
L	X	H
X	L	H

(1) H = High 電圧レベル、L = Low 電圧レベル、X = ドントケア、Z = 高インピーダンス

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このアプリケーションでは、[図 8-1](#) に示すように、2 つの 2 入力 NAND ゲートを使用してアクティブ Low の SR ラッチを作成します。SN74AHCT1G00-Q1 は、タンパ・インジケータ LED を駆動し、1 ビットのデータをシステム・コントローラに提供するために使用されます。タンパ・スイッチが Low を出力すると、出力 Q は High になります。この出力は、システム・コントローラがこのイベントに対処するまで High に維持され、 $\bar{R}$ 入力に Low 信号を送信すると、Q 出力が Low に戻ります。

8.2 代表的なアプリケーション

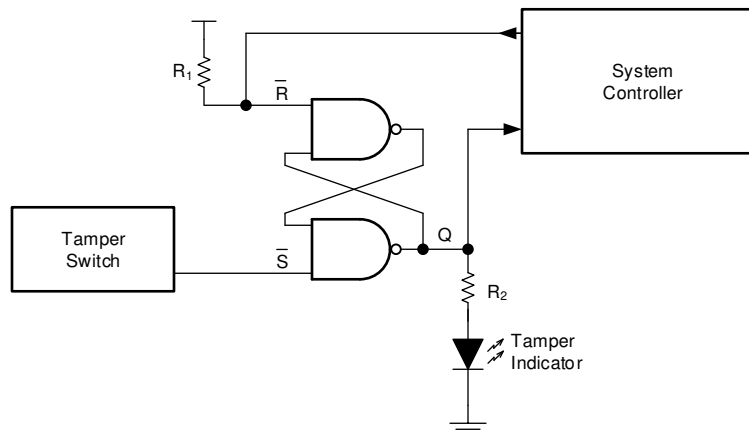


図 8-1. 代表的なアプリケーションのブロック図

8.2.1 設計要件

8.2.1.1 電源に関する検討事項

指定する電源電圧は、「推奨動作条件」に規定された範囲内に収まるようにしてください。電源電圧は、「電気的特性」セクションで規定された、本デバイスの電気的特性を設定します。

正の電圧電源は、SN74AHCT1G00-Q1 のすべての出力と「電気的特性」に記載された最大静的電源電流 I_{CC} によってソースされる合計電流に等しいソース電流、およびスイッチングに必要な過渡電流を供給する能力が必要です。論理デバイスは、正の供給電源から供給される電流量分のみをソースできます。最大合計電流を超える電流が「絶対最大定格」に記載された V_{CC} に供給されないようにしてください。

グラウンドは、SN74AHCT1G00-Q1 のすべての出力と「電気的特性」に記載された最大電源電流 I_{CC} によってシンクされる合計電流に等しいシンク電流、およびスイッチングに必要な過渡電流を供給する能力が必要です。論理デバイスは、グラウンド接続にシンク可能な電流量分のみをシンクできます。最大合計電流を超える電流が「絶対最大定格」に記載された GND に供給されないようにしてください。

SN74AHCT1G00-Q1 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、50pF を超えることは推奨しません。

SN74AHCT1G00-Q1 は、 $R_L \geq V_O / I_O$ で定義される合計抵抗を持つ負荷を駆動できます。ここで、出力電圧と電流は、「電気的特性」表に V_{OH} と V_{OL} で定義されています。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

合計消費電力は、『CMOS の消費電力と CPD の計算』アプリケーション・ノートに記載された情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーション・ノートに記載された情報を使用して計算できます。

注意

「絶対最大定格」に記載された最大接合部温度 $T_{J(max)}$ は、デバイスへの損傷を防ぐために追加された制限です。「絶対最大定格」に記載された値を順守してください。これらの制限は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する検討事項

入力信号は、 $V_{IL(max)}$ がロジック Low と見なされるように、 $V_{IH(min)}$ がロジック High と見なされるように交差する必要があります。最大入力電圧範囲が「絶対最大定格」を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドで終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が High の場合にはプルアップ抵抗、デフォルト状態が Low の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、SN74AHCT1G00-Q1 (「電気的特性」に記載) へのリーク電流、指定の入力遷移速度により、抵抗のサイズが制限されます。10k Ω の抵抗値が使用されることがあるのは、こうした要因によるものです。

SN74AHCT1G00-Q1 には CMOS 入力があるため、「推奨動作条件」表で定義されているように正しく動作するには、高速で入力遷移を行う必要があります。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

本デバイスの入力に関する詳細情報については、「機能説明」セクションを参照してください。

8.2.1.3 出力に関する検討事項

正の電源電圧を使用して、出力 High 電圧を生成します。出力から電流が流れることにより、「電気的特性」で規定された V_{OH} の仕様に従って、出力電圧は低下します。グランド電圧を使用して、出力 Low 電圧を生成します。出力に電流がシンクされることにより、「電気的特性」で規定された V_{OL} の仕様に従って、出力電圧は増加します。

逆の状態になる可能性のあるプッシュプル出力は、非常に短い時間であっても、決して直接接続はしないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力は、オープンのままにしておくことも可能です。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力に関する詳細情報については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} から GND の間にデカップリング・コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷が 50pF 以下であることを確認します。これは厳密な制限ではありませんが、最適なパフォーマンスが得られます。これを実現するには、SN74AHCT1G00-Q1 から 1 つ以上の受信デバイスまでのトレースを短く、適切なサイズにします。
3. 「絶対最大定格」の最大出力電流に違反しないように、出力の抵抗性負荷が $(V_{CC} / I_{O(max)})\Omega$ より大きいことを確認してください。ほとんどの CMOS 入力には、M Ω で測定される抵抗性負荷があり、あらかじめ計算された最小値よりもかなり大きな値となります。
4. 熱の問題がロジック・ゲートに影響を及ぼすことはほとんどありません。ただし、消費電力と熱の増加量は、『CMOS の消費電力 CPD の計算』アプリケーション・ノートに記載された手順を使用して求めることができます。

8.2.3 アプリケーション曲線

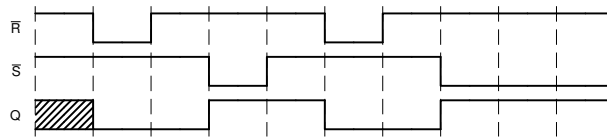


図 8-2. アプリケーションのタイミング図

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載されている最小電源電圧定格と最大電源電圧定格の間の任意の電圧を使用できます。電力障害を防止するため、各 V_{CC} 端子に適切なバイパス・コンデンサを配置する必要があります。このデバイスには 0.1 μ F のコンデンサをお勧めします。複数のバイパス・コンデンサを並列に配置して、異なる周波数のノイズを除去することが可能です。一般的に、0.1 μ F と 1 μ F のコンデンサを並列に使用します。次のレイアウト例に示すように、バイパス・コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルの論理デバイスを使用する場合、入力をフローティングのままにしておくはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 入力のみを使用したり、4 つのバッファ・ゲートのうち 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外側の接続における電圧が未定義のままでは、動作状態が未定義になるためです。デジタル論理デバイスの未使用入力はすべて、フローティングにならないよう、入力電圧の仕様が定義されているように論理 High か論理 Low に接続する必要があります。特定の未使用入力に印加する必要のある論理レベルは、デバイスの機能に応じて異なります。一般的に、入力は GND か V_{CC} に接続します。接続先は、ロジック機能やより利便性の高いほうに応じて決定されます。

8.4.2 レイアウト例

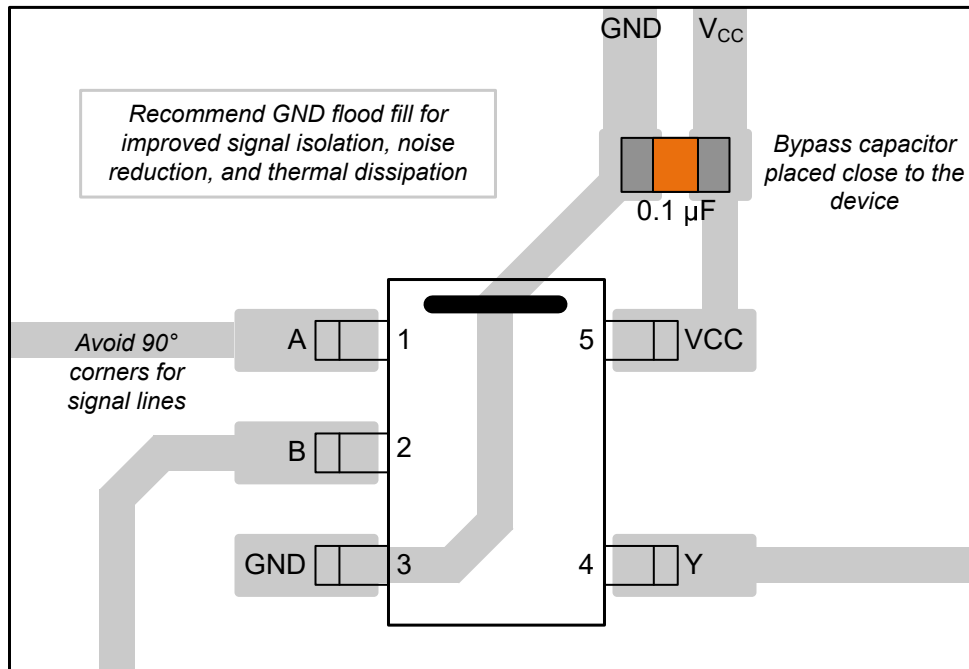


図 8-3. SN74AHCT1G00-Q1 のレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[CMOS の消費電力と CPD の計算](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[ロジック設計](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#)』アプリケーション・ノート
- テキサス・インスツルメンツ、『[低速またはフローティング CMOS 入力の影響](#)』アプリケーション・レポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision * (July 2023) to Revision A (January 2024)	Page
• 「パッケージ情報」表に DBV パッケージを追加	1
• 「ピン構成および機能」セクションに DBV パッケージを追加	3
• DBV パッケージの熱特性値を追加: RθJA = 278.0、RθJC(top) = 180.5、RθJB = 184.4、ΨJT = 115.4、ΨJB = 183.4、RθJC(bot) = N/A、値はすべて°C/W.....	5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、本ドキュメントは改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
CAHCT1G00QDBVRQ1	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	37SH	Samples
CAHCT1G00QDCKRQ1	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PB	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

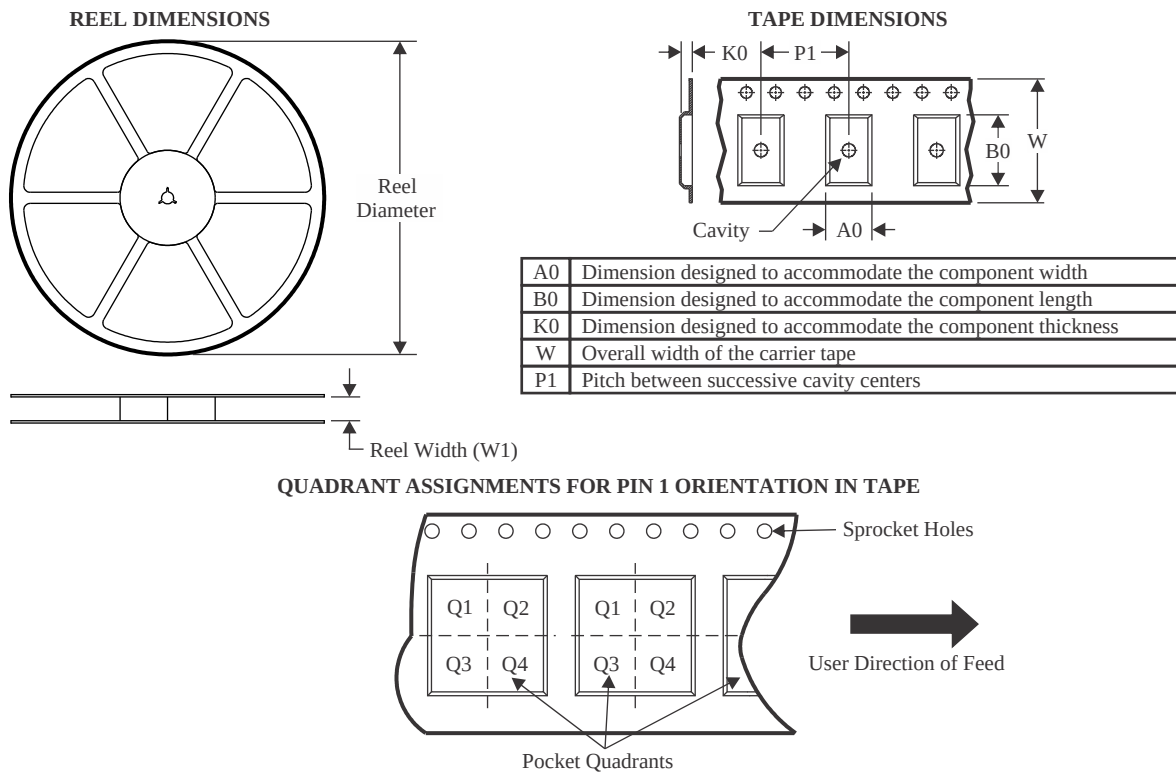
OTHER QUALIFIED VERSIONS OF SN74AHCT1G00-Q1 :

- Catalog : [SN74AHCT1G00](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CAHCT1G00QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
CAHCT1G00QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CAHCT1G00QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
CAHCT1G00QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



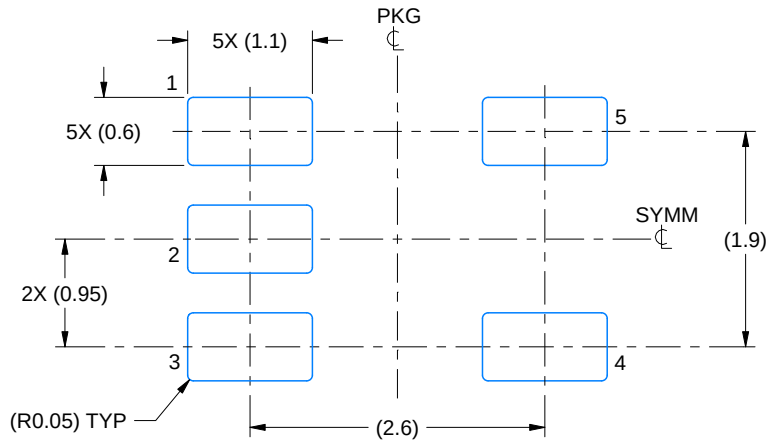
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

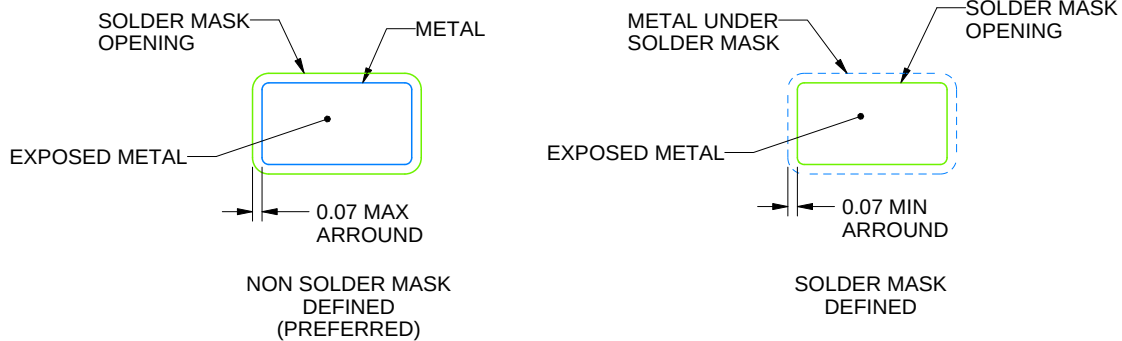
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

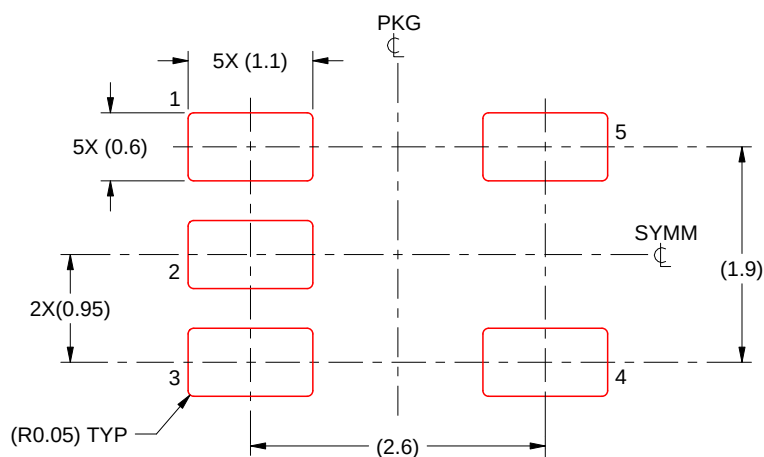
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

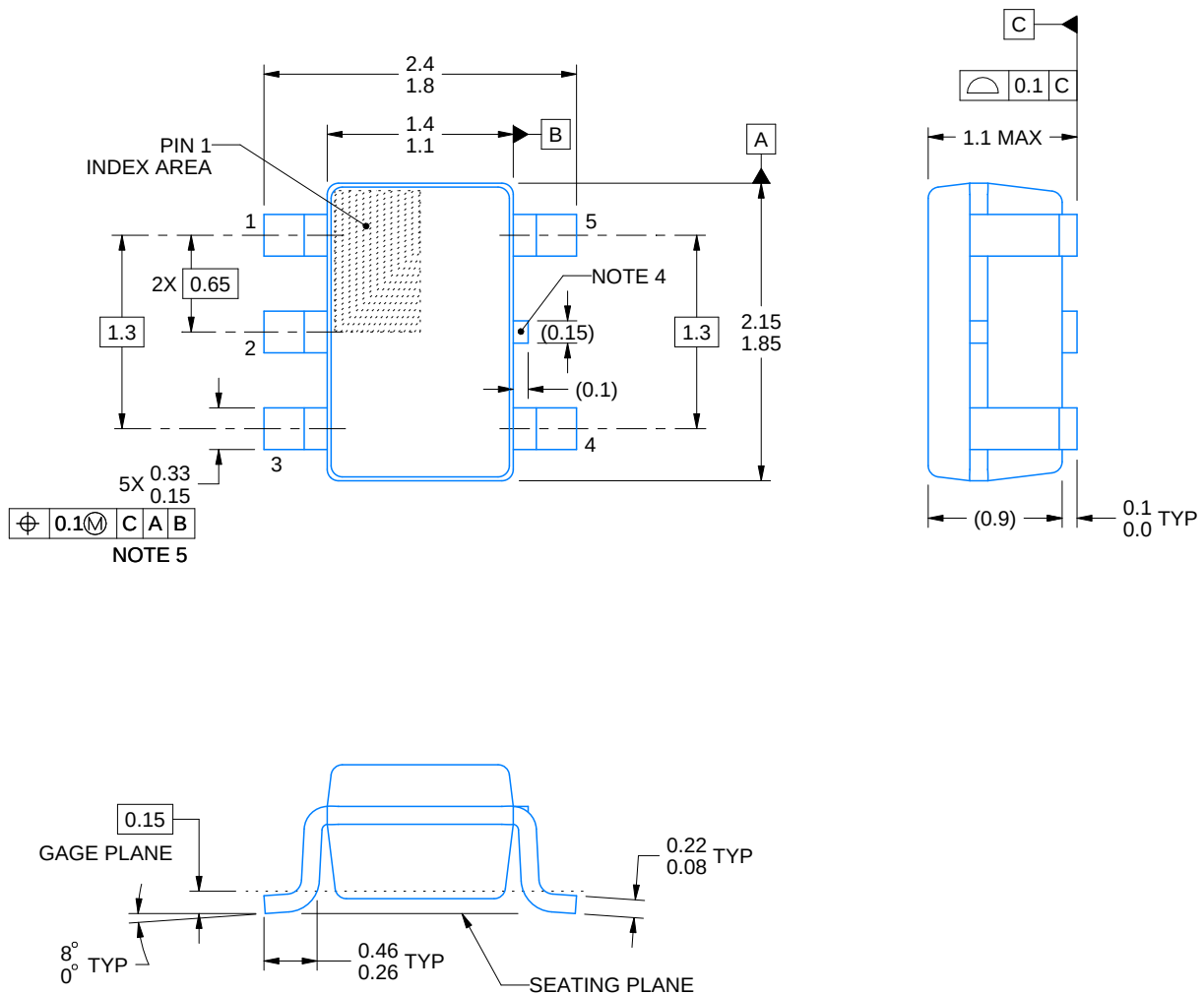


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4214834/D 07/2023

NOTES:

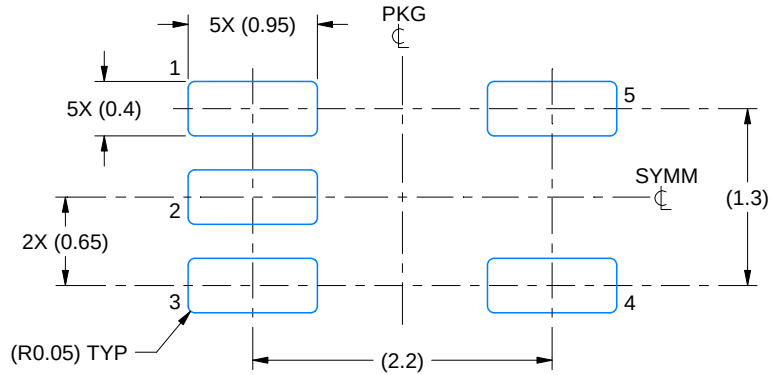
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.

EXAMPLE BOARD LAYOUT

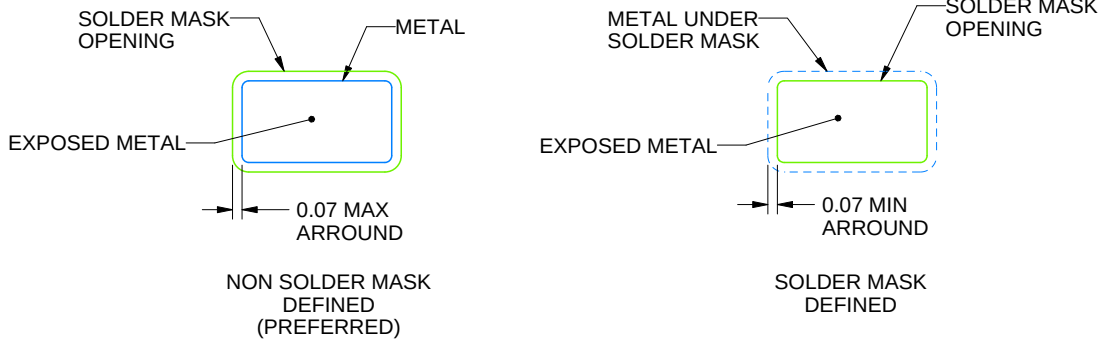
DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

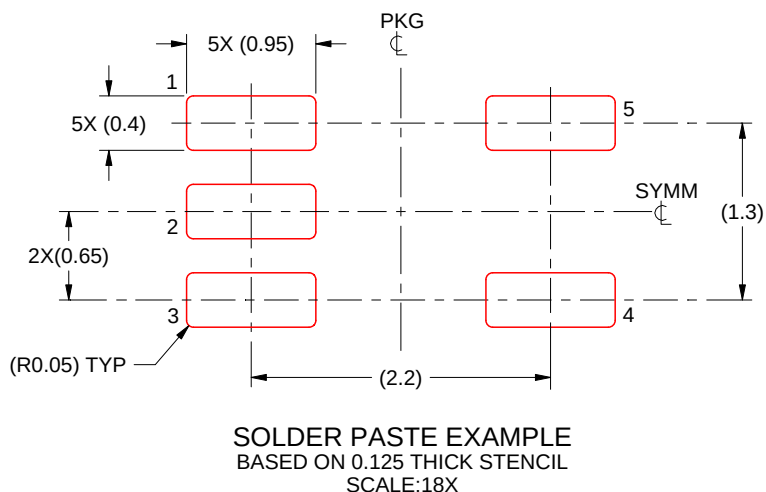


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



4214834/D 07/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated