

SN75ALS192 クワッド差動ラインドライバ

1 特長

- ANSI 標準 EIA/TIA-422-B と ITU 勧告 V.11 の要件を満たす、または上回る性能
- 最大 20Mbaud で動作する設計
- 3 ステート TTL 互換
- 5V 単一電源動作
- 電源オフ状況での高い出力インピーダンス
- 相補出力のイネーブル入力
- AM26LS31 の性能向上版

2 アプリケーション

- ファクトリ オートメーション
- ATM / キャッシュ カウンタ
- スマート グリッド
- AC / サーボ モーター ドライブ

3 概要

これらの 4 つの差動ラインドライバは、ツイストペアまたは平行線伝送線路上でデータを伝送するためのものです。これらのドライバは ANSI 標準 EIA/TIA-422-B と ITU 勧告 V.11 の要件を満たしており、3 ステート TTL 回路と互換性があります。高度な低消費電力ショットキー テクノロジーにより、通常発生する消費電力を損なわずに高速を実現します。スタンバイ時の消費電流はわずか 26mA (標準値) であり、伝搬遅延時間は 10ns 未満 (標準値) です。

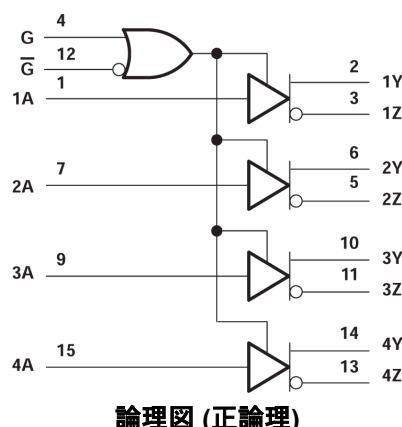
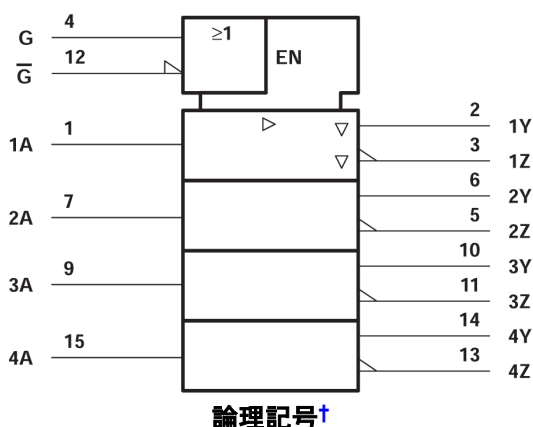
高インピーダンス入力により、入力電流は低く (High レベルでは 1μA 未満、Low レベルでは 100μA 未満) 保たれます。相補出力イネーブル入力 (G および $\bar{G}$) により、High 入力レベルと Low 入力レベルのどちらでもこれらのデバイスを有効化できます。SN75ALS192 は 20Mbit/s を超えるデータレートに対応でき、SN75ALS193 クワッドライン レシーバと組み合わせて動作するように設計されています。

SN75ALS192 は、0°C ~ 70°C で動作特性が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
SN75ALS192	SOIC (D, 16)	9.9mm × 6mm
	SO (NS, 16)	10.2mm × 7.8mm

- (1) 詳細については、[セクション 10](#) を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



† この記号は ANSI/IEEE 規格 91-1984 と IEC Publication 617-12 に準拠しています。



Table of Contents

1 特長	1	6 Parameter Measurement Information	9
2 アプリケーション	1	7 Device Functional Modes	10
3 概要	1	8 Device and Documentation Support	11
4 Pin Configuration and Functions	3	8.1 ドキュメントの更新通知を受け取る方法.....	11
5 Specifications	4	8.2 サポート・リソース.....	11
5.1 Absolute Maximum Ratings.....	4	8.3 商標.....	11
5.2 Dissipation Rating Table.....	4	8.4 静電気放電に関する注意事項.....	11
5.3 Recommended Operating Conditions.....	4	8.5 用語集.....	11
5.4 Thermal Information.....	4	9 Revision History	11
5.5 Electrical Characteristics.....	5	10 Mechanical, Packaging, and Orderable Information	11
5.6 Switching Characteristics.....	5		
5.7 Typical Characteristics [†]	6		

[†] Operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied.

4 Pin Configuration and Functions

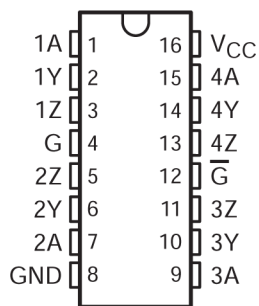


図 4-1. D or NS Package
(Top View)

表 4-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
1A	1	I	Single Ended Data Input for Channel 1
1Y	2	O	Non-Inverting Output for Differential Driver on Channel 1
1Z	3	O	Inverting Output of Differential Driver on Channel 1
G	4	I	Active High Enable Input (OR'd with $\bar{G}$)
2Z	5	O	Inverting Output of Differential Driver on Channel 2
2Y	6	O	Non-Inverting Output for Differential Driver on Channel 2
2A	7	I	Single Ended Data Input for Channel 2
GND	8	GND	Device Ground
3A	9	I	Single Ended Data Input for Channel 3
3Y	10	O	Non-Inverting Output for Differential Driver on Channel 3
3Z	11	O	Inverting Output of Differential Driver on Channel 3
$\bar{G}$	12	I	Active Low Enable Input (OR'd with G)
4Z	13	O	Inverting Output of Differential Driver on Channel 4
4Y	14	O	Non-Inverting Output for Differential Driver on Channel 4
4A	15	I	Single Ended Data Input for Channel 4
V _{CC}	16	P	5V Power Supply Positive Terminal Connection

(1) Signal Types: I = Input, O = Output, I/O = Input or Output, P = Power, GND = Ground.

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted) ⁽¹⁾

		MIN	MAX	UNIT
V_{CC}	Supply voltage (see Note ⁽²⁾)		7	V
V_I	Input voltage		7	V
	Off-state output voltage		6	V
	Continuous total dissipation	See Dissipation Rating Table		
T_{stg}	Storage temperature range	–65	150	°C
	Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		260	°C

- (1) Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltage values except differential output voltage, V_{OD} , are with respect to network ground terminal.

5.2 Dissipation Rating Table

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 125^\circ\text{C}$ POWER RATING
D	950 mW	7.6 mW/°C	608 mW	N/A
N	1150 mW	9.2 mW/°C	736 mW	N/A

5.3 Recommended Operating Conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.75	5	5.25	V
High level input voltage, V_{IH}	2			V
Low-level input voltage, V_{IL}			0.8	V
High-level output current, I_{OH}			–20	mA
Low-level output current, I_{OL}			20	mA
Operating free-air temperature, T_A	0		70	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		D (SOIC)	NS (SOP)	UNIT
		16-PINS		
R _{θJA}	Junction-to-ambient thermal resistance	84.6	88.5	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	43.5	46.2	°C/W
R _{θJB}	Junction-to-board thermal resistance	43.	50.	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	10.4	13.5	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	42.8	50.3	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC package thermal metrics](#) application report.

5.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS ⁽¹⁾		MIN	TYP ⁽²⁾	MAX	UNIT
V_{IK}	Input clamp voltage	$V_{CC} = \text{MIN}$,	$I_I = -18\text{mA}$			-1.5	V
V_{OH}	High-level output voltage	$V_{CC} = \text{MIN}$,	$I_{OH} = -20\text{mA}$	2.5			V
V_{OL}	Low-level output voltage	$V_{CC} = \text{MIN}$,	$I_{OL} = 20\text{mA}$			0.5	V
V_O	Output voltage	$V_{CC} = \text{MAX}$,	$I_O = 0$	0	6		V
$ V_{OD1} $	Differential output voltage	$V_{CC} = \text{MIN}$,	$I_O = 0$	1.5	6		V
$ V_{OD2} $	Differential output voltage	$R_L = 100\Omega$,	See Figure 6-1	$1/2 V_{OD1}$ or $2^{(3)}$			V
$\Delta V_{OD} $	Change in magnitude of differential output voltage ⁽⁴⁾	$R_L = 100\Omega$,	See Figure 6-1			± 0.2	V
V_{OC}	Common-mode output voltage ⁽⁵⁾	$R_L = 100\Omega$,	See Figure 6-1			± 3	V
$\Delta V_{OC} $	Change in magnitude of common-mode output voltage ⁽⁴⁾	$R_L = 100\Omega$,	See Figure 6-1			± 0.2	V
I_O	Output current with power off	$V_{CC} = 0$	$V_O = 6\text{V}$			100	
			$V_O = -0.25\text{V}$			-100	μA
I_{OZ}	Off state (high impedance state) output current	$V_{CC} = \text{MAX}$	$V_O = 0.5\text{V}$			-20	
			$V_O = 2.5\text{V}$			20	μA
I_I	Input current at maximum input voltage	$V_{CC} = \text{MAX}$,	$V_I = 7\text{V}$			100	μA
I_{IH}	High-level input current	$V_{CC} = \text{MAX}$,	$V_I = 2.7\text{V}$			20	μA
I_{IL}	Low-level input current	$V_{CC} = \text{MAX}$,	$V_I = 0.4\text{V}$			-200	μA
I_{OS}	Short-circuit output current ⁽⁶⁾	$V_{CC} = \text{MAX}$		-30	-150		mA
I_{CC}	Supply current (all drivers)	$V_{CC} = \text{MAX}$,	All outputs disabled	26		45	mA

- (1) For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
(2) All typical values are at $V_{CC} = 5\text{V}$ and $T_A = 25^\circ\text{C}$.
(3) The minimum V_{OD2} with a $100\text{-}\Omega$ load is either $1/2 V_{OD1}$ or 2V , whichever is greater.
(4) $|V_{OD}|$ and $|V_{OC}|$ are the changes in magnitude of V_{OD} and V_{OC} , respectively, that occur when the input is changed from a high level to a low level.
(5) In ANSI Standard EIA/TIA-422-B, V_{OC} , which is the average of the two output voltages with respect to ground, is called output offset voltage, V_{OS} .
(6) Not more than one output should be shorted at a time, and duration of the short circuit should not exceed one second.

5.6 Switching Characteristics

$V_{CC} = 5\text{V}$, $T_A = 25^\circ\text{C}$ (see [Figure 6-2](#))

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	S1 and S2 open,	$C_L = 30\text{pF}$		6	13	ns
t_{PHL}	Propagation delay time, high-to-low-level output	S1 and S2 open,	$C_L = 30\text{pF}$		9	14	ns
	Output-to-output skew	S1 and S2 open,	$C_L = 30\text{pF}$		3	6	ns
t_{PZH}	Output enable time to high level	S1 open and S2 closed			11	15	ns
t_{PZL}	Output enable time to low level	S1 closed and S2 open			16	20	ns
t_{PHZ}	Output disable time from high level	S1 open and S2 closed,	$C_L = 10\text{pF}$		8	15	ns
t_{PLZ}	Output disable time from low level	S1 and S2 closed,	$C_L = 10\text{pF}$		18	20	ns

5.7 Typical Characteristics†

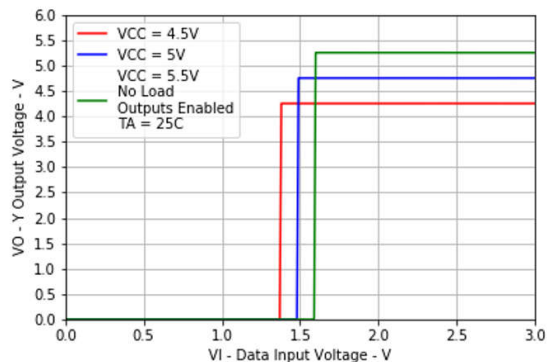


Figure 5-1. Y Output Voltage vs Data Input Voltage

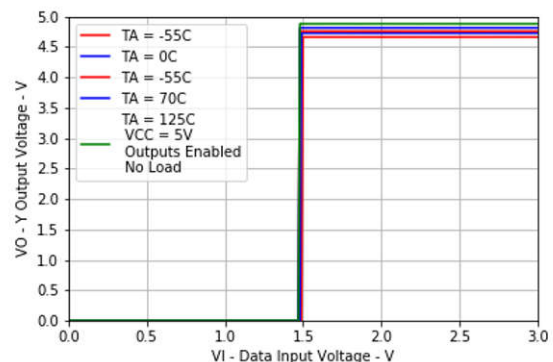
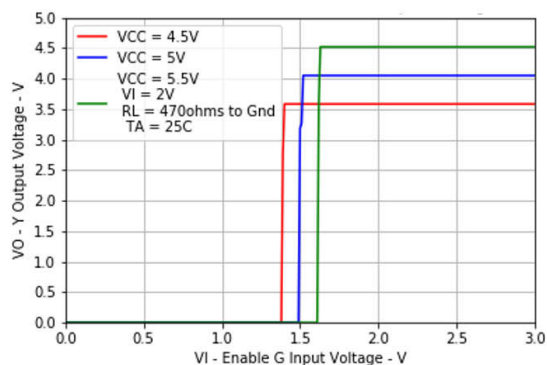
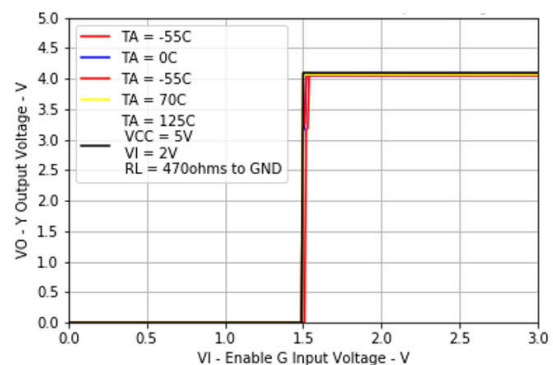


Figure 5-2. Y Output Voltage vs Data Input Voltage



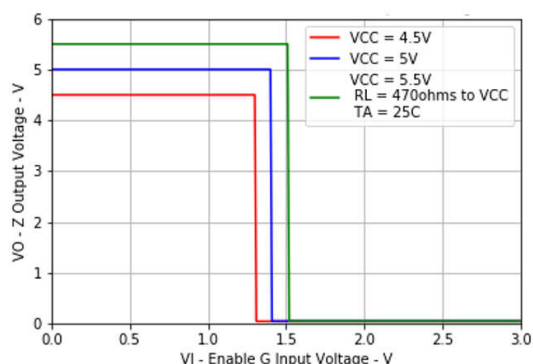
The A input is connected to V_{CC} during the testing of the Y outputs and to ground during the testing of the Z outputs.

Figure 5-3. Y Output Voltage vs Enable G Input Voltage



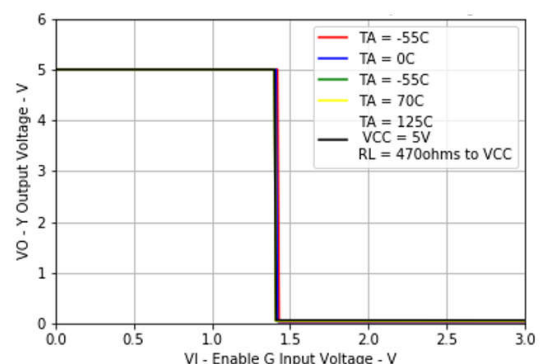
The A input is connected to V_{CC} during the testing of the Y outputs and to ground during the testing of the Z outputs.

Figure 5-4. Y Output Voltage vs Enable G Input Voltage



The A input is connected to V_{CC} during the testing of the Y outputs and to ground during the testing of the Z outputs.

Figure 5-5. Z Output Voltage vs Enable G Input Voltage

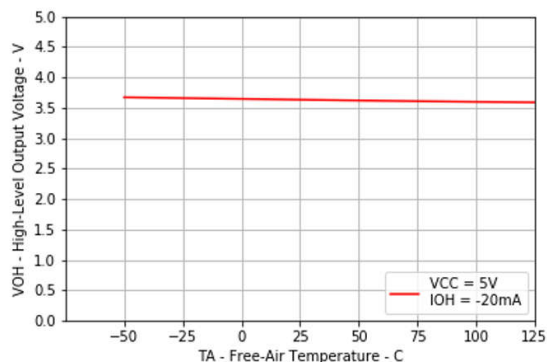


The A input is connected to GND during the testing of the Y outputs and to V_{CC} during the testing of the Z outputs.

Figure 5-6. Z Output Voltage vs Enable G Input Voltage

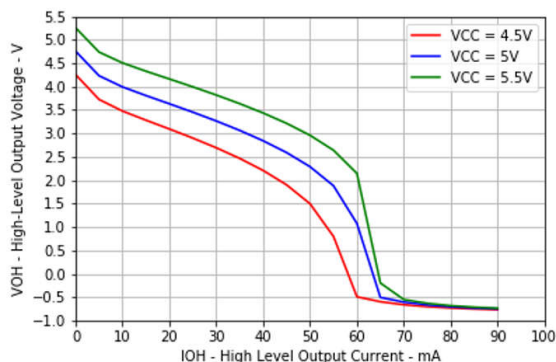
† Operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied.

5.7 Typical Characteristics[†] (continued)



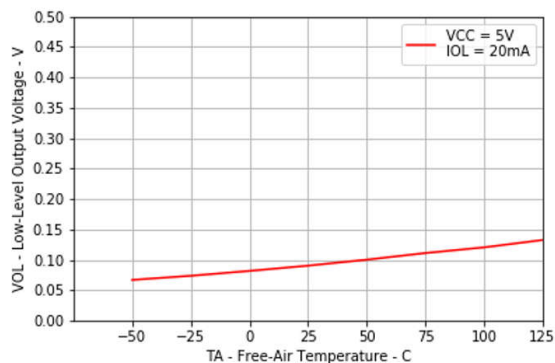
The A input is connected to V_{CC} during the testing of the Y outputs and to ground during the testing of the Z outputs.

図 5-7. High-level Output Voltage vs Free-air Temperature



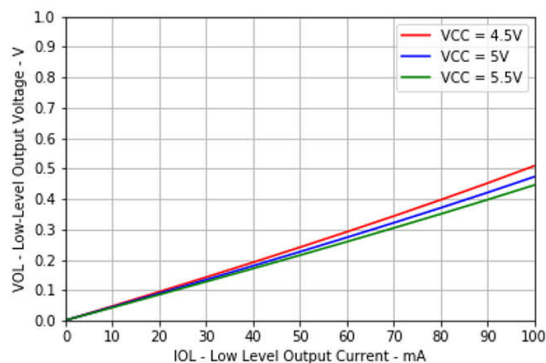
The A input is connected to V_{CC} during the testing of the Y outputs and to ground during the testing of the Z outputs.

図 5-8. High-level Output Voltage vs Output Current



The A input is connected to GND during the testing of the Y outputs and to V_{CC} during the testing of the Z outputs.

図 5-9. Low-level Output Voltage vs Free-air Temperature



The A input is connected to GND during the testing of the Y outputs and to V_{CC} during the testing of the Z outputs.

図 5-10. Low-level Output Voltage vs Low-level Output Current

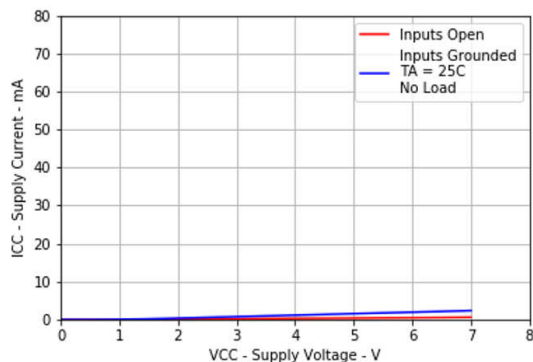


図 5-11. Supply Current vs Supply Voltage

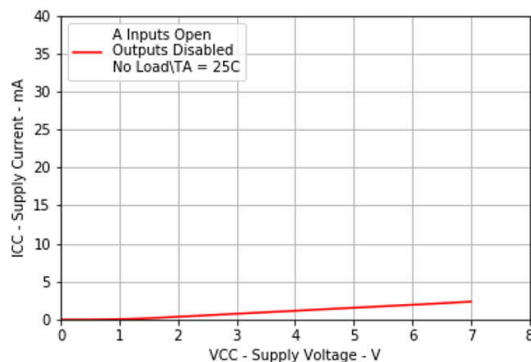


図 5-12. Supply Current vs Supply Voltage

[†] Operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied.

5.7 Typical Characteristics[†] (continued)

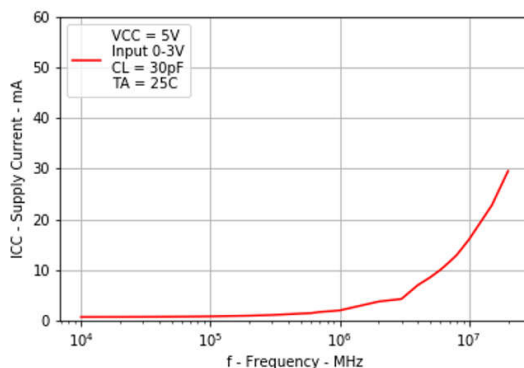


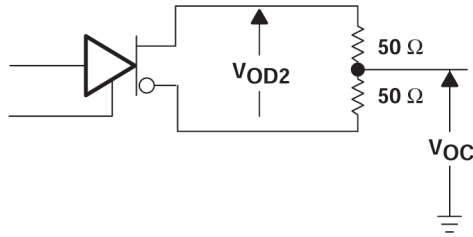
図 5-13. Supply Current vs Frequency

[†] Operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied.

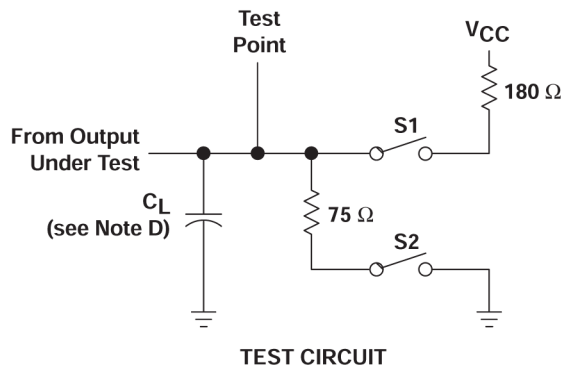
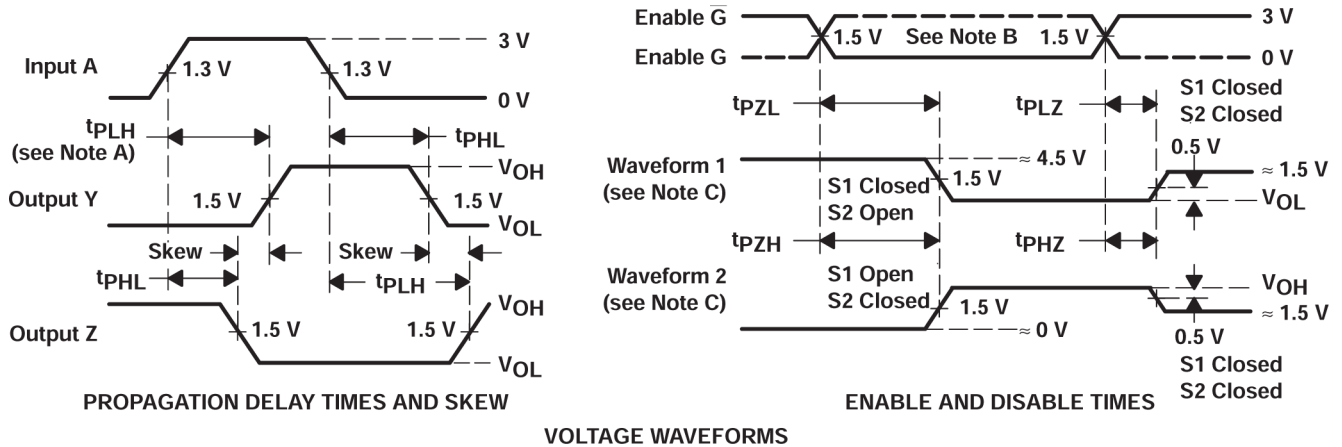
[†] Operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied.

[†] Operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied.

6 Parameter Measurement Information



6-1. Differential and Common-Mode Output Voltages



- A. When measuring propagation delay times and skew, switches S1 and S2 are open.
- B. Each enable is tested separately.
- C. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
- D. C_L includes probe and jig capacitance.
- E. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1 \text{ MHz}$, $Z_O \approx 50 \Omega$, $t_r \leq 15 \text{ ns}$, and $t_f \leq 6 \text{ ns}$.

6-2. Test Circuit and Voltage Waveforms

7 Device Functional Modes

表 7-1. Function Table (Each Driver)

INPUT ⁽¹⁾	ENABLES		OUTPUTS	
A	G	$\bar{G}$	Y	Z
H	H	X	H	L
L	H	X	L	H
H	X	L	H	L
L	X	L	L	H
X	L	H	Z	Z

(1) H = high level, L = low level, X = irrelevant, Z = high impedance (off)

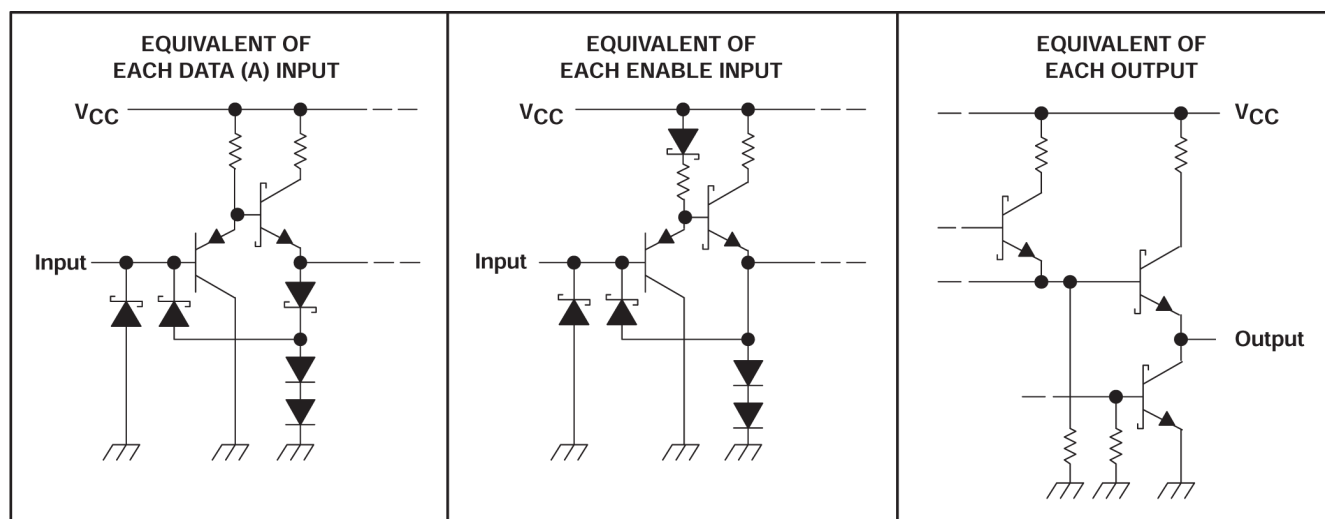


図 7-1. Schematics of Inputs and Outputs

8 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (April 1998) to Revision E (March 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を変更.....	1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN75ALS192D	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	0 to 70	75ALS192
SN75ALS192DR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS192
SN75ALS192N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	SN75ALS192N
SN75ALS192NSR	Active	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU NIPDAU	Level-1-260C-UNLIM	0 to 70	75ALS192

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN75ALS192DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN75ALS192DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN75ALS192NSR	SOP	NS	16	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
SN75ALS192NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN75ALS192DR	SOIC	D	16	2500	353.0	353.0	32.0
SN75ALS192DR	SOIC	D	16	2500	340.5	336.1	32.0
SN75ALS192NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN75ALS192NSR	SOP	NS	16	2000	356.0	356.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN75ALS192N	N	PDIP	16	25	506	13.97	11230	4.32
SN75ALS192NE4	N	PDIP	16	25	506	13.97	11230	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.



PACKAGE OUTLINE

NS0016A

SOP - 2.00 mm max height

SOP



4220735/A 12/2021

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

EXAMPLE BOARD LAYOUT

NS0016A

SOP - 2.00 mm max height

SOP



SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated