TL071, TL071A, TL071B, TL071H
TL072, TL072A, TL072B, TL072H, TL072M
TL074, TL074A, TL074B, TL074H, TL074M
JAJSK27V – SEPTEMBER 1978 – REVISED APRIL 2023

TL07xx 低ノイズ、FET 入力オペアンプ

1 特長

- 高いスルーレート:20V/µs (TL07xH、代表値)
- 低いオフセット電圧:1mV (TL07xH、代表値)
- 低いオフセット電圧ドリフト:2µV/℃
- 低い消費電力:940µA/ch (TL07xH、代表値)
- 広い同相範囲と差動電圧範囲
  - 同相入力電圧範囲に V_{CC+} を含む
- 低い入力バイアスとオフセット電流
- 低いノイズ:
  f = 1kHz で V_n = 18nV/√Hz (代表値)
- 出力短絡保護
- 低い全高調波歪み:0.003% (代表値)
- 広い電源電圧範囲:
  ±2.25V～±20V、4.5V～40V

2 アプリケーション

- 太陽光エネルギー:ストリングおよび集中型インバータ
- モータ駆動:AC およびサーボ駆動制御と出力段モジュール
- 単相オンライン UPS
- 3 相 UPS
- 業務用オーディオ・ミキサー
- バッテリ試験装置

3 概要

TL07xH (TL071H、TL072H、TL074H) ファミリのデバイスは、業界標準の TL07x (TL071、TL072、TL074) デバイスの次世代バージョンです。これらのデバイスは、低オフセット (1mV、代表値)、高スルーレート (20V/µs)、正電源への同相入力などの特長を備え、コスト重視のアプリケーション向けに最適です。高 ESD (1.5kV、HBM)、EMI および RF フィルタの内蔵、-40℃～125℃の温度範囲での動作により、TL07xH デバイスは最も過酷で要求の厳しいアプリケーションで使用できます。

パッケージ情報

部品番号(1)	パッケージ	本体サイズ (公称)
TL071x	P (PDIP、8)	9.59mm × 6.35mm
	DCK (SC70、5)	2.00mm × 1.25mm
	PS (SO、8)	6.20mm × 5.30mm
	D (SOIC、8)	4.90mm × 3.90mm
	DBV (SOT-23、5)	1.60mm × 1.20mm
TL072x	P (PDIP、8)	9.59mm × 6.35mm
	PS (SO、8)	6.20mm × 5.30mm
	D (SOIC、8)	4.90mm × 3.90mm
	P (SOT-23、8)	2.90mm × 1.60mm
	PW (TSSOP、8)	4.40mm × 3.00mm
TL072M	JG (CDIP、8)	9.59mm × 6.67mm
	W (CFP、10)	6.12mm × 3.56mm
	FK (LCCC、20)	8.89mm × 8.89mm
TL074x	N (PDIP、14)	19.30mm × 6.35mm
	NS (SO、14)	10.30mm × 5.30mm
	D (SOIC、14)	8.65mm × 3.91mm
	DYY (SOT-23、14)	4.20mm × 2.00mm
	DB (SSOP、14)	6.20mm × 5.30mm
	PW (TSSOP、14)	5.00mm × 4.40mm
TL074M	J (CDIP、14)	19.56mm × 6.92mm
	W (CFP、14)	9.21mm × 6.29mm
	FK (LCCC、20)	8.89mm × 8.89mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



Copyright © 2017, Texas Instruments Incorporated

ロジック・シンボル

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 5
6 仕様 ... 12
6.1 絶対最大定格 ... 12
6.2 ESD 定格 ... 12
6.3 推奨動作条件 ... 12
6.4 シングル・チャネルの熱に関する情報 ... 13
6.5 デュアル・チャネルの熱に関する情報 ... 13
6.6 クワッド・チャネルの熱に関する情報 ... 14
6.7 電気的特性：TL07xH ... 15
6.8 電気的特性 (DC)：TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM ... 17
6.9 電気的特性 (AC)：TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM ... 19
6.10 代表的特性：TL07xH ... 20
6.11 代表的特性：TL07xH を除くすべてのデバイス ... 27
7 パラメータ測定情報 ... 31
8 詳細説明 ... 32
8.1 概要 ... 32
8.2 機能ブロック図 ... 32
8.3 機能説明 ... 32
8.4 デバイスの機能モード ... 32
9 アプリケーションと実装 ... 33
9.1 アプリケーション情報 ... 33
9.2 代表的なアプリケーション ... 33
9.3 ユニティ・ゲイン・バッファ ... 34
9.4 システム例 ... 35
9.5 電源に関する推奨事項 ... 36
9.6 レイアウト ... 36
10 デバイスおよびドキュメントのサポート ... 38
10.1 ドキュメントの更新通知を受け取る方法 ... 38
10.2 サポート・リソース ... 38
10.3 商標 ... 38
10.4 静電気放電に関する注意事項 ... 38
10.5 用語集 ... 38
11 メカニカル、パッケージ、および注文情報 ... 38

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision U (December 2022) to Revision V (April 2023) — **Page**

- 「概要」、「機能ブロック図」、「機能説明」の各セクションを更新 ... 32

Changes from Revision T (December 2021) to Revision U (December 2022) — **Page**

- 「絶対最大定格」、「ESD 定格」、「推奨動作条件」、「熱に関する情報」の各セクションで、TL07xH および TL07xx の仕様を結合するように変更 ... 12
- 「電気的特性」の表で、TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM の 各仕様を結合するように変更 ... 17
- すべての非 Ns / 非 PS パッケージ、および非 TL07xM デバイスのゲイン帯域幅の値を、3MHz から 5.25Mhz に変更 ... 17
- TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM の「スイッチング特性」の表の名前を、「電気的特性 (AC)」に変更 ... 19
- すべての非 PS / 非 NS パッケージ、およびすべての非 TL07xM デバイスの、1kHz での入力電圧ノイズ密度を、37nV/√Hz に変更 ... 19
- すべての 非 PS / 非 NS パッケージと、すべての非 TL07xM デバイスで、THD+N を 0.00012% に変更 ... 19

Changes from Revision S (July 2021) to Revision T (December 2021) — **Page**

- 「ピン構成および機能」セクションで、DCK のピン配置の図と表を訂正 ... 5

Changes from Revision R (June 2021) to Revision S (July 2021) — **Page**

- データシート全体を通して TL071H SOIC (8)、SOT-23 (5)、SC70 (5) パッケージからプレビューの注を削除 ... 1

Changes from Revision Q (June 2021) to Revision R (June 2021) — **Page**

- データシート全体にわたって TL072H SOIC (8)、SOT-23 (8)、TSSOP (8) パッケージからプレビューの注を削除 ... 1

Copyright © 2023 Texas Instruments Incorporated

- TL072H の ESD 情報を追加 12
- TL072H の I_Q 仕様を追加 15

Changes from Revision P (November 2020) to Revision Q (June 2021) **Page**

- 「製品情報」セクションで VSSOP (8) パッケージを削除 1
- 「ピン構成および機能」セクションの TL071H に DBV、DCK、D パッケージを追加 5
- 「ピン構成および機能」セクションの TL072x から DGK パッケージを削除 5
- 「仕様」セクションから、重複情報を含む表を削除 12
- 「シングル・チャネルの熱に関する情報」セクションに、D、DCK、DBV パッケージの熱情報を追加：TL071H セクション 13
- 「デュアル・チャネルの熱に関する情報」セクションに、D、DDF、PW パッケージの熱情報を追加 TL072H セクション 13
- シングル・チャネル DCK および DBV パッケージの I_B および I_{OS} の仕様を追加 15
- TL071H の I_Q 仕様を追加 15
- 「デバイスおよびドキュメントのサポート」セクションから「関連リンク」セクションを削除 38

Changes from Revision O (October 2020) to Revision P (November 2020) **Page**

- 「クワッド・チャネルの熱に関する情報」セクションに、SOIC および TSSOP パッケージの熱情報を追加 *TL074H セクション* 14
- 「仕様」セクションに「代表的特性：TL07xH」セクションを追加 20

Changes from Revision N (July 2017) to Revision O (October 2020) **Page**

- 文書全体にわたって表、図、相互参照の採番方法を更新 1
- 「特長」セクションに TL07xH の特長を追加 1
- 「アプリケーション」セクションのアプリケーションにリンクを追加 1
- 「概要」セクションに TL07xH を追加 1
- 「製品情報」セクションに TL07xH デバイスを追加 1
- 「製品情報」セクションに、SOT-23 (14)、VSSOP (8)、SOT-23 (8)、SC70 (5)、SOT-23 (5) パッケージを追加 1
- 「ピン構成および機能」セクションの TL072x に TSSOP、VSSOP、DDF パッケージを追加 5
- 「ピン構成および機能」セクションの TL074x に DYY パッケージを追加 5
- 「代表的特性」セクションからグラフの表を削除 27
- 「レイアウトのガイドライン」セクションで、古いドキュメントへの参照を削除 36
- 「関連資料」セクションを削除 38

Changes from Revision M (February 2014) to Revision N (July 2017) **Page**

- 最新のドキュメントおよび翻訳標準に合わせて、データシートのテキストを更新 1
- データシートに TL072M および TL074M デバイスを追加 1
- 「概要」セクションのテキストを変更 1
- 「製品情報」表で、TL07x 8 ピン PDIP パッケージを 8 ピン CDIP パッケージに変更 1
- 「製品情報」表から 20 ピン LCCC パッケージを削除 1
- 表紙の回路図に 2017 年の著作権表記を追加 1
- 「ピン構成および機能」セクションから、TL071x FK (LCCC) のピン配置の図とピン配置の表を削除 5
- 「ピン構成および機能」セクションのピン配置の図とピン配置の表を更新 5
- 「代表的特性」セクションに図 6-59 を追加 27
- 「代表的なアプリケーション」セクションに 2 つ目のアプリケーション曲線を追加 34
- 「レイアウトのガイドライン」セクションのドキュメント参照を変更 36

Copyright © 2023 Texas Instruments Incorporated

Changes from Revision L (February 2014) to Revision M (February 2014) **Page**

- 「製品情報」表、「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクションを追加.. 1

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

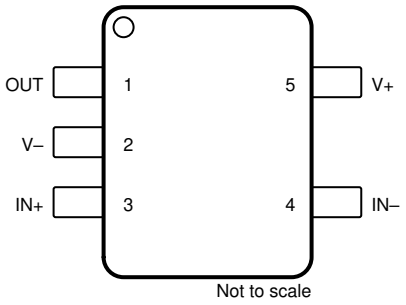


図 5-1. TL071H DBV パッケージ、5 ピン SOT-23 (上面図)

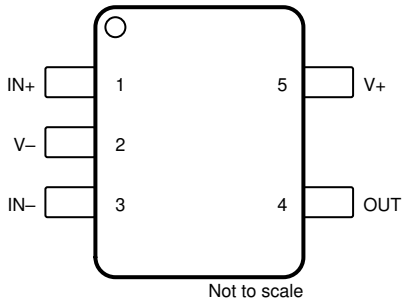
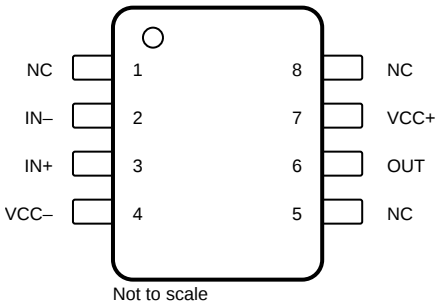


図 5-2. TL071H DCK パッケージ、5 ピン SC70 (上面図)



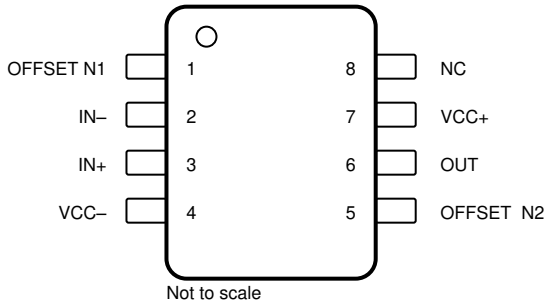
NC - 内部接続なし

図 5-3. TL071H D パッケージ、8 ピン SOIC (上面図)

表 5-1. ピンの機能：TL071H

ピン				I/O	説明
名称	DBV	DCK	D		
IN-	4	3	2	I	反転入力
IN+	3	1	3	I	非反転入力
NC	—	—	8	—	未接続
NC	—	—	1	—	未接続
NC	—	—	5	—	未接続
OUT	1	4	6	O	出力
VCC-	2	2	4	—	電源
VCC+	5	5	7	—	電源

Copyright © 2023 Texas Instruments Incorporated



NC - 内部接続なし

図 5-4. TL071x D、P、PS パッケージ、8 ピン SOIC、PDIP、SO (上面図)

表 5-2. ピンの機能：TL071x

ピン		I/O	説明
名称	番号		
IN-	2	I	反転入力
IN+	3	I	非反転入力
NC	8	—	未接続
オフセット N1	1	—	入力オフセットの調整
オフセット N2	5	—	入力オフセットの調整
OUT	6	O	出力
VCC-	4	—	電源
VCC+	7	—	電源

Copyright © 2023 Texas Instruments Incorporated

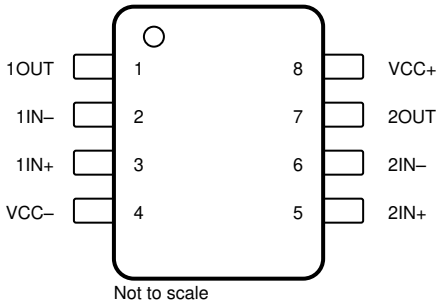
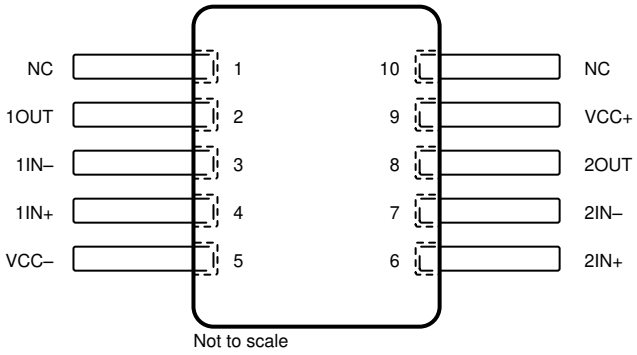


図 5-5. TL072x D、DDF、JG、P、PS、PW パッケージ、8 ピン SOIC、SOT-23 、CDIP、PDIP、SO、TSSOP (上面図)

表 5-3. ピンの機能：TL072x

ピン		I/O	説明
名称	番号		
1IN-	2	I	反転入力
1IN+	3	I	非反転入力
1OUT	1	O	出力
2IN-	6	I	反転入力
2IN+	5	I	非反転入力
2OUT	7	O	出力
VCC-	4	—	電源
VCC+	8	—	電源

Copyright © 2023 Texas Instruments Incorporated



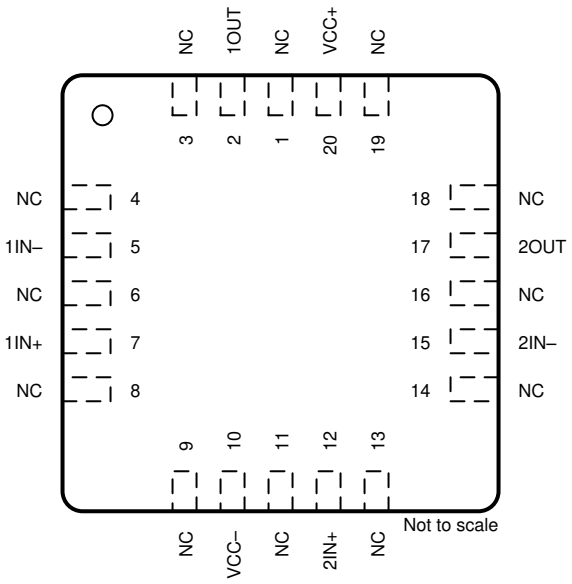
NC - 内部接続なし

図 5-6. TL072x U パッケージ、10 ピン CFP (上面図)

表 5-4. ピンの機能：TL072x

ピン		I/O	説明
名称	番号		
1IN-	3	I	反転入力
1IN+	4	I	非反転入力
1OUT	2	O	出力
2IN-	7	I	反転入力
2IN+	6	I	非反転入力
2OUT	8	O	出力
NC	1、10	—	未接続
VCC-	5	—	電源
VCC+	9	—	電源

Copyright © 2023 Texas Instruments Incorporated



NC - 内部接続なし

図 5-7. TL072 FK パッケージ、20 ピン LCCC (上面図)

表 5-5. ピンの機能：TL072x

ピン		I/O	説明
名称	番号		
1IN-	5	I	反転入力
1IN+	7	I	非反転入力
1OUT	2	O	出力
2IN-	15	I	反転入力
2IN+	12	I	非反転入力
2OUT	17	O	出力
NC	1、3、4、6、8、9、11、13、14、16、18、19	—	未接続
VCC-	10	—	電源
VCC+	20	—	電源

Copyright © 2023 Texas Instruments Incorporated

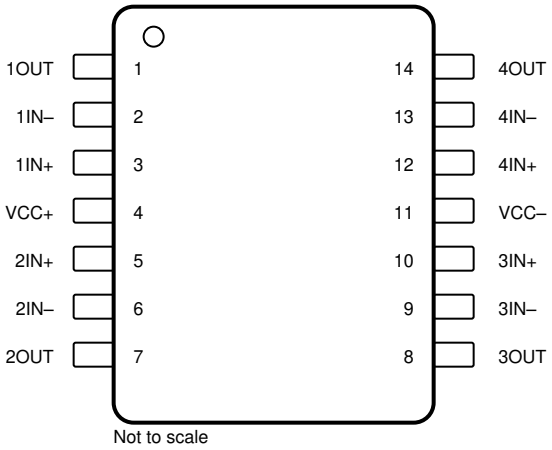
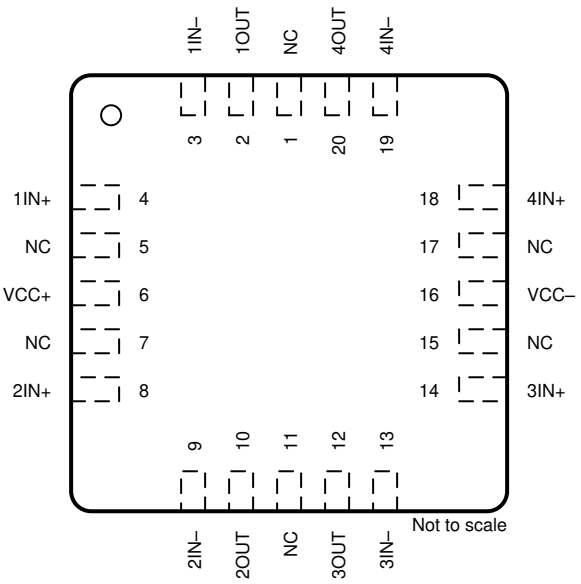


図 5-8. TL074x D、N、NS、PW、J、DYY、W パッケージ、14 ピン SOIC、PDIP、SO、TSSOP、CDIP、SOT-23、CFP (上面図)

表 5-6. ピンの機能：TL074x

ピン		I/O	説明
名称	番号		
1IN-	2	I	反転入力
1IN+	3	I	非反転入力
1OUT	1	O	出力
2IN-	6	I	反転入力
2IN+	5	I	非反転入力
2OUT	7	O	出力
3IN-	9	I	反転入力
3IN+	10	I	非反転入力
3OUT	8	O	出力
4IN-	13	I	反転入力
4IN+	12	I	非反転入力
4OUT	14	O	出力
V_{CC-}	11	—	電源
V_{CC+}	4	—	電源

Copyright © 2023 Texas Instruments Incorporated



NC - 内部接続なし

図 5-9. TL074 FK パッケージ、20 ピン LCCC (上面図)

表 5-7. ピンの機能：TL074x

ピン		I/O	説明
名称	番号		
1IN-	3	I	反転入力
1IN+	4	I	非反転入力
1OUT	2	O	出力
2IN-	9	I	反転入力
2IN+	8	I	非反転入力
2OUT	10	O	出力
3IN-	13	I	反転入力
3IN+	14	I	非反転入力
3OUT	12	O	出力
4IN-	19	I	反転入力
4IN+	18	I	非反転入力
4OUT	20	O	出力
NC	1、5、7、11、15、17	—	未接続
VCC-	16	—	電源
VCC+	6	—	電源

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		すべての NS および PS パッケージ、すべての TL07xM デバイス	-0.3	36	V
		その他のデバイス	0	42	V
信号入力ピン	同相電圧(3)	すべての NS および PS パッケージ、すべての TL07xM デバイス	(V-) - 0.3	(V-) + 36	V
		その他のデバイス	(V-) - 0.5	(V+) + 0.5	V
	差動電圧(3)	すべての NS および PS パッケージ、すべての TL07xM デバイス(4)	(V-) - 0.3	(V-) + 36	V
		その他のデバイス		V_S + 0.2	V
	電流(3)	すべての NS および PS パッケージ、すべての TL07xM デバイス		50	mA
		その他のデバイス	-10	10	mA
出力短絡(2)			連続		
動作時周囲温度、T_A			-55	150	℃
接合部温度、T_J				150	℃
60 秒間のケース温度 - FK パッケージ				260	℃
リード温度:ケースから 1.8mm (1/16 インチ) 離れた点で 10 秒間				300	℃
保管温度、T_{stg}			-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) グランドへの短絡は、1 パッケージ当たり 1 アンプです。
(3) 入力ピンは、電源レールに対してダイオード・クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超えることが想定される場合は、電流を 10mA 以下に制限する必要があります。
(4) 差動電圧は入力電圧によってのみ制限されます。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	すべての NS および PS パッケージ、すべての TL07xM デバイス(1)	10	30	V
		その他のデバイス	4.5	40	V
V_I	入力電圧範囲	すべての NS および PS パッケージ、すべての TL07xM デバイス	(V–)+ 2	(V+) + 0.1	V
		その他のデバイス	(V–)+ 4	(V+) + 0.1	V

Copyright © 2023 Texas Instruments Incorporated

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	最大値	単位
T_A	仕様温度範囲	TL07xM	-55	125	℃
		TL07xH	-40	125	℃
		TL07xI	-40	85	℃
		TL07xC	0	70	℃

(1) 合計 V_S = (V+ - V-) が 10V～30V の範囲なら、V+ と V- が同じ大きさの必要はありません。

6.4 シングル・チャネルの熱に関する情報

熱評価基準 (1)		TL071xx					単位
		D (SOIC)	DCK (SC70)	DBV (SOT-23)	P (PDIP)	PS (SO)	
		8 ピン	5 ピン	5 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	158.8	217.5	212.2	85	95	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	98.6	113.1	111.1	–	–	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	102.3	63.8	79.4	–	–	℃/W
Ψ_{JT}	接合部から上面への特性評価パラメータ	45.8	34.8	51.8	–	–	℃/W
Ψ_{JB}	接合部から基板への特性評価パラメータ	101.5	63.5	79.0	–	–	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	該当なし	℃/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

6.5 デュアル・チャネルの熱に関する情報

熱評価基準 (1)		TL072xx								単位
		D (SOIC)	DDF (SOT-23)	FK (LCCC)	JG (CDIP)	P (PDIP)	PS (SO)	PW (TSSOP)	U (CFP)	
		8 ピン	8 ピン	20 ピン	8 ピン	8 ピン	8 ピン	8 ピン	10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	147.8	181.5	–	–	85	95	200.3	169.8	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	88.2	112.5	5.61	15.05	–	–	89.4	62.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	91.4	98.2	–	–	–	–	131.0	176.2	℃/W
Ψ_{JT}	接合部から上面への特性評価パラメータ	36.8	17.2	–	–	–	–	22.2	48.4	℃/W
Ψ_{JB}	接合部から基板への特性評価パラメータ	90.6	97.6	–	–	–	–	129.3	144.1	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	–	–	–	–	該当なし	5.4	℃/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.6 クワッド・チャネルの熱に関する情報

熱評価基準(1)		TL074xx								単位
		D (SOIC)	DYY (SOT-23)	FK (TSSOP)	J (TSSOP)	N (TSSOP)	NS (TSSOP)	PW (TSSOP)	W (TSSOP)	
		14 ピン	14 ピン	20 ピン	14 ピン	14 ピン	14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	114.2	153.2	–	–	80	76	–	128.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70.3	88.7	5.61	14.5	–	–	14.5	56.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	70.2	65.4	–	–	–	–	–	127.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	28.8	9.5	–	–	–	–	–	29	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	69.8	65.0	–	–	–	–	–	106.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	–	–	–	–	–	0.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.7 電気的特性：TL07xH

V_S = (V_{CC+}) - (V_{CC-}) = 4.5V～40V (±2.25V～±20V)、T_A = 25℃、R_L = 10kΩ を V_S/2 に接続した状態、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)。

パラメータ		測定条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧				±1	±4	mV
			T_A = -40℃～125℃			±5	
dV_{OS}/dT	入力オフセット電圧ドリフト		T_A = -40℃～125℃		±2		µV/℃
PSRR	入力オフセット電圧と電源との関係	V_S = 5V～40V、V_{CM} = V_S/2	T_A = -40℃～125℃		±1	±10	µV/V
	チャネル・セパレーション	f = 0Hz			10		µV/V
入力バイアス電流							
I_B	入力バイアス電流				±1	±120	pA
			DCK および DBV パッケージ		±1	±300	pA
			T_A = -40℃～125℃(1)			±5	nA
I_{OS}	入力オフセット電流				±0.5	±120	pA
			DCK および DBV パッケージ		±0.5	±250	pA
			T_A = -40℃～125℃(1)			±5	nA
ノイズ							
E_N	入力電圧ノイズ	f = 0.1Hz～10Hz			9.2		μV_{PP}
					1.4		μV_{RMS}
e_n	入力電圧ノイズ密度	f = 1kHz			37		nV/√Hz
		f = 10kHz			21		
i_N	入力電流ノイズ	f = 1kHz			80		fA/√Hz
入力電圧範囲							
V_{CM}	同相電圧範囲			(V_{CC-}) + 1.5		(V_{CC+})	V
CMRR	同相信号除去比	V_S = 40V、(V_{CC-}) + 2.5V < V_{CM} < (V_{CC+}) - 1.5V		100	105		dB
			T_A = -40℃～125℃	95			dB
		V_S = 40V、(V_{CC-}) + 2.5V < V_{CM} < (V_{CC+})		90	105		dB
			T_A = -40℃～125℃	80			dB
入力容量							
Z_{ID}	差動				100 || 2		MΩ || pF
Z_{ICM}	同相				6 || 1		TΩ || pF
開ループ・ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 40V、V_{CM} = V_S/2、(V_{CC-}) + 0.3V < V_O < (V_{CC+}) - 0.3V	T_A = -40℃～125℃	118	125		dB
A_{OL}	開ループ電圧ゲイン	V_S = 40V、V_{CM} = V_S/2、R_L = 2kΩ、(V_{CC-}) + 1.2V < V_O < (V_{CC+}) - 1.2V	T_A = -40℃～125℃	115	120		dB
周波数特性							
GBW	ゲイン帯域幅積				5.25		MHz
SR	スルー・レート	V_S = 40V、G = +1、C_L = 20pF			20		V/µs
t_S	セトリング時間	0.1% まで、V_S = 40V、V_{STEP} = 10V、G = +1、CL = 20pF			0.63		µs
		0.1% まで、V_S = 40V、V_{STEP} = 2V、G = +1、CL = 20pF			0.56		
		0.01% まで、V_S = 40V、V_{STEP} = 10V、G = +1、CL = 20pF			0.91		
		0.01% まで、V_S = 40V、V_{STEP} = 2V、G = +1、CL = 20pF			0.48		
	位相マージン	G = +1、R_L = 10kΩ、C_L = 20pF			56		°
	過負荷復帰時間	V_{IN} × ゲイン > V_S			300		ns
THD+N	全高調波歪 + ノイズ	V_S = 40V、V_O = 6V_{RMS}、G = +1、f = 1kHz			0.00012		%
EMIRR	EMI 除去比	f = 1GHz			53		dB

Copyright © 2023 Texas Instruments Incorporated

6.7 電気的特性：TL07xH (continued)

V_S = (V_{CC+}) - (V_{CC-}) = 4.5V～40V (±2.25V～±20V)、T_A = 25℃、R_L = 10kΩ を V_S/2 に接続した状態、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)。

パラメータ		測定条件		最小値	標準値	最大値	単位
出力							
	レールからの電圧出力スイング	正のレール・ヘッドルーム	V_S = 40V、R_L = 10kΩ		115	210	mV
			V_S = 40V、R_L = 2kΩ		520	965	
		負のレール・ヘッドルーム	V_S = 40V、R_L = 10kΩ		105	215	
			V_S = 40V、R_L = 2kΩ		500	1030	
I_{SC}	短絡電流				±26		mA
C_{LOAD}	容量性負荷ドライブ				300		pF
Z_O	開ループ出力インピーダンス	f = 1MHz、I_O = 0A			125		Ω
電源							
I_Q	アンプごとの静止電流	I_O = 0A			937.5	1125	μA
		I_O = 0A、(TL071H)			960	1156	
		I_O = 0A	T_A = -40℃～125℃			1130	
		I_O = 0A、(TL072H)				1143	
		I_O = 0A、(TL071H)				1160	
	ターンオン時間	T_A = 25℃、V_S = 40V、V_S ランプ・レート > 0.3V/μs			60		μs

(1) 最大 I_B および I_{OS} のデータは、特性評価結果に基づいて規定されています。

Copyright © 2023 Texas Instruments Incorporated

6.8 電気的特性 (DC) : TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM

T_A = 25℃で V_S = (V_{CC+}) - (V_{CC-}) = ±15V の場合 (特に記述のない限り)

パラメータ		測定条件[1] [2]			最小値	標準値	最大値	単位
V_{OS}	入力オフセット電圧	V_O = 0V R_S = 50Ω	TL07xC			3	10	mV
				T_A = フル・レンジ			13	
			TL07xAC			3	6	
				T_A = フル・レンジ			7.5	
			TL07xBC			2	3	
				T_A = フル・レンジ			5	
			TL07xI			3	6	
				T_A = フル・レンジ			8	
			TL071M、TL072M			3	6	
				T_A = フル・レンジ			9	
			TL074M			3	9	
				T_A = フル・レンジ			15	
dV_{OS}/dT	入力オフセット電圧ドリフト	V_O = 0V、R_S = 50Ω	T_A = フル・レンジ			±18		μV/℃
I_{OS}	入力オフセット電流	V_O = 0V	TL07xC			5	100	pA
				T_A = フル・レンジ			10	nA
			TL07xAC、TL07xBC、TL07xI			5	100	pA
				T_A = フル・レンジ			2	nA
			TL07xM			5	100	pA
				T_A = フル・レンジ			20	nA
I_B	入力バイアス電流	V_O = 0V	TL07xC、TL07xAC、TL07xBC、TL07xI			65	200	pA
				T_A = フル・レンジ			7	nA
			TL071M、TL072M			65	200	pA
				T_A = フル・レンジ			50	nA
			TL074M			65	200	pA
				T_A = フル・レンジ			20	nA
V_{CM}	同相電圧範囲				±11	-12～15		V
VOM	最大ピーク出力電圧スイング	R_L = 10kΩ			±12	±13.5		V
		R_L ≧ 10kΩ	T_A = フル・レンジ		±12			
		R_L ≧ 2kΩ			±10			
A_{OL}	開ループ電圧ゲイン	V_O = 0V	TL07xC		25	200		V/mV
				T_A = フル・レンジ	15			
			TL07xAC、TL07xBC、TL07xI		50	200		
				T_A = フル・レンジ	25			
			TL07xM		35	200		
				T_A = フル・レンジ	15			
GBW	ゲイン帯域幅積	すべての NS および PS パッケージ、すべての TL07xM デバイス				3		MHz
		その他のデバイス				5.25		
R_{ID}	同相入力抵抗					1		TΩ
CMRR	同相信号除去比	V_{IC} = $V_{ICR(min)}$ V_O = 0 R_S = 50Ω	TL07xC		70	100		dB
			TL07xAC、TL07xBC、TL07xI		75	100		
			TL07xM		80	86		
PSRR	入力オフセット電圧と電源との関係	V_{CC} = ±9V～±18V V_O = 0 R_S = 50Ω	TL07xC		70	100		dB
			TL07xAC、TL07xBC、TL07xI		80	100		
			TL07xM		80	86		

Copyright © 2023 Texas Instruments Incorporated

6.8 電気的特性 (DC) : TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM (continued)

T_A = 25℃で V_S = (V_{CC+}) - (V_{CC-}) = ±15V の場合 (特に記述のない限り)

パラメータ		測定条件(1) (2)	最小値	標準値	最大値	単位
I_Q	静止電流 (アンプ 1 個あたり)	V_O = 0 V、無負荷		1.4	2.5	mA
	チャネル・セパレーション	f = 0Hz		1		µV/V

(1) 特に記述のない限り、すべての特性は、同相電圧が 0 の開ループ条件で測定されます。
(2) フル・レンジは、TL07xC、TL07xAC、TL07xBC の場合 T_A = 0℃～70℃、TL07xI の場合は T_A = -40℃～85℃ 、TL07xM では T_A = -55℃～125℃です。

Copyright © 2023 Texas Instruments Incorporated

6.9 電気的特性 (AC) : TL07xC、TL07xAC、TL07xBC、TL07xI、TL07xM

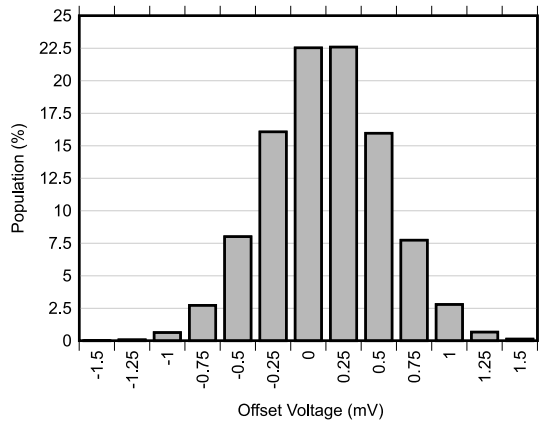
T_A = 25℃で V_S = (V_{CC+}) - (V_{CC-}) = ±15V の場合 (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
SR	スルー・レート	V_I= 10V、C_L = 100pF、R_L = 2kΩ	TL07xM	5	20		V/µs
			TL07xC、TL07xAC、TL07xBC、TL07xI	8	20		V/µs
t_S	セトリング時間	V_I= 20 V、C_L = 100pF、R_L = 2kΩ			0.1		µs
					20%		
e_n	入力電圧ノイズ密度	すべての PS および NS パッケージ、すべての TL07xM デバイス	R_S = 20 Ω、f = 1kHz		18		nV/√Hz
		その他のデバイス	f = 1kHz		37		nV/√Hz
			f = 10kHz		21		
E_N	入力電圧ノイズ	すべての PS および NS パッケージ、すべての TL07xM デバイス	R_S = 20Ω、f = 10Hz～10kHz		4		μV_{RMS}
		その他のデバイス	f = 0.1Hz～10Hz		1.4		μV_{RMS}
i_N	入力電流ノイズ	R_S = 20Ω、f = 1kHz			10		fA/√Hz
	位相マージン	TL07xC、TL07xAC、TL07xBC、TL07xI	G = +1、R_L = 10kΩ、C_L = 20pF		56		°
	過負荷復帰時間	V_{IN} × ゲイン > V_S			300		ns
THD+N	全高調波歪 + ノイズ	すべての PS および NS パッケージ、すべての TL07xM デバイス	V_O = 6V_{RMS}、R_L ≥ 2kΩ、f = 1kHz、G = +1、R_S ≤ 1kΩ		0.003		%
		その他のデバイス	V_S = 40V、V_O = 6V_{RMS}、G = +1、f = 1kHz		0.00012		%
EMIRR	EMI 除去比	TL07xC、TL07xAC、TL07xBC、TL07xI	f = 1GHz		53		dB
Z_O	開ループ出力インピーダンス	TL07xC、TL07xAC、TL07xBC、TL07xI	f = 1MHz、I_O = 0A		125		Ω

Copyright © 2023 Texas Instruments Incorporated

6.10 代表的特性：TL07xH

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)



T_A = 25℃

図 6-1. オフセット電圧の製品分布

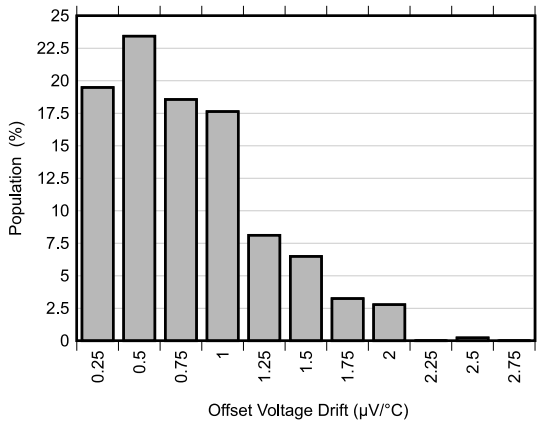
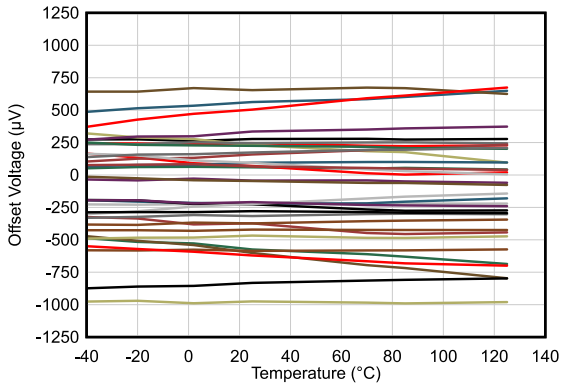
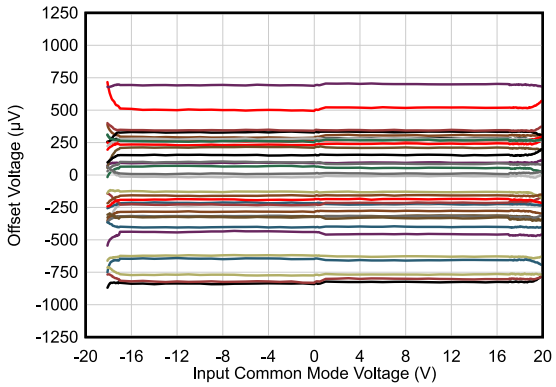


図 6-2. オフセット電圧ドリフトの分布



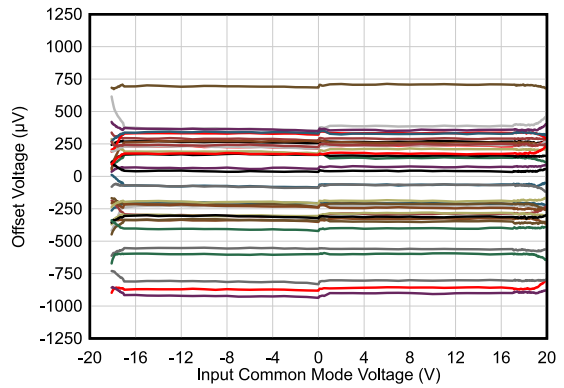
V_{CM} = V_S / 2

図 6-3. オフセット電圧と温度との関係



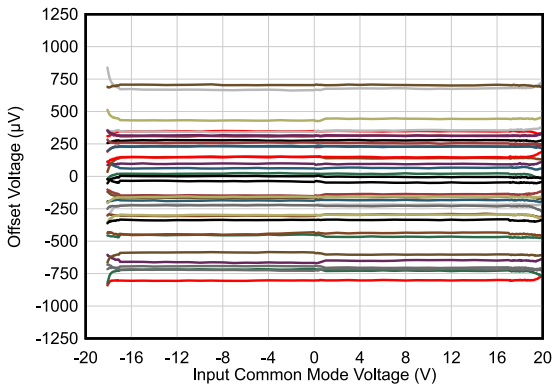
T_A = 25℃

図 6-4. オフセット電圧と同相電圧との関係



T_A = 125℃

図 6-5. オフセット電圧と同相電圧との関係



T_A = -40℃

図 6-6. オフセット電圧と同相電圧との関係

Copyright © 2023 Texas Instruments Incorporated

6.10 代表的特性：TL07xH (continued)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)

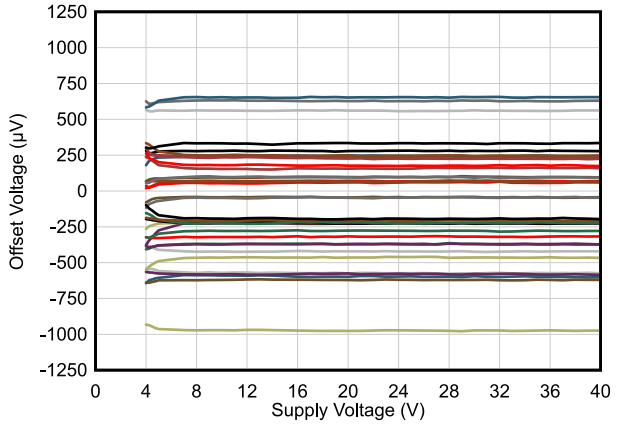


図 6-7. オフセット電圧と電源電圧との関係

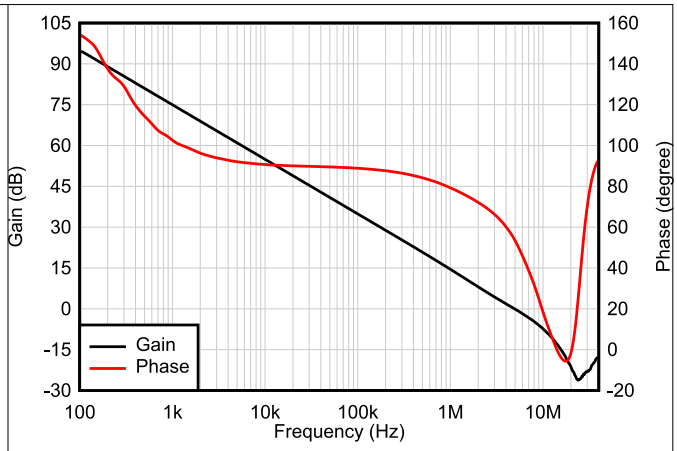


図 6-8. 開ループ・ゲインおよび位相と周波数との関係

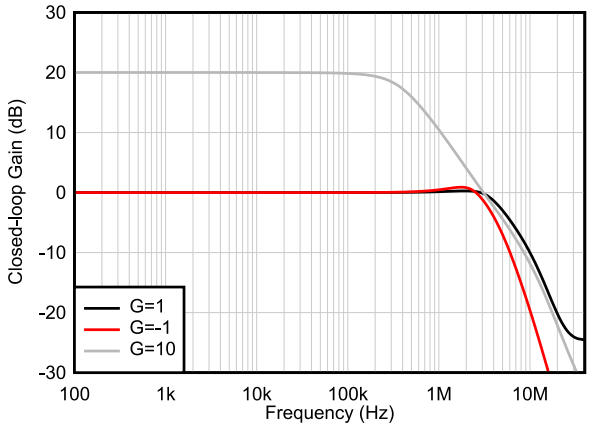


図 6-9. 閉ループ・ゲインと周波数との関係

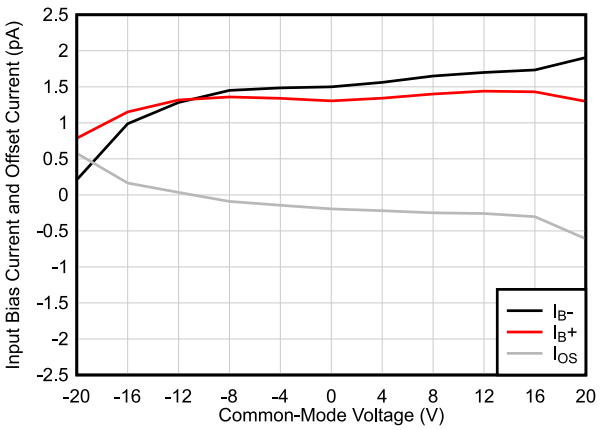


図 6-10. 入力バイアス電流と同相電圧との関係

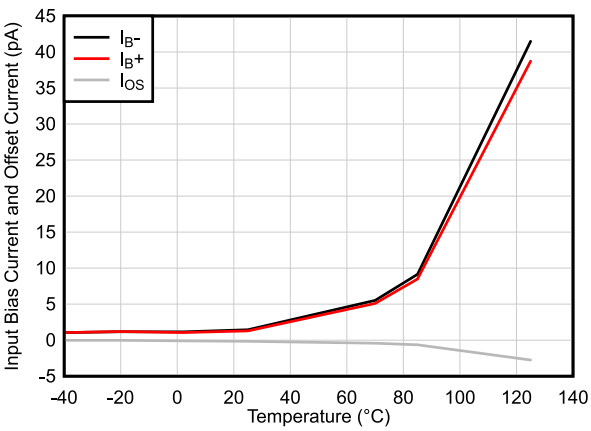


図 6-11. 入力バイアス電流と温度との関係

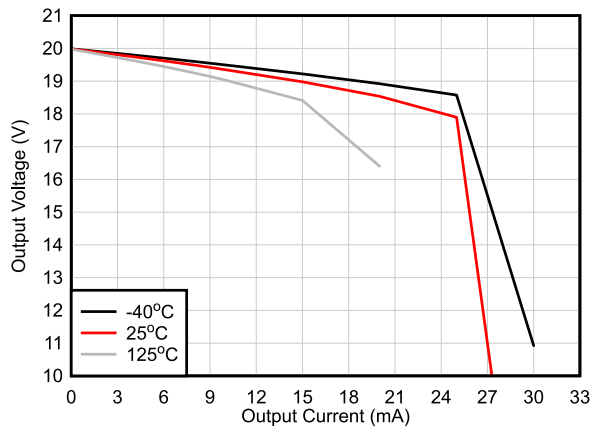


図 6-12. 出力電圧スイングと出力電流との関係 (ソース)

Copyright © 2023 Texas Instruments Incorporated

6.10 代表的特性：TL07xH (continued)

T_A = 25°C、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)

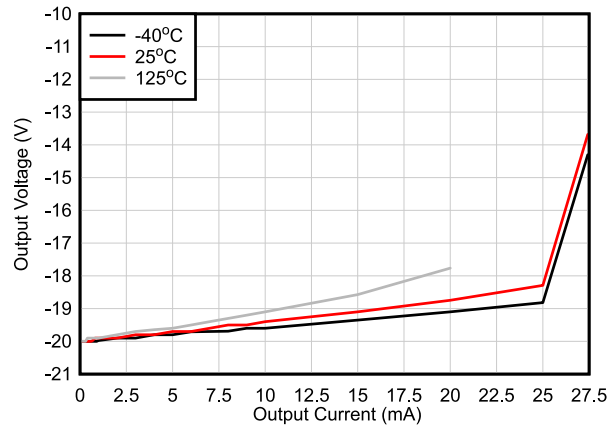


図 6-13. 出力電圧スイングと出力電流との関係 (シンク)

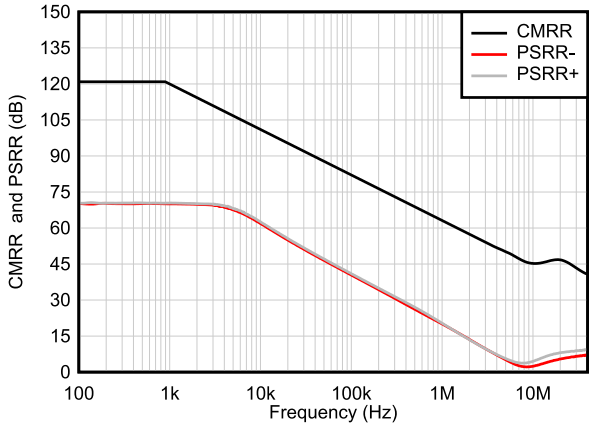


図 6-14. CMRR および PSRR と周波数との関係

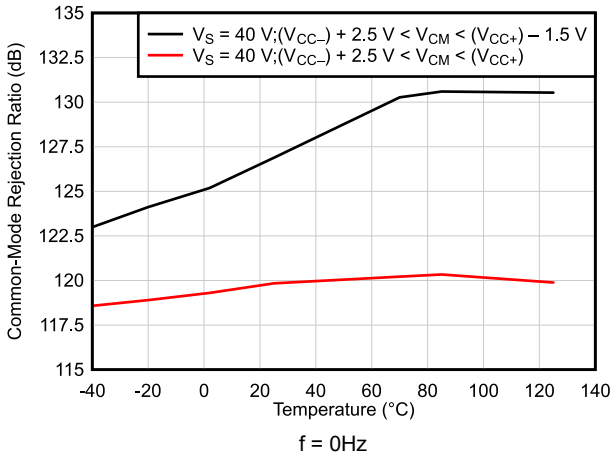


図 6-15. CMRR と温度との関係 (dB)

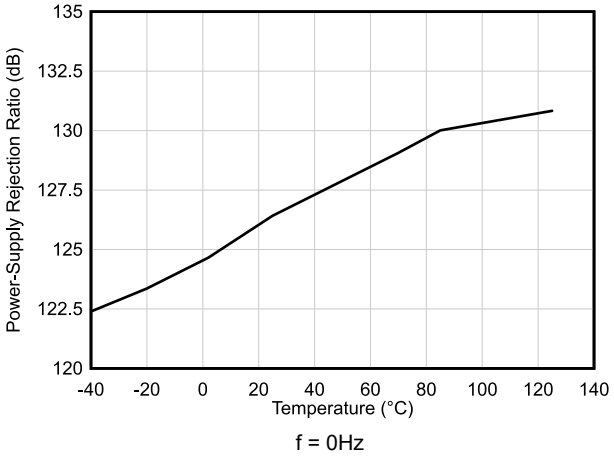


図 6-16. PSRR と温度との関係 (dB)

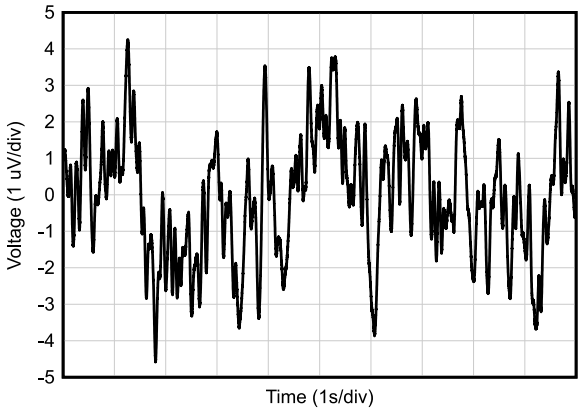


図 6-17. 0.1Hz～10Hz のノイズ

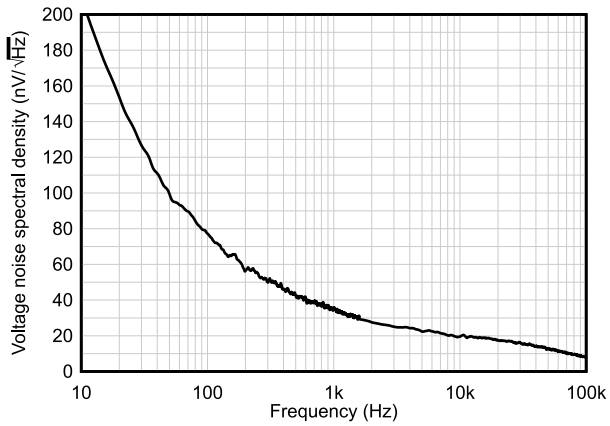
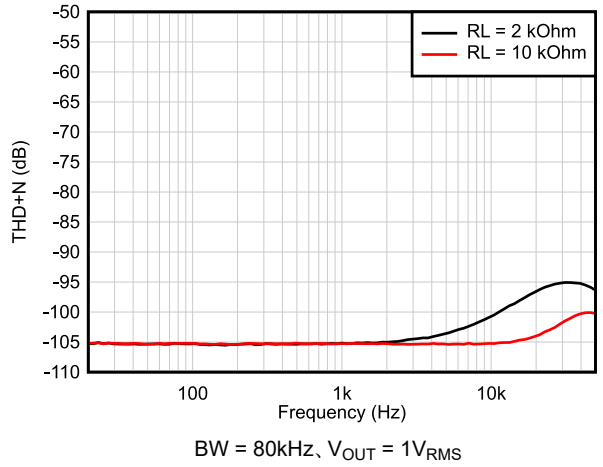


図 6-18. 入力電圧ノイズ・スペクトル密度と周波数との関係

Copyright © 2023 Texas Instruments Incorporated

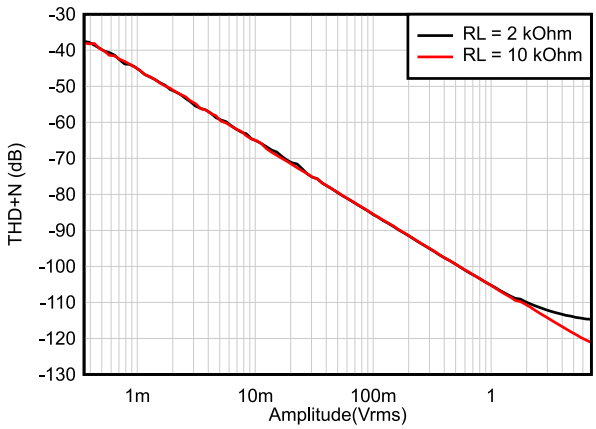
6.10 代表的特性：TL07xH (continued)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)



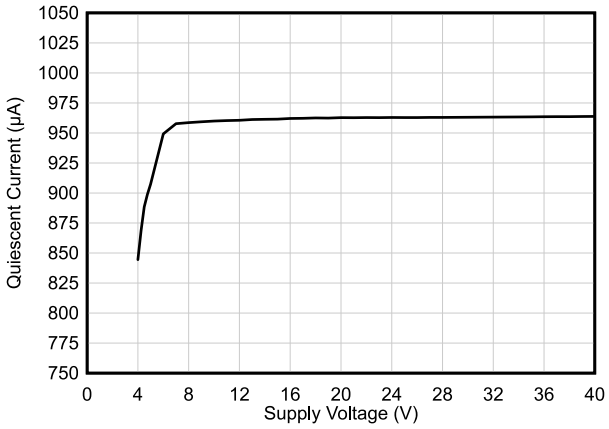
BW = 80kHz、V_{OUT} = 1V_{RMS}

図 6-19. THD+N 比と周波数との関係



BW = 80kHz、f = 1kHz

図 6-20. THD+N と出力振幅との関係



V_{CM} = V_S / 2

図 6-21. 静止電流と電源電圧との関係

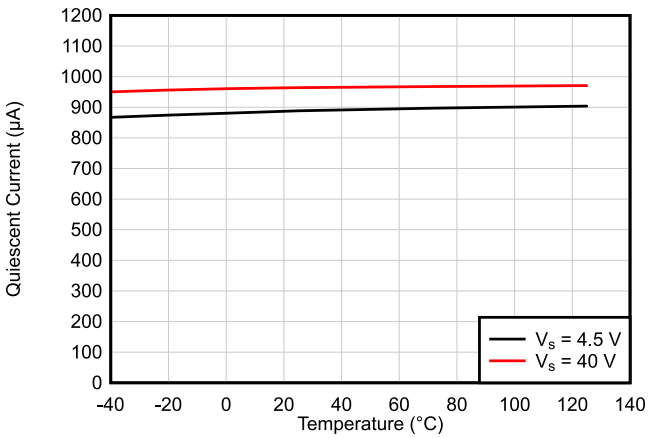


図 6-22. 静止電流と温度との関係

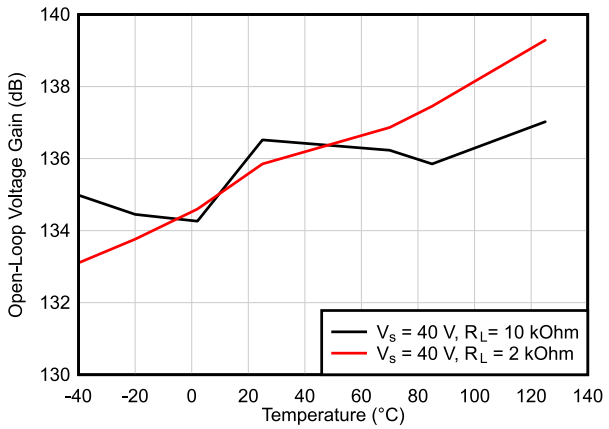


図 6-23. 開ループ電圧ゲインと温度との関係 (dB)

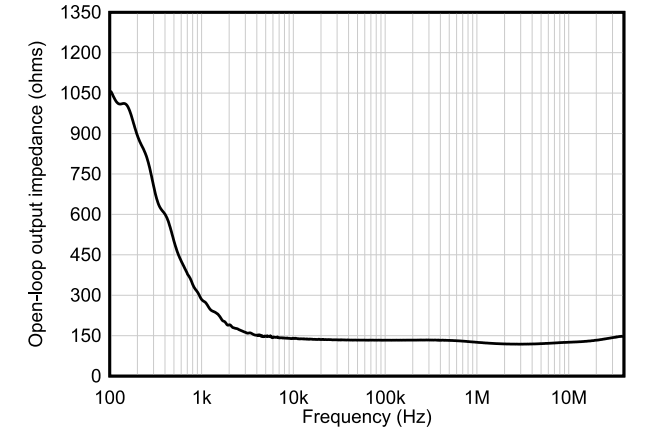
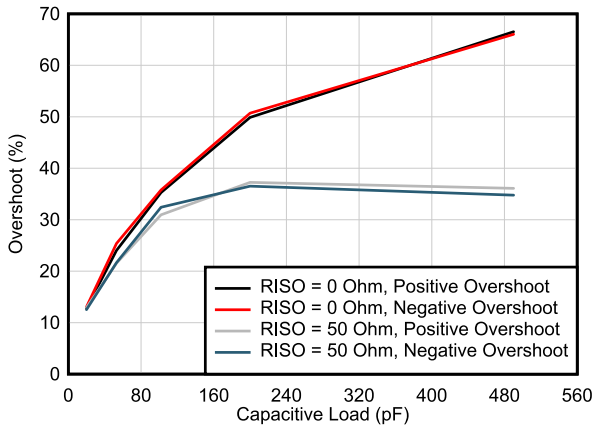


図 6-24. 開ループ出力インピーダンスと周波数との関係

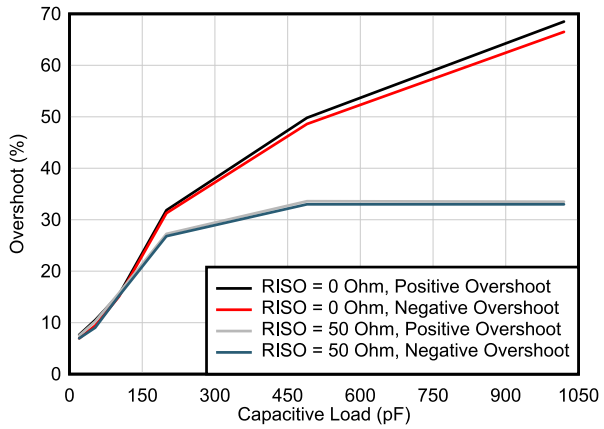
6.10 代表的特性：TL07xH (continued)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)



G = -1、25mV の出力ステップ

図 6-25. 小信号オーバーシュートと容量性負荷との関係



G = 1、10mV の出力ステップ

図 6-26. 小信号オーバーシュートと容量性負荷との関係

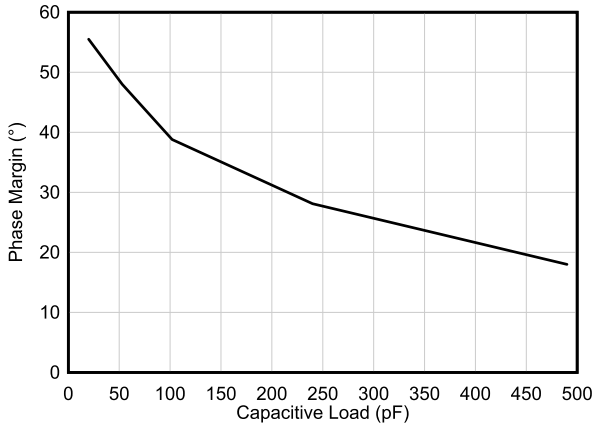
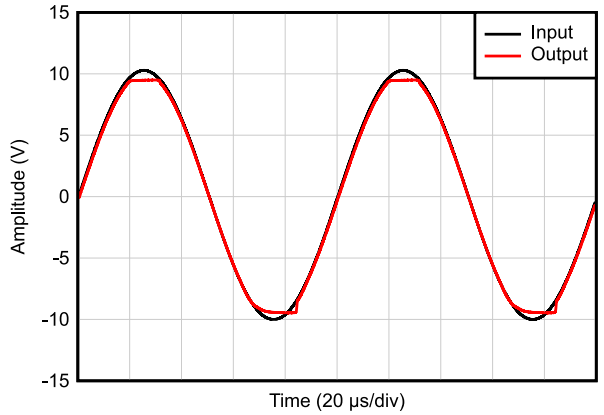
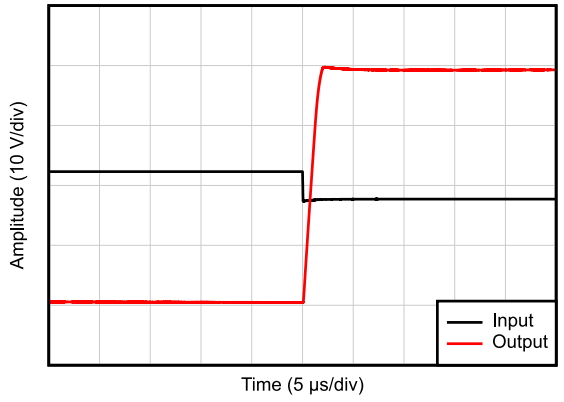


図 6-27. 位相マージンと容量性負荷との関係



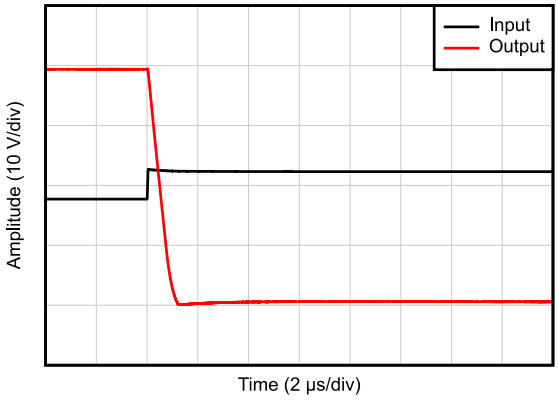
V_S = ±10V、V_{IN} = V_{OUT}

図 6-28. 位相反転なし



G = -10

図 6-29. 正の過負荷からの回復



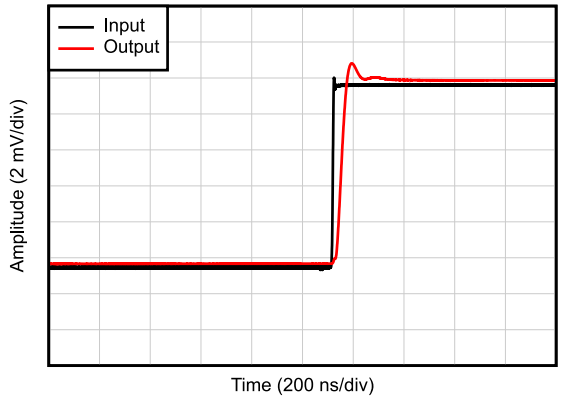
G = -10

図 6-30. 負の過負荷からの回復

Copyright © 2023 Texas Instruments Incorporated

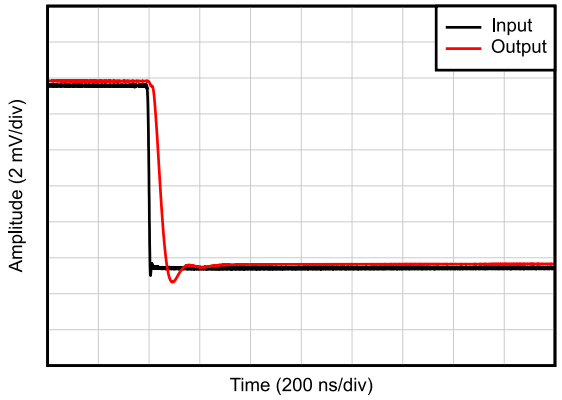
6.10 代表的特性：TL07xH (continued)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)



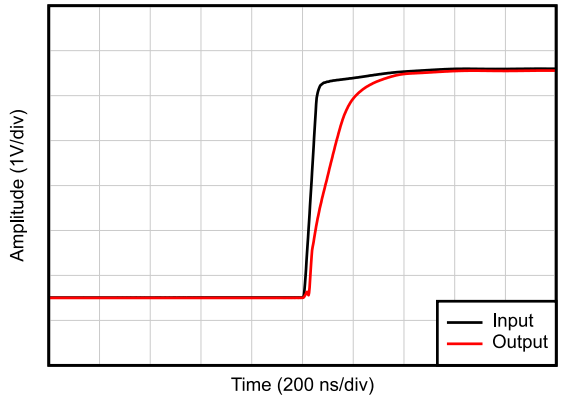
C_L = 20pF、G = 1、10mV のステップ応答

図 6-31. 小信号ステップ応答、立ち上がり



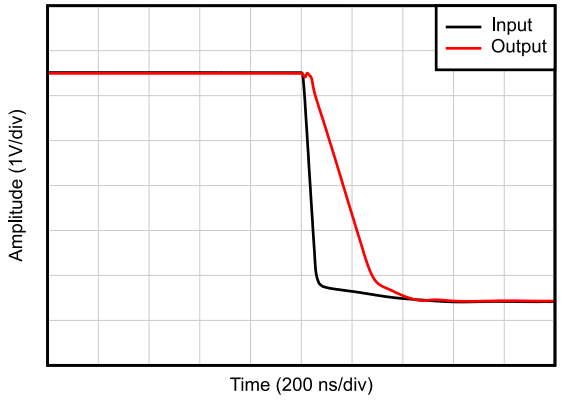
C_L = 20pF、G = 1、10mV のステップ応答

図 6-32. 小信号ステップ応答、立ち下がり



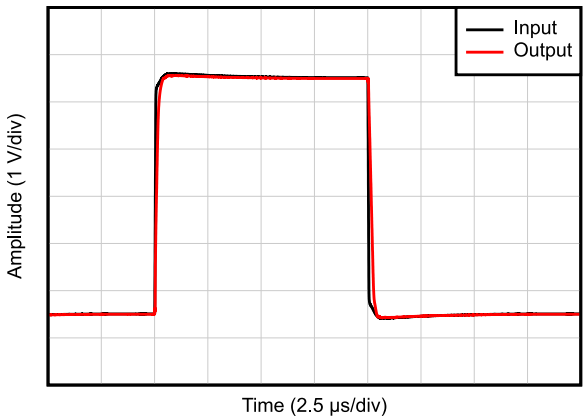
C_L = 20pF、G = 1

図 6-33. 大信号ステップ応答、立ち上がり



C_L = 20pF、G = 1

図 6-34. 大信号ステップ応答、立ち下がり



C_L = 20pF、G = 1

図 6-35. 大信号ステップ応答

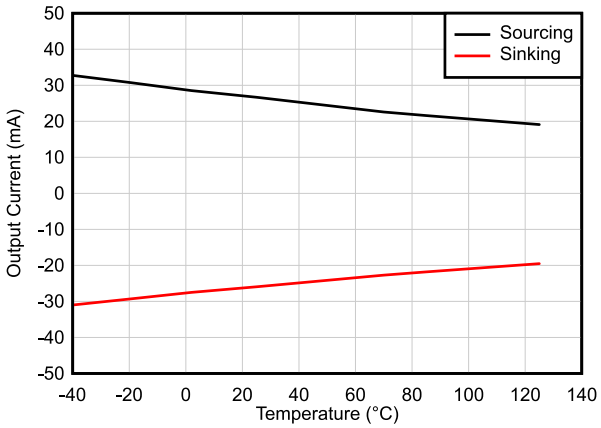


図 6-36. 短絡電流と温度との関係

6.10 代表的特性：TL07xH (continued)

T_A = 25℃、V_S = 40V (±20V)、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 20pF (特に記述のない限り)

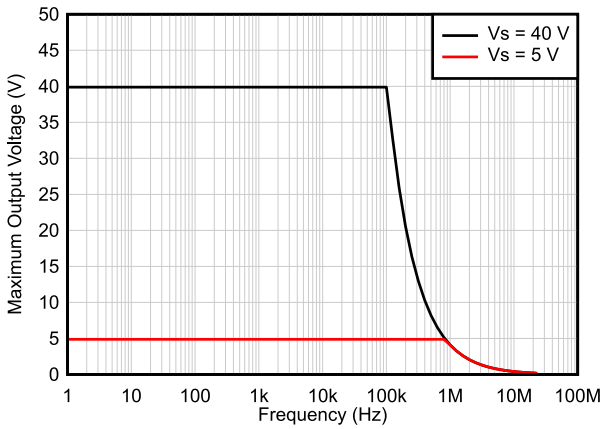


図 6-37. 最大出力電圧と周波数との関係

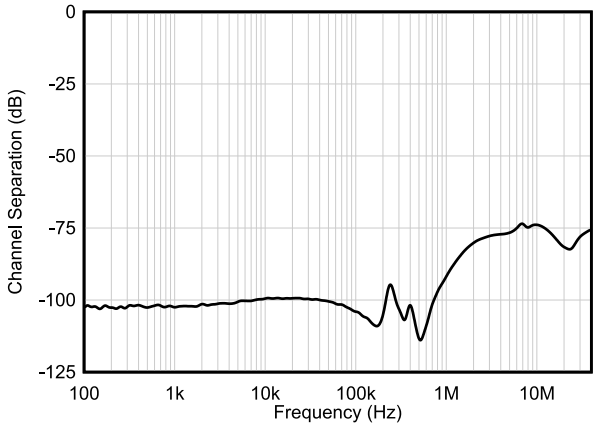


図 6-38. チャネル・セパレーションと周波数との関係

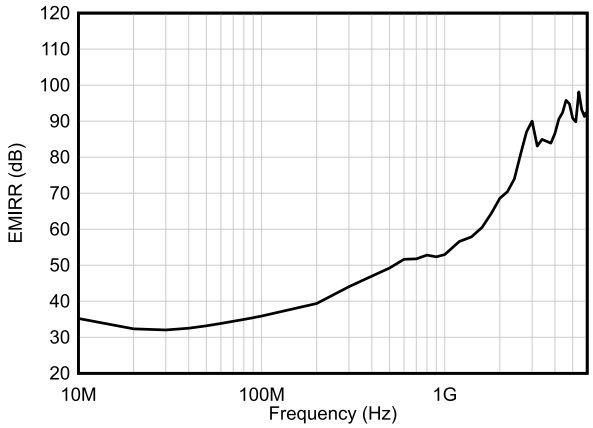


図 6-39. EMIRR (電磁干渉除去比) と周波数との関係

Copyright © 2023 Texas Instruments Incorporated

6.11 代表的特性：TL07xH を除くすべてのデバイス

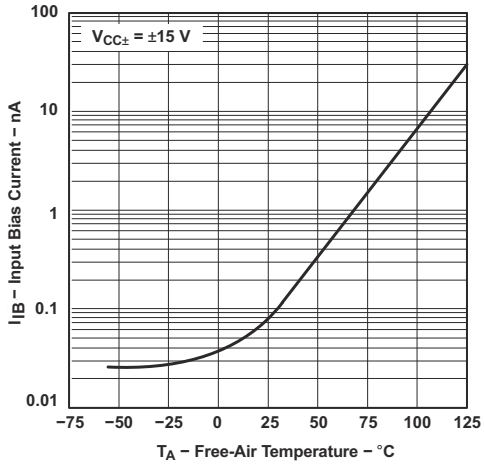


図 6-40. 入力バイアス電流と自由気流温度との関係

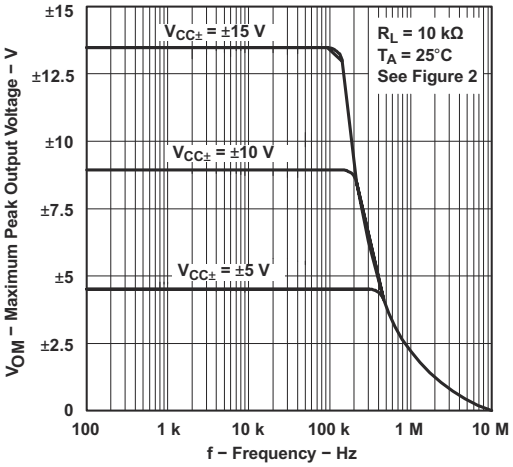


図 6-41. 最大ピーク出力電圧と周波数との関係

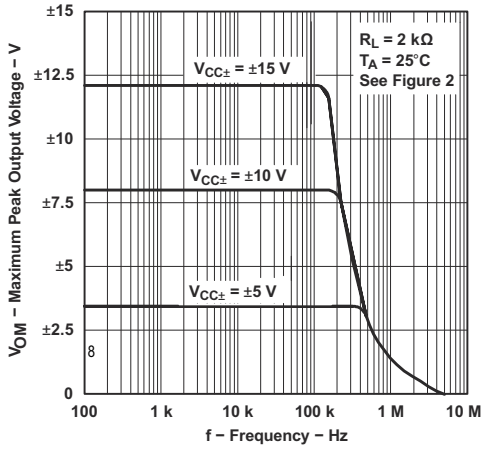


図 6-42. 最大ピーク出力電圧と周波数との関係

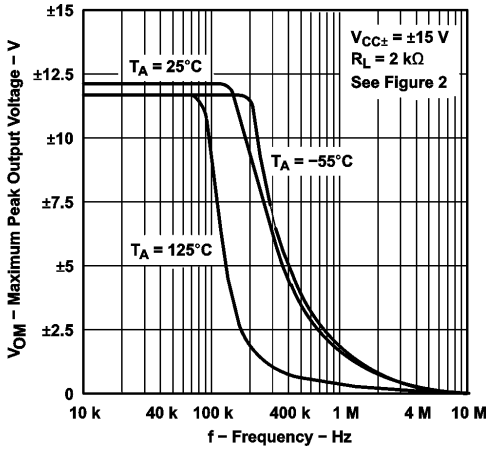


図 6-43. 最大ピーク出力電圧と周波数との関係

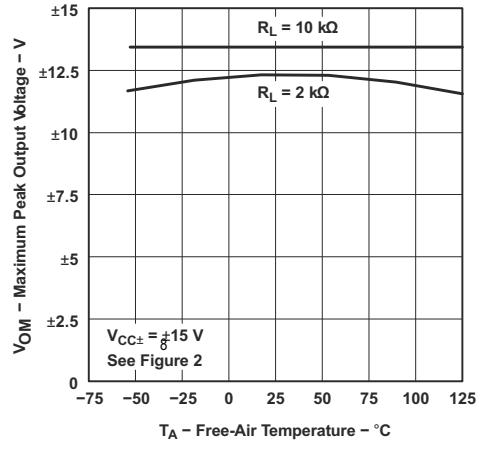


図 6-44. 最大ピーク出力電圧と自由気流温度との関係

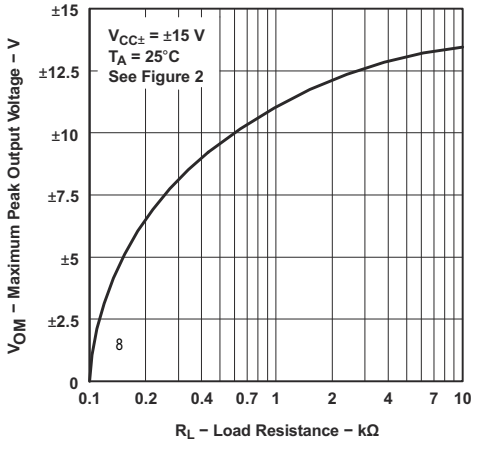


図 6-45. 最大ピーク出力電圧と負荷抵抗との関係

6.11 代表的特性：TL07xH を除くすべてのデバイス (continued)

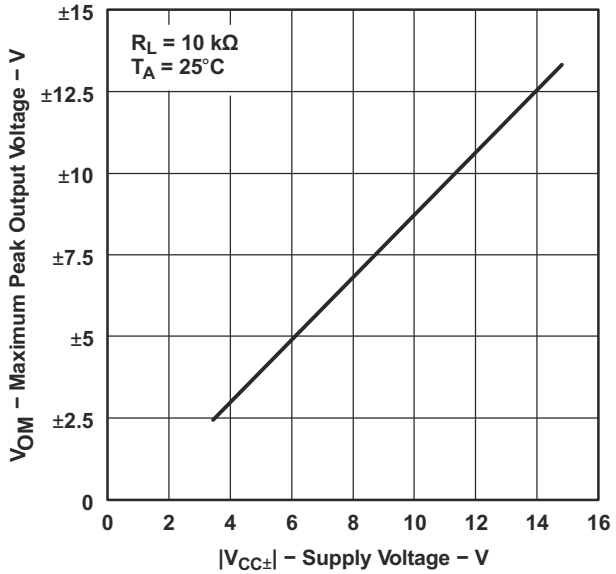


図 6-46. 最大ピーク出力電圧と電源電圧との関係

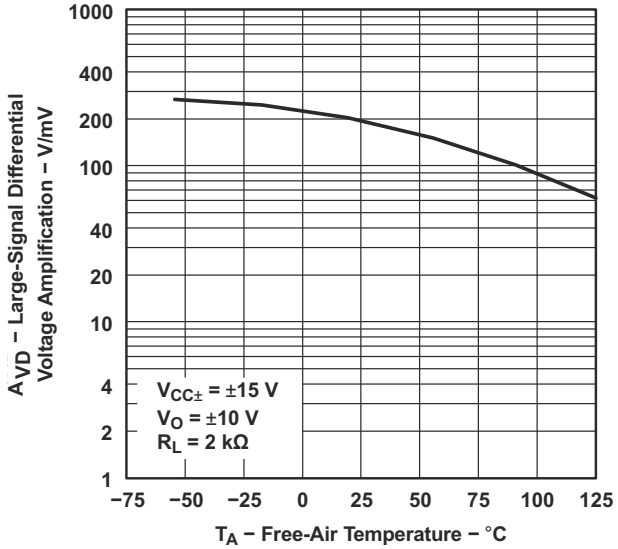


図 6-47. 大信号の差動電圧増幅と自由気流温度との関係

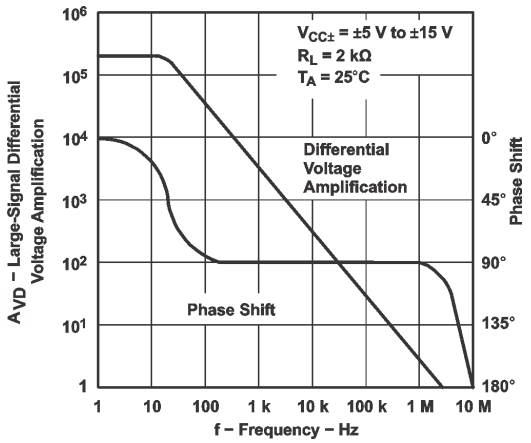


図 6-48. 大信号の差動電圧増幅および位相シフトと周波数との関係

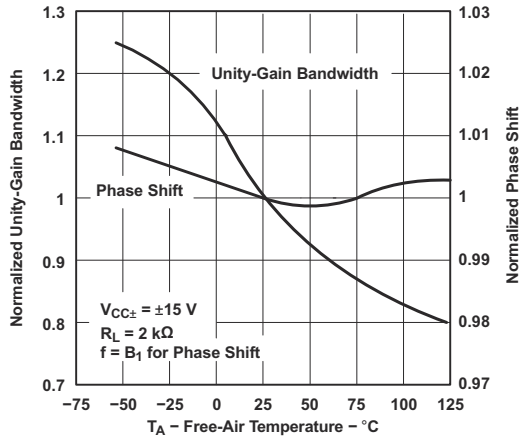


図 6-49. 正規化されたユニティ・ゲイン帯域幅および位相シフトと自由気流温度との関係

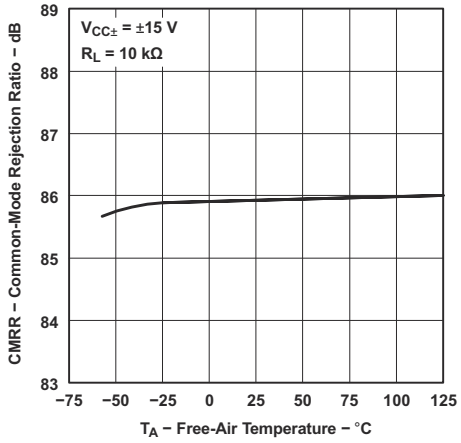


図 6-50. 同相信号除去比と自由気流温度との関係

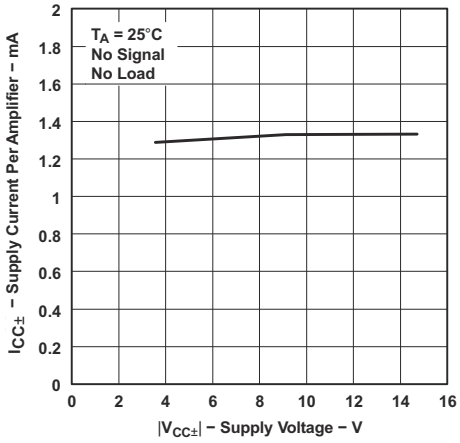


図 6-51. アンプごとの電源電流と電源電圧との関係

Copyright © 2023 Texas Instruments Incorporated

6.11 代表的特性：TL07xH を除くすべてのデバイス (continued)

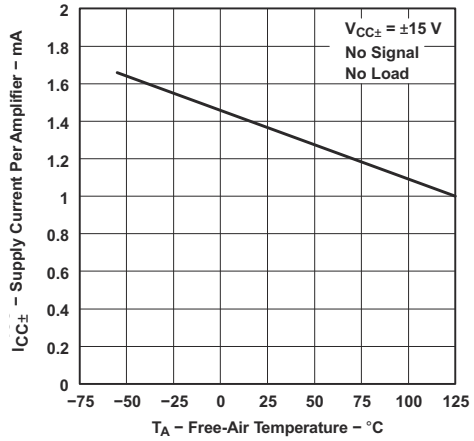


図 6-52. アンプごとの電源電流と自由気流温度との関係

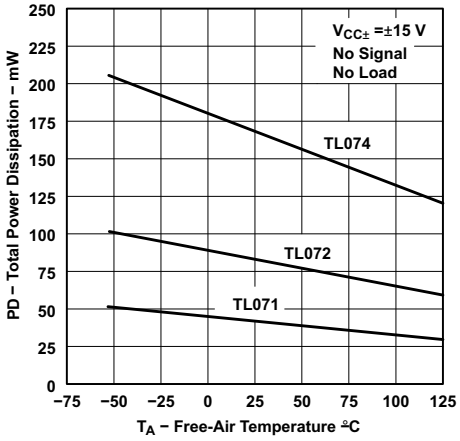


図 6-53. 合計消費電力と自由気流温度との関係

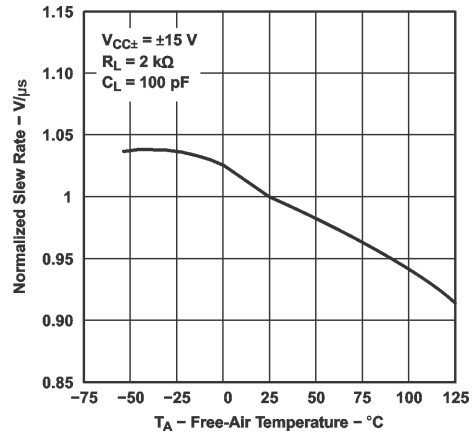


図 6-54. 正規化されたスルーレートと自由気流温度との関係

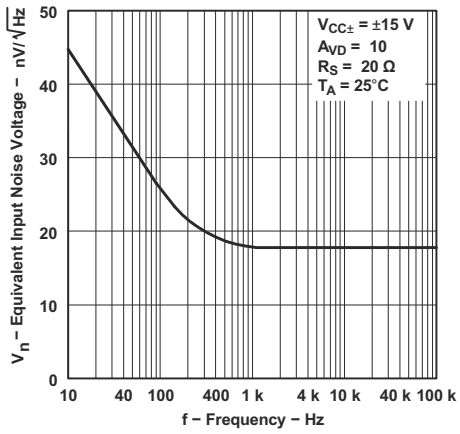


図 6-55. 等価入力ノイズ電圧と周波数との関係

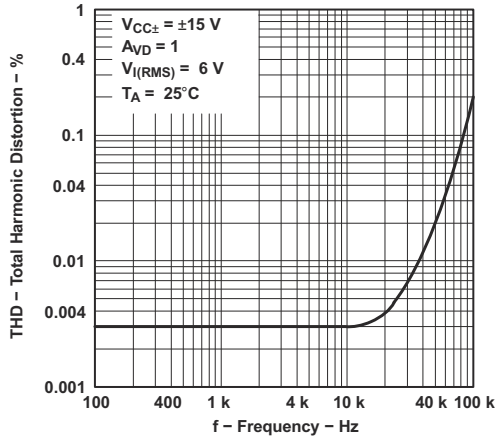


図 6-56. 全高調波歪と周波数との関係

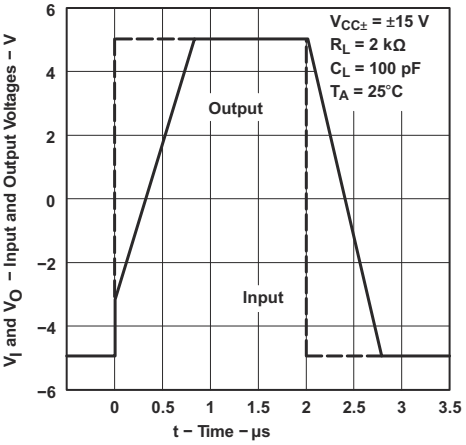


図 6-57. ボルテージフォロワの大信号パルス応答

Copyright © 2023 Texas Instruments Incorporated

6.11 代表的特性：TL07xH を除くすべてのデバイス (continued)

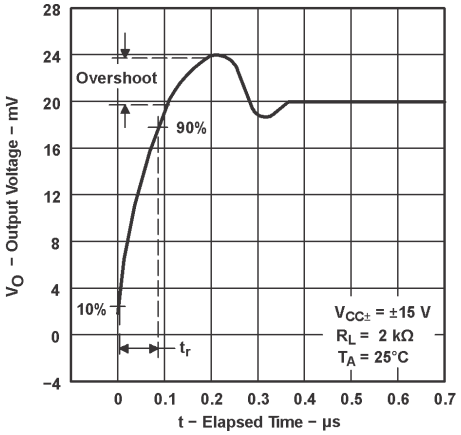


図 6-58. 出力電圧と経過時間との関係

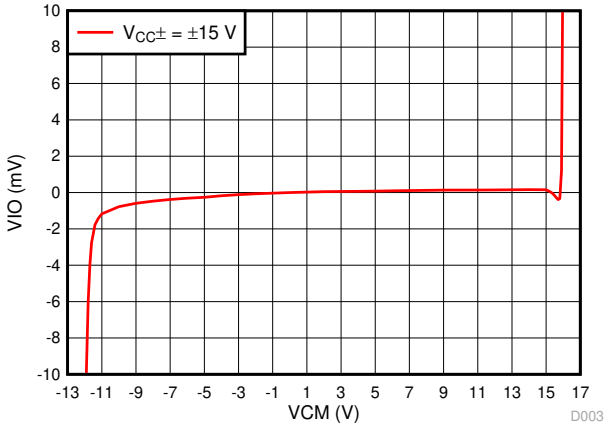


図 6-59. V_{IO} と V_{CM} との関係

Copyright © 2023 Texas Instruments Incorporated

7 パラメータ測定情報

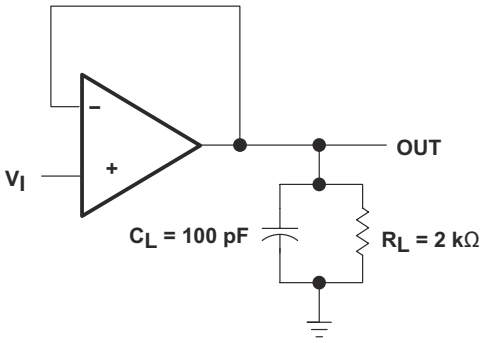


図 7-1. ユニティ・ゲイン・アンプ

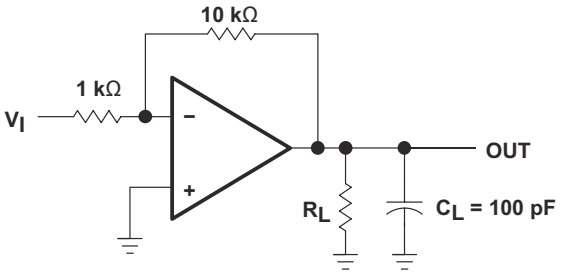


図 7-2. ゲイン 10 の反転アンプ

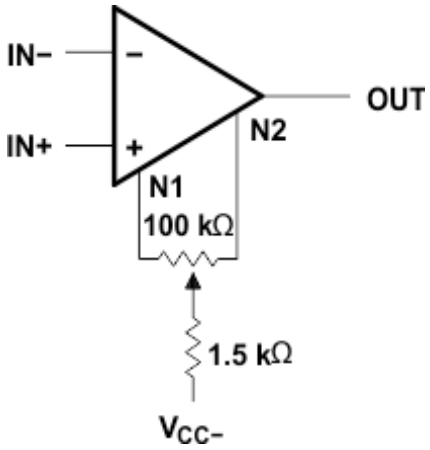


図 7-3. 入力オフセット電圧の Null 回路

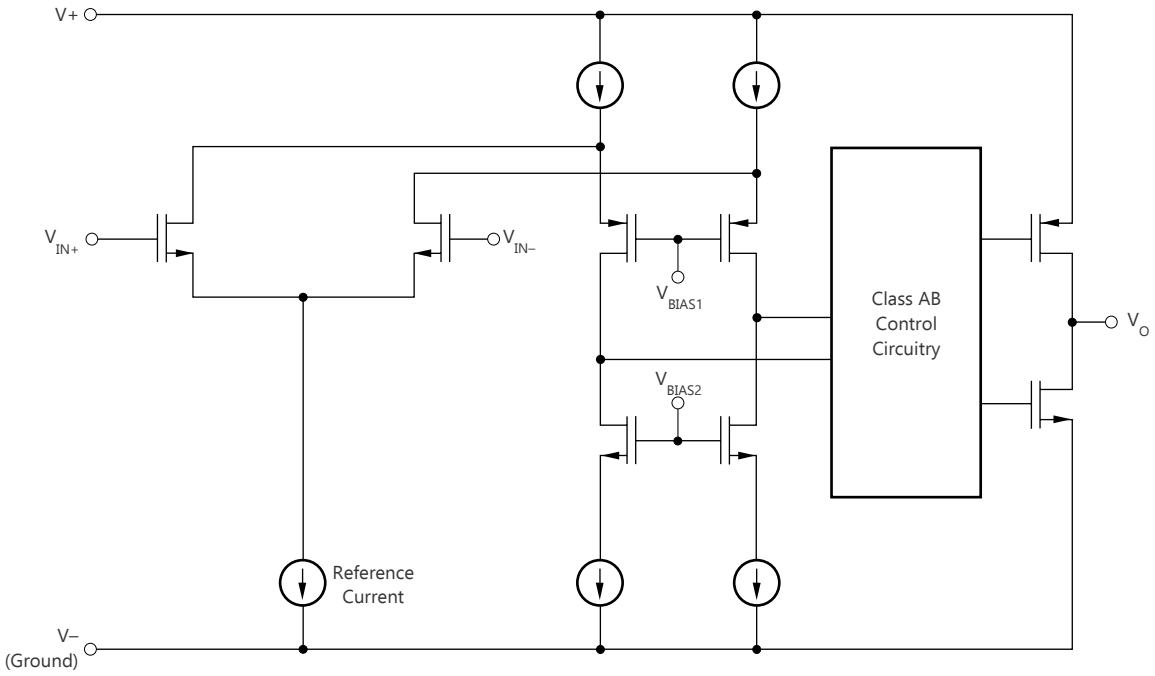
8 詳細説明

8.1 概要

TL07xH (TL071H、TL072H、TL074H) ファミリのデバイスは、業界標準の TL07x (TL071、TL072、TL074) デバイスの次世代バージョンです。これらのデバイスは、低オフセット (1mV、代表値)、高スルーレート (20V/µs、代表値)、正電源への同相入力などの特長を備え、コスト重視のアプリケーション向けに最適です。高 ESD (2kV、HBM)、EMI および RF フィルタの内蔵、-40℃～125℃の温度範囲での動作により、TL07xH デバイスは最も過酷で要求の厳しいアプリケーションで使用できます。

接尾辞 C のデバイスには 0℃～70℃、接尾辞 I のデバイスには -40℃～85℃、接尾辞 M のデバイスには防衛用温度範囲 -55℃～+125℃の動作がそれぞれ特性付けられています。

8.2 機能ブロック図



8.3 機能説明

TL07xH ファミリのデバイスは、業界標準の TL07x ファミリと比べて、多くの仕様が改善されています。TL07xH ファミリの利点を示すため、これらのファミリの主な仕様について、いくつかの比較を以降のセクションに示します。

8.3.1 全高調波歪

オーディオ信号の高調波歪みは、回路内の電子部品によって発生します。全高調波歪 (THD) は、オーディオ・システムの信号によって蓄積される高調波歪みの測定値です。これらのデバイス の THD は 0.003% と非常に低いため、TL07x デバイスをオーディオ信号アプリケーションで使用しても、高調波歪みはほとんど増えません。

8.3.2 スルーレート

スルーレートは、入力に変化が生じたときにオペアンプが出力を変更できる速さです。これらのデバイスのスルーレートは 20V/µs です。

8.4 デバイスの機能モード

これらのデバイスは、電源が接続されているときオンになります。これらのデバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作できます。

Copyright © 2023 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

オペアンプの代表的なアプリケーションは、反転アンプです。このアンプは入力として正の電圧を受け付け、負の電圧に変換します。同様に、このアンプは負の電圧を正の電圧にします。

9.2 代表的なアプリケーション

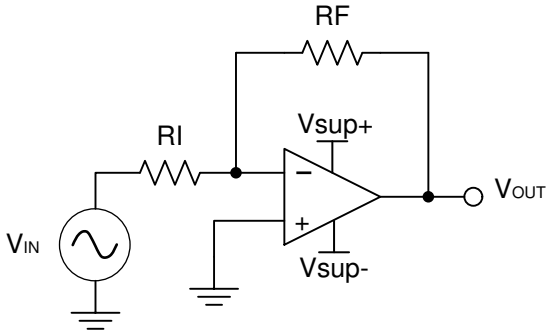


図 9-1. 反転アンプ

9.2.1 設計要件

電源電圧は、入力電圧範囲および出力範囲よりも大きくなるように選択する必要があります。たとえば、このアプリケーションは±0.5V～±1.8V の信号をスケーリングします。このアプリケーションに対応するには、電源を±12V に設定するだけで十分です。

9.2.2 詳細な設計手順

$$V_o = (V_i + V_{io}) \times \left(1 + \frac{1M\Omega}{1k\Omega}\right) \quad (1)$$

反転アンプに必要なゲインを決定します。

$$A_V = \frac{VOUT}{VIN} \quad (2)$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \quad (3)$$

目的のゲインが決定されたら、RI または RF の値を選択します。アンプ回路では mA 範囲の電流が使用されるため、望ましい値は kΩ 範囲の値になります。それにより、部品に過度の電流が流れなくなります。この例では RI に 10kΩ を使用しています。そのため、RF には 36kΩ が使用されています。これは、式 4 によって決定されます。

$$A_V = -\frac{RF}{RI} \quad (4)$$

Copyright © 2023 Texas Instruments Incorporated

9.2.3 アプリケーション曲線

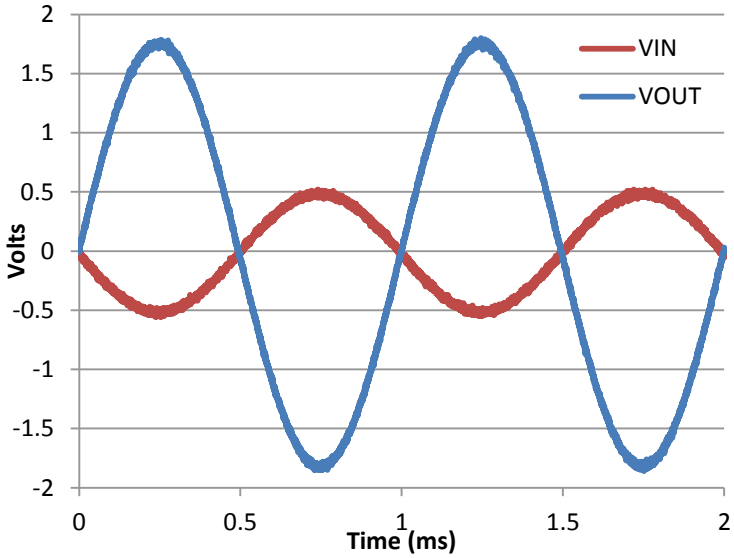


図 9-2. 反転アンプの入力電圧と出力電圧

9.3 ユニティ・ゲイン・バッファ

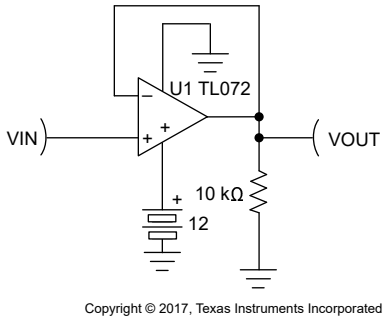


図 9-3. 単一電源のユニティ・ゲイン・アンプ

9.3.1 設計要件

- V_{CC} は、「推奨動作条件」に従って有効範囲内の値にする必要があります。この例では、V_{CC} に 12V の値を使用します。
- 「推奨動作条件」に示すように、入力電圧は推奨同相範囲内の値にする必要があります。有効な同相範囲は 4V～12V です (V_{CC-} + 4V～V_{CC+})。
- 出力は出力範囲によって制限され、通常は 1.5V～10.5V、または V_{CC-} + 1.5V～V_{CC+} - 1.5V です。

9.3.2 詳細な設計手順

- 出力が High になる位相反転を防止するため、1V 未満の入力電圧値は避けてください。
- V_{IO} が低下して見かけ上のゲインが 1 を超えることを防止するため、4V より低い入力値は避けてください。これにより、一部の 2 次フィルタが不安定になる可能性があります。

Copyright © 2023 Texas Instruments Incorporated

9.3.3 アプリケーション曲線

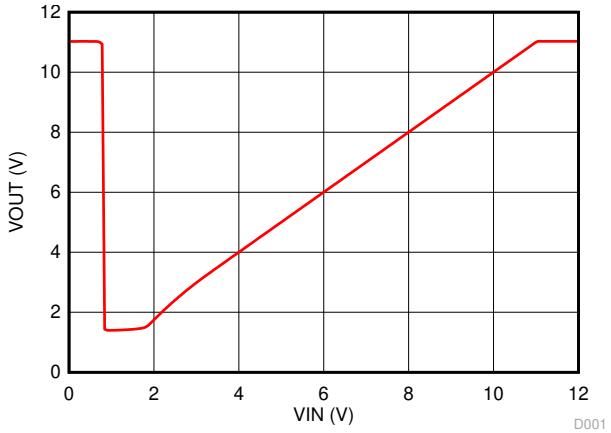


図 9-4. 出力電圧と入力電圧との関係

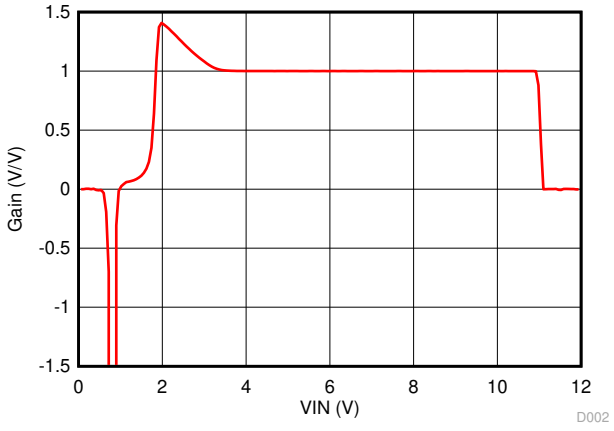


図 9-5. ゲインと入力電圧との関係

9.4 システム例

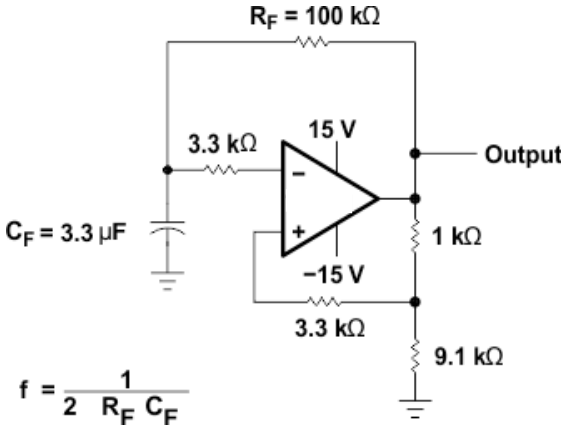


図 9-6. 0.5Hz 方形波発振器

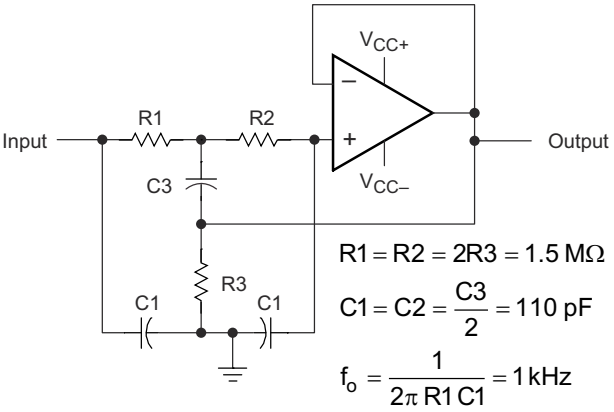


図 9-7. 高 Q ノッチ・フィルタ

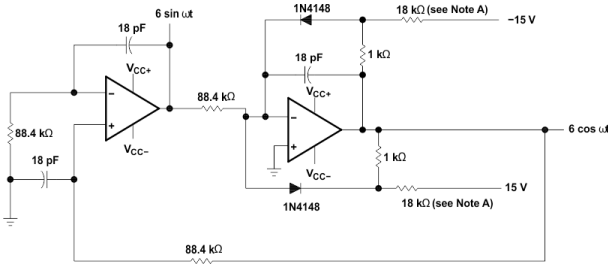


図 9-8. 100kHz 直交発振器

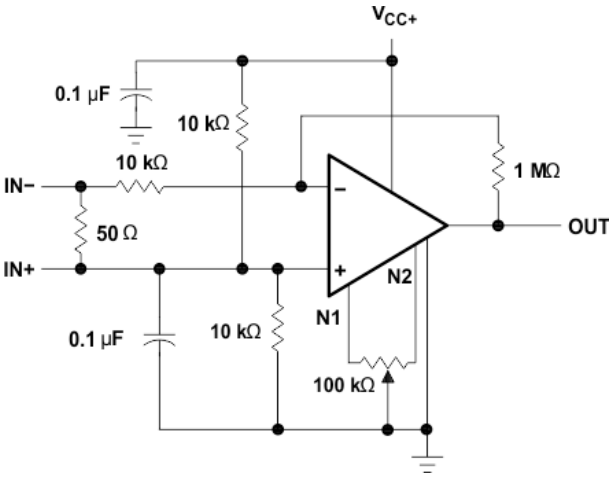


図 9-9. AC アンプ

9.5 電源に関する推奨事項

注意

単一電源で 36V、またはデュアル電源で±18V の範囲を超える電源電圧は、デバイスに永続的な損傷を与える可能性があります (セクション 6.1 を参照)。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、セクション 9.6 を参照してください。

9.6 レイアウト

9.6.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するには、以下のような適切な PCB レイアウト手法を使用してください。

- ノイズは、回路全体やオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。アナログ回路にローカルに低インピーダンスの電源を供給して結合ノイズを低減するために、バイパス・コンデンサが使用されています。
  - 各電源ピンとグランド間に、低 ESR のセラミック・バイパス・コンデンサ (0.1µF) を、可能な限りデバイスの近くに配置し接続します。単一電源アプリケーションの場合は、V_{CC+} からグランドに対して単一のバイパス・コンデンサを使用できます。
- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層がグランド・プレーン専用に使用されます。グランド・プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意して、デジタル・グランドとアナログ・グランドを物理的に分離するようにしてください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を離して配置できない場合、敏感な配線をノイズの多い配線と平行にするのではなく、直角に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。RF と RG を反転入力に近づけて配置すると、寄生容量が最小化されます。詳細については、セクション 9.6.2 を参照してください。
- 入力配線は、できる限り短くします。入力配線は、回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。

Copyright © 2023 Texas Instruments Incorporated

9.6.2 レイアウト例

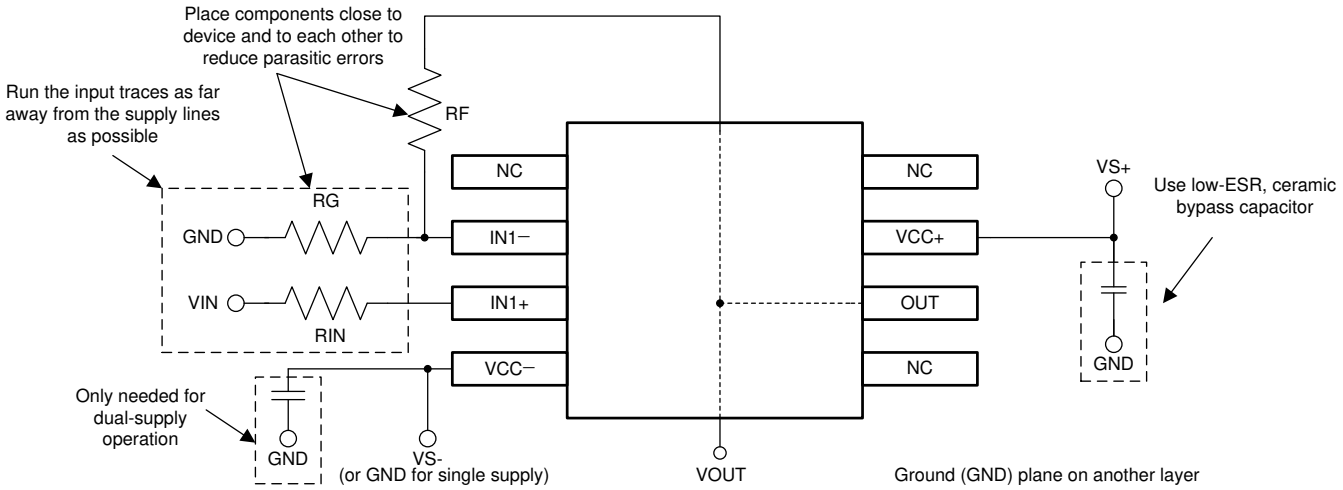


図 9-10. 非反転構成のオペアンプ基板のレイアウト

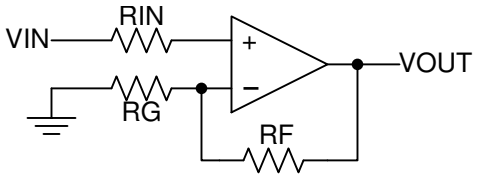


図 9-11. 非反転構成のオペアンプの回路図

Copyright © 2023 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。このデータシートのブラウザ対応版については、左側にあるナビゲーションを参照してください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
81023052A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	81023052A TL072MFKB	Samples
8102305HA	LIFEBUY	CFP	U	10	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8102305HA TL072M	
8102305PA	ACTIVE	CDIP	JG	8	50	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8102305PA TL072M	Samples
81023062A	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	81023062A TL074MFKB	Samples
8102306CA	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8102306CA TL074MJB	Samples
8102306DA	LIFEBUY	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8102306DA TL074MWB	
JM38510/11905BPA	ACTIVE	CDIP	JG	8	50	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	JM38510 /11905BPA	Samples
M38510/11905BPA	ACTIVE	CDIP	JG	8	50	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	JM38510 /11905BPA	Samples
TL071ACDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	071AC	Samples
TL071ACP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL071ACP	Samples
TL071BCDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	071BC	Samples
TL071BCP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL071BCP	Samples
TL071CDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL071C	Samples
TL071CDRE4	ACTIVE	SOIC	D	8	2500	TBD	Call TI	Call TI	0 to 70		Samples
TL071CDRG4	ACTIVE	SOIC	D	8	2500	TBD	Call TI	Call TI	0 to 70		Samples
TL071CP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL071CP	Samples
TL071CPE4	ACTIVE	PDIP	P	8	50	TBD	Call TI	Call TI	0 to 70		Samples
TL071CPSR	LIFEBUY	SO	PS	8	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T071	
TL071HIDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T71V	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TL071HIDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	1IO	Samples
TL071HIDR	ACTIVE	SOIC	D	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL071D	Samples
TL071IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL071I	Samples
TL071IDRG4	ACTIVE	SOIC	D	8	2500	TBD	Call TI	Call TI	-40 to 85		Samples
TL071IP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	TL071IP	Samples
TL072ACDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	072AC	Samples
TL072ACDRE4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	072AC	Samples
TL072ACDRG4	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	072AC	Samples
TL072ACP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL072ACP	Samples
TL072ACPE4	ACTIVE	PDIP	P	8	50	TBD	Call TI	Call TI	0 to 70		Samples
TL072BCDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	072BC	Samples
TL072BCP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL072BCP	Samples
TL072CDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL072C	Samples
TL072CDRE4	LIFEBUY	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL072C	
TL072CP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL072CP	Samples
TL072CPE4	LIFEBUY	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL072CP	
TL072CPS	LIFEBUY	SO	PS	8	80	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072	
TL072CPSR	LIFEBUY	SO	PS	8	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072	
TL072CPSRG4	LIFEBUY	SO	PS	8	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072	
TL072CPWR	ACTIVE	TSSOP	PW	8	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T072	Samples
TL072CPWRE4	ACTIVE	TSSOP	PW	8	2000	TBD	Call TI	Call TI	0 to 70		Samples
TL072CPWRG4	ACTIVE	TSSOP	PW	8	2000	TBD	Call TI	Call TI	0 to 70		Samples
TL072HIDDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O72F	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TL072HIDR	ACTIVE	SOIC	D	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL072D	Samples
TL072HIPWR	ACTIVE	TSSOP	PW	8	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	072HPW	Samples
TL072IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL072I	Samples
TL072IDRE4	LIFEBUY	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL072I	
TL072IDRG4	LIFEBUY	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL072I	
TL072IP	ACTIVE	PDIP	P	8	50	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	TL072IP	Samples
TL072IPE4	ACTIVE	PDIP	P	8	50	TBD	Call TI	Call TI	-40 to 85		Samples
TL072MFKB	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	81023052A TL072MFKB	Samples
TL072MJG	ACTIVE	CDIP	JG	8	50	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	TL072MJG	Samples
TL072MJGB	ACTIVE	CDIP	JG	8	50	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8102305PA TL072M	Samples
TL072MUB	LIFEBUY	CFP	U	10	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8102305HA TL072M	
TL074ACDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074AC	Samples
TL074ACDRE4	LIFEBUY	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074AC	
TL074ACN	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL074ACN	Samples
TL074ACNE4	LIFEBUY	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL074ACN	
TL074ACNSR	LIFEBUY	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074A	
TL074BCDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074BC	Samples
TL074BCDRE4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074BC	Samples
TL074BCDRG4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074BC	Samples
TL074BCN	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL074BCN	Samples
TL074BCNE4	LIFEBUY	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL074BCN	
TL074CDBR	LIFEBUY	SSOP	DB	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074	

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TL074CDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	TL074C	Samples
TL074CDRG4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074C	Samples
TL074CN	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL074CN	Samples
TL074CNE4	LIFEBUY	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	0 to 70	TL074CN	
TL074CNSR	LIFEBUY	SO	NS	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL074	
TL074CPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074	Samples
TL074CPWRE4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074	Samples
TL074CPWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	0 to 70	T074	Samples
TL074HIDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL074HID	Samples
TL074HIDYYR	ACTIVE	SOT-23-THIN	DYY	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T074HDYY	Samples
TL074HIPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL074PW	Samples
TL074IDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL074I	Samples
TL074IDRE4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL074I	Samples
TL074IDRG4	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL074I	Samples
TL074IN	ACTIVE	PDIP	N	14	25	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	TL074IN	Samples
TL074MFK	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	TL074MFK	Samples
TL074MFKB	ACTIVE	LCCC	FK	20	55	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	81023062A TL074MFKB	Samples
TL074MJ	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	TL074MJ	Samples
TL074MJB	ACTIVE	CDIP	J	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8102306CA TL074MJB	Samples
TL074MWB	LIFEBUY	CFP	W	14	25	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8102306DA TL074MWB	

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TL072, TL072M, TL074, TL074M :

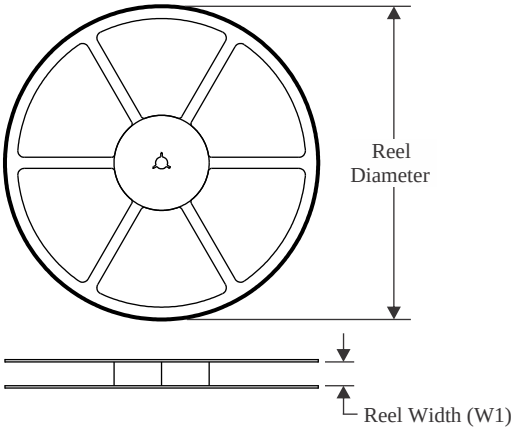
- Catalog : TL072, TL074
- Enhanced Product : TL072-EP, TL072-EP, TL074-EP, TL074-EP
- Military : TL072M, TL074M

NOTE: Qualified Version Definitions:

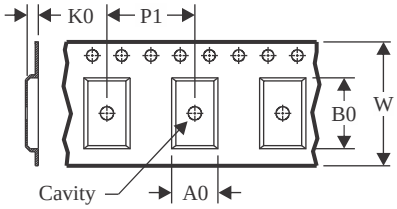
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

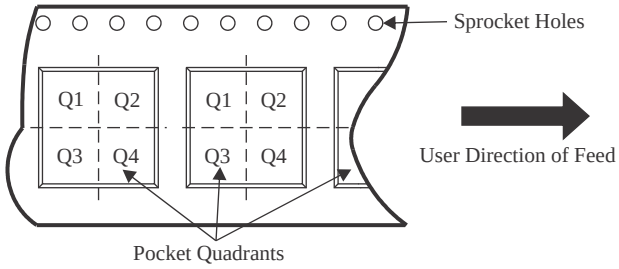


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

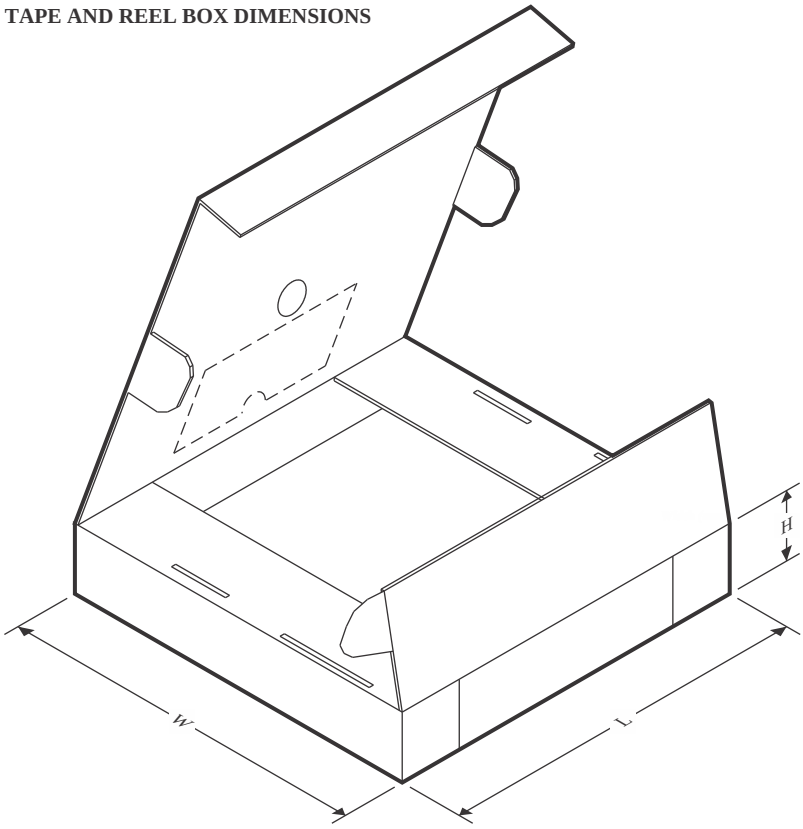


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL071ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071CPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TL071HIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TL071HIDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TL071HIDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL071IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072ACDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072BCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL072CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072CPSR	SO	PS	8	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TL072CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL072CPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL072HIDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TL072HIDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072HIPWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL072IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL072IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TL074ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074ACDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074ACNSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
TL074BCDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074BCDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074CDBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
TL074CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074CDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074CDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074CNSR	SO	NS	14	2000	330.0	16.4	8.2	10.5	2.5	12.0	16.0	Q1
TL074CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL074CPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL074HIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074HIDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TL074HIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL074IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TL074IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

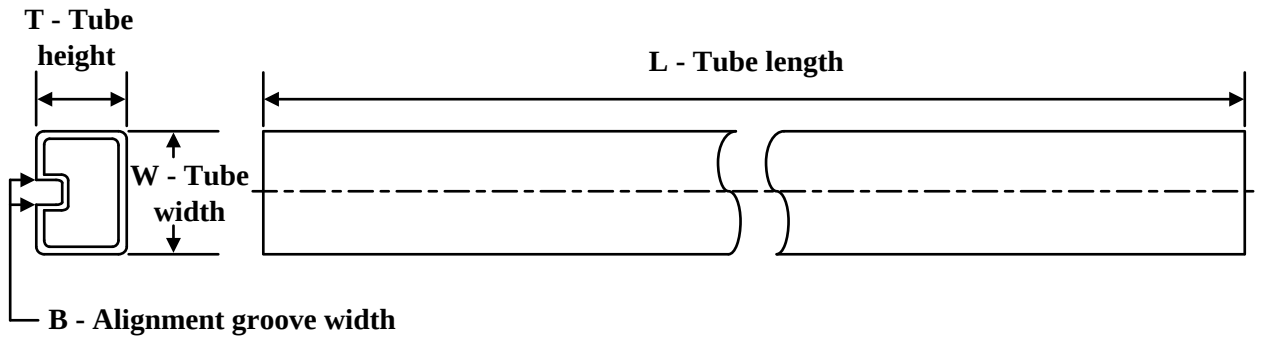


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL071ACDR	SOIC	D	8	2500	356.0	356.0	35.0
TL071ACDR	SOIC	D	8	2500	340.5	338.1	20.6
TL071BCDR	SOIC	D	8	2500	356.0	356.0	35.0
TL071BCDR	SOIC	D	8	2500	340.5	338.1	20.6
TL071CDR	SOIC	D	8	2500	340.5	338.1	20.6
TL071CDR	SOIC	D	8	2500	356.0	356.0	35.0
TL071CPSR	SO	PS	8	2000	356.0	356.0	35.0
TL071HIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TL071HIDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
TL071HIDR	SOIC	D	8	3000	356.0	356.0	35.0
TL071IDR	SOIC	D	8	2500	340.5	338.1	20.6
TL072ACDR	SOIC	D	8	2500	356.0	356.0	35.0
TL072ACDR	SOIC	D	8	2500	340.5	338.1	20.6
TL072BCDR	SOIC	D	8	2500	356.0	356.0	35.0
TL072BCDR	SOIC	D	8	2500	340.5	338.1	20.6
TL072CDR	SOIC	D	8	2500	356.0	356.0	35.0
TL072CDR	SOIC	D	8	2500	340.5	338.1	20.6
TL072CDR	SOIC	D	8	2500	356.0	356.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL072CPSR	SO	PS	8	2000	356.0	356.0	35.0
TL072CPWR	TSSOP	PW	8	2000	356.0	356.0	35.0
TL072CPWR	TSSOP	PW	8	2000	356.0	356.0	35.0
TL072HIDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TL072HIDR	SOIC	D	8	3000	356.0	356.0	35.0
TL072HIPWR	TSSOP	PW	8	3000	356.0	356.0	35.0
TL072IDR	SOIC	D	8	2500	356.0	356.0	35.0
TL072IDR	SOIC	D	8	2500	356.0	356.0	35.0
TL072IDR	SOIC	D	8	2500	340.5	338.1	20.6
TL074ACDR	SOIC	D	14	2500	333.2	345.9	28.6
TL074ACDR	SOIC	D	14	2500	356.0	356.0	35.0
TL074ACNSR	SO	NS	14	2000	356.0	356.0	35.0
TL074BCDR	SOIC	D	14	2500	356.0	356.0	35.0
TL074BCDR	SOIC	D	14	2500	340.5	336.1	32.0
TL074CDBR	SSOP	DB	14	2000	356.0	356.0	35.0
TL074CDR	SOIC	D	14	2500	356.0	356.0	35.0
TL074CDR	SOIC	D	14	2500	333.2	345.9	28.6
TL074CDRG4	SOIC	D	14	2500	340.5	336.1	32.0
TL074CNSR	SO	NS	14	2000	356.0	356.0	35.0
TL074CPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TL074CPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TL074HIDR	SOIC	D	14	2500	356.0	356.0	35.0
TL074HIDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TL074HIPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TL074IDR	SOIC	D	14	2500	333.2	345.9	28.6
TL074IDR	SOIC	D	14	2500	356.0	356.0	35.0

TUBE



*All dimensions are nominal

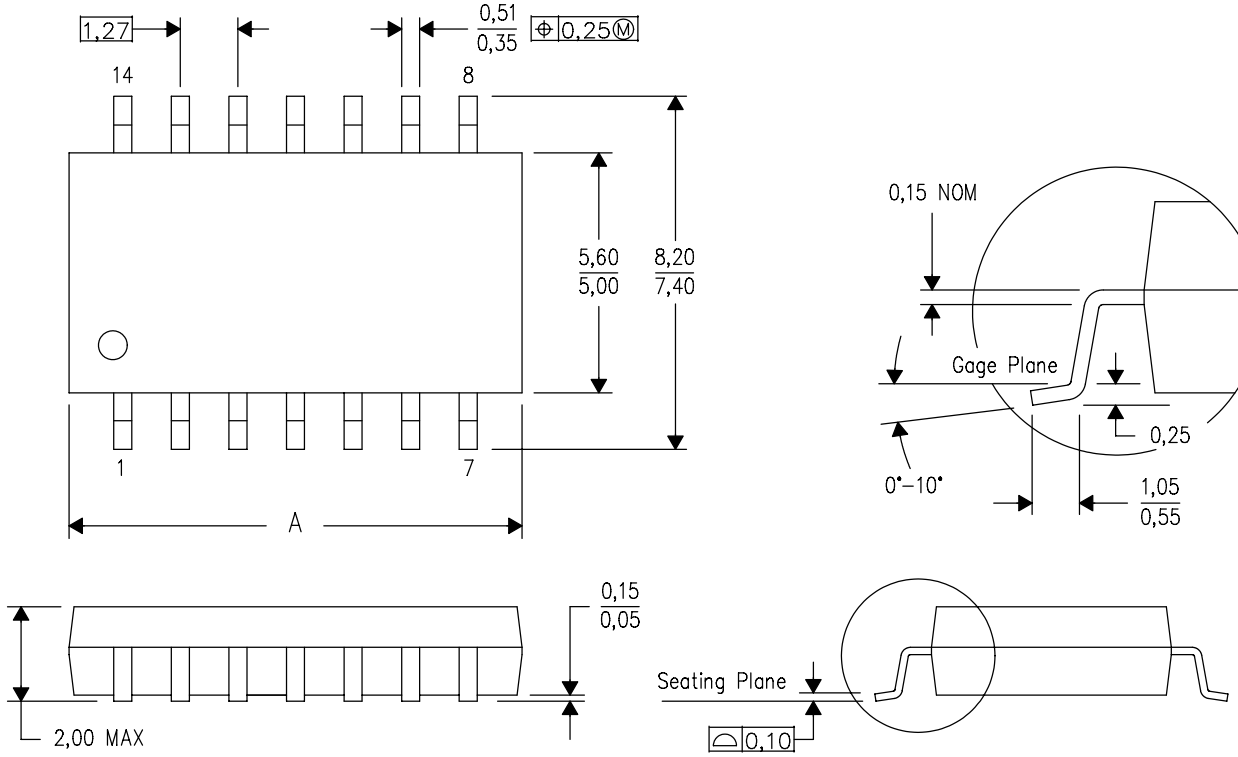
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
81023052A	FK	LCCC	20	55	506.98	12.06	2030	NA
8102305HA	U	CFP	10	25	506.98	26.16	6220	NA
81023062A	FK	LCCC	20	55	506.98	12.06	2030	NA
8102306DA	W	CFP	14	25	506.98	26.16	6220	NA
TL071ACP	P	PDIP	8	50	506	13.97	11230	4.32
TL071BCP	P	PDIP	8	50	506	13.97	11230	4.32
TL071CP	P	PDIP	8	50	506	13.97	11230	4.32
TL071IP	P	PDIP	8	50	506	13.97	11230	4.32
TL072ACP	P	PDIP	8	50	506	13.97	11230	4.32
TL072BCP	P	PDIP	8	50	506	13.97	11230	4.32
TL072CP	P	PDIP	8	50	506	13.97	11230	4.32
TL072CPE4	P	PDIP	8	50	506	13.97	11230	4.32
TL072CPS	PS	SOP	8	80	530	10.5	4000	4.1
TL072IP	P	PDIP	8	50	506	13.97	11230	4.32
TL072MFKB	FK	LCCC	20	55	506.98	12.06	2030	NA
TL072MUB	U	CFP	10	25	506.98	26.16	6220	NA
TL074ACN	N	PDIP	14	25	506	13.97	11230	4.32
TL074ACN	N	PDIP	14	25	506	13.97	11230	4.32
TL074ACN	N	PDIP	14	25	506	13.97	11230	4.32
TL074ACNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074ACNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074ACNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCN	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCN	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCN	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074BCNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074CN	N	PDIP	14	25	506	13.97	11230	4.32

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TL074CN	N	PDIP	14	25	506	13.97	11230	4.32
TL074CN	N	PDIP	14	25	506	13.97	11230	4.32
TL074CNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074CNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074CNE4	N	PDIP	14	25	506	13.97	11230	4.32
TL074IN	N	PDIP	14	25	506	13.97	11230	4.32
TL074IN	N	PDIP	14	25	506	13.97	11230	4.32
TL074IN	N	PDIP	14	25	506	13.97	11230	4.32
TL074MFK	FK	LCCC	20	55	506.98	12.06	2030	NA
TL074MFKB	FK	LCCC	20	55	506.98	12.06	2030	NA
TL074MWB	W	CFP	14	25	506.98	26.16	6220	NA

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN

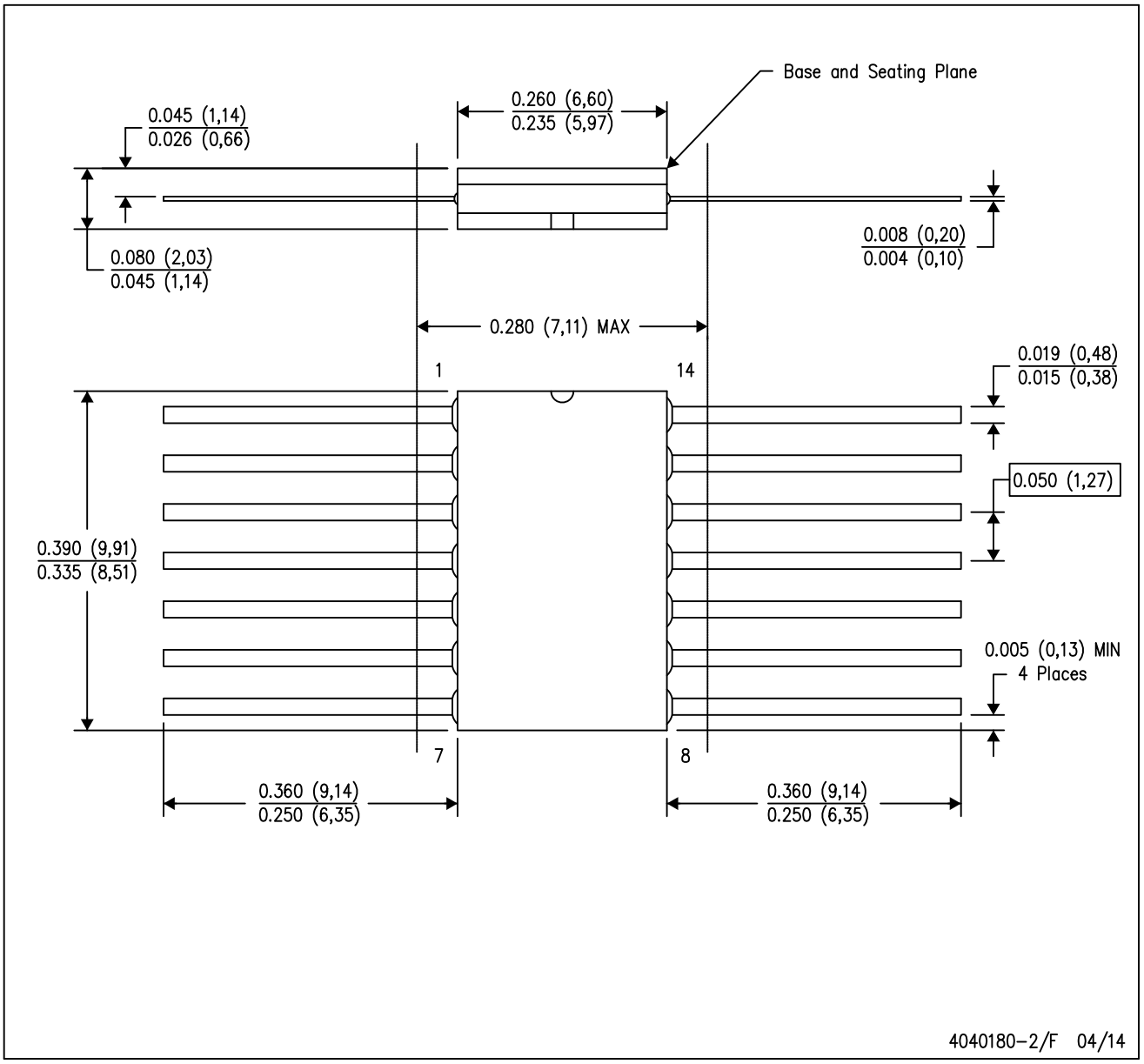


DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

W (R–GDFP–F14) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

GENERIC PACKAGE VIEW

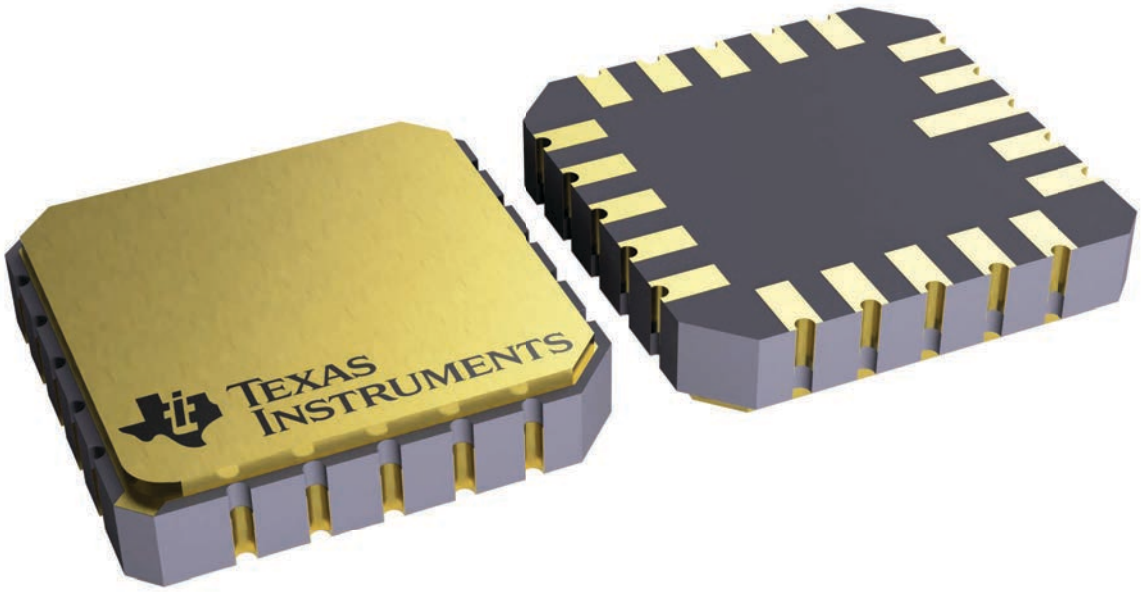
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

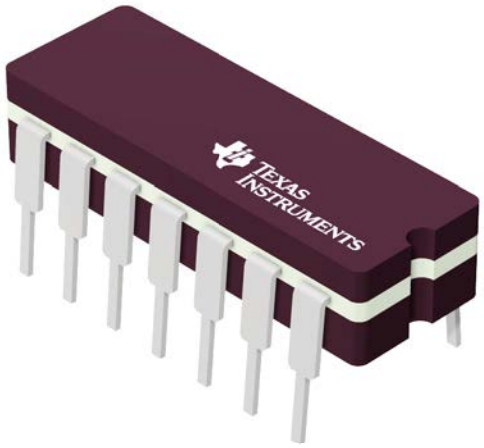


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

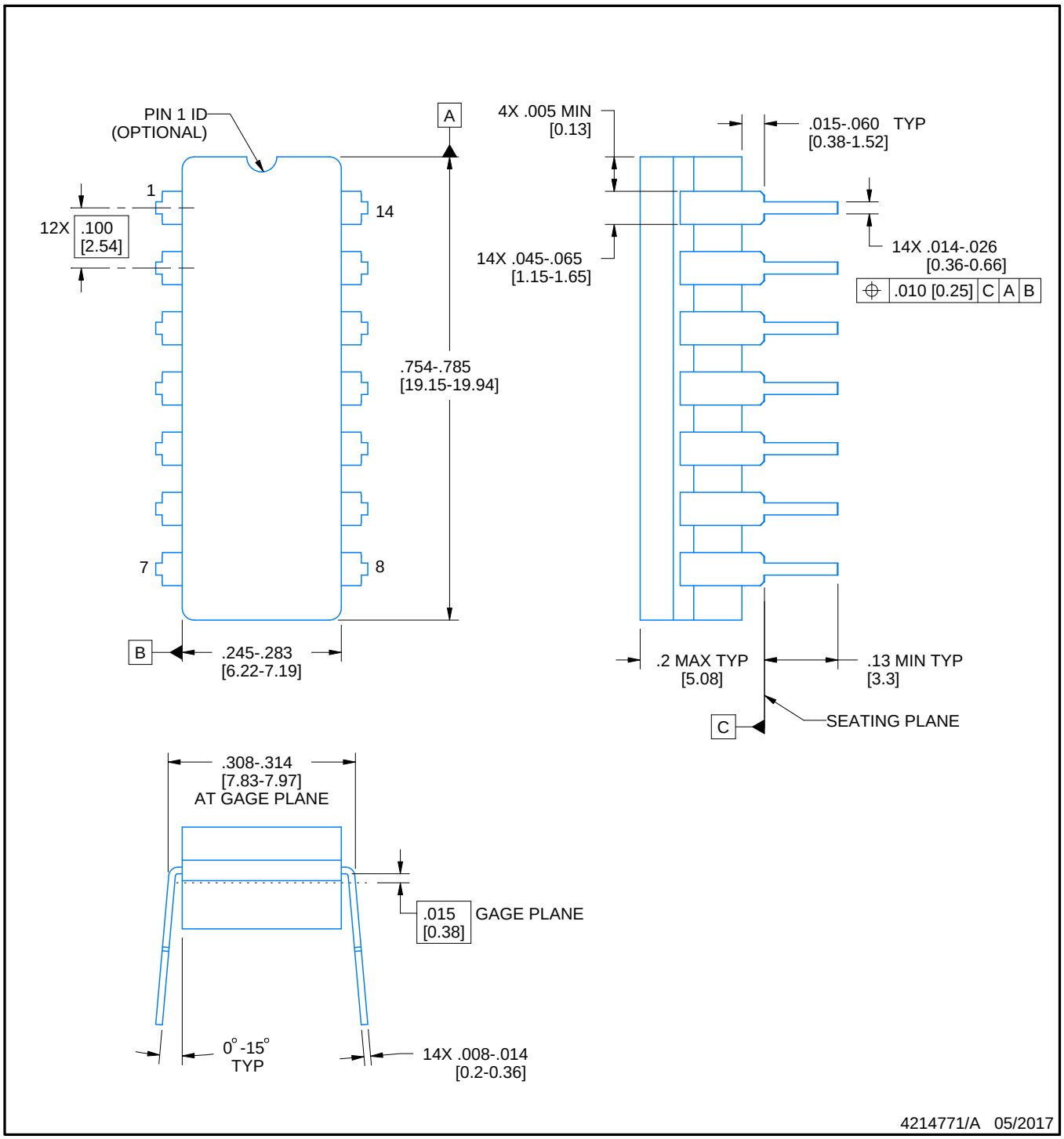


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

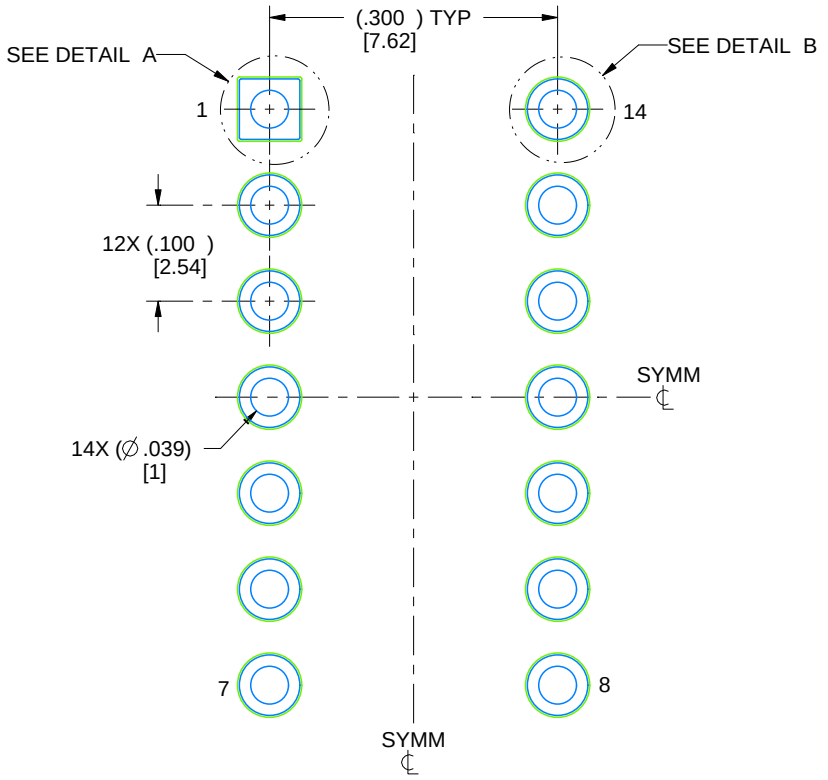
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

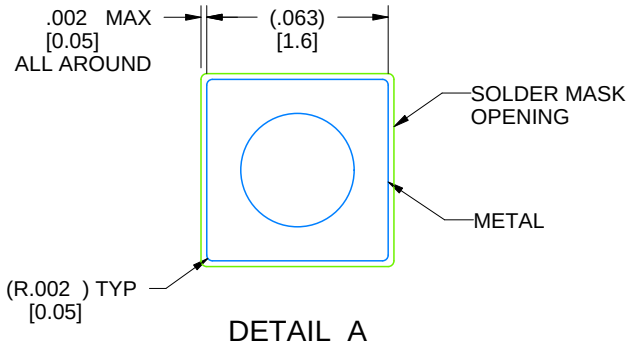
J0014A

CDIP - 5.08 mm max height

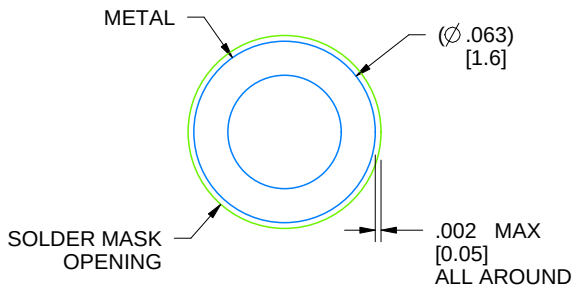
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



DETAIL B
13X, SCALE: 15X

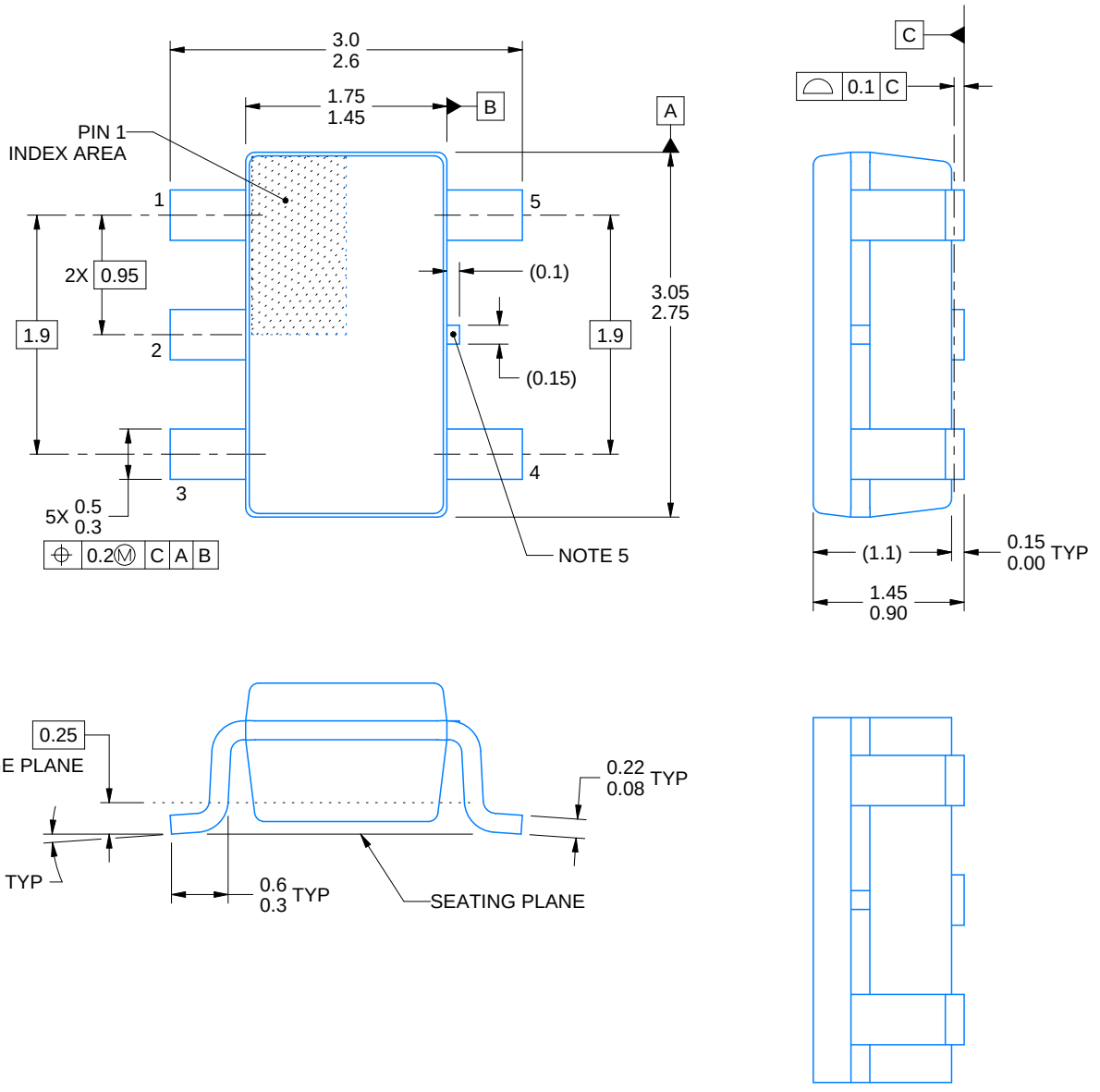
4214771/A 05/2017

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

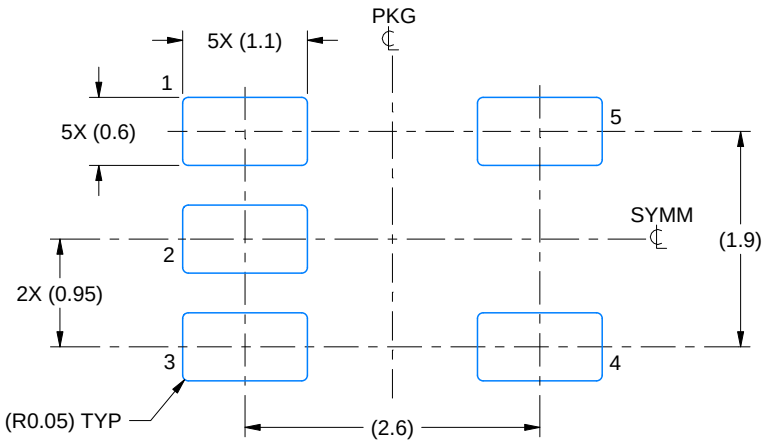


ALTERNATIVE PACKAGE SINGULATION VIEW

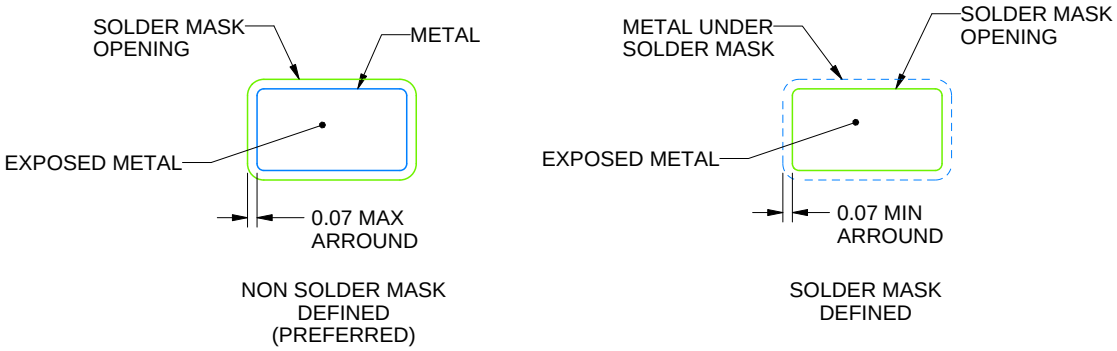
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

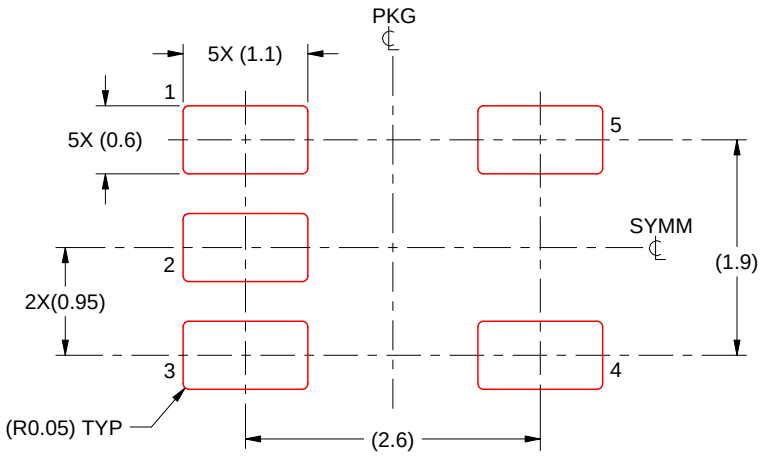


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

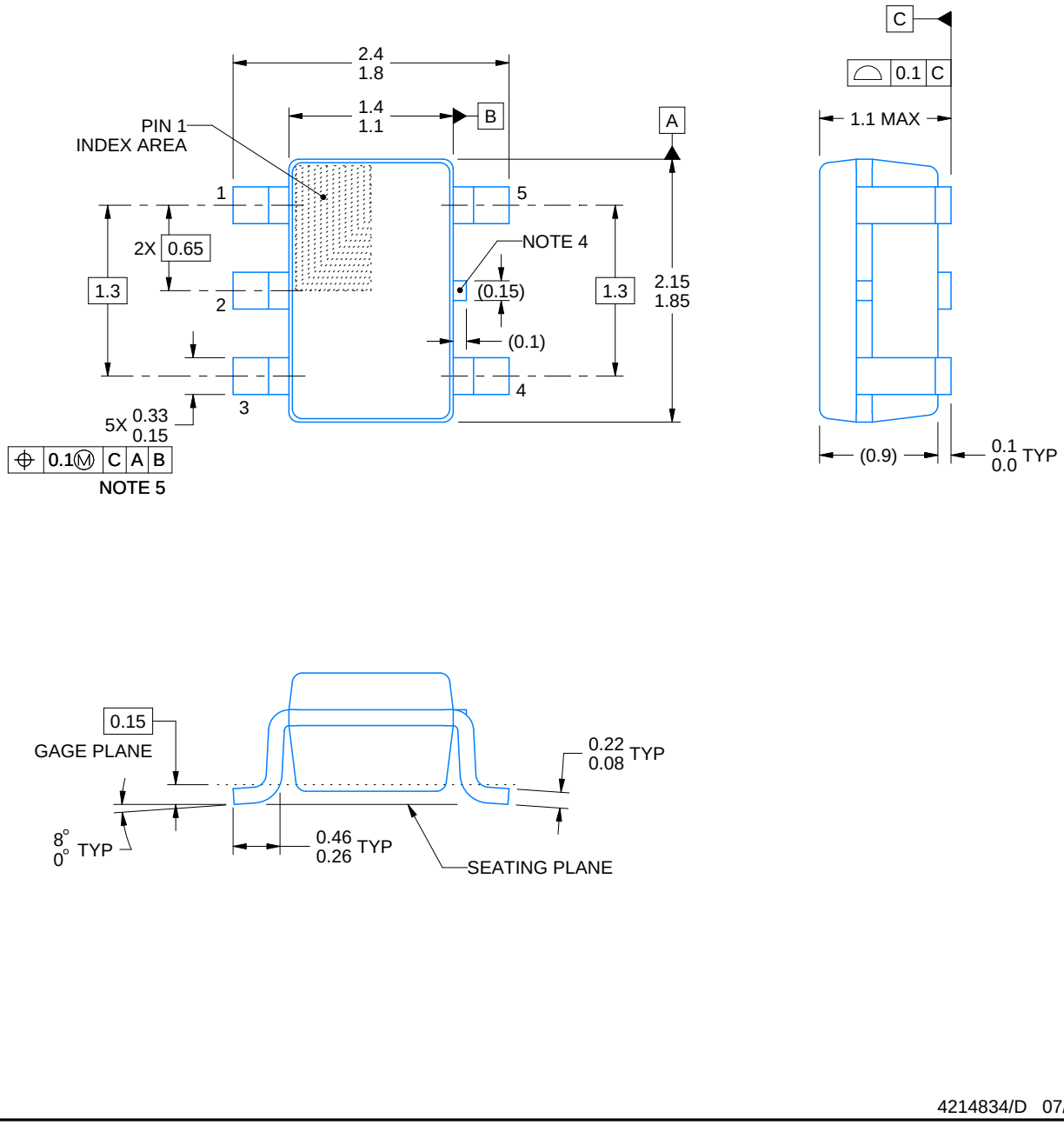
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

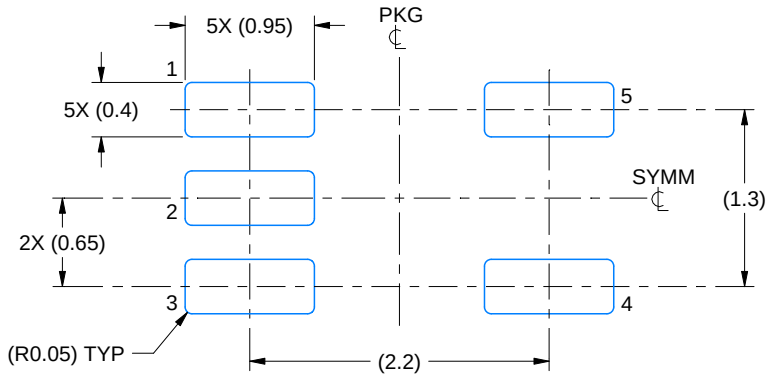
SMALL OUTLINE TRANSISTOR



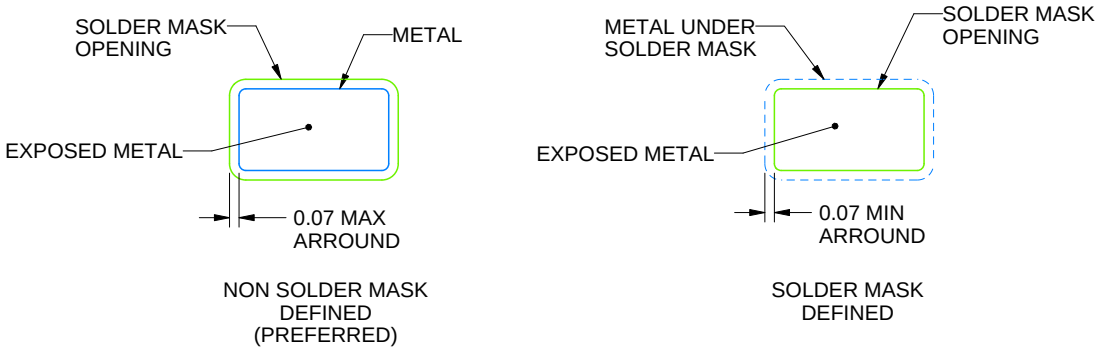
4214834/D 07/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

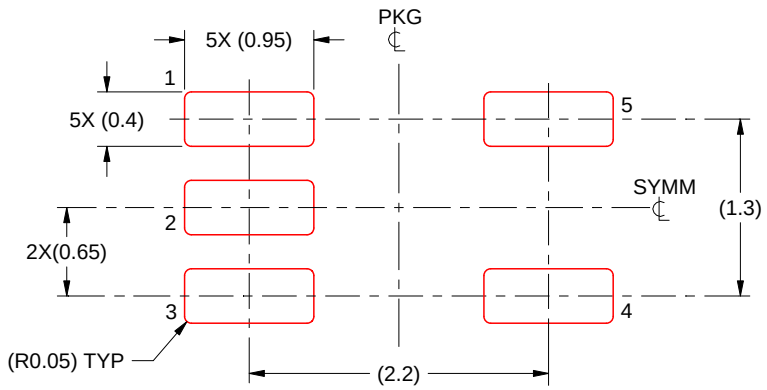


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



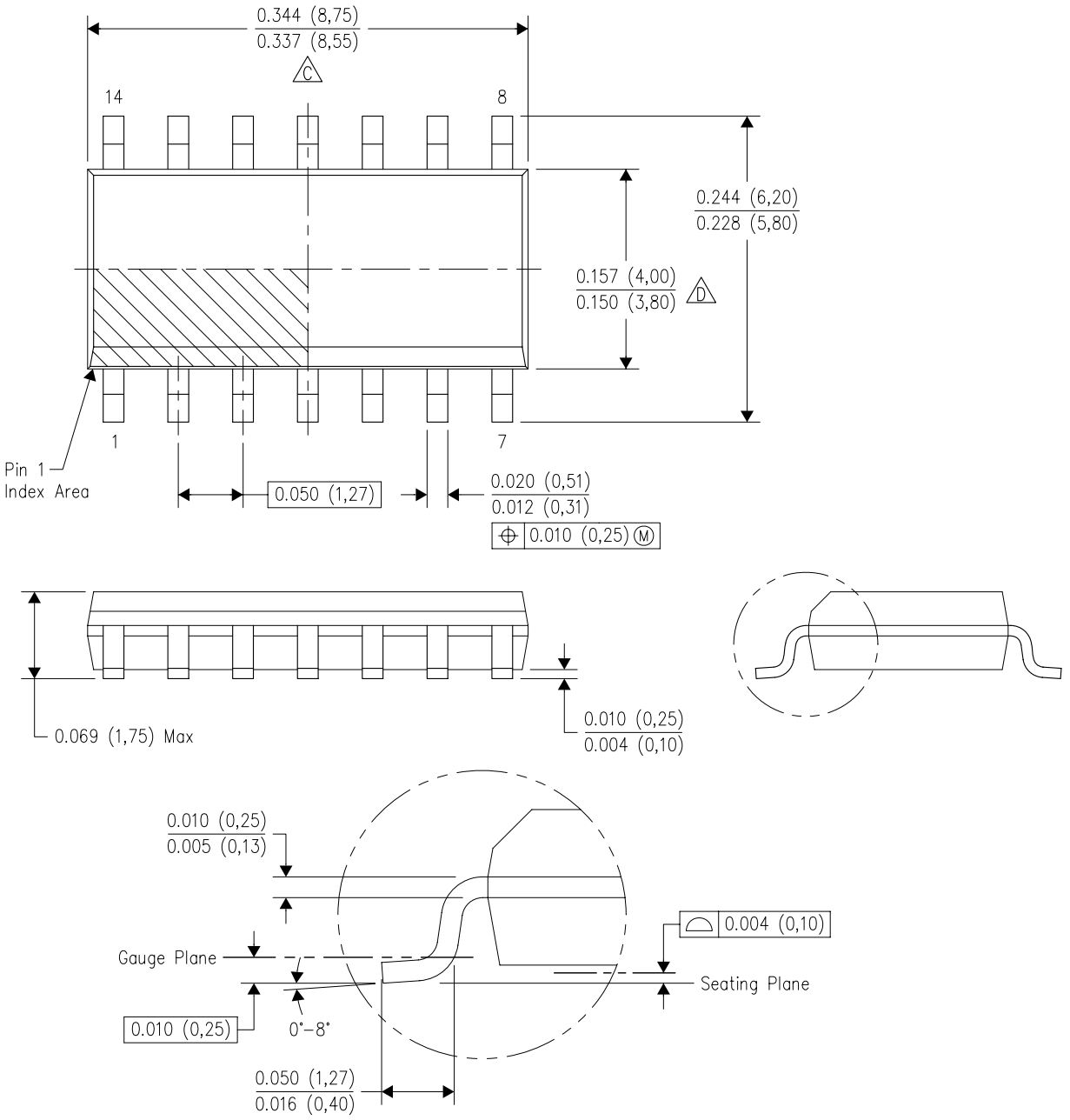
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/D 07/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

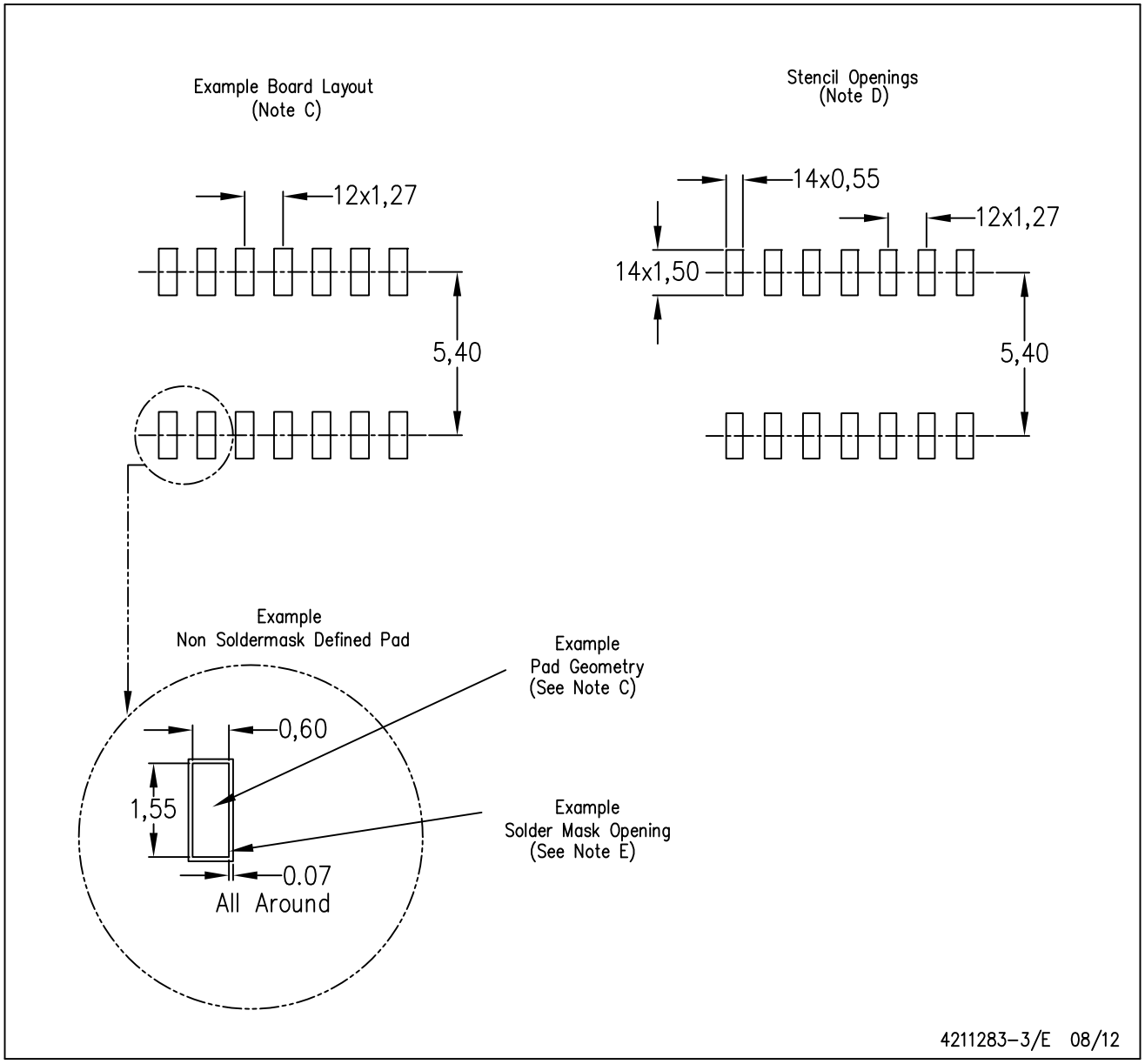
D (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040047–5/M 06/11

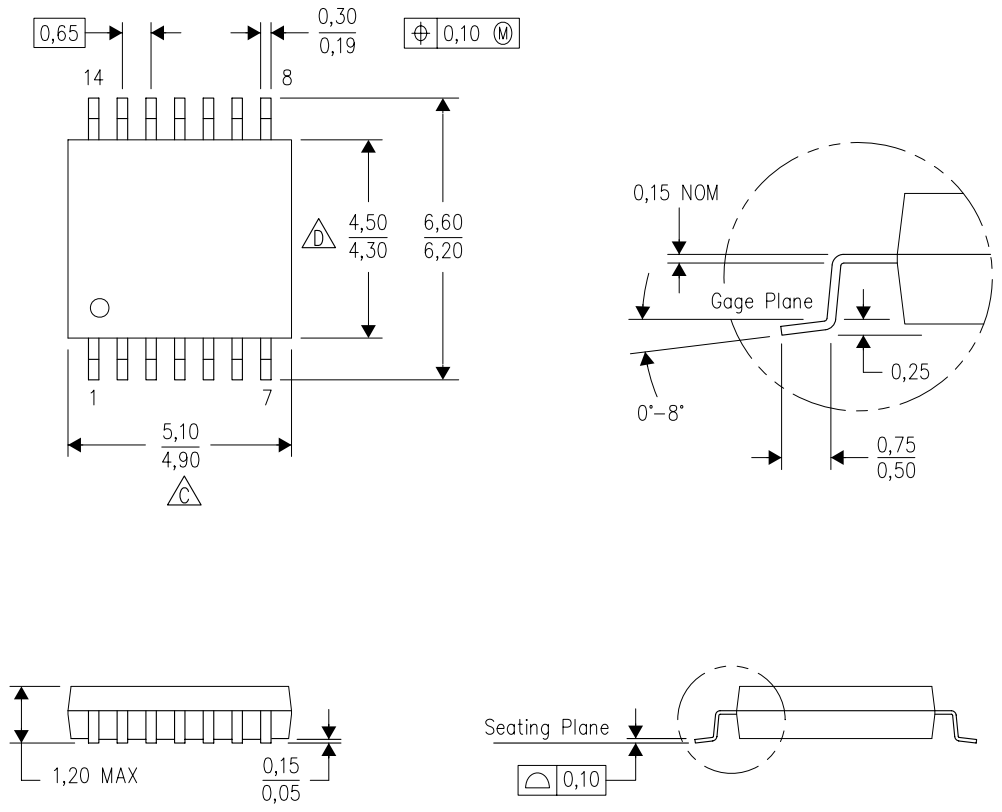
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



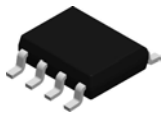
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

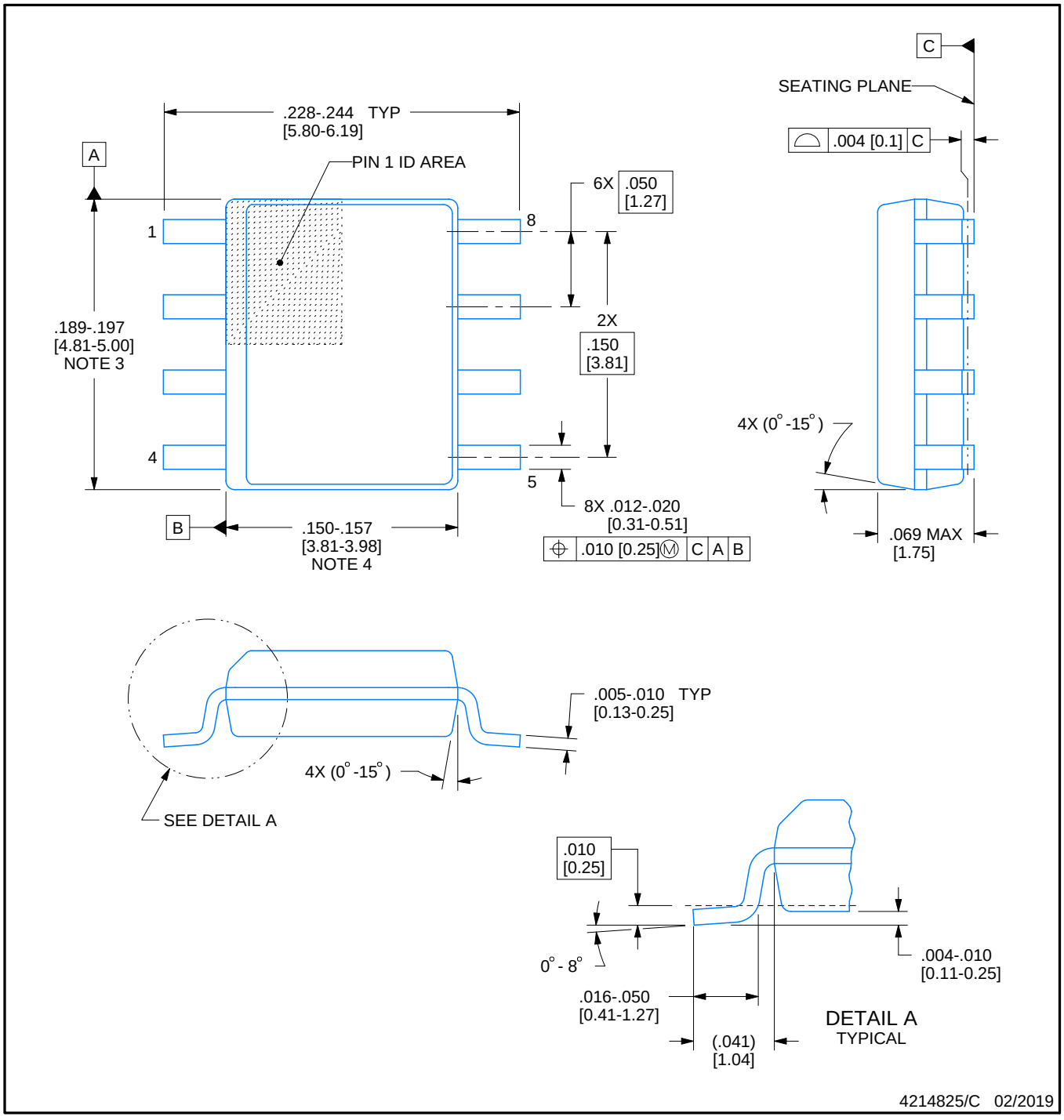


PACKAGE OUTLINE

D0008A

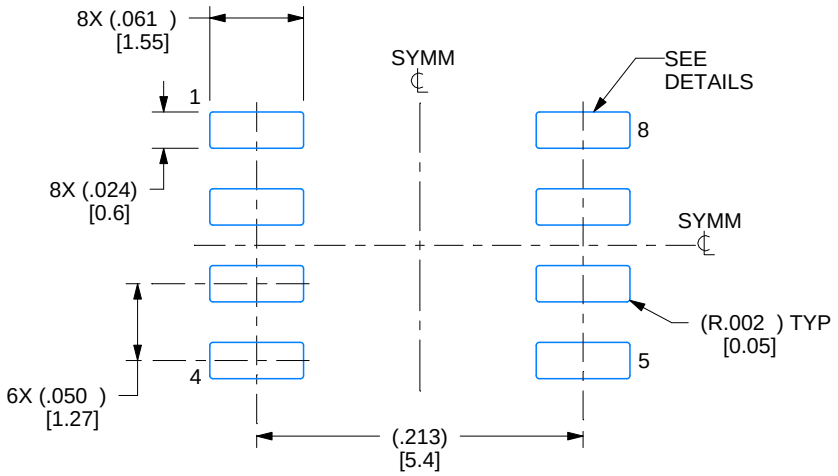
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

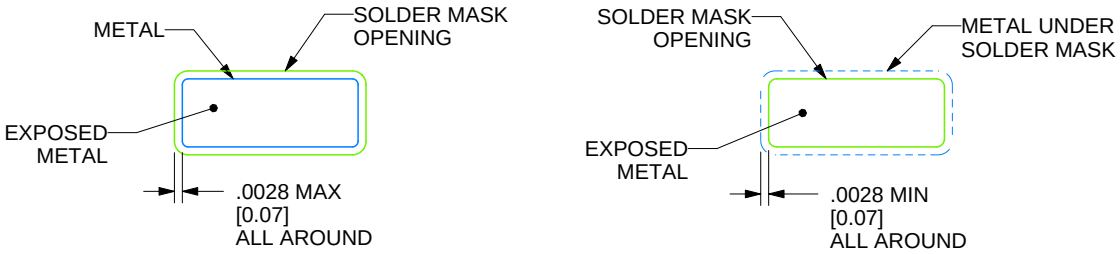


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

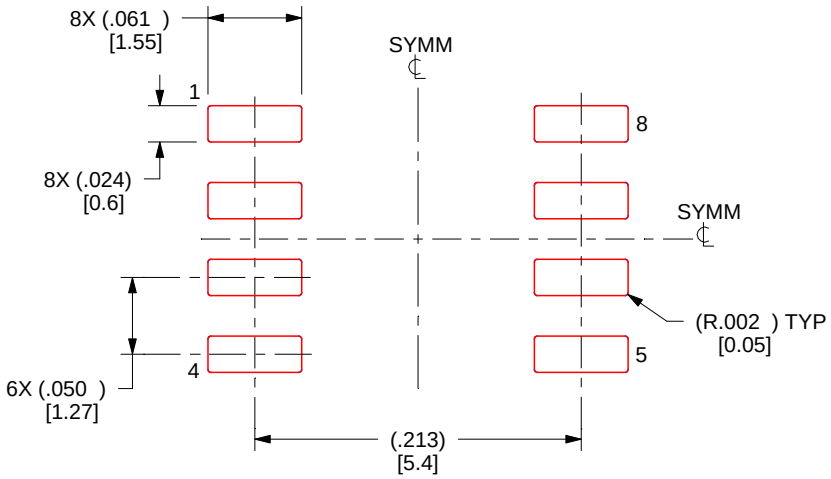
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

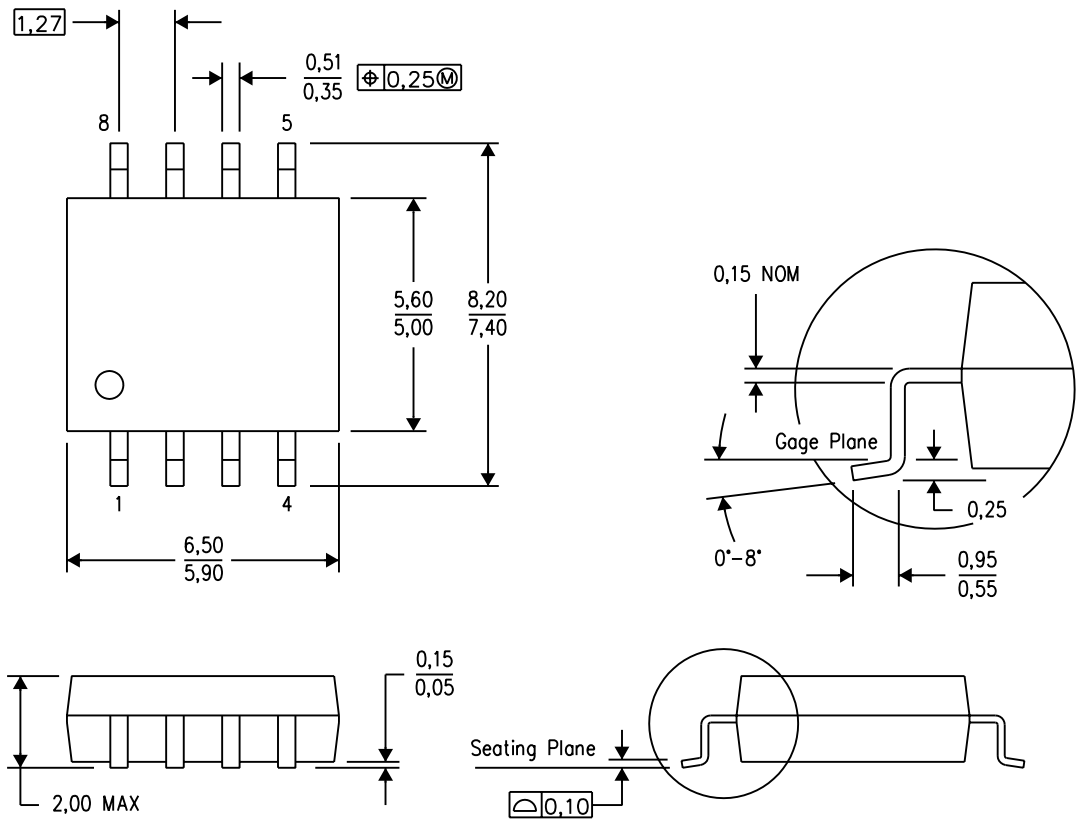
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

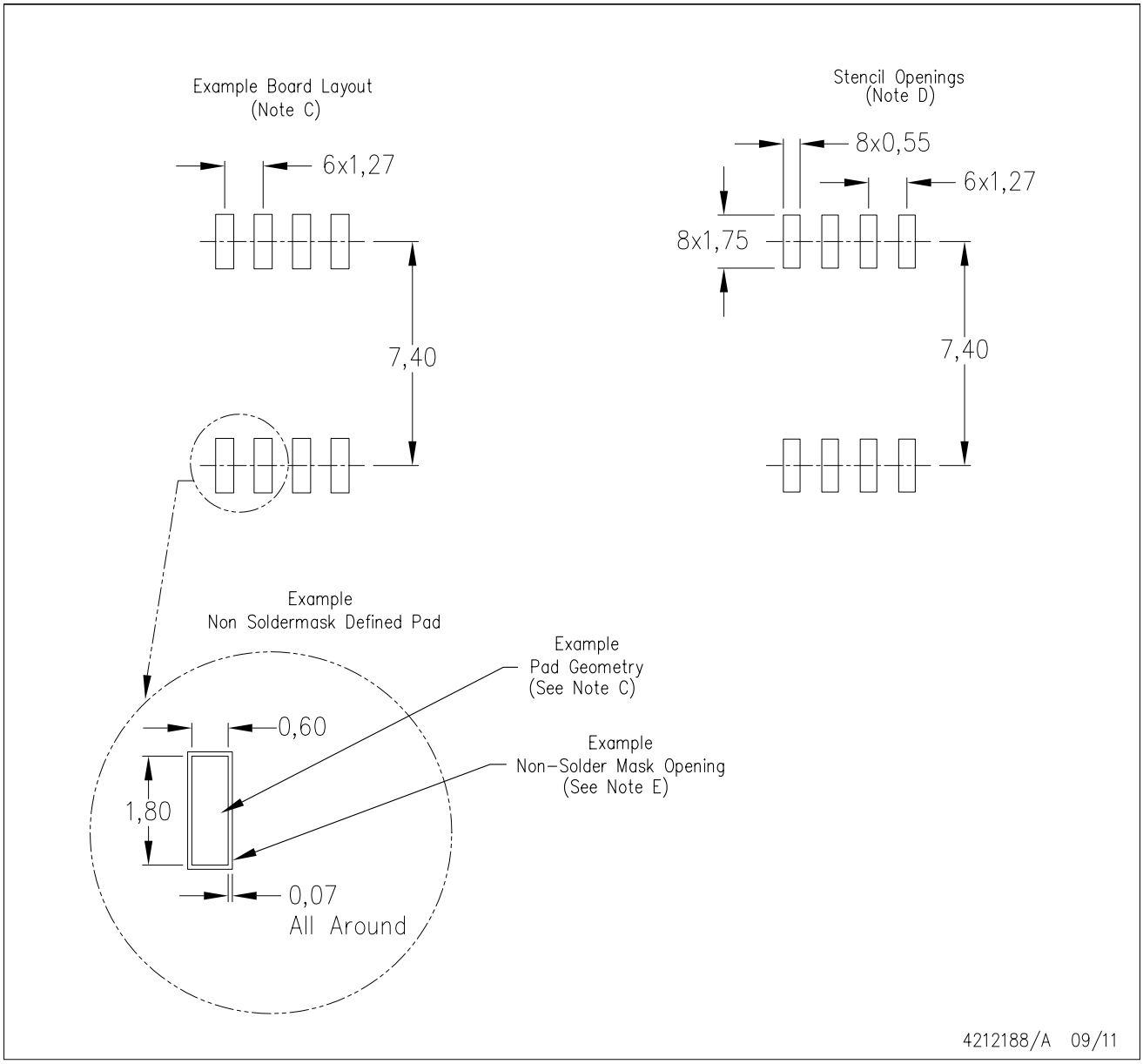
PS (R-PDSO-G8) **PLASTIC SMALL-OUTLINE PACKAGE**



4040063/C 03/03

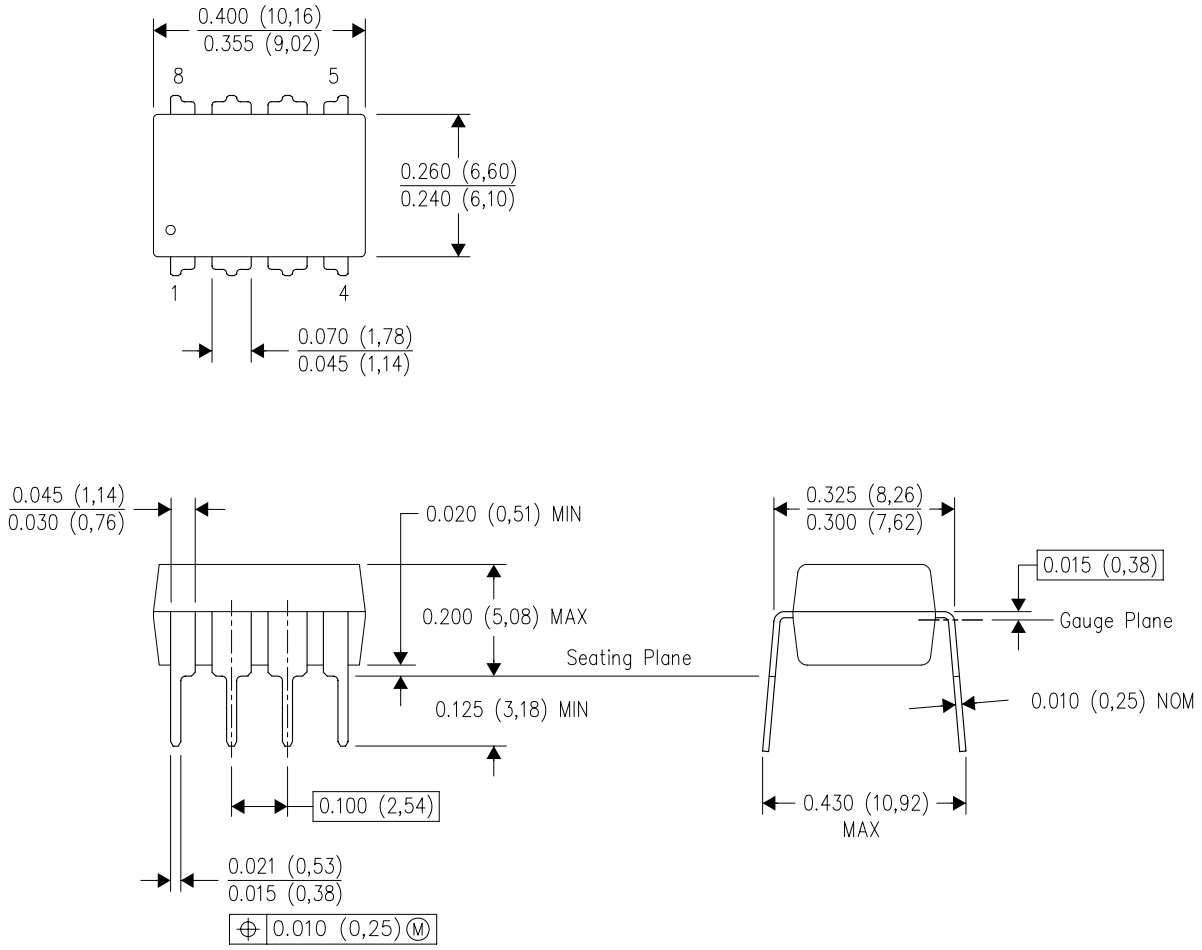
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

PS (R–PDSO–G8) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

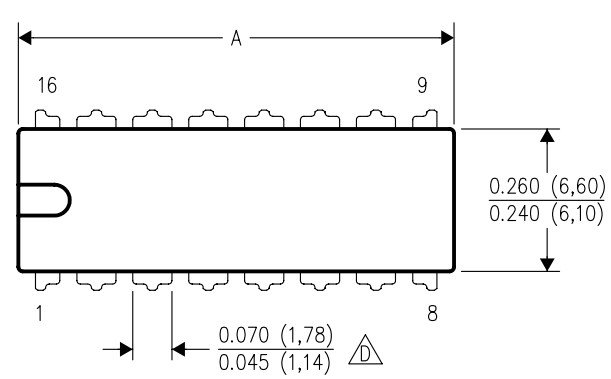


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

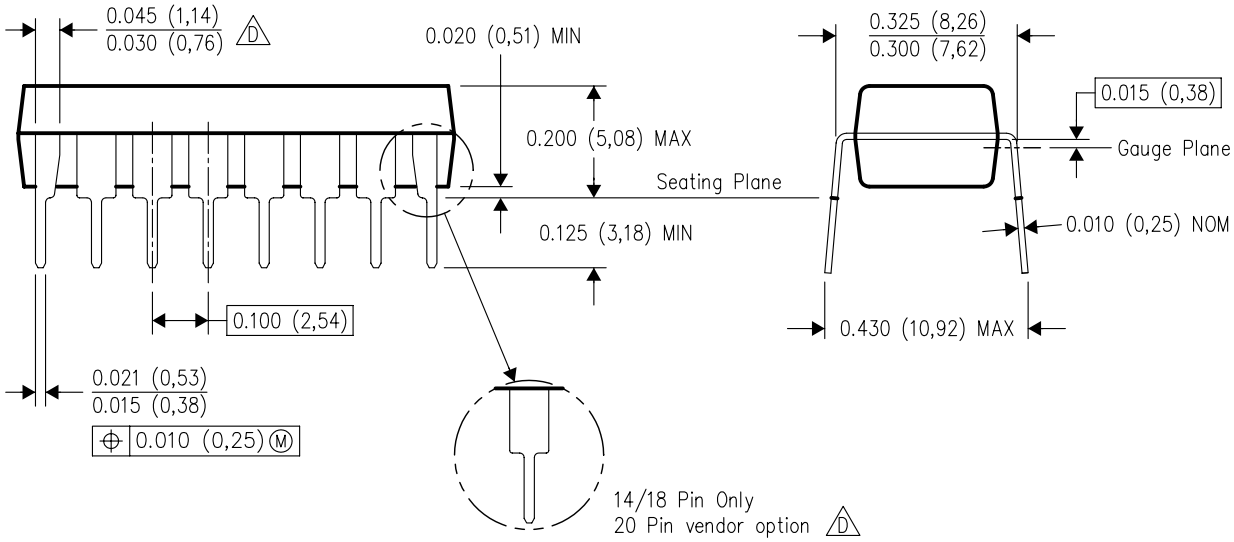
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

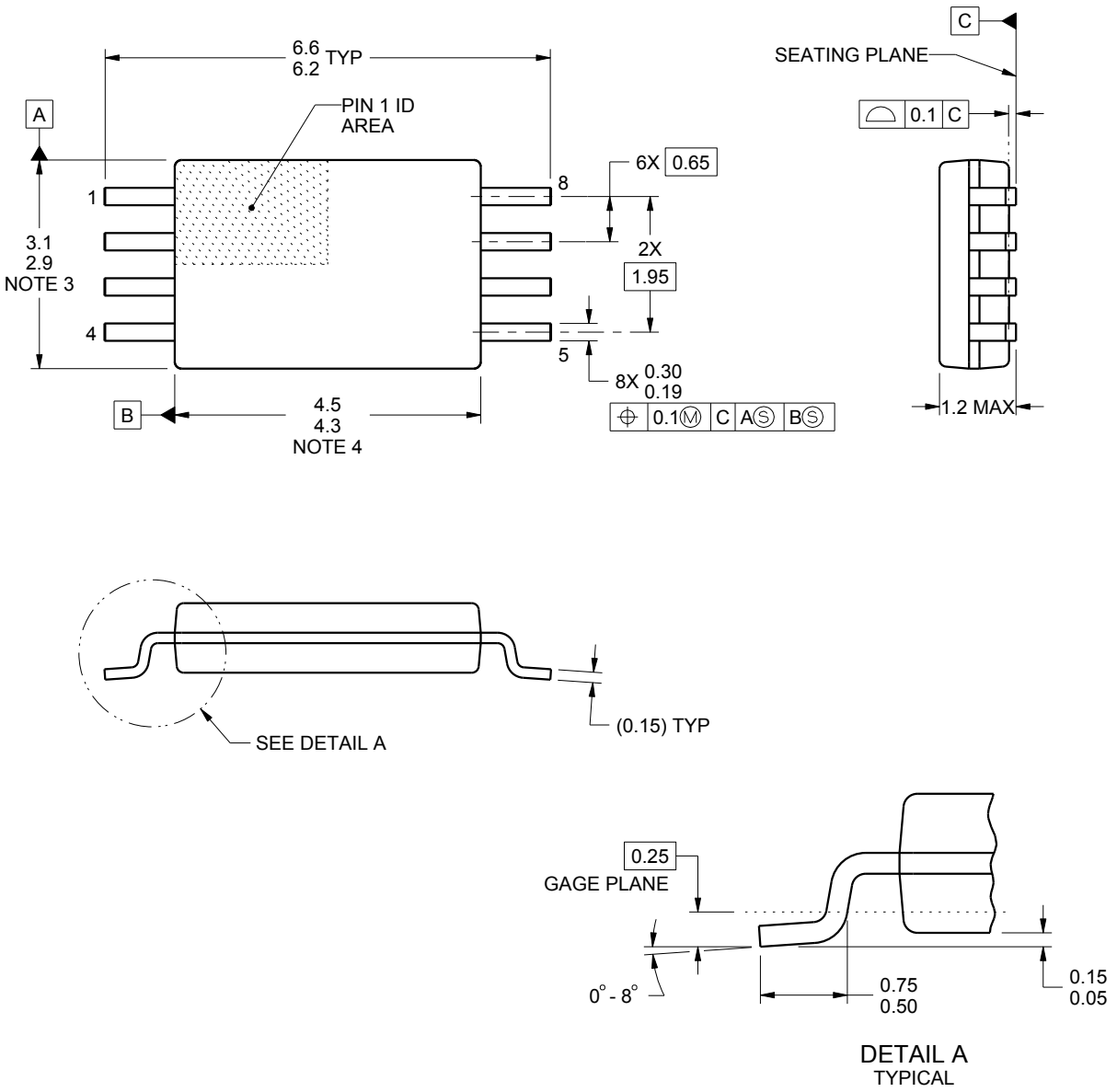
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0008A

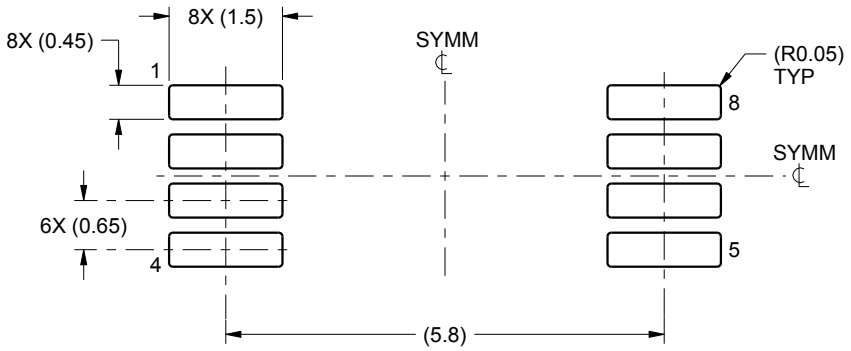
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

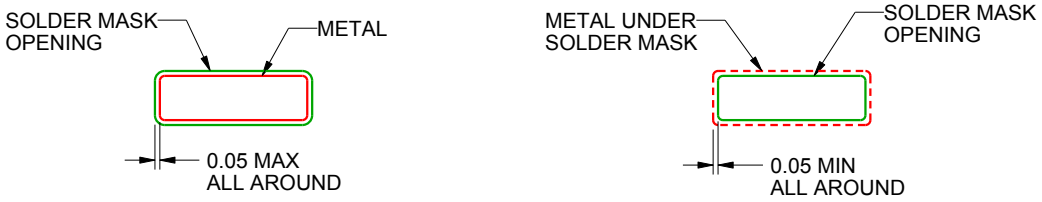


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

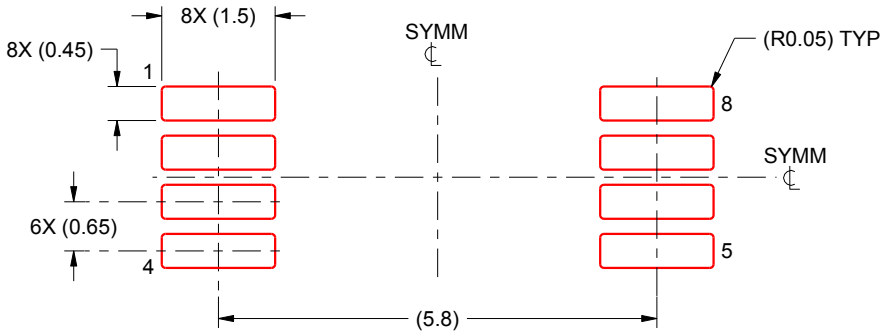


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

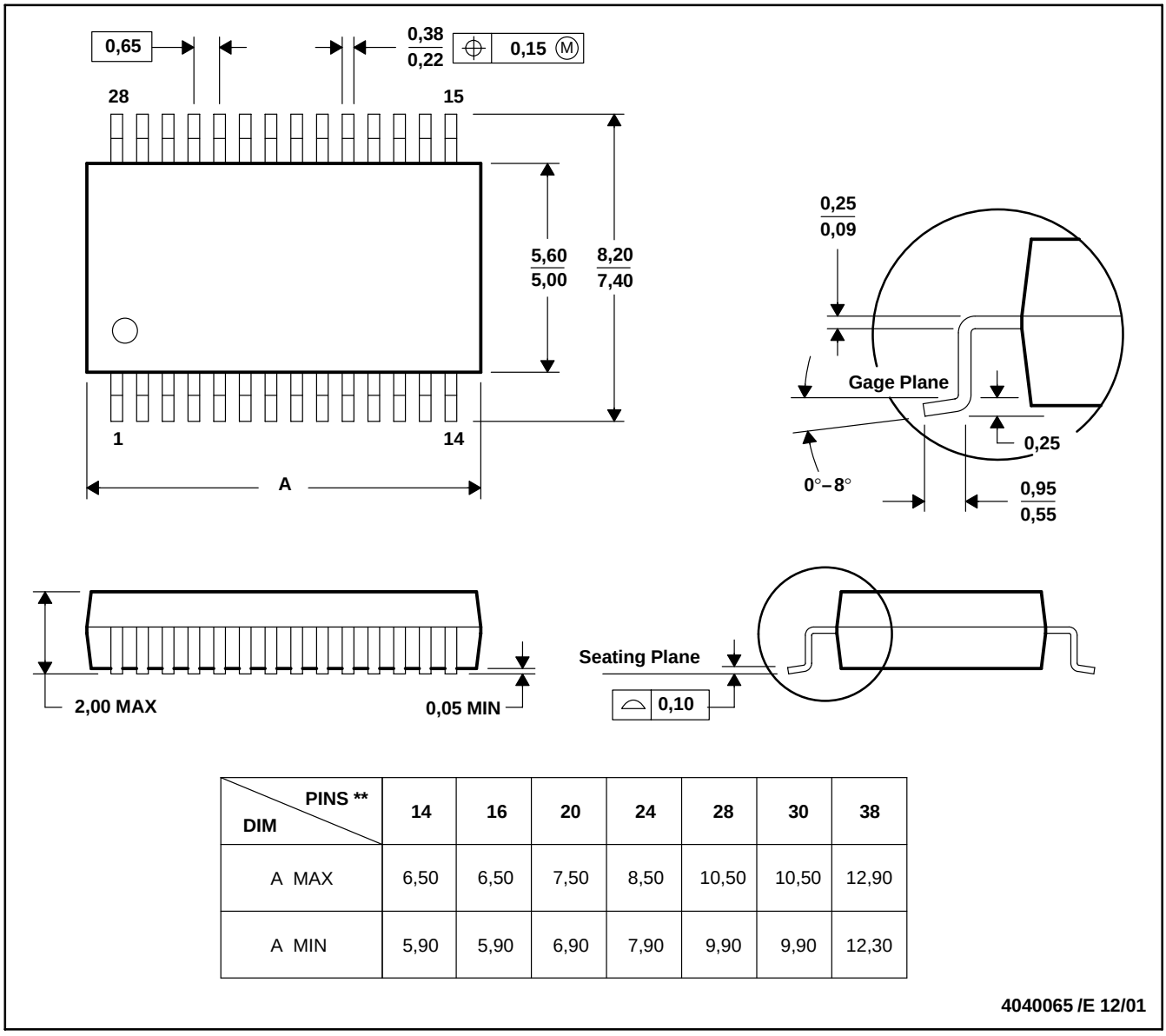
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MSSO002E – JANUARY 1995 – REVISED DECEMBER 2001

DB (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

28 PINS SHOWN



DIM \ PINS **	14	16	20	24	28	30	38
A MAX	6,50	6,50	7,50	8,50	10,50	10,50	12,90
A MIN	5,90	5,90	6,90	7,90	9,90	9,90	12,30

4040065 /E 12/01

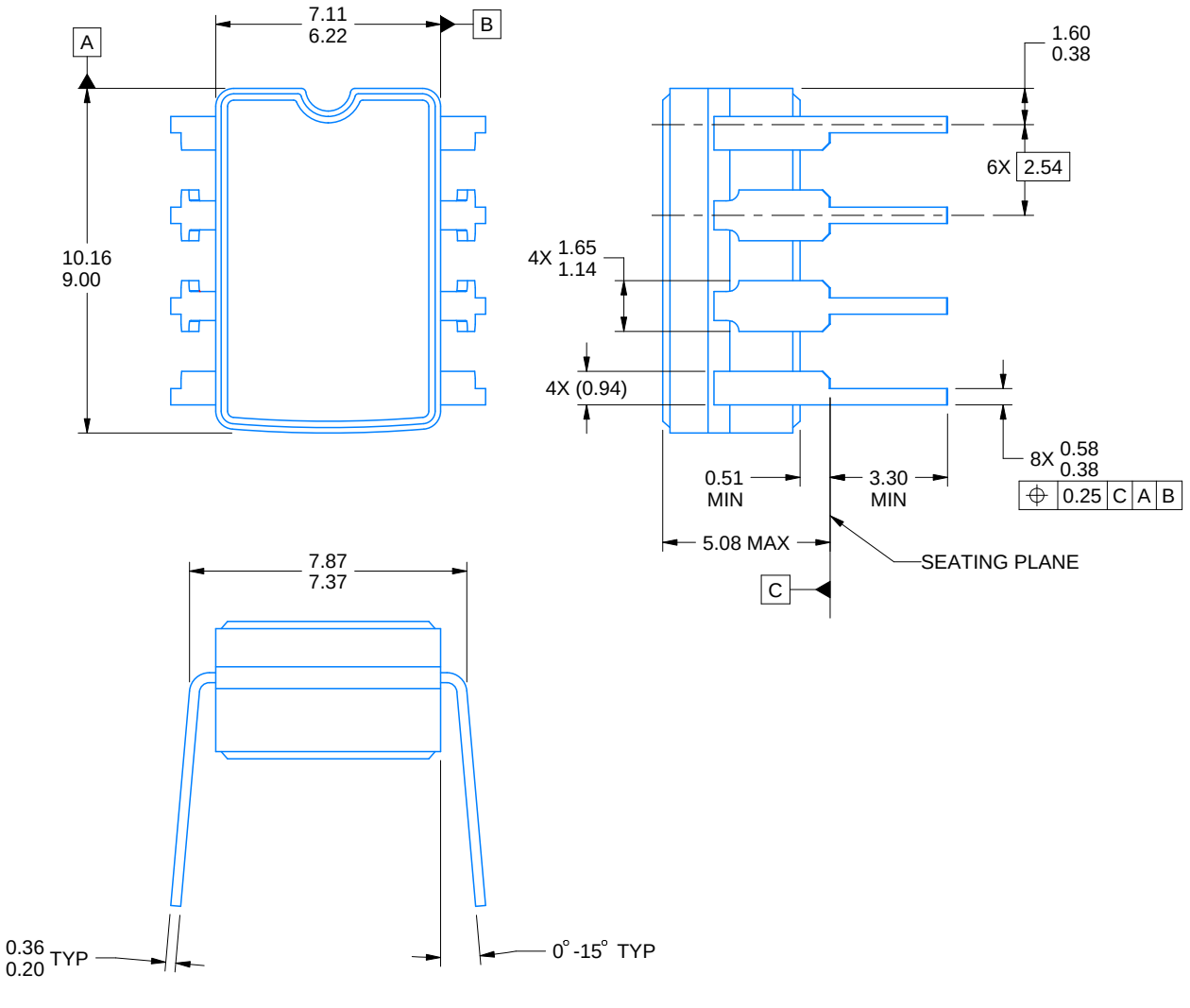
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
D. Falls within JEDEC MO-150

PACKAGE OUTLINE

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



4230036/A 09/2023

NOTES:

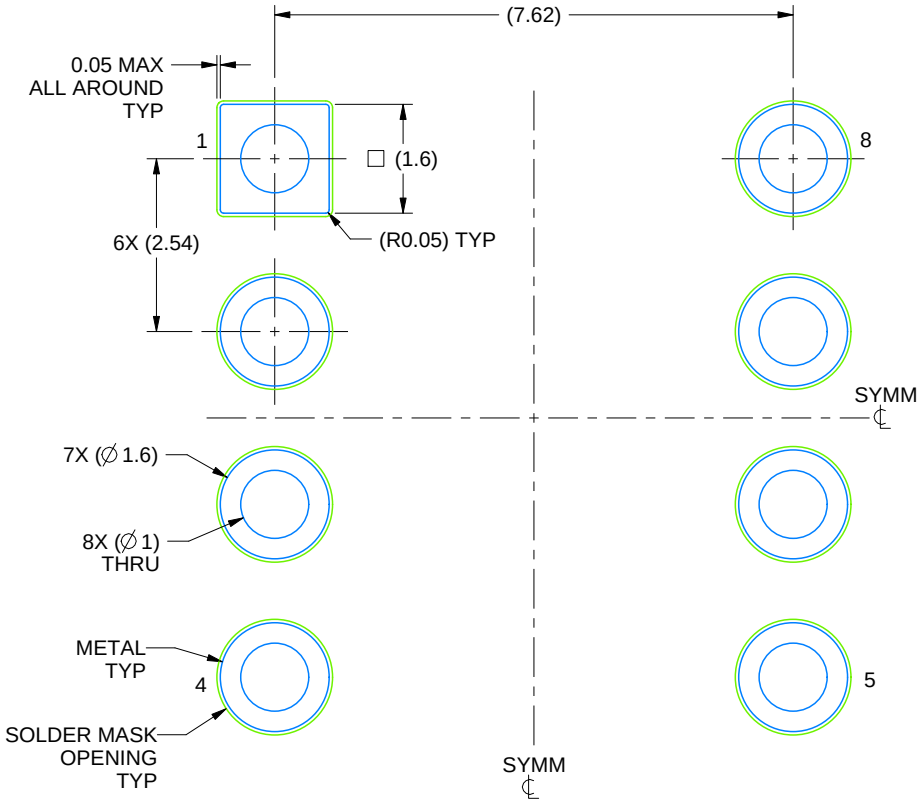
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package can be hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification.
5. Falls within MIL STD 1835 GDIP1-T8

EXAMPLE BOARD LAYOUT

JG0008A

CDIP - 5.08 mm max height

CERAMIC DUAL IN-LINE PACKAGE



LAND PATTERN EXAMPLE
NON SOLDER MASK DEFINED
SCALE: 9X

4230036/A 09/2023

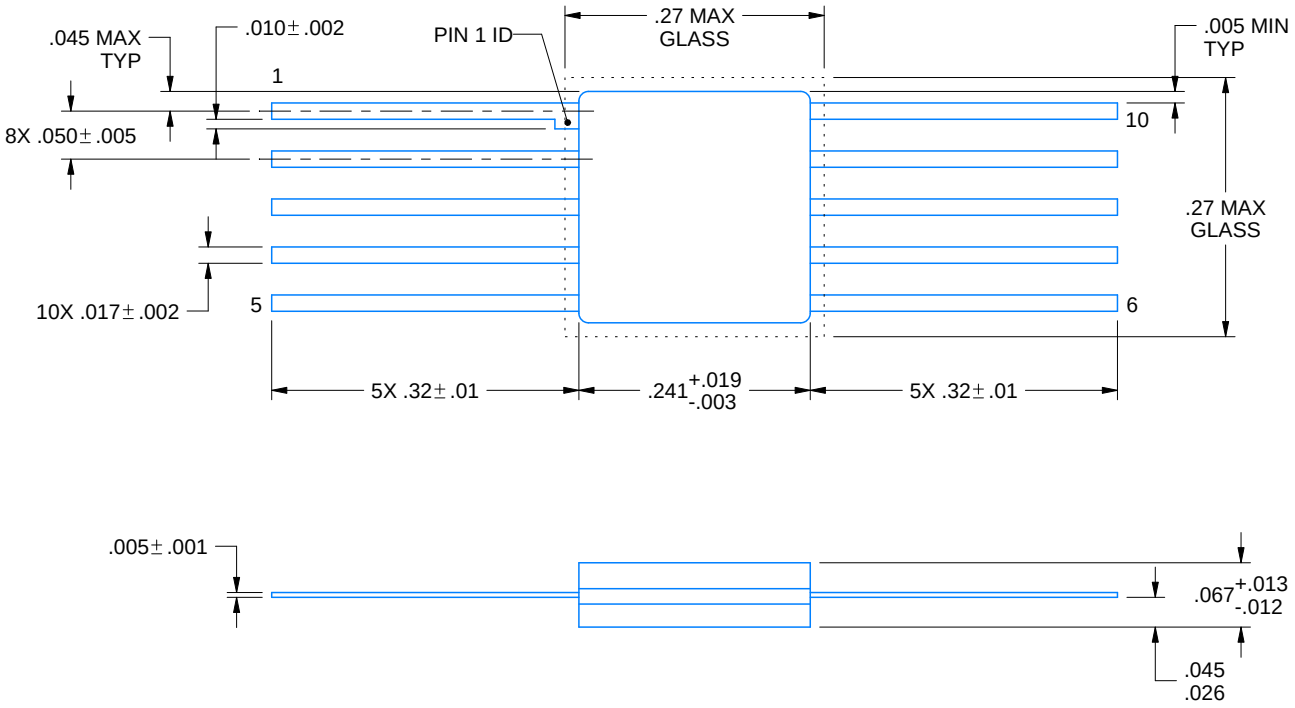
U0010A



PACKAGE OUTLINE

CFP - 2.03 mm max height

CERAMIC FLATPACK



4225582/A 01/2020

NOTES:

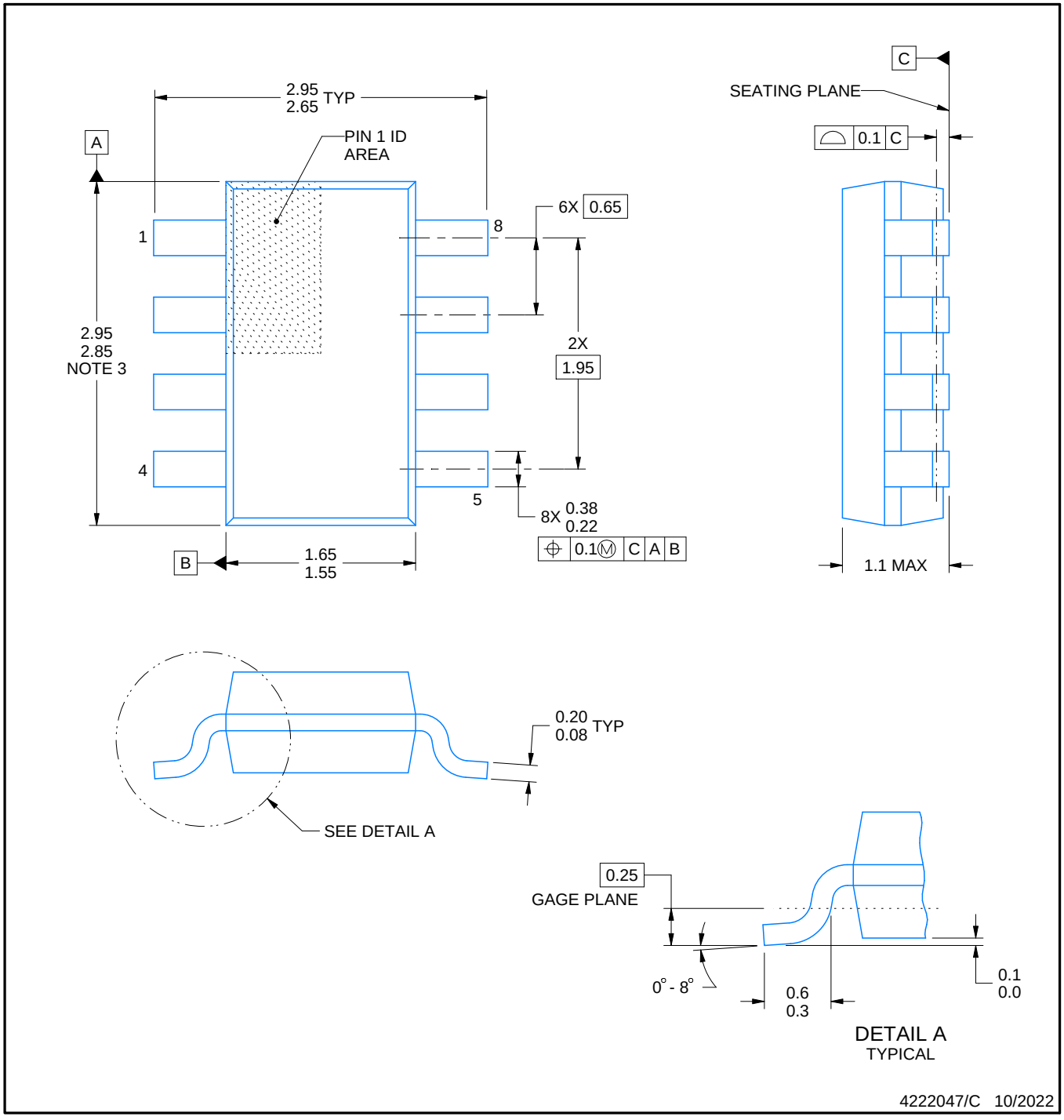
1. All linear dimensions are in inches. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

PACKAGE OUTLINE

DDF0008A

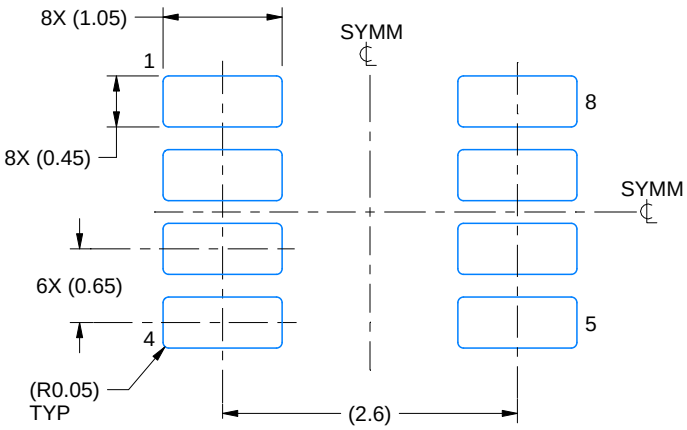
SOT-23 - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
SCALE:15X



NON SOLDER MASK
DEFINED

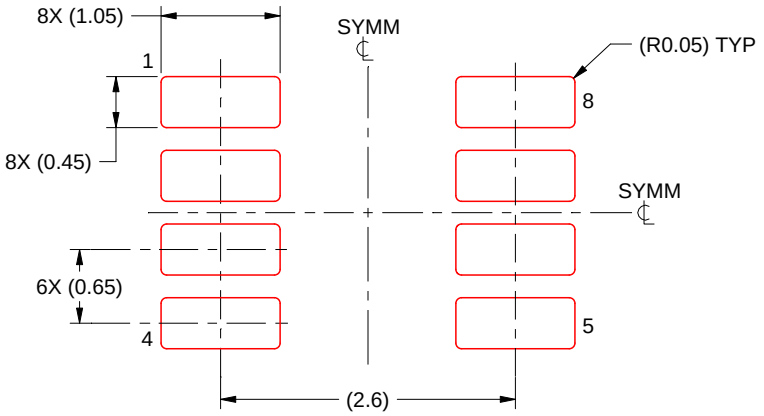
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4222047/C 10/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/C 10/2022

NOTES: (continued)

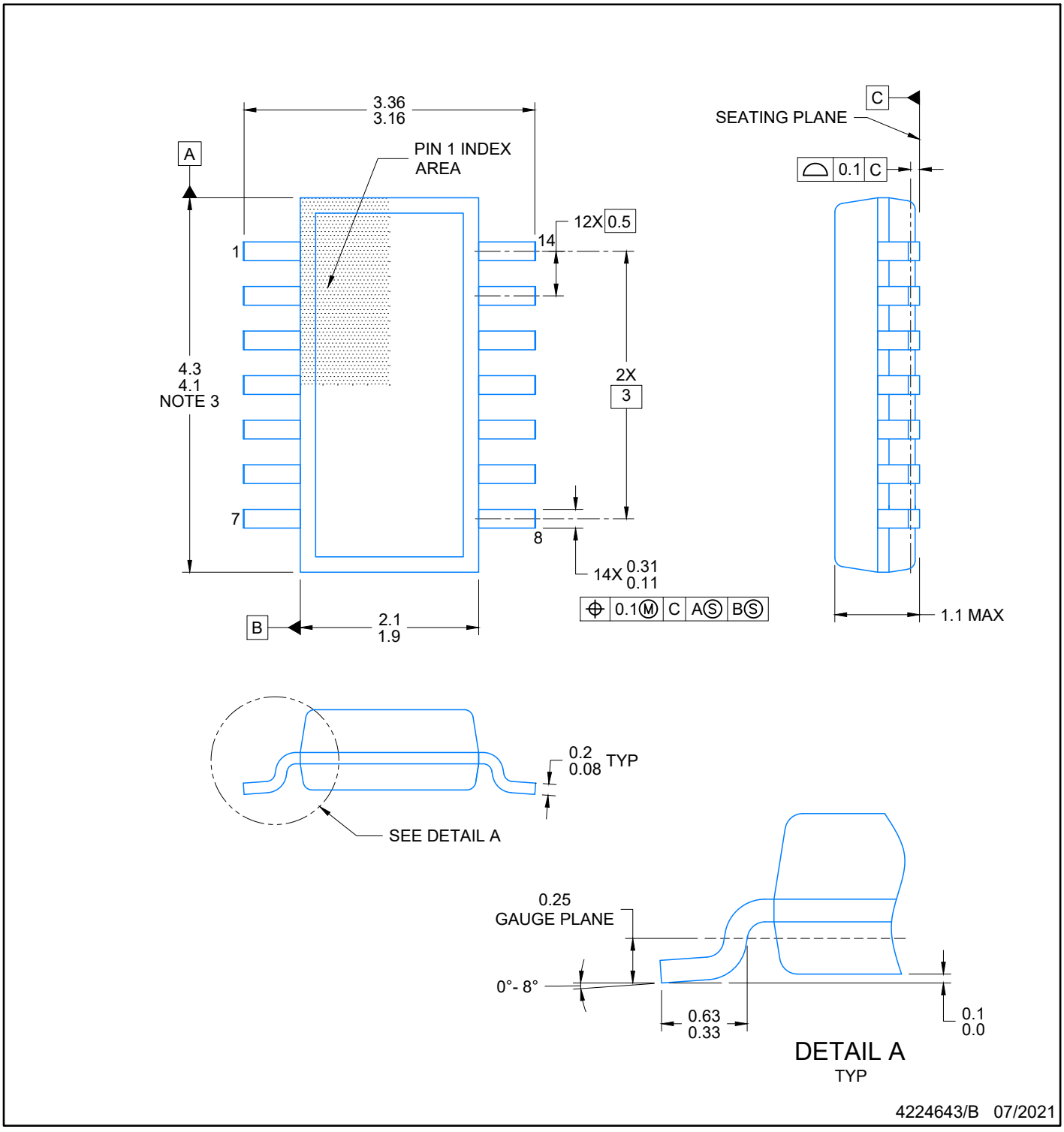
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0014A

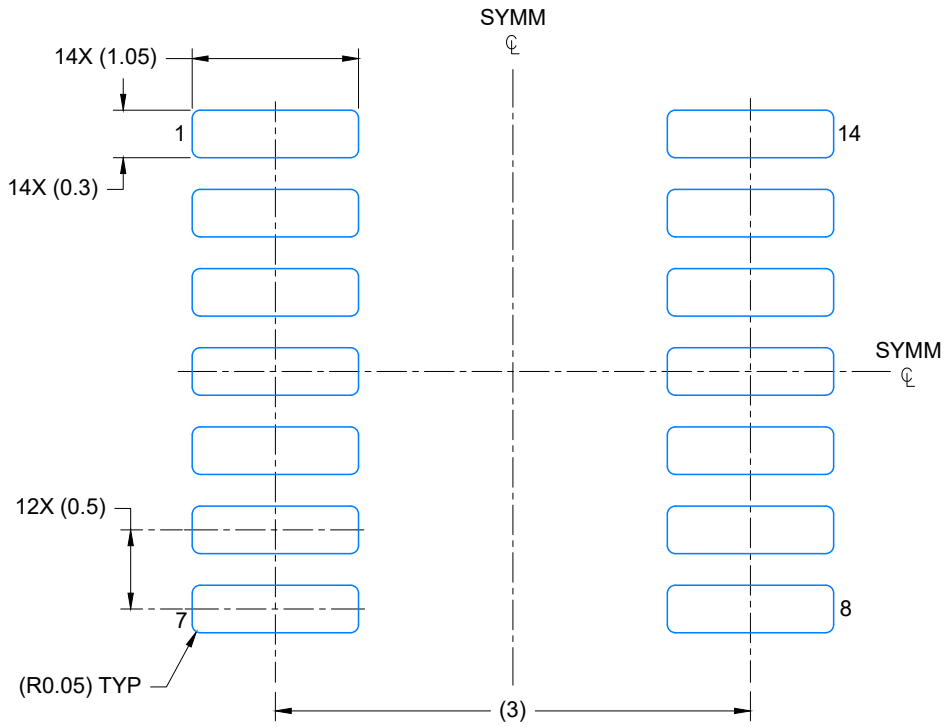
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

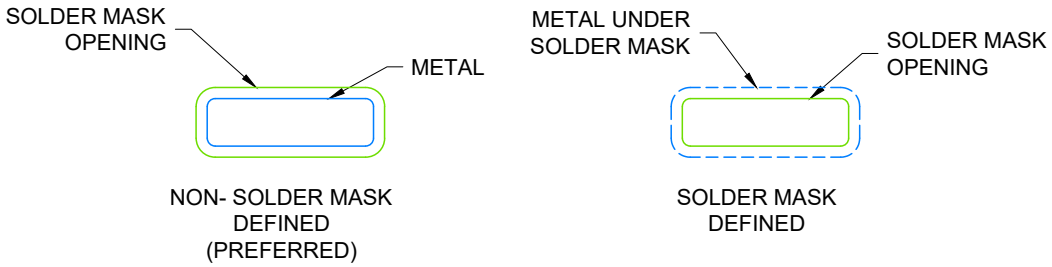


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

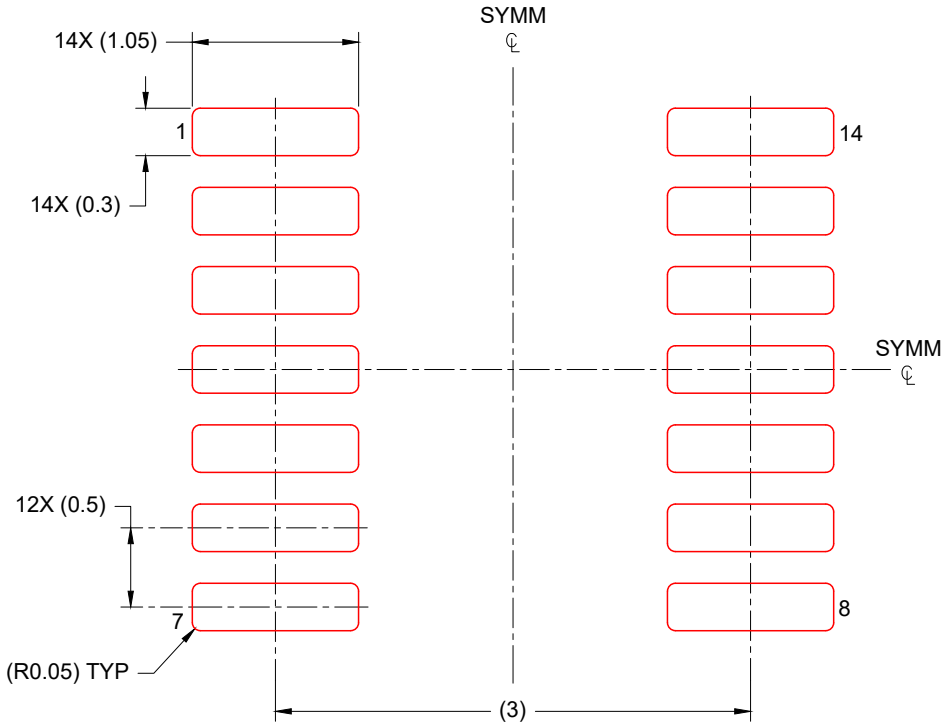


SOLDER MASK DETAILS

4224643/B 07/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/B 07/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス· デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated