TEXAS INSTRUMENTS
TLV9351, TLV9352, TLV9354
JAJSI74E – NOVEMBER 2019 – REVISED JANUARY 2022

TLV935x 3.5MHz、40V、RRO、MUX 対応オペアンプ、コスト重視システム向け

1 特長

- 低いオフセット電圧:±350μV
- 低い入力オフセット電圧ドリフト:±1.5μV/℃
- 低いノイズ:1kHz 時に 15nV/√Hz
- 大きい同相除去比:110dB
- 小さいバイアス電流:±10pA
- レール・ツー・レール出力
- 多重化対応 / コンパレータ入力
  - 電源レールまでの差動入力でアンプが動作
  - アンプを開ループで、またはコンパレータとして使用可能
- 広い帯域幅:3.5MHz GBW
- 高いスルーレート:20V/μs
- 低い静止電流:600μA (アンプ 1 個あたり)
- 広い電源範囲:±2.25V～±20V、+4.5V～40V
- 堅牢な EMIRR 性能:入力ピンの EMI/RFI フィルタ
- 差動および同相入力電圧範囲は電源レールまで

2 アプリケーション

- AC およびモーター駆動サーボ制御モジュール
- AC およびモーター駆動電力段モジュール
- 試験および計測機器
- プログラマブル・ロジック・コントローラ

3 概要

TLV935x ファミリ (TLV9351、TLV9352、TLV9354) は、コスト最適化された 40V オペアンプ・ファミリです。

これらのデバイスは、レール・ツー・レール出力、低いオフセット (±350μV、標準値)、低いオフセット・ドリフト (±1.5μV/℃、標準値)、3.5MHz の帯域幅など、優れた DC および AC 仕様を備えています。

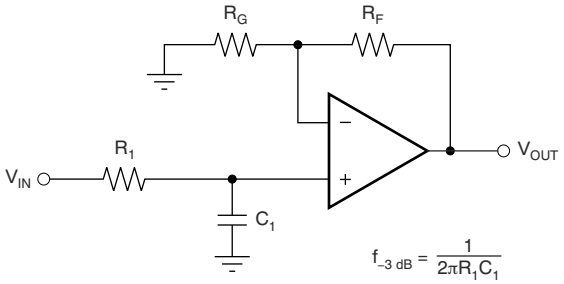
電源レールまでの差動入力電圧範囲、大きい出力電流 (±60mA)、高いスルーレート (20V/μs) など、独自の特長を備えた TLV935x は、高電圧でコストの制約が厳しいアプリケーションに適した堅牢なオペアンプです。

TLV935x ファミリのオペアンプは、標準パッケージで供給され、–40℃～125℃で動作が規定されています。

デバイス情報

部品番号(1)	パッケージ	本体サイズ (公称)
TLV9351	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
TLV9352	SOIC (8)	4.90mm × 3.90mm
	SOT-23 (8)	1.60mm × 2.90mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
TLV9354	SOIC (14)	8.65mm × 3.90mm
	SOT-23 (14)	4.20mm × 1.90mm
	TSSOP (14)	5.00mm × 4.40mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



単極、ローパス・フィルタの TLV935x

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 4
6 仕様 ... 7
6.1 絶対最大定格 ... 7
6.2 ESD 定格 ... 7
6.3 推奨動作条件 ... 7
6.4 シングル・チャネルの熱に関する情報 ... 8
6.5 デュアル・チャネルの熱に関する情報 ... 8
6.6 クワッド・チャネルの熱に関する情報 ... 8
6.7 電気的特性 ... 9
6.8 標準的特性 ... 12
7 詳細説明 ... 19
7.1 概要 ... 19
7.2 機能ブロック図 ... 19
7.3 機能説明 ... 20
7.4 デバイスの機能モード ... 27
8 アプリケーション情報に関する免責事項 ... 28
8.1 アプリケーション情報 ... 28
8.2 代表的なアプリケーション ... 28
9 電源に関する推奨事項 ... 30
10 レイアウト ... 30
10.1 レイアウトのガイドライン ... 30
10.2 レイアウト例 ... 31
11 デバイスおよびドキュメントのサポート ... 33
11.1 デバイスのサポート ... 33
11.2 ドキュメントのサポート ... 33
11.3 Receiving Notification of Documentation Updates ... 33
11.4 サポート・リソース ... 33
11.5 商標 ... 33
11.6 Electrostatic Discharge Caution ... 34
11.7 Glossary ... 34
12 メカニカル、パッケージ、および注文情報 ... 35

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (May 2021) to Revision E (January 2022) — **Page**

- 「*製品情報*」に SOT-23-14 (DYY) パッケージを追加 ... 1
- 「ピン構成および機能」セクションに、SOT-23-14 (DYY) パッケージとピン機能を追加 ... 4
- 「クワッド・チャネルの熱に関する情報」セクションに SOT-23-14 (DYY) パッケージを追加 ... 8
- 「電気的オーバーストレス」セクションの「代表的な回路アプリケーションと比較して等価な内部 ESD 回路」で、デバイスをより正確に模倣するよう入力抵抗の値を変更 ... 25

Changes from Revision C (December 2020) to Revision D (May 2021) — **Page**

- 「*製品情報*」の VSSOP (8) パッケージをプレビューからアクティブに変更 ... 1
- 「ピン構成および機能」セクションで、VSSOP-8 (DGK) パッケージのプレビューの注を削除 ... 4

Changes from Revision B (August 2020) to Revision C (December 2020) — **Page**

- 「*製品情報*」の SOIC (14) パッケージをプレビューからアクティブに変更 ... 1
- 「*製品情報*」の TSSOP (14) パッケージをプレビューからアクティブに変更 ... 1
- 「*製品情報*」の SOT-23 (5) パッケージをプレビューからアクティブに変更 ... 1
- 「*製品情報*」の SC70 (5) パッケージをプレビューからアクティブに変更 ... 1
- 「ピン構成および機能」セクションで、SOT-23 (DBV) パッケージのプレビューの注を削除 ... 4
- 「ピン構成および機能」セクションで、SC70 (DCK) パッケージのプレビューの注を削除 ... 4
- 「ピン構成および機能」セクションで、SOIC-14 (D) および TSSOP-14 (PW) パッケージからプレビューの注を削除 ... 4
- 「ピンの機能」でパッケージ・タイプの列見出しを訂正：TLV9351 の表 ... 4
- 「関連資料」セクションを更新 ... 33

Copyright © 2023 Texas Instruments Incorporated

Changes from Revision A (March 2020) to Revision B (August 2020) **Page**

- 文書全体にわたって表、図、相互参照の採番方法を更新....1
- 「*製品情報*」セクションに SOT-23 (8) パッケージを追加....1
- 「ピン構成および機能」セクションで、SOT-23 (DDF) パッケージのプレビューの注を削除....4

Changes from Revision * (November 2019) to Revision A (March 2020) **Page**

- 「*製品情報*」の SOIC (8) パッケージ・ステータスをプレビューからアクティブに変更....1
- 「*製品情報*」の TSSOP (8) パッケージ・ステータスをプレビューからアクティブに変更....1
- 「ピン構成および機能」で、SOIC-8 (D) および TSSOP-8 (PW) パッケージのプレビューの注を削除....4
- 「仕様」セクションに「代表的特性」セクションを追加....12

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

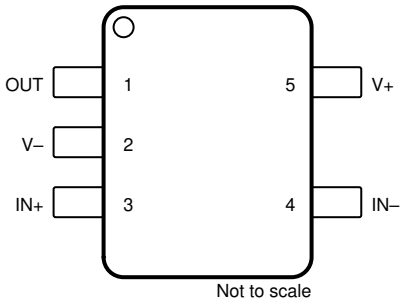


図 5-1. TLV9351 DBV パッケージ
5 ピン SOT-23
(上面図)

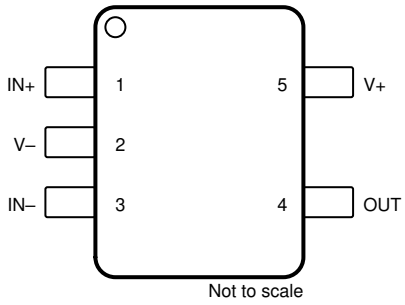


図 5-2. TLV9351 DCK パッケージ
5 ピン SC70
(上面図)

表 5-1. ピンの機能：TLV9351

ピン			I/O	説明
名称	SOT-23	SC70		
+IN	3	1	I	非反転入力
-IN	4	3	I	反転入力
OUT	1	4	O	出力
V+	5	5	—	正 (最高) 電源
V-	2	2	—	負 (最低) 電源

Copyright © 2023 Texas Instruments Incorporated

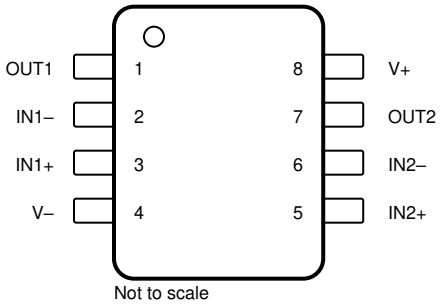


図 5-3. TLV9352 D、DDF、DGK、PW パッケージ
8 ピン SOIC、SOT-23、TSSOP、VSSOP
(上面図)

表 5-2. ピンの機能：TLV9352

ピン		I/O	説明
名称	番号		
+IN A	3	I	非反転入力、チャネル A
+IN B	5	I	非反転入力、チャネル B
-IN A	2	I	反転入力、チャネル A
–IN B	6	I	反転入力、チャネル B
OUT A	1	O	出力、チャネル A
OUT B	7	O	出力、チャネル B
V+	8	—	正 (最高) 電源
V-	4	—	負 (最低) 電源

Copyright © 2023 Texas Instruments Incorporated

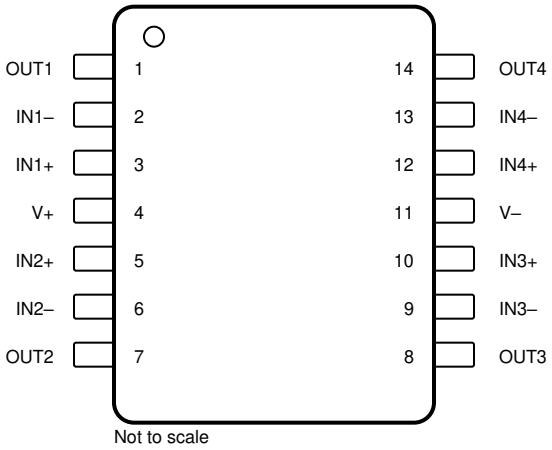


図 5-4. TLV9354 D、PW、DYY パッケージ
14 ピン SOIC、TSSOP、SOT-23
(上面図)

表 5-3. ピンの機能：TLV9354

ピン		I/O	説明
名称	番号		
+IN A	3	I	非反転入力、チャネル A
+IN B	5	I	非反転入力、チャネル B
+IN C	10	I	非反転入力、チャネル C
+IN D	12	I	非反転入力、チャネル D
-IN A	2	I	反転入力、チャネル A
–IN B	6	I	反転入力、チャネル B
-IN C	9	I	反転入力、チャネル C
-IN D	13	I	反転入力、チャネル D
OUT A	1	O	出力、チャネル A
OUT B	7	O	出力、チャネル B
OUT C	8	O	出力、チャネル C
OUT D	14	O	出力、チャネル D
V+	4	—	正 (最高) 電源
V-	11	—	負 (最低) 電源

Copyright © 2023 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V–)		0	42	V
信号入力ピン	同相電圧 (3)	(V–) - 0.5	(V+) + 0.5	V
	差動電圧(3)		V_S + 0.2	V
	電流 (3)	-10	10	mA
出力短絡 (2)		連続		
動作時の周囲温度、T_A		-55	150	℃
接合部温度、T_J			150	℃
保存温度、T_{stg}		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) グランドへの短絡、1 パッケージ当たり 1 アンプ。
(3) 入力ピンは、電源レールに対してダイオード・クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	4.5	40	V
V_I	入力電圧範囲	(V-) - 0.1	(V+) – 2	V
T_A	仕様温度範囲	-40	125	℃

Copyright © 2023 Texas Instruments Incorporated

6.4 シングル・チャネルの熱に関する情報

熱評価基準 (1)		TLV9351		単位
		DBV (SOT-23)	DCK (SC70)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	185.7	202.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	108.2	101.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	54.5	47.8	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	31.2	18.8	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	54.2	47.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	N/A	N/A	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

6.5 デュアル・チャネルの熱に関する情報

熱評価基準 (1)		TLV9352				単位
		D (SOIC)	DDF (SOT-23)	DGK (VSSOP)	PW (TSSOP)	
		8 ピン	8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	138.7	143.5	177.1	185.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78.7	79.9	68.1	74.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	82.2	61.6	98.4	115.7	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	27.8	5.7	12.1	12.3	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	81.4	61.3	96.6	114.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	N/A	未定	N/A	N/A	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

6.6 クワッド・チャネルの熱に関する情報

熱評価基準 (1)		TLV9354			単位
		D (SOIC)	DYY (SOT-23)	PW (TSSOP)	
		14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	101.2	110.6	131.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	57.8	53.7	52.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	57.2	35.3	75.6	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	18.6	2.2	8.1	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	56.5	35.0	74.6	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	N/A	N/A	N/A	°C/W

(1) 従来および最新の熱測定基準の詳細については、アプリケーション・レポート『半導体および IC パッケージの熱評価基準』、SPRA953 を参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.7 電気的特性

V_S = (V+) - (V-) = 4.5V～40V (±2.25V～±20V)、T_A = 25℃、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	代表値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	V_{CM} = V-			±0.35	±1.8	mV
			T_A = -40℃～125℃			±2	
dV_{OS}/dT	入力オフセット電圧ドリフト		T_A = -40℃～125℃		±1.5		µV/℃
PSRR	入力オフセット電圧と電源との関係	V_{CM} = V-	T_A = -40℃～125℃		±2	±5	µV/V
	チャネル・セパレーション	f = 0Hz			5		µV/V
入力バイアス電流							
I_B	入力バイアス電流				±10		pA
I_{OS}	入力オフセット電流				±10		pA
ノイズ							
E_N	入力電圧ノイズ	f = 0.1Hz～10Hz			2		μV_{PP}
					0.33		μV_{RMS}
e_n	入力電圧ノイズ密度	f = 1kHz			15		nV/√Hz
		f = 10kHz			14		
i_N	入力電流ノイズ	f = 1kHz			2		fA/√Hz
入力電圧範囲							
V_{CM}	同相電圧範囲			(V-) - 0.2		(V+) – 2	V
CMRR	同相信号除去比	V_S = 40V、(V-) - 0.1V < V_{CM} < (V+) - 2V (メイン入力ペア)	T_A = -40℃～125℃	95	110		dB
		V_S = 4.5V、(V-) - 0.1V < V_{CM} < (V+) - 2V (メイン入力ペア)		84	90		
入力容量							
Z_{ID}	差動				100 || 3		MΩ || pF
Z_{ICM}	同相				6 || 1		TΩ || pF
開ループ・ゲイン							
A_{OL}	開ループ電圧ゲイン	V_S = 40V、V_{CM} = V- (V-) + 0.1V < V_O < (V+) - 0.1V		120	130		dB
			T_A = -40℃～125℃		127		

Copyright © 2023 Texas Instruments Incorporated

6.7 電気的特性 (continued)

V_S = (V+) - (V-) = 4.5V～40V (±2.25V～±20V)、T_A = 25℃、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 の場合 (特に記述のない限り)。

パラメータ		テスト条件		最小値	代表値	最大値	単位
周波数特性							
GBW	ゲイン帯域幅積				3.5		MHz
SR	スルーレート	V_S = 40V、G = +1、C_L = 20pF			20		V/µs
t_S	セトリング・タイム	0.01% まで、V_S = 40V、V_{STEP} = 10V、G = +1、CL = 20pF			5		µs
		0.01% まで、V_S = 40V、V_{STEP} = 2V、G = +1、CL = 20pF			4		
		0.1% まで、V_S = 40V、V_{STEP} = 10V、G = +1、CL = 20pF			4		
		0.1% まで、V_S = 40V、V_{STEP} = 2V、G = +1、CL = 20pF			3		
	位相マージン	G = +1、R_L = 10kΩ			60		°
	過負荷復帰時間	V_{IN} × ゲイン > V_S			600		ns
THD+N	全高調波歪 + ノイズ	V_S = 40V、V_O = 1V_{RMS}、G = 1、f = 1kHz			0.001%		
出力							
	レールに対する電圧出力スイング	正および負のレールのヘッドルーム	V_S = 40V、R_L = 無負荷(1)		5	10	mV
			V_S = 40V、R_L = 10kΩ		50	55	
			V_S = 40V、R_L = 2kΩ		200	250	
			V_S = 4.5V、R_L = 無負荷(1)		1		
			V_S = 4.5V、R_L = 10kΩ		20	30	
			V_S = 4.5V、R_L = 2kΩ		40	75	
I_{SC}	短絡電流				±60		mA
C_{LOAD}	容量性負荷ドライブ				300		pF
Z_O	開ループ出力インピーダンス	f = 1MHz、I_O = 0A			600		Ω
電源							
I_Q	アンプごとの静止電流	V_{CM} = V–、I_O = 0A			650	800	µA
			T_A = -40℃～125℃			850	

(1) 特性だけが規定します。

Copyright © 2023 Texas Instruments Incorporated

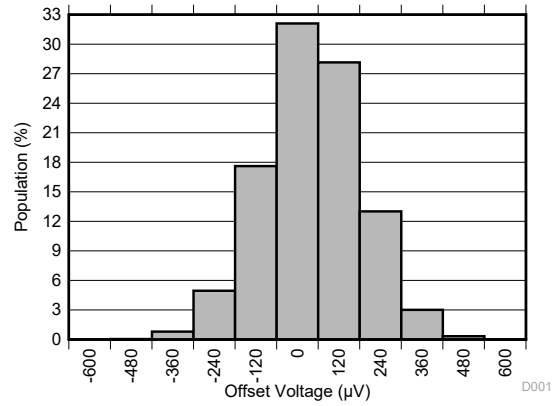
表 6-1. グラフ一覧

説明	図
オフセット電圧の製品分布	図 6-1
オフセット電圧ドリフトの分布	図 6-2
オフセット電圧と温度との関係	図 6-3、図 6-4
オフセット電圧と同相電圧との関係	図 6-5、図 6-6、図 6-7、図 6-8
オフセット電圧と電源電圧との関係	図 6-9
開ループ・ゲインおよび位相と周波数との関係	図 6-10
閉ループのゲインおよび位相と周波数との関係	図 6-11
入力バイアス電流と同相電圧との関係	図 6-12
入力バイアス電流と温度との関係	図 6-13
出力電圧スイングと出力電流との関係	図 6-14、図 6-15
CMRR および PSRR と周波数との関係	図 6-16
CMRR と温度との関係	図 6-17
PSRR と温度との関係	図 6-18
0.1Hz～10Hz のノイズ	図 6-19
入力電圧ノイズのスペクトル密度と周波数との関係	図 6-20
THD+N 比と周波数との関係	図 6-21
THD+N と出力振幅との関係	図 6-22
静止電流と電源電圧との関係	図 6-23
静止電流と温度との関係	図 6-24
開ループの電圧ゲインと温度との関係	図 6-25
開ループの出力インピーダンスと周波数との関係	図 6-26
小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV)	図 6-27、図 6-28
位相マージンと容量性負荷との関係	図 6-29
位相反転なし	図 6-30
正の過負荷からの回復	図 6-31
負の過負荷からの回復	図 6-32
小信号ステップ応答 (100mV)	図 6-33、図 6-34
大信号ステップ応答	図 6-35、図 6-36、図 6-37
短絡電流と温度との関係	図 6-38
最大出力電圧と周波数との関係	図 6-39
チャネル・セパレーションと周波数との関係	図 6-40
EMIRR と周波数との関係	図 6-41

Copyright © 2023 Texas Instruments Incorporated

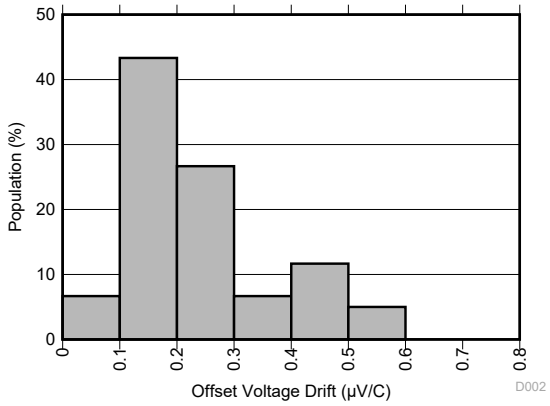
6.8 標準的特性

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



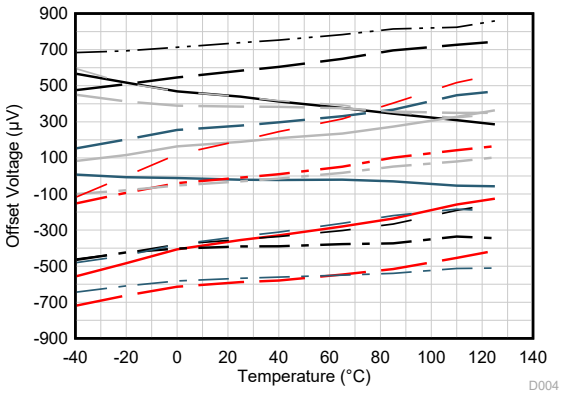
15462 個のアンプにおける分布、T_A = 25℃

図 6-1. オフセット電圧の製品分布



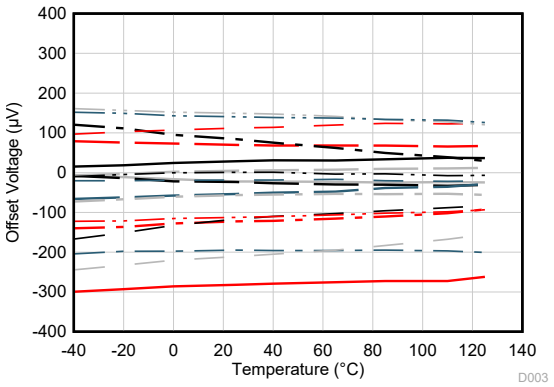
60 個のアンプにおける分布

図 6-2. オフセット電圧ドリフトの分布



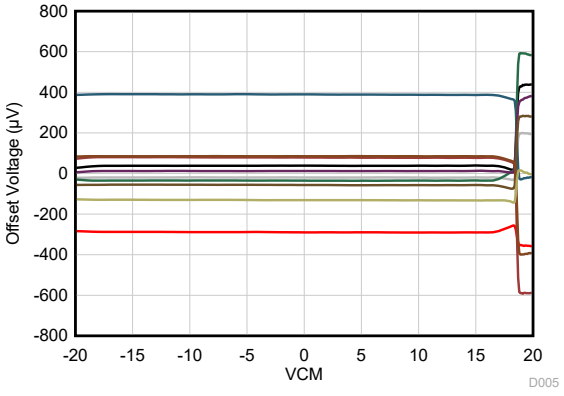
V_{CM} = V+

図 6-3. オフセット電圧と温度との関係



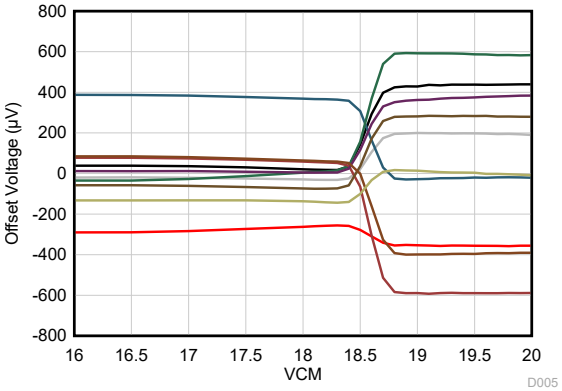
V_{CM} = V-

図 6-4. オフセット電圧と温度との関係



T_A = 25℃

図 6-5. オフセット電圧と同相電圧との関係



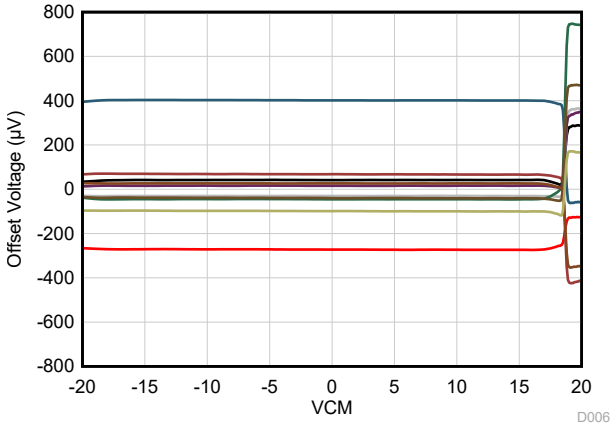
T_A = 25℃

図 6-6. オフセット電圧と同相電圧との関係 (遷移領域)

Copyright © 2023 Texas Instruments Incorporated

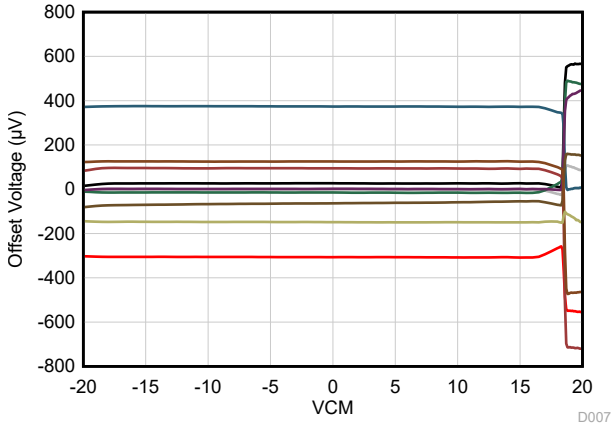
6.8 標準的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



T_A = 125℃

図 6-7. オフセット電圧と同相電圧との関係



T_A = -40℃

図 6-8. オフセット電圧と同相電圧との関係

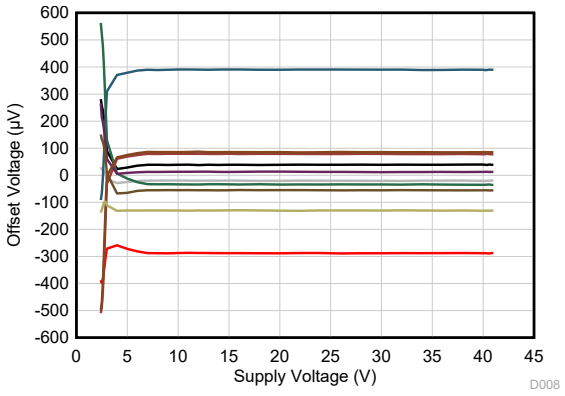
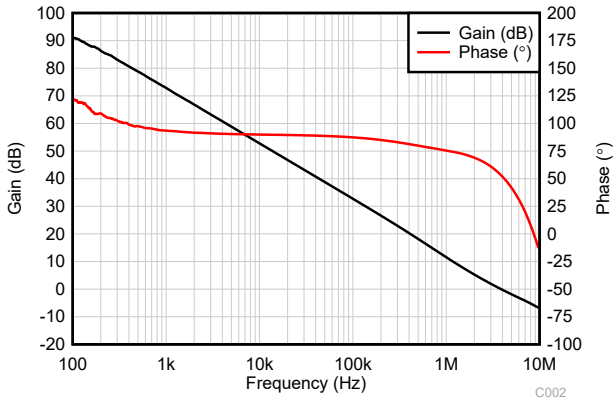


図 6-9. オフセット電圧と電源電圧との関係



C_L = 20pF

図 6-10. 開ループ・ゲインおよび位相と周波数との関係

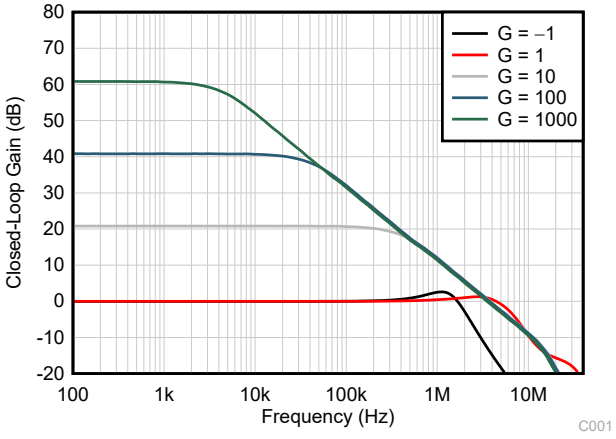


図 6-11. 閉ループのゲインと周波数との関係

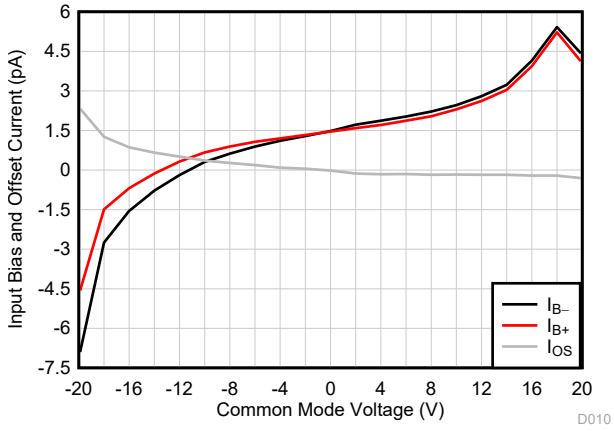


図 6-12. 入力バイアス電流と同相電圧との関係

6.8 標準的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)

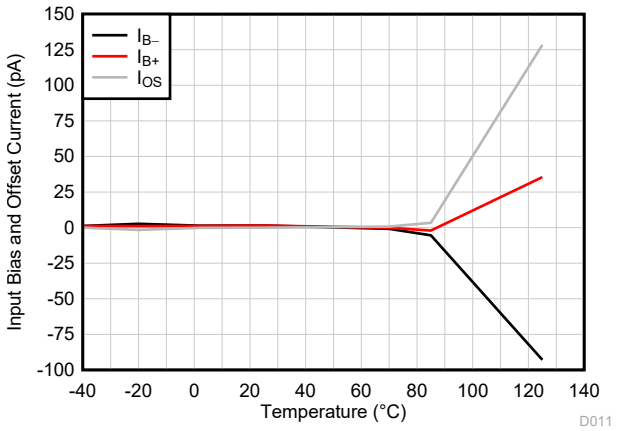


図 6-13. 入力バイアス電流と温度との関係

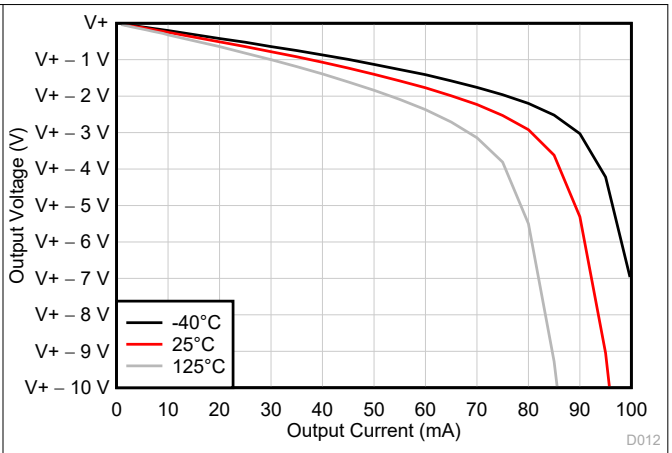


図 6-14. 出力電圧スイングと出力電流との関係 (ソース)

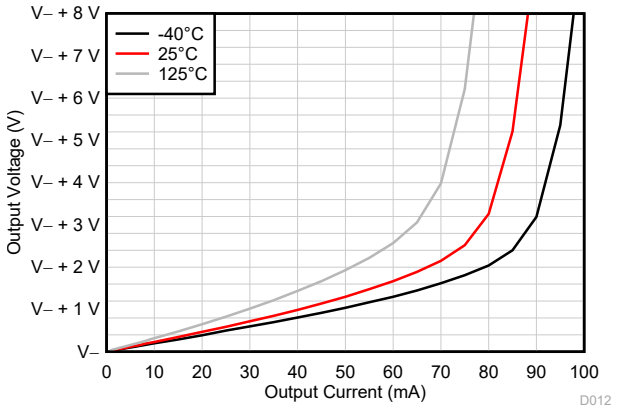


図 6-15. 出力電圧スイングと出力電流との関係 (シンク)

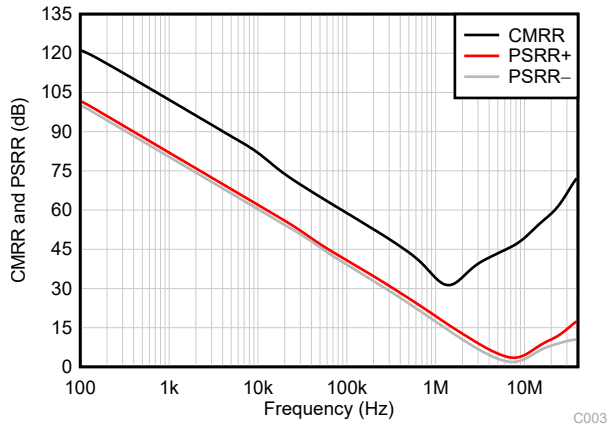
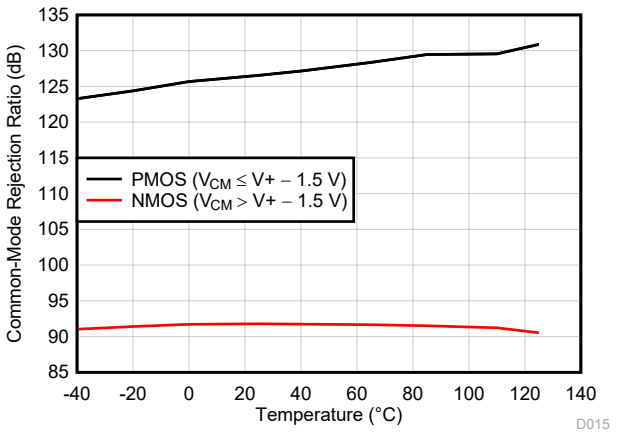
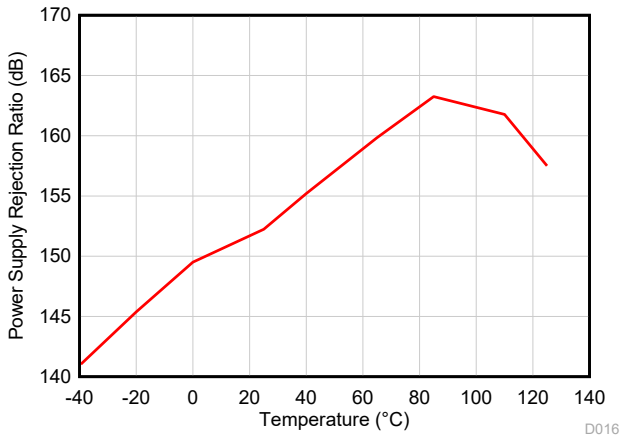


図 6-16. CMRR および PSRR と周波数との関係



f = 0Hz

図 6-17. CMRR と温度との関係 (dB)



f = 0Hz

図 6-18. PSRR と温度との関係 (dB)

Copyright © 2023 Texas Instruments Incorporated

6.8 標準的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)

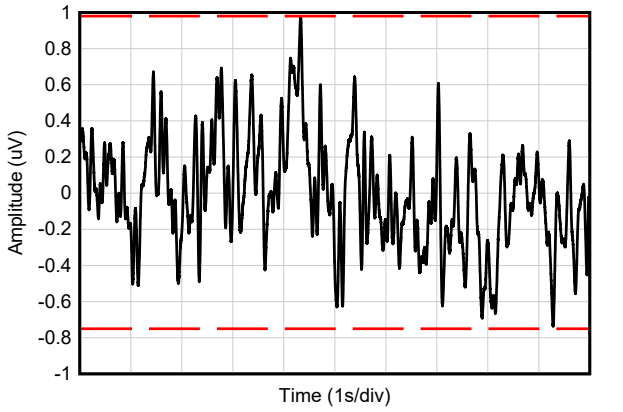


図 6-19. 0.1Hz～10Hz のノイズ

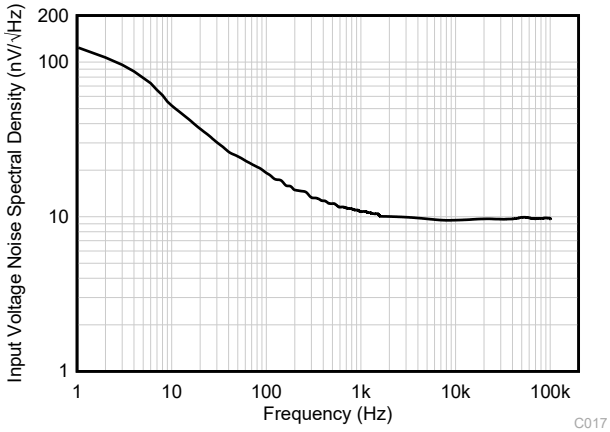
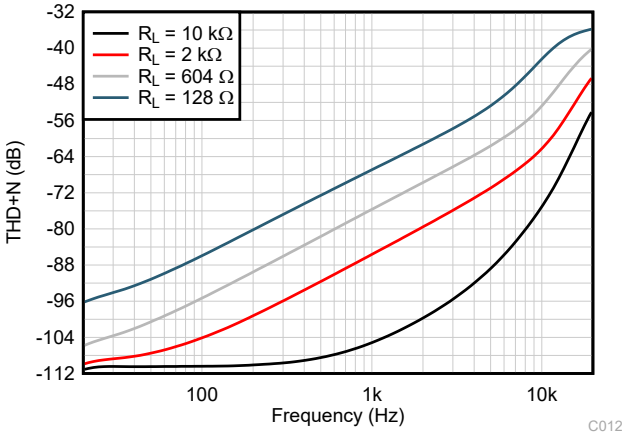
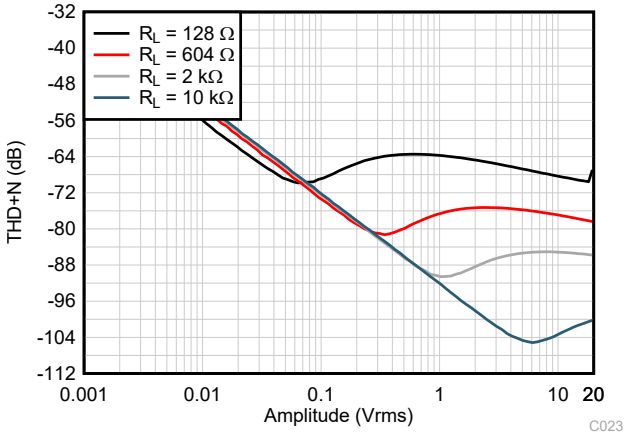


図 6-20. 入力電圧ノイズのスペクトル密度と周波数との関係



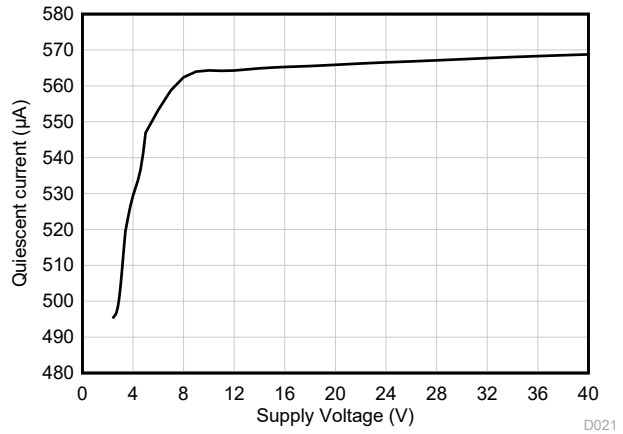
BW = 80kHz、V_{OUT} = 1V_{RMS}

図 6-21. THD+N 比と周波数との関係



BW = 80kHz、f = 1kHz

図 6-22. THD+N と出力振幅との関係



V_{CM} = V-

図 6-23. 静止電流と電源電圧との関係

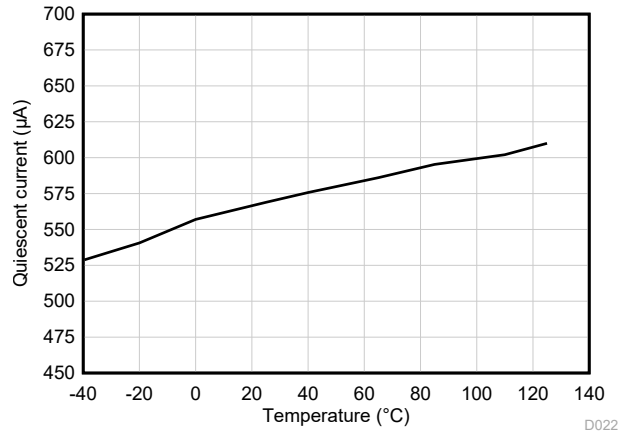


図 6-24. 静止電流と温度との関係

Copyright © 2023 Texas Instruments Incorporated

6.8 標準的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)

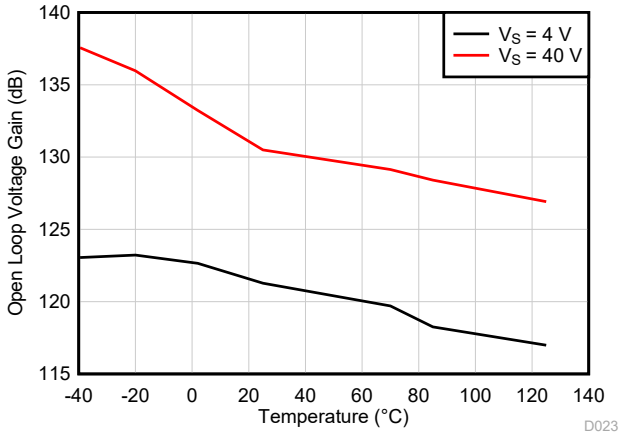


図 6-25. 開ループ電圧ゲインと温度との関係 (dB)

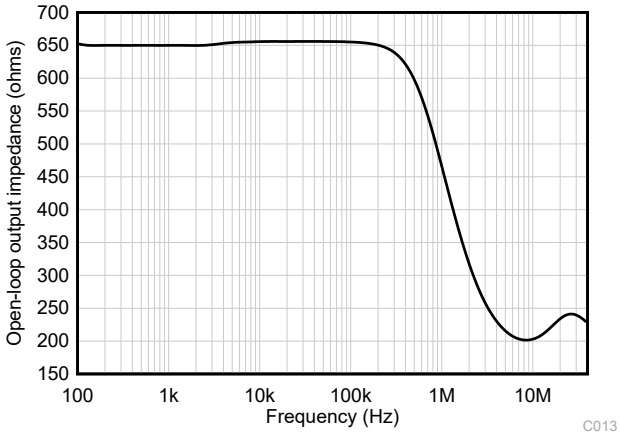
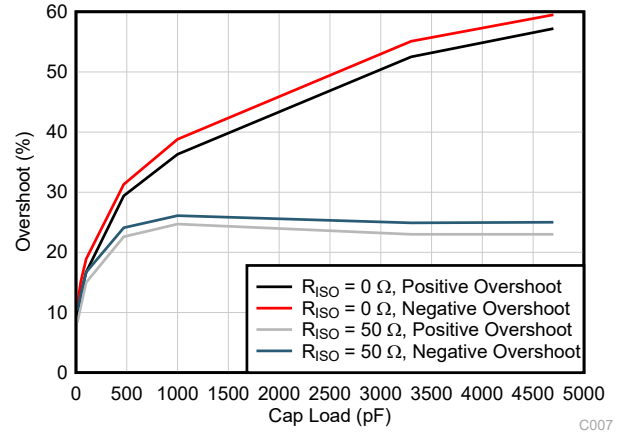
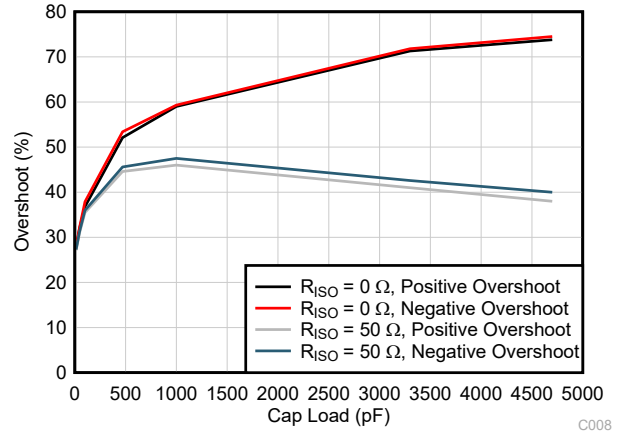


図 6-26. 開ループの出力インピーダンスと周波数との関係



G = -1、出力ステップ 10mV

図 6-27. 小信号オーバーシュートと容量性負荷との関係



G = 1、10mV の出力ステップ

図 6-28. 小信号オーバーシュートと容量性負荷との関係

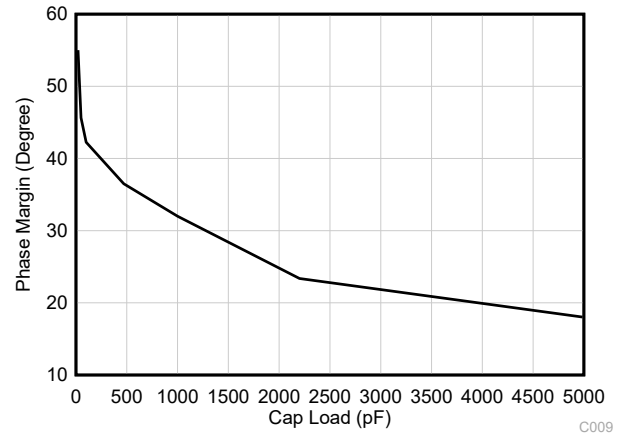
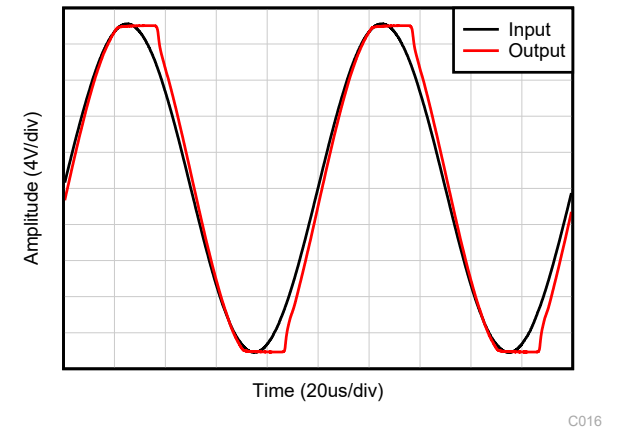


図 6-29. 位相マージンと容量性負荷との関係



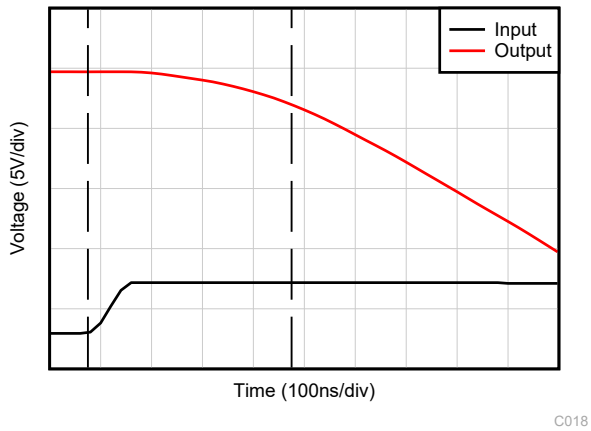
V_{IN} = ±20V、V_S = V_{OUT} = ±17V

図 6-30. 位相反転なし

Copyright © 2023 Texas Instruments Incorporated

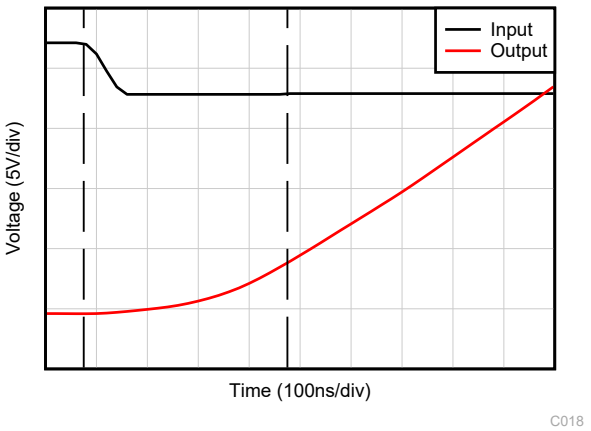
6.8 標準的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



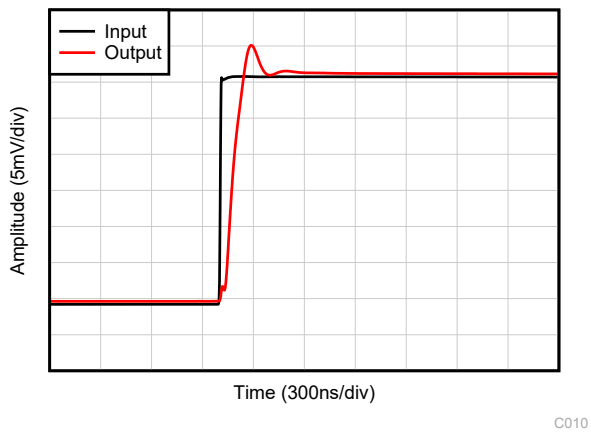
G = -10

図 6-31. 正の過負荷からの回復



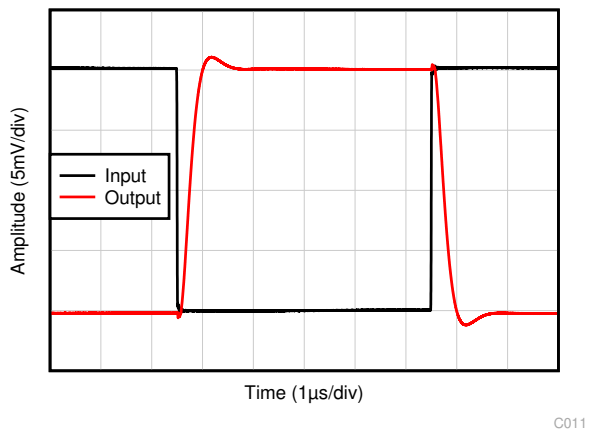
G = -10

図 6-32. 負の過負荷からの回復



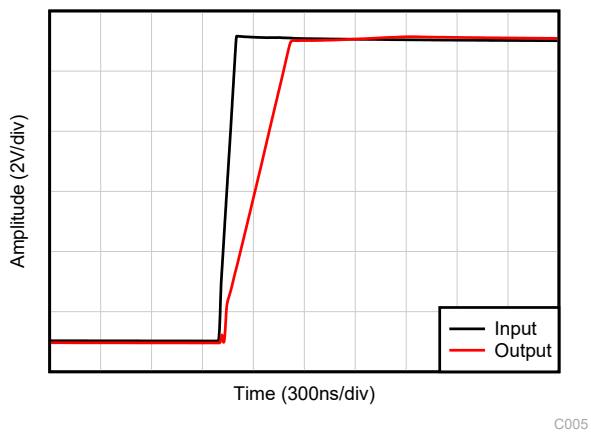
C_L = 20pF、G = 1、20mV ステップ応答

図 6-33. 小信号ステップ応答、立ち上がり



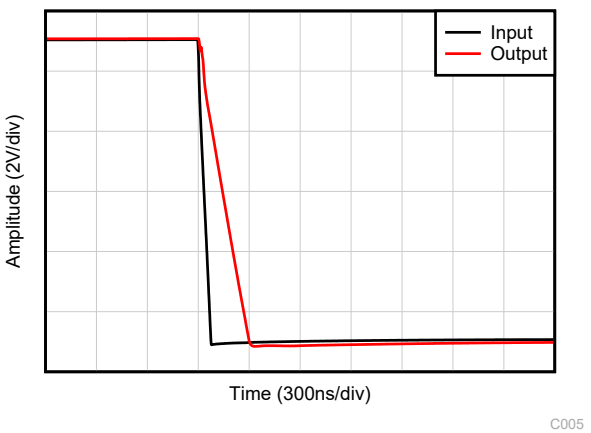
C_L = 20pF、G = 1、20mV ステップ応答

図 6-34. 小信号ステップ応答、立ち下がり



C_L = 20pF、G = 1

図 6-35. 大信号ステップ応答、立ち上がり



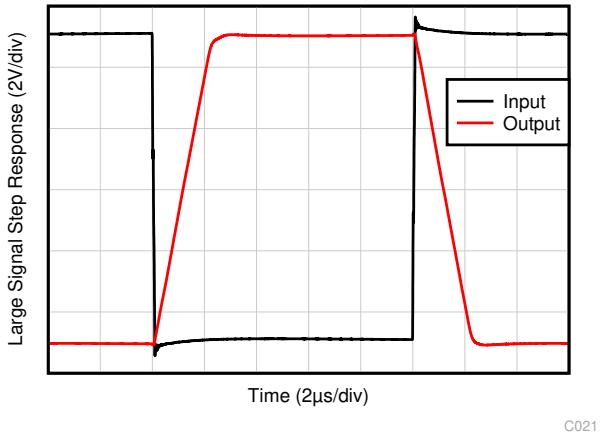
C_L = 20pF、G = 1

図 6-36. 大信号ステップ応答、立ち下がり

Copyright © 2023 Texas Instruments Incorporated

6.8 標準的特性 (continued)

T_A = 25℃、V_S = ±20V、V_{CM} = V_S / 2、R_{LOAD} = 10kΩ を V_S / 2 に接続、C_L = 10pF の場合 (特に記述のない限り)



C_L = 20pF、G = -1

図 6-37. 大信号ステップ応答

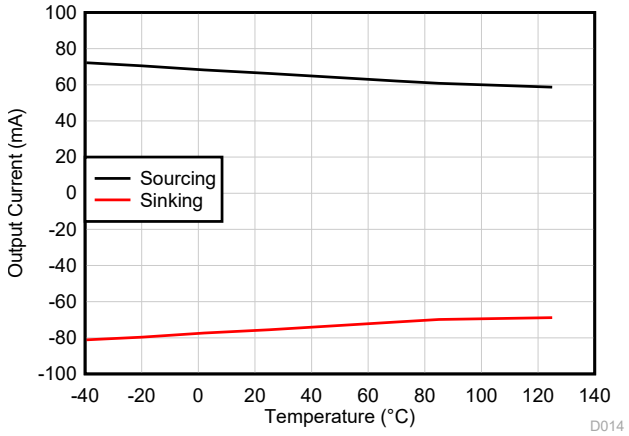


図 6-38. 短絡電流と温度との関係

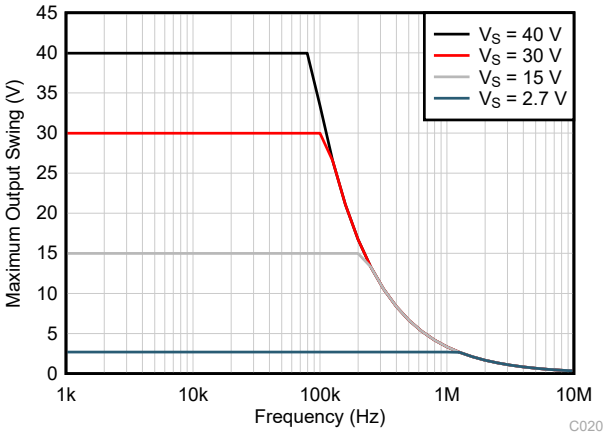


図 6-39. 最大出力電圧と周波数との関係

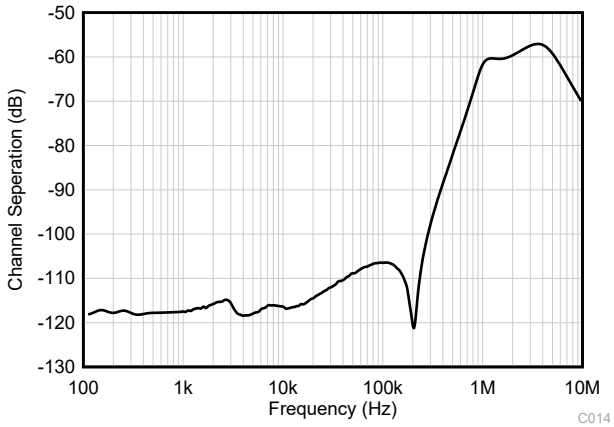


図 6-40. チャネル・セパレーションと周波数との関係

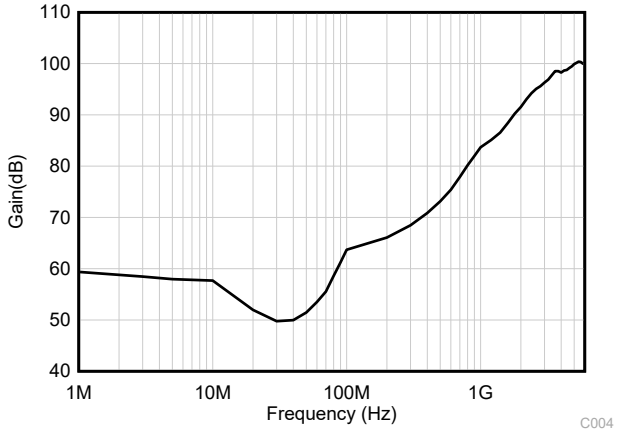


図 6-41. EMIRR (電磁干渉除去比) と周波数との関係

Copyright © 2023 Texas Instruments Incorporated

7 詳細説明

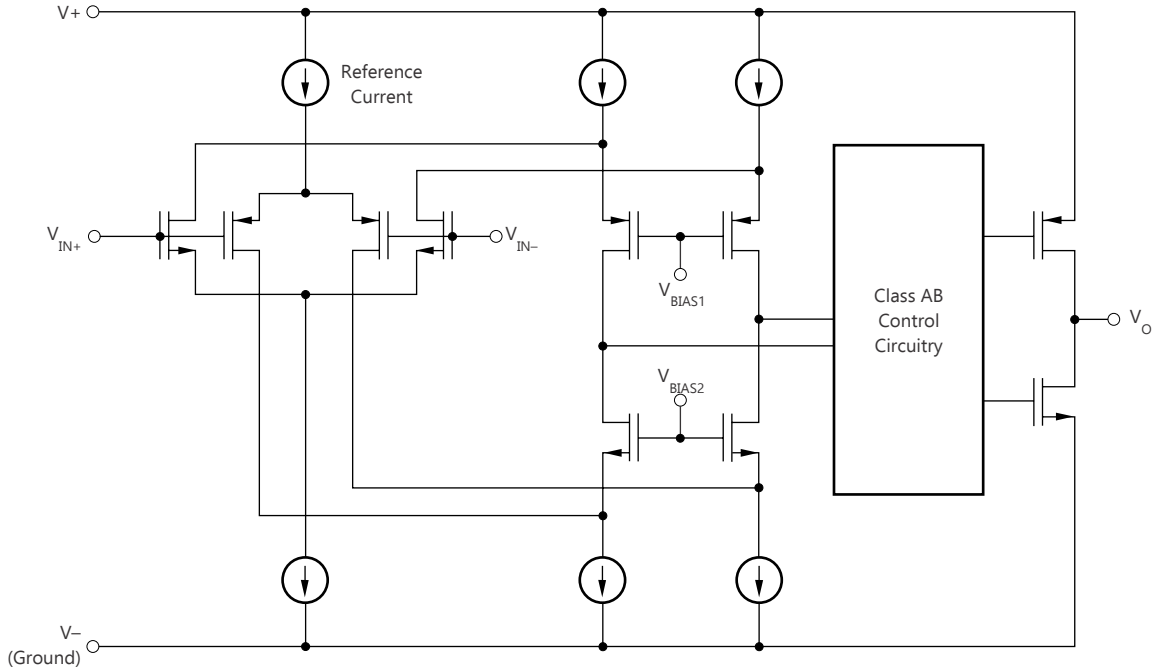
7.1 概要

TLV935x ファミリ (TLV9351、TLV9352、TLV9354) は、コスト最適化された 40V オペアンプ・ファミリです。これらのデバイスは、レール・ツー・レール出力、低いオフセット (標準値 ±350μV)、低いオフセット・ドリフト係数 (標準値 ±1.5μV/℃)、3.5MHz の帯域幅といった優れた汎用 DC および AC 仕様を備えています。

広い差動入力電圧範囲、大きな出力電流 (±60mA)、高いスルーレート (20V/μs) などの便利な特長から、TLV935x は高電圧でコストの制約が厳しいアプリケーションに適した堅牢なオペアンプです。

TLV935x ファミリのオペアンプは、標準パッケージで供給され、–40℃～125℃で動作が規定されています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 入力保護回路

TLV935x は、特許取得済みの入力アーキテクチャを使用して入力保護ダイオードを不要にするとともに、過渡条件下でも堅牢な入力保護を行います。高速過渡ステップ応答によってアクティブになる従来型の入力ダイオード保護方式を、図 7-1 に示します。この方法では図 7-2 に示すように、代替電流パスのため信号歪みとセトリング・タイムの遅延が発生します。低ゲイン回路の場合、これらの高速ランプ入力信号は順バイアスのバック・ツー・バック・ダイオードになり、入力電流が増加し、セトリング・タイムが長くなります。

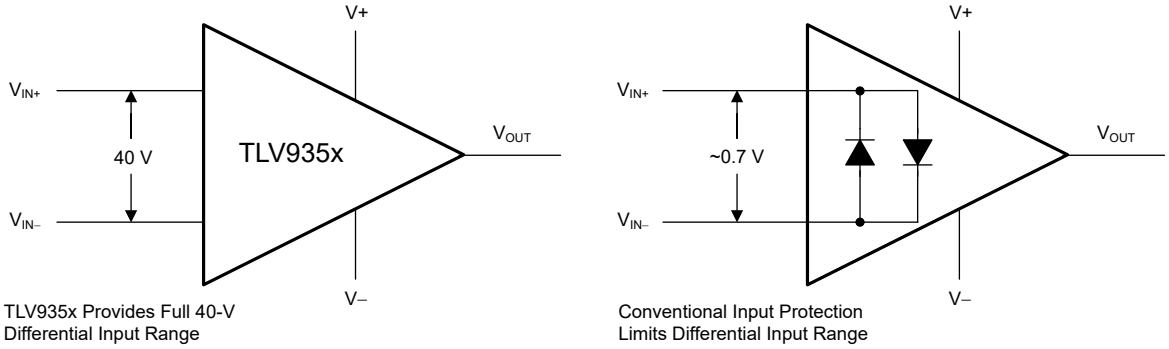


図 7-1. TLV935x の入力保護機能は、差動入力能力を制限しない

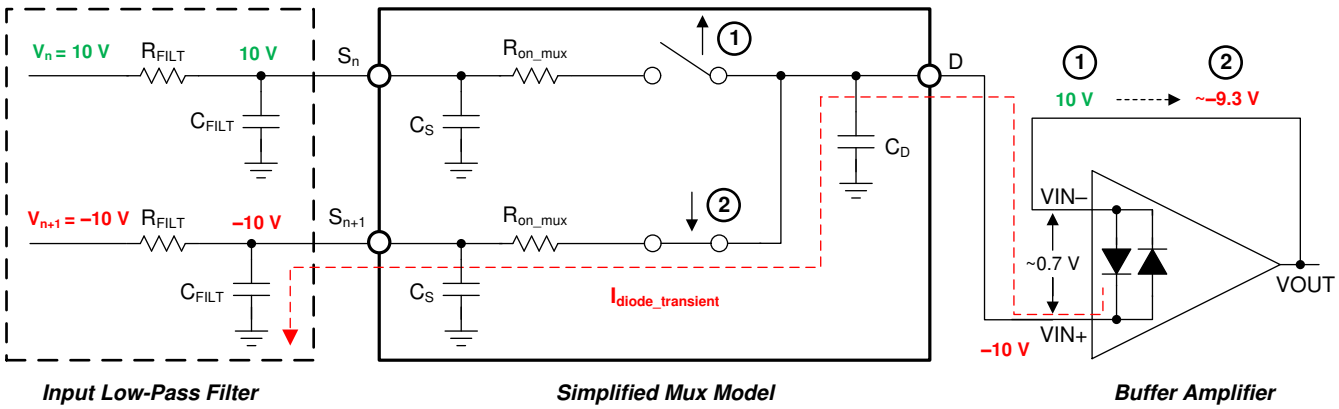


図 7-2. バック・ツー・バック・ダイオードではセトリングの問題が発生する

TLV935x ファミリのオペアンプには、高電圧アプリケーション用に真の高インピーダンス差動入力機能があります。この特許取得済みの入力保護アーキテクチャは、信号歪みの増加もセトリング時間の遅延も引き起こさないため、本デバイスはマルチチャネル高速スイッチ入力アプリケーションに最適なオペアンプです。TLV935x は最大 40V の差動スイング (オペアンプの反転ピンと非反転ピンとの間の電圧) を許容できるため、コンパレータに、または高速ランプ入力信号を使用するアプリケーションに適しています。

Copyright © 2023 Texas Instruments Incorporated

7.3.2 EMI 除去

TLV935x は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品が混在する高密度実装の基板などのソースによる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、TLV935x はこのような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。TLV935x でこのテストを行った結果を、図 7-3 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における TLV935x の EMIRR IN+ 値を、表 7-1 に示します。表示されている特定の周波数を中心にして、またはその付近で動作できるアプリケーションを、表 7-1 に示します。「オペアンプの EMI 除去率」アプリケーション・レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.tij.co.jp からダウンロードできます。

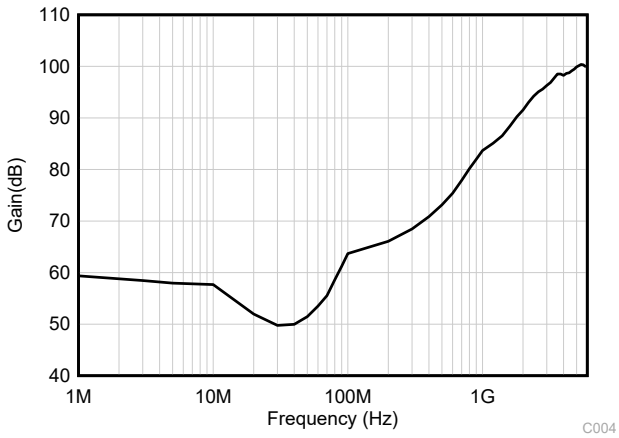


図 7-3. EMIRR テスト

表 7-1. 対象周波数における TLV935x の EMIRR IN+

周波数	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	71dB
900MHz	GSM (モバイル通信) アプリケーション向けのグローバル・システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空モバイル、UHF アプリケーション	80dB
1.8GHz	GSM アプリケーション、モバイル・パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	87dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル・パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	90dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	92dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星の運用、C バンド (4GHz～8GHz)	94dB

Copyright © 2023 Texas Instruments Incorporated

7.3.3 位相反転の防止

TLV935x ファミリには、位相反転の保護機能が搭載されています。多くのオペアンプでは、入力がリニア同相範囲を超えて駆動されると、位相反転が発生します。この条件が最も多く発生するのは非反転回路で、入力が指定された同相電圧範囲を超えて駆動されると、出力は逆のレールに反転します。TLV935x はレール・ツー・レール入力のオペアンプなので、同相範囲はレールまで拡張できます。入力信号がレールを超えても位相反転は起きません。代わりに、出力は適切なレールに制限されます。

7.3.4 過熱保護動作

あらゆるアンプは、内部消費電力によって内部 (接合部) の温度が上昇します。この現象を「自己発熱」と呼びます。TLV935x の絶対最大接合部温度は 150℃です。この温度を超えると、デバイスが損傷します。TLV935x には過熱保護機能があり、自己発熱による損傷を低減できます。この保護機能はデバイスの温度を監視し、温度が 140℃を超えるとオペアンプの出力ドライブをオフにします。TLV9351 の消費電力 (0.81W) のために自己発熱が大きくなる (159℃) アプリケーションの例を、図 7-4 に示します。熱に関する計算から、周囲温度が 65℃の場合、デバイスの接合部温度は 187℃に達することが示されます。しかし、実際のデバイスでは出力ドライブがオフになるので、接合部の温度は安全域で維持されます。過熱保護時の回路の動作を、図 7-4 に示します。通常の動作では、デバイスはバッファとして動作し、出力は 3V になります。自己発熱によりデバイスの接合部温度が 140℃を超えた場合、過熱保護機能によって出力が強制的に高インピーダンス状態になり、出力は抵抗 RL によってグランドにプルされます。

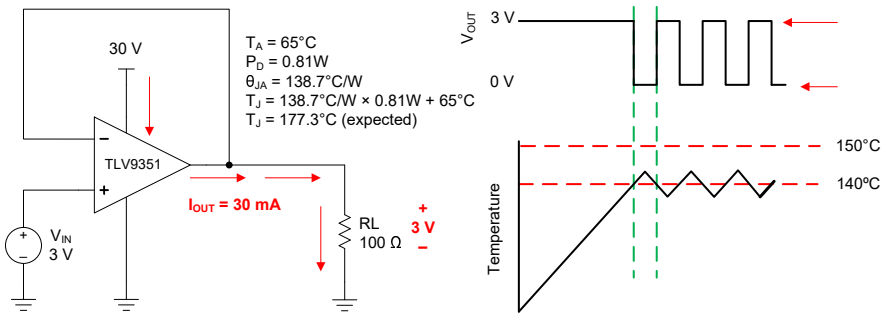


図 7-4. 過熱保護動作

Copyright © 2023 Texas Instruments Incorporated

7.3.5 容量性負荷および安定度

TLV935x は抵抗性の出力段を採用しており、小さな容量性負荷を駆動できます。また、絶縁抵抗を活用することで、大きな容量性負荷を駆動するように簡単に構成できます。ゲインを大きくするとアンプの能力が拡張され、より大きな抵抗性負荷を駆動できるようになります。図 7-5 および図 7-6 を参照してください。アンプが動作時に安定するかどうか判断するには、オペアンプの回路構成、レイアウト、ゲイン、出力負荷など、いくつかの要因を考慮します。

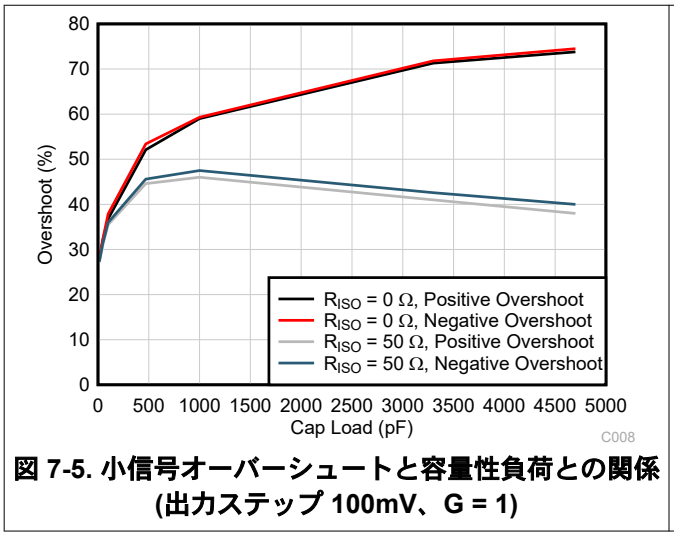


図 7-5. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV、G = 1)

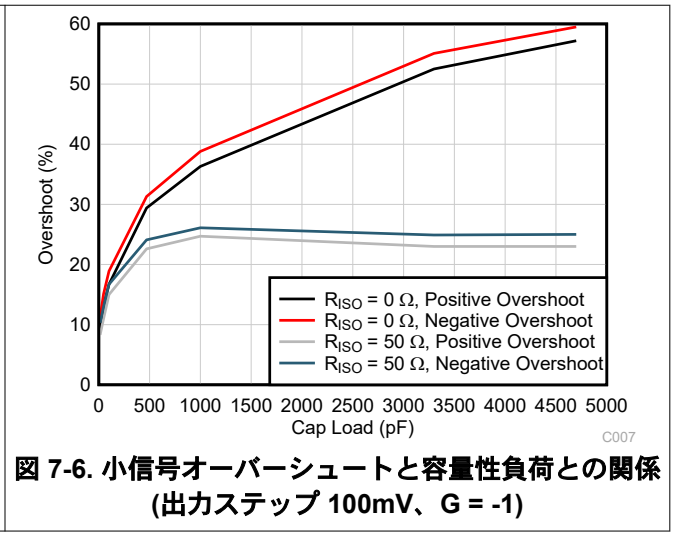


図 7-6. 小信号オーバーシュートと容量性負荷との関係 (出力ステップ 100mV、G = -1)

ユニティ・ゲイン構成で駆動能力を高めるため、図 7-7 に示すように、小さな (10Ω から 20Ω) 抵抗 R_{ISO} を出力と直列に挿入し、容量性負荷の駆動能力を増やします。この抵抗は、リンギングを大幅に低減し、純粋な容量性負荷に対して DC 性能を維持します。ただし、容量性負荷と抵抗性負荷が並列に接続されている場合、分圧回路が生まれるため、出力にゲイン誤差が生じ、出力スイングがわずかに減少します。発生する誤差は R_{ISO} / R_L の比に比例し、一般に低い出力レベルでは無視できます。TLV935x は容量性負荷の駆動能力が大きいため、リファレンス・バッファ、MOSFET ゲート・ドライブ、ケーブル・シールド・ドライブなどのアプリケーションに最適です。図 7-7 に示す回路は、絶縁抵抗 R_{ISO} を使用してオペアンプの出力を安定させます。R_{ISO} は、システムの開ループ・ゲインを変更して位相マージンを増やします。この回路を使用して最適化と設計を行う技法の詳細については、TI Precision Design TIDU032 で、設計目標、シミュレーション、テスト結果の完全な詳細を参照してください。

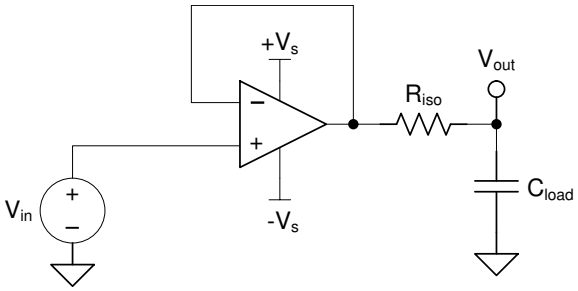


図 7-7. TLV9351 により容量性負荷の駆動能力を拡張

7.3.6 同相電圧範囲

TLV935x は 40V のレール・ツー・レール出力オペアンプで、通常の動作で入力同相範囲が V- を 100mV 超え、V+ からは 2V 以内まで延長されています。このデバイスは、P チャネル差動ペアを使用して、相補入力段によりこの性能を実現します。さらに、P チャネル・ペアと並列に相補的な N チャネル差動ペアが組み込まれているため、位相反転など、オペアンプに一般的な望ましくない動作が除去されます。

TLV935x は、トップ・レールを 100mV 超える同相範囲で動作しますが、(V+) - 2V を超えると性能が低下します。N チャネル・ペアは正のレールに近い入力電圧、通常は (V+) - 1V から、正の電源を 100mV 上回る電圧まででアクティブになります。P チャネル・ペアは、負の電源電圧より 100mV 下から、ほぼ (V+) - 2V までの入力でアクティブになります。小さな遷移領域、通常は (V+) - 2V から (V+) - 1V において、両方の入力ペアがオンになります。この遷移領域は、プロセスの変動に応じて多少変化する可能性があり、遷移領域と N チャネル領域では、PSRR、CMRR、オフセット電圧、オフセット・ドリフト、ノイズと THD 性能など、オペアンプの多くの仕様が、P チャネル領域での動作に比べて劣化する場合があります。

表 7-2. 正電源から 2V 以内の同相電圧における標準的な性能

パラメータ	最小値	代表値	最大値	単位
入力同相電圧	(V+) - 2		(V+) + 0.1	V
オフセット電圧		1.5		mV
オフセット電圧ドリフト		2		µV/℃
同相除去		75		dB
開ループ・ゲイン		75		dB
ゲイン帯域幅積		1.5		MHz

Copyright © 2023 Texas Instruments Incorporated

7.3.7 電気的オーバーストレス

設計者は多くの場合、オペアンプが電気的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス・イベントとの関連性を十分に理解しておくと役に立ちます。TLV935x に含まれる ESD 回路の図を、図 7-8 に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング・ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

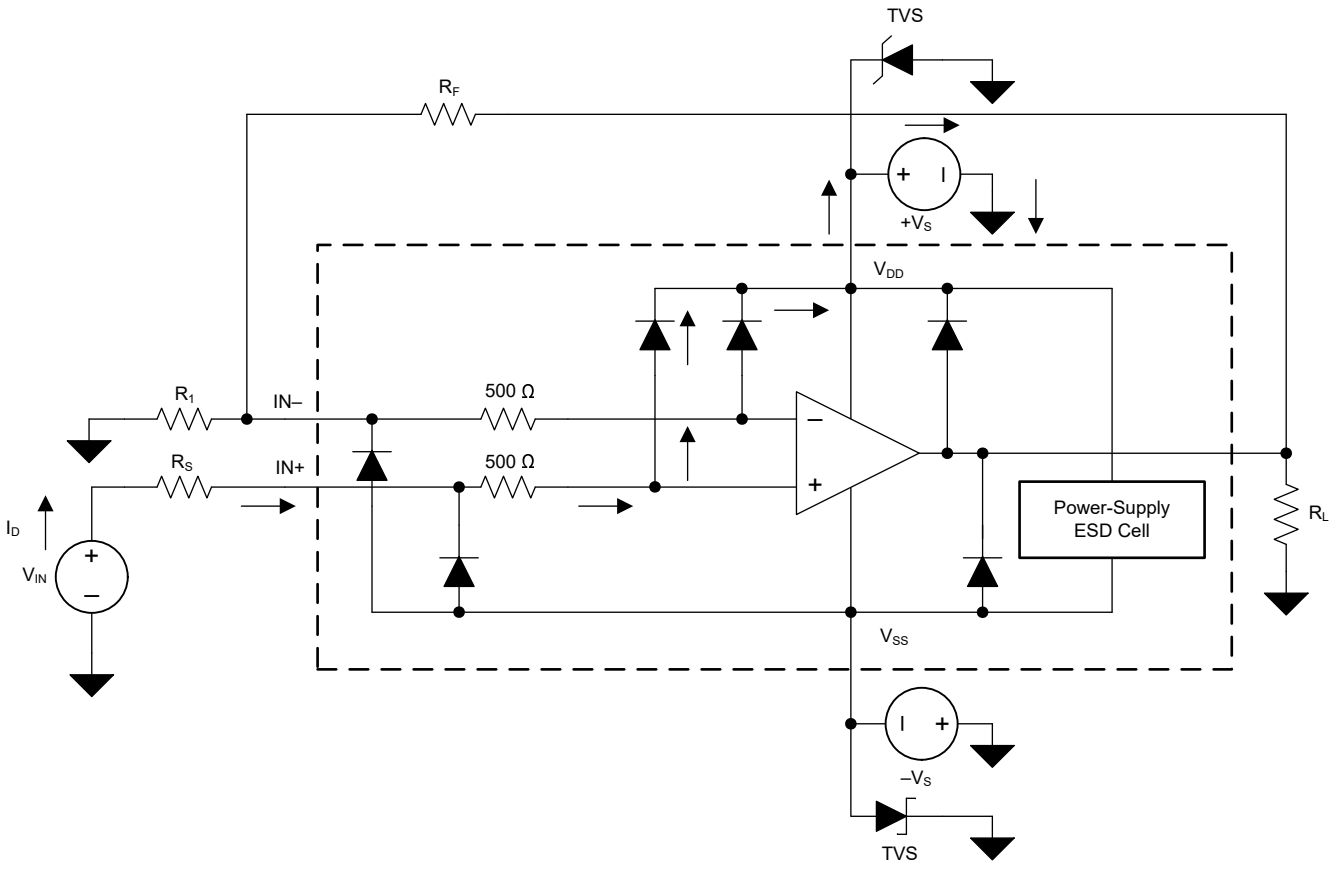


図 7-8. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

ESD イベントは持続時間が非常に短く、電圧が非常に高い (例:1kV、100ns) のに対して、EOS イベントは持続時間が長く、電圧も低くなります (例:50V、100ms)。ESD ダイオードは、回路外の ESD 保護 (つまり、PCB にはんだ付けする前にデバイスの組み立て、テスト、保管を行うとき) を目的として設計されています。ESD イベントの間、ESD 信号は ESD ステアリング・ダイオードを通過して吸収回路 (「ESD 電源回路」とラベル付けされています) に渡されます。ESD 吸収回路は、電源を安全なレベルにクランプします。

この動作は回路外保護のためには必要なものですが、回路内でこの動作をアクティブにすると、過大な電流と損傷が発生します。過渡電圧サプレッサ (TVS) を使用すると、回路内の ESD イベント発生時に ESD 吸収回路がオンになることで生じる損傷を防止できます。適切な電流制限抵抗と、TVS ダイオードを使用すると、デバイスの ESD ダイオードで EOS イベントからの保護を行えます。

Copyright © 2023 Texas Instruments Incorporated

7.3.8 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは線形状態に回復するための時間を必要とします。チャージ・キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLV935x の過負荷復帰時間は約 1µs です。

7.3.9 代表的な仕様と分布

設計者は多くの場合、より堅牢な回路を設計するため、アンプの標準仕様について質問します。プロセス・テクノロジーや製造手順には自然に差異が発生するため、アンプのすべての仕様は、アンプの入力オフセット電圧など、理想的な値からある程度の偏差が生じます。これらの偏差は多くの場合、ガウス分布 (「ベル曲線」) または正規分布に従います。回路設計者は、「電気的特性」表に最小値または最大値の仕様がない場合でも、この情報を活用してシステムの最低限の品質を確保できます。

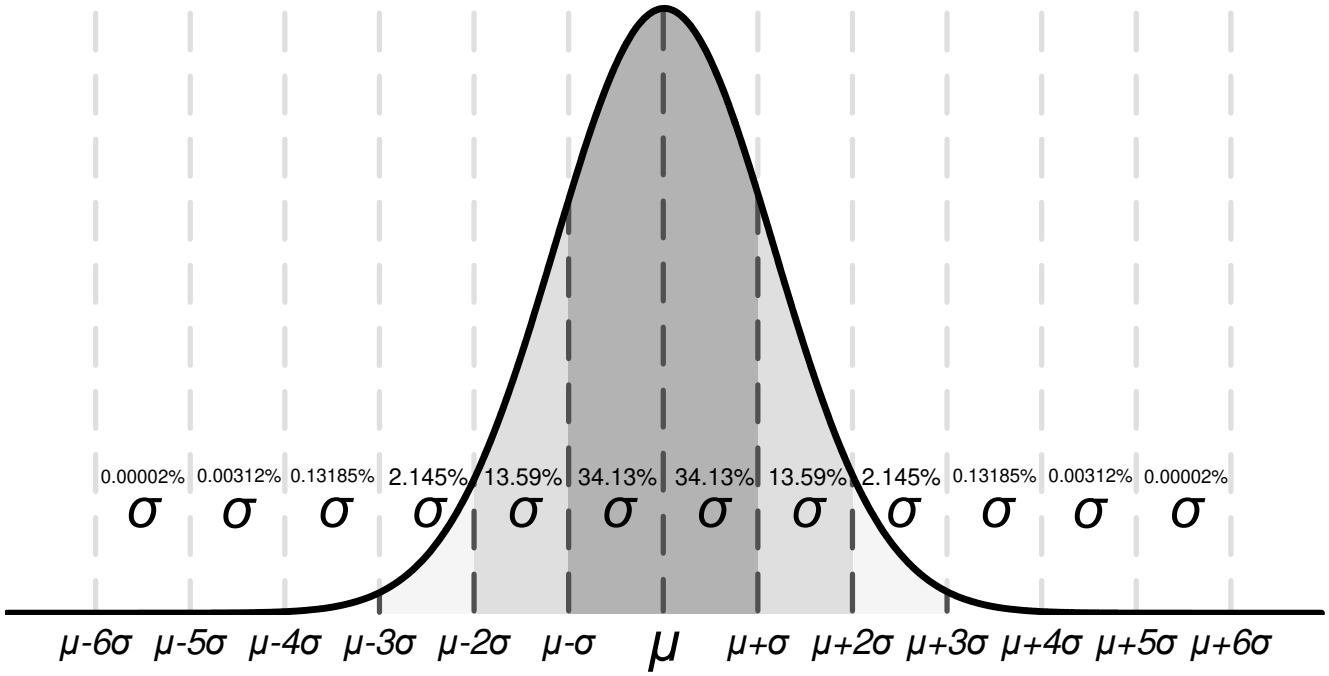


図 7-9. 理想的なガウス分布

分布の例を、図 7-9 に示します。ここで、μ (ミュー) は分布の平均値、σ (シグマ) はシステムの標準偏差です。このような分布を示す仕様では、すべてのユニットのうち約 2/3 (68.26%) の値は、平均値から 1 標準偏差、すなわち 1 シグマ (μ –σ から μ + σ まで) 以内と推定できます。

「電気的特性」表の「標準値」列に記載されている値は、仕様に応じてさまざまな方法で表現されます。一般的な目安として、仕様の性質上平均値が 0 以外の場合 (ゲイン帯域幅など)、標準値は平均値 (μ) と等しくなります。ただし、入力オフセット電圧のように、その性質上仕様の平均値が 0 に近い場合、最も正確に標準値を表すため、標準値は平均値に 1 標準偏差を加えた値 (μ + σ) と等しくなります。

このグラフを使用して、ユニットの仕様のおおよその確率を計算できます。たとえば TLV935x の場合、入力電圧オフセットの標準値は 350µV なので、すべての TLV935x デバイスのうち 68.2% は -350µV～350µV のオフセットを持つと予想されます。4σ (±1400µV) では、分布の 99.9937% のオフセット電圧は ±1400µV 未満です。これは、母集団のうちこの制限値を超えているものは 0.0063%、15,873 ユニットのうち約 1 個ということです。

Copyright © 2023 Texas Instruments Incorporated

仕様の最小値または最大値の列に値が記載されているものは TI によって保証されており、これらの制限値を超えたユニットは生産から除去されます。たとえば、TLV935x ファミリの最大オフセット電圧は 125℃において 1.8mV で、これは約 5σ (約 170 万ユニットのうち 1 つ) に相当し、確率としては非常に低く、テキサス・インスツルメンツはオフセット電圧が 1.8mV を超えるユニットが生産から除去されることを保証しています。

最小値または最大値の列に値が記載されていない仕様については、アプリケーションに十分な余裕のあるシグマ値を選択し、この値を使用してワーストケース条件を設計することを検討してください。たとえば、6σ の値は約 5 億ユニットのうち 1 つです。これは非常に可能性が低く、システムの設計で大きな余裕を持たせるために適切な可能性があります。この場合、TLV935x ファミリにはオフセット電圧ドリフトの最大値または最小値はありませんが、「電気的特性」表の標準値である 1.5µV/℃に基づいて、オフセット電圧ドリフトの 6σ 値は約 9µV/℃と計算できます。ワーストケースのシステム条件を設計する場合、この値を使用すると、実際の最小値または最大値を使用せずに、温度範囲全体で可能性があるワーストケースのオフセットを推定できます。

ただし、時間の経過に伴うプロセスの変動と調整によって、標準偏差と平均値の標準値が変動する可能性があるため、仕様の最小値または最大値の列に値が記載されていないものについて、テキサス・インスツルメンツはデバイスの性能を保証できません。この情報は、デバイスの性能を推定する目的でのみ使用する必要があります。

7.4 デバイスの機能モード

TLV935x には単一機能モードがあり、電源電圧が 4.5V (±2.25V) を上回ると動作します。TLV935x の最大電源電圧は 40V (±20V) です。

Copyright © 2023 Texas Instruments Incorporated

8 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TLV935x ファミリは、DC 精度と DC 性能が優れています。これらのデバイスは、最高 40V の電源レールで動作し、真のレール・ツー・レール出力、低いオフセット電圧とオフセット電圧ドリフトに加えて、3.5MHz の帯域幅と、高い出力駆動を実現しています。TLV935x は、これらの特長を持つ、高電圧のコストの制約が厳しいアプリケーション向けの、堅牢で高性能なオペアンプです。

8.2 代表的なアプリケーション

8.2.1 高電圧高精度コンパレータ

各種のシステムにおいて、堅牢な動作を保証するため、多数のシステム・ノード間にわたって制御された電圧が必要です。コンパレータを使用して、リファレンス・スレッショルド電圧を入力電圧と比較し、入力がこのスレッショルドを超えたときに出力を供給することで、電圧の監視と制御を行うことができます。

TLV935x ファミリのオペアンプは、MUX 対応の入力段により、優れた高電圧コンパレータになります (「入力保護回路」セクションを参照)。前世代の高電圧オペアンプは多くの場合、入力の両端でバック・ツー・バック・ダイオードを使用してオペアンプの損傷を防止しますが、この方法ではオペアンプをコンパレータとして使用する能力が大幅に制限されます。TLV935x の特許取得の入力段では、デバイスが入力間で広い差動電圧を使用できます。

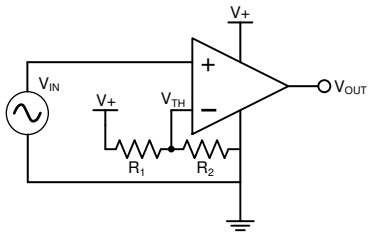


図 8-1. 代表的なコンパレータ・アプリケーション

8.2.1.1 設計要件

主な目的は、40V の高精度コンパレータを設計することです。

- システム電源電圧 (V+):40V
- 抵抗 1 の値:100kΩ
- 抵抗 2 の値:100kΩ
- リファレンス・スレッショルド電圧 (V_{TH}):20V
- 入力電圧範囲 (V_{IN}):0V～40V
- 出力電圧範囲 (V_{OUT}):0V～40V

Copyright © 2023 Texas Instruments Incorporated

8.2.1.2 詳細な設計手順

この非反転コンパレータ回路は、入力電圧 (V_{IN}) をオペアンプの非反転端子に印加します。2 つの抵抗 (R_1 および R_2) は、式 1 に示すように、電源電圧 (V+) を分圧して、中電圧スレッショルド電圧 (V_{TH}) を生成します。この回路を、図 8-1 に示します。V_{IN} が V_{TH} より低い場合、出力電圧は負の電源に遷移し、Low レベルの出力電圧と等しくなります。V_{IN} が V_{TH} を超えると、出力電圧は正の電源に遷移し、High レベルの出力電圧と等しくなります。

この例では、抵抗 1 と 2 を 100kΩ に選択して基準スレッショルドを 20V に設定しています。ただし、式 1 を使用して抵抗 1 と 2 を調整し、スレッショルドを変更することもできます。抵抗 1 と抵抗 2 の値は消費電力を低減するように選択されていますが、これらの値をさらに大きくして消費電力を減らすか、または小さくしてノイズ性能を向上させることができます。

$$V_{TH} = \frac{R_2}{R_1 + R_2} \times V_+ \tag{1}$$

8.2.1.3 アプリケーション曲線

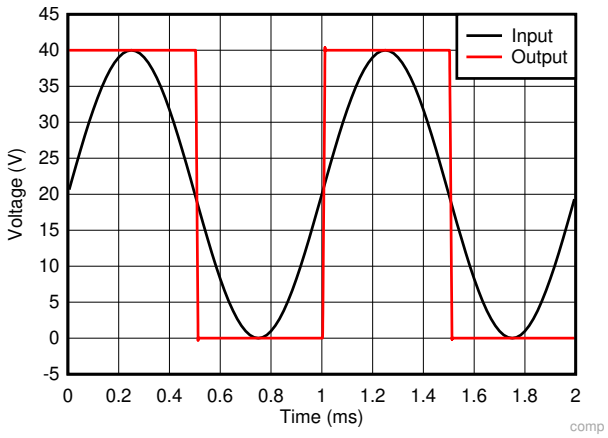


図 8-2. 入力電圧に対するコンパレータ出力の応答

9 電源に関する推奨事項

TLV935x は、4.5V～40V (±2.25V～±20V) で動作が規定されており 、多くの仕様は -40℃～125℃で適用されます

注意

40V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」表を参照してください。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源から混入する誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウト」セクションを参照してください。

10 レイアウト

10.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体の電源ピンとオペアンプ自体を経由して、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス・コンデンサを接続します。
- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立ち、EMI ノイズのピックアップを低減します。グランド電流の流れに注意して、デジタル・グランドとアナログ・グランドが物理的に分離されていることを確認します。
- 寄生カップリングを低減するには、入力配線を電源や出力の配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 10-2 に示すように、RF と RG を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力の配線はできる限り短くします。入力配線は回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの場合、清掃後に 85℃で 30 分間の低音ベーキングを行えば十分です。

Copyright © 2023 Texas Instruments Incorporated

10.2 レイアウト例

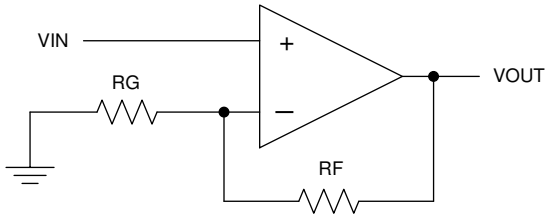


図 10-1. 回路図

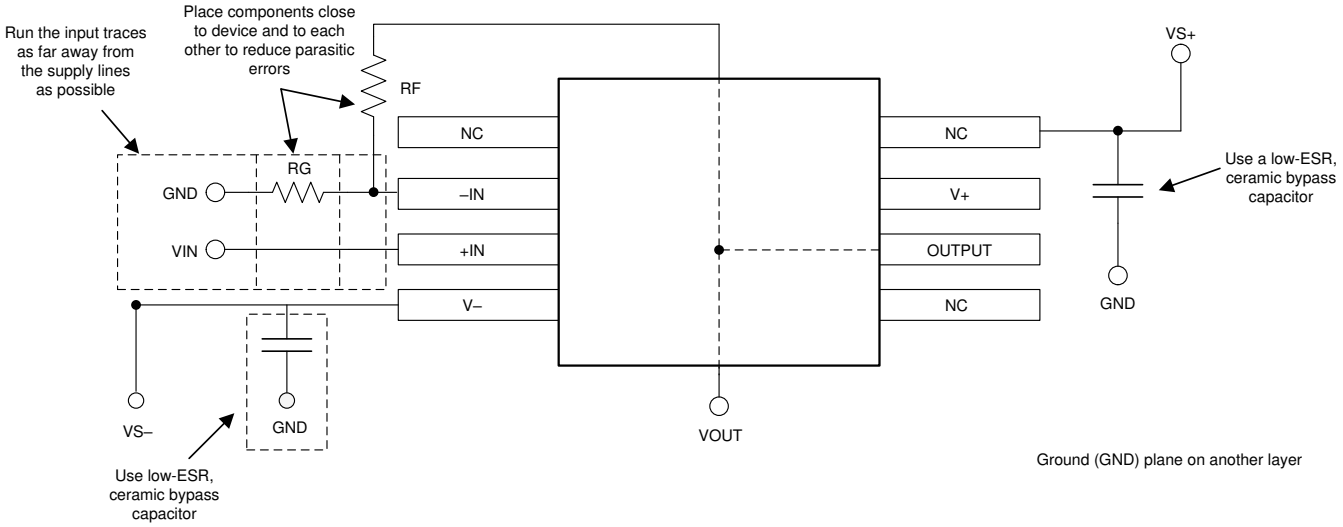


図 10-2. 非反転構成のオペアンプ基板のレイアウト

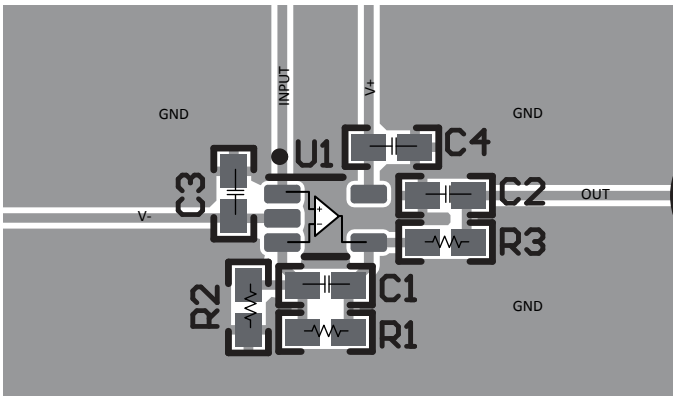


図 10-3. SC70 (DCK) パッケージのレイアウト例

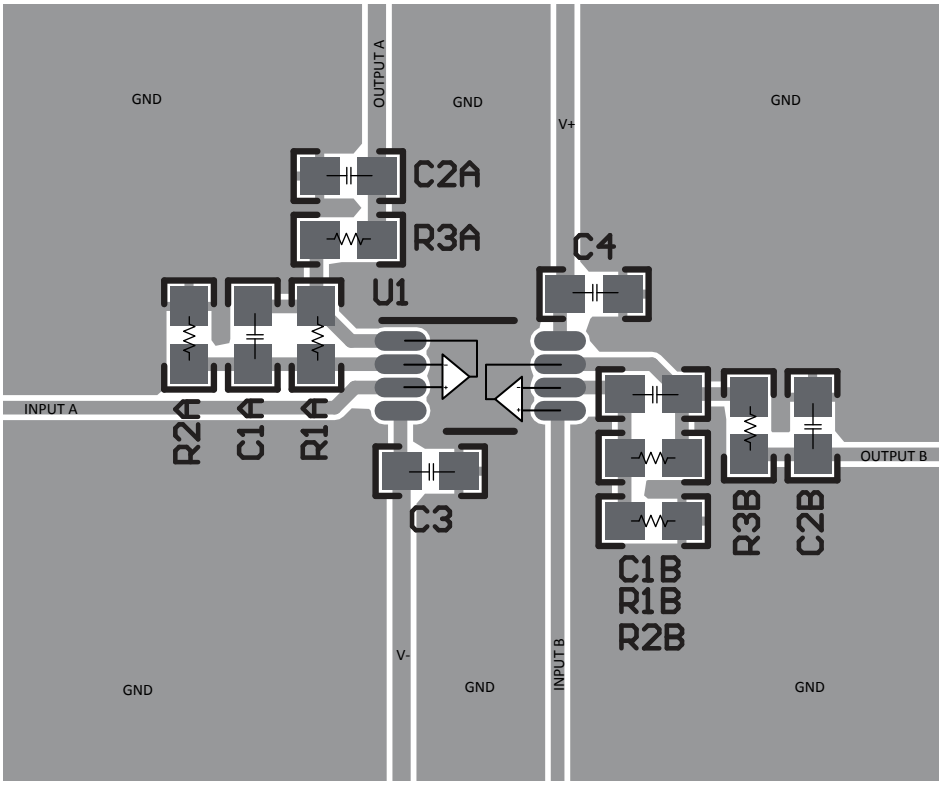


図 10-4. VSSOP-8 (DGK) パッケージのレイアウト例

Copyright © 2023 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 デバイスのサポート

11.1.1 開発サポート

11.1.1.1 TINA-TI™ (無料のダウンロード・ソフトウェア)

TINA™ は、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション・プログラムです。TINA-TI は、TINA ソフトウェアの全ての機能を持つ無償バージョンで、パッシブ・モデルとアクティブ・モデルに加えて、マクロ・モデルのライブラリがプリロードされています。TINA-TI には、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI は Analog eLab Design Center から無料でダウンロードでき、ユーザーが結果をさまざまな方法でフォーマットできる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック・スタート・ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェア (DesignSoft™ から入手できます) または TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI フォルダから、無料の TINA-TI ソフトウェアをダウンロードしてください。

11.1.1.2 TI Precision Designs

TLV935x はいくつかの TI Precision Designs に使用されており、これらは http://www.ti.com/ww/en/analog/precision-designs/ からオンラインで入手できます。TI Precision Designs は、テキサス・インスツルメンツの高精度アナログ・アプリケーションの専門家により作成されたアナログ・ソリューションで、多くの有用な回路に関して、動作理論、コンポーネント選択、シミュレーション、完全な PCB 回路図とレイアウト、部品表、性能測定結果を提供します。

11.2 ドキュメントのサポート

11.2.1 関連資料

テキサス・インスツルメンツ、『アナログ・エンジニア向け回路クックブック：アンプ』

テキサス・インスツルメンツ、『AN-31 アンプ回路コレクション』アプリケーション・ノート

テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション・レポート

テキサス・インスツルメンツ、『絶縁抵抗の使用による容量性負荷駆動のソリューション』リファレンス・デザイン

11.3 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

11.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

11.5 商標

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
TI E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

Copyright © 2023 Texas Instruments Incorporated

すべての商標は、それぞれの所有者に帰属します。

11.6 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.7 Glossary

TI Glossary	This glossary lists and explains terms, acronyms, and definitions.

Copyright © 2023 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV9351IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T93V	Samples
TLV9351IDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	1HE	Samples
TLV9352IDDFR	ACTIVE	SOT-23-THIN	DDF	8	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T935	Samples
TLV9352IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	2DXT	Samples
TLV9352IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9352D	Samples
TLV9352IPWR	ACTIVE	TSSOP	PW	8	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9352P	Samples
TLV9354IDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9354D	Samples
TLV9354IDYYR	ACTIVE	SOT-23-THIN	DYY	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9354I	Samples
TLV9354IPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	(TL9354, TL9354PW)	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9351, TLV9352, TLV9354 :

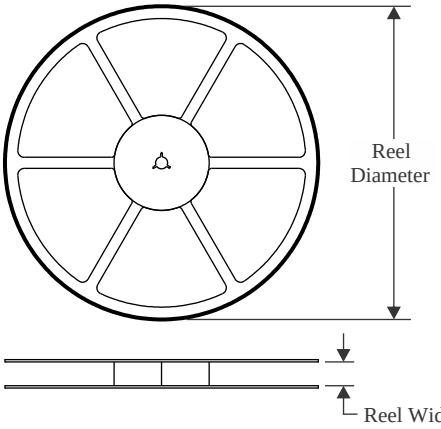
- Automotive : TLV9351-Q1, TLV9352-Q1, TLV9354-Q1

NOTE: Qualified Version Definitions:

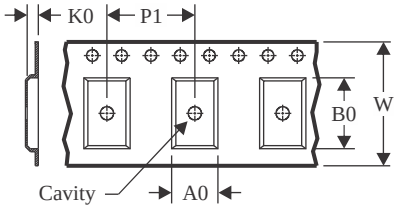
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

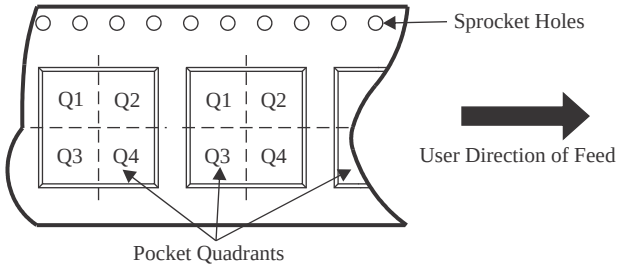


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

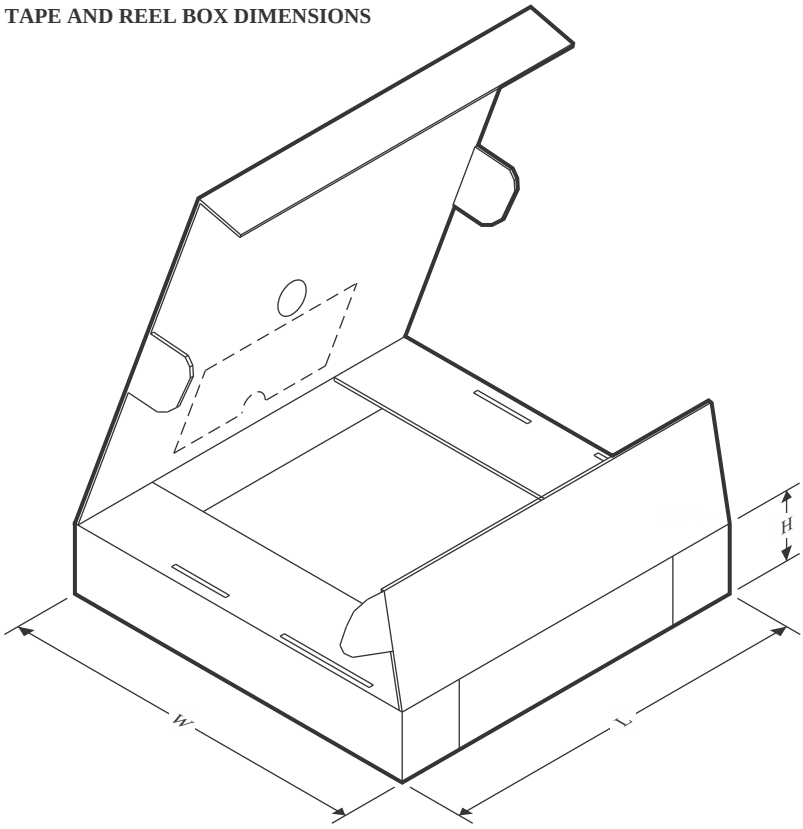
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9351IDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9351IDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9352IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9352IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9352IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9352IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9354IDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9354IDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV9354IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

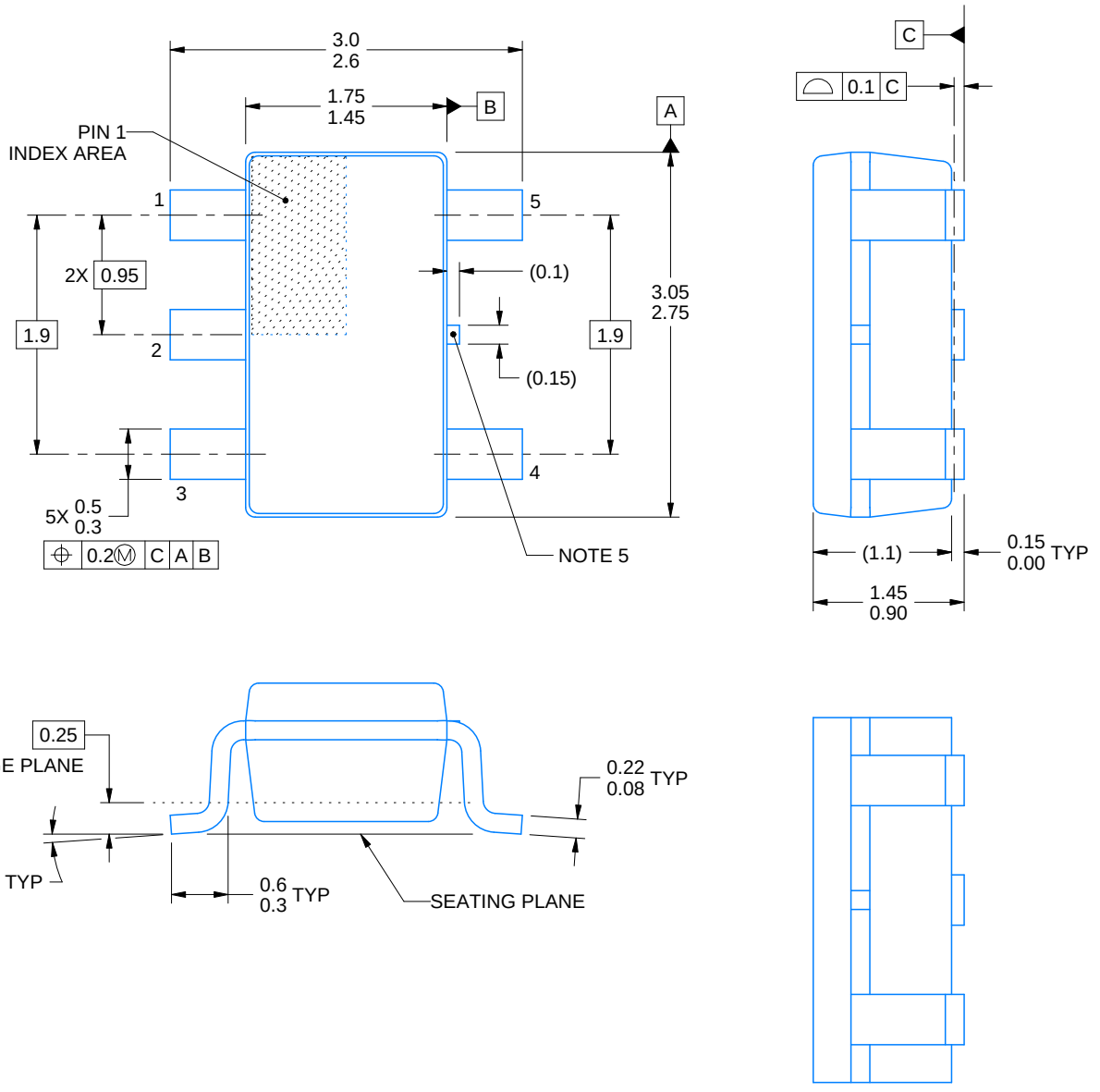
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9351IDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9351IDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
TLV9352IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV9352IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV9352IDR	SOIC	D	8	2500	356.0	356.0	35.0
TLV9352IPWR	TSSOP	PW	8	2000	356.0	356.0	35.0
TLV9354IDR	SOIC	D	14	2500	356.0	356.0	35.0
TLV9354IDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV9354IPWR	TSSOP	PW	14	2000	356.0	356.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

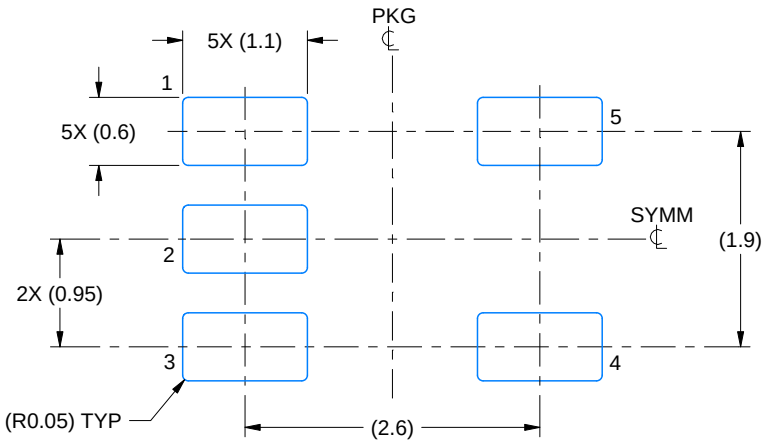


ALTERNATIVE PACKAGE SINGULATION VIEW

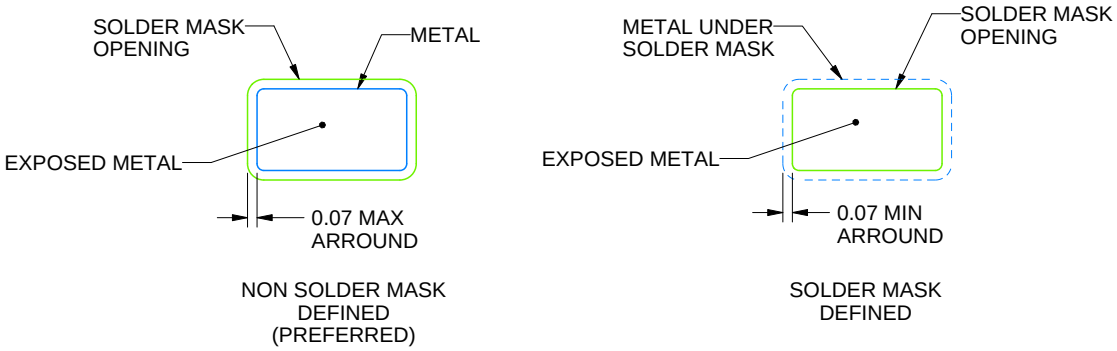
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

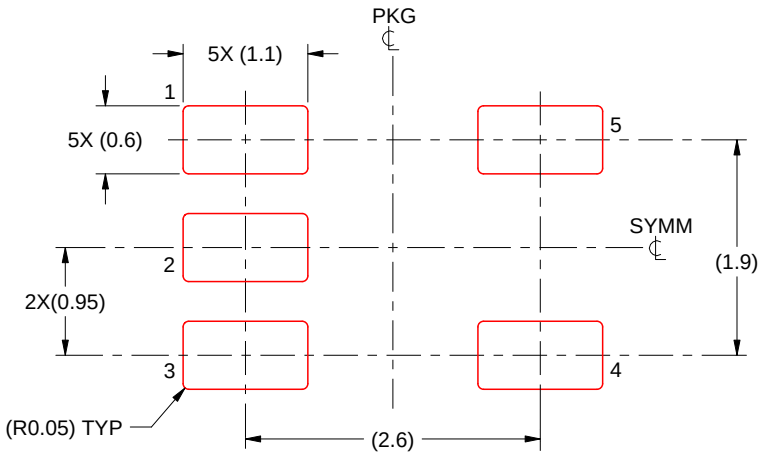


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

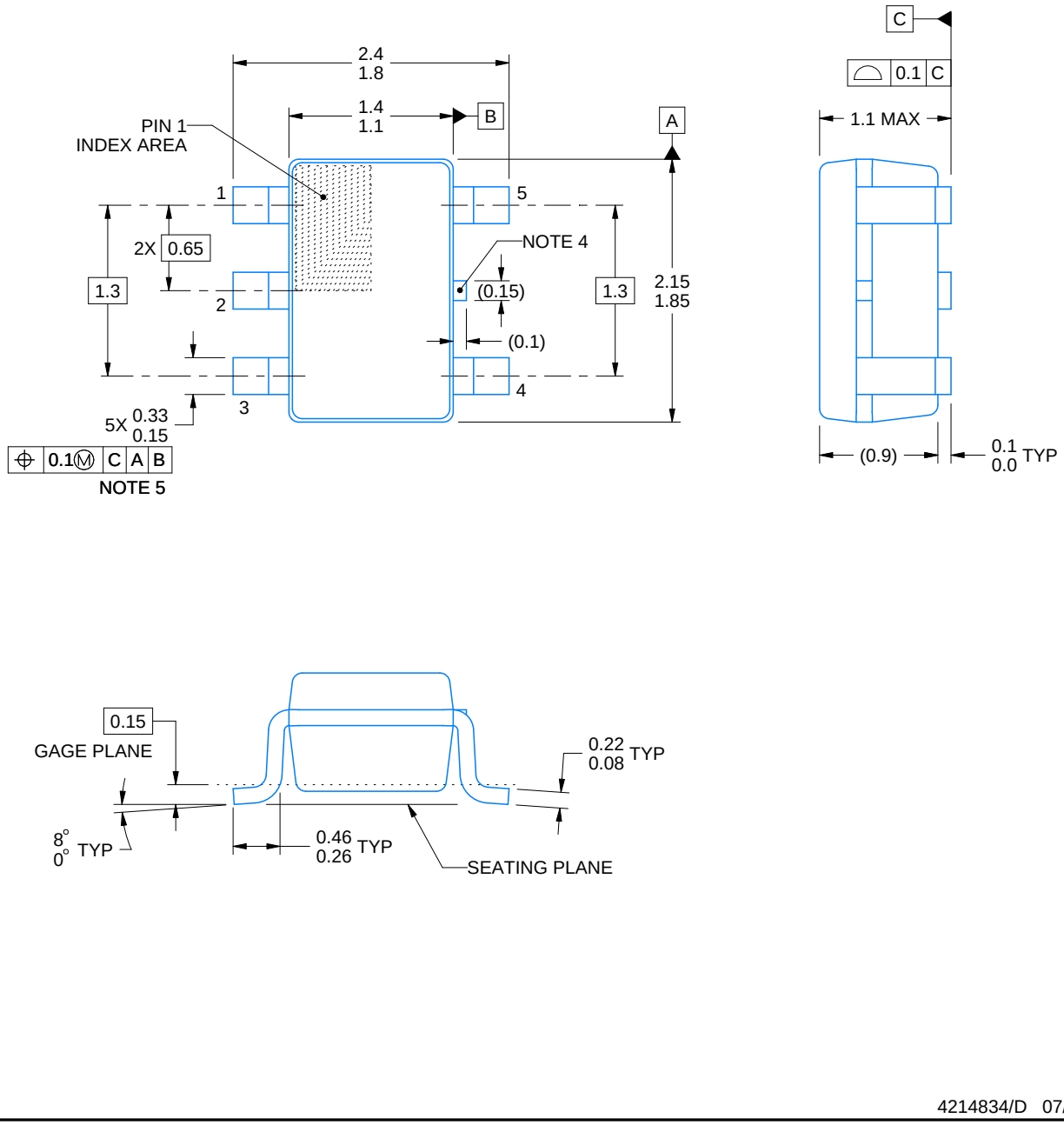
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

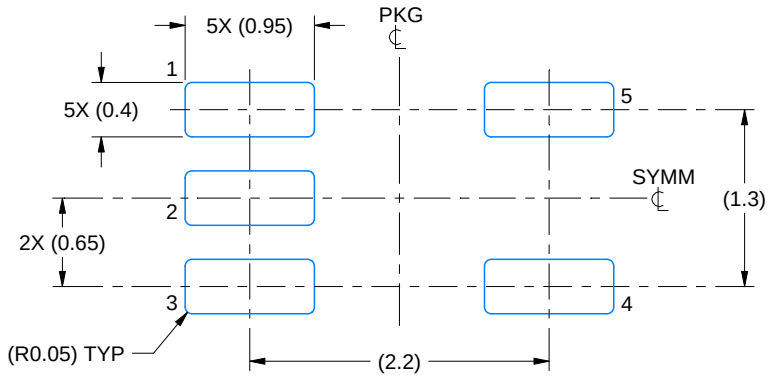
SMALL OUTLINE TRANSISTOR



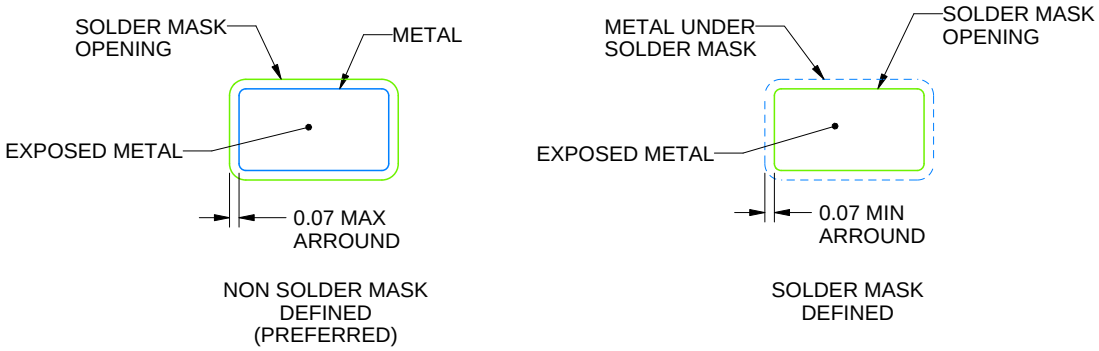
4214834/D 07/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

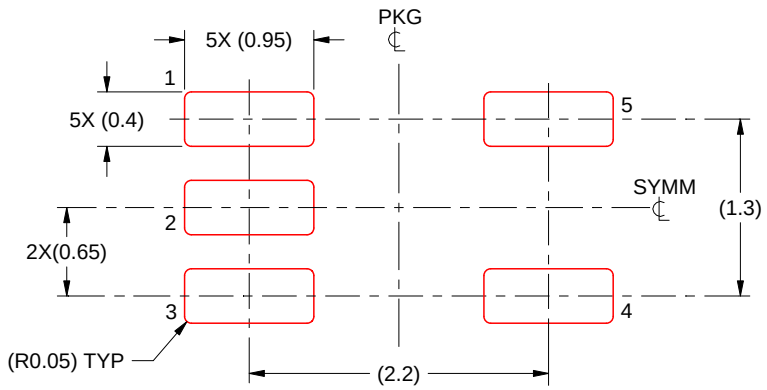


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



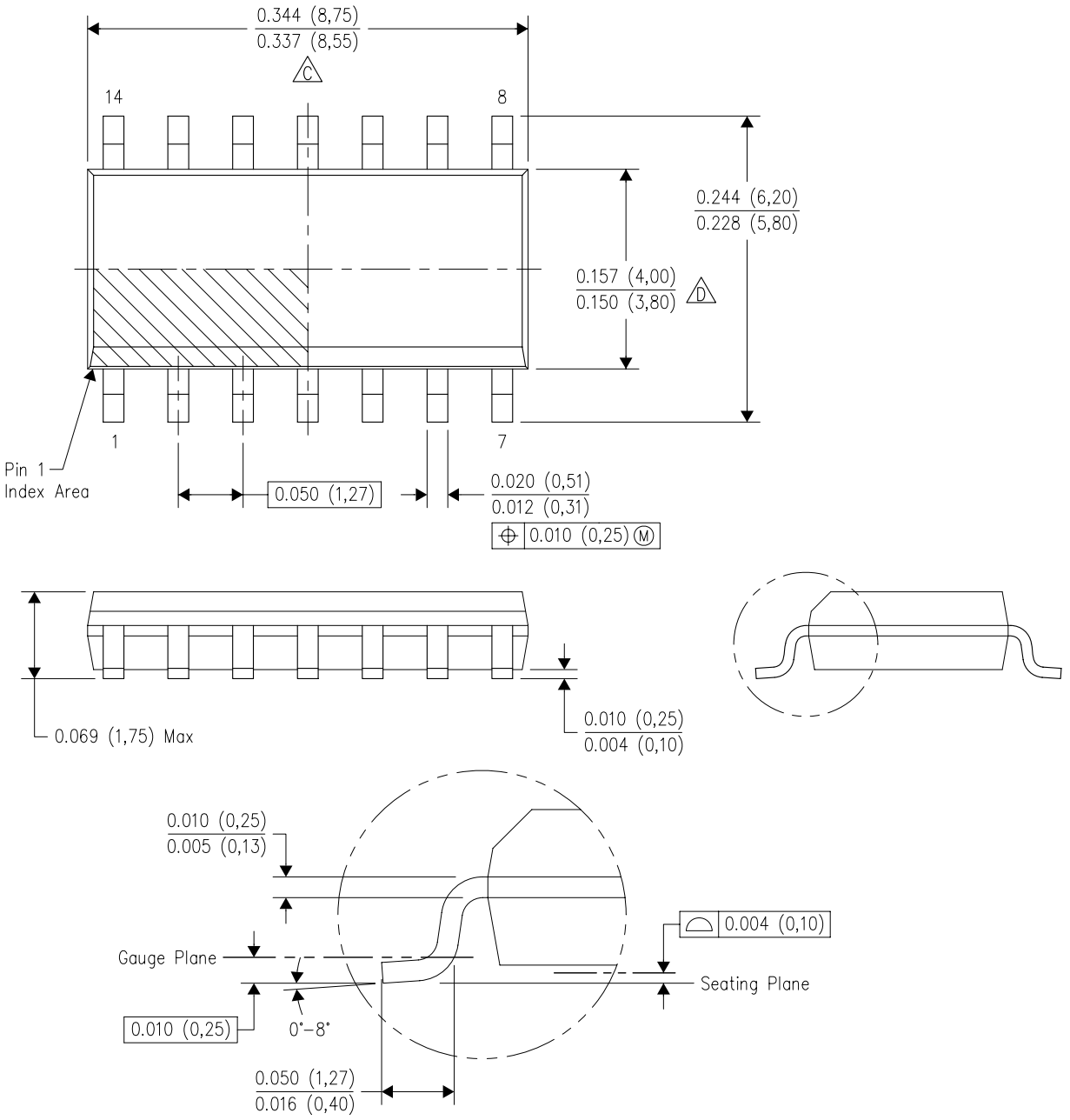
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/D 07/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

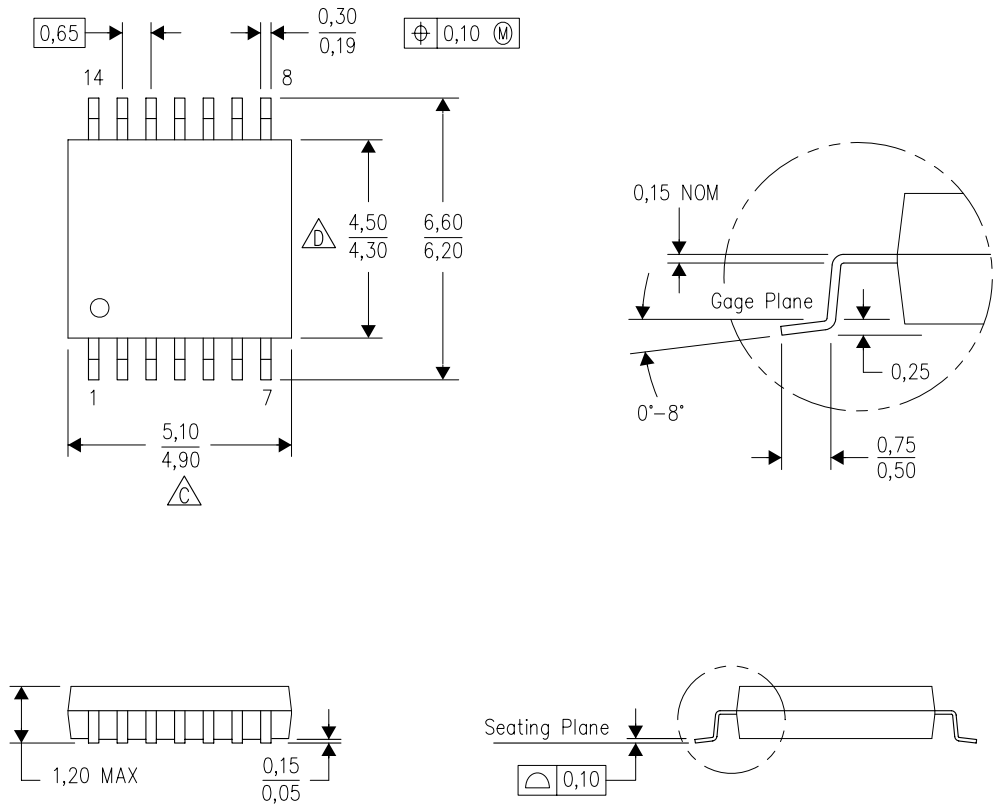
D (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040047–5/M 06/11

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

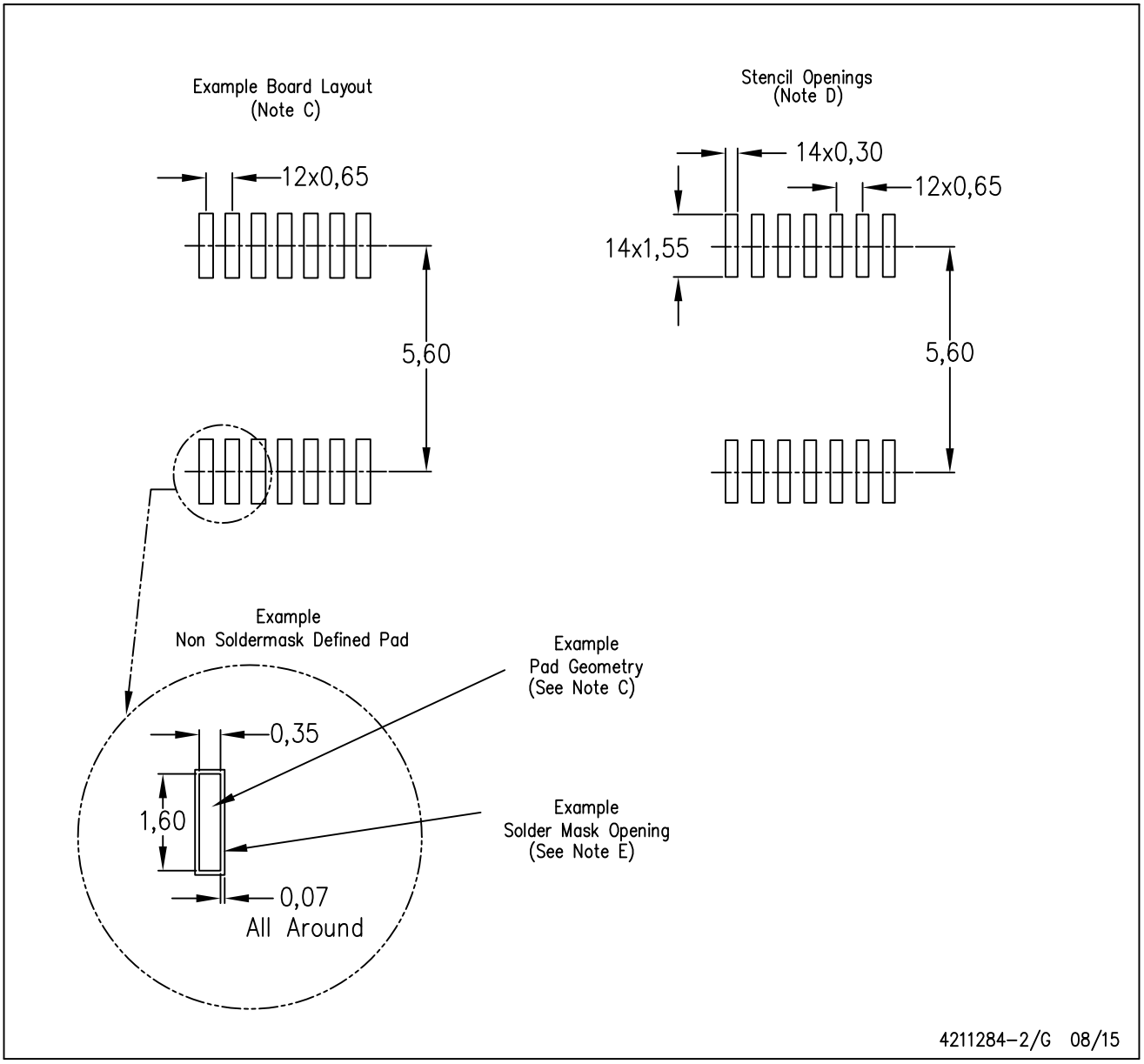
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



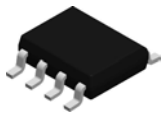
4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

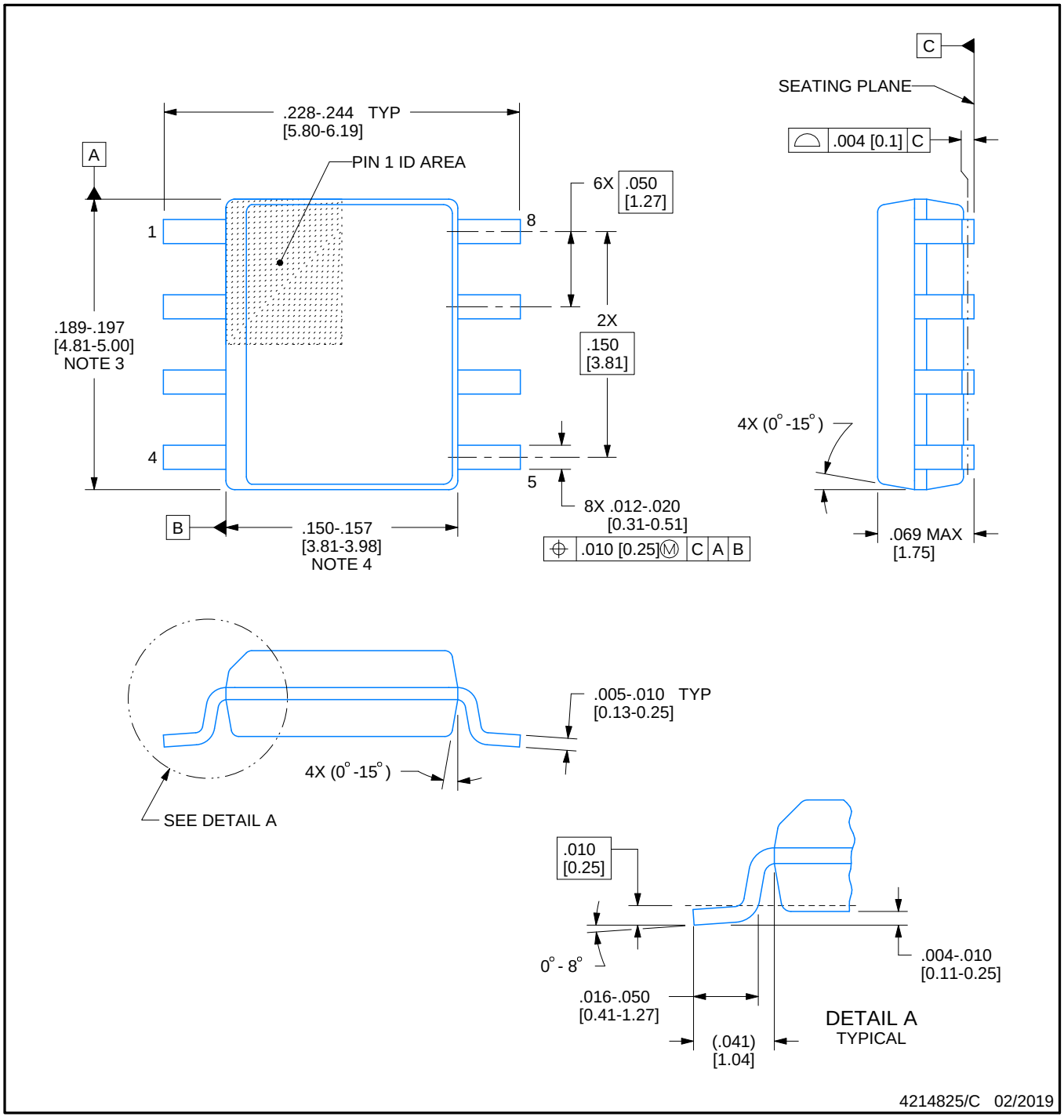


PACKAGE OUTLINE

D0008A

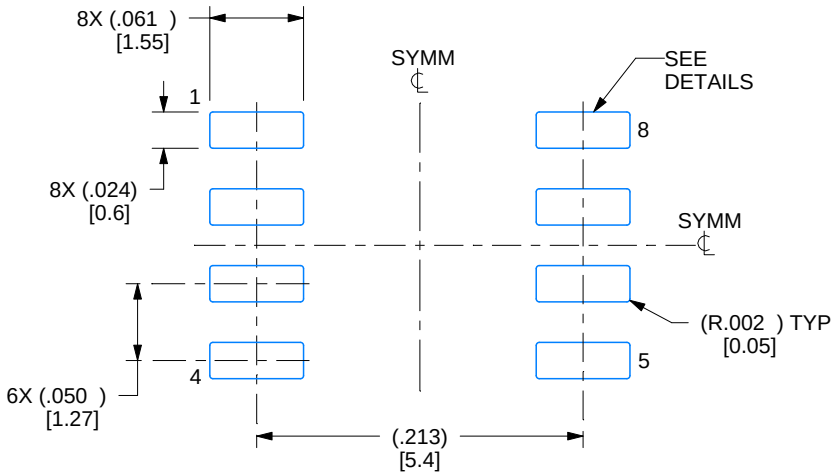
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

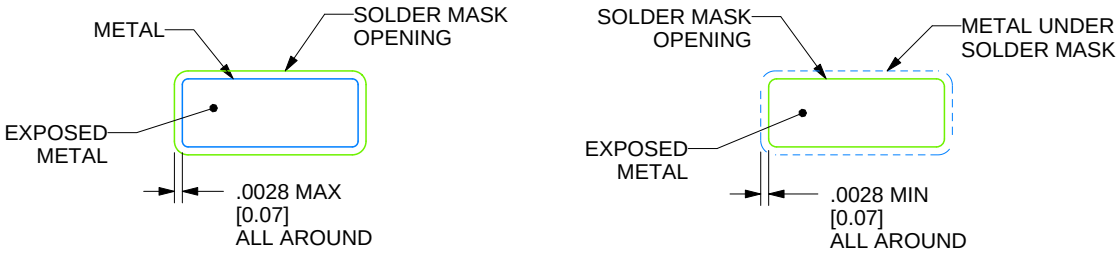


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

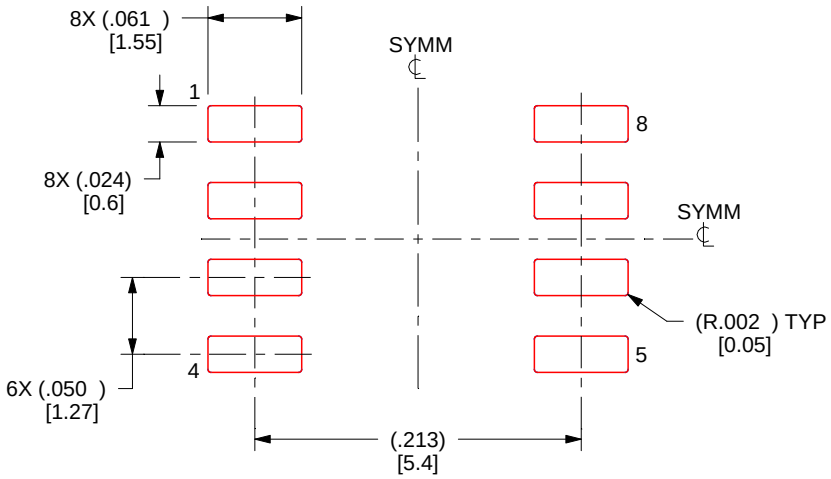
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



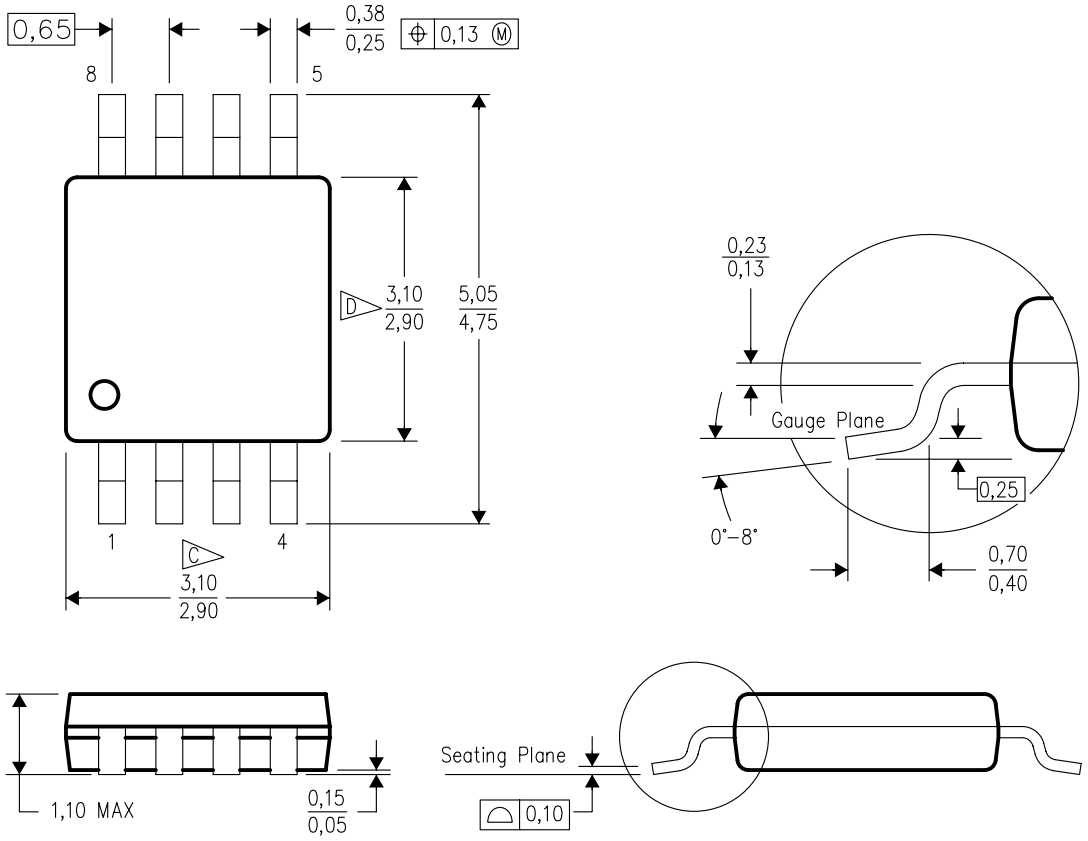
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

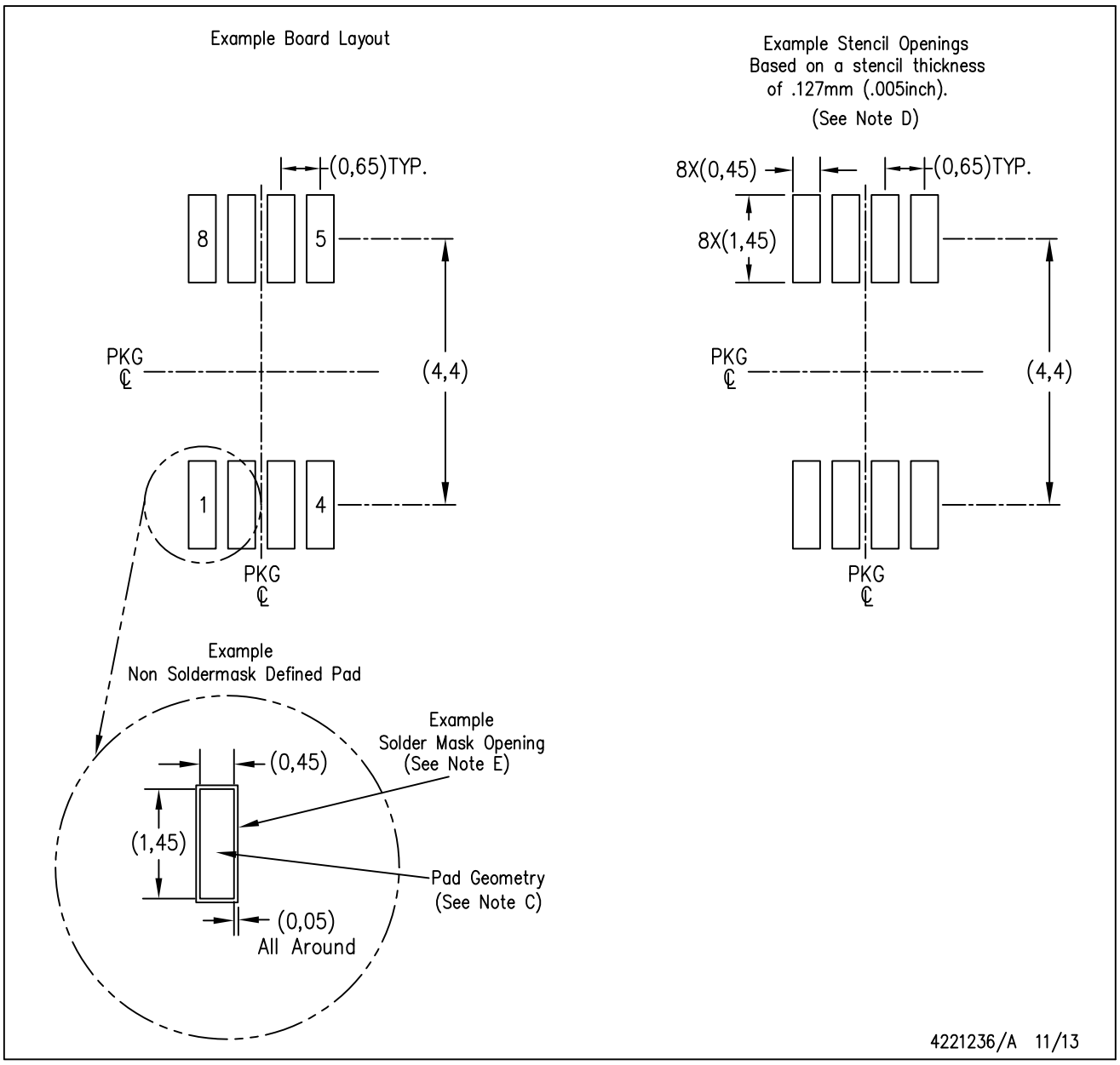
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



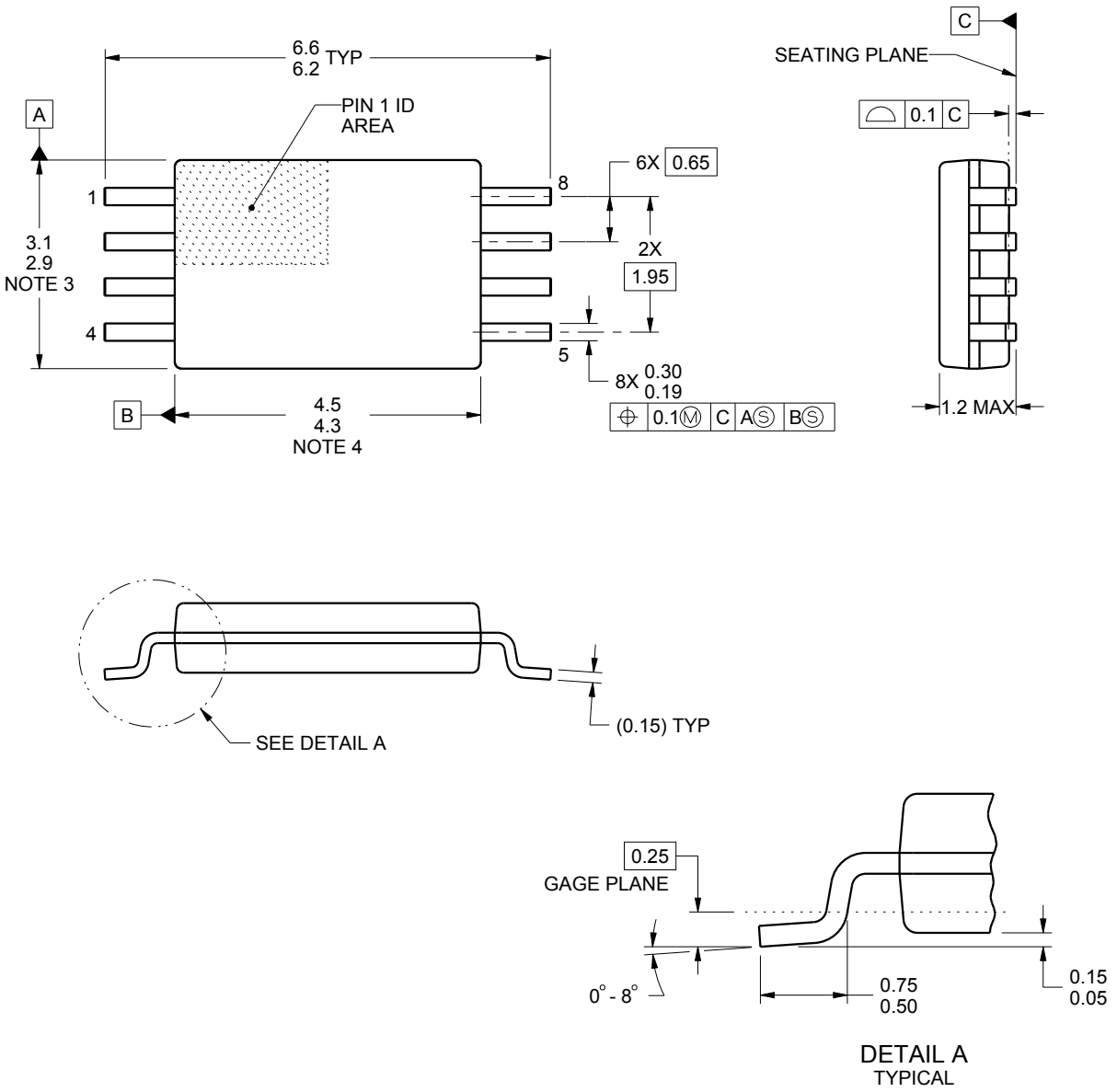
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PACKAGE OUTLINE

PW0008A

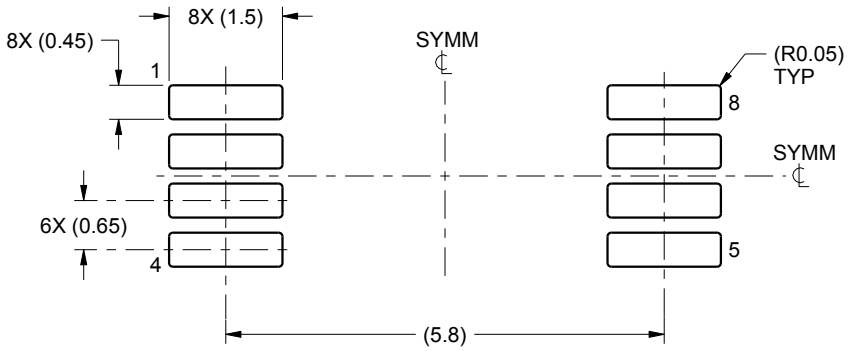
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

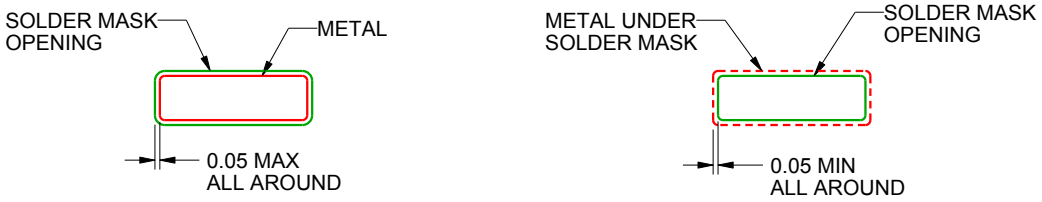


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

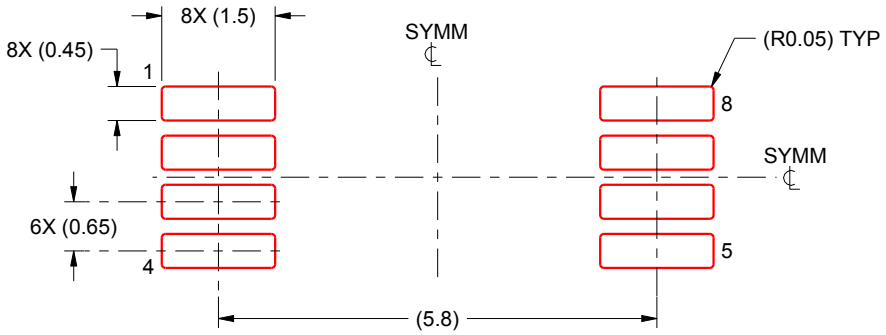


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

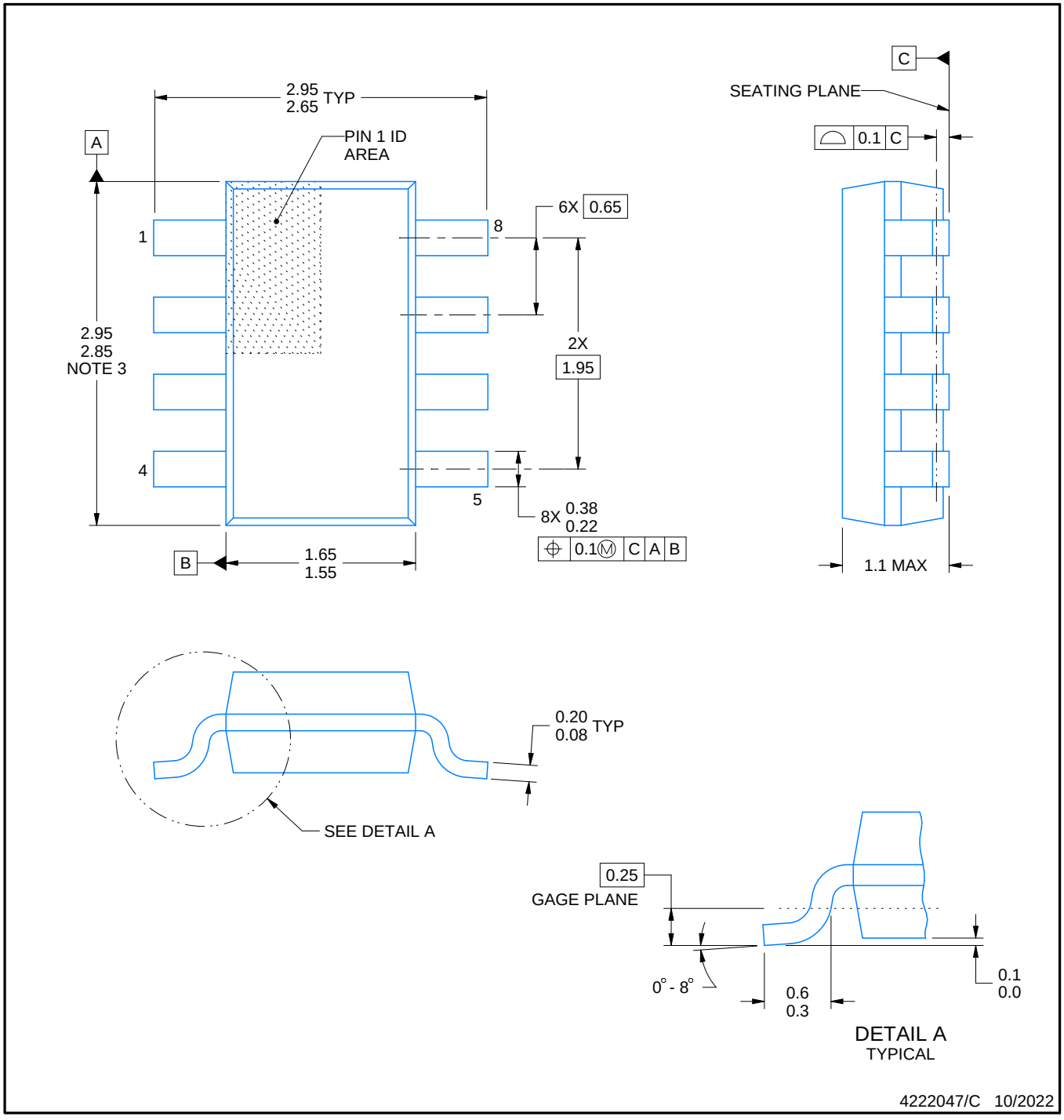
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

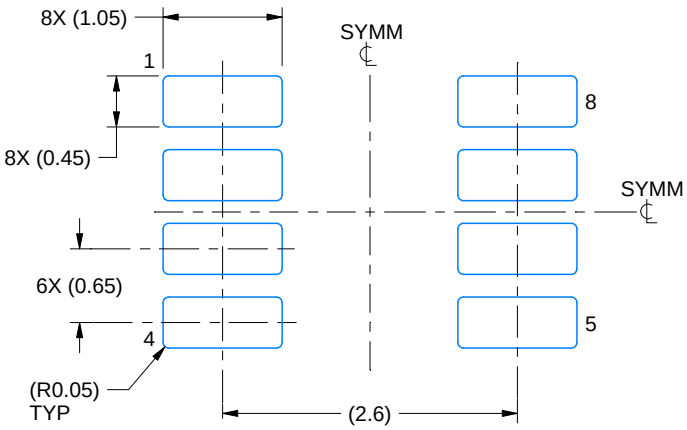
SOT-23 - 1.1 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
SCALE:15X



NON SOLDER MASK
DEFINED

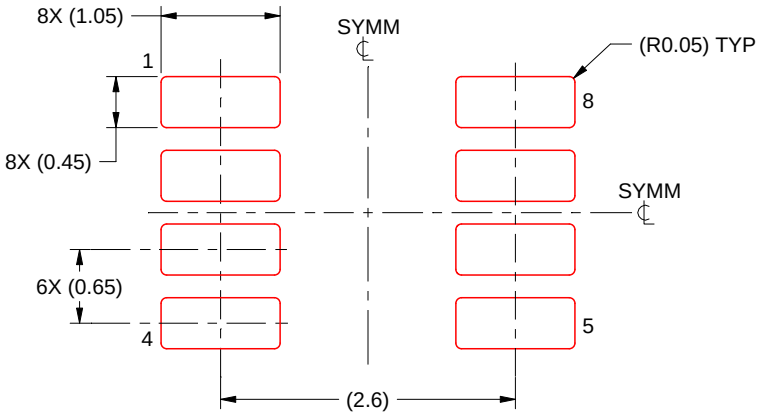
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4222047/C 10/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/C 10/2022

NOTES: (continued)

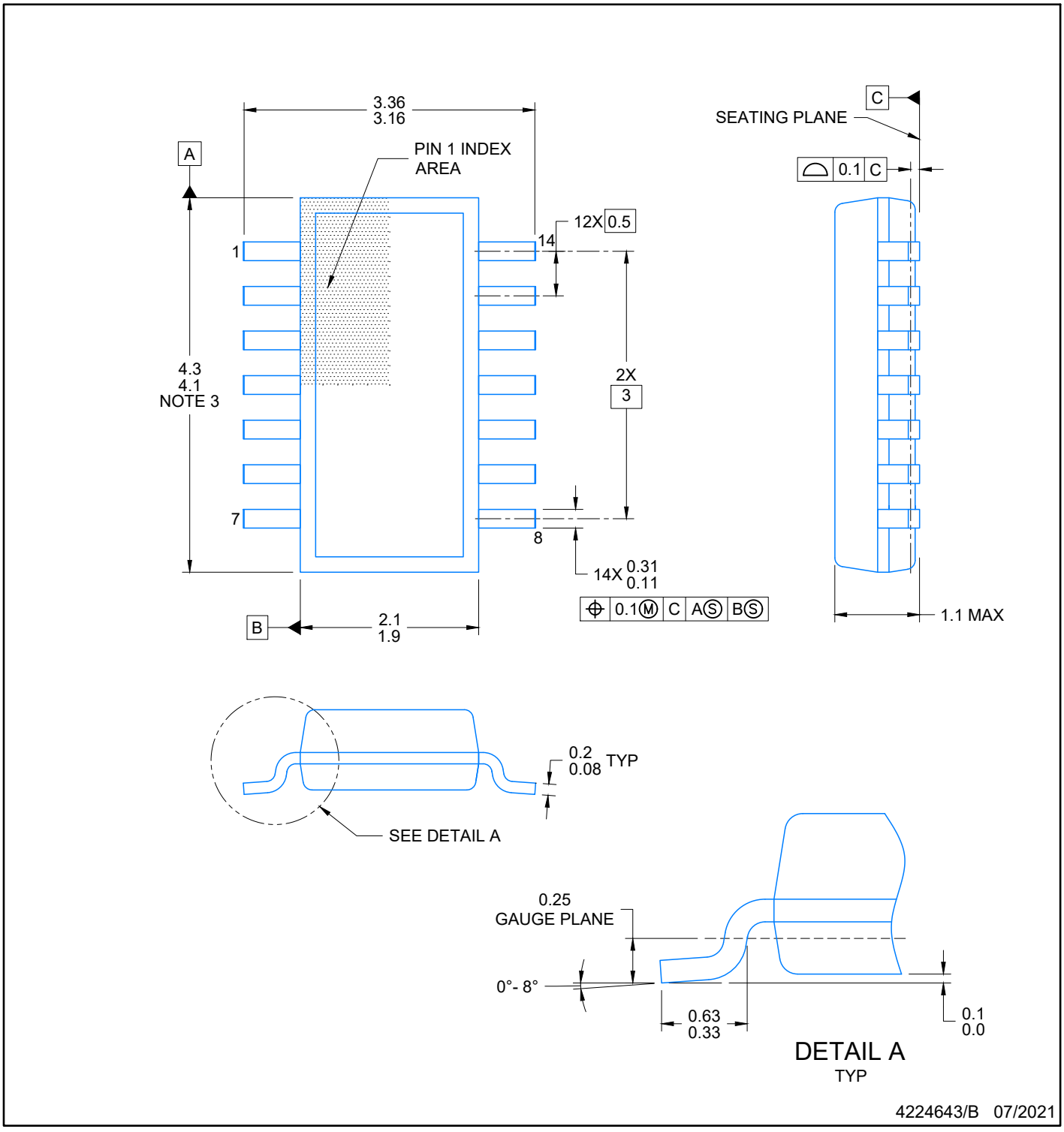
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0014A

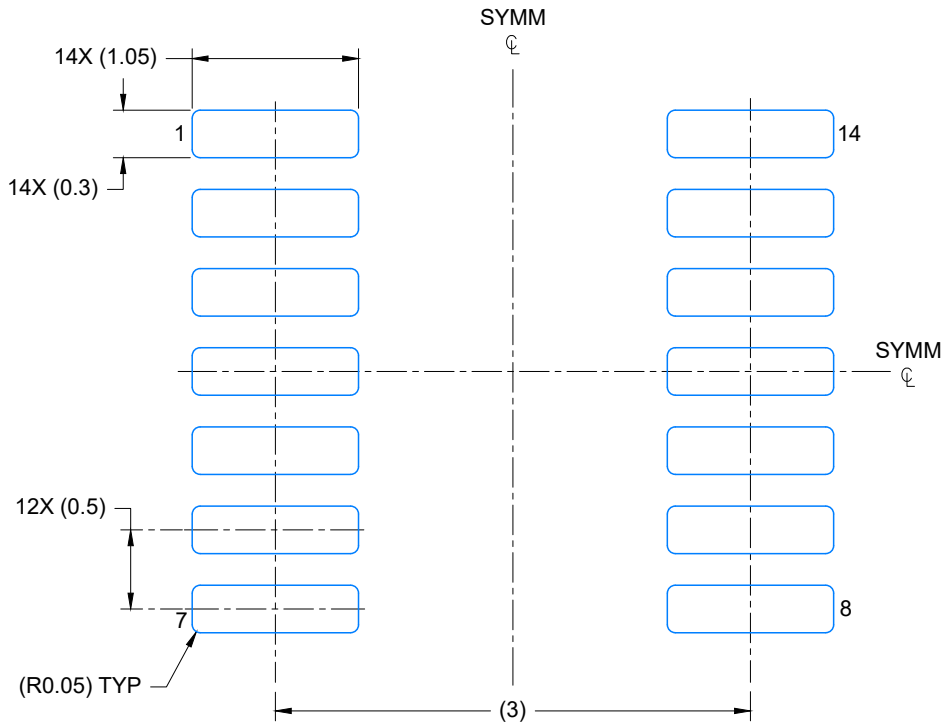
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

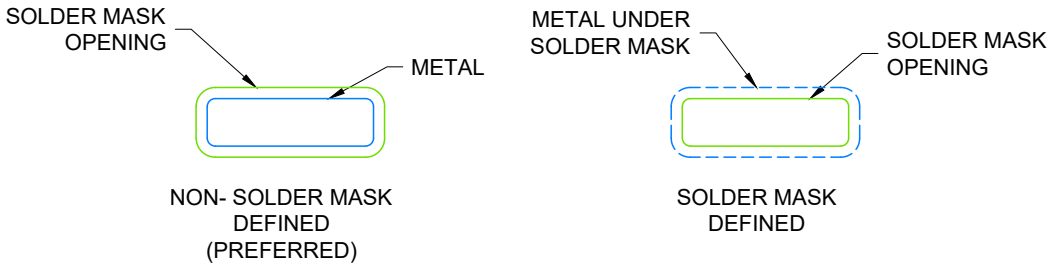


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

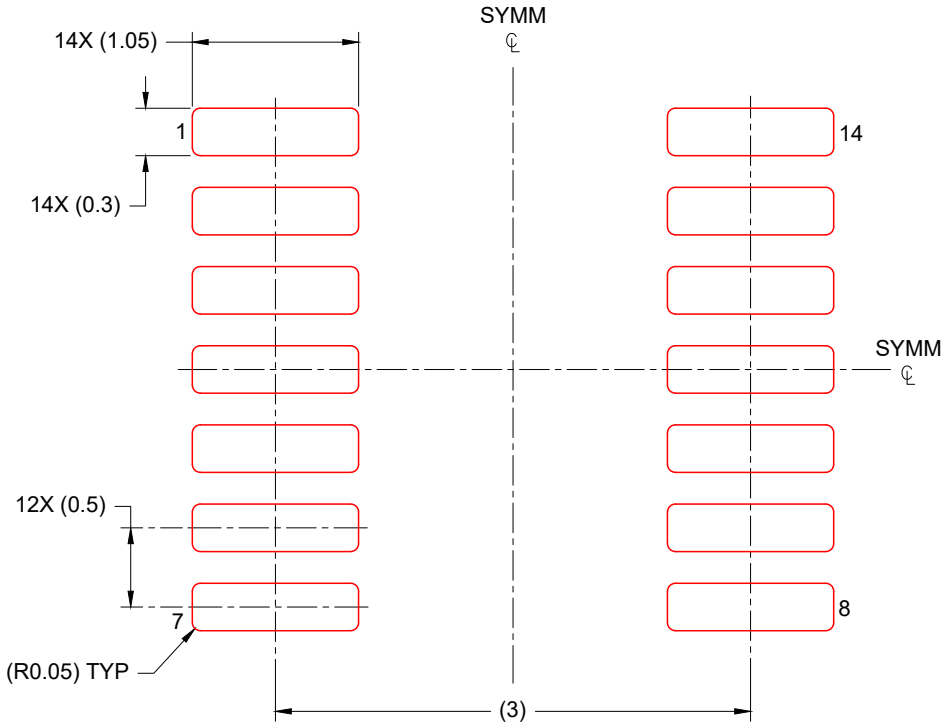


SOLDER MASK DETAILS

4224643/B 07/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/B 07/2021

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス· デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated