

3 対 1 DVI/HDMIスイッチ

特 長

- UXGAディスプレイをサポートする最高信号伝送レート1.65Gbpsの設計
- TMD5 (Transition Minimized Differential Signaling) の電気的仕様と互換の差動インターフェイス
- 各ポートがHDMIあるいはDVI入力をサポート
- Display Data Channel (DDC) ラインスイッチ
- DDCおよびHPD_SINK入力はすべて5Vトレランス
- レシーバ終端抵抗を内蔵
- ペア間スキュー < 100ps
- 5mのDVIケーブル損失を補償する8dBのレシーバ・イコライゼーション
- ディスエーブル時のハイインピーダンス出力
- 3kV (HBM) 以上のESD保護
- 3.3V電源動作
- 80ピンTQFPパッケージ
- ROHS互換および260°C リフロー定格

アプリケーション

- デジタルビデオ (DVI) あるいはデジタルオーディオ・ビジュアル (HDMI) の 3 ソースのスイッチング
- デジタルTV
- デジタルプロジェクタ
- オーディオ・ビデオレシーバ

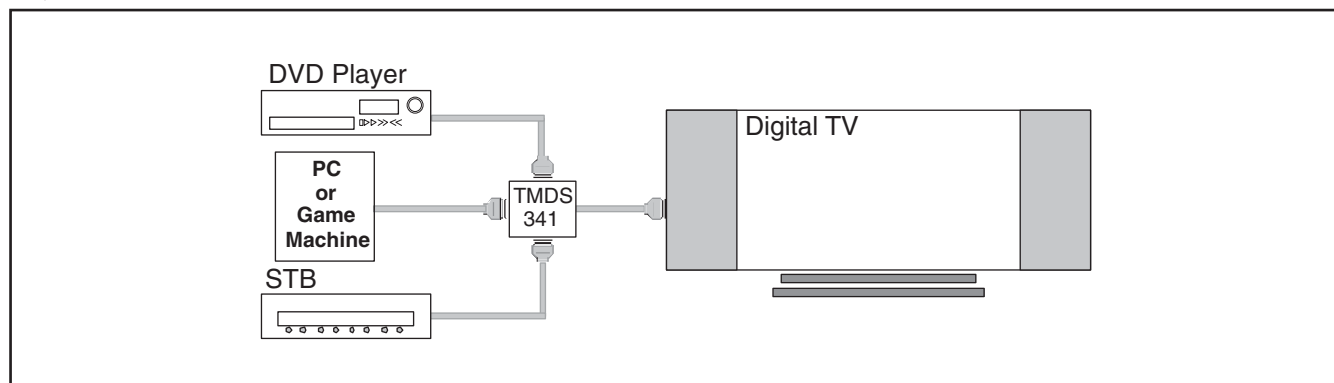
概 要

TMD5341は3ポートのデジタルビデオ・インターフェイス (DVI) あるいは高品位マルチメディア・インターフェイス (HDMI) スイッチであり、最大3個のDVIあるいはHDMIポートを1個のディスプレイ・ターミナルに対してスイッチできます。各ポートには、4個のTMD5チャンネル、1個のホットプラグ・ディテクタ、および1個のI²Cインターフェイスがサポートされています。各TMD5チャンネルの信号伝送レートは最大1.65Gbpsまで可能です。

必要なソースは、ソースセクタS1, S2, およびS3により選択されます。各ポートで選択されたTMD5入力、3対1マルチプレクサにより切り換えられます。選択された入力ポートのI²Cインターフェイスは出力ポートのI²Cインターフェイスとリンクされます。また、選択されたホットプラグ・ディテクタ (HPD) はHPD_SINKにリンクされます。未使用のポートについてはI²Cインターフェイスが分離され、そのHPD端子はローに保たれます。

V_{CC}にプルアップされている終端抵抗 (50Ω) が、各レシーバ入力端子に内蔵されています。したがって、外部終端抵抗は不要です。1個の高精度抵抗をVSADJ端子とグランド間に外部で接続し、差動出力電圧がTMD5規格に適合するように設定します。出力が標準TMD5終端に接続されOEがハイの場合、出力は高インピーダンスになります。

代表的なアプリケーション



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

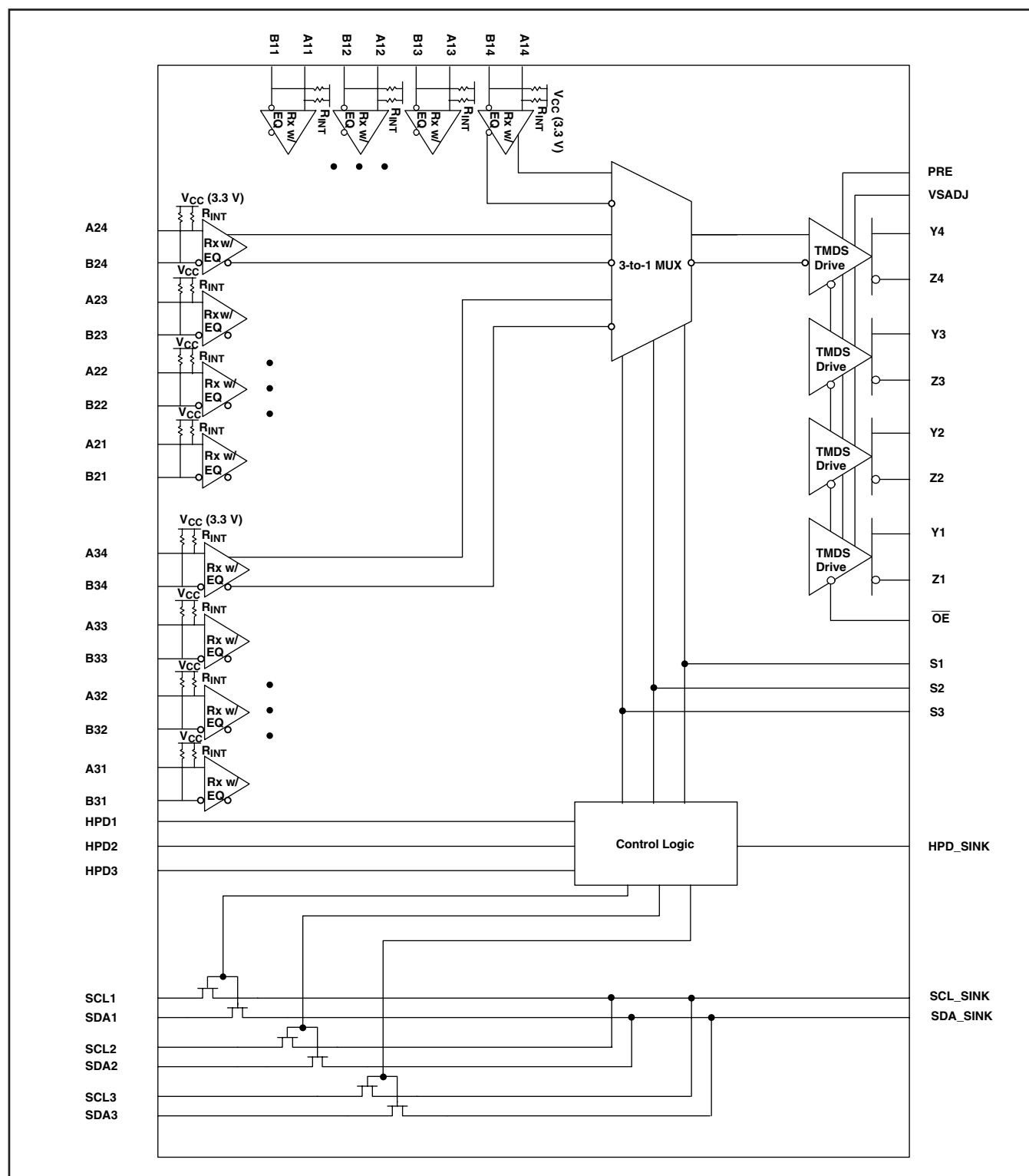
TMD5341には固定8dB入力イコライゼーションおよび選択可能な3dBの出力ディエンファシスがあり、5メートルあるいはそれ以上のDVI適合ケーブルを通してシステム性能を最適化します。このデバイスは0℃から70℃の動作温度で特性づけられています。



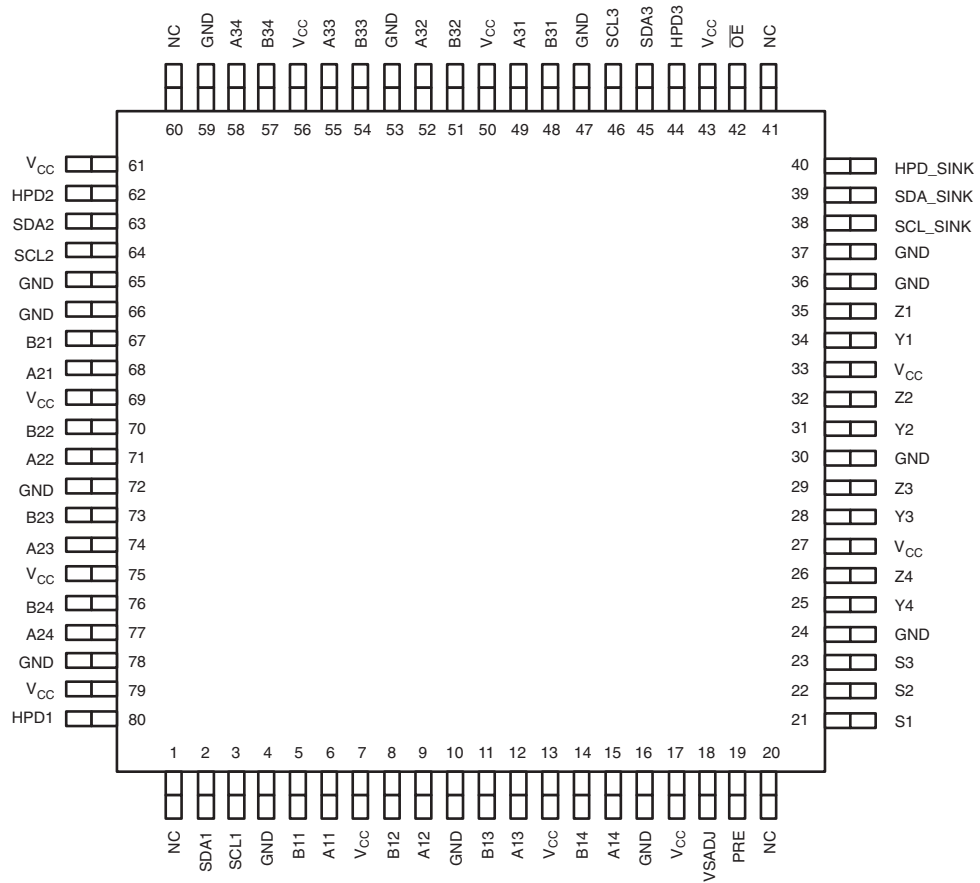
静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

機能ブロック図



PFCパッケージ (TOPVIEW)



端子機能

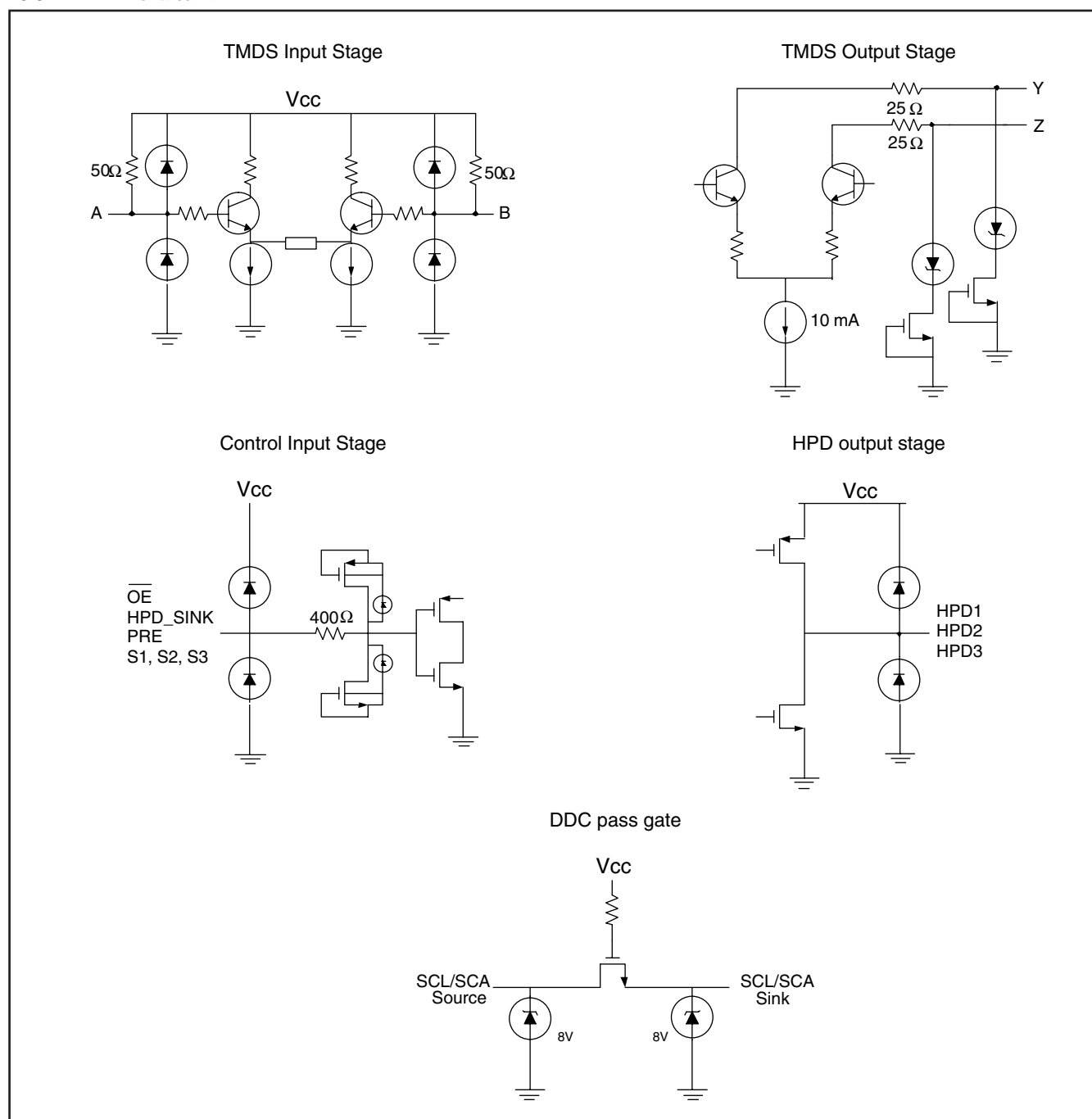
TERMINAL		I/O	DESCRIPTION
NAME	NO.		
A11, A12, A13, A14	6, 9, 12, 15	I	Port 1 TMDS positive inputs
A21, A22, A23, A24	68, 71, 74, 77	I	Port 2 TMDS positive inputs
A31, A32, A33, A34	49, 52, 55, 58	I	Port 3 TMDS positive inputs
B11, B12, B13, B14	5, 8, 11, 14	I	Port 1 TMDS negative inputs
B21, B22, B23, B24	67, 70, 73, 76	I	Port 2 TMDS negative inputs
B31, B32, B33, B34	48, 51, 54, 57	I	Port 3 TMDS negative inputs
GND	4, 10, 16 24, 30, 36, 37, 47, 53, 59, 65, 66, 72, 78		Ground
HPD1	80	O	Port 1 hot plug detector output
HPD2	62	O	Port 2 hot plug detector output
HPD3	44	O	Port 3 hot plug detector output
HPD_SINK	40	I	Sink side hot plug detector input High: 5-V power signal asserted from source to sink and EDID is ready Low: No 5-V power signal asserted from source to sink, or EDID is not ready
NC	1, 20, 41, 60		No connect
OE	42	I	Output enable, active low
PRE	19	I	Output de-emphasis adjustment High: 3 dB Low: 0 dB
SCL1	3	I/O	Port 1 DDC bus clock line
SCL2	64	I/O	Port 2 DDC bus clock line
SCL3	46	I/O	Port 3 DDC bus clock line
SCL_SINK	38	I/O	Sink side DDC bus clock line
SDA1	2	I/O	Port 1 DDC bus data line
SDA2	63	I/O	Port 2 DDC bus data line
SDA3	45	I/O	Port 3 DDC bus data line
SDA_SINK	39	I/O	Sink side DDC bus data line
S1, S2, S3	21, 22, 23	I	Source selector input
V _{CC}	7, 13, 17 27, 33, 43, 50, 56 61, 69, 75, 79		Power supply
VSADJ	18	I	TMDS compliant voltage swing control
Y1, Y2, Y3, Y4	34, 31, 28, 25	O	TMDS positive outputs
Z1, Z2, Z3, Z4	35, 32, 29, 26	O	TMDS negative outputs

CONTROL PINS			I/O SELECTED		HOT PLUG DETECT STATUS		
S1	S2	S3	Y/Z	SCL_SINK SDA_SINK	HPD1	HPD2	HPD3
H	x	x	A1/B1	SCL1 SDA1	HPD_SINK	L	L
L	H	x	A2/B2	SCL2 SDA2	L	HPD_SINK	L
L	L	H	A3/B3	SCL3 SDA3	L	L	HPD_SINK
L	L	L	None (Z)	None (Z)	L	L	L

表 1. ソース選択参照表⁽¹⁾

(1) H: Logic high; L: Logic low; X: Don't care; Z: High impedance

等価入出力回路図



注文情報⁽¹⁾

PART NUMBER	PART MARKING	PACKAGE
TMDS341PFC	TMDS341	80-PIN TQFP
TMDS341PFCR	TMDS341	80-PIN TQFP Tape/Reel

(1) 最新のパッケージおよび注文に関する情報は、本文書の巻末にあるパッケージ情報あるいはTIウェブのwww.ti.comをご覧ください。

絶対最大定格

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		UNIT
Supply voltage range, $V_{CC}^{(2)}$		−0.5 V to 4 V
Voltage range	Anm ⁽³⁾ , Bnm	1.7 V to 4 V
	Ym, Zm, VSADJ, PRE, Sn, $\overline{OE}$, HPDn	−0.5V to 4 V
	SCLn, SCL_SINK, SDAn, SDA_SINK, HPD_SINK	−0.5 V to 6 V
Electrostatic discharge	Human body model ⁽⁴⁾ (all pins)	±3 kV
	Charged-device model ⁽⁵⁾ (all pins)	±1500 V
	Machine model ⁽⁶⁾ (all pins)	± 200 V
Continuous power dissipation		See Dissipation Rating Table

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

(2) 差動I/Oバス電圧を除くすべての電圧は、ネットワーク・グランド端子を基準とします。

(3) n = 1, 2, 3; m = 1, 2, 3, 4

(4) JEDEC規格22、テストメソッドA114-Bに準拠してテスト。

(5) JEDEC規格22、テストメソッドC101-Aに準拠してテスト。

(6) JEDEC規格22、テストメソッドA115-Aに準拠してテスト。

電力消費定格

PACKAGE	$T_A \leq 25^\circ\text{C}$	DERATING FACTOR ⁽¹⁾ ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING
80-TQFP	1342 mW	13.42 mW/°C	738 mW

(1) これは、基板実装時および無風のときの接合-周囲間熱抵抗に反比例します。

推奨動作条件

	MIN	NOM	MAX	UNIT
V_{CC} Supply voltage	3	3.3	3.6	V
T_A Operating free-air temperature	0		70	°C
TMDS DIFFERENTIAL PINS (A/B)				
V_{ID} Receiver peak-to-peak differential input voltage	150		1560	mVp-p
V_{IC} Input common mode voltage	2		$V_{CC}-0.04$	V
R_{VSADJ} Resistor for TMDS compliant voltage swing range	4.6	4.64	4.68	k Ω
AV_{CC} TMDS output termination voltage, see Figure 1	3	3.3	3.6	V
R_T Termination resistance, see Figure 1	45	50	55	Ω
Signaling rate	0		1.65	Gbps
CONTROL PINS (PRE; S, $\overline{OE}$)				
V_{IH} LVTTTL High-level input voltage	2		V_{CC}	V
V_{IL} LVTTTL Low-level input voltage	GND		0.8	V
DDC I/O PINS (SCL, SCL_SINK, SDA, SDA_SINK)				
$V_{I(DDC)}$ Input voltage	GND		5.3	V
STATUS PINS (HPD_SINK)				
V_{IH} LVTTTL High-level input voltage	2		5.3	V
V_{IL} LVTTTL Low-level input voltage	GND		0.8	V

電気的特性

over recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
I_{CC}	Supply current	$V_{IH} = V_{CC}$, $V_{IL} = V_{CC} - 0.4$ V, $R_{VSADJ} = 4.64$ k Ω , $R_T = 50$ Ω , $AV_{CC} = 3.3$ V Am/Bm = 1.65 Gbps HDMI data pattern, m = 2, 3, 4 A1/B1 = 165 MHz clock		190	230	mA
P_D	Power dissipation	$V_{IH} = V_{CC}$, $V_{IL} = V_{CC} - 0.4$ V, $R_{VSADJ} = 4.64$ k Ω , $R_T = 50$ Ω , $AV_{CC} = 3.3$ V Am/Bm = 1.65 Gbps HDMI data pattern, m = 2, 3, 4 A1/B1 = 165 MHz clock		394	657	mW
TMD5 DIFFERENTIAL PINS (A/B; Y/Z)						
V_{OH}	Single-ended high-level output voltage	See Figure 2, $AV_{CC} = 3.3$ V, $R_T = 50$ Ω , PRE = 0 V	$AV_{CC}-10$		$AV_{CC}+10$	mV
V_{OL}	Single-ended low-level output voltage		$AV_{CC}-600$		$AV_{CC}-400$	mV
V_{swing}	Single-ended output swing voltage		400		600	mV
$V_{OD(O)}$	Overshoot of output differential voltage			6%	15%	$2 \times V_{swing}$
$V_{OD(U)}$	Undershoot of output differential voltage			12%	25%	$2 \times V_{swing}$
$\Delta V_{OC(SS)}$	Change in steady-state common-mode output voltage between logic states			0.5	5	mV
$I_{(O)OFF}$	Single-ended standby output current	0 V $\leq V_{CC} \leq 1.5$ V, $AV_{CC} = 3.3$ V, $R_T = 50$ Ω	-10		10	μ A
$I_{(OS)}$	Short circuit output current	See Figure 3			12	mA
$V_{ODE(SS)}$	Steady state output differential voltage with de-emphasis	See Figure 4, PRE = V_{CC} , Am/Bm = 250 Mbps HDMI data pattern, m = 2, 3, 4 A1/B1 = 25 MHz clock	560		840	mVp-p
$V_{ODE(pp)}$	Peak-to-peak output differential voltage		800		1200	mVp-p
$V_{I(open)}$	Single-ended input voltage under high impedance input or open input	$I_I = 10$ μ A	$V_{CC}-10$		$V_{CC}+10$	mV
R_{INT}	Input termination resistance	$V_{IN} = 2.9$ V	45	50	55	Ω
DDC I/O PINS (SCL, SCL_SINK, SDA, SDA_SINK)						
I_{Ikg}	Input leakage current	$V_I = 0.1$ V_{CC} to 0.9 V_{CC} to isolated DDC ports		0.1	2	μ A
C_{IO}	Input/output capacitance	$V_I = 0$ V		7.5		pF
R_{ON}	Switch resistance	$I_O = 3$ mA, $V_O = 0.4$ V		25	50	Ω
V_{PASS}	Switch output voltage	$V_I = 3.3$ V, $I_O = 100$ μ A	1.5 ⁽²⁾	2.0	2.5 ⁽³⁾	V
STATUS PINS (HPD)						
$V_{OH(TTL)}$	TTL High-level output voltage	$I_{OH} = -8$ mA	2.4			V
$V_{OL(TTL)}$	TTL Low-level output voltage	$I_{OL} = 8$ mA			0.4	V
CONTROL PINS (PRE, S, OE)						
I_{IH}	High-level digital input current	$V_{IH} = 2$ V or V_{CC}		0.1	2	μ A
I_{IL}	Low-level digital input current	$V_{IL} = GND$ or 0.8 V		0.1	2	μ A
STATUS PINS (HPD_SINK)						
I_{IH}	High-level digital input current	$V_{IH} = 5.3$ V		23	100	μ A
		$V_{IH} = 2$ V or V_{CC}		0.1	2	
I_{IL}	Low-level digital input current	$V_{IL} = GND$ or 0.8 V		0.1	2	μ A

(1) TYP値はすべて3.3V電源電圧、周囲温度25℃のものです。

(2) この値は3.0V電源電圧、全温度範囲で試験されたものです。

(3) この値は3.6V電源電圧、全温度範囲で試験されたものです。

スイッチング特性

over recommended operating conditions (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
TMD5 DIFFERENTIAL PINS (Y/Z)						
t _{PLH}	Propagation delay time, low-to-high-level output	See Figure 2, AV _{CC} = 3.3 V, R _T = 50 Ω, PRE = 0 V	250		800	ps
t _{PHL}	Propagation delay time, high-to-low-level output		250		800	ps
t _r	Differential output signal rise time (20% - 80%)		75		240	ps
t _f	Differential output signal fall time (20% - 80%)		75		240	ps
t _{sk(p)}	Pulse skew (t _{PHL} - t _{PLH})			7	50	ps
t _{sk(D)}	Intra-pair differential skew, see Figure 5			23	50	ps
t _{sk(o)}	Inter-pair channel-to-channel output skew ⁽²⁾				100	ps
t _{sk(pp)}	Part-to-part skew ⁽³⁾				200	ps
t _{jit(pp)}	Peak-to-peak output jitter from Y/Z(1) residual jitter	See Figure 8, PRE = 0 V Am/Bm = 1.65 Gbps HDMI data pattern, m = 2, 3, 4 A1/B1 = 165 MHz clock		15	30	ps
t _{jit(pp)}	Peak-to-peak output jitter from Y/Z(2:4) residual jitter			18	50	ps
t _{PRE}	De-emphasis duration	See Figure 4, PRE = V _{CC} Am/Bm = 250 Mbps HDMI data pattern, m = 2, 3, 4 A1/B1 = 25 MHz clock		240 ⁽⁴⁾		ps
t _{SX}	Select to switch output	See Figure 6		6	10	ns
t _{en}	Enable time			6	10	ns
t _{dis}	Disable time			6	10	ns
DDC I/O PINS (SCL, SCL_SINK, SDA, SDA_SINK)						
t _{pd(DDC)}	Propagation delay from SCLn to SCL_SINK or SDA _n to SDA_SINK or SDA_SINK to SDA _n	See Figure 7, C _L = 10 pF		0.4	2.5	ns
CONTROL AND STATUS PINS (S, HPD_SINK, HPD)						
t _{pd(HPD)}	Propagation delay (from HPD_SINK to the active port of HPD)	See Figure 7, C _L = 10 pF		2	6.0	ns
t _{sx(HPD)}	Switch time (from port select to the latest valid status of HPD)			3	6.5	ns

(1) TYP値はすべて3.3V電源電圧、周囲温度25℃のもです。

(2) $t_{sk(o)}$ は、1デバイス内のチャンネル2から4の規定したあらゆる端子間における遅延時間の差です。

(3) $t_{sk(pp)}$ は、2デバイスのチャンネル2から4の規定したあらゆる端子間、あるいは2デバイスのチャンネル1間における遅延時間の差です。このとき2デバイスは、同じ信号源、等しい電源電圧、等しい温度下、および同じパッケージと試験回路で動作しています。

(4) TYP値はシミュレーションで保証されています。

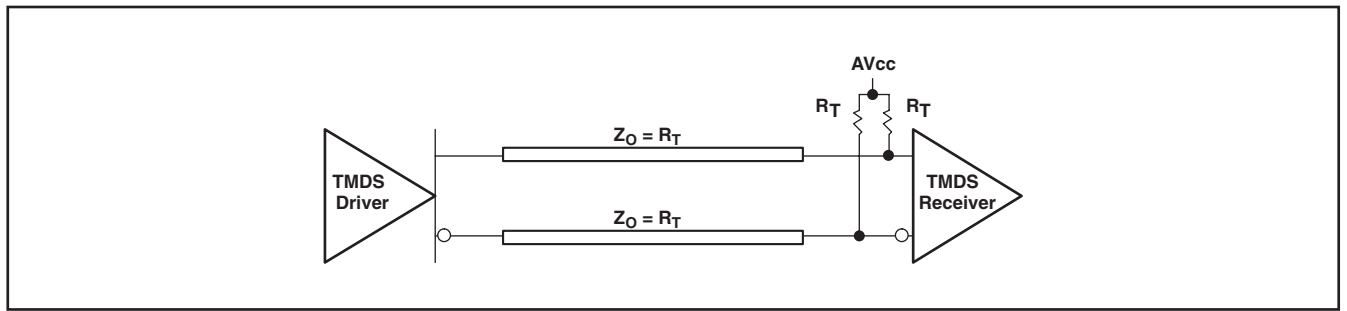


図 1. TMDs出力ドライバの終端

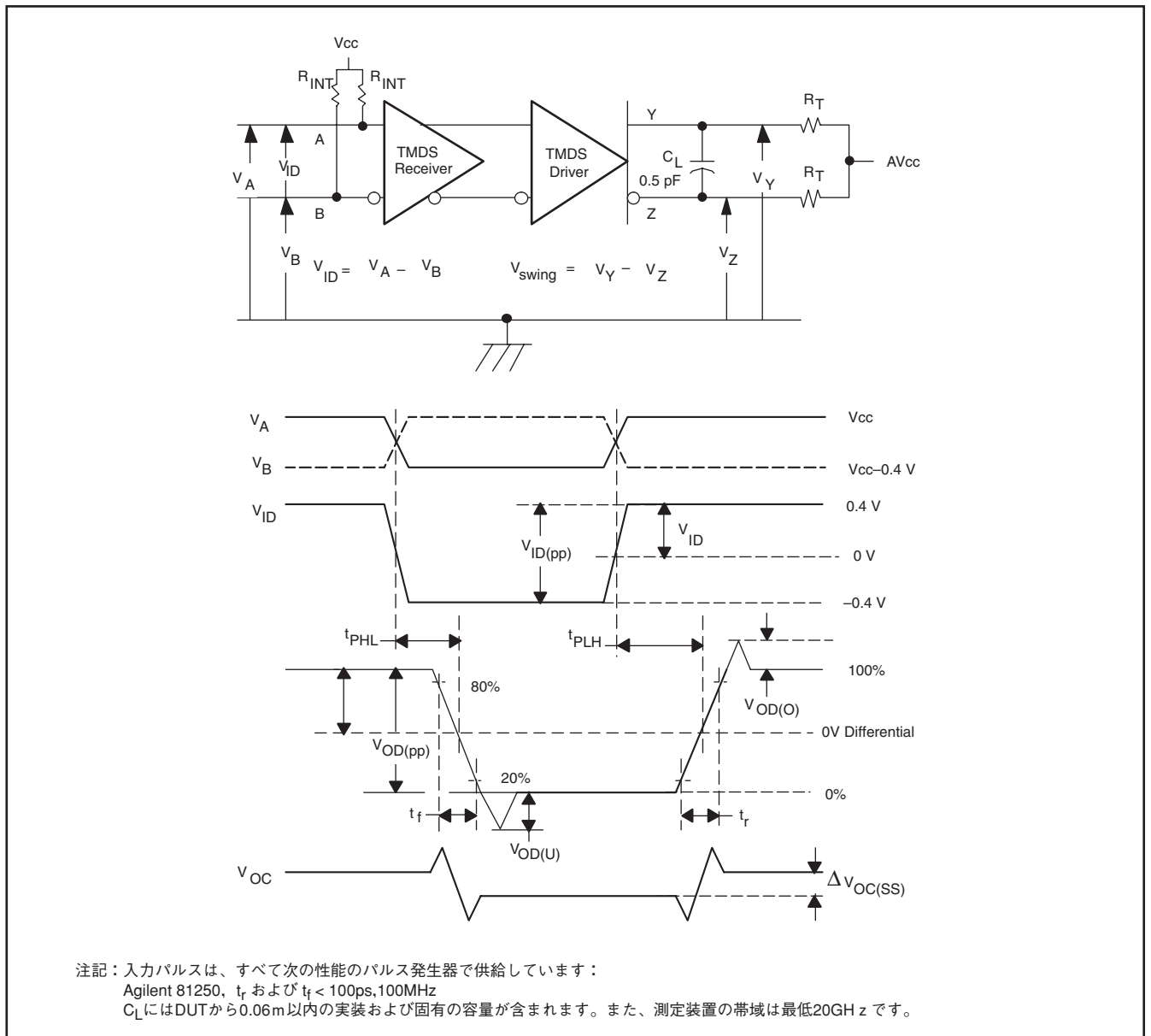


図 2. タイミング試験回路および定義

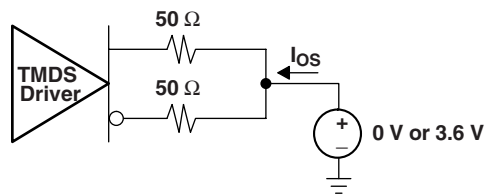


図 3. 出力短絡電流試験回路

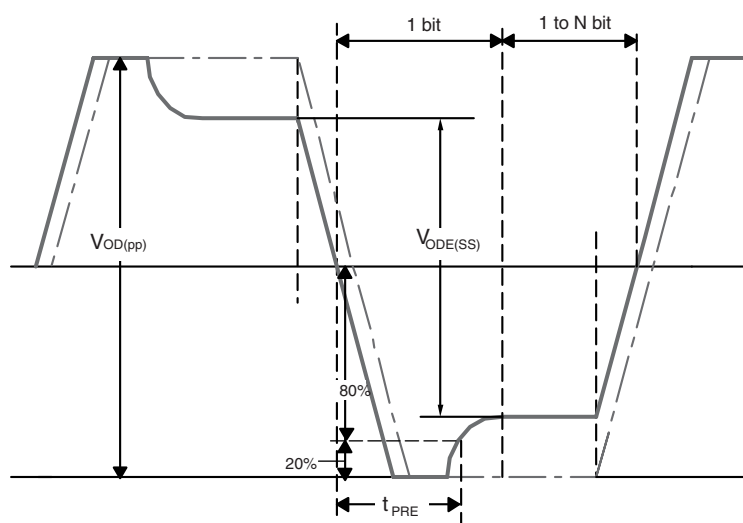


図 4. ディエンファシス出力電圧波形および時間測定の定義

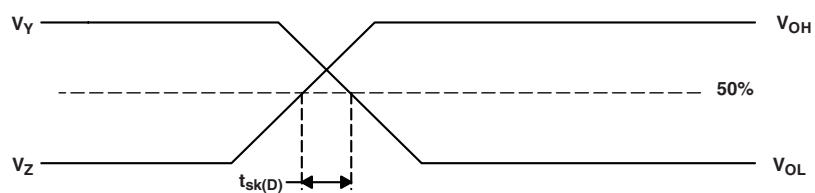


図 5. イントラペア差動スキューの定義

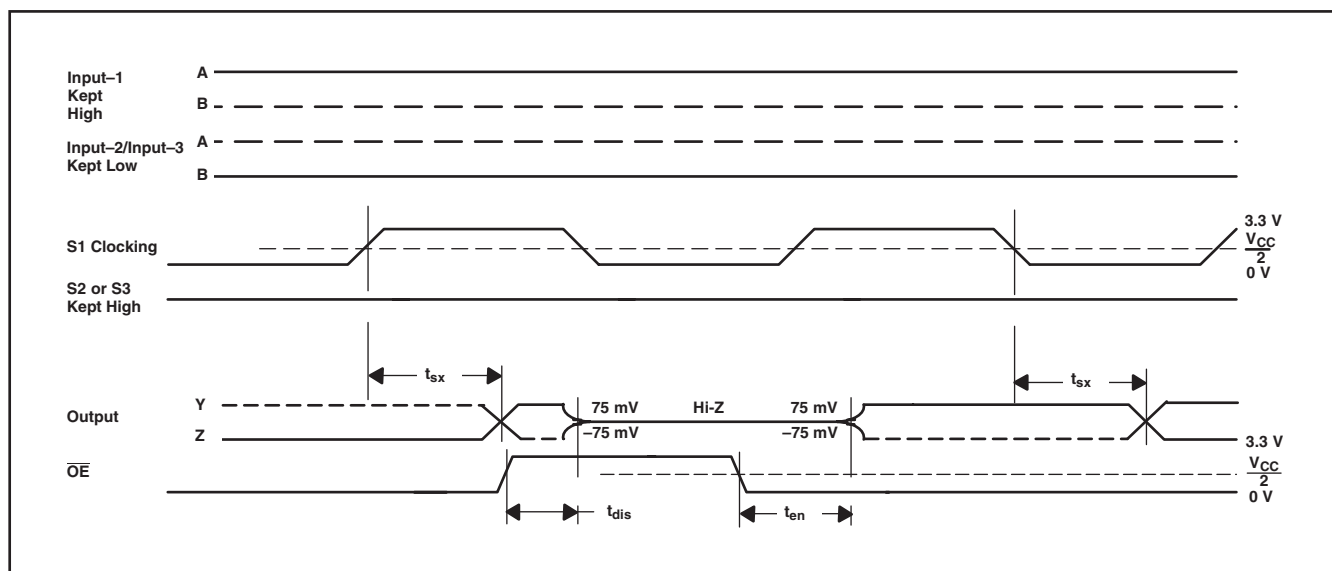


図 6. TMDs出力制御タイミングの定義

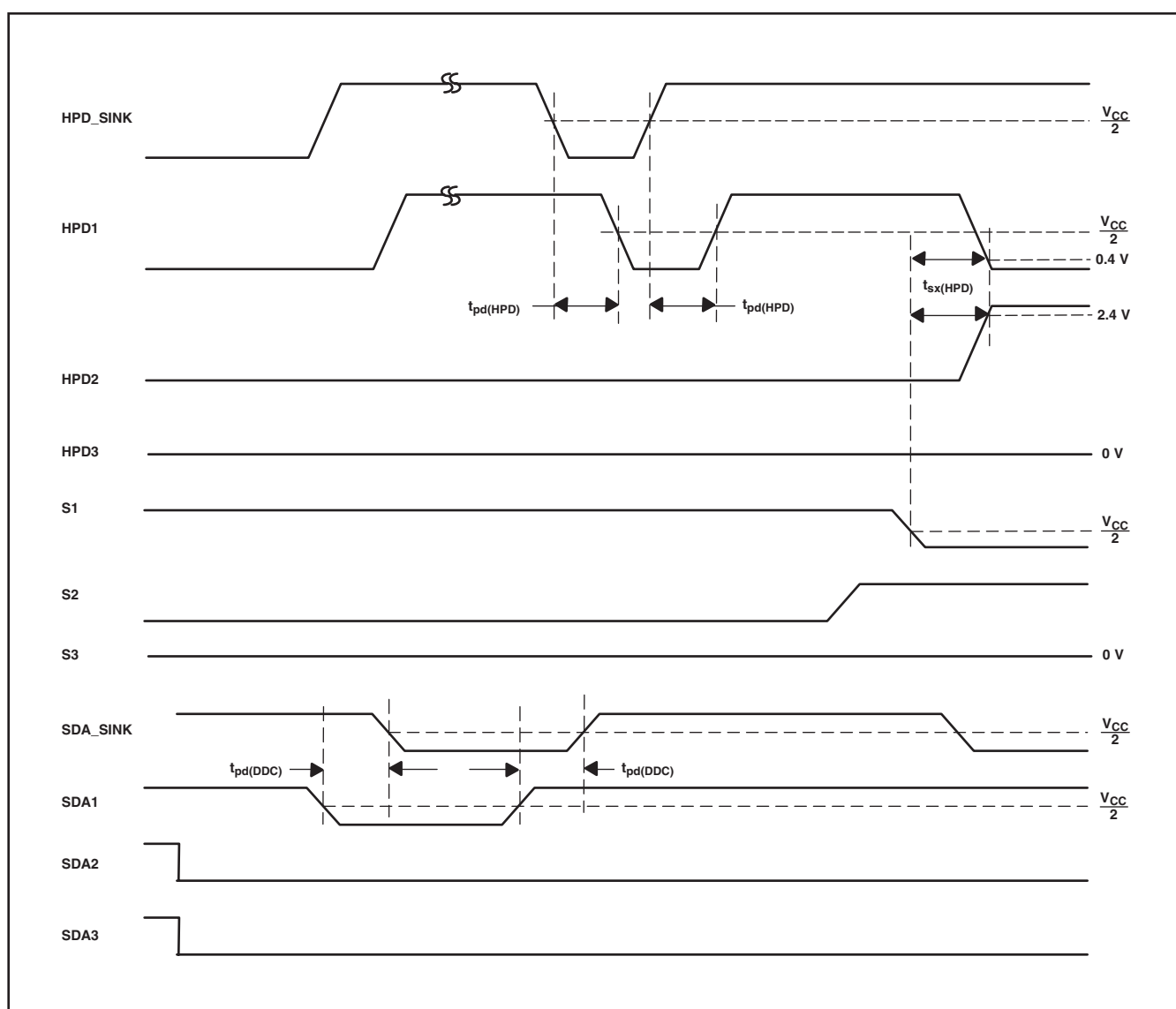


図 7. HPDタイミングの定義

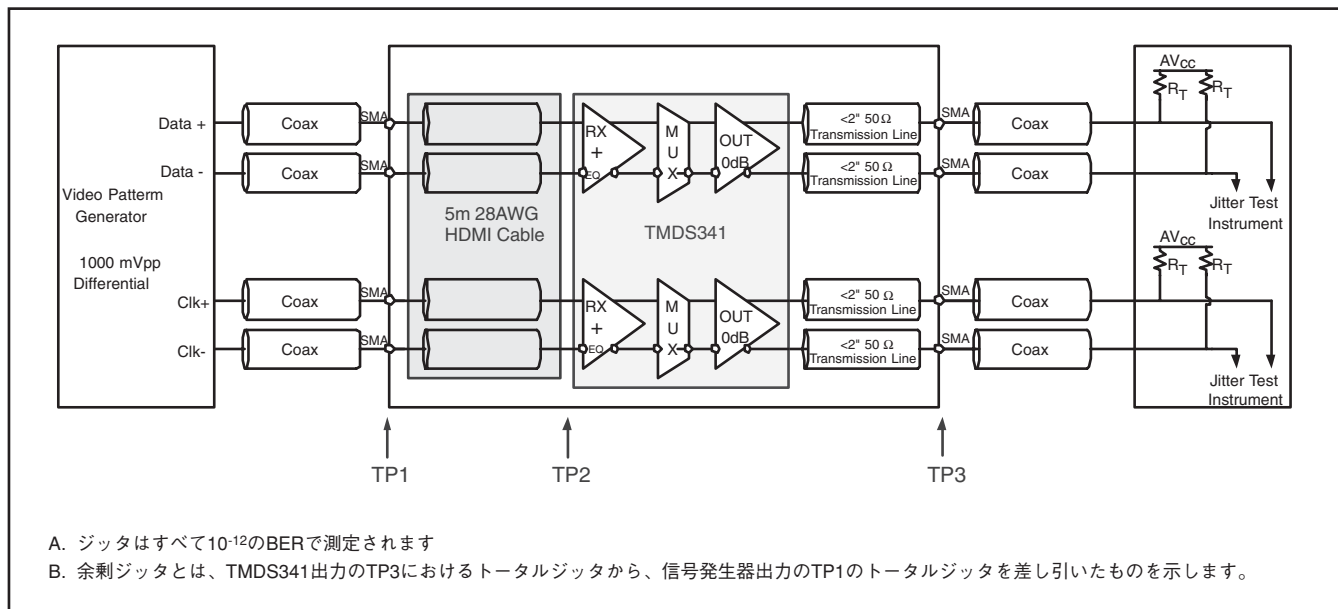


図 8. ジッタ試験回路

5mの28AWG HDMIケーブルおよび5mの28AWG DVIケーブルの周波数損失応答を図9に示します。TMS341に内蔵の受動入力エコライザによりISIが補償されます。8dB損失のHDMIケーブル

について、TMS341によりそのデバイス入出力間で60psのジッタが低減されます。

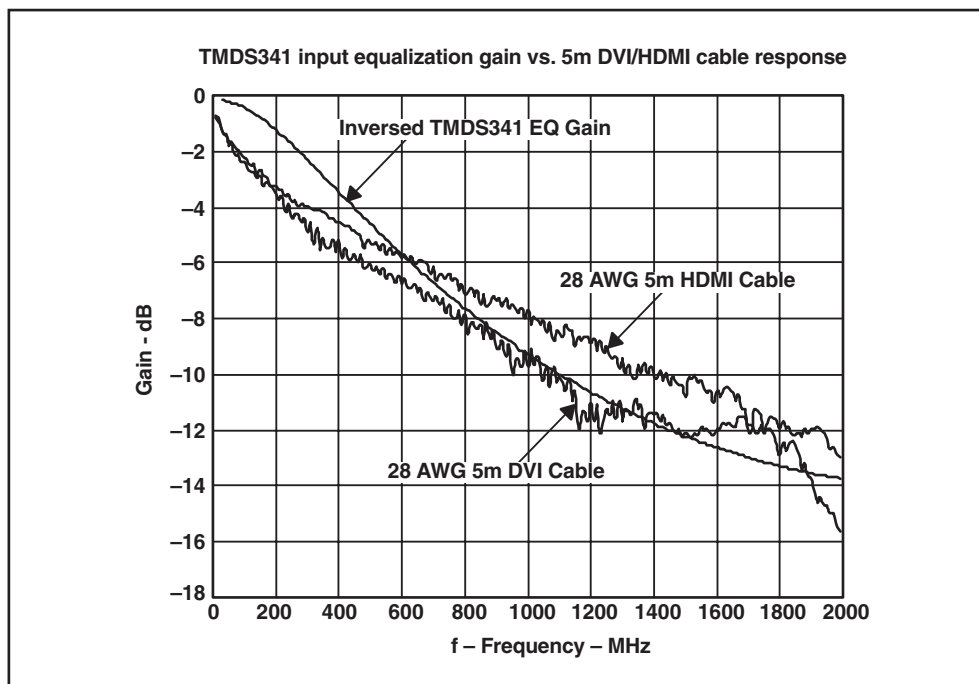


図 9. 5mのDVIおよびHDMIケーブルのSパラメータ・プロット

代表的特性

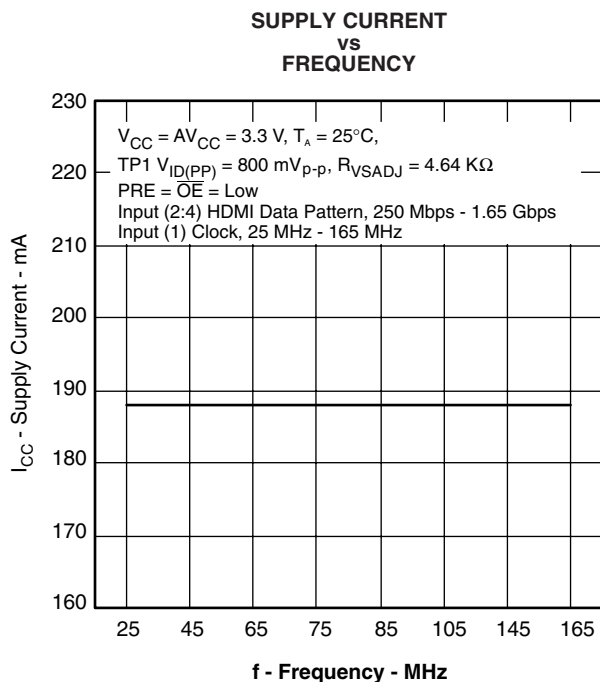


図 10

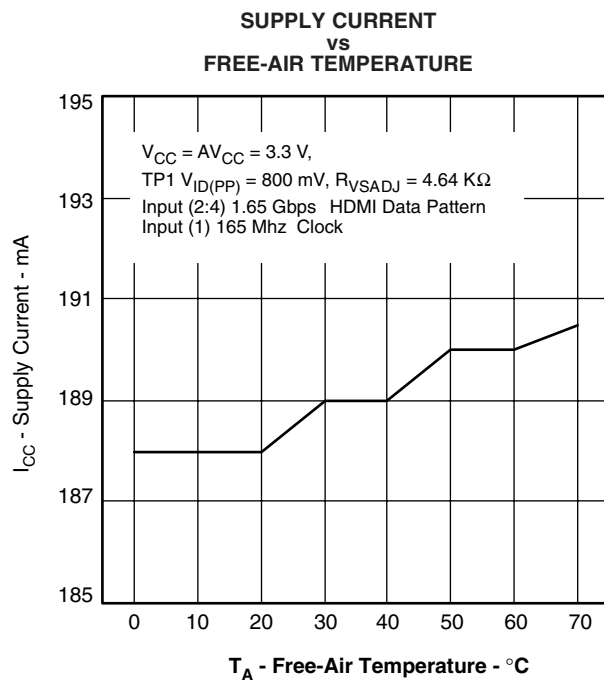


図 11

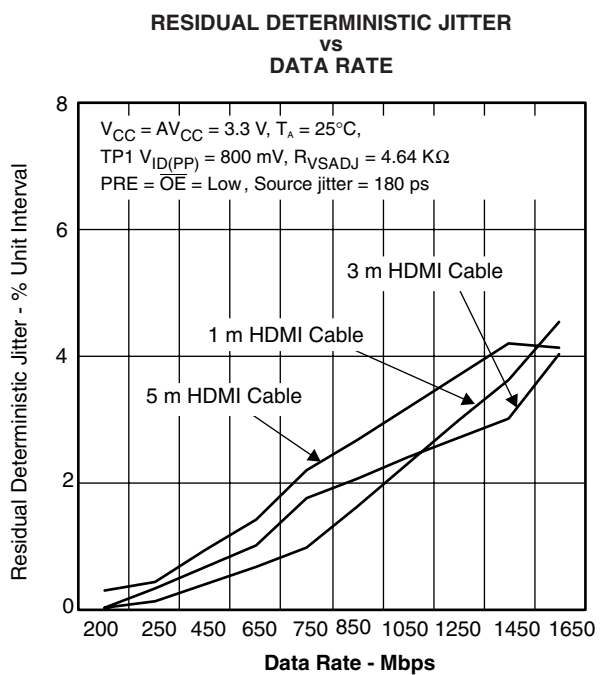


図 12

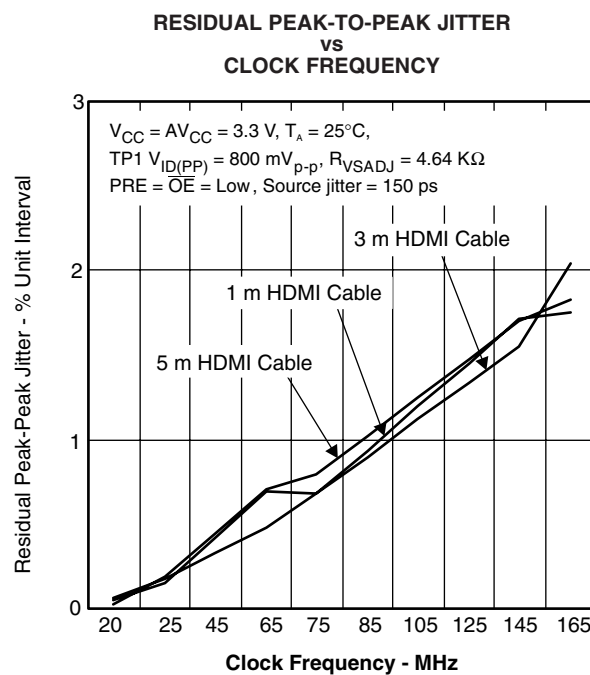


図 13

代表的特性

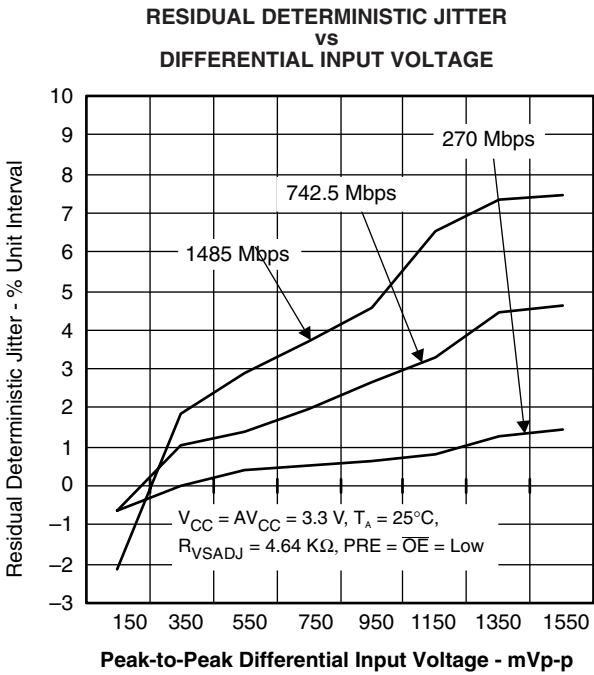


图 14

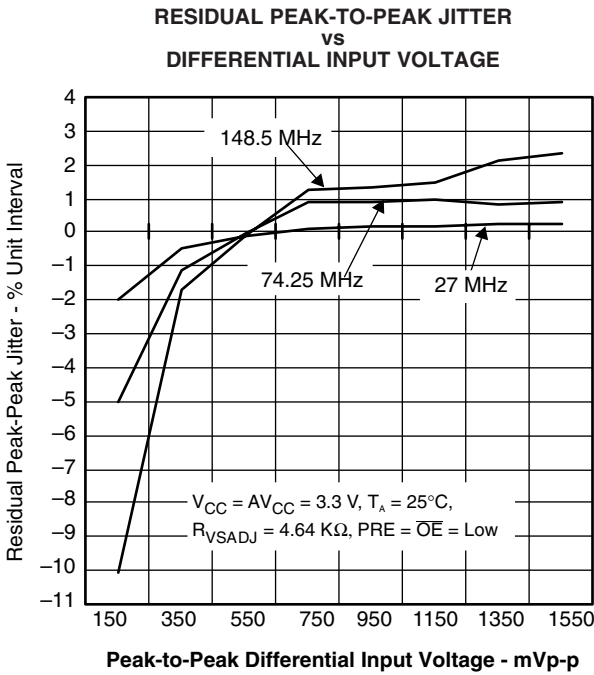


图 15

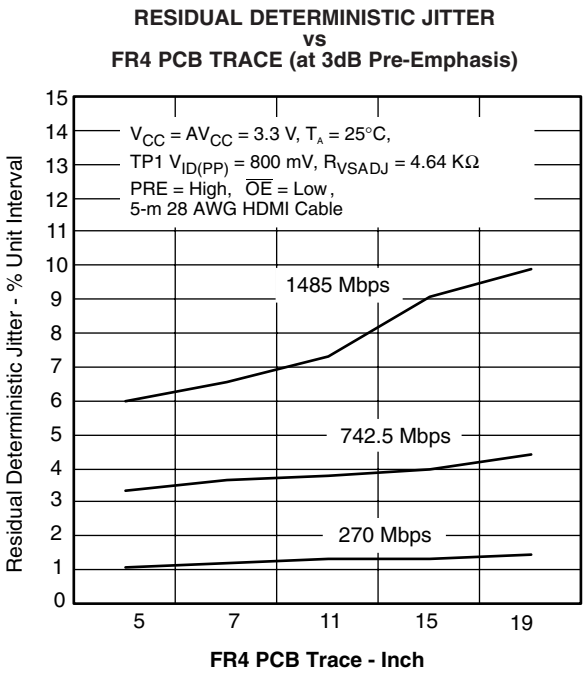


图 16

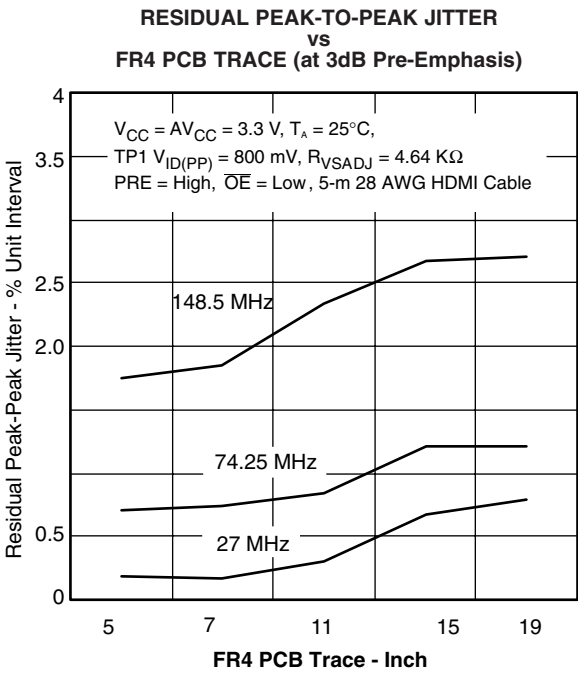


图 17

代表的特性

165MHzのピクセル・クロックでのHDMIケーブル

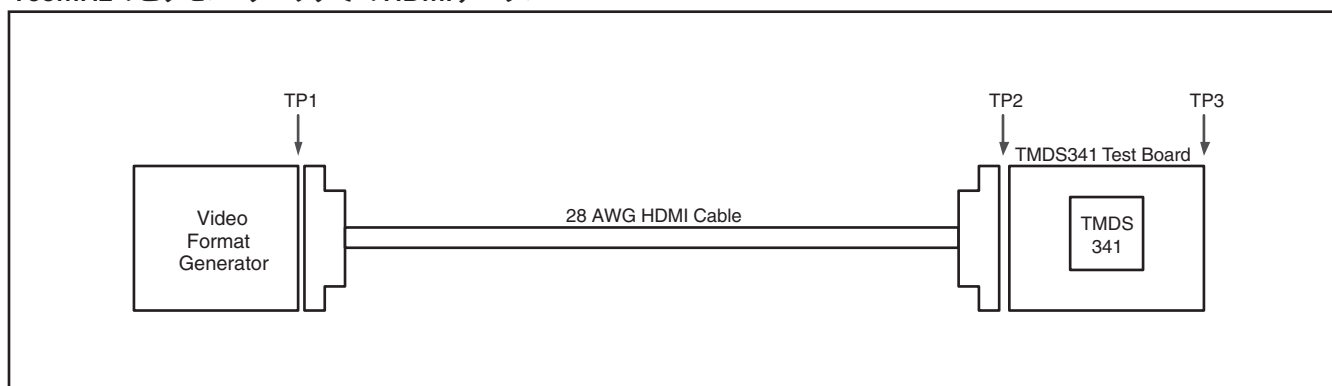


図 18. 1mおよび5m長のHDMIケーブルの測定ポイント構成

1m長ケーブルのアイパターン

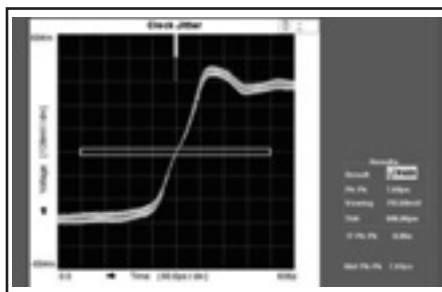


図 19. TP1におけるクロック

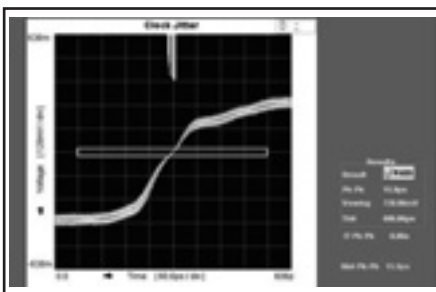


図 20. TP2におけるクロック

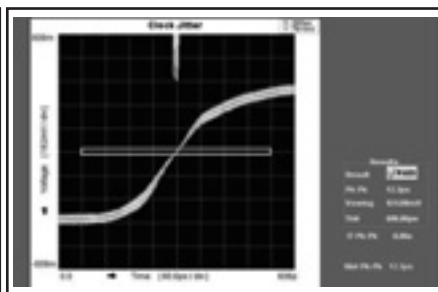


図 21. TP3におけるクロック

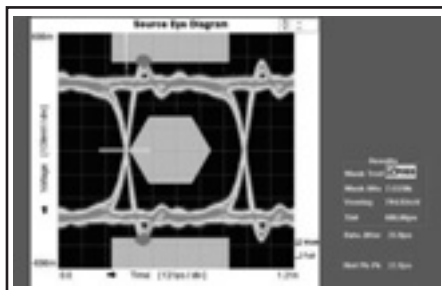


図 22. TP1におけるデータ

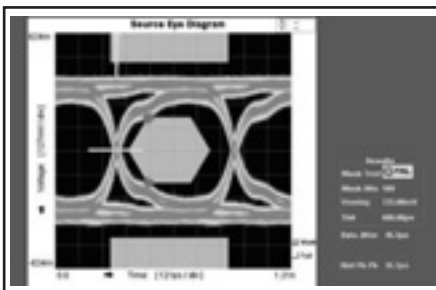


図 23. TP2におけるデータ

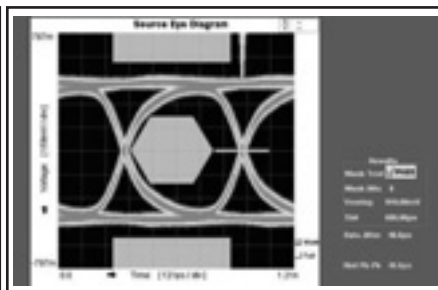


図 24. TP3におけるデータ

5m長ケーブルのアイパターン

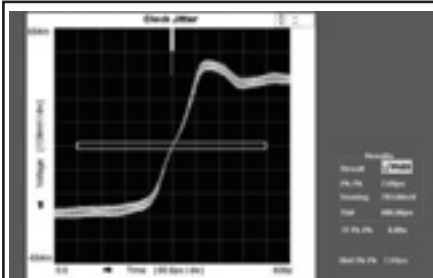


図 25. TP1におけるクロック

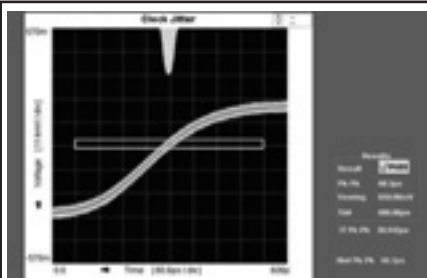


図 26. TP2におけるクロック

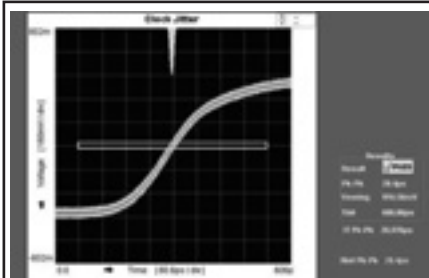


図 27. TP3におけるクロック

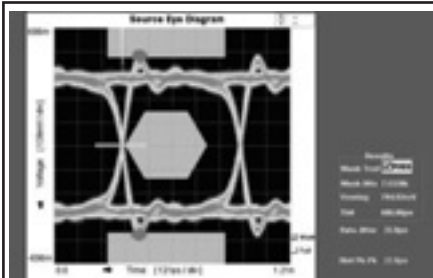


図 28. TP1におけるデータ

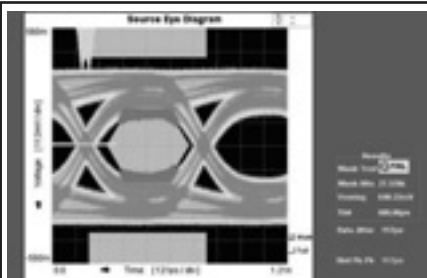


図 29. TP2におけるデータ

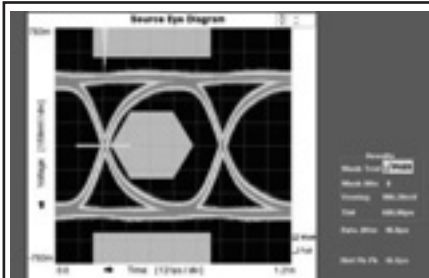


図 30. TP3におけるデータ

アプリケーション情報

電源電圧

V_{CC} 端子はすべてひとつの3.3V電源に接続できます。各 V_{CC} 端子からグランドに直接0.01 μ Fのコンデンサを接続して、電源ノイズをフィルタリングします。

TMDS入力

標準TMDS終端抵抗がすべてのTMDS入力に内蔵されています。したがって、外付けの終端抵抗は不要です。各入力チャンネルには8dBのエコライザ回路があり、ケーブル損失を補償します。TMDS入力端子における電圧は、絶対最大定格内に制限する必要があります。使用しない入力端子はグランドに接続してはなりません。グランドに接続すると、過剰電流によりデバイス破壊に到ることがあります。

TMDS入力フェイルセーフ

TMDS入力端子にはフェイルセーフ回路がありません。そこで、使用しない入力チャンネルは外部でバイアスすると、出力の発振が防止できます。すなわち図31のように、使用しないチャンネルの一方の端子をオープンのままにし、他方の端子を1k Ω でグランドに接続して防止できます。

TMDS出力

差動出力振幅をTMDS信号レベルに適合させるには、1%精度の4.64k Ω 抵抗をVSADJピンからグランドへ接続することを推奨します。差動出力ドライバには10mA (代表値)の電流シンク能力があり、それによって50 Ω 終端抵抗の両端で500mV (代表値)の電圧が得られます。

図32に示すように、 V_{CC} (TMDS341用電源) および AV_{CC} (シンク終端用電源) がオンの場合、 $\overline{OE}$ がハイのときTMDS341の出力は高インピーダンスになります。通常動作は両電源が投入されている場合に行われます。

また図32に示すように、 V_{CC} がオンかつ AV_{CC} がオフならば、TMDS341の出力は各終端抵抗を通してグランドに5mA (代表値)の電流をソースします。このとき、 $\overline{OE}$ のロジックレベルの選定にかかわらず、すべての終端抵抗の合計で10mwの電力が消費されます。ここで AV_{CC} がオンになると、通常動作 ($\overline{OE}$ のレベルが出力インピーダンスを制御) が再開します。

TMDS341の電源 V_{CC} がオフかつ終端抵抗の電源 AV_{CC} がオンの場合、出力リーク電流 ($I_{O(off)}$) の仕様により、出力リーク電流は10 μ A以下に保証されます。

3dBのディエンファシスを与えるPRE端子により、出力信号をプリコンディショニングしてTMDS341出力からTMDSレシーバまでの接続損失分をオフセットすることができます。しかし、スタンドアローンのスイッチボックスの回路設計では、PREをローに設定することを推奨します。

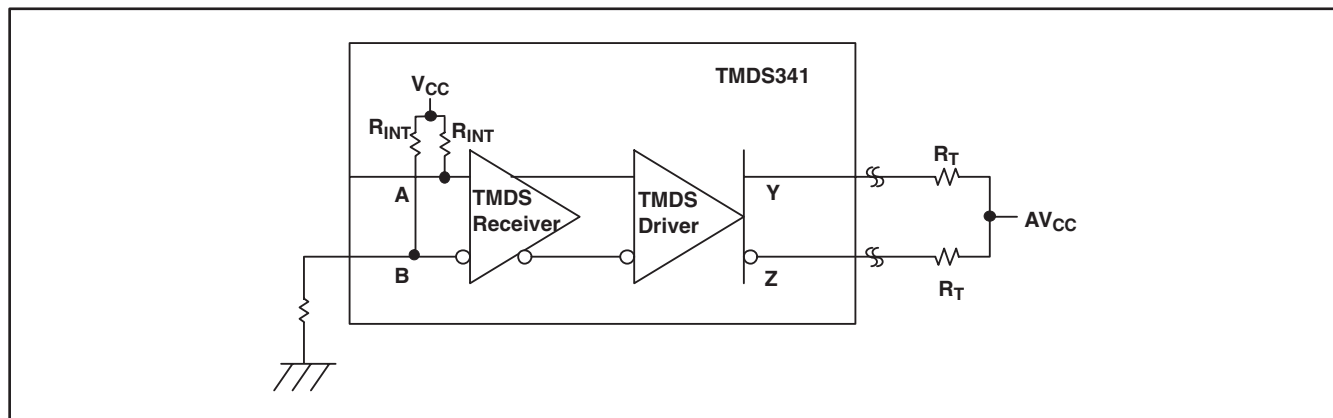


図 31. TMDS入力の推奨フェイルセーフ

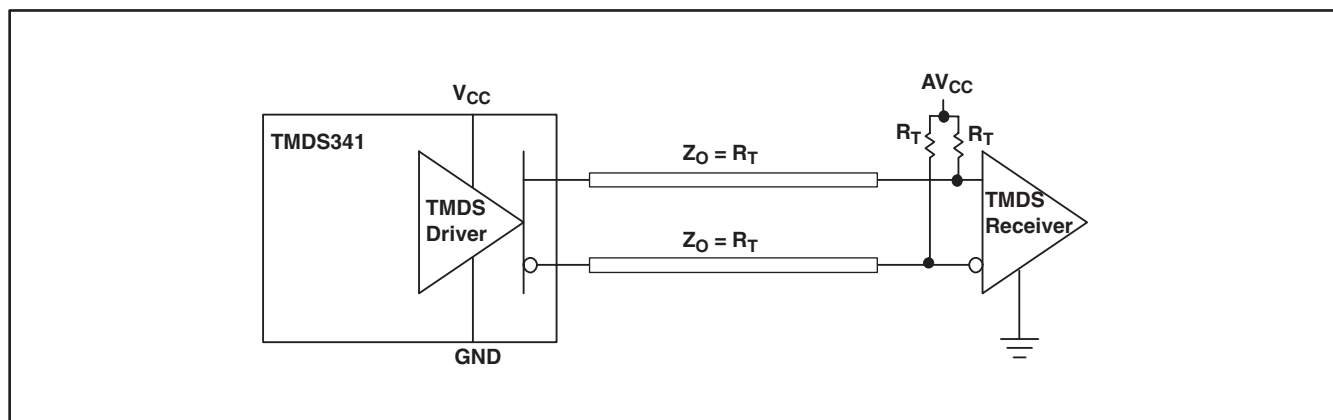


図 32. TMDSドライバおよび終端回路

HPD端子

HPD_SINK入力は5Vを許容するので、直接5V信号を接続することができます。HPD端子の出力抵抗は 35Ω (代表値) です。TMDS341のHPD端子からHDMIコネクタのHPDピンの間には、 $1k\Omega$ 、10%精度の抵抗を接続することを推奨します。

DDCチャネル

DDCチャネルは双方向バスゲートに設計されており、5V信号を許容できます。この5V許容により、直接標準I²Cバスに接続できます。したがって、3.3Vと5VのI²Cインターフェイスとのレベルシフタは不要です。

TMDS341の2:1スイッチとしての構成

TMDS341は2対1スイッチとして構成できます。それには、使用しないポートのソース・セレクト端子 (S1, S2, S3) をローに設定し、そのポートに対応するTMDS入力、SCL, SDA, およびHPD端子をオープンに設定します。

レイアウトの考察

高速なTMDS入力がTMDS341にとって最も重要なパスになります。コネクタとデバイス間のこれらの信号伝送ラインにおける不連続性を最小化する考察が、下記のようにいくつかあります。

- TMDS341の入力および出力の差動伝送ラインのインピーダンスを 100Ω にします。
- 高速I/Oの底面にグランドプレーンを途切れないように設けます。
- グランドに接続するヴィアをデバイスの極力近くに設け、電流のリターンパスが最短になるようにします。
- TMDS差動入力のレイアウトは、コネクタから最短になるようにします。

5m以上のケーブルの接続

TMDS341に5m以上のケーブルを接続する場合は、TMDS信号パスの影響をDDC信号バスと同様に考慮する必要があります。

TMDS信号パス

TMDS341レシーバのイコライザ回路には、5mの28-AWG DVIケーブルにおける符号間干渉 (ISI) 損失を補償する能力があります。代表的なケーブルの測定により次のことが分かります。すなわち、TMDS341は5mの28-AWG HDMIケーブルをドライブでき、HDMIソースの出力 (TP1) のアイマスクをパスすることができます。さらに、TMDS341は10mの28-AWG HDMIケーブルをドライブでき、HDMIシンクの入力 (TP2) のアイマスクをパスすることができます。図33から図36にアイマスクの測定結果を示します。

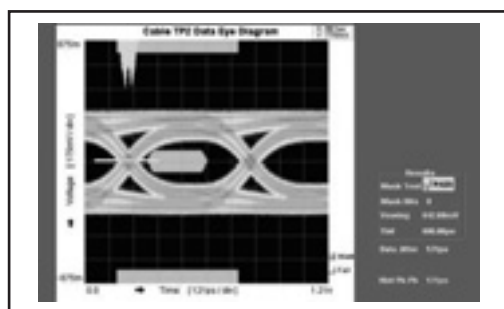


図 33. 5mの28-AWGケーブルの出力におけるアイ・ダイアグラム 対 TP1のアイマスク

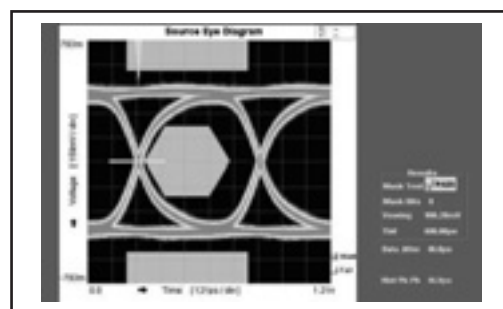


図 34. TMDS341により回復したアイ・ダイアグラム 対 TP1のアイマスク

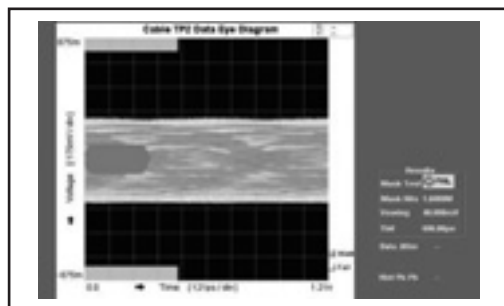


図 35. 10mの28-AWGケーブルの出力におけるアイ・ダイアグラム 対 TP2のアイマスク

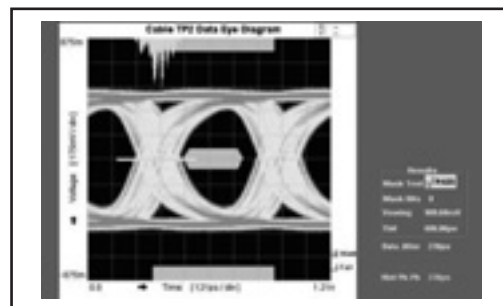


図 36. TMDS341により回復したアイ・ダイアグラム 対 TP2のアイマスク

DDC信号パス

I²Cバスを観測すると、その電圧はバスの抵抗、容量、および時間に依存します。バスをロー状態からハイ状態に充電する場合、その過渡電圧は次式(1)を使用して計算できます。

$$V(t) = V_{DD}(1 - e^{-t/RC}) \quad (1)$$

ここで、

tは充電を開始してから経過した時間、

V_{DD}はプルアップ終端電圧、

RはI²Cリンクにおける総抵抗値、

CはI²Cリンクにおける総容量値になります。

I²Cバスのバージョン2.1の仕様では、ハイレベルのしきい値電圧はV_{IH} = 0.7 V_{DD}、ローレベルのしきい値電圧はV_{IL} = 0.3 V_{DD}です。式(1)より、バス電圧を0VからV_{IH}およびV_{IL}レベルまで充電するのに要する時間は、

$$t_{IH} = 1.204 \times RC$$

$$t_{IL} = 0.357 \times RC$$

したがって、バスの立ち上がり時間 (0.3V_{DD}から0.7V_{DD}まで) は次式(2)で与えられます。

$$t_{r(30-70)} = t_{IH} - t_{IL} = 0.847 \times RC \quad (2)$$

TMDS341は、スタンドアロンのスイッチボックスやデジタルディスプレイに容易に適用できます。以下のセクションで、その各事例に対応できるバス長さについて示します。

スイッチ・アプリケーションの最大バス長

スタンドアロンのスイッチとしてTMDS341が使用される例を図37に示します。両方のプルアップ抵抗の値は、ソースおよびシンク装置によって決まります。ソースでは1.5kΩ抵抗、シンクでは47 kΩ抵抗をそれぞれ推奨します。

$$R_{\text{upsource}} = 1.5\text{-k}\Omega \quad 5\text{Vにプルアップ}$$

$$R_{\text{upsink}} = 47\text{-k}\Omega \quad 5\text{Vにプルアップ}$$

$$R_{\text{total}} = R_{\text{upsource}} // R_{\text{upsink}} = 1.45\text{ k}\Omega$$

$$C_{\text{total}} = C_{\text{source}} // C_{\text{cable1}} // C_i // C_o // C_{\text{cable2}} // C_{\text{sink}}$$

標準モードのI²Cについては、周波数は100kHzであり、遷移時間は1μs以下である必要があります。すると、式(2)より許容できる総容量C_{total}は814pFになります。C_{source}およびC_{sink}は、HDMI仕様により50pFに制限されています。TMDS341のC_{i/o}は最大10pFです。したがって、DVIあるいはHDMIケーブルの総容量は704pF以下である必要があります。

ケーブルの代表的な容量は、28-AWGの5mのHDMIケーブルで200pF、また28-AWGの5mのDVIケーブルで300pFです。推奨するケーブルの全長は、ケーブル1の長さL_{cable1}+ケーブル2の長さL_{cable2}になります。したがって、28-AWG DVIケーブルではケーブル全長11m、また28-AWG HDMIケーブルではケーブル全長17mになります。

以上の計算はV_{IH} ≤ V_{pass}の場合に適用できます。

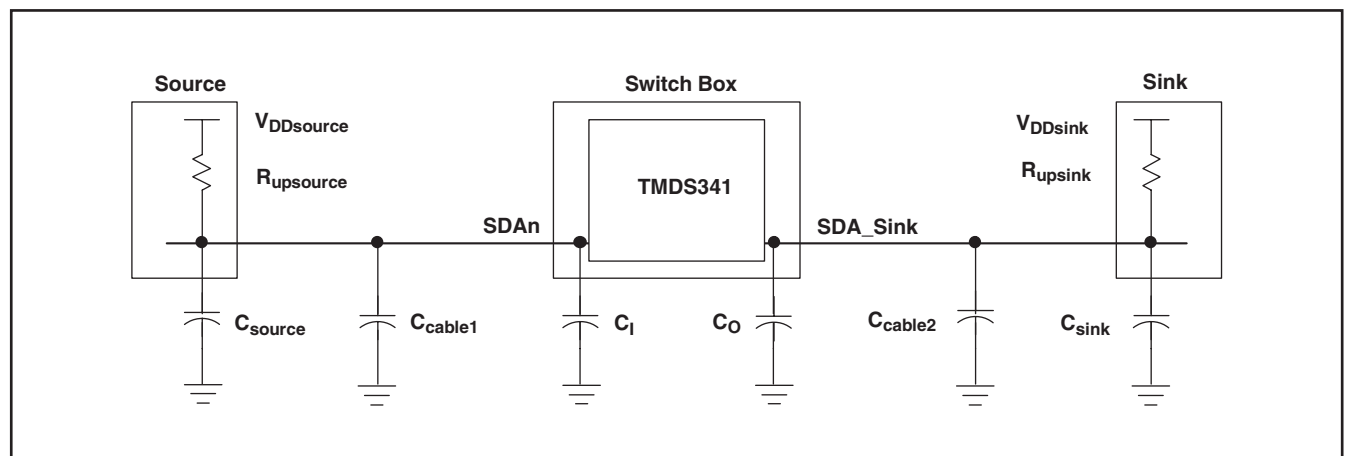


図 37. 外部スイッチボックスを伴うソース・シンク間のDDCリンク

DTVアプリケーションの最大バス長

DTVのスイッチとして使用され、かつDVI/HDMIレシーバと同じプリント基板に実装されているTMDS341を図38に示します。図37とは異なり、TMDS341スタンド・アローン・スイッチの出力コネクタと、シンクの入力コネクタが取り除かれています。その結果、DDCリンクの容量は小さくなり、またインピーダンスの不連続がありません。しかし、不要になったコネクタの容量は、許容総容量に比べて比較的小さいものです。したがって、前セクションの『スイッチ・アプリケーションの最大バス長』の場合とプルアップ抵抗および容量が同じ値であれば、その結果が再び使用できます。ただし、推奨するケーブルの全長はソースからシンクまでの長さになります。

しきい値電圧が $V_{IH} = 0.7 V_{DD}$ および $V_{IL} = 0.3 V_{DD}$ の場合の推奨ケーブル長を表2に要約します。

表2と同じ手法を $V_{IH} = 1.9V$ および $V_{IL} = 0.7V$ に適用して、DDCインターフェイスのタイミング条件を満足する推奨ケーブル長を表3に要約します。

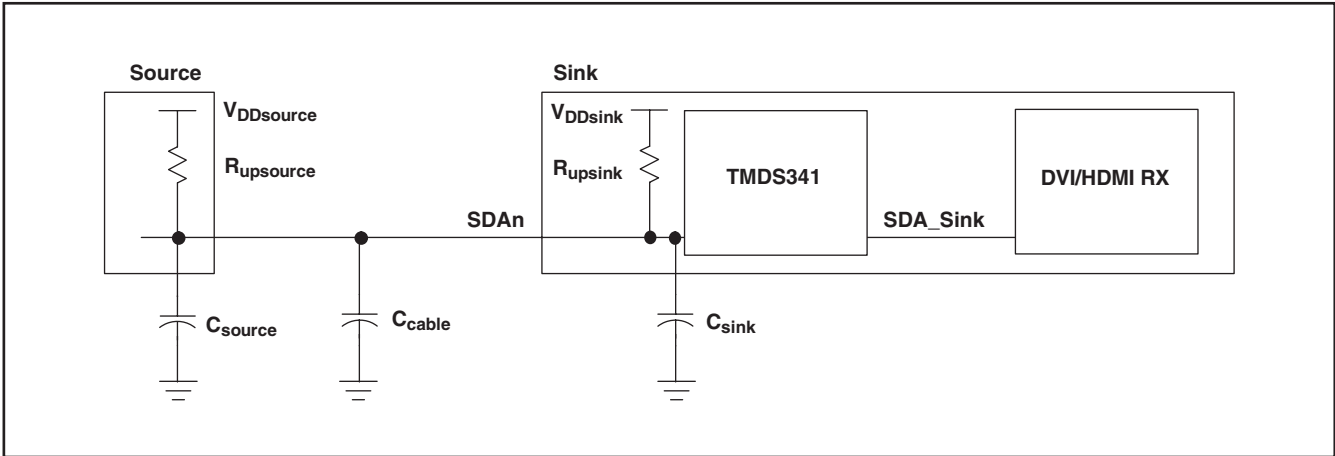


図 38. 外部スイッチボックスが無いソースからシンクまでのDDCリンク

DDC THRESHOLD VOLTAGE, $V_{IH} = 0.7 V_{DD}$, $V_{IL} = 0.3 V_{DD}$		TOTAL CABLE LENGTH (m)	
SUGGESTED PULL-UP RESISTANCE (kΩ)	CABLE TYPE	SWITCH BOX $L_{cable1} + L_{cable2}$	DIGITAL DISPLAY L_{cable}
$R_{upsource} = 1.5\text{ k}\Omega$ $R_{upsink} = 47\text{ k}\Omega$	28-AWG DVI	11	11
	28-AWG HDMI	17	17

表 2. しきい値電圧が $0.7 V_{DD}$ および $0.3 V_{DD}$ のDDCインターフェイスの推奨ケーブル長

DDC THRESHOLD VOLTAGE, $V_{IH} = 1.9\text{ V}$, $V_{IL} = 0.7\text{ V}$		TOTAL CABLE LENGTH (m)	
SUGGESTED PULL-UP RESISTANCE (kΩ)	CABLE TYPE	SWITCH BOX $L_{cable1} + L_{cable2}$	DIGITAL DISPLAY L_{cable}
$R_{upsource} = 1.5\text{ k}\Omega$ $R_{upsink} = 47\text{ k}\Omega$	28-AWG DVI	16	16
	28-AWG HDMI	24	24

表 3. しきい値電圧が $1.9V$ および $0.7V$ のDDCインターフェイスの推奨ケーブル長

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TMDS341PFC	ACTIVE	TQFP	PFC	80	96	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
TMDS341PFCG4	ACTIVE	TQFP	PFC	80	96	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
TMDS341PFCR	ACTIVE	TQFP	PFC	80	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
TMDS341PFCRG4	ACTIVE	TQFP	PFC	80	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

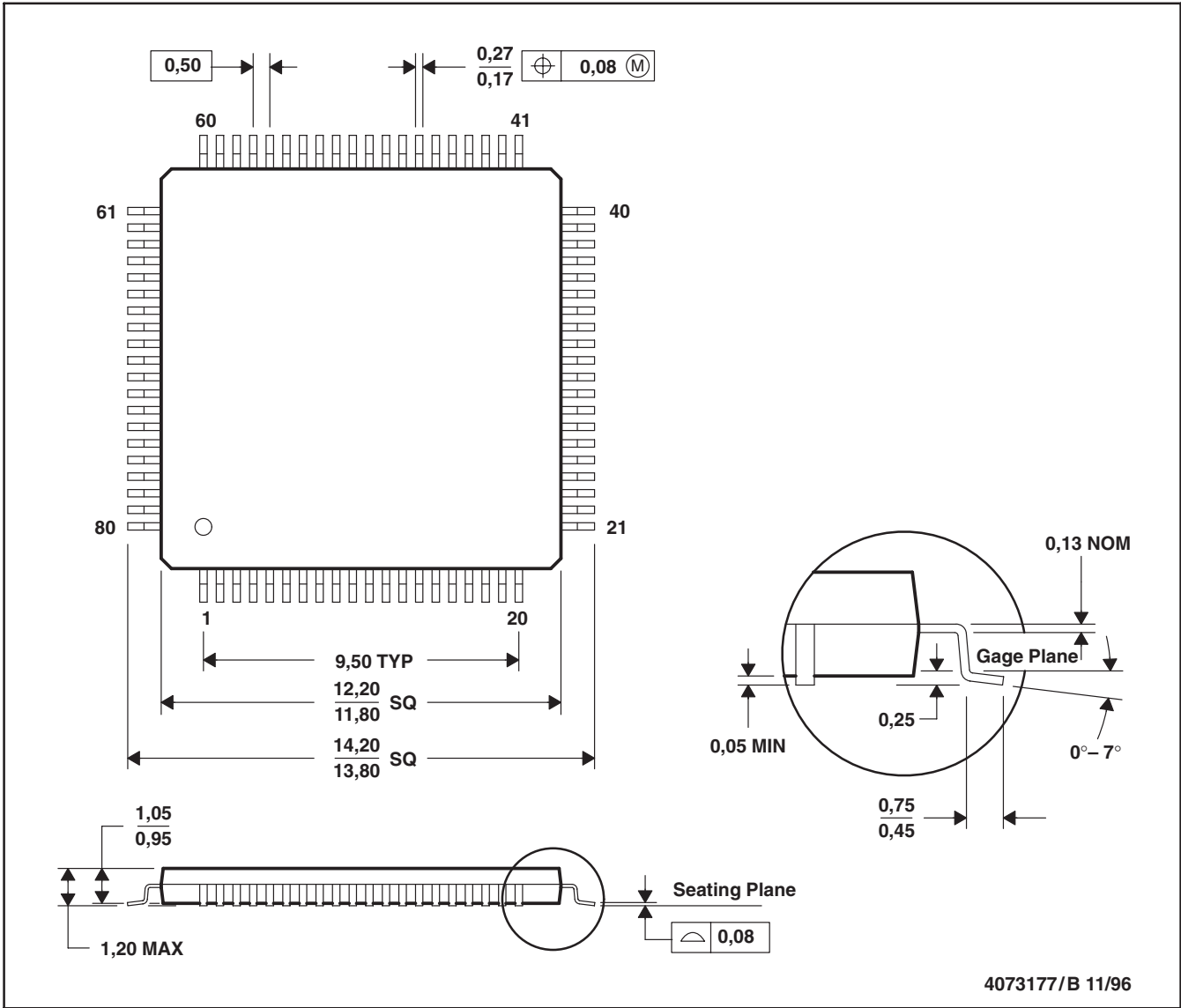
Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”（RoHS互換）に加えて、臭素（Br）およびアンチモン（Sb）をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1%を超えない）ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じるTIの責任は、TIによって年次ベースで顧客に販売される、このドキュメント発行時点でのTI製品の合計購入価格を超えることはありません。



NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MS-026

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated