TMP139 精度 0.5°C、JEDEC DDR5 グレード B、デジタル温度センサ、I²C および I3C インターフェイス付き

1 特長

- JEDEC JESD302-1 DDR5 グレード B 対応温度センサをサポート
- JEDEC 温度精度要求を上回る仕様:
  - ±0.25°C (標準値)
  - 最大 ±0.5°C (+75°C～+95°C)
  - 最大 ±0.75°C (-40°C～+125°C)
- 動作温度範囲:-40℃～+125℃
- 低い消費電力:
  - 8.3μA の標準平均静止時電流
  - 4.0μA の標準スタンバイ電流
- I/O 電源電圧:1V
- 1.8V のコア電源
- 2 線式のシリアル・バス・インターフェイス (I²C および I3C 基本動作モード)
- I3C 基本モードで最大 12.5MHz のデータ転送速度
- アラートホスト用のインバンド割り込み (IBI)
- ホスト書き込みのパリティ・エラー・チェック機能
- ホストの読み取りおよび書き込みのパケット・エラー・チェック機能
- 11 ビット分解能:0.25°C (1 LSB)
- 0.5mm ピッチの標準的な 6 ボール DSBGA (WCSP) パッケージで供給

2 アプリケーション

- DDR5 DIMM モジュール
- サーバー
- ノート PC
- ワークステーション
- SSD

3 概要

TMP139 は、I²C / I3C 準拠のデジタル・インターフェイスを搭載した高精度温度センサであり、インバンド割り込み (IBI) をサポートしています。グレード B デバイスで JEDEC JESD302-1 のインターフェイス要件をサポートする TMP139 は、仕様の温度精度要件を上回っており、より高性能な DDR5 メモリ・モジュールを実現できます。TMP139 はコンパクトな 6 ボール DSBGA パッケージで供給され、高速、高精度、低消費電力の熱監視アプリケーションを想定して設計されています。

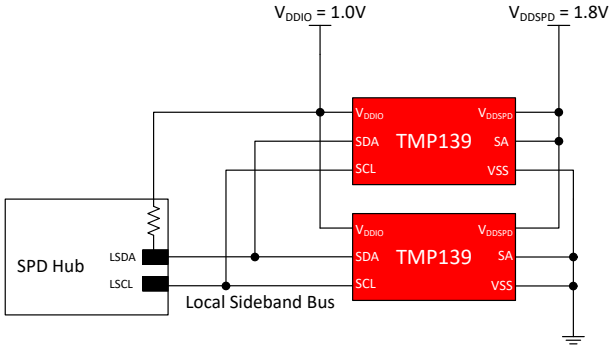
TMP139 は、-40°C～+125℃の温度範囲全体にわたって ±0.25°C の標準的精度を保ち、0.25°C の温度分解能を持つオンチップの 11 ビット A/D コンバータ (ADC) を実現します。

TMP139 は、1.8V のコア電源と 1V の I/O 電源で動作するように設計されており、125 ミリ秒ごとに変換を行うときの標準的な平均静止時電流は 8.3μA と低くなります。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TMP139	DSBGA (6)	1.328mm × 0.828mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



簡略回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....2
5 ピン構成および機能.....3
6 仕様.....4
6.1 絶対最大定格.....4
6.2 ESD 定格.....4
6.3 推奨動作条件.....4
6.4 熱に関する情報.....4
6.5 電気的特性.....5
6.6 タイミング要件.....6
6.7 スイッチング特性.....6
6.8 タイミング図.....7
6.9 代表的特性.....8
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....10
7.3 機能説明.....10
7.4 デバイスの機能モード.....13
7.5 プログラミング.....33
7.6 レジスタ・マップ.....36
8 アプリケーションと実装.....48
8.1 アプリケーション情報.....48
8.2 代表的なアプリケーション.....48
8.3 電源に関する推奨事項.....49
8.4 レイアウト.....49
9 デバイスおよびドキュメントのサポート.....50
9.1 ドキュメントの更新通知を受け取る方法.....50
9.2 サポート・リソース.....50
9.3 商標.....50
9.4 静電気放電に関する注意事項.....50
9.5 用語集.....50
10 メカニカル、パッケージ、および注文情報.....50

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (November 2022) to Revision C (May 2023) — **Page**

- MR2 レジスタのリセット値を 04h から 06h に変更.....36
- MR2 の DEV_REV_MINOR[2:0] ビットのリセット値を 010 から 011 に変更.....36

Changes from Revision A (February 2022) to Revision B (November 2022) — **Page**

- 「製品情報」表を「パッケージ情報」に変更.....1
- I_Q の代表値を 4.7µA から 8.3µA に変更.....5
- I_Q の最大値を 10µA から 12.4µA に変更.....5
- I_{DDR} および電流の代表値のテスト条件を更新.....5
- I_{DDW} および電流の代表値のテスト条件を更新.....5
- アクティブ電流の代表値を 92µA から 99µA に変更.....5
- スタンバイ電流の代表値を 0.6µA から 4µA に変更.....5
- スタンバイ電流の最大値を 4µA から 6.5µA に変更.....5
- I3C モードの t_{SUSTA} を JESD302-1 に合わせて 19.2ns から 12ns に変更.....6
- I3C モードの t_{HDSTA} を JESD302-1 に合わせて 38.4ns から 30ns に変更.....6
- I3C モードの t_{SUSTO} を JESD302-1 に合わせて 19.2ns から 12ns に変更.....6
- 図 6-8～図 6-12 を変更.....8
- 「電源に関する推奨事項」および「レイアウト」セクションを「アプリケーションと実装」セクションに移動.....49

Changes from Revision * (December 2020) to Revision A (February 2022) — **Page**

- MR2 レジスタのリセット値を 02h から 04h に変更.....36
- DEF_ADDR_POINT_EN ビットの説明を変更.....36
- MR7 レジスタの説明のアドレスを変更.....36

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

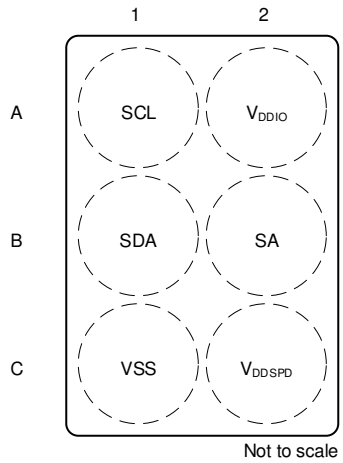


図 5-1. YAH パッケージ 6 ピン DSBGA 上面図

表 5-1. ピンの機能

ピン		I/O	説明
名称	ボール		
SA	B2	I	アドレス選択。V_{DDSPD} または GND に接続します
SCL	A1	I	シリアル・クロック
SDA	B1	I/O	シリアル・データ入力および出力。I3C モードでは、ピンはオープン・ドレインまたはプッシュプルになります。I^2C モードではオープン・ドレインになります
V_{DDIO}	A2	I	センサ I/O の電源電圧
V_{DDSPD}	C2	I	センサ・コアの電源電圧
VSS	C1	—	グランド

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

	最小値	最大値	単位
電源電圧、(V_{DDIO})	-0.5	2.1	V
電源電圧、(V_{DDSPD})	-0.5	2.1	V
入力電圧 SA	-0.5	2.1	V
入力電圧 SCL、SDA	-0.5	V_{DDIO} + 0.3	V
出力シンク電流 SDA		±15	mA
接合部温度、T_J	-55	150	℃
保存温度、T_{stg}	-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 [(1)]	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 [(2)]	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源電圧	V_{DDIO}	0.95	1.0	1.05	V
	V_{DDSPD}	1.7	1.8	1.98	V
I/O 電圧	SA	0		V_{DDSPD} + 0.3	V
	SCL、SDA	0		V_{DDIO} + 0.3	V
自由気流での動作温度 (T_A)		-40		125	℃

6.4 熱に関する情報

熱評価基準 [(1)]		TMP139 YAH (WCSP) 6 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	116.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	1.0	℃/W
$R_{\theta JC(bottom)}$	接合部からケース (下面) への熱抵抗	該当なし	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	33.6	℃/W
Ψ_{JT}	接合部から上面への熱特性パラメータ	0.4	℃/W
Ψ_{JB}	接合部から基板までの特性評価パラメータ	33.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2023 Texas Instruments Incorporated

6.5 電気的特性

T_A = -40°C～+125°C、V_{DDIO} = 0.95V～1.05V、V_{DDSPD} = 1.7V～1.98V (特に記述のない限り)、代表値は T_A = 25℃、V_{DDIO} = 1V、V_{DDSPD} = 1.8V で測定

パラメータ		テスト条件	最小値	代表値	最大値	単位
温度入力						
T_{ERR}	温度精度	+75°C～+95°C		±0.25	±0.5	℃
		–40℃～+125℃		±0.25	±0.75	℃
T_{RES}	分解能	1 LSB (11 ビット)		0.25		℃
T_{REPEAT}	再現性(1)			1		LSB
t_{ACT}	平均変換時間			5.5		ms
t_{CONV}	変換間隔			125		ms
T_{HYST}	温度ヒステリシス		1			℃
デジタル入出力						
C_{IN}	入力キャパシタンス(2)	入力キャパシタンス (SCL および SDA)			4	pF
R_{ON}	出力プルアップおよびプルダウン・ドライバのインピーダンス	SDA ピン	20		100	Ω
I_{LI}	リーク入力電流		-1	0	1	µA
I_{LO}	リーク出力電流		-1	0	1	µA
V_{IL}	LOW レベル入力ロジック		-0.3		0.3	V
V_{IH}	HIGH レベル入力ロジック		0.7		1.35	V
V_{HYS}	入力電圧ヒステリシス	SCL ピンと SDA ピン	60	100		mV
V_{OL}	LOW レベル出力ロジック	SDA ピン、I_{OL} = –3mA	0		0.3	V
V_{OH}	HIGH レベル出力ロジック	SDA ピン、I_{OH} = 3mA	0.75			V
SLEW_RATE	出力スルーレート(2)	SDA ピン	0.1		1.0	V/ns
電源						
I_Q	平均電流 (シリアル・バスは非アクティブ)	変換間隔 125ms		8.3	12.4	µA
I_{DDR}	平均電流 (読み取り動作)	変換間隔 125ms、読み取り温度レジスタ、f_{SCL} = 12.5MHz		8.3		µA
I_{DDW}	平均電流 (書き込み動作)	変換間隔 125ms、書き込みアラート・レジスタ、f_{SCL} = 12.5MHz		8.3		µA
I_{ACT}	アクティブ電流	5.5ms のアクティブ変換時		99	140	µA
I_{DD1}	スタンバイ電流	連続変換時のアクティブ変換間		4	6.5	µA
V_{PON}	パワーオン・リセットのスレッショルド	V_{PON} と $V_{DDSPD(MIN)}$ 間の単調な立ち上がり	1.6			V
V_{POFF}	ウォーム・パワーオン・サイクルの電源オフ・リセットのスレッショルド	V_{poff} を超えるリングバックなし			0.3	V
t_{INIT}	パワーオン・リセット後の初期化時間(2)	図 7-2			10.0	ms
t_{POFF}	ウォーム・パワー・サイクルのオフ時間(2)	図 7-3	1.0			ms
t_{SENSE_SA}	有効な V_{DDSPD} 電源供給から LID コード割り当て用に SA ピンを検出するまでの時間(2)	図 7-2			5.0	ms
t_{RST}	デバイスの再初期化時間(2) (3)				40	µs

(1) 再現性とは、測定した温度が同じ条件の下で連続的に適用されたときに、測定値を再現する能力です。
(2) パラメータは設計により規定されています。
(3) パラメータは、RSTDAA 共通コマンド・コード用に規定されています。

6.6 タイミング要件

最小値と最大値の仕様は、-40°C～125°C、V_{DDIO} = 0.95V～1.05V での値です (特に記述のない限り)[(1)]

		I²C モード - オープン・ドレイン		I3C モード - プッシュプル[(1)]		単位
		最小値	最大値	最小値	最大値	
f_{SCL}	SCL 動作周波数	0.01	1	0.001	12.5	MHz
t_{HiGH}	クロック・パルス幅の High 時間 (図 6-1)	260		35		ns
t_{LOW}	クロック・パルス幅の Low 時間 (図 6-1)	500		35		ns
$t_{TIMEOUT}$	クロック Low 検出のタイムアウト (図 7-4)	10	50	10	50	ms
t_R	SDA の立ち上がり時間 (図 6-1)		120		5	ns
t_F	SDA の立ち下がり時間 (図 6-1)	4	120		5	ns
t_{SUDAT}	データ・セットアップ時間 (図 6-1)	50		8		ns
t_{HDDI}	データ・ホールド時間 href (図 6-1)	0		3		ns
t_{SUSTA}	スタート・コンディションのセットアップ時間 (図 6-1)	260		12		ns
t_{HDSTA}	リピート・スタート・コンディションの後のホールド時間。この期間が経過した後、最初のクロックが生成されます。(図 6-1)	260		30		ns
t_{SUSTO}	ストップ・コンディションのセットアップ時間 (図 6-1)	260		12		ns
t_{BUF}	ストップ・コンディションから次のスタート・コンディションまでの時間 (図 6-1)	500		500		ns
t_{AVAL}	バス利用可能時間 (SDA および SCL にエッジなし)			1		µs
t_{IBI_ISSUE}	バスが利用可能なときにイベントが検出されてから IBI 発行までの時間				15	µs
$t_{CLR_I3C_CMD_DELAY}$	レジスタ・ステータスのクリアからスタート・コンディション付きの任意の I3C 動作までの時間、PEC はディセーブル			4		µs
	レジスタ・ステータスのクリアからスタート・コンディション付きの任意の I3C 動作までの時間、PEC はイネーブル			15		µs
t_{HDDAT}	SCL 立ち下がりクロック入力から SDA データ出力までのホールド時間 (図 6-4)	0.5	350			ns
t_{DOUT}	SCL 立ち下がりクロック入力から SDA 有効データ出力までの時間 (図 6-2、図 6-3、図 6-5)			0.5	12	ns
t_{DOFFS}	SCL 立ち上がりクロック入力から SDA 出力オフまでの時間 (図 6-2、図 6-3)			0.5	12	ns
t_{DOFFM}	SCL 立ち上がりクロック入力からホスト・コントローラの SDA 出力オフまでの時間			0.5	30	ns
$t_{CL_R_DAT_F}$	SCL 立ち上がりクロック入力からホスト・コントローラの SDA Low までの時間 (図 6-2)			40		ns
$t_{DEVCTRLCCC_PEC_DIS}$	DEVCTRL CCC 後の DEVCTRL CCC またはレジスタ読み取り / 書き込みコマンドまでの遅延	3		3		µs
$t_{WR_RD_DECLAY_PEC_EN}$	レジスタ書き込みコマンド後のレジスタ読み取りコマンドまでの遅延 (PEC イネーブル・モード)			8		µs
$t_{I2C_CCC_UPDATE_DELAY}$	SETHID CCC または SETAASA CCC 後のほかの CCC または読み取り / 書き込みコマンドまでの遅延	2.5				µs
$t_{I3C_CCC_UPDATE_DELAY}$	RSTDAA CCC または DISEC CCC 後のほかの CCC または読み取り / 書き込みコマンドまでの遅延			2.5		µs
t_{CCC_DELAY}	任意の CCC から RSTDAA CCC までの遅延			2.5		µs

(1) ホストとデバイスの V_{DD} 値は同じです。値は、初期リリース時にテストされたサンプルの統計分析に基づいています。
(2) 最大 $t_{(HDDAT)}$ は、ファスト・モードでは 0.9µs で、最大 $t_{(VDAT)}$ よりも遷移時間の分だけ短くなります。

6.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	代表値	最大値	単位
t_{LPF}	I3C との互換性を実現するスパイク・フィルタは、I²C モードでのみ有効	SCL = 12.5MHz			50	ns

Copyright © 2023 Texas Instruments Incorporated

6.8 タイミング図

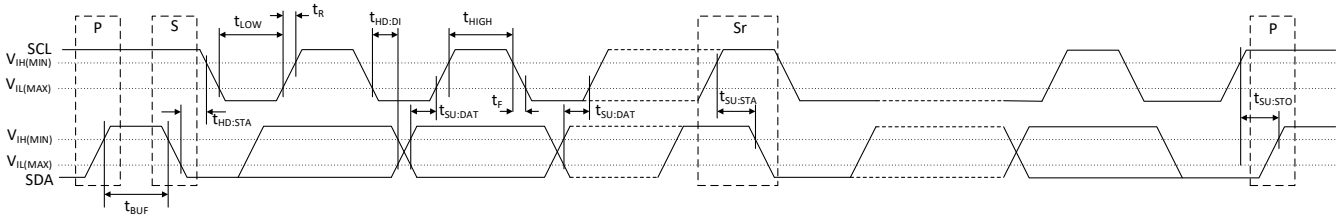


図 6-1. I²C および I3C の基本バス入力タイミング図

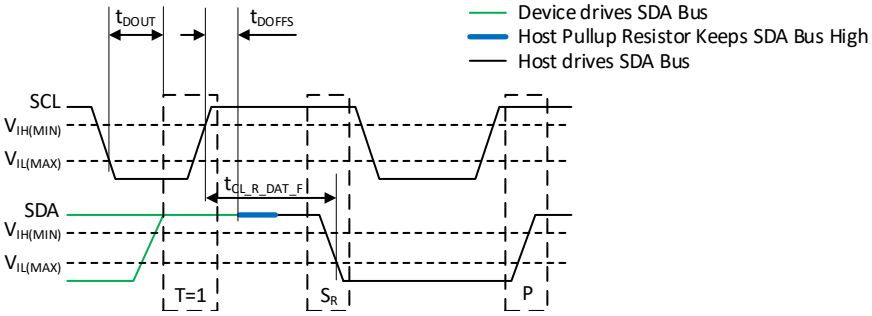


図 6-2. T = 1 ホストがリピート・スタートおよびストップで読み取りを終了するタイミング図

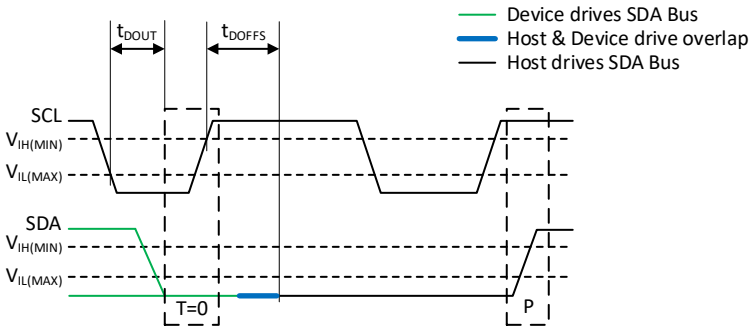


図 6-3. T = 0 デバイスが読み取りを終了し、ホストがストップを生成するタイミング図

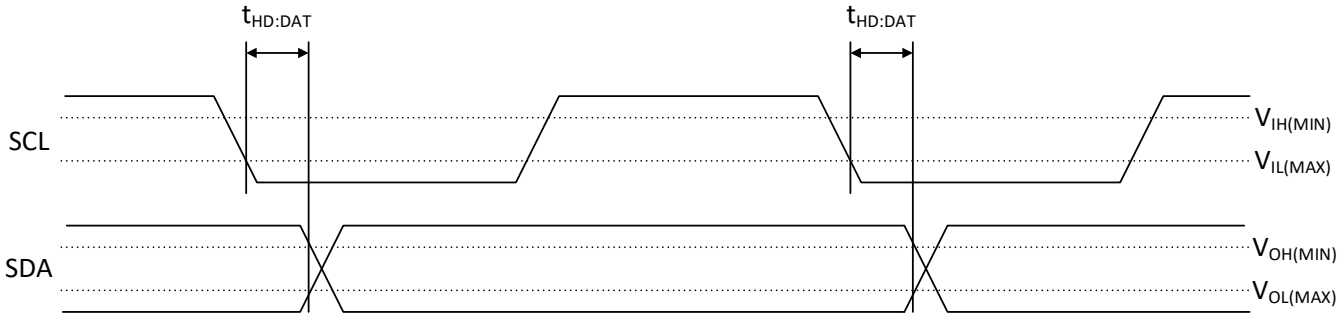


図 6-4. I²C 基本バス出力のタイミング図

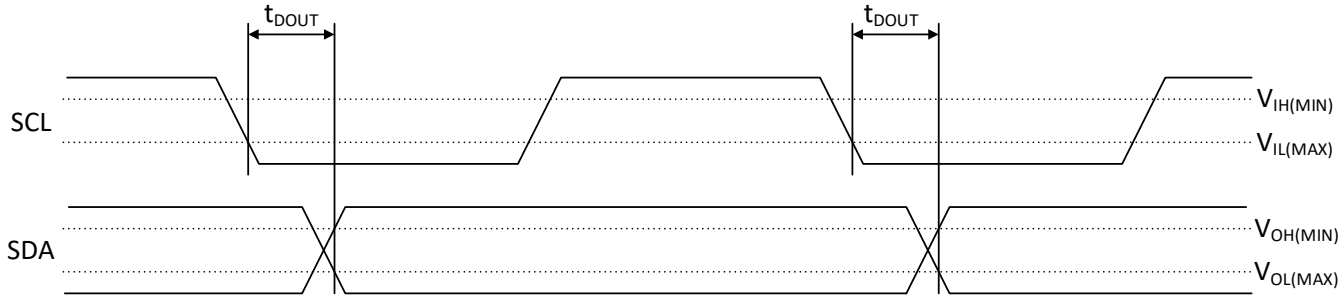


図 6-5. I3C 基本バス出力のタイミング図

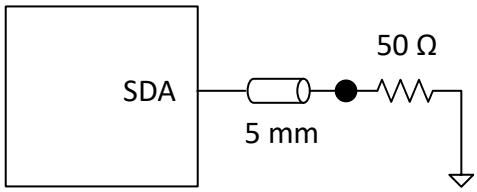


図 6-6. 出力スルー・レートおよび出力タイミング基準負荷

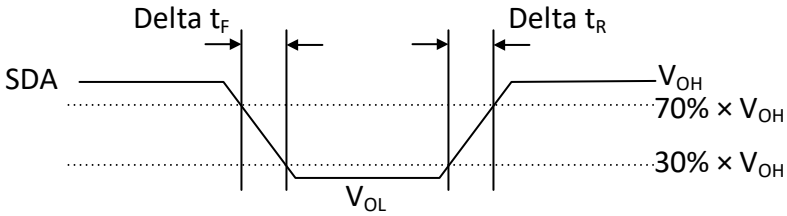


図 6-7. 出力スルーレートの測定ポイント

6.9 代表的特性

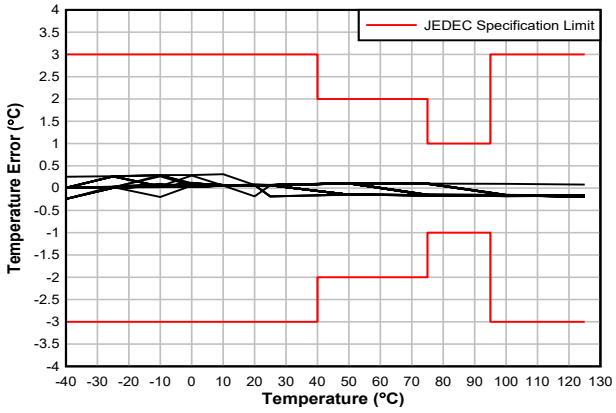
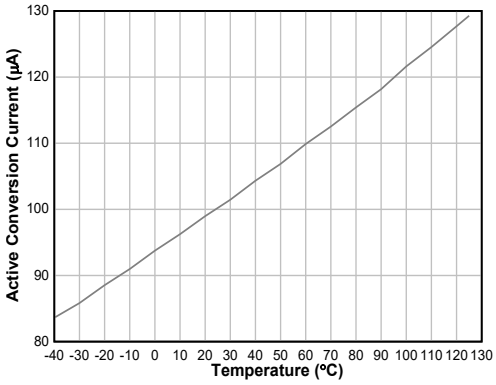


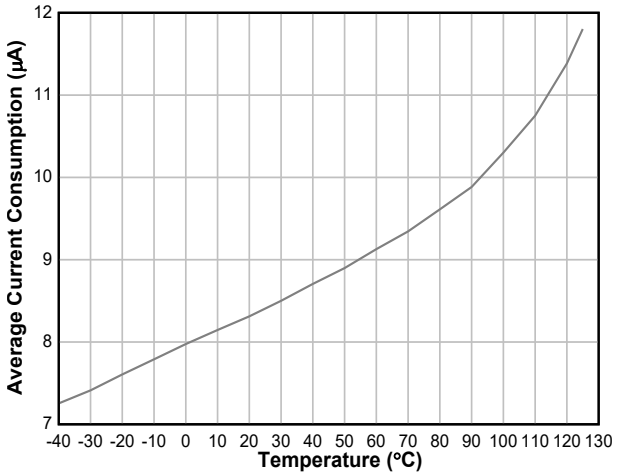
図 6-8. 温度誤差と温度との関係



V_{DDIO} = 1V、V_{IN} = 1.8V

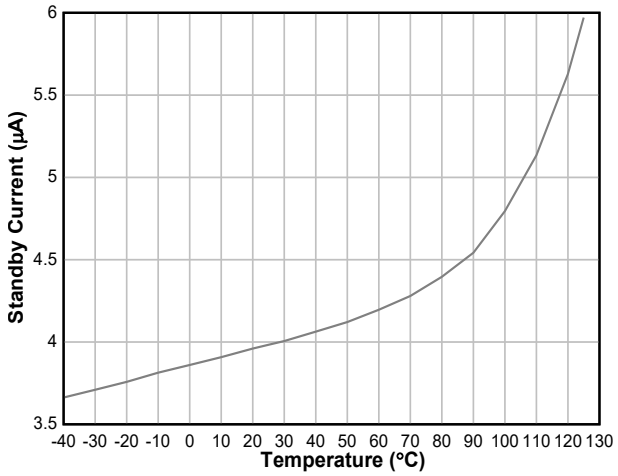
図 6-9. アクティブ変換時間と温度との関係

Copyright © 2023 Texas Instruments Incorporated



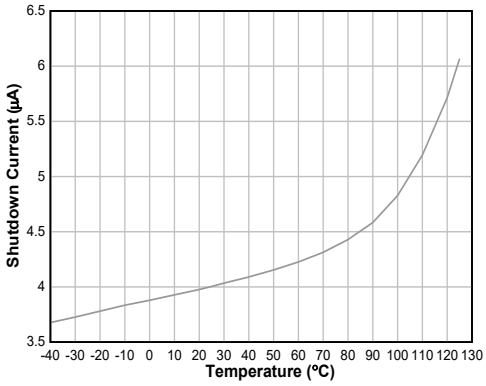
V_{DDIO} = 1V、V_{IN} = 1.8V

図 6-10. 平均電流と温度との関係



V_{DDIO} = 1V、V_{IN} = 1.8V

図 6-11. スタンバイ電流と温度との関係



V_{DDIO} = 1V、V_{IN} = 1.8V

図 6-12. シャットダウン電流と温度との関係

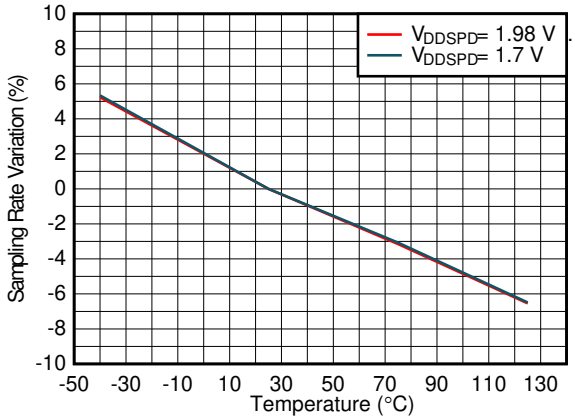


図 6-13. サンプリング・レートの変化

7 詳細説明

7.1 概要

TMP139 は、高精度の温度センサであり、パワーアップ・シーケンス、パワーダウンとデバイス・リセット、パリティおよびパケット・エラー・チェック機能、インバンド割り込み (IBI)、共通コマンド・コード (CCC) をサポートしています。

7.2 機能ブロック図

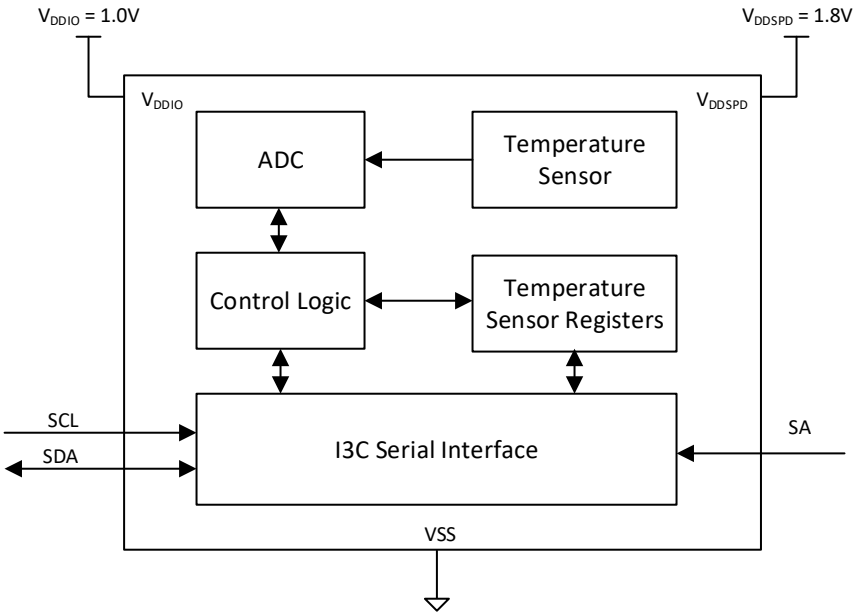


図 7-1. TMP139 機能ブロック図

7.3 機能説明

7.3.1 パワーアップ・シーケンス

TMP139 には 2 つの電源ピンがあります。コア電源である V_{DDSPD} と 、IO 電源である V_{DDIO} です。デバイスの正常起動を確保するためには、まず V_{DDSPD} に電源を投入し、次に V_{DDIO} を起動する必要があります。さらに、パワーオン・リセット (POR) 回路が実装されており、パワーアップ・シーケンスが正しくない場合に不適切な動作を防止します。

図 7-2 に示すように、V_{DDSPD} 電源が最初に印加され、$V_{PON(min)}$ と $V_{DDSPD(min)}$ の間でリングバックなしに単調に立ち上がる必要があります。V_{DDIO} 電源は、その次に立ち上がる必要があり、いずれかの動作が実行される前に正しいレベルに達している必要があります。

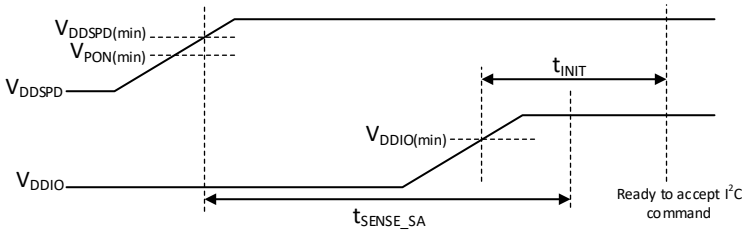


図 7-2. パワーアップ・シーケンス

V_{DDSPD} および V_{DDIO} 電源が最小スレッショルド値を上回ると、TMP139 は以下に示す手順を実行します。

1. 時間 t_{SENSE_SA} 内に、デバイスは SA ピンをサンプリングして、デバイス・アドレスの一部を形成する LID コードを構成します。
2. 時間 t_{INIT} 内に、インターフェイスをイネーブルして、ホストからのコマンドを受け入れられるようにします。

Copyright © 2023 Texas Instruments Incorporated

デバイスは、パワーアップすると常に I²C 動作モードになります。

7.3.2 パワーダウンおよびデバイス・リセット

V_{DDSPD} 電源が低下した場合、$V_{DDSPD(min)}$ レベル未満ではデバイスの動作は保証されません。デバイスの正常動作を確保するために、図 7-3 に示すように、アプリケーションでは、V_{DDIO} および V_{DDSPD} が T_{POFF} の期間にわたって V_{POFF} を下回るようにする必要があります。条件が満たされると、デバイスは正しくリセットされ、パワーアップ・シーケンスによってデバイスが正しく初期化されます。

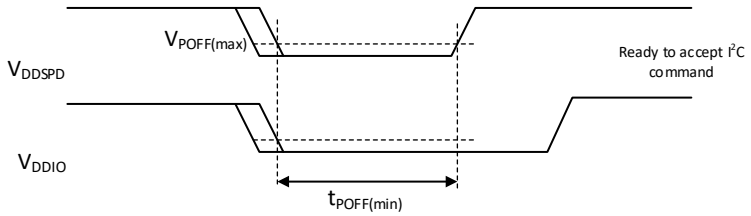


図 7-3. パワーダウンおよびリセットシーケンス

7.3.3 温度結果および限界値

温度結果と限界値レジスタは、すべて 11 ビットの値であり、2 つの連続するレジスタに保存されます。表 7-1 に示すように、レジスタ・マップでは、下位バイト・レジスタの後に上位バイト・レジスタが続きます。データは 11 ビットの符号付き数値として表現され、温度フォーマットの最上位ビットが符号ビットになります。各温度値ビットには、重みが割り当てられており、これを使って温度値を計算できます。未使用のビットはすべて 0 として読み取られます。また、未使用のビットに書き込もうとしても何も影響がありません。温度結果および限界値レジスタの分解能は常に 0.25°C です。デバイスの推奨動作範囲は -40°C~+125°C ですが、この値の範囲は –255.75°C～+255.75°C です。

表 7-1. 温度レジスタのフォーマット

レジスタ・バイト	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
下位バイト	8	4	2	1	0.5	0.25	予備 = 0	予備 = 0
上位バイト	予備 = 0	予備 = 0	予備 = 0	符号	128	64	32	16

表 7-2 に、温度レジスタの読み取り値およびそれに対応する変換値 (単位:°C) の例をで示します。

表 7-2. 温度レジスタの例

温度 (°C)	上位バイト	下位バイト
+255.75	0000 1111	1111 1100
+125	0000 0111	1101 0000
+95	0000 0101	1111 0000
+85	0000 0101	0101 0000
+75	0000 0100	1011 0000
+1	0000 0000	0001 0000
+0.25	0000 0000	0000 0100
0	0000 0000	0000 0000
-0.25	0001 1111	1111 1100
–1	0001 1111	1111 0000
-25	0001 1110	0111 0000
–40	0001 1101	1000 0000
-255.75	0001 0000	0000 0000

7.3.4 バス・リセット

TMP139 はバス・リセット・メカニズムをサポートしており、デバイスがシリアル・バスをロックアップすることを防止します。バス上のデバイスは SCL を駆動しないため、バス・リセット・メカニズムは、図 7-4 に示すように SCL のタイムアウト方式を使用します。ホスト・コントローラによって SCL が LOW に保持されている期間が $T_{TIMEOUT(max)}$ を超えた場合、TMP139 はリセットされ、次のアクションを実行します。

- インターフェイスはリセットされ、バス・リセットはストップ・コンディションと見なされるため、保留中の内部トランザクションもクリアされます。
- TMP139 は I²C 動作モードに戻り、以下のレジスタをリセットします。
  - MR7 レジスタ、DEV_HID_CODE[2:0] は 3'b111 に設定されます。
  - MR18 レジスタ、PEC_EN、PAR_DIS、INF_SEL は 1'b0 に設定されます。
  - MR27 レジスタ、IBI_ERROR_EN は 1'b0 に設定されます。
  - MR52 レジスタ、PEC_ERROR_STATUS および PAR_ERROR_STATUS は 1'b0 に設定されます。
- TMP139 は、SA ピンを再サンプリングしません。
- TMP139 は、SDA ピンをフローティングにして、バス・コントローラがラインをプルアップできるようにします。

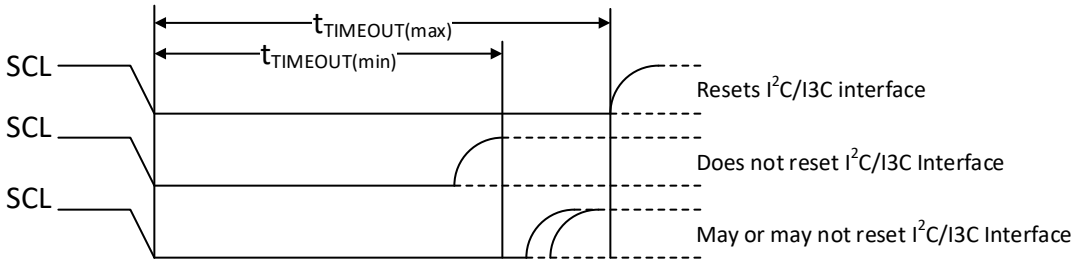


図 7-4. I²C または I3C の基本的なバス・リセット

7.3.5 割り込みの生成

TMP139 には専用の割り込みピンまたはアラート・ピンがありませんが、代わりに SDA ピンでのインバンド割り込み (IBI) を使用した割り込み生成をサポートしています。IBI を使用した割り込み生成は、I3C 動作モードでのみサポートされています。したがって、アプリケーションは、デバイスが IBI をイネーブルする前に、まず I3C モードで動作するようにプログラムされていることを確認する必要があります。I3C 基本バスには複数のデバイスが存在しておりめ、それぞれが IBI を生成できるため、調停プロセスが必要です。

TMP139 が IBI を生成するのは、バスが t_{AVAL} 期間にわたって アイドル状態であることを確認した場合に限ります。この条件が満たされると、デバイスは SDA ラインを t_{IBI_ISSUE} の期間だけ LOW にプルし、IBI があることをホストに通知します。ホストは SCL を LOW に駆動して開始します。これによりバスのスタート・コンディションが生成されます。この時点で、デバイスは、R/W ビットをセットした状態でデバイス・アドレスをバスに送信します。

TMP139 が IBI を生成すると同時に、ホストが新しいバス・トランザクションを開始する状況になる可能性があります。このような場合、TMP139 とホストの間で、デバイス・アドレス・バイトでの調停が行われます。

7.3.6 パリティ・エラー・チェック

TMP139 によって実装されるパリティ・エラー・チェックは、奇数パリティです。I²C モードでは、サポートされている共通コマンド・コード (CCC) 以外については、パリティ・エラー・チェックはサポートされていません。I3C モードでは、CCC とホストからデバイスへのデータ転送の両方でパリティ・エラー・チェックがサポートされています。パリティ・ビットは、ホスト書き込み中にのみ送信され、TMP139 はパリティをチェックして、受信したデータまたは CCC が正しいことを確認します。このデバイスには、奇数パリティが実装されています。バイトの中で奇数個のビットが 1 になっている場合、パリティ・ビットは 0 に設定されます。バイトの中で偶数個のビットが 1 になっている場合、パリティ・ビットは 1 に設定されます。

データ転送または CCC 中にパリティ・エラーが発生した場合、TMP139 はパリティ・エラー検出後にバイトを破棄し、バス上でストップ・コンディションを待機しますす。

Copyright © 2023 Texas Instruments Incorporated

パリティ・エラーが検出された場合、デバイスは MR48 レジスタの IBI_STATUS ビットと、MR52 レジスタの PAR_ERROR_STATUS ビットを設定します。

7.3.7 パケット・エラー・チェック

パケット・エラー・チェック (PEC) は、表 7-3 に示す多項式を使用して CRC-8 で実装されます。

表 7-3. PEC ルール表

PEC ルール	属性
PEC 幅	8 ビット
PEC 多項式	$x^8 + x^2 + x^1 + 1$ (07h)
初期シード値	00h
入力データの反映	なし
出力データの反映	なし
XOR 値	00h

PEC は I3C モードでのみサポートされ、デバイス・アドレス、R/W ビット、およびデータ・パケットで計算されます。PEC 機能のシード値は、バスのスタート・コンディションまたはリピート・スタート・コンディションのいずれかでゼロにリセットされます。

PEC のイネーブルまたはディセーブルによるホスト・トランザクションは、その次にバス上でストップ・コンディションが直ちに続く必要があります。これは、MR18 レジスタの PEC 制御ビットを更新できるようにするためです。

7.4 デバイスの機能モード

このセクションでは、TMP139 のシリアル・アドレス構造について、およびデバイスが I²C モードと I3C 基本モードで動作する方法 (モード間の切り替えを含む) について説明します。このセクションでは、IBI およびバス・リセット・シーケンス中の TMP139 の動作についても説明します。

7.4.1 変換モード

TMP139 は、起動時には、連続変換モードになっています。このモードでは、デバイスは、図 7-5 に示すように 125ms ごとに温度変換を実行します。

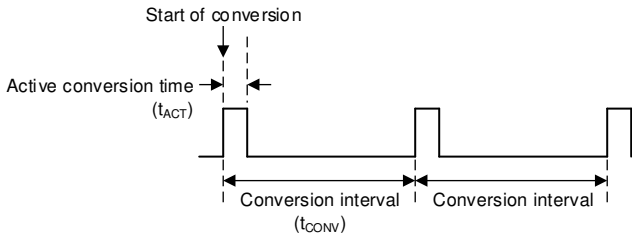


図 7-5. 連続変換サイクルのタイミング図

アプリケーション・ソフトウェアは、MR26 レジスタのビット 0 をクリアすることで、変換を停止できます。ディセーブルの場合、デバイスは結果レジスタを更新しません。温度センサをディセーブルにしたとき、ホストは、デバイスへの他の書き込みを実行する前に、ディセーブルが効果を発するまで少なくとも 1 回のアクティブ変換サイクルを待つ必要があります。連続変換モードで、温度センサを再びイネーブルにした場合、ホストは、温度結果を読み取る前に、少なくとも 1 回の変換間隔を待つ必要があります。この期間中、他のレジスタへの読み取りは実行可能です。

7.4.2 シリアル・アドレス

TMP139 には 7 ビットのシリアル・アドレスがあり、ホストは、これを I²C および I3C 基本動作モードでデバイスと通信するために使用します。 表 7-4 に、TMP139 のシリアル・アドレス・フォーマットを示します。「パワーアップ・シーケンス」で説明しているように、電源投入時に SA ピンをサンプリングします。サンプリングされた SA ピンの値を使用して、シリアル・ア

ドレスのローカル・デバイス・タイプ ID (LID) セクションとして可能な 2 つの値のいずれか一方が選択されます。LID は ホスト ID (HID) と連結され、7 ビットの一意のシリアル・アドレスを形成します。

表 7-4. シリアル・アドレス・フォーマット

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0	SA	1	0	1	1	1	R/W
ローカル・デバイス・タイプ ID (LID)				ホスト ID (HID)			読み出し / 書き込み

SA ピンが GND に接続されている場合、TMP139 のシリアル・アドレスは 7'b0010111 としてエンコードされます。SA ピンが V_{DDSPD} に接続されている場合、シリアル・アドレスは 7'b0110111 としてエンコードされます。

7.4.3 I²C モードの動作

I²C 動作モードは、デバイスの電源を投入したとき、バス・リセットを実行したとき、またはデバイスが I3C 動作モードである場合に RSTDAA CCC が発行されたときの最初の動作モードです。このモードでサポートされる最大バス速度は、1.0MHz です。この動作モードでは、次の機能はサポートされていません。

1. IBI：I³C 基本モードで IBI がイネーブルになっている場合、I²C モードに切り替えると、IBI イネーブル・メカニズムがディセーブルになります。IBI を発生させるデバイス・イベントが存在する場合、デバイスは各レジスタにイベントのステータスを記録します。
2. パケット・エラー・チェック：この機能はサポートされていません。ホストが PEC バイト付きでデータの書き込みを試みる場合、PEC バイトはデータ・バイトとして扱われ、レジスタ・アドレスにインクリメント方式で書き込まれます。
3. パリティ・エラー・チェック：表 7-6 に記載されている CCC を除いて、パリティ・エラー・チェックはサポートされていません。

I²C 動作モードでは、TMP139 は、SETHID、DEVCTRL、SETAASA CCC、および PEC なしのデータ転送パケットをサポートしています。また、7'h7E および W = 0 を後に伴うスタートまたはリピート・スタートは、サポートされている CCC を発行する目的でのみ許可されます。リピート・スタートに関連するそれ以外の動作は、規格不適合とみなされます。

7.4.3.1 ホスト I²C 書き込み動作

I²C 書き込み動作の場合、図 7-6 に示すように、ホスト・コントローラは、スタートまたはリピート・スタートの後、R/W ビットを 0 としてデバイス・アドレスを送信します。その後に 8 ビットのレジスタ・アドレス、さらにデータが続きます。TMP139 は、指定されたレジスタ・アドレスにデータを書き込みます。内部書き込みレジスタ・アドレス・ポインタは、データ・バイトを書き込むたびにインクリメントされます。書き込みの結果、アドレスがロールオーバーした場合、デバイスは内部書き込みレジスタ・アドレス・ポインタをリセットし、可能な場合は書き込み動作を続行します。TMP139 は、予約済みまたは読み取り専用レジスタに対するデータ・バイトに対して NACK 応答をしませんが、そのデータ・バイトを破棄し、レジスタを更新しません。

図 7-6. I²C 書き込み動作

7.4.3.2 ホスト I²C 読み取り動作

I²C 読み取り動作の場合、ホスト・コントローラは、スタートまたはリピート・スタートの後、R/W ビットを 0 としてデバイス・アドレスを送信します。その後に 8 ビットのレジスタ・アドレスが続きます。レジスタ・アドレスが TMP139 で利用可能になると、

Copyright © 2023 Texas Instruments Incorporated

ホストはリピート・スタートを発行し、R/W ビット を 1 としてデバイス・アドレスを送信します。この時点で、デバイスは、ホストが NACK を送信するまで、レジスタ・アドレスをインクリメントしながらデータを送信します。読み取り動作の結果、内部読み取りレジスタ・アドレス・ポインタがロールオーバーした場合、TMP139 デバイスの動作は定義されません。

S or Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								ACK	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								ACK	
	$Data_{(RA+1)}$								ACK	
	…								ACK	
	$Data_{(RA+N)}$								NACK	Sr or P

図 7-7. I²C 読み取り動作

7.4.3.3 ホスト I²C 読み取り動作 (デフォルト読み取りアドレス・ポインタ・モード)

TMP139 には 図 7-8 に示すように、デフォルト読み取りアドレス・ポインタ・モードがあり、I²C バス上の特定のレジスタを読み取ります。 ホストから送信されるバイト数は、標準の I²C 読み取り動作より 2 つ少ないため、このモードではより効率的なポーリング・メカニズムを実現できます。 MR18 レジスタのビット DEF_RD_ADDR_POINT_EN を使用して、モードをイネーブルにします。また、ビット DEF_RD_ADDR_POINT_Start を使用して、デフォルトの読み取りアドレス・ポインタをレジスタ・マップ内の特定のレジスタに設定します。このモードをイネーブルにすると、TMP139 は、バス上でストップ・コンディションが発生したときに、内部読み取りアドレス・ポインタを特定のレジスタに設定します。

S or Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(DEF_ADDR_POINTER)}$								ACK	
	$Data_{(DEF_ADDR_POINTER+1)}$								ACK	
	…								ACK	
	$Data_{(DEF_ADDR_POINTER+N)}$								NACK	Sr or P

図 7-8. I²C デフォルト読み取りアドレス・ポインタ・モード

この動作モードには、具体的には 2 つのケースがあります。第 1 のケースでは 図 7-9 に示すように、デフォルト読み取りモードの前に通常の I²C 読み取りがあります。スタートの前にストップがある場合、内部の読み取りアドレス・ポインタはデフォルト・アドレス・ポインタに設定されます。それ以降のデータ読み取りでは、そのデフォルト読み取りアドレス・ポインタに対応するデータ・バイトが TMP139 によって送信されます。ストップではなくリピート・スタートが発行された場合、TMP139 は、デフォルト読み取りアドレス・ポインタに基づいてデータを送信します。

S or Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								ACK	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								ACK	
	$Data_{(RA+1)}$								ACK	
	…								ACK	
	$Data_{(RA+N)}$								NACK	P
S	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(DEF_ADDR_POINTER)}$								ACK	
	$Data_{(DEF_ADDR_POINTER+1)}$								ACK	
	…								ACK	
	$Data_{(DEF_ADDR_POINTER+N)}$								NACK	Sr or P

図 7-9. I²C 通常読み取りの後にデフォルト読み取りアドレスが続く場合

第 2 のケースでは 図 7-10 に示すように、デフォルト読み取りモードの前に、通常の I²C 書き込みがあります。ストップの後に書き込みバス動作が続き、次にリピート・スタートで読み取りモードが実行される場合、TMP139 は、内部の読み取りアドレス・ポインタをデフォルト読み取りアドレスに更新して、バイトをホストに送信します。

										P
S	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								ACK	
	$Data_{(RA)}$								ACK	
	$Data_{(RA+1)}$								ACK	
	…								ACK	
	$Data_{(RA+N)}$								ACK	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(DEF_ADDR_POINTER)}$								ACK	
	$Data_{(DEF_ADDR_POINTER+1)}$								ACK	
	…								ACK	
	$Data_{(DEF_ADDR_POINTER+N)}$								NACK	Sr or P

図 7-10. I²C 通常書き込みの後にデフォルト読み取りアドレスが続く場合

7.4.3.4 I²C モードから I3C 基本モードへの切り換え

表 7-6 に示すように、I2C モードでは、DEVCTRL、SETHID、および SETAASA の各 CCC のみがサポートされています。ホストは、SETAASA を発行してデバイスを I²C モードから I3C 基本モードに切り替える前に、DEVCTRL や SETHID を発行することがあります。

ホストが SETAASA を発行すると、バス上でストップ・コンディションが検出された後、デバイスは MR18 レジスタの INF_SEL ビットを 1'b1 に設定してこのコマンドを登録します。その後、TMP139 は I3C 基本動作モードになります。

Copyright © 2023 Texas Instruments Incorporated

7.4.4 I3C 基本モードの動作

前のセクションで説明したように、I3C の基本動作モードは、必ず I²C 動作モードから移行します。I3C 基本モードでは、プッシュプル SDA ドライバにより、最大 12.5MHz のデータ転送速度をサポートできます。さらに、デフォルトで、またはイネーブルされた場合に、以下の機能をサポートできます。

1. IBI：デフォルトではディセーブルですが、ここでは IBI をイネーブルできます。
2. パケット・エラー・チェック：デフォルトではディセーブルですが、ホストによってイネーブルされた場合、TMP139 は、PEC 機能をサポートできます。
3. パリティ・チェック：デフォルトで常にイネーブルです。

I3C 基本動作モードでは、読み取りパケットと書き込みパケットの構成が異なる場合があります。データ・ペイロードの構造は、イネーブルになっている機能に依存します。

7.4.4.1 ホスト I3C 書き込み動作、PEC なし

図 7-11 および 図 7-12 に示すように、I3C 基本書き込み動作は、I²C の書き込み動作と同じです。デバイス・アドレス・フィールドの後のすべてのバイトについて 、9 番目のビットはホストから送信されるパリティ・ビットです。ホストによって IBI がイネーブルになっている場合、ホストは、デバイス・アドレスを送信する前に、7'h7E および R/W = 0 で構成される IBI ヘッダ・バイトを送信する必要があります。これにより、複数のデバイスにおいてホストと通信する必要のある割り込み条件が発生した場合に、バス上の参加デバイス間での調停が可能になります。

S or Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								T	
	Data$_{(RA)}$								T	
	Data$_{(RA+1)}$								T	
	…								T	
	Data$_{(RA+N)}$								T	Sr or P

図 7-11. I3C 基本モードの書き込み

S	1	1	1	1	1	1	0	R/W=0	ACK	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								T	
	Data$_{(RA)}$								T	
	Data$_{(RA+1)}$								T	
	…								T	
	Data$_{(RA+N)}$								T	Sr or P

図 7-12. I3C 基本モードの書き込み、IBI ヘッダー付き

データ転送中にパリティ・エラーが発生した場合、デバイスはパリティ・エラーが検出されたバイトを含むすべてのバイトを破棄し、パリティ・エラー状態を設定します。ホストが同じデバイスに対してリピート・スタートで新しいトランザクション開始しようとしたとき、TMP139 は、デバイス・アドレスに NACK 応答して、エラー状態をホストに通知します。ホストは、TMP139 への新しい転送を実行する前に、まずパリティ・エラー状態をクリアする必要があります。IBI がイネーブルのとき、デバイスは IBI を使用して、検出されたエラー条件をホストと通信できます。ただし、IBI がイネーブルでない場合は、ホストがエラー・ステータス・レジスタをチェックして、バスでパリティ・エラーが検出されていないことを確認するように強く推奨します。

7.4.4.2 ホスト I3C 書き込み動作、PEC 付き

図 7-13 および 図 7-14 に示すように、ホストが PEC をイネーブルにすると、レジスタ・アドレスを送信した後、ホストによってさらにバイトが追加されます。追加バイトのフォーマットについては、表 7-5 で説明します。

表 7-5. コマンドの真理値表 - PEC イネーブル・モード

CMD	RW	コマンド名	コマンドの説明
000	0	W1R	データ・パケットで指定されたレジスタ・アドレスに 1 バイトを書き込みます
	1	R1R	データ・パケットで指定されたレジスタ・アドレスから 1 バイトを読み取ります
001	0	W2R	データ・パケットで指定されたレジスタ・アドレスに 2 バイトを書き込みます
	1	R2R	データ・パケットで指定されたレジスタ・アドレスから 2 バイトを読み取ります
010～111	X	RSVD	予約済み

ホストから送信された CMD 値が TMP139 に対して有効でない場合、デバイスは指定されたレジスタにデータを何も書き込みません。

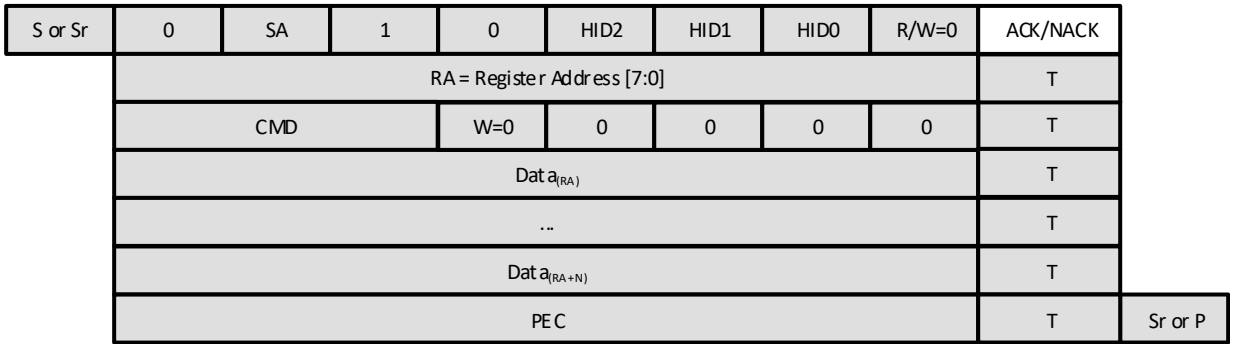


図 7-13. I3C 基本モードの書き込み、PEC イネーブル

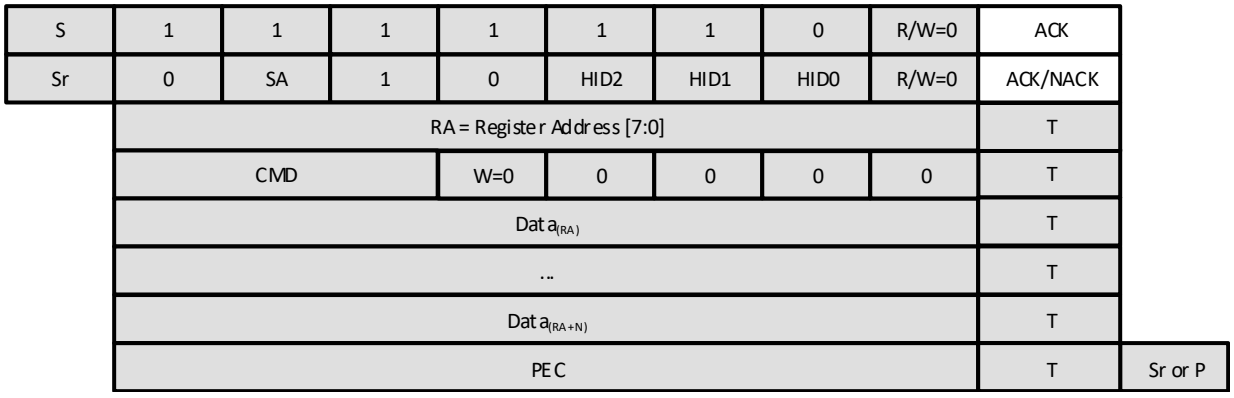


図 7-14. I3C 基本モードの書き込み、IBI ヘッダーおよび PEC イネーブル

データ転送中にパリティ・エラーが発生した場合、デバイスはパリティ・エラーが検出されたバイトを含むすべてのバイトを破棄し、パリティ・エラー状態を設定します。ホストが同じデバイスに対してリピート・スタートで新しいトランザクション開始しようとしたとき、TMP139 は、デバイス・アドレスに NACK 応答して、エラー状態をホストに通知します。ホストは、TMP139 への新しい転送を実行する前に、まずパリティ・エラー状態をクリアする必要があります。

PEC エラーが発生した場合、TMP139 はデータ・パケット全体を破棄し、PEC エラー条件を設定します。ホストが同じデバイスに対してリピート・スタートで新しいトランザクション開始しようとしたとき、TMP139 は、デバイス・アドレスに NACK

Copyright © 2023 Texas Instruments Incorporated

応答して、エラー状態をホストに通知します。ホストは、TMP139 への新しい転送を実行する前に、まず PEC エラー状態をクリアする必要があります。

IBI がイネーブルのとき、デバイスは IBI を使用して、検出されたエラー条件をホストと通信できます。ただし、IBI がイネーブルでない場合は、ホストがエラー・ステータス・レジスタをチェックして、バスでパリティまたは PEC エラーが検出されていないことを確認するように強く推奨します。

7.4.4.3 PEC なしのホスト I3C 読み取り動作

図 7-15 および 図 7-16 に示す ように、I3C 基本モードの読み取りは I^2C 読み取り動作と同じです。デバイスから送信 されるすべてのバイトについて、9 番目のビットは T ビットです。このビットは、デバイスとホストが読み取り転送の継続をネゴシエーションするために使用されます。読み取りフェーズでは、デバイスは、立ち上がりエッジの前に T ビットを 1 に駆動して、さらに続けてバイトを送信してもよいことをホストに通知します。あるいは、T ビットを 0 に駆動して、デバイスが転送を終了しようとしていることをホストに通知できます。この場合、 ホストは、バス上でストップまたはリピート・ストップを使って応答する必要があります。 また、デバイスが T ビットを 1 として送信した場合に限り、ホストは T ビットを 0 に駆動することによって転送を終了できます。この場合、バス上でリピート・スタート・コンディションが発生します。 また、ホストは、バス上でストップを送信することもできます。 ホストによって IBI がイネーブルになっている場合、ホストは、デバイス・アドレスを送信する前に、7'h7E および R/W = 0 で構成される IBI ヘッダ・バイトを送信する必要があります。これにより、複数のデバイスにおいてホストと通信する必要のある割り込み条件が発生した場合に、バス上の参加デバイス間での調停が可能になります。

S or Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								T=1	
	$Data_{(RA+1)}$								T=1	
	…								T=1	
	$Data_{(RA+N)}$								T=1	Sr or P

図 7-15. I3C 基本モードの読み取り

S	1	1	1	1	1	1	0	R/W=0	ACK	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								T=1	
	$Data_{(RA+1)}$								T=1	
	…								T=1	
	$Data_{(RA+N)}$								T=1	Sr or P

図 7-16. I3C 基本モードの読み取り、IBI ヘッダー付き

リピート・スタートの前の書き込みフェーズでパリティ・エラーが発生した場合、TMP139 は、トランザクションの読み取りフェーズで NACK 応答します。また、ホストがデータの読み取りを継続的に試みて、内部読み取りアドレス・ポインタが、レジスタ・マップ・テーブルの最後のレジスタである 255 に達する場合には、デバイスは、T ビットを 0 として送信します。さらに、ホストが同じデバイスに対してリピート・スタートで新しいトランザクション開始しようとしたとき、前のトランザクションでパリティ・エラーが発生している場合、TMP139 は、デバイス・アドレスに NACK 応答して、エラー状態をホストに通知します。ホストは、TMP139 への新しい転送を実行する前に、まずパリティ・エラー状態をクリアする必要があります。IBI がイネーブ

ルのとき、デバイスは IBI を使用して、検出されたエラー条件をホストと通信できます。ただし、IBI がイネーブルでない場合は、ホストがエラー・ステータス・レジスタをチェックして、バスでパリティ・エラーが検出されていないことを確認するように強く推奨します。

7.4.4.4 ホスト I3C 読み取り動作、PEC 付き

図 7-17 および 図 7-18 に示すように、ホストが PEC をイネーブルにすると、レジスタ・アドレスを送信した後、ホストによってさらにバイトが追加されます。追加バイトのフォーマットについては、表 7-5 で説明します。CMD バイトでは 1 バイトおよび 2 バイトの読み取りのみが許可されるため、デバイスは 1 バイトのデータと PEC バイト、または 2 バイトのデータと PEC バイトを送信した後、T ビットを 0 にして読み取りフェーズを終了します。ありそうもない状況ですが、ホストがレジスタ・アドレスを 255 に設定して、2 バイトの読み取りを試みた場合、デバイスの結果は保証されません。

S or Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								T	
	CMD			R=1	0	0	0	0	T	
	PEC								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								T=1	
	…								T=1	
	$Data_{(RA+N)}$								T=1	
	PEC								T=0	Sr or P

図 7-17. I3C 基本モードの読み取り、PEC イネーブル

S	1	1	1	1	1	1	0	R/W=0	ACK	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	RA = Register Address [7:0]								T	
	CMD			R=1	0	0	0	0	T	
	PEC								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								T=1	
	…								T=1	
	$Data_{(RA+N)}$								T=1	
	PEC								T=0	Sr or P

図 7-18. I3C 基本モード no 読み取り、PEC イネーブル、IBI ヘッダー付き

ホストから送信された CMD 値が TMP139 に対して有効でない場合、デバイスは読み取りフェーズで NACK 応答します。

リピート・スタートの前の書き込みフェーズでパリティ・エラーが発生した場合、TMP139 は、トランザクションの読み取りフェーズで NACK 応答します。ホストが同じデバイスに対してリピート・スタートで新しいトランザクション開始しようとしたとき、TMP139 は、デバイス・アドレスに NACK 応答して、エラー状態をホストに通知します。ホストは、TMP139 への新しい転送を実行する前に、まずパリティ・エラー状態をクリアする必要があります。

PEC エラーが発生した場合、TMP139 は、トランザクションの読み取りフェーズで NACK 応答します。ホストが同じデバイスに対してリピート・スタートで新しいトランザクション開始しようとしたとき、TMP139 は、デバイス・アドレスに NACK 応答

Copyright © 2023 Texas Instruments Incorporated

して、既存のエラー状態をホストに通知します。ホストは、TMP139 への新しい転送を実行する前に、まず PEC エラー状態をクリアする必要があります。

IBI がイネーブルのとき、デバイスは IBI を使用して、検出されたエラー条件をホストと通信できます。ただし、IBI がイネーブルでない場合は、ホストがエラー・ステータス・レジスタをチェックして、バスでパリティまたは PEC エラーが検出されていないことを確認するように強く推奨します。

7.4.4.5 ホスト I3C 読み取り動作 (デフォルト読み取りアドレス・ポインタ・モード)

I3C 基本モードにおけるデフォルト読み取りアドレス・ポインタ・モードは、図 7-19～図 7-22 に示すとおり I^2C モードと同じように動作します。また、ホストがデータの読み取りを継続的に試みて、内部読み取りアドレス・ポインタが、レジスタ・マップ・テーブルの最後のレジスタである 255 に達する場合には、デバイスは、T ビットを 0 として送信します。さらに、PEC がイネーブルでないときに限り、ホストが T ビットを 0 に駆動することによって、転送を終了することもできます。

S or Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								T=1	
	$Data_{(RA+1)}$								T=1	
	…								T=1	
	$Data_{(RA+N)}$								T=1	Sr or P

図 7-19. I3C 基本モード、デフォルト読み取りアドレス・イネーブル

S	1	1	1	1	1	1	0	R/W=0	ACK	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								T=1	
	$Data_{(RA+1)}$								T=1	
	…								T=1	
	$Data_{(RA+N)}$								T=1	Sr or P

図 7-20. I3C 基本モード、デフォルト読み取りアドレス・イネーブル、IBI ヘッダー付き

PEC がイネーブルのとき、MR18 レジスタは、送信するデフォルトのバイト数を設定します。その後、デバイスは T ビットを 0 として PEC バイトを送信します。

S or Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								T=1	
	…								T=1	
	$Data_{(RA+N)}$								T=1	
	PEC								T=0	Sr or P

図 7-21. I3C 基本モード、デフォルト読み取りアドレス・イネーブル、PEC イネーブル

S	1	1	1	1	1	1	0	R/W=0	ACK	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	$Data_{(RA)}$								T=1	
	…								T=1	
	$Data_{(RA+N)}$								T=1	
	PEC								T=0	Sr or P

図 7-22. I3C 基本モード、デフォルト読み取りアドレス・イネーブル、PEC イネーブル、IBI ヘッダー付き

TMP139 は、前のトランザクションでエラーが発生した場合、リピート・スタート時にアドレス・フェーズを NACK 応答します。

7.4.5 インバンド割り込み

インバンド割り込み (IBI) は、TMP139 のイベントをホストに通知するための優れた方法です。TMP139 が生成するイベントには、次の 2 種類があります。

1. エラー・イベント: パリティまたは PEC エラーに対応するイベント。
2. 温度イベント: 温度が温度上限を上回った場合、または、温度下限を下回った場合に対応するイベント。

デフォルトでは、デバイスの電源投入時にすべての割り込みソースが無効になります。割り込みソースは、デバイスが I3C 基本動作モードのときのみイネーブルにできます。割り込みソースをイネーブルにすると、I^2C 動作モードでは許可されない IBI が生成されるからです。IBI は、バスが t_{AVAL} 期間にわたって非アクティブ状態になっている場合にのみ、TMP139 で要求できます。バス上の非アクティブ条件が満たされ、バス・トランザクションがない場合、TMP139 は、SDA を LOW に駆動して IBI を開始し、保留中の IBI があることをホストに通知します。

7.4.5.1 インバンド割り込み調停ルール

ホスト・コントローラの準備状態と、バス上に複数のデバイスが存在するという事実に基づき、IBI の生成と調停は、以下に示すようにいくつかのルールに従う必要があります。これらの条件はすべて、バスが t_{AVAL} 期間にわたって非アクティブであることを前提としています。

1. ホスト・コントローラが IBI ヘッダ付きで書き込みまたは読み取りを開始したとき、TMP139 はバス上で自分自身のアドレスの駆動を開始します。IBI ヘッダ以外の値を検出したホストは、SDA を駆動しなくなり、TMP139 は R/W ビットを 1 に設定してデバイス・ヘッダを送信できます。
2. ホスト・コントローラがデバイスから IBI を受け入れることができる場合、ホスト・コントローラはデバイス・アドレスに対して ACK 応答し、SCL の立ち下がりエッジでバスを解放し、TMP139 から送信されたバイトを受け入れます。
3. ホスト・コントローラがデバイスから IBI を受け入れることができない場合、ホスト・コントローラはデバイス・アドレスに対して NACK 応答し、バス上でストップ・コンディションを発行します。TMP139 は、t_{AVAL} 期間が経過した後でなければ、別の IBI を再試行できません。
4. TMP139 よりも低いデバイス・アドレスを持つバス上のデバイスに対して、ホスト・コントローラが IBI ヘッダなしで書き込みまたは読み取りを開始した場合、デバイスはミスマッチを検出した時点でバスに参加せず、t_{AVAL} 期間が経過した後に別の IBI を再試行します。
5. TMP139 よりも高いデバイス・アドレスを持つバス上のデバイスに対して、ホスト・コントローラが IBI ヘッダなしで書き込みまたは読み取りを開始した場合、このデバイスがバスの調停に成功し、ホストはバスに参加しなくなります。ホストは、ACK を送信して IBI を受け入れるか、または、NACK を送信して IBI を無視します。後者の場合、TMP139 は、t_{AVAL} 期間が経過した後でなければ、別の IBI を再試行できません。
6. ホスト・コントローラが TMP139 に対して IBI ヘッダなしで書き込みまたは読み取りトランザクションを開始し、TMP139 も IBI を要求している場合、ホストまたは TMP139 のどちらかが調停に成功します。
7. ホスト・コントローラが書き込みトランザクションを開始した場合、ホスト・コントローラがバスの調停に成功し、TMP139 はバスを解放します。TMP139 は、t_{AVAL} 期間が経過した後でなければ、別の IBI を再試行できません。
8. ホスト・コントローラが読み取りトランザクションを開始する場合、すべてのビットが一致しています。ただし、この時点で、ホストは読み取り要求に対する TMP139 からの ACK を期待しており、TMP139 は IBI に対するホストからの

Copyright © 2023 Texas Instruments Incorporated

ACK を待機しています。その結果、バス上で NACK が発生します。このような場合、TMP139 は、t_{AVAL} 期間が経過した後でなければ、別の IBI を再試行できません。ただし、ホストがスタート (またはリピート・スタート) を発行し、t_{AVAL} 期間前に読み出しトランザクションを試行した場合、ホストは TMP139 から ACK を受け取り、ホストの読み出しはバス上の調停に成功します。

9. 上記のように、同時に IBI を開始する複数のデバイスが存在する場合、デバイス・アドレスの最も低いデバイスがバスの調停に成功します。TMP139 がバス調停の失敗を検出した場合、t_{AVAL} 期間が経過した後でなければ、別の IBI を再試行できません。

7.4.5.2 インバンド割り込みバス・トランザクション

図 7-23 および図 7-24 に示すように、デバイスが IBI を送信する必要があり、バス調停に成功して、ホストによって IBI が ACK 応答された場合には、必須データ・バイト (MDB) として 8'h00 を必ず送信し、その後に MR51 および MR52 レジスタ値を送信します。最後のバイトを送信した後、T ビットを 0 に設定します。その後、ホスト・コントローラはバス上でストップ・コンディションを送信する必要があります。

S	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	MDB = 0x0								T=1	
	MR51[7:0]								T=1	
	MR52[7:0]								T=0	P

図 7-23. IBI ペイロード・パケット、PEC ディセーブル

PEC がイネーブルの場合、MR52 レジスタ値の後、T ビットが 0 に設定された状態で PEC バイトが送信されます。この場合も、ホストはバス上でストップ・コンディションを送信する必要があります。

S	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	MDB = 0x0								T=1	
	MR51[7:0]								T=1	
	MR52[7:0]								T=1	
	PEC								T=0	P

図 7-24. IBI ペイロード・パケット、PEC イネーブル

デバイスによって IBI がアサートされ、MDB、MR51、MR52、PEC (PEC モードがイネーブルの場合) バイトを含む IBI が正常に送信されると、デバイスは MR48 レジスタの IBI_STATUS ビットを自動的にクリアします。

7.4.6 コモン・コマンド・コードのサポート

TMP139 は、表 7-6 に示すように、I3C の基本仕様に記載されている CCC のサブセットをサポートしています。JESD302-1 で規定されている CCC のみがサポートされています。TMP139 は、サポートされていない CCC に対して NACK 応答する (可能な場合) か、または、一般的な I3C バスではその動作を無視するものとします。同様に、サポートされている CCC についても、TMP139 が I^2C モードと I3C モードのどちらであるかによって、対応可能でない CCC が送信された場合、デバイスはその動作を無視するものとします。

TMP139 では、デバイス指定の読み取りまたは書き込み動作を処理するためには、その前に、いずれかの CCC を受信した後にバス上でストップ・コンディションが必要です。同様に、デバイス指定の読み取りまたは書き込み条件を処理する場合は、次にいずれかの CCC を発行する前に、バス上でストップ・コンディションが必要です。

TMP139 は、別のダイレクト CCC の後に、リピート・スタート・コンディション付きのダイレクト CCC を受信できます。同様に、別のブロードキャスト CCC に続いて、リピート・スタート・コンディション付きのブロードキャスト CCC を送信することも有効です。このような場合、デバイスが実行するアクションは、バス上のストップ・コンディションの後でのみ更新されます。ダイレクト CCC の後にブロードキャスト CCC が続く場合またはその逆の場合で、リピート・スタート・コンディションがあると

きには、TMP139 の動作は定義されません。たとえば、SETHID CCC の後にリピート・スタート、次に SETAASA CCC の後にストップ・コンディションを送信するのは、I²C モードでは適正な組み合わせです。しかし I3C モードにおいて、ダイレクト ENEC CCC の後にリピート・スタート、次にブロードキャスト DEVCTRL CCC を送信するのは、TMP139 に対して有効な条件ではありません。ホストは、ブロードキャスト DEVCTRL CCC を送信する前に、ENEC CCC の後でストップを発行する必要があります。

TMP139 に送信される CCC は、ブロードキャスト・コードまたはダイレクト・コードのいずれかです。すべての CCC 動作では、ホストは 7'h7E と R/W = 0 を送信し、その後に CCC およびその CCC 固有のペイロード・バイトを送信する必要があります。ダイレクト CCC の場合、ホストは、CCC バイトの後にバス上でリピート・スタートを発行し、その次にペイロード・バイトを送信しなければなりません。

表 7-6. サポートされている CCC

CCC	モード	コード	説明	I²C モードで適用可能	I3C モードで適用可能
ENEC	ブロードキャスト	0x00	イベント割り込みをイネーブル	不可	可
	ダイレクト	0x80			
DISEC	ブロードキャスト	0x01	イベント割り込みをディセーブル	不可	可
	ダイレクト	0x81			
RSTDAA	ブロードキャスト	0x06	デバイスを I²C モードに設定	不可	可
SETAASA	ブロードキャスト	0x29	デバイスを I3C 基本モードに設定	可	不可
GETSTATUS	ダイレクト	0x90	デバイス情報の取得	不可	可
DEVCAP	ダイレクト	0xE0	デバイス機能の取得	不可	可
SETHID	ブロードキャスト	0x61	TMP139 が 3 ビットの HID フィールドを更新	可	不可
DEVCTRL	ブロードキャスト	0x62	デバイスの設定	可	可

7.4.6.1 ENEC CCC

ENEC CCC は、イベント割り込み生成をイネーブルするために、ホスト・コントローラによって発行されます。CCC は、ホスト・コントローラによってストップが発行された後に有効になります。ENEC を受信すると、TMP139 は MR27 レジスタ・ビット IBI_ERROR_EN を 1'b1 に更新します。

注

ホスト・コントローラが ENINT ビットを 0 として送信することは規格不適合です。

図 7-25 および 図 7-26 に示すように、このコマンドは、ブロードキャスト・コマンドとして、または、TMP139 へのダイレクト・コマンドとして発行できます。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x00								T	
	0x00							ENINT	T	Sr or P

図 7-25. ENEC CCC ブロードキャスト

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x80								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	0x00							ENINT	T	Sr or P

図 7-26. ENEC CCC ダイレクト

Copyright © 2023 Texas Instruments Incorporated

図 7-27 および 図 7-28 に示すように、このコマンドは、PEC をイネーブルにしたブロードキャストまたはダイレクト・コマンドとして発行できます。この場合、ホスト・コントローラは、スタートまたはリピート・スタートの後にある 7'h7E および R/W = 0 のバイト以外のすべてのバイトに対して計算された PEC バイトを追加するものとします。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x00								T	
	0x00							ENINT	T	
	PEC								T	Sr or P

図 7-27. ENEC CCC ブロードキャスト、PEC イネーブル

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x80								T	
	PEC								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	0x00							ENINT	T	
	PEC								T	Sr or P

図 7-28. ENEC CCC ダイレクト、PEC イネーブル

注

前のトランザクションにパリティまたは PEC エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、ENEC CCC に対して NACK 応答します。

7.4.6.2 DISEC CCC

DISEC CCC は、イベント割り込み生成をディセーブルするために、ホスト・コントローラによって発行されます。この CCC は、ホスト・コントローラによってストップが発行された後に有効になります。DISEC を受信すると、TMP139 は MR27 レジスタ・ビット IBI_ERROR_EN を 1'b0 に更新します。

注

ホスト・コントローラが DISINT ビットを 0 として送信することは規格不適合です。

図 7-29 および 図 7-30 に示すように、このコマンドは、ブロードキャスト・コマンドとして、または特定のデバイスへのダイレクト・コマンドとして発行できます。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x01								T	
	0x00							DISINT	T	Sr or P

図 7-29. DISEC CCC ブロードキャスト

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x81								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	0x00							DISINT	T	Sr or P

図 7-30. DISEC CCC ダイレクト

図 7-31 および 図 7-32 に示すように、このコマンドは、PEC をイネーブルにしたブロードキャストまたはダイレクト・コマンドとして発行できます。この場合、ホスト・コントローラは、スタートまたはリピート・スタートの後にある 7'h7E および R/W = 0 のバイト以外のすべてのバイトに対して計算された PEC バイトを追加するものとします。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x01								T	
	0x00							DISINT	T	
	PEC								T	Sr or P

図 7-31. DISEC CCC ブロードキャスト、PEC イネーブル

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x81								T	
	PEC								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=0	ACK/NACK	
	0x00							DISINT	T	
	PEC								T	Sr or P

図 7-32. DISEC CCC ダイレクト、PEC イネーブル

注

前のトランザクションにパリティまたは PEC エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、DISEC CCC に対して NACK 応答します。

7.4.6.3 RSTDAA CCC

ホスト・コントローラから TMP139 に対して RSTDAA CCC を発行すると、I3C 基本モードから I2C モードに切り替わります。この CCC は、ホスト・コントローラによってストップが発行された後に有効になります。RSTDAA を受信した後、TMP139 は 以下の操作を実行します。

- MR18 レジスタ・ビット INF_SEL を 1'b0 に更新して I^2C 動作モードにします。
- 以前に PEC がイネーブルになっていた場合、MR18 レジスタ・ビット PEC_EN を 1'b0 に更新して PEC をディセーブルにします。
- 以前にパリティ・チェックがディセーブルになっていた場合、MR18 レジスタ・ビット PAR_DIS を 1'b0 に更新してパリティ・チェックをイネーブルにします。
- 以前に IBI がイネーブルになっていた場合、MR27 レジスタ・ビット IBI_ERROR_EN を 1'b0 に更新して IBI をディセーブルにします。

図 7-33 に示すよう に、このコマンドは常にブロードキャスト・コマンドとして発行されます。

Copyright © 2023 Texas Instruments Incorporated

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x06								T	Sr or P

図 7-33. RSTDAA CCC ブロードキャスト

図 7-34 に示すように、このコマンドは PEC がイネーブルの状態でも発行できます。その場合、ホスト・コントローラは、スタートまたはリピート・スタートの後に、7'h7E および R/W = 0 のバイト以外のすべてのバイトに対して計算された PEC バイトを追加するものとします。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x06								T	
	PEC								T	Sr or P

図 7-34. RSTDAA CCC ブロードキャスト、PEC 付き

注

前のトランザクションにパリティまたは PEC エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、RSTDAA CCC に対して NACK 応答します。

7.4.6.4 SETAASA CCC

ホスト・コントローラから TMP139 に対して SETAASA CCC を発行すると、I²C モードから I3C 基本モードに切り替わります。この CCC は、ホスト・コントローラによってストップが発行された後に有効になります。SETAASA を受信すると、TMP139 は、MR18 レジスタ・ビット INF_SEL を 1'b1 に設定して I3C 基本動作モードにします。

図 7-35 に示すように、この CCC は常にブロードキャスト・コマンドとして発行され、PEC バイトはありません。これは I²C モードでのみ適用できるためです。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK	
	0x29								T	Sr or P

図 7-35. SETAASA CCC

注

前の CCC トランザクションにパリティ・エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、SETAASA CCC に対して NACK 応答します。

7.4.6.5 GETSTATUS CCC

GETSTATUS CCC は、保留中のパリティ・エラー、PEC エラー、または割り込みイベントのステータスを取得するために、ホスト・コントローラから TMP139 に対して発行されます。GETSTATUS を受信した後、TMP139 は、ステータスをクリアしません。ホストは、バス上で追加のトランザクションを発行して、ステータス・フラグを個別にクリアするか、または MR27 レジスタ CLR_GLOBAL ビットに 1'b1 を書き込む必要があります。

このコマンドはダイレクト・モードでのみ発行されます。PEC がディセーブルの場合のコマンドを 図 7-36 に示し、PEC がイネーブルの場合のコマンドを 図 7-37 に示します。後者の場合、ホスト・コントローラは、スタートまたはリピート・スタートの後にある 7'h7E および R/W = 0 のバイト以外のすべてのバイトに対して計算された PEC バイトを追加するものとします。TMP139 は、ホストに向けて送信されるデータ・バイトの PEC を計算します。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x90								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	PEC_Err	0	0	0	0	0	0	0	T=1	
	0	0	P_Err	0	PENDING INTERRUPT				T=0	Sr or P

図 7-36. GETSTATUS CCC ダイレクト

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0x90								T	
	PEC								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	PEC_Err	0	0	0	0	0	0	0	T=1	
	0	0	P_Err	0	PENDING INTERRUPT				T=1	
	PEC								T=0	Sr or P

図 7-37. GETSTATUS CCC ダイレクト、PEC イネーブル

注

前のトランザクションにパリティまたは PEC エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、GETSTATUS CCC に対して NACK 応答します。

7.4.6.6 DEVCAP CCC

DEVCAP CCC は、ホスト・コントローラから TMP139 に対して発行され、サポートされているオプションのデバイス機能を取得します。その内容は 表 7-7 に示す通りです。

このコマンドはダイレクト・モードでのみ発行されます。PEC がディセーブルの場合のコマンドを 図 7-38 に示し、PEC がイネーブルの場合のコマンドを 図 7-39 に示します。後者の場合、ホスト・コントローラは、スタートまたはリピート・スタートの後にある 7'h7E および R/W = 0 のバイト以外のすべてのバイトに対して計算された PEC バイトを追加するものとします。TMP139 は、ホストに向けて送信されるデータ・バイトの PEC を計算します。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0xE0								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	DEVCAP_MSB[7:0]								T=1	
	DEVCAP_LSB[7:0]								T=0	Sr or P

図 7-38. DEVCAP CCC ダイレクト

Copyright © 2023 Texas Instruments Incorporated

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK/NACK	
	0xE0								T	
	PEC								T	
Sr	0	SA	1	0	HID2	HID1	HID0	R/W=1	ACK/NACK	
	DEVCAP_MSB[7:0]								T=1	
	DEVCAP_LSB[7:0]								T=1	
	PEC								T=0	Sr or P

図 7-39. DEVCAP CCC ダイレクト、PEC 付き

表 7-7. DEVCAP データ・バイトの説明

ビット	値	備考
DEVCAP_MSB[7:3]	00000	予約済み
DEVCAP_MSB[2]	1	0 = タイマ・ベースのリセットをサポートしていません 1 = タイマ・ベースのリセットをサポートしています
DEVCAP_MSB[1:0]	00	予約済み
DEVCAP_LSB[7:0]	8'h00	予約済み

注

前のトランザクションにパリティまたは PEC エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、DEVCAP CCC に対して NACK 応答します。

7.4.6.7 SETHID CCC

SETHID CCC は、ホスト・コントローラから TMP139 に対して発行され、デバイスのシリアル・アドレスの HID コードを更新します。この CCC は、ホスト・コントローラによってストップが発行された後に有効になります。SETHID を受信すると、TMP139 は、バスのストップ・コンディションが送信されたときに、MR7 レジスタ・ビット DEV_HID_CODE[2:0] を、CCC データ・ペイロードで送信された HID[2:0] の値に更新します。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK	
	0x61								T	
	0	0	0	0	HID2	HID1	HID0	0	T	Sr or P

図 7-40. SETHID CCC ブロードキャスト

注

前のトランザクションにパリティ・エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、SETHID CCC に対して NACK 応答します。

7.4.6.8 DEVCTRL CCC

DEVCTRL CCC は、バス上のデバイスに共通するイネーブルまたはディセーブル操作のために、ホスト・コントローラによって発行されます。TMP139 は DEVCTRL CCC を認識するものとします。

このコマンドは一般にブロードキャスト・モードで発行されますが、ユニキャストまたはマルチキャスト・モードとして発行することもできます。ホストは、RegMod フィールドを 0 に設定すると一般的アクセスとして、RegMod を 1 に設定すると特定のレジスタ・アクセスとして、DEVCTRL CCC を発行することができます。RegMod フィールドが 0 に設定されていて、PEC がディセーブルのときの DEVCTRL CCC パケット構造を 図 7-41 に示します。RegMod フィールドが 0 に設定されてい

て、PEC がイネーブルのときの DEVCTRL CCC の構造を 図 7-42 に示します。後者の場合、ホスト・コントローラは、スタートまたはリピート・スタートの後にある 7'h7E および R/W = 0 のバイト以外のすべてのバイトに対して計算された PEC バイトを追加するものとします。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK	
	0x62								T	
	ADDRMASK [2]	ADDRMASK [1]	ADDRMASK [0]	STOFFSET [1]	STOFFSET [0]	PECBL[1]	PECBL[0]	REGMOD = 0	T	
	DEVADDR							0	T	
	DEVCTRL DATA 0								T	
	DEVCTRL DATA 1								T	
	DEVCTRL DATA 2								T	
	DEVCTRL DATA 3								T	Sr or P

図 7-41. DEVCTRL CCC、REGMOD = 0 および PEC ディセーブル

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK	
	0x62								T	
	ADDRMASK [2]	ADDRMASK [1]	ADDRMASK [0]	STOFFSET [1]	STOFFSET [0]	PECBL[1]	PECBL[0]	REGMOD = 0	T	
	DEVADDR							0	T	
	DEVCTRL DATA 0								T	
	DEVCTRL DATA 1								T	
	DEVCTRL DATA 2								T	
	DEVCTRL DATA 3								T	
	PEC								T	Sr or P

図 7-42. DEVCTRL CCC、REGMOD = 0 および PEC イネーブル

RegMod フィールドが 1 に設定されていて、PEC がディセーブルのときの DEVCTRL CCC パケット構造を 図 7-43 に示します。RegMod フィールドが 1 に設定されていて、PEC がイネーブルのときの DEVCTRL CCC の構造を 図 7-44 に示します。後者の場合、ホスト・コントローラは、スタートまたはリピート・スタートの後にある 7'h7E および R/W = 0 のバイト以外のすべてのバイトに対して計算された PEC バイトを追加するものとします。CMD フィールドが書き込みバイトが 1 つしかないことを示している場合、オプションのレジスタ・データをホストから送信してはなりません。

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK	
	0x62								T	
	ADDRMASK [2]	ADDRMASK [1]	ADDRMASK [0]	STOFFSET [1]	STOFFSET [0]	PECBL[1]	PECBL[0]	REGMOD = 1	T	
	DEVADDR							0	T	
	REGISTER OFFSET								T	
	REGISTER DATA 1								T	
	OPTIONAL REGISTER DATA 2								T	Sr or P

図 7-43. DEVCTRL CCC、REGMOD = 1 および PEC ディセーブル

Copyright © 2023 Texas Instruments Incorporated

S or Sr	1	1	1	1	1	1	0	R/W=0	ACK	
	0x62								T	
	ADDRMASK [2]	ADDRMASK [1]	ADDRMASK [0]	STOFFSET [1]	STOFFSET [0]	PECBL[1]	PECBL[0]	REGMOD = 1	T	
	DEVADDR							0	T	
	REGISTER OFFSET								T	
	CMD			W=0	0000				T	
	REGISTER DATA 1								T	
	OPTIONAL REGISTER DATA 2								T	
	PEC								T	Sr or P

図 7-44. DEVCTRL CCC、REGMOD = 1 および PEC イネーブル

注

前のトランザクションにパリティまたは PEC エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、DEVCTRL CCC に対して NACK 応答します。

表 7-8 に、コマンド・フィールドの定義を示します。

表 7-8. DEVCTRL CCC コマンドの定義

フィールド	説明	値	アクション
ADDRMASK[2:0]	ブロードキャスト、マルチキャスト、またはユニキャストの選択	000 = ユニキャスト・コマンド	TMP139 は、DEVADDR[6:0] フィールドとそのシリアル・アドレスを一致させます。
		011 = マルチキャスト・コマンド	TMP139 は、DEVADDR[6:3] フィールドと、シリアル・アドレスの LID コードを一致させます。
		111 = ブロードキャスト・コマンド	TMP139 は、DEVADDR[6:0] を無視し、必要なアクションを実行します。
STOFFSET[1:0]	開始オフセット・バイト	00 = バイト 0	TMP139 は、DEVCTRL DATA 0、DEVCTRL DATA 1、DEVCTRL DATA 2、DEVCTRL DATA 3 の中からどのバイトが最初のバイトであるかを識別し、それに応じてレジスタを更新します。 このフィールドは、REGMOD = 0 のときのみ有効です。
		01 = バイト 1	
		10 = バイト 2	
		11 = バイト 3	
PECBL[1:0]	PEC バイト位置のバースト長を識別します	00 = 1 バイト	TMP139 は、DEVCTRL DATA バイト送信後の PEC バイトの位置を識別します。 このフィールドは、REGMOD = 0 で PEC がイネーブルのときのみ有効です。
		01 = 2 バイト	
		10 = 3 バイト	
		11 = 4 バイト	
REGMOD	一般的レジスタ・アクセスであるか特定のレジスタ・アクセスであるかを識別します	0 = 一般的アクセス	TMP139 は、DEVCTRL DATA バイトを 表 7-9 で説明されている一般的データ・バイトとして解釈します
		1 = レジスタ・アクセス	TMP139 は、DEVCTRL DATA バイトを特定のレジスタ・アクセス・バイトとして解釈します。 PEC がディセーブルの場合、特定のレジスタ・アクセスに使用されるフォーマットは、図 7-11 に従っています。 PEC がイネーブルの場合、特定のレジスタ・アクセスに使用されるフォーマットは、図 7-13 に従っています

表 7-9. 一般的データ・バイトのフォーマット

DEVCTRL DATA ビット	機能	値	アクション
DEVCTRL DATA 0 [7]	PEC イネーブル	0 = ディセーブル	MR18 レジスタの PEC_EN ビットが更新されます
		1 = イネーブル	

表 7-9. 一般的データ・バイトのフォーマット (continued)

DEVCTRL DATA ビット	機能	値	アクション
DEVCTRL DATA 0 [6]	パリティ・ディセーブル	0 = イネーブル	MR18 レジスタの PAR_DIS ビットが更新されます
		1 = ディセーブル	
DEVCTRL DATA 0 [5:0]	予約済み	予約済み	
DEVCTRL DATA 1 [7:4]	予約済み	予約済み	
DEVCTRL DATA 1 [3]	グローバル IBI クリア	0 =アクションなし	MR27 レジスタの CLR_GLOBAL ビットが更新されます
		1 = すべてのイベントおよび保留されている IBI をクリア	
DEVCTRL DATA 1 [2:0]	予約済み	予約済み	
DEVCTRL DATA 2 [7:0]	予約済み	予約済み	
DEVCTRL DATA 3 [7:0]	予約済み	予約済み	

注

前のトランザクションにパリティまたは PEC エラーがある場合に、ホストがリピート・スタートによりトランザクションを開始すると、TMP139 は、DEVCTRL CCC に対して NACK 応答します。

7.4.7 I/O 動作

このデバイスは、インターフェイス用のオープン・ドレイン I/O を使用して、I²C モードで動作します。ただし、デバイスが I3C モードのとき、I/O はオープン・ドレインまたはプッシュプルのいずれかになる可能性があります。オープン・ドレイン・モードとプッシュプル・モードの間の動的スイッチングは、主にインバンド割り込み (IBI) をサポートすることを目的としています。表 7-10 に、各サイクルの I/O のさまざまな動作モードを示します。

表 7-10. I3C モードでの TMP139 の動的 I/O 動作

動作	オープン・ドレイン・モード	プッシュプル・モード
スタート＋デバイス・アドレス	あり	なし
スタート＋ 7'h7E IBI ヘッダー・バイト	あり	なし
リピート・スタート＋デバイス・アドレス	なし	あり
リピート・スタート＋ 7'h7E IBI ヘッダー・バイト	なし	あり
CCC バイト (7'h7E + R/W=0 + ACK の後)	なし	あり
ストップ	なし	あり
ACK/NACK 応答	あり	なし
TMP139 による割り込み要求＋デバイス・アドレス	あり	なし
コマンドおよびアドレス動作	なし	あり
IBI ペイロード	なし	あり
データ書き込み、T ビット・シーケンス	なし	あり
データ読み取り、T ビット・シーケンス	なし	あり
PEC、T ビット・シーケンス	なし	あり

7.4.8 タイミング図

TMP139 は、I²C および I3C インターフェイス互換デバイスです。図 6-1～図 6-3 では、バスでサポートされるさまざまなバス条件について説明します。以下に、バス条件の定義を示します。

1. **バス・アイドル**：ストップ・コンディションの後、SDA ラインと SCL ラインは両方とも HIGH に維持されます。
2. **スタート (S) コンディション**：SCL ラインが HIGH のとき、SDA ラインの状態が HIGH から LOW に変化することが、スタート・コンディションの定義です。スタート・コンディションの前にバス・アイドルが発生します。

Copyright © 2023 Texas Instruments Incorporated

3. **ストップ (P) コンディション:** SCL ラインが HIGH のとき、SDA ラインの状態が LOW から HIGH に変化することが、ストップ・コンディションの定義です。
4. **リピート・スタート (S_R) コンディション:** データ転送転送の後で、SCL ラインが HIGH のとき、SDA ラインの状態が HIGH から LOW に変化することが、リピート・スタート・コンディションの定義です。
5. **データ転送:** いくつかのデータ・バイトがスタート・コンディションとストップ・コンディションの間に転送されます。その数は、ホストまたはデバイスによって決定されます。
6. **アクノリッジ:** アドレス指定された各受信デバイスは、デバイス・アドレスおよびホストからデバイスへの書き込み転送中に、ACK (アクノリッジ) ビットを生成する義務があります。アクノリッジを行うデバイスは、アクノリッジ・クロック・パルスが HIGH の間、SDA ラインが安定して LOW を維持するように、SDA ラインをプルダウンする必要があります。ホストが受信を行うとき、ターゲット・デバイスから送信された最後のバイトに対して NACK (否定応答) を生成することで、ホストはデータ転送の終了を通知できます。この動作は、I^2C モードの動作と同じです。

   I3C モードで動作しているとき、各受信デバイスは、自身のデバイス・アドレスに対してのみアクノリッジ応答します。さらに、ホストは IBI アドレスの調停が成功したときに、デバイス・アドレスをアクノリッジします。
7. **T ビット:** T ビットは、I3C モードの動作時、またはホストが I^2C モードの動作中に共通コマンド・コード (CCC) を送信する場合にのみ適用されます。T ビットには、ホストがターゲット・デバイスに書き込むときのパリティ情報が含まれます。読み取り時、9 番目のクロックの立ち上がりエッジで T ビットが 1 としてサンプリングされた場合、このビットは、デバイスによる読み取りの継続を示しています。ホストが読み取りを終了しようとする場合、図 6-2 に示すように、デバイスがラインを HIGH に駆動している間に、ホストはプルアップをアクティブにできます。デバイスがラインの駆動を停止して出力をトライステートにしたとき、プルアップによってラインが一時的に HIGH に維持されます。その後、ホストがバスの制御を獲得してリピート・スタートとストップを生成し、読み取りを終了します。ホストがデバイスから引き続きデータを受信できる場合、ホストはラインを駆動してはいけません。デバイスは 9 番目のクロックの立ち下がりエッジで SDA をサンプリングし、T ビットが 1 としてサンプリングされると、デバイスは次のバイトの SDA の駆動を再開します。読み取り時、9 番目のクロックの立ち上がりエッジで T ビットが 0 としてサンプリングされた場合、図 6-3 に示すように、このビットは、読み取りの終了を示すためにデバイスが使用しています。ホストも SDA を LOW に駆動します。これにより、デバイスがラインの駆動を停止して出力をトライステートにしたとき、ホストがバスの制御を獲得してストップを生成し、読み取りを終了します。

7.5 プログラミング

このセクションでは、TMP139 の特定の動作に対応するプログラミング・モデルについて説明します。

7.5.1 割り込みメカニズムのイネーブル

IBI は、I3C 基本モードでのみイネーブルできます。図 7-45 に、TMP139 の IBI を正しくイネーブルにするためにホスト・コントローラが従う必要のあるプログラミング・モデルを示します。

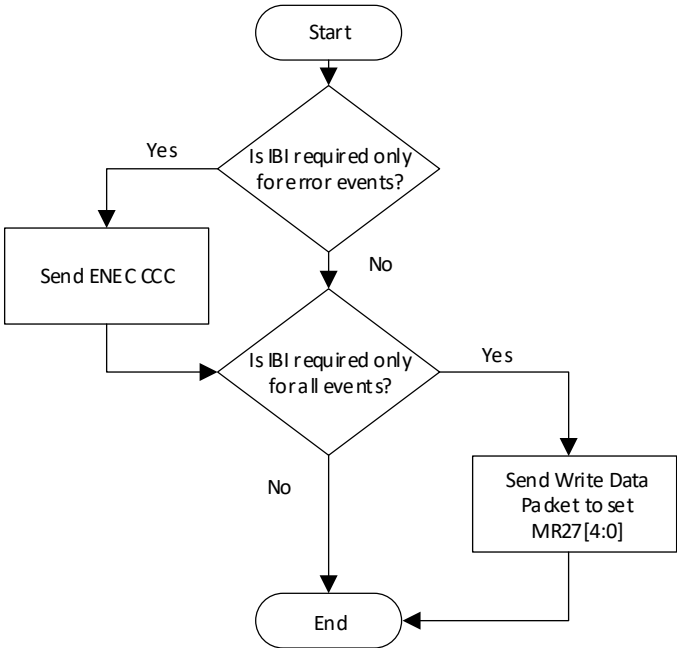


図 7-45. 割り込みイネーブルのフローチャート

7.5.2 割り込みのクリア

IBI は I3C 基本モードで生成できますが、TMP139 は I^2C モードであっても、さまざまなイベント (PEC エラー以外) のステータス・ビットを更新できます。図 7-46 に、I3C 基本モードで IBI をクリアするためのホスト・コントローラのプログラミング・モデルを示します。I^2C モードでは、ホスト・コントローラは、セクション 7.4.3.2 ですでに説明したように、レジスタ・データの読み取りを使用して TMP139 をポーリングできます。

Copyright © 2023 Texas Instruments Incorporated

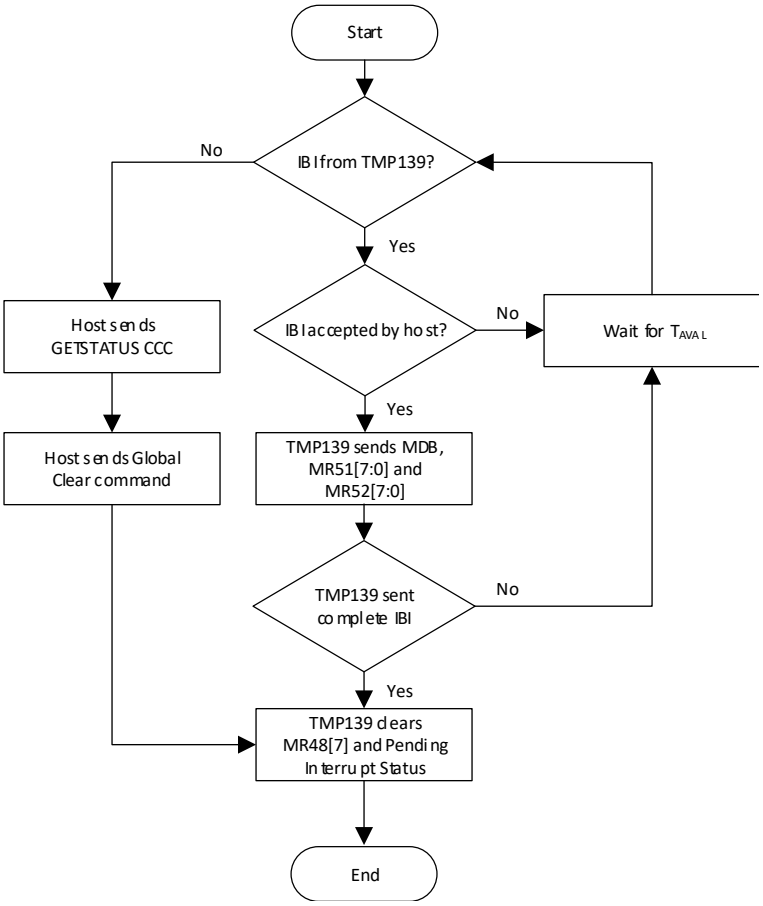


図 7-46. 割り込みクリアのフローチャート

7.6 レジスタ・マップ

表 7-11. TMP139 レジスタ・マップ

アドレス	種類	リセット時の値	レジスタ名	レジスタの説明	セクション
00h	R	51h	MR0	デバイス・タイプ、上位バイト	表示
01h	R	10h	MR1	デバイス・タイプ、下位バイト	表示
02h	R	06h	MR2	デバイス・リビジョン	表示
03h	R	80h	MR3	ベンダ ID バイト 0	表示
04h	R	97h	MR4	ベンダ ID バイト 1	表示
07h	RW	0Eh	MR7	デバイス設定 - HID	表示
12h	RW	00h	MR18	デバイス設定	表示
13h	W1C	00h	MR19	レジスタ MR51 温度ステータス・クリア・コマンド	表示
14h	W1C	00h	MR20	レジスタ MR52 エラー・ステータス・クリア・コマンド	表示
1Ah	RW	00h	MR26	TS 設定	表示
1Bh	RW	00h	MR27	割り込み設定	表示
1Ch	RW	70h	MR28	TS 温度上限設定 - 下位バイト	表示
1Dh	RW	03h	MR29	TS 温度上限設定 - 上位バイト	表示
1Eh	RW	00h	MR30	TS 温度下限設定 - 下位バイト	表示
1Fh	RW	00h	MR31	TS 温度下限設定 - 上位バイト	表示
20h	RW	50h	MR32	TS 危険温度上限設定 - 下位バイト	表示
21h	RW	05h	MR33	TS 危険温度上限設定 - 上位バイト	表示
22h	RW	00h	MR34	TS 危険温度下限設定 - 下位バイト	表示
23h	RW	00h	MR35	TS 危険温度下限設定 - 上位バイト	表示
30h	R	00h	MR48	デバイス・ステータス	表示
31h	R	00h	MR49	TS 現在検出温度 - 下位バイト	表示
32h	R	00h	MR50	TS 現在検出温度 - 上位バイト	表示
33h	R	00h	MR51	TS 温度ステータス	表示
34h	R	00h	MR52	各種エラー・ステータス	表示

表 7-12. レジスタ・セクション・アクセス・タイプ・コード

アクセス・タイプ	コード	説明
読み取りタイプ		
R	R	読み取り
RC	R C	読み出し後 クリア
RV	RV	将来の拡張のため予約済み。
書き込みタイプ		
W	W	書き込み
W1C	W 1C	W 1 書き込みでクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.6.1 MR0: デバイス・タイプ、上位バイト (アドレス = 00h) [リセット = 51h]

レジスタ・マップに戻る。

Copyright © 2023 Texas Instruments Incorporated

図 7-47. MR0: デバイス・タイプ・レジスタ

7	6	5	4	3	2	1	0
MSB_DEV_TYPE[7:0]							
R-51h							

表 7-13. MR0: デバイス・タイプ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	MSB_DEV_TYPE[7:0]	R	51h	デバイス・タイプ、上位バイト。MR1 レジスタと組み合わせて使用します。

7.6.2 MR1: デバイス・タイプ、下位バイト (アドレス = 01h) [リセット = 10h]

レジスタ・マップに戻る。

図 7-48. MR1: デバイス・タイプ・レジスタ

7	6	5	4	3	2	1	0
LSB_DEV_TYPE[7:0]							
R-10h							

表 7-14. MR1: デバイス・タイプ・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	LSB_DEV_TYPE[7:0]	R	10h	デバイス・タイプ、下位バイト。MR0 レジスタと組み合わせて使用します。 グレード B 温度センサを示しています

7.6.3 MR2 デバイス・リビジョン (アドレス = 02h) [リセット = 06h]

レジスタ・マップに戻る。

図 7-49. MR2: デバイス・リビジョン・レジスタ

7	6	5	4	3	2	1	0
予約済み		DEV_REV_MAJOR[1:0]		DEV_REV_MINOR[2:0]			予約済み
R-00		R-00		R-011			R-0

表 7-15. MR2: デバイス・リビジョン・フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	00	予約済み
5:4	DEV_REV_MAJOR[1:0]	R	00	メジャー・リビジョン番号を示します。
3:1	DEV_REV_MINOR[2:0]	R	011	マイナー・リビジョン番号を示します。
0	予約済み	R	0	予約済み

7.6.4 MR3: ベンダ ID バイト 0 (アドレス = 03h) [リセット = 80h]

レジスタ・マップに戻る。

図 7-50. MR3: ベンダ ID バイト 0 レジスタ

7	6	5	4	3	2	1	0
VENDOR_ID_BYTE0[7:0]							
R-80h							

表 7-16. MR3: ベンダ ID バイト 0 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	VENDOR_ID_BYTE0[7:0]	R	80h	ベンダ ID の下位バイトを示します。

7.6.5 MR4: ベンダ ID バイト 1 (アドレス = 04h) [リセット = 97h]

レジスタ・マップに戻る。

図 7-51. MR4: ベンダ ID バイト 1 レジスタ

7	6	5	4	3	2	1	0
VENDOR_ID_BYTE1[7:0]							
R-97h							

表 7-17. MR4: ベンダ ID バイト 1 フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	VENDOR_ID_BYTE1[7:0]	R	97h	ベンダ ID の上位バイトを示します。

7.6.6 MR7: デバイス設定 - HID (アドレス = 07h) [リセット = 0Eh]

MR7 レジスタでは、ホスト・コントローラによって設定された HID を読み取ることができます。このレジスタは、デバイスが I^2C のときは SETHID CCC、デバイスが I3C モードのときは RSTDAA、またはバス・リセットによってのみ更新できます。

レジスタ・マップに戻る。

図 7-52. MR7: デバイス設定 - HID レジスタ

7	6	5	4	3	2	1	0
予約済み				DEV_HID_CODE[2:0]			予約済み
R-0h				RW-111			R-0

表 7-18. MR7: デバイス設定 - HID フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:1	DEV_HID_CODE[2:0]	RW	111	デバイス HID コード。TMP139 デバイスは、表 7-4 に示すように、4 ビットの LID コードと、このレジスタで設定されている 3 ビットの HID コードによって形成される、固有の 7 ビット・アドレスに応答します。[1]
0	予約済み	R	0	予約済み

1. このレジスタは、SETHID CCC が TMP139 に送信されたとき、またはデバイスがバス・リセット・シーケンスを実行したときにのみ更新されます。

Copyright © 2023 Texas Instruments Incorporated

注

MR7 レジスタへの書き込みまたは更新を行うホスト・トランザクションは、その次にストップ・コンディションが直ちに続く必要があります。リピート・スタートでは、予測不能な動作が発生する可能性があります。

7.6.7 MR18: デバイス設定 (アドレス =12h) [リセット = 00h]

MR18 レジスタは、デバイス機能を設定するために使用されます。I3C モードでは、PEC をイネーブルにし、パリティ (T ビット) をディセーブルにできます。また、I²C と I3C の両方のバス動作について、デフォルトの読み取りアドレス・モードを制御します。PEC バイトのバースト長は、I3C モードでのみ許可されます。ホスト・コントローラは I²C 動作モードでこのビットを更新してはなりません。

レジスタ・マップに戻る。

図 7-53. MR18: デバイス設定レジスタ

7	6	5	4	3	2	1	0
PEC_EN	PAR_DIS	INF_SEL	DEF_RD_ADDR_POINT_EN	DEF_RD_ADDR_POINT_Start[1:0]		DEF_RD_ADDR_POINT_BL	予約済み
RW-0	RW-0	R-0	RW-0	RW-0		RW-0	R-0

表 7-19. MR18: デバイス設定のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PEC_EN	RW	0	PEC イネーブル [1] 0 = PEC ディセーブル 1 = PEC イネーブル
6	PAR_DIS	RW	0	パリティ (T ビット) ディセーブル [1] 0 =パリティすなわち T ビットがイネーブル 1 =パリティすなわち T ビットがディセーブル
5	INF_SEL	R	0	インターフェイス選択 0 = I²C プロトコル (最大速度 1MHz) 1 = I3C 基本プロトコル
4	DEF_RD_ADDR_POINT_EN	RW	0	デフォルト読み取りアドレス・ポインタ・イネーブル 0 = デフォルト読み取りアドレス・ポインタはディセーブル (アドレス・ポインタはホストによって設定される) 1 = デフォルト読み取りアドレス・ポインタはイネーブル (アドレスは MR18 レジスタの DEF_RD_ADDR_POINT_Start[1:0] ビットで選択される
3:2	DEF_RD_ADDR_POINT_Start[1:0]	RW	00	デフォルト読み取りアドレス・ポインタの開始アドレス [2] 00 = MR49 レジスタ 01 = 予約済み 10 = 予約済み 11 = 予約済み
1	DEF_RD_ADDR_POINT_BL	RW	0	PEC 計算用の読み取りポインタ・アドレスのバースト長 0 = 2 バイト 1 = 4 バイト
0	予約済み	R	0	予約済み

1. バスで RSTDAA CCC が発行されるか、または、バス・リセット・シーケンスが適用されると、PEC イネーブルおよびパリティ・ディセーブルが自動的に更新されます。
2. 予約済みの値のいずれかを設定すると、TMP139 で予測不能な動作が発生します。

注

MR18 レジスタへの書き込みまたは更新を行うホスト・トランザクションは、その次にストップ・コンディションが直ちに続く必要があります。リピート・スタートでは、予測不能な動作が発生する可能性があります。

7.6.8 MR19: MR51 温度ステータス・クリア・コマンド (アドレス = 13h) [リセット = 00h]

ホストは、最新の変換後に温度比較のステータスをクリアするために、MR19 レジスタに書き込みます。

レジスタ・マップに戻る。

図 7-54. MR19: MR51 温度ステータス・クリア・コマンド・レジスタ

7	6	5	4	3	2	1	0
予約済み				CLR_TS_CRIT_LOW	CLR_TS_CRIT_HIGH	CLR_TS_LOW	CLR_TS_HIGH
R-0h				R0-W1C	R0-W1C	R0-W1C	R0-W1C

表 7-20. MR19: MR51 温度ステータス・クリア・コマンドのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	CLR_TS_CRIT_LOW	R0-W1C	0	温度センサ危険下限ステータスをクリア 1 =「1」を書き込むと MR51 TS_CRIT_LOW_STATUS ビットをクリア、 「0」を書き込むと MR51 TS_CRIT_LOW_STATUS ビットには影響なし
2	CLR_TS_CRIT_HIGH	R0-W1C	0	温度センサ危険上限ステータスをクリア 1 =「1」を書き込むと MR51 TS_CRIT_HIGH_STATUS ビットをクリア、 「0」を書き込むと MR51 TS_CRIT_HIGH_STATUS ビット には影響なし
1	CLR_TS_LOW	R0-W1C	0	温度センサ低温ステータスをクリア 1 =「1」を書き込むと MR51 TS_LOW_STATUS ビットをクリア 「0」を書き込むと MR51 TS_LOW_STATUS ビットには影響なし
0	CLR_TS_HIGH	R0-W1C	0	温度センサ高温ステータスをクリア 1 =「1」を書き込むと MR51 TS_HIGH_STATUS ビットをクリア 「0」を書き込むと MR51 TS_HIGH_STATUS ビットには影響なし

7.6.9 MR20: MR52 エラー・ステータス・クリア・コマンド (アドレス = 14h) [リセット = 00h]

PEC チェックサムが正しくない場合、またはホストからの前回の書き込みによって T ビットのパリティ・エラーが発生した場合、ホストは MR20 レジスタに書き込み、エラー状態をクリアします。このレジスタは I3C モードでのみ有効です。

レジスタ・マップに戻る。

図 7-55. MR20: MR52 エラー・ステータス・クリア・コマンド ・レジスタ

7	6	5	4	3	2	1	0
予約済み						CLR_PEC_ERROR	CLR_PAR_ERROR
R-00h						W1C	W1C

表 7-21. MR20: MR52 エラー・ステータス・クリア・コマンドのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R	00h	予約済み
1	CLR_PEC_ERROR	R0-W1C	0	パケット・エラー・ステータスをクリア 1 =「1」を書き込むと MR52 PEC_ERROR_STATUS ビットをクリア 「0」を書き込むと MR52 PEC_ERROR_STATUS ビットには影響なし
0	CLR_PAR_ERROR	R0-W1C	0	パリティ・エラー・ステータスをクリア 1 =「1」を書き込むと MR52 PEC_ERROR_STATUS ビット をクリア 「0」を書き込むと MR52 PAR_ERROR_STATUS ビットには影響なし

Copyright © 2023 Texas Instruments Incorporated

7.6.10 MR26: TS 設定 (アドレス = 1Ah) [リセット = 00h]

ホストは、MR26 レジスタを使用して温度センサを無効にできます。デバイスは温度変換を停止します。ビットが設定されたときに変換を実行中である場合は、現在の変換を完了してから、温度センサを無効にします。

レジスタ・マップに戻る。

図 7-56. MR26: 温度センサ設定レジスタ

7	6	5	4	3	2	1	0
予約済み							DIS_TS
R-00h							RW-0

表 7-22. MR26: 温度センサ設定のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	00h	予約済み
0	DIS_TS	RW	0	温度センサ無効 0 = 温度センサ有効。 1 = 温度センサ無効。

7.6.11 MR27: 割り込み設定 (アドレス = 1Bh) [リセット = 00h]

レジスタ・マップに戻る。

図 7-57. MR27: 割り込み設定レジスタ

7	6	5	4	3	2	1	0
CLR_GLOBAL	予約済み		IBI_ERROR_EN	IBI_TS_CRIT_LOW_EN	IBI_TS_CRIT_HIGH_EN	IBI_TS_LOW_EN	IBI_TS_HIGH_EN
W1C	R-00		R-0	RW-0	RW-0	RW-0	RW-0

表 7-23. MR27: 割り込み設定のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLR_GLOBAL	R0-W1C	0	イベント・ステータスおよびインバンド割り込み (IBI) ステータスのグローバル・クリア 1 =「1」を書き込むと、レジスタ MR48、MR51、MR52 をクリア。 「0 」を書き込むと、レジスタ MR48、MR51、MR52 には影響なし。
6:5	予約済み	R	00	予約済み
4	IBI_ERROR_EN	R	0	MR52 エラー・ログのインバンド割り込み (IBI) イネーブル。[1] 0 = ディセーブル。MR52 レジスタ・ビットに記録されたエラーは、ホストへの IBI を生成しません。 1 = イネーブル。 MR52 レジスタ・ビットに記録されたエラーは、ホストへの IBI を生成します。
3	IBI_TS_CRIT_LOW_EN	RW	0	温度センサ危険下限のインバンド割り込み (IBI) イネーブル。 0 = ディセーブル。MR51 レジスタ TS_CRIT_LOW_STATUS ビットは、ホストへの IBI を生成しません。 1 = イネーブル。MR51 レジスタ TS_CRIT_LOW_STATUS ビットは、ホストへの IBI を生成します。
2	IBI_TS_CRIT_HIGH_EN	RW	0	温度センサ危険上限のインバンド割り込み (IBI) イネーブル。 0 = ディセーブル。MR51 レジスタ TS_CRIT_HIGH_STATUS ビットは、ホストへの IBI を生成しません。 1 = イネーブル。MR51 レジスタ TS_CRIT_HIGH_STATUS ビットは、ホストへの IBI を生成します。
1	IBI_TS_LOW_EN	RW	0	温度センサ低温のインバンド割り込み (IBI) イネーブル。 0 = ディセーブル。MR51 レジスタ TS_LOW_STATUS ビットは、ホストへの IBI を生成しません。 1 = イネーブル。MR51 レジスタ TS_LOW_STATUS ビットは、ホストへの IBI を生成します。

表 7-23. MR27: 割り込み設定のフィールドの説明 (continued)

ビット	フィールド	タイプ	リセット	説明
0	IBI_TS_HIGH_EN	RW	0	温度センサ高温のインバンド割り込み (IBI) イネーブル。 0 = ディセーブル。MR51 レジスタ TS_HIGH_STATUS ビットは、ホストへの IBI を生成しません。 1 = イネーブル。MR51 レジスタ TS_HIGH_STATUS ビットは、ホストへの IBI を生成します。

1. IBI_ERROR_EN は、ENEC CCC、DISEC CCC、RSTDAA CCC、またはバス・リセット・シーケンスによってのみ更新できます。レジスタへの直接書き込みや、DEVCTRL CCC を使用した書き込みでは、このビットを更新しません。これは、予測不能な動作を引き起こす可能性があります。

7.6.12 MR28: 温度センサ上限 - 下位バイト設定 (アドレス = 1Ch) [リセット= 70h]

温度変換の結果が、MR29 および MR28 レジスタで設定された値よりも大きい場合、温度上限のステータス・フラグがセットされます。アプリケーションは、危険温度上限レジスタが、温度上限レジスタよりも確実に大きい値になっているようにする必要があります。

レジスタ・マップに戻る。

図 7-58. MR28: 温度センサ上限 - 下位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_HIGH_LIMIT_LOW[7:0]							
RW-70h						R-0	R-0

表 7-24. MR28: 温度センサ上限 - 下位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_HIGH_LIMIT_LOW[7:0]	RW	70h	温度センサ上限温度の下位バイト。[1] MR29 と MR28 の組み合わせにより、温度センサの上限が定義されます。

1. ホストが 1 を書き込んだとき、R-0 と記載されたビットは更新されず、読み出すと 0 になっています。

7.6.13 MR29: 温度センサ上限 - 上位バイト設定 (アドレス = 1Dh) [リセット = 03h]

温度変換の結果が、MR29 および MR28 レジスタで設定された値よりも大きい場合、温度上限のステータス・フラグがセットされます。アプリケーションは、危険温度上限レジスタが、温度上限レジスタよりも確実に大きい値になっているようにする必要があります。

レジスタ・マップに戻る。

図 7-59. MR29: 温度センサ上限 - 上位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_HIGH_LIMIT_HIGH[7:0]							
R-0	R-0	R-0	RW-03h				

表 7-25. MR29: 温度センサ上限 - 上位バイトのフィールド説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_HIGH_LIMIT_HIGH[7:0]	RW	03h	温度センサ上限温度の上位バイト。[1] MR29 と MR28 の組み合わせにより、温度センサの上限が定義されます。

1. ホストが 1 を書き込んだとき、R-0 と記載されたビットは更新されず、読み出すと 0 になっています。

Copyright © 2023 Texas Instruments Incorporated

7.6.14 MR30: 温度センサ下限 - 下位バイト設定 (アドレス = 1Eh) [リセット = 00h]

温度変換の結果が、MR31 および MR30 レジスタで設定された値よりも小さい場合、危険下限のステータス・フラグが設定されます。アプリケーションは、危険温度下限レジスタの値が、温度下限レジスタよりも確実に小さい値になっているようにする必要があります。

レジスタ・マップに戻る。

図 7-60. MR30: 温度センサ下限 - 下位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_LOW_LIMIT_LOW[7:0]							
RW~00h						R-0	R-0

表 7-26. MR30: 温度センサ下限 - 下位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_LOW_LIMIT_LOW[7:0]	RW	00h	温度センサ下限温度の下限バイト。[1] MR31 と MR30 の組み合わせにより、温度センサの下限が定義されます。

1. ホストが 1 を書き込んだとき、R-0 と記載されたビットは更新されず、読み出すと 0 になっています。

7.6.15 MR31: 温度センサ下限 - 上位バイト設定 (アドレス = 1Fh) [リセット = 00h]

温度変換の結果が、MR31 および MR30 レジスタで設定された値よりも小さい場合、危険下限のステータス・フラグが設定されます。アプリケーションは、危険温度下限レジスタの値が、温度下限レジスタよりも確実に小さい値になっているようにする必要があります。

レジスタ・マップに戻る。

図 7-61. MR31: 温度センサ下限 - 上位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_LOW_LIMIT_HIGH[7:0]							
R-0	R-0	R-0	RW~00h				

表 7-27. MR31: 温度センサ下限 - 上位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_LOW_LIMIT_HIGH[7:0]	RW	00h	温度センサ下限温度の上位バイト。[1] MR31 と MR30 の組み合わせにより、温度センサの下限が定義されます。

1. ホストが 1 を書き込んだとき、R-0 と記載されたビットは更新されず、読み出すと 0 になっています。

7.6.16 MR32: 温度センサの危険上限温度 - 下位バイト設定 (アドレス = 20h) [リセット = 50h]

温度変換の結果が、MR33 および MR32 レジスタで設定された値よりも大きい場合、危険温度上限のステータス・フラグが設定されます。アプリケーションは、危険温度上限レジスタが、温度上限レジスタよりも確実に大きい値になっているようにする必要があります。

レジスタ・マップに戻る。

図 7-62. MR32: 温度センサ危険温度上限 - 下位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_CRIT_HIGH_LIMIT_LOW[7:0]							
RW-50h						R-0	R-0

表 7-28. MR32: 温度センサ危険温度上限 - 下位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_CRIT_HIGH_LIMIT_LOW[7:0]	RW	50h	温度センサ危険上限温度の下位バイト。[1] MR33 と MR32 の組み合わせにより、温度センサの危険上限温度が定義されます。

1. ホストが 1 を書き込んだとき、R-0 と記載されたビットは更新されず、読み出すと 0 になっています。

7.6.17 MR33: 温度センサ危険温度上限 - 上位バイト設定 (アドレス = 21h) [リセット = 05h]

温度変換の結果が、MR33 および MR32 レジスタで設定された値よりも大きい場合、危険温度上限のステータス・フラグが設定されます。アプリケーションは、危険温度上限レジスタが、温度上限レジスタよりも確実に大きい値になっているようにする必要があります。

レジスタ・マップに戻る。

図 7-63. MR33: 温度センサ危険温度上限 - 上位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_CRIT_HIGH_LIMIT_HIGH[7:0]							
R-0	R-0	R-0	RW-05h				

表 7-29. MR33: 温度センサ危険温度上限 - 上位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_CRIT_HIGH_LIMIT_HIGH[7:0]	RW	05h	温度センサ危険上限温度の上位バイト。[1] MR33 と MR32 の組み合わせにより、温度センサの危険上限温度が定義されます。

1. ホストが 1 を書き込んだとき、R-0 と記載されたビットは更新されず、読み出すと 0 になっています。

7.6.18 MR34: 温度センサ危険温度下限 - 下位バイト設定 (アドレス = 22h) [リセット = 00h]

温度変換の結果が、MR35 および MR34 レジスタで設定された値よりも小さい場合、危険温度下限のステータス・フラグが設定されます。アプリケーションは、危険温度下限レジスタの値が、温度下限レジスタよりも確実に小さい値になっているようにする必要があります。

レジスタ・マップに戻る。

図 7-64. MR34: 温度センサ危険温度下限 - 下位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_CRIT_LOW_LIMIT_LOW[7:0]							
RW~00h						R-0	R-0

表 7-30. MR34: 温度センサ危険温度下限 - 下位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_CRIT_LOW_LIMIT_LOW[7:0]	RW	00h	温度センサ危険下限温度の下位バイト。[1] MR35 と MR34 の組み合わせにより、温度センサの危険下限温度が定義されます。

1. ホストが 1 を書き込んだとき、R-0 と記載されたビットは更新されず、読み出すと 0 になっています。

7.6.19 MR35: 温度センサ危険温度下限-上位バイト設定 (アドレス = 23h) [リセット = 00h]

温度変換の結果が、MR35 および MR34 レジスタで設定された値よりも小さい場合、危険温度下限のステータス・フラグが設定されます。アプリケーションは、危険温度下限レジスタの値が、温度下限レジスタよりも確実に小さい値になっているようにする必要があります。

Copyright © 2023 Texas Instruments Incorporated

レジスタ・マップに戻る。

図 7-65. MR35: 温度センサ危険温度下限 - 上位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_CRIT_LOW_LIMIT_HIGH[7:0]							
R-0	R-0	R-0	RW~00h				

表 7-31. MR35: 温度センサ危険温度下限 - 上位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_CRIT_LOW_LIMIT_HIGH[7:0]	RW	00h	温度センサ危険下限温度の上位バイト。[1] MR35 と MR34 の組み合わせにより、温度センサの危険下限温度が定義されます。

1. ホストが 1 を書き込んだとき、R-0 と記載されたビットは更新されず、読み出すと 0 になっています。

7.6.20 MR48: デバイス・ステータス (アドレス = 30h) [リセット = 00h]

TMP139 が I3C モードのとき、MR48 レジスタは IBI のステータスを提供します。

レジスタ・マップに戻る。

図 7-66. MR48: デバイス・ステータス・レジスタ

7	6	5	4	3	2	1	0
IBI_STATUS	予約済み						
R-0	R-00h						

表 7-32. MR48: デバイス・ステータスのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	IBI_STATUS	R	0	デバイス・イベント・インバンド 割り込み (IBI) ステータス。 0 = 保留中の IBI なし。 1 = IBI 保留中。
6:0	予約済み	R	00h	予約済み

7.6.21 MR49: 現在検出温度下位バイト (アドレス = 31h) [リセット = 00h]

MR49 レジスタには、最新の変換から得られた温度出力の下位 8 ビットが保存されます。

レジスタ・マップに戻る。

図 7-67. MR49: 現在検出温度下位バイト・レジスタ

7	6	5	4	3	2	1	0
TS_SENSE_LOW[7:0]							
R-00h							

表 7-33. MR49: 現在検出温度下位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_SENSE_LOW[7:0]	R	00h	温度センサによる最新の変換後に返された現在温度の下位バイト。 MR50 と MR49 の組み合わせにより、最新の変換後に返された温度を示します。

7.6.22 MR50: 現在検出温度上位バイト (アドレス = 32h) [リセット = 00h]

MR50 レジスタには、最新の変換から得られた温度出力の上位 8 ビットが保存されます。

レジスタ・マップに戻る。

図 7-68. MR50: 現在検出温度上位バイト設定レジスタ

7	6	5	4	3	2	1	0
TS_SENSE_HIGH[7:0]							
R-00h							

表 7-34. MR50: 現在検出温度上位バイトのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	TS_SENSE_HIGH[7:0]	R	00h	温度センサによる最新の変換後に返された現在温度の上位バイト。MR49 と MR50 の組み合わせにより、最新の変換後に返された温度を示します。

7.6.23 MR51: 温度ステータス (アドレス = 33h) [リセット = 00h]

MR51 レジスタには、最新の変換温度出力を MR28～MR35 に定義されている 4 つのスレッショルド・レベルのそれぞれと比較したステータスが保存されます。

レジスタ・マップに戻る。

図 7-69. MR51: 温度ステータス・レジスタ

7	6	5	4	3	2	1	0
予約済み				TS_CRIT_LOW_STATUS	TS_CRIT_HIGH_STATUS	TS_LOW_STATUS	TS_HIGH_STATUS
R-0h				R-0	R-0	R-0	R-0

表 7-35. MR51: 温度ステータスのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
6:5	予約済み	R	00	予約済み
3	TS_CRIT_LOW_STATUS	R	0	温度センサ危険下限ステータス。 0 = 温度がレジスタ MR35 および MR34 で設定されている制限を上回っています。 1 = 温度がレジスタ MR35 および MR34 で設定されている制限を下回っています。
2	TS_CRIT_HIGH_STATUS	R	0	温度センサ危険上限ステータス。 0 = 温度がレジスタ MR33 および MR32 で設定されている制限を下回っています。 1 = 温度がレジスタ MR33 および MR32 で設定されている制限を上回っています。
1	TS_LOW_STATUS	R	0	温度センサ下限ステータス。 0 = 温度がレジスタ MR31 および MR30 で設定されている制限を上回っています。 1 = 温度がレジスタ MR31 および MR30 で設定されている制限を下回っています。
0	TS_HIGH_STATUS	R	0	温度センサ上限ステータス 0 = 温度がレジスタ MR29 および MR28 で設定されている制限を下回っています。 1 = 温度がレジスタ MR29 および MR28 で設定されている制限を上回っています。

7.6.24 MR52: 各種エラー・ステータス (アドレス = 34h) [リセット = 00h]

MR52 レジスタには、PEC モードがイネーブルのときの PEC チェックサム障害のステータス、およびホストが I3C モードでデバイスに書き込むときの T ビットのパリティ・エラーが保存されます。

レジスタ・マップに戻る。

Copyright © 2023 Texas Instruments Incorporated

図 7-70. MR52: 各種エラー・ステータス・レジスタ

7	6	5	4	3	2	1	0
予約済み						PEC_ERROR_STATUS	PAR_ERROR_STATUS
R-00h						R-0	R-0

表 7-36. MR52: 各種エラー・ステータスのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R	00	予約済み
1	PEC_ERROR_STATUS	R	0	パケット・エラー・ステータス。 0 = PEC エラーなし。 1 = 1 つ以上のパケットで PEC エラー発生。
0	PAR_ERROR_STATUS	R	0	パリティ・チェック・エラー・ステータス 0 = パリティ・エラーなし。 1 = 1 つ以上のバイトでパリティ・エラー発生。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TMP139 は、DIMM カード上のメモリ部品の温度を測定するために使用します。TMP139 には I²C および I3C バスが搭載されており、DDR5 アプリケーションでの必要に応じて、バス上に最大 2 つのデバイスを接続できます。TMP139 は I3C バスで動作するため、デバイスは SDA または SCL ピンに外付けプルアップ抵抗を必要としません。

8.2 代表的なアプリケーション

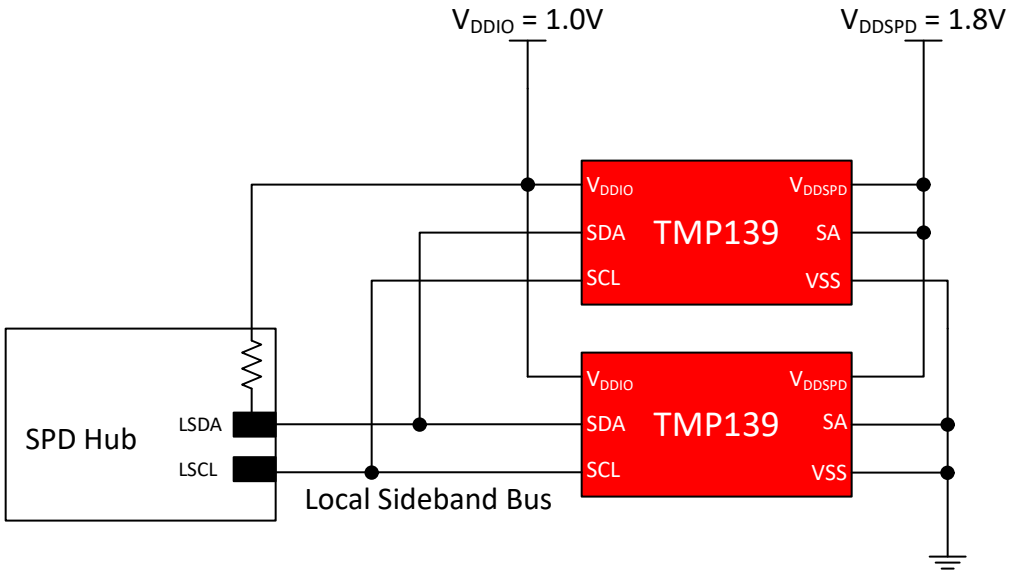


図 8-1. 代表的な接続

8.2.1 設計要件

ホスト・コントローラにプルアップが組み込まれているため、I3C バスでは、SDA ピンに外付けプルアップ抵抗は必要ありません。SCL ピンは入力専用のピンで、ホスト・コントローラによってプッシュプル・モードで駆動されます。また、このピンは直接接続する必要があります。SA ピンは、V_{DDSPD} または GND にのみ接続できます。

8.2.2 詳細な設計手順

TMP139 デバイスは、適切な熱結合が行われるよう正しくレイアウトして、監視が必要な熱源の近くに配置します。この配置により、温度の変化を可能な限り短い時間間隔で捕捉できます。

Copyright © 2023 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

表 8-1 に、このアプリケーション例のグラフを示します。

表 8-1. グラフ一覧

名称	グラフ
温度誤差と温度との関係	図 6-8
アクティブ変換電流と温度との関係	図 6-9
平均電流と温度との関係	図 6-10
スタンバイ電流と温度との関係	図 6-11
シャットダウン電流と温度との関係	図 6-12
サンプリング・レートの変化	図 6-13

8.3 電源に関する推奨事項

TMP139 は、デュアル電源ピンで動作します。電源 V_{DDIO} はバス・インターフェイスに使用され、0.95V～1.05V の範囲で動作します。VDDSPD ピンはコアの電源として使用され、1.7V～1.98V の範囲で動作します。高精度と安定性のために、電源バイパス・コンデンサが必要です。電源バイパス・コンデンサは、デバイスの電源ピンとグランドピンにできるだけ近づけて配置します。この電源バイパス・コンデンサの標準値は、0.01µF です。ノイズが多い、またはインピーダンスが高い電源を使ったアプリケーションでは、電源ノイズの除去のために、より大きいバイパス・コンデンサが必要な場合もあります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

電源バイパス・コンデンサは、電源とグランドのピンにできるだけ近づけて配置します。このバイパス・コンデンサの推奨値は 0.01µF です。SCL はハブ・デバイスによってプッシュプル・モードで駆動されるため、プルアップは必要ありません。I3C ではプルアップ抵抗もハブ・デバイスに内蔵されているため、SDA には外部プルアップは必要ありません。

8.4.2 レイアウト例

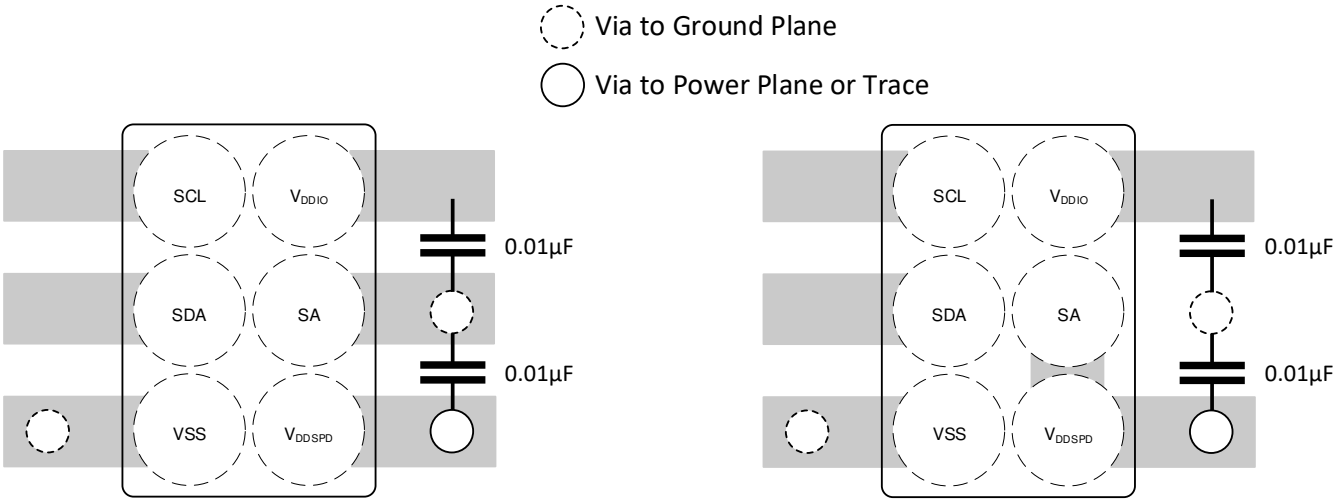


図 8-2. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

9.3 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

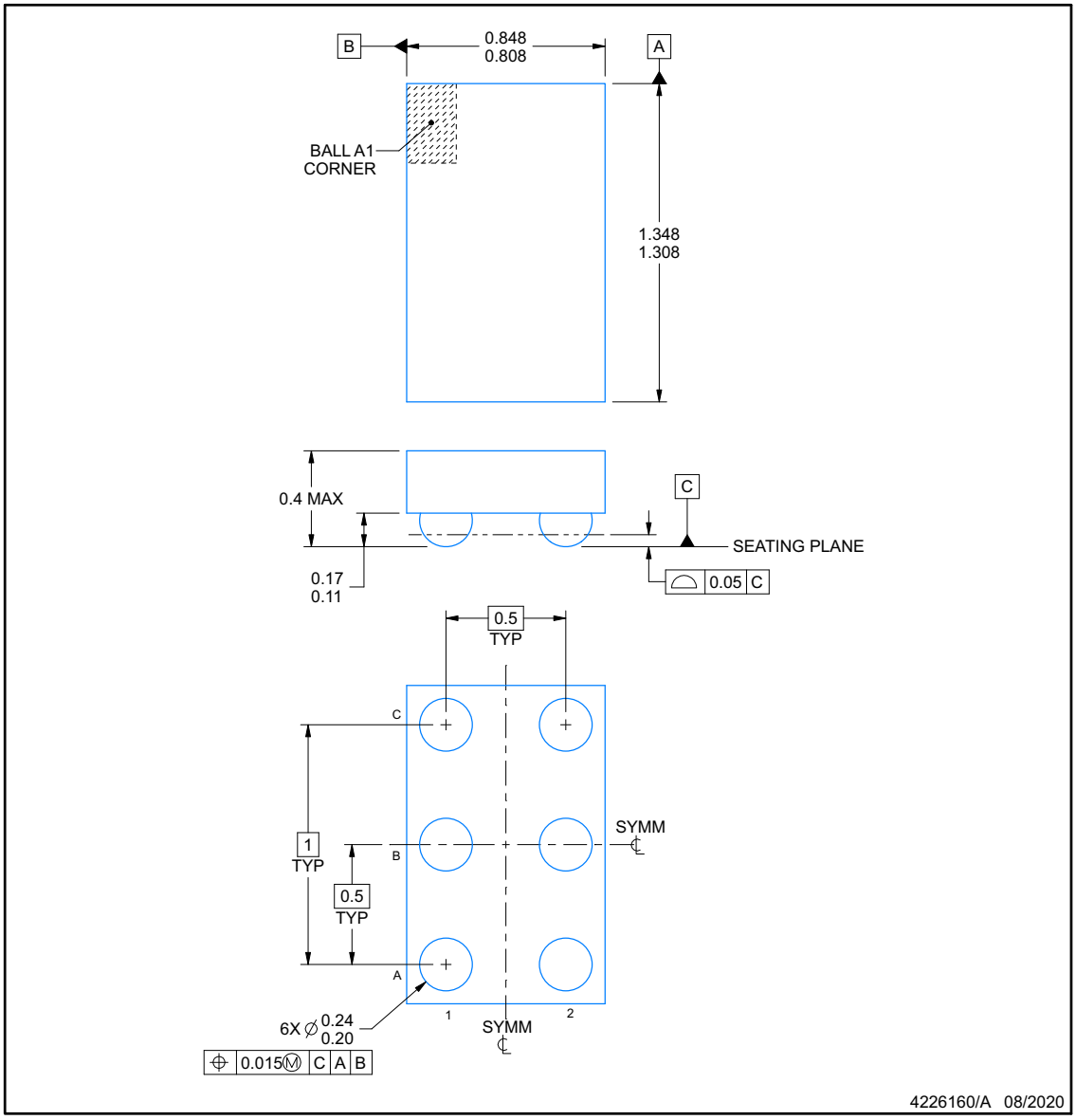
Copyright © 2023 Texas Instruments Incorporated

PACKAGE OUTLINE

YAH0006-C01

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

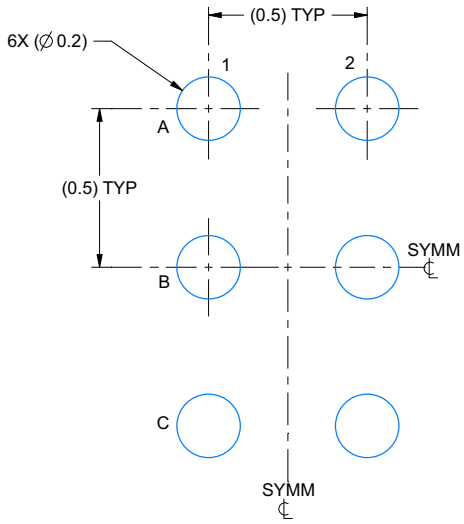
Copyright © 2023 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

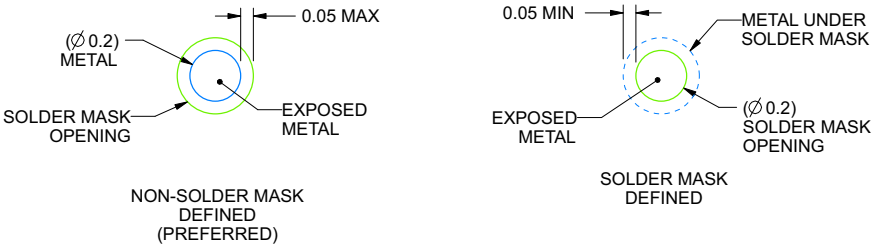
YAH0006-C01

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4226160/A 08/2020

NOTES: (continued)

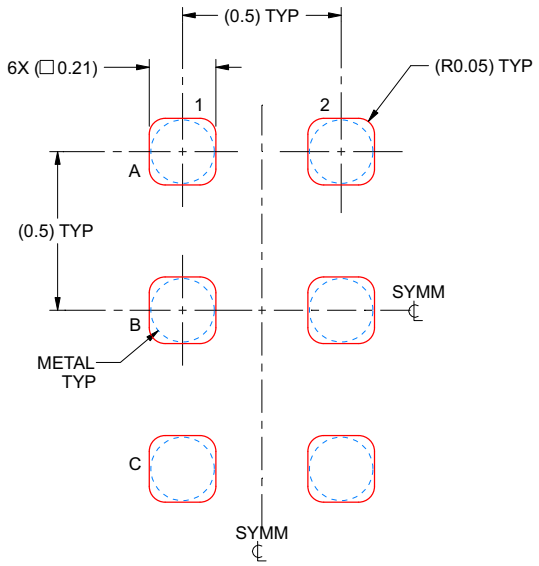
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2023 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YAH0006-C01 **DSBGA - 0.4 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 50X

4226160/A 08/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMP139AIYAHR	Active	Production	DSBGA (YAH) | 6	12000 | JUMBO T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	28VL
TMP139AIYAHR.A	Active	Production	DSBGA (YAH) | 6	12000 | JUMBO T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	28VL

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

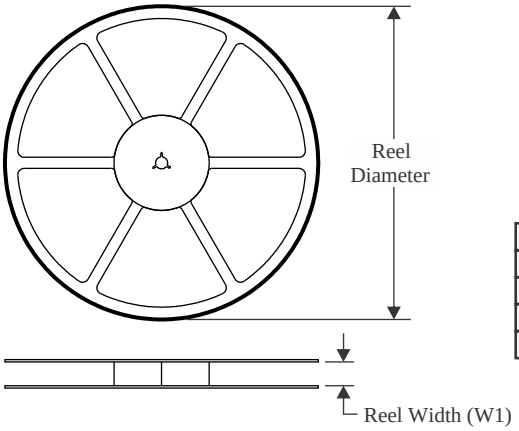
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

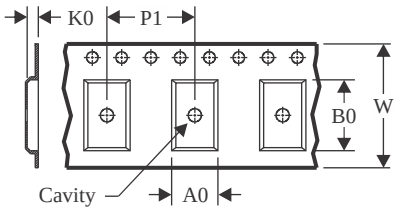
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

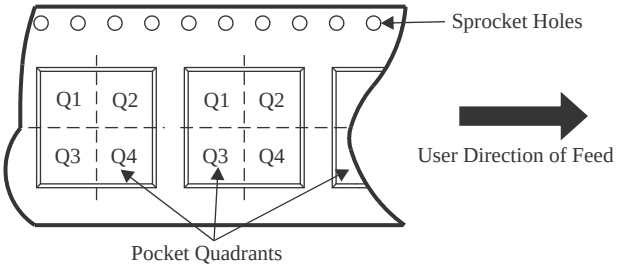


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

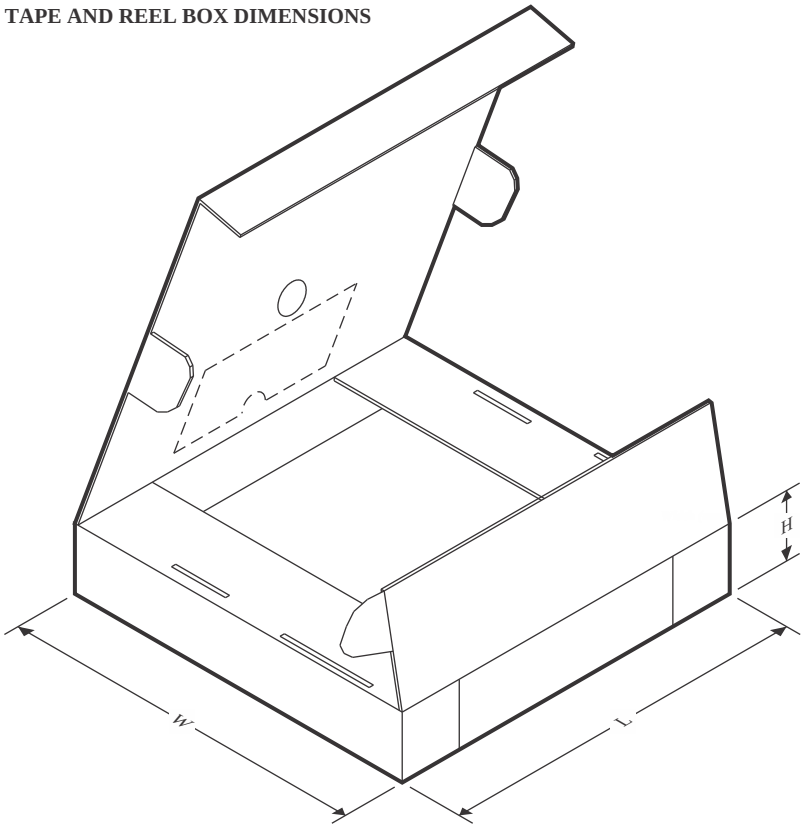
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMP139AIYAHR	DSBGA	YAH	6	12000	180.0	8.4	0.93	1.43	0.47	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMP139AIYAHR	DSBGA	YAH	6	12000	182.0	182.0	20.0

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated