TMS320F28027, TMS320F28027-Q1, TMS320F28027F, TMS320F28027F-Q1, TMS320F28026
TMS320F28026-Q1, TMS320F28026F, TMS320F28026F-Q1, TMS320F28023
TMS320F28023-Q1, TMS320F28022, TMS320F28021, TMS320F28020, TMS320F280200
JAJSGS4P – NOVEMBER 2008 – REVISED FEBRUARY 2021

TMS320F2802x マイクロコントローラ

1 特長

- 高効率の 32 ビット CPU (TMS320C28x)
  - 60MHz (サイクル・タイム 16.67ns)
  - 50MHz (サイクル・タイム 20ns)
  - 40MHz (サイクル・タイム 25ns)
  - 16 ビット × 16 ビットおよび 32 ビット × 32 ビットの MAC 演算
  - 16 ビット × 16 ビットのデュアル MAC
  - ハーバード・バス・アーキテクチャ
  - アトミック処理
  - 高速な割り込み応答とプロセッシング
  - 統合メモリ・プログラミング・モデル
  - 高いコード効率 (C/C++ およびアセンブリ)
- エンディアンネス:リトル・エンディアン
- 低コストのデバイスおよびシステム
  - 3.3V 単一電源
  - 電源シーケンス不要
  - パワーオンおよびブラウンアウト・リセットを内蔵
  - 小さなパッケージ、最少 38 ピンで供給
  - 低消費電力
  - アナログ・サポート・ピンなし
- クロック:
  - 2 つの内部ゼロ・ピン発振器
  - オンチップの水晶発振器と外部クロック入力
  - ウォッチドッグ・タイマ・モジュール
  - クロック消失検出回路
- 最大 22 の個別にプログラム可能な、多重化された、入力フィルタリング付き GPIO ピン
- すべてのペリフェラル割り込みをサポートするペリフェラル割り込み拡張 (PIE) ブロック
- 3 つの 32 ビット CPU タイマ
- それぞれの拡張パルス幅変調器 (ePWM) に独立の 16 ビット・タイマ
- オンチップ・メモリ
  - フラッシュ、SARAM、OTP、ブート ROM を利用可能
- コード・セキュリティ・モジュール
- 128 ビットのセキュリティ・キーおよびロック
  - セキュア・メモリ・ブロックを保護
  - ファームウェアのリバース・エンジニアリングを防止
- シリアル・ポート・ペリフェラル
  - 1 つのシリアル通信インターフェイス (SCI) UART (Universal Asynchronous Receiver/Transmitter) モジュール
  - 1 つのシリアル・ペリフェラル・インターフェイス (SPI) モジュール
  - 1 つの I2C (Inter-Integrated-Circuit) モジュール
- 拡張制御ペリフェラル
  - ePWM
  - 高分解能 PWM (HRPWM)
  - 拡張キャプチャ (eCAP) モジュール
  - A/D コンバータ (ADC)
  - オンチップ温度センサ
  - コンパレータ
- 高度なエミュレーション機能
  - 分析およびブレークポイント機能
  - ハードウェアによるリアルタイム・デバッグ
- パッケージ・オプション
  - 38 ピンの DA シン・シュリンク・スモールアウトライン・パッケージ (TSSOP)
  - 48 ピンの PT 薄型クワッド・フラットパック (LQFP)
- 温度オプション
  - T:-40℃～105℃
  - S:-40℃～125℃
  - Q:–40℃～125℃
    (車載アプリケーション用の AEC Q100 認定)

2 アプリケーション

- エアコン室外機
- インバータとモーター制御
- 繊維機械
- マイクロ・インバータ
- AC ドライブの電力段モジュール
- AC 入力 BLDC モーター・ドライブ
- DC 入力 BLDC モーター・ドライブ
- 産業用 AC-DC
- 3 相 UPS
- 商用 DC/DC
- 商用ネットワークとサーバーの PSU (電源)
- 商用テレコム整流器

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

3 概要

C2000™ 32 ビット・マイクロコントローラは処理、センシング、アクチュエーションに最適化されており、リアルタイム制御アプリケーション、たとえば産業用モーター・ドライブ、ソーラー・インバータおよびデジタル電源、電気自動車および輸送機関、モーター制御、センシングおよび信号処理などにおける閉ループ性能が向上しています。C2000 ラインには最高性能の MCU とエントリ性能の MCU があります。

F2802x ファミリのマイクロコントローラ (MCU) は、C28x コアの能力を、高度に統合された制御ペリフェラルとともに、ピン数の少ないデバイスに組み入れた製品です。このファミリは従来の C28x ベースのコードと互換性があり、アナログも高レベルで統合されています。

内蔵の電圧レギュレータにより、シングル・レールでの動作が可能です。HRPWM に拡張が加えられ、デュアル・エッジ制御 (周波数変調) が可能になっています。内部の 10 ビット基準を持つアナログ・コンパレータが追加されており、直接配線により PWM 出力を制御できます。この ADC は 0～3.3V の固定フルスケール範囲を変換し、レシオメトリックな V_{REFHI}/V_{REFLO} 基準電圧をサポートします。ADC インターフェイスは、オーバーヘッドが小さく、レイテンシが短くなるよう最適化されています。

C2000 MCU の詳細については、www.tij.co.jp/c2000 で C2000 の概要を参照してください。

製品情報

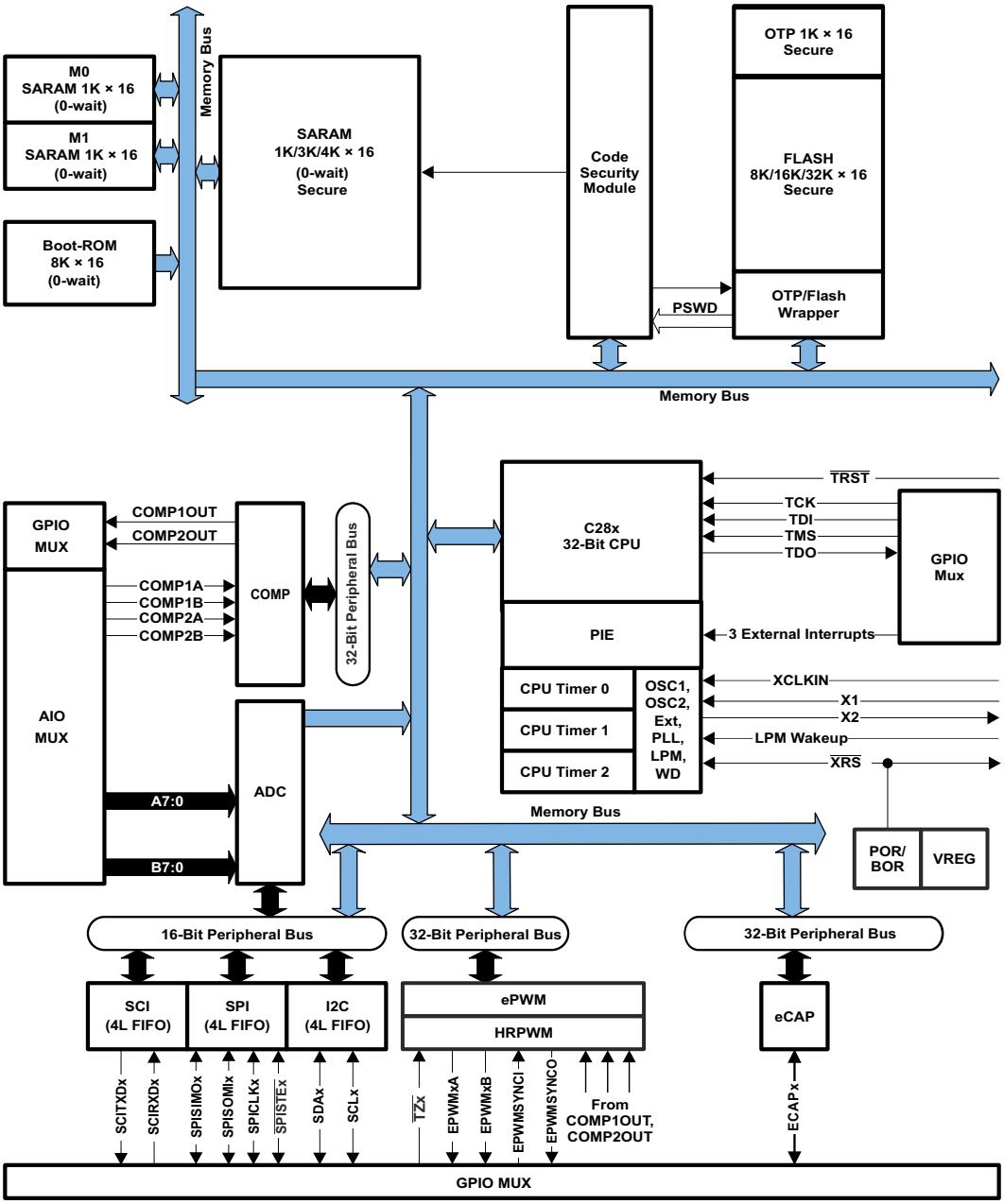
部品番号(1)	パッケージ	本体サイズ
TMS320F28027PT	LQFP (48)	7.0mm×7.0mm
TMS320F28026PT	LQFP (48)	7.0mm×7.0mm
TMS320F28023PT	LQFP (48)	7.0mm×7.0mm
TMS320F28022PT	LQFP (48)	7.0mm×7.0mm
TMS320F28021PT	LQFP (48)	7.0mm×7.0mm
TMS320F28020PT	LQFP (48)	7.0mm×7.0mm
TMS320F280200PT	LQFP (48)	7.0mm×7.0mm
TMS320F28027DA	TSSOP (38)	12.5mm×6.2mm
TMS320F28026DA	TSSOP (38)	12.5mm×6.2mm
TMS320F28023DA	TSSOP (38)	12.5mm×6.2mm
TMS320F28022DA	TSSOP (38)	12.5mm×6.2mm
TMS320F28021DA	TSSOP (38)	12.5mm×6.2mm
TMS320F28020DA	TSSOP (38)	12.5mm×6.2mm
TMS320F280200DA	TSSOP (38)	12.5mm×6.2mm

(1) これらのデバイスの詳細については、メカニカル、パッケージ、および注文情報を参照してください。

Copyright © 2022 Texas Instruments Incorporated

4 機能ブロック図

「機能ブロック図」に、デバイスの機能ブロック図を示します。



Copyright © 2017, Texas Instruments Incorporated

A. 多重化の関係で、同時にすべてのペリフェラル・ピンが利用可能なわけではありません。

図 4-1. 機能ブロック図

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 2
4 機能ブロック図 ... 3
5 改訂履歴 ... 5
6 Device Comparison ... 6
6.1 Related Products ... 7
7 Terminal Configuration and Functions ... 8
7.1 ピン構造図 ... 8
7.2 信号概要 ... 10
8 仕様 ... 15
8.1 Absolute Maximum Ratings ... 15
8.2 ESD 定格 – 車載用 ... 15
8.3 ESD 定格 – 民生用 ... 16
8.4 推奨動作条件 ... 16
8.5 消費電力の概略 ... 17
8.6 電気的特性 ... 21
8.7 熱抵抗特性 ... 23
8.8 熱設計の検討事項 ... 24
8.9 MCU との JTAG デバッグ・プローブ接続 (信号バッファリングなし) ... 24
8.10 パラメータ情報 ... 25
8.11 テスト負荷回路 ... 25
8.12 電源シーケンス ... 26
8.13 クロック仕様 ... 29
8.14 フラッシュのタイミング ... 33
9 詳細説明 ... 36
9.1 Overview ... 36
9.2 Memory Maps ... 44
9.3 Register Maps ... 51
9.4 Device Emulation Registers ... 52
9.5 VREG/BOR/POR ... 53
9.6 システム・コントロール ... 55
9.7 Low-power Modes Block ... 63
9.8 Interrupts ... 64
9.9 ペリフェラル ... 69
10 アプリケーション、実装、およびレイアウト ... 120
10.1 テキサス・インスツルメンツのリファレンス・デザイン ... 120
11 デバイスおよびドキュメントのサポート ... 121
11.1 Device and Development Support Tool Nomenclature ... 121
11.2 Tools and Software ... 122
11.3 ドキュメントのサポート ... 124
11.4 サポート・リソース ... 125
11.5 商標 ... 125
11.6 静電気放電に関する注意事項 ... 125
11.7 用語集 ... 125
12 メカニカル、パッケージ、および注文情報 ... 126
12.1 パッケージ情報 ... 126

Copyright © 2022 Texas Instruments Incorporated

5 改訂履歴

Changes from OCTOBER 30, 2020 to JANUARY 18, 2021 (from Revision O (October 2020) to Revision P (January 2021)) **Page**

- *Device Comparison*: Updated part numebrs....6
- ESD 定格 – 車載用:部品番号を更新....15
- ESD 定格 – 民生用部品番号を更新....16
- *Device and Development Support Tool Nomenclature*: Updated Device Nomenclature image to show -Q1 part number....121

Copyright © 2022 Texas Instruments Incorporated

6 Device Comparison

表 6-1 lists the features of the TMS320F2802x devices.

表 6-1. Device Comparison

FEATURE		TYPE (1)	28027 28027-Q1 28027F 28027F-Q1 (60 MHz)(2)		28026 28026-Q1 28026F 28026F-Q1 (60 MHz)(2)		28023 28023-Q1 (50 MHz)		28022 28022-Q1 (50 MHz)		28021 (40 MHz)		28020 (40 MHz)		280200 (40 MHz)	
Package Type			38-Pin DA TSSOP	48-Pin PT LQFP	38-Pin DA TSSOP	48-Pin PT LQFP	38-Pin DA TSSOP	48-Pin PT LQFP	38-Pin DA TSSOP	48-Pin PT LQFP	38-Pin DA TSSOP	48-Pin PT LQFP	38-Pin DA TSSOP	48-Pin PT LQFP	38-Pin DA TSSOP	48-Pin PT LQFP
Instruction cycle		–	16.67 ns		16.67 ns		20 ns		20 ns		25 ns		25 ns		25 ns	
On-chip flash (16-bit word)		–	32K		16K		32K		16K		32K		16K		8K	
On-chip SARAM (16-bit word)		–	6K		6K		6K		6K		5K		3K		3K	
Code security for on-chip flash/SARAM/OTP blocks		–	Yes		Yes		Yes		Yes		Yes		Yes		Yes	
Boot ROM (8K x 16)		–	Yes		Yes		Yes		Yes		Yes		Yes		Yes	
One-time programmable (OTP) ROM (16-bit word)		–	1K		1K		1K		1K		1K		1K		1K	
ePWM channels		1	8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)		8 (ePWM1/2/3/4)	
eCAP inputs		0	1		1		1		1		1		1		–	
Watchdog timer		–	Yes		Yes		Yes		Yes		Yes		Yes		Yes	
12-Bit ADC	MSPS	3	4.6		4.6		3		3		2		2		2	
	Conversion Time		216.67 ns		216.67 ns		260 ns		260 ns		500 ns		500 ns		500 ns	
	Channels		7	13	7	13	7	13	7	13	7	13	7	13	7	13
	Temperature Sensor		Yes		Yes		Yes		Yes		Yes		Yes		Yes	
	Dual Sample-and-Hold		Yes		Yes		Yes		Yes		Yes		Yes		Yes	
32-Bit CPU timers		–	3		3		3		3		3		3		3	
High-resolution ePWM Channels		1	4 (ePWM1A/2A /3A/4A)		4 (ePWM1A/2A /3A/4A)		4 (ePWM1A/2A /3A/4A)		4 (ePWM1A/2A /3A/4A)		–		–		–	
Comparators w/ Integrated DACs		0	1	2	1	2	1	2	1	2	1	2	1	2	1	2
Inter-integrated circuit (I2C)		0	1		1		1		1		1		1		1	
Serial Peripheral Interface (SPI)		1	1		1		1		1		1		1		1	
Serial Communications Interface (SCI) (UART Compatible)		0	1		1		1		1		1		1		1	
I/O pins (shared)	Digital (GPIO)	–	20	22	20	22	20	22	20	22	20	22	20	22	20	22
	Analog (AIO)	–	6		6		6		6		6		6		6	
External interrupts		–	3		3		3		3		3		3		3	
Supply voltage (nominal)		–	3.3 V		3.3 V		3.3 V		3.3 V		3.3 V		3.3 V		3.3 V	
Temperature options	T: –40°C to 105°C	–	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	S: –40°C to 125°C	–	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	Q: –40°C to 125°C(3)	–	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	–	–	–	–	–	–

(1) A type change represents a major functional feature difference in a peripheral module. Within a peripheral type, there may be minor differences between devices that do not affect the basic functionality of the module. These device-specific differences are listed in the *C2000 Real-Time Control Peripherals Reference Guide* and in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

(2) TMS320F28027F and TMS320F28026F are InstaSPIN-FOC™-enabled MCUs. For more information, see セクション 11.3 for a list of InstaSPIN Technical Reference Manuals.

(3) The letter Q refers to AEC Q100 qualification for automotive applications.

Copyright © 2022 Texas Instruments Incorporated

6.1 Related Products

For information about similar products, see the following links:

TMS320F2802x Microcontrollers
The F2802x series offers the lowest pin-count and Flash memory size options. InstaSPIN-FOC™ versions are available.

TMS320F2803x Microcontrollers
The F2803x series increases the pin-count and memory size options. The F2803x series also introduces the parallel control law accelerator (CLA) option.

TMS320F2805x Microcontrollers
The F2805x series is similar to the F2803x series but adds on-chip programmable gain amplifiers (PGAs). InstaSPIN-FOC and InstaSPIN-MOTION™ versions are available.

TMS320F2806x Microcontrollers
The F2806x series is the first to include a floating-point unit (FPU). The F2806x series also increases the pin-count, memory size options, and the quantity of peripherals. InstaSPIN-FOC™ and InstaSPIN-MOTION™ versions are available.

TMS320F2807x Microcontrollers
The F2807x series offers the most performance, largest pin counts, flash memory sizes, and peripheral options. The F2807x series includes the latest generation of accelerators, ePWM peripherals, and analog technology.

TMS320F28004x Microcontrollers
The F28004x series is a reduced version of the F2807x series with the latest generational enhancements. The F28004x series is the best roadmap option for those using the F2806x series. InstaSPIN-FOC and configurable logic block (CLB) versions are available.

Copyright © 2022 Texas Instruments Incorporated

7 Terminal Configuration and Functions

7.1 ピン構造図

図 7-1 に、48 ピン PT LQFP (Low-profile Quad Flat Package) のピン配置を示します。図 7-2 に、38 ピン DA TSSOP (Thin Shrink Small-Outline Package) のピン配置を示します。

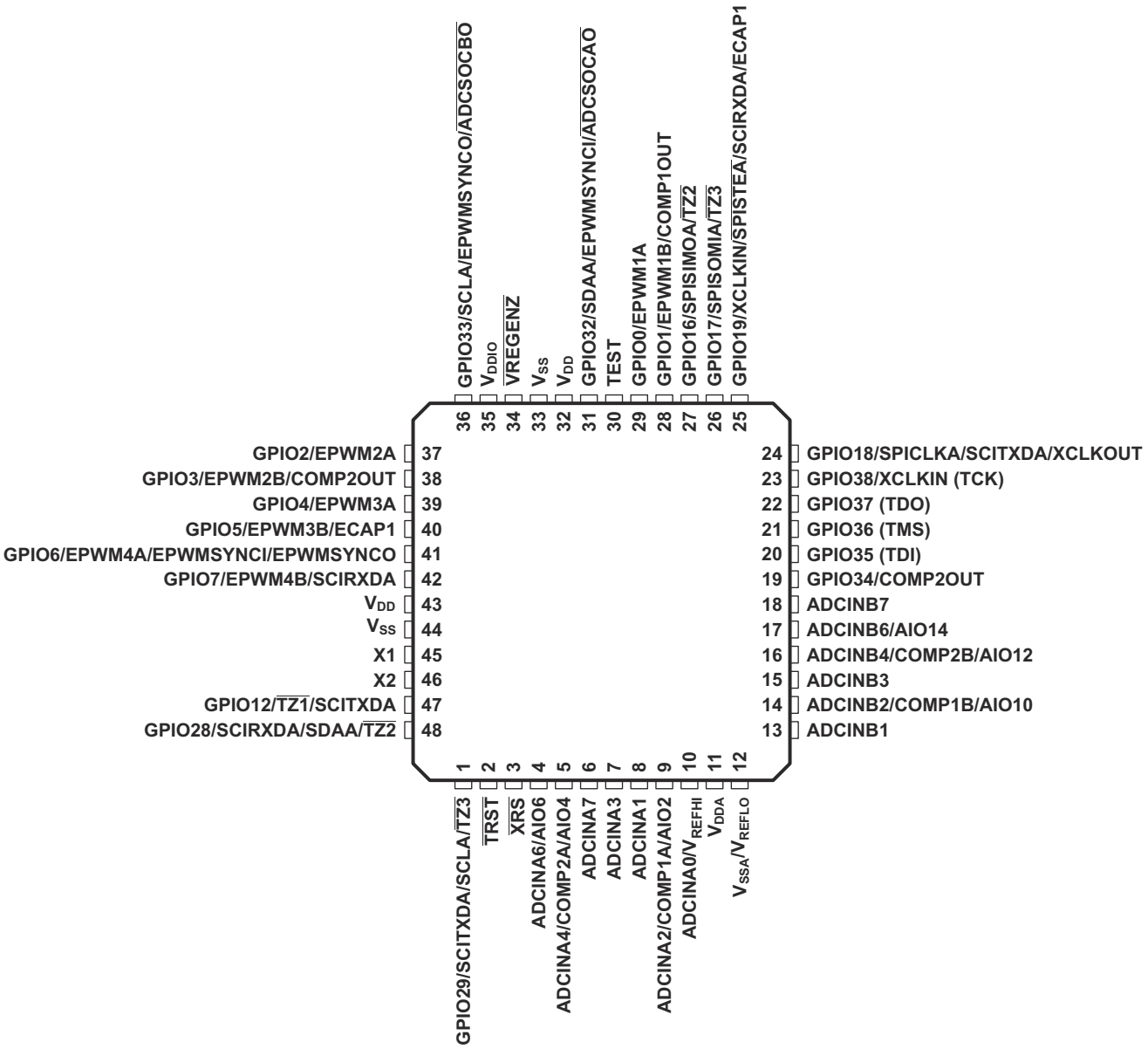


図 7-1. 2802x 48 ピン PT LQFP (上面図)

Copyright © 2022 Texas Instruments Incorporated

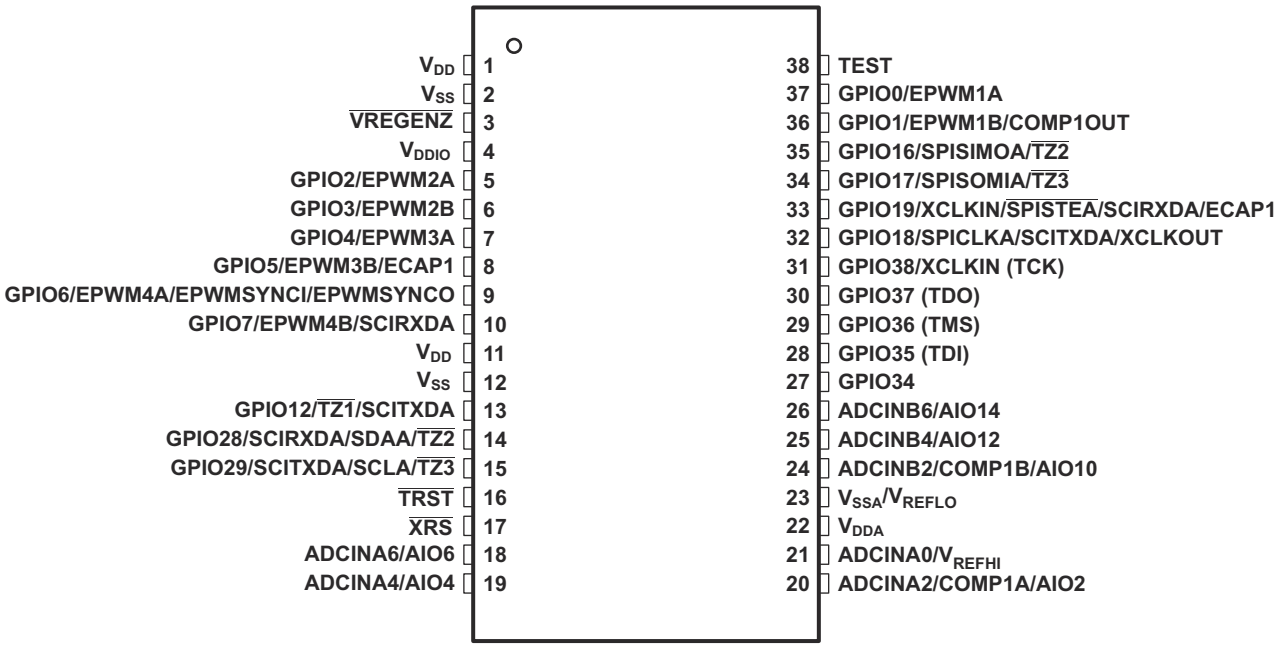


図 7-2. 2802x 38 ピン DA TSSOP (上面図)

7.2 信号概要

セクション 7.2.1 では、信号について説明します。JTAG ピンを除き、特に記述のない限り、GPIO 機能はリセット時のデフォルトです。その下に記載されているペリフェラル信号は代替機能です。一部のペリフェラル機能は、すべてのデバイスで利用できるとは限りません。詳細については、表 6-1 を参照してください。入力は 5V 許容ではありません。すべての GPIO ピンは I/O/Z であり、内部プルアップを備えています。この内部プルアップは、ピンごとに選択的に有効化 / 無効化できます。この機能は GPIO ピンにのみ適用されます。PWM ピンのプルアップはリセットしても有効化されません。その他の GPIO ピンのプルアップはリセットと同時に有効化されます。AIO ピンは内部プルアップを持っていません。

注

オンチップ VREG を使用する場合、GPIO19、GPIO34、GPIO35、GPIO36、GPIO37、GPIO38 ピンには、電源投入時にグリッチが発生する可能性があります。この潜在的なグリッチは、ブート・モード・ピンが読み出される前に終了し、ブート動作には影響しません。アプリケーションでグリッチが許容されない場合、1.8V を外部から供給できます。または、ピンと外部回路の劣化の可能性を抑えるために、これらのピンとすべての外部ドライバに直列に電流制限抵抗 (470Ω など) を追加することもできます。外部 1.8V 電源を使用する場合、電源シーケンス要件はありません。ただし、I/O ピンのレベル・シフト出力バッファ内の 3.3V トランジスタに、1.8V トランジスタよりも前に電力が供給される場合、出力バッファがオンすることで、電源投入時にピンにグリッチが発生する可能性があります。この挙動を回避するため、V_{DDIO} ピンより前に V_{DD} ピンに電力を供給し、V_{DDIO} ピンが 0.7V に達する前に V_{DD} ピンが確実に 0.7V に達するようにします。

7.2.1 信号概要

端子			I/O/Z	説明
名称[1]	PT ピン番号	DA ピン番号		
JTAG				
$\overline{TRST}$	2	16	I	内部プルダウン付き JTAG テスト・リセット。$\overline{TRST}$ を High に駆動すると、本デバイスの動作の制御がスキャン・システムに渡されます。この信号が接続されていない場合、または Low に駆動されている場合、本デバイスは機能モードで動作し、テスト・リセット信号は無視されます。 **注**:$\overline{TRST}$ はアクティブ High のテスト・ピンであり、通常デバイス動作中は常に Low に維持する必要があります。このピンには外付けプルダウン抵抗が必要です。この抵抗の値は、設計に適用可能なデバッガ・ポッドの駆動強度に基づいている必要があります。通常、2.2kΩ の抵抗を使うと適切に保護されます。これはアプリケーション固有であるため、デバッガとアプリケーションが適切に動作するように各ターゲット・ボードを検証することを推奨します。(↓)
TCK	GPIO38 を参照		I	GPIO38 を参照。内部プルアップ付き JTAG テスト・クロック (↑)
TMS	GPIO36 を参照		I	GPIO36 を参照。内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジに同期して TAP コントローラに入力されます。(↑)
TDI	GPIO35 を参照		I	GPIO35 を参照。内部プルアップ付き JTAG テスト・データ入力 (TDI)。TDI は、TCK の立ち上がりエッジに同期して、選択されたレジスタ (命令またはデータ) に入力されます。(↑)
TDO	GPIO37 を参照		O/Z	GPIO37 を参照。JTAG スキャン・アウト、テスト・データ出力 (TDO)。選択されたレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジに同期して TDO から出力されます。 (8mA 駆動)
フラッシュ				
テスト	30	38	I/O	テスト・ピン。テキサス・インスツルメンツ用に予約済みです。未接続のままにする必要があります。

Copyright © 2022 Texas Instruments Incorporated

端子			I/O/Z	説明
名称[1]	PT ピン番号	DA ピン番号		
クロック				
XCLKOUT	GPIO18 を参照		O/Z	GPIO18 を参照。SYSCLKOUT を基準にして生成された出力クロック。XCLKOUT は、SYSCLKOUT と同じ周波数、半分の周波数、1/4 の周波数のいずれかです。これは、XCLK レジスタのビット 1:0 (XCLKOUTDIV) で制御されます。リセット時、XCLKOUT = SYSCLKOUT/4 です。XCLKOUT 信号は、XCLKOUTDIV を 3 に設定することでオフにできます。この信号をピンに伝搬させるには、GPIO18 の MUX 制御も XCLKOUT に設定する必要があります。
XCLKIN	GPIO19 と GPIO38 を参照		I	GPIO19 と GPIO38 を参照。外部発振器入力。クロック・ソースのピンは、XCLK レジスタの XCLKINSEL ビットで制御されます。デフォルトでは GPIO38 が選択されます。このピンには、外部 3.3V 発振器からクロックを入力します。この場合、X1 ピン (利用可能な場合) を GND に接続し、CLKCTL レジスタのビット 14 を使ってオンチップ水晶発振器を無効化する必要があります。水晶振動子 / 共振器を使用する場合、CLKCTL レジスタのビット 13 を使って XCLKIN の経路を無効化する必要があります。 **注:** 通常デバイス動作用の外部クロックを供給するために GPIO38/TCK/XCLKIN ピンを使う設計では、JTAG コネクタを使ったデバッグ中にこの経路を無効化するための何らかの仕組みを組み込む必要があります。これは、JTAG デバッグ・セッション中に作動する TCK 信号との競合を防止するためです。この間、本デバイスにクロックを供給するためにゼロ・ピン内部発振器を使用できます。
X1	45	–	I	オンチップ 1.8V 水晶発振器入力。この発振器を使用するには、X1 と X2 の間に水晶振動子またはセラミック共振器を接続する必要があります。この場合、CLKCTL レジスタのビット 13 を使って XCLKIN の経路を無効化する必要があります。このピンを使用しない場合、GND に接続する必要があります。(I)
X2	46	–	O	オンチップの水晶発振器出力。X1 と X2 の間に水晶振動子またはセラミック共振器を接続する必要があります。X2 を使用しない場合、未接続のままにする必要があります。(O)
RESET				
$\overline{\text{XRS}}$	3	17	I/OD	デバイス・リセット (入力) およびウォッチドッグ・リセット (出力)。これらのデバイスはパワーオン・リセット (POR) およびブラウンアウト・リセット (BOR) 回路を内蔵しています。電源オンまたはブラウンアウト状態の間、このピンを本デバイスは Low に駆動します。外部回路も、デバイス・リセットをアサートするためにこのピンを駆動できます。ウォッチドッグ・リセットが発生した場合、MCU もこのピンを Low に駆動します。ウォッチドッグ・リセット中、$\overline{\text{XRS}}$ ピンは 512 OSCCLK サイクルのウォッチドッグ・リセット期間にわたって Low に駆動されます。2.2kΩ～10kΩ の値の抵抗を、$\overline{\text{XRS}}$ と V_{DDIO} との間に接続する必要があります。ノイズのフィルタリングのために $\overline{\text{XRS}}$ と V_{SS} との間にコンデンサを接続する場合、100nF 以下とする必要があります。これらの値を使うことで、ウォッチドッグ・リセットがアサートされた際、ウォッチドッグは 512 OSCCLK サイクル以内に $\overline{\text{XRS}}$ ピンを V_{OL} に適切に駆動できます。その原因に関係なく、デバイス・リセットによって本デバイスは実行を終了します。プログラム・カウンタは、位置 0x3F FFC0 に格納されたアドレスを指します。リセットが解除されると、プログラム・カウンタで指定された場所から実行が開始されます。このピンの出力バッファは、内部プルアップ付きのオープン・ドレイン素子です。(↑) このピンを外部デバイスによって駆動する場合、オープン・ドレイン素子を使って駆動する必要があります。
ADC、コンパレータ、アナログ I/O				
ADCINA7	6	–	I	ADC グループ A、チャネル 7 入力
ADCINA6 AIO6	4	18	I I/O	ADC グループ A、チャネル 6 入力 デジタル AIO 6
ADCINA4 COMP2A AIO4	5	19	I I I/O	ADC グループ A、チャネル 4 入力 コンパレータ入力 2A (48 ピン・デバイスでのみ利用可能) デジタル AIO 4
ADCINA3	7	–	I	ADC グループ A、チャネル 3 入力
ADCINA2 COMP1A AIO2	9	20	I I I/O	ADC グループ A、チャネル 2 入力 コンパレータ入力 1A デジタル AIO 2
ADCINA1	8	–	I	ADC グループ A、チャネル 1 入力

Copyright © 2022 Texas Instruments Incorporated

端子			I/O/Z	説明
名称(1)	PT ピン番号	DA ピン番号		
ADCINA0 V_{REFHI}	10	21	I I	ADC グループ A、チャネル 0 入力 ADC 外部基準電圧 High – ADC 外部基準電圧モードでのみ使用されます。セクション 9.9.1.1「ADC」を参照してください。
ADCINB7	18	–	I	ADC グループ B、チャネル 7 入力
ADCINB6 AIO14	17	26	I I/O	ADC グループ B、チャネル 6 入力 デジタル AIO 14
ADCINB4 COMP2B AIO12	16	25	I I I/O	ADC グループ B、チャネル 4 入力 コンパレータ入力 2B (48 ピン・デバイスでのみ利用可能) デジタル AIO12
ADCINB3	15	–	I	ADC グループ B、チャネル 3 入力
ADCINB2 COMP1B AIO10	14	24	I I I/O	ADC グループ B、チャネル 2 入力 コンパレータ 入力 1B デジタル AIO 10
ADCINB1	13	–	I	ADC グループ B、チャネル 1 入力
CPU と I/O の電源				
V_{DDA}	11	22		アナログ電源ピン。2.2μF (標準値) のコンデンサをピンの近くに接続します。
V_{SSA} V_{REFLO}	12	23	I	アナログ・グランド・ピン ADC 外部基準電圧 Low (常にグランドに接続)
V_{DD}	32 43	1 11		CPU と ロジックのデジタル電源ピン。内部 VREG を使用する場合、各 V_{DD} ピンとグランドとの間に 1 つの 1.2μF のコンデンサを接続します。より大きい値のコンデンサを使用することもできます。
V_{DDIO}	35	4		デジタル I/O バッファとフラッシュ・メモリの電源ピン。VREG が有効化されている場合の単一電源です。このピンに のデカップリング・コンデンサを接続します。実際の値は、システムの電圧レギュレーション方法によって決める必要があります。
V_{SS}	33 44	2 12		デジタル・グランド・ピン
電圧レギュレータ制御信号				
$\overline{VREGENZ}$	34	3	I	内部プルダウン付きの内部電圧レギュレータ (VREG) イネーブル。内部 1.8V VREG を有効化するには、VSS (Low) に直接接続します。VREG を無効化し、外部 1.8V 電源を使うには、VDDIO (High) に直接接続します。
GPIO およびペリフェラル信号 (2)				
GPIO0 EPWM1A – –	29	37	I/O/Z O – –	汎用入出力 0 拡張 PWM1 出力 A および HRPWM チャネル – –
GPIO1 EPWM1B – COMP1OUT	28	36	I/O/Z O – O	汎用入出力 1 拡張 PWM1 出力 B コンパレータ 1 の直接出力
GPIO2 EPWM2A – –	37	5	I/O/Z O	汎用入出力 2 拡張 PWM2 出力 A および HRPWM チャネル – –

Copyright © 2022 Texas Instruments Incorporated

端子			I/O/Z	説明
名称[1]	PT ピン番号	DA ピン番号		
GPIO3	38	6	I/O/Z	汎用入出力 3
EPWM2B			O	拡張 PWM2 出力 B
–				–
COMP2OUT			O	コンパレータ 2 の直接出力 (48 ピン・デバイスでのみ利用可能)
GPIO4	39	7	I/O/Z	汎用入出力 4
EPWM3A			O	拡張 PWM3 出力 A および HRPWM チャネル
–				–
–				–
GPIO5	40	8	I/O/Z	汎用入出力 5
EPWM3B			O	拡張 PWM3 出力 B
–				–
ECAP1			I/O	拡張キャプチャ入出力 1
GPIO6	41	9	I/O/Z	汎用入出力 6
EPWM4A			O	拡張 PWM4 出力 A および HRPWM チャネル
EPWMSYNCI			I	外部 ePWM 同期パルス入力
EPWMSYNCO			O	外部 ePWM 同期パルス出力
GPIO7	42	10	I/O/Z	汎用入出力 7
EPWM4B			O	拡張 PWM4 出力 B
SCIRXDA			I	SCI-A 受信データ
–				–
GPIO12	47	13	I/O/Z	汎用入出力 12
$\overline{TZ1}$			I	トリップ・ゾーン入力 1
SCITXDA			O	SCI-A 送信データ
–				–
GPIO16	27	35	I/O/Z	汎用入出力 16
SPISIMOA			I/O	SPI スレーブ入力、マスタ出力
–				–
$\overline{TZ2}$			I	トリップ・ゾーン入力 2
GPIO17	26	34	I/O/Z	汎用入出力 17
SPISOMIA			I/O	SPI-A スレーブ出力、マスタ入力
–				–
$\overline{TZ3}$			I	トリップ・ゾーン入力 3
GPIO18	24	32	I/O/Z	汎用入出力 18
SPICLKA			I/O	SPI-A クロック入出力
SCITXDA			O	SCI-A 送信
XCLKOUT			O/Z	SYSCLKOUT を基準にして生成された出力クロック。XCLKOUT は、SYSCLKOUT と同じ周波数、半分の周波数、1/4 の周波数のいずれかです。これは、XCLK レジスタのビット 1:0 (XCLKOUTDIV) で制御されます。リセット時、XCLKOUT = SYSCLKOUT/4 です。XCLKOUT 信号は、XCLKOUTDIV を 3 に設定することでオフにできます。この信号をピンに伝搬させるには、GPIO18 の MUX 制御も XCLKOUT に設定する必要があります。

Copyright © 2022 Texas Instruments Incorporated

端子			I/O/Z	説明
名称(1)	PT ピン番号	DA ピン番号		
GPIO19	25	33	I/O/Z	汎用入出力 19
XCLKIN			I	外部発振器入力。このピンの MUX 機能は、このピンからクロック・ブロックへの経路をゲート制御しません。クロック・ブロックがその他のペリフェラルの機能のために使われている場合、このクロック供給経路が有効化されないように注意する必要があります。
$\overline{\text{SPISTEA}}$			I/O	SPI-A スレーブ送信イネーブル入出力
SCIRXDA			I	SCI-A 受信
ECAP1			I/O	拡張キャプチャ入出力 1
GPIO28	48	14	I/O/Z	汎用入出力 28
SCIRXDA			I	SCI 受信データ
SDAA			I/OD	I2C データ・オープン・ドレイン双方向ポート
$\overline{\text{TZ2}}$			I	トリップ・ゾーン入力 2
GPIO29	1	15	I/O/Z	汎用入出力 29
SCITXDA			O	SCI 送信データ
SCLA			I/OD	I2C クロック・オープン・ドレイン双方向ポート
$\overline{\text{TZ3}}$			I	トリップ・ゾーン入力 3
GPIO32	31	–	I/O/Z	汎用入出力 32
SDAA			I/OD	I2C データ・オープン・ドレイン双方向ポート
EPWMSYNCI			I	拡張 PWM 外部同期パルス入力
$\overline{\text{ADCSOCAO}}$			O	ADC 変換開始 A
GPIO33	36	–	I/O/Z	汎用入出力 33
SCLA			I/OD	I2C クロック・オープン・ドレイン双方向ポート
EPWMSYNCO			O	拡張 PWM 外部同期パルス出力
$\overline{\text{ADCSOCBO}}$			O	ADC 変換開始 B
GPIO34	19	27	I/O/Z	汎用入出力 34
COMP2OUT			O	コンパレータ 2 の直接出力。COMP2OUT 信号は DA パッケージでは利用できません。
–				–
–				–
GPIO35	20	28	I/O/Z	汎用入出力 35
TDI			I	内部プルアップ付き JTAG テスト・データ入力 (TDI)。TDI は、TCK の立ち上がりエッジに同期して、選択されたレジスタ (命令またはデータ) に入力されます。
GPIO36	21	29	I/O/Z	汎用入出力 36
TMS			I	内部プルアップ付き JTAG テスト・モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジに同期して TAP コントローラに入力されます。
GPIO37	22	30	I/O/Z	汎用入出力 37
TDO			O/Z	JTAG スキャン・アウト、テスト・データ出力 (TDO)。選択されたレジスタ (命令またはデータ) の内容は、TCK (8mA 駆動) の立ち下がりエッジに同期して TDO から出力されます。
GPIO38	23	31	I/O/Z	汎用入出力 38
TCK			I	内部プルアップ付き JTAG テスト・クロック
XCLKIN			I	外部発振器入力。このピンの MUX 機能は、このピンからクロック・ブロックへの経路をゲート制御しません。クロック・ブロックがその他の機能のために使われている場合、このクロック供給経路が有効化されないように注意する必要があります。

(1) I = 入力、O = 出力、Z = 高インピーダンス、OD = オープン・ドレイン、↑ = プルアップ、↓ = プルダウン

(2) GPIO 機能 (太字の斜体で表示) はリセット時のデフォルトです。その下に記載されているペリフェラル信号は代替機能です。GPIO 機能が多重化された JTAG ピンの場合、GPIO ブロックへの入力経路は常に有効です。GPIO ブロックからの出力経路と、ピンから JTAG ブロックへの経路は、$\overline{\text{TRST}}$ 信号の状態に基づいて有効化 / 無効化されます。詳細については、『*TMS320F2802x、TMS320F2802xx テクニカル・リファレンス・マニュアル*』の「システム・コントロール」の章を参照してください。

Copyright © 2022 Texas Instruments Incorporated

8 仕様

8.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)(1) (2)

		MIN	MAX	UNIT
Supply voltage	V_{DDIO} (I/O and Flash) with respect to V_{SS}	–0.3	4.6	V
	V_{DD} with respect to V_{SS}	–0.3	2.5	
Analog voltage	V_{DDA} with respect to V_{SSA}	–0.3	4.6	V
Input voltage	V_{IN} (3.3 V)	–0.3	4.6	V
	V_{IN} (X1)	–0.3	2.5	
Output voltage	V_O	–0.3	4.6	V
Input clamp current	Digital/analog input (per pin), I_{IK} ($V_{IN} < V_{SS}$ or $V_{IN} > V_{DDIO}$)(3)	–20	20	mA
	Analog input (per pin), $I_{IKANALOG}$ ($V_{IN} < V_{SSA}$ or $V_{IN} > V_{DDA}$)	–20	20	
	Total for all inputs, $I_{IKTOTAL}$ ($V_{IN} < V_{SS}/V_{SSA}$ or $V_{IN} > V_{DDIO}/V_{DDA}$)	–20	20	
Output clamp current	I_{OK} ($V_O < 0$ or $V_O > V_{DDIO}$)	–20	20	mA
Junction temperature(4)	T_J	–40	150	°C
Storage temperature(4)	T_{stg}	–65	150	°C

(1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under セクション 8.4 is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
(2) All voltage values are with respect to V_{SS}, unless otherwise noted.
(3) Continuous clamp current per pin is ±2 mA. Do not operate in this condition continuously as V_{DDIO}/V_{DDA} voltage may internally rise and impact other electrical specifications.
(4) Long-term high-temperature storage or extended use at maximum temperature conditions may result in a reduction of overall device life. For additional information, see *Semiconductor and IC Package Thermal Metrics*; *Calculating Useful Lifetimes of Embedded Processors*; and *Calculating FIT for a Mission Profile*.

8.2 ESD 定格 – 車載用

			値	単位
TMS320F28027-Q1、TMS320F28027F-Q1、TMS320F28026-Q1、TMS320F28026F-Q1、TMS320F28023-Q1、TMS320F28022-Q (48 ピン PT パッケージ)				
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、AEC Q100-002 に準拠 (1)	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 に準拠	コーナー・ピンを除くすべてのピン	±500	
		48 ピン PT のコーナー・ピン:1、12、13、24、25、36、37、48	±750	
TMS320F28027-Q1、TMS320F28027F-Q1、TMS320F28026-Q1、TMS320F28026F-Q1、TMS320F28023-Q1、TMS320F28022-Q1 (38 ピン DA パッケージ)				
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、AEC Q100-002 に準拠 (1)	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 に準拠	コーナー・ピンを除くすべてのピン	±500	
		38 ピン DA のコーナー・ピン:1、19、20、38	±750	

(1) AEC Q 100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを指示しています。

8.3 ESD 定格 – 民生用

		値	単位
TMS320F28027-Q1、TMS320F28027F-Q1、TMS320F28026-Q1、TMS320F28026F-Q1、TMS320F28023-Q1、TMS320F28022-Q1、TMS320F28021、TMS320F28020、TMS320F280200 (48 ピン PT パッケージ)			
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 または ANSI/ESDA/JEDEC JS-002 に準拠 (2)	±500	
TMS320F28027-Q1、TMS320F28027F-Q1、TMS320F28026-Q1、TMS320F28026F-Q1、TMS320F28023-Q1、TMS320F28022-Q1、TMS320F28021、TMS320F28020、TMS320F280200 (38 ピン DA パッケージ)			
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 または ANSI/ESDA/JEDEC JS-002 に準拠 (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

8.4 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、I/O、V_{DDIO} (1)		2.97	3.3	3.63	V
デバイス電源電圧、CPU、V_{DD} (内部 VREG が無効化されており、1.8V が外部から供給されている場合)		1.71	1.8	1.995	V
電源グランド、V_{SS}			0		V
アナログ電源電圧、V_{DDA}		2.97	3.3	3.63	V
アナログ・グランド、V_{SSA}			0		V
デバイス・クロック周波数 (システム・クロック)	28020、28021、280200	2		40	MHz
	28022、28023	2		50	
	28026、28027	2		60	
High レベル入力電圧、V_{IH} (3.3V)		2		V_{DDIO} + 0.3	V
Low レベル入力電圧、V_{IL} (3.3V)		V_{SS} – 0.3		0.8	V
High レベル出力ソース電流、$V_{OH} = V_{OH(MIN)}$、I_{OH}	すべての GPIO/AIO ピン			-4	mA
	グループ 2 (2)			-8	mA
Low レベル出力シンク電流、$V_{OL} = V_{OL(MAX)}$、I_{OL}	すべての GPIO/AIO ピン			4	mA
	グループ 2 (2)			8	mA
接合部温度、T_J (3)	T バージョン	-40		105	℃
	S バージョン	-40		125	
	Q バージョン (AEC Q100 認定)	-40		125	

(1) BOR を使用しない場合、V_{DDIO} の許容誤差として ±10% を使用できます。詳細については、『TMS320F2802x、TMS320F2802xx MCU シリコン正誤表』を参照してください。BOR を使用する場合、V_{DDIO} の許容誤差は ±5% です。
(2) グループ 2 のピンは次のとおりです。GPIO16、GPIO17、GPIO18、GPIO19、GPIO28、GPIO29、GPIO36、GPIO37
(3) T_A (周囲温度) は製品およびアプリケーションによって異なり、本デバイスの規定された T_J の最大値に達する可能性があります。セクション 8.8「熱設計の検討事項」を参照してください。

Copyright © 2022 Texas Instruments Incorporated

8.5 消費電力の概略

8.5.1 TMS320F2802x/F280200 の消費電流 (40MHz の SYSCLKOUT)

モード (1)	テスト条件	VREG 有効				VREG 無効					
		I_{DDIO} (2)		I_{DDA} (3)		I_{DD}		I_{DDIO} (2)		I_{DDA} (3)	
		標準値 (4)	最大値	標準値 (4)	最大値	標準値 (4)	最大値	標準値 (4)	最大値	標準値 (4)	最大値
動作 (フラッシュ)	以下のペリフェラル・クロックを有効化する。 • ePWM1/2/3/4 • eCAP1 • SCI-A • SPI-A • ADC • I2C • COMP1/2 • CPU タイマ 0/1/2 すべての PWM ピンは 40kHz でトグルされている。 すべての I/O ピンは未接続にする。(5) コードは 1 待機状態でフラッシュから実行される。 XCLKOUT はオフにする。	70mA	80mA	13mA	18mA	62mA	70mA	15mA	18mA	13mA	18mA
IDLE	フラッシュはオフにする。 XCLKOUT はオフにする。 すべてのペリフェラル・クロックはオフにする。	13mA	16mA	53µA	58µA	15mA	17mA	120µA	400µA	53µA	58µA
STANDBY	フラッシュはオフにする。 ペリフェラル・クロックはオフにする。	3mA	6mA	10µA	15µA	3mA	6mA	120µA	400µA	10µA	15µA
HALT	フラッシュはオフにする。 ペリフェラル・クロックはオフにする。 入力クロックは無効化する。(6)	50µA		10µA	15µA	15µA		25µA		10µA	15µA

(1) TMS320F280200 デバイスの場合、セクション 8.5.1 に示す I_{DD} (VREG 無効) / I_{DDIO} (VREG 有効) の電流値から、eCAP の I_{DD} 電流値 (表 8-1 を参照) を減算します。
(2) I_{DDIO} 電流は I/O ピンの電気的負荷に依存します。
(3) IDLE、STANDBY、HALT として示された I_{DDA} 電流を実現するには、PCLKCR0 レジスタに書き込むことで、ADC モジュールへのクロックを明示的にオフにする必要があります。
(4) 標準値は、室温および公称電圧に関して適用されます。
(5) 以下がループで実行されます。
- データは、SPI-A および SCI-A ポートから連続的に送信される。
- ハードウェア乗算器が実行される。
- ウォッチドッグがリセットされる。
- ADC は連続変換を実行している。
- COMP1/2 は電圧を連続的にスイッチングしている。
- GPIO17 はトグルされる。

(6) クロック・ソースとして水晶振動子またはセラミック共振器を使用している場合、HALT モードに入るとオンチップ水晶発振器はシャットダウンされます。

Copyright © 2022 Texas Instruments Incorporated

8.5.2 TMS320F2802x の消費電流 (50MHz)

モード	テスト条件	VREG 有効				VREG 無効					
		I_{DDIO} (1)		I_{DDA} (2)		I_{DD}		I_{DDIO} (1)		I_{DDA} (2)	
		標準値 (3)	最大値	標準値 (3)	最大値	標準値 (3)	最大値	標準値 (3)	最大値	標準値 (3)	最大値
動作 (フラッシュ)	以下のペリフェラル・クロックを有効化する。 • ePWM1/2/3/4 • eCAP1 • SCI-A • SPI-A • ADC • I2C • COMP1/2 • CPU タイマ 0/1/2 すべての PWM ピンは 40kHz でトグルされている。 すべての I/O ピンは未接続にする。(4) コードは 1 待機状態でフラッシュから実行される。 XCLKOUT はオフにする。	80mA	90mA	13mA	18mA	71mA	80mA	15mA	18mA	13mA	18mA
IDLE	フラッシュはオフにする。 XCLKOUT はオフにする。 すべてのペリフェラル・クロックはオフにする。	16mA	19mA	64µA	69µA	17mA	20mA	120µA	400µA	64µA	69µA
STANDBY	フラッシュはオフにする。 ペリフェラル・クロックはオフにする。	4mA	7mA	10µA	15µA	4mA	7mA	120µA	400µA	10µA	15µA
HALT	フラッシュはオフにする。 ペリフェラル・クロックはオフにする。 入力クロックは無効化する。(5)	50µA		10µA	15µA	15µA		25µA		10µA	15µA

(1) I_{DDIO} 電流は I/O ピンの電気的負荷に依存します。
(2) IDLE、STANDBY、HALT として示された I_{DDA} 電流を実現するには、PCLKCR0 レジスタに書き込むことで、ADC モジュールへのクロックを明示的にオフにする必要があります。
(3) 標準値は、室温および公称電圧に関して適用されます。
(4) 以下がループで実行されます。
- データは、SPI-A および SCI-A ポートから連続的に送信される。
- ハードウェア乗算器が実行される。
- ウォッチドッグがリセットされる。
- ADC は連続変換を実行している。
- COMP1/2 は電圧を連続的にスイッチングしている。
- GPIO17 はトグルされる。

(5) クロック・ソースとして水晶振動子またはセラミック共振器を使用している場合、HALT モードに入るとオンチップ水晶発振器はシャットダウンされます。

Copyright © 2022 Texas Instruments Incorporated

8.5.3 TMS320F2802x の消費電流 (60MHz の SYSCLKOUT)

モード	テスト条件	VREG 有効				VREG 無効					
		I_{DDIO} (1)		I_{DDA} (2)		I_{DD}		I_{DDIO} (1)		I_{DDA} (2)	
		標準値 (3)	最大値	標準値 (3)	最大値	標準値 (3)	最大値	標準値 (3)	最大値	標準値 (3)	最大値
動作 (フラッシュ)	以下のペリフェラル・クロックを有効化する。 • ePWM1/2/3/4 • eCAP1 • SCI-A • SPI-A • ADC • I2C • COMP1/2 • CPU タイマ 0/1/2 すべての PWM ピンは 60kHz でトグルされている。 すべての I/O ピンは未接続にする。(4) コードは 2 待機状態でフラッシュから実行される。 XCLKOUT はオフにする。	90mA	100mA	13mA	18mA	80mA	90mA	15mA	18mA	13mA	18mA
IDLE	フラッシュはオフにする。 XCLKOUT はオフにする。 すべてのペリフェラル・クロックはオフにする。	18mA	23mA	75µA	80µA	19mA	24mA	120µA	400µA	75µA	80µA
STANDBY	フラッシュはオフにする。 ペリフェラル・クロックはオフにする。	4mA	7mA	10µA	15µA	4mA	7mA	120µA	400µA	10µA	15µA
HALT	フラッシュはオフにする。 ペリフェラル・クロックはオフにする。 入力クロックは無効化する。(5)	50µA		10µA	15µA	15µA		25µA		10µA	15µA

(1) I_{DDIO} 電流は I/O ピンの電気的負荷に依存します。
(2) IDLE、STANDBY、HALT として示された I_{DDA} 電流を実現するには、PCLKCR0 レジスタに書き込むことで、ADC モジュールへのクロックを明示的にオフにする必要があります。
(3) 標準値は、室温および公称電圧に関して適用されます。
(4) 以下がループで実行されます。
- データは、SPI-A および SCI-A ポートから連続的に送信される。
- ハードウェア乗算器が実行される。
- ウォッチドッグがリセットされる。
- ADC は連続変換を実行している。
- COMP1/2 は電圧を連続的にスイッチングしている。
- GPIO17 はトグルされる。

(5) クロック・ソースとして水晶振動子またはセラミック共振器を使用している場合、HALT モードに入るとオンチップ水晶発振器はシャットダウンされます。

注

本デバイスにはペリフェラル - I/O 多重化が実装されているため、利用可能なすべてのペリフェラルを同時に使用することはできません。これは、複数のペリフェラル機能が 1 つの I/O ピンを共有している場合があるためです。すべてのペリフェラルへのクロックを同時にオンにすることは可能ですが、このような構成は無駄です。この場合、本デバイスが消費する電流は、消費電流の表に規定されている値を上回ります。

Copyright © 2022 Texas Instruments Incorporated

8.5.4 Reducing Current Consumption

The 2802x/280200 devices incorporate a method to reduce the device current consumption. Because each peripheral unit has an individual clock-enable bit, significant reduction in current consumption can be achieved by turning off the clock to any peripheral module that is not used in a given application. Furthermore, any one of the three low-power modes could be taken advantage of to reduce the current consumption even further. 表 8-1 indicates the typical reduction in current consumption achieved by turning off the clocks.

表 8-1. Typical Current Consumption by Various Peripherals (at 60 MHz)

PERIPHERAL MODULE(1) (3)	I_{DD} CURRENT REDUCTION (mA)
ADC	2(2)
I2C	3
ePWM	2
eCAP	2
SCI	2
SPI	2
COMP/DAC	1
HRPWM	3
CPU-TIMER	1
Internal zero-pin oscillator	0.5

(1) All peripheral clocks (except CPU Timer clocks) are disabled upon reset. Writing to/reading from peripheral registers is possible only after the peripheral clocks are turned on.
(2) This number represents the current drawn by the digital portion of the ADC module. Turning off the clock to the ADC module results in the elimination of the current drawn by the analog portion of the ADC (I_{DDA}) as well.
(3) For peripherals with multiple instances, the current quoted is per module. For example, the 2 mA value quoted for ePWM is for one ePWM module.

注

I_{DDIO} current consumption is reduced by 15 mA (typical) when XCLKOUT is turned off.

注

The baseline I_{DD} current (current when the core is executing a dummy loop with no peripherals enabled) is 45 mA, typical. To arrive at the I_{DD} current for a given application, the current-drawn by the peripherals (enabled by that application) must be added to the baseline I_{DD} current.

Following are other methods to reduce power consumption further:

- The flash module may be powered down if code is run off SARAM. This results in a current reduction of 18 mA (typical) in the V_{DD} rail and 13 mA (typical) in the V_{DDIO} rail.
- Savings in I_{DDIO} may be realized by disabling the pullups on pins that assume an output function.
- To realize the lowest V_{DDA} current consumption in a low-power mode, see the respective analog chapter of the *TMS320F2802x,TMS320F2802xx Technical Reference Manual* to ensure each module is powered down as well.

Copyright © 2022 Texas Instruments Incorporated

8.5.5 消費電流グラフ (VREG 有効)

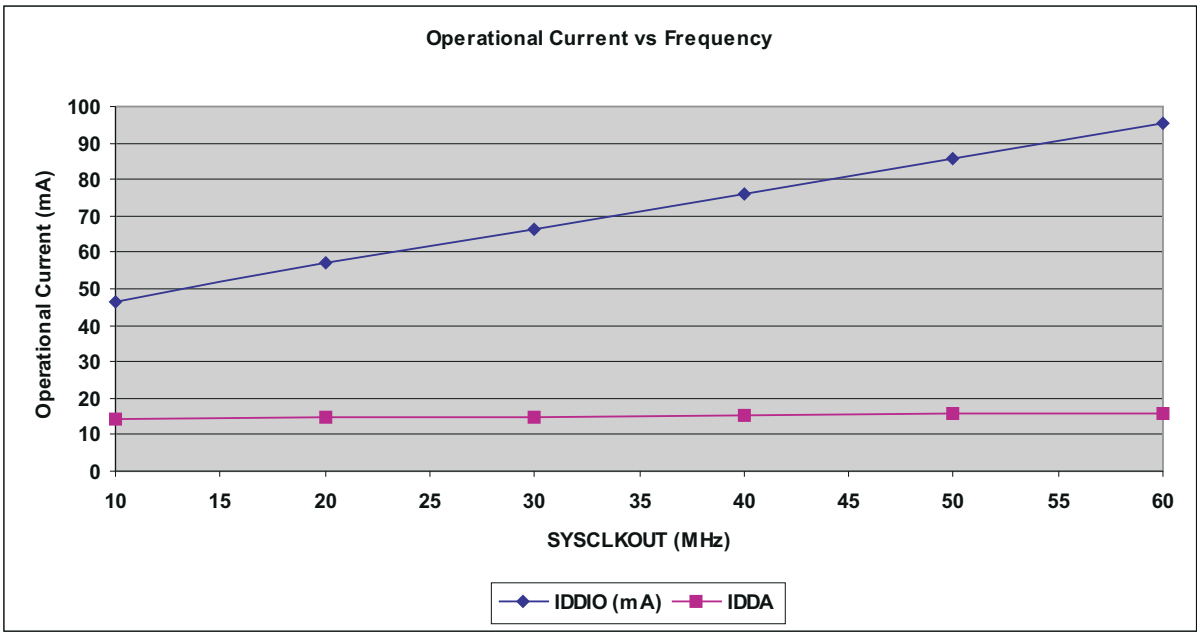


図 8-1. 動作電流 (標準値) と周波数との関係 (F2802x/F280200)

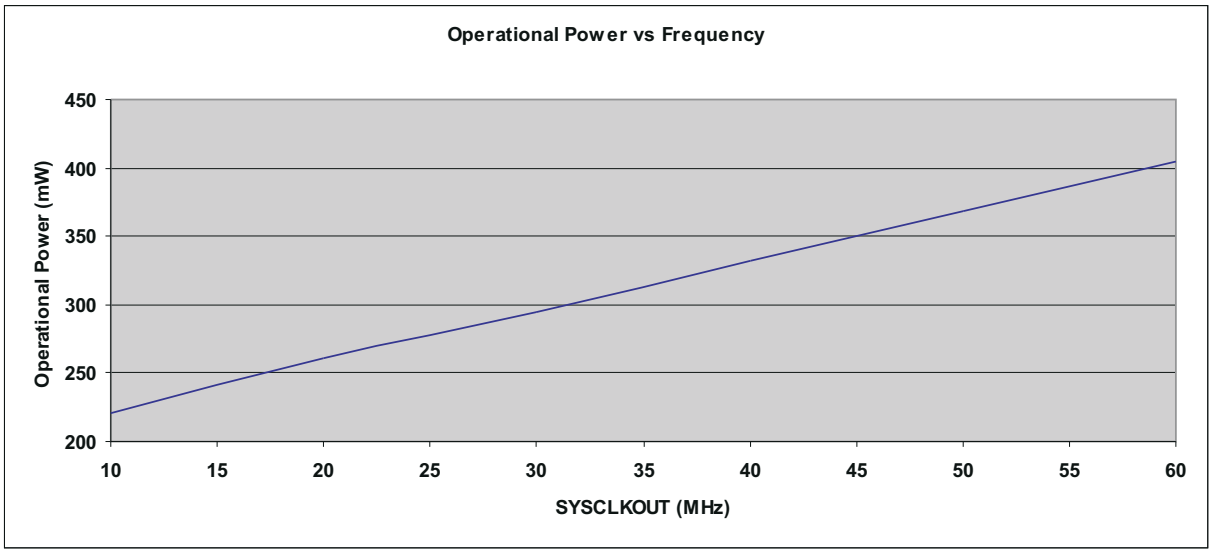


図 8-2. 動作電力 (標準値) と周波数との関係 (F2802x/F280200)

8.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)。 (1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = I_{OH} MAX	2.4			V
		I_{OH} = 50µA	V_{DDIO} – 0.2			
V_{OL}	Low レベル出力電圧	I_{OL} = I_{OL} MAX			0.4	V

Copyright © 2022 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)。(1)

パラメータ			テスト条件		最小値	標準値	最大値	単位
I_{IL}	入力電流 (Low レベル)	プルアップが有効化されたピン	V_{DDIO} = 3.3V、V_{IN} = 0V	全 GPIO	-80	-140	-205	µA
				$\overline{XRS}$ ピン	-225	-290	-360	
		プルダウンが有効化されたピン	V_{DDIO} = 3.3V、V_{IN} = 0V				±2	
I_{IH}	入力電流 (High レベル)	プルアップが有効化されたピン	V_{DDIO} = 3.3V、V_{IN} = V_{DDIO}				±2	µA
		プルダウンが有効化されたピン	V_{DDIO} = 3.3V、V_{IN} = V_{DDIO}		28	50	80	
I_{OZ}	出力電流、プルアップもプルダウンも無効化		V_O = V_{DDIO} または 0V				±2	µA
C_I	入力容量					2		pF
	V_{DDIO} BOR トリップ・ポイント		立ち下がり V_{DDIO}		2.42	2.65	3.135	V
	V_{DDIO} BOR ヒステリシス					35		mV
	スーパーバイザのリセット解放遅延時間		BOR/POR/OVR イベントが解消してから $\overline{XRS}$ 解放までの時間		400		800	µs
	VREG V_{DD} 出力		内部 VREG オン			1.9		V

(1) オンチップ VREG が使われている場合、その出力は POR/BOR 回路によって監視され、コア電圧 (V_{DD}) が範囲外になると本デバイスはリセットされます。

Copyright © 2022 Texas Instruments Incorporated

8.7 熱抵抗特性

8.7.1 PT パッケージ

		℃/W (1)	エア・フロー (lfm) (2)
$R\Theta_{JC}$	接合部からケースへの熱抵抗	13.6	該当なし
$R\Theta_{JB}$	接合部から基板への熱抵抗	30.6	該当なし
$R\Theta_{JA}$ (高 k PCB)	接合部から自由空気への熱抵抗	64	0
		50.4	150
		48.2	250
		45	500
Psi_{JT}	接合部からパッケージ上面まで	0.56	0
		0.94	150
		1.1	250
		1.38	500
Psi_{JB}	接合部から基板まで	30.1	0
		28.7	150
		28.4	250
		28	500

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシータ JC [$R\Theta_{JC}$] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- 『JESD51-2、IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- 『JESD51-3、リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- 『JESD51-7、リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- 『JESD51-9、エリア・アレイ表面実装パッケージの熱測定用のテスト基板』

(2) lfm = 分ごとの直線フィート

8.7.2 DA パッケージ

		℃/W (1)	エア・フロー (lfm) (2)
$R\Theta_{JC}$	接合部からケースへの熱抵抗	12.8	該当なし
$R\Theta_{JB}$	接合部から基板への熱抵抗	33	該当なし
$R\Theta_{JA}$ (高 k PCB)	接合部から自由空気への熱抵抗	70.1	0
		56.4	150
		53.9	250
		50.2	500
Psi_{JT}	接合部からパッケージ上面まで	0.34	0
		0.61	150
		0.74	250
		0.98	500
Psi_{JB}	接合部から基板まで	32.5	0
		32.1	150
		31.7	250
		31.1	500

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシータ JC [$R\Theta_{JC}$] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- 『JESD51-2、IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- 『JESD51-3、リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- 『JESD51-7、リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- 『JESD51-9、エリア・アレイ表面実装パッケージの熱測定用のテスト基板』

Copyright © 2022 Texas Instruments Incorporated

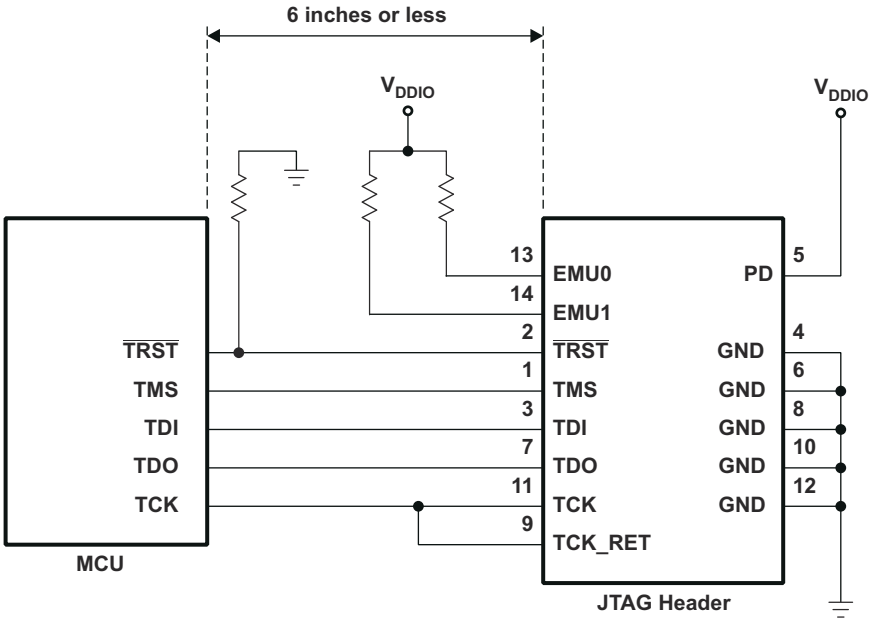
(2) lfm = 分ごとの直線フィート

8.8 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに基づいて、I_{DD} および I_{DDIO} 電流は変わる可能性があります。最終製品で推奨最大消費電力を超えるシステムでは、追加の放熱性向上が必要とされる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要素は接合部温度 (T_J) であり、周囲温度ではありません。したがって、規定された制限値の範囲内に T_J が維持されるように注意する必要があります。動作接合部温度 T_J を推定するには、T_{case} を測定する必要があります。通常 T_{case} は、パッケージ上面の中央で測定されます。サーマル・アプリケーション・レポート『半導体と IC パッケージの熱評価基準』は、熱評価基準および定義の理解に役立ちます。

8.9 MCU との JTAG デバッグ・プローブ接続 (信号バッファリングなし)

図 8-3 に、シングル・プロセッサ構成での MCU と JTAG ヘッダの間の接続を示します。JTAG ヘッダと MCU の間の距離が 6 インチ以上の場合、エミュレーション信号をバッファリングする必要があります。距離が 6 インチ未満の場合、通常はバッファリング不要です。図 8-3 に、バッファリングを行わない単純な場合の接続図を示します。プルアップ / プルダウン抵抗の値については、セクション 7.2「信号の説明」を参照してください。



A. JTAG/GPIO 多重化については、図 9-39 を参照してください。

図 8-3. MCU との JTAG デバッグ・プローブ接続 (信号バッファリングなし)

注

2802x デバイスは EMU0/EMU1 ピンを持っていません。JTAG ヘッダを基板実装した設計の場合、ヘッダ上の EMU0/EMU1 ピンは、4.7kΩ (標準値) の抵抗を経由して V_{DDIO} に接続する必要があります。

Copyright © 2022 Texas Instruments Incorporated

8.10 パラメータ情報

8.10.1 タイミング・パラメータの記号

タイミング・パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するため、一部のピン名とその他の関連用語を以下のように短縮しました。

小文字の下付き文字とその意味:		文字および記号とその意味:	
a	アクセス時間	H	High
c	サイクル時間 (周期)	L	Low
d	遅延時間	V	有効
f	立ち下がり時間	X	未知の、変化している、ドント・ケアのレベル
h	ホールド時間	Z	高インピーダンス
r	立ち上がり時間		
su	セットアップ時間		
t	遷移時間		
v	有効時間		
w	パルス幅		

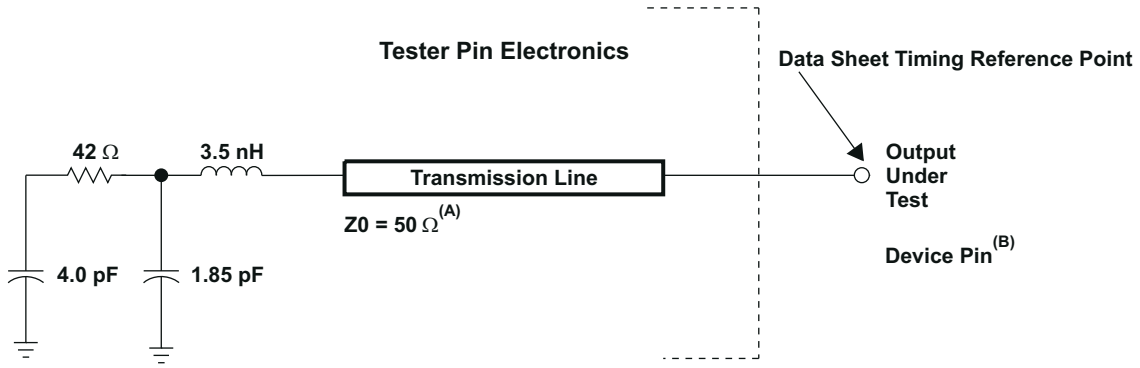
8.10.2 タイミング・パラメータに関する一般的な注意事項

28x デバイスからのすべての出力信号 (XCLKOUT を含む) は、任意の半サイクルの間のすべての出力遷移が互いに最小のスキューで発生するように、1 つの内部クロックを基準にして生成されます。

以下のタイミング図に示す信号の組み合わせは、必ずしも実際のサイクルを表していません。実際のサイクルの例については、この文書のサイクルの説明の適切なセクションを参照してください。

8.11 テスト負荷回路

このテスト負荷回路は、本書に記載されたすべてのスイッチング特性を測定するために使われています。



A. このデータシートの入力要件は、本デバイスのピンにおいて 4V/ナノ秒 (4V/ns) 未満の入力スルーレートでテストされています。

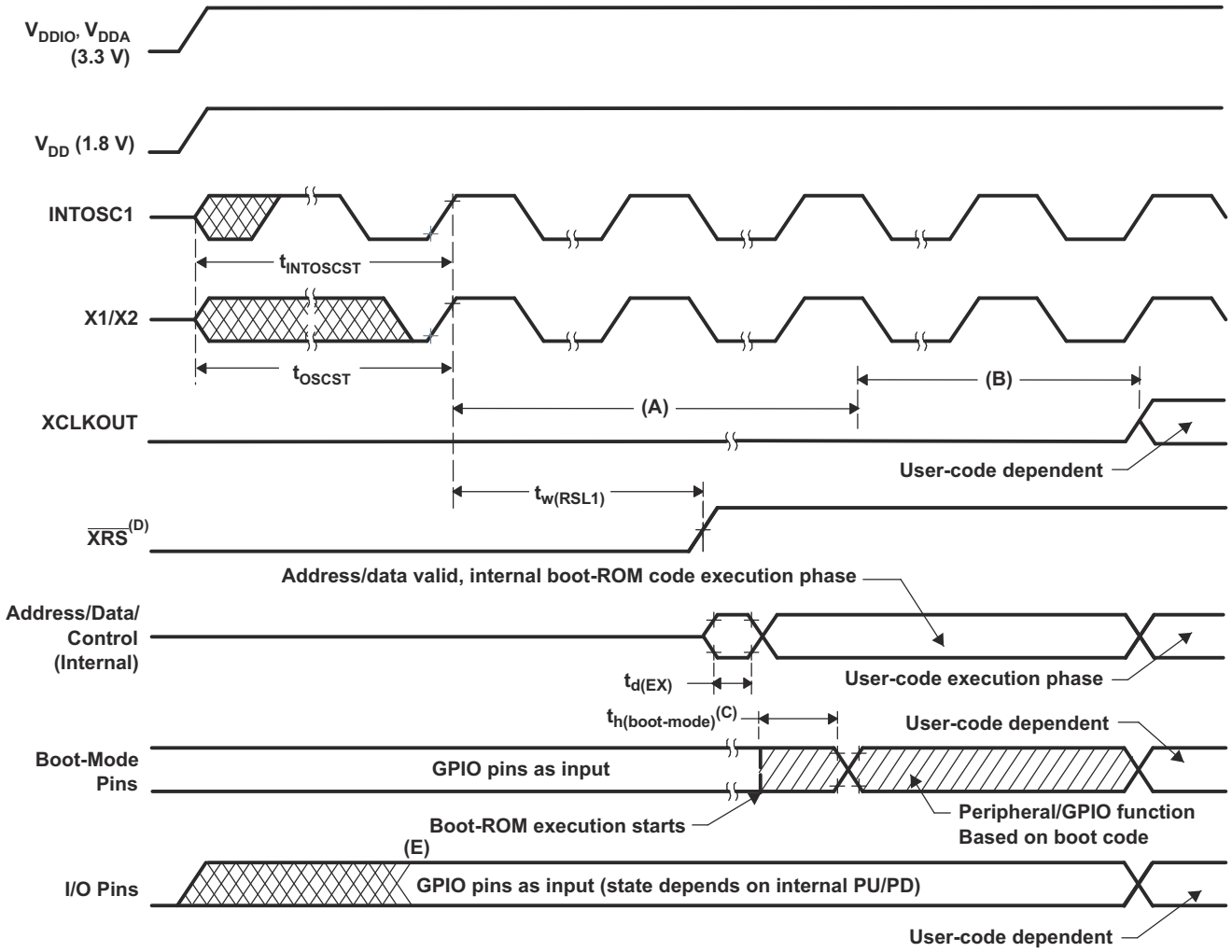
B. 本データシートは、本デバイスのピンにおけるタイミングを記載しています。出力タイミング解析では、テスタのピン・エレクトロニクスとその伝送ラインの影響を考慮に入れる必要があります。期待通りの伝送ラインの効果を生じさせるために、2ns 以上の遅延を持つ伝送ラインを使用できます。この伝送ラインは負荷としてのみ使われます。データシートのタイミングに対して、伝送ライン遅延 (2ns 以上) を加算または減算する必要はありません。

図 8-4. 3.3V テスト負荷回路

Copyright © 2022 Texas Instruments Incorporated

8.12 電源シーケンス

リセット後に本デバイスが適切な状態にあることを確認するためにも、または電源オン / オフ時に I/O にグリッチが発生しないようにするためにも、必要な電源シーケンス要件はありません (GPIO19、GPIO34～38 はグリッチ・フリーの I/O を持っていません)。本デバイスの電源を投入する前に、どのデジタル・ピンにも V_{DDIO} をダイオード降下分 (0.7V) 上回る電圧を超える電圧を印加しないでください (アナログ・ピンの場合、V_{DDA} より 0.7V 高い電圧が上限値です)。電力が供給されていないデバイスのピンに電圧が印加されると、内部の p-n 接合に意図しない方法でバイアスが印加され、予測不能な結果をもたらす可能性があります。



A. 電源投入時、SYSCLKOUT は OSCCLK/4 です。XCLK レジスタの XCLKOUTDIV ビットは 0 のリセット状態で起動するため、SYSCLKOUT は XCLKOUT に現れる前にさらに 4 分周されます。この段階では、XCLKOUT = OSCCLK/16 となります。

B. ブート ROM は、DIVSEL ビットを /1 動作用に設定します。この段階では、XCLKOUT = OSCCLK/4 となります。ユーザー・コードによって明示的に設定されるまで、XCLKOUT はピンには現れません。

C. リセットの後、ブート ROM コードはブート・モード・ピンをサンプリングします。ブート・モード・ピンのステータスに基づいて、ブート・コードは転送先メモリまたはブート・コード機能に分岐します。(デバッガ環境で) パワーオン条件の後にブート ROM コードが実行される場合、そのブート・コードの実行時間はその時点の SYSCLKOUT 速度に基づいて決まります。SYSCLKOUT はユーザー環境に基づいて決まり、PLL が有効化される場合と無効化される場合があります。

D. オンチップ・パワーオン・リセット (POR) 回路を備えているため、$\overline{XRS}$ ピンの使用は任意です。

E. BOR が High に駆動されている際に、内部プルアップ / プルダウンは効力を発します。

図 8-5. パワーオン・リセット

Copyright © 2022 Texas Instruments Incorporated

8.12.1 リセット (XRS) のタイミング要件

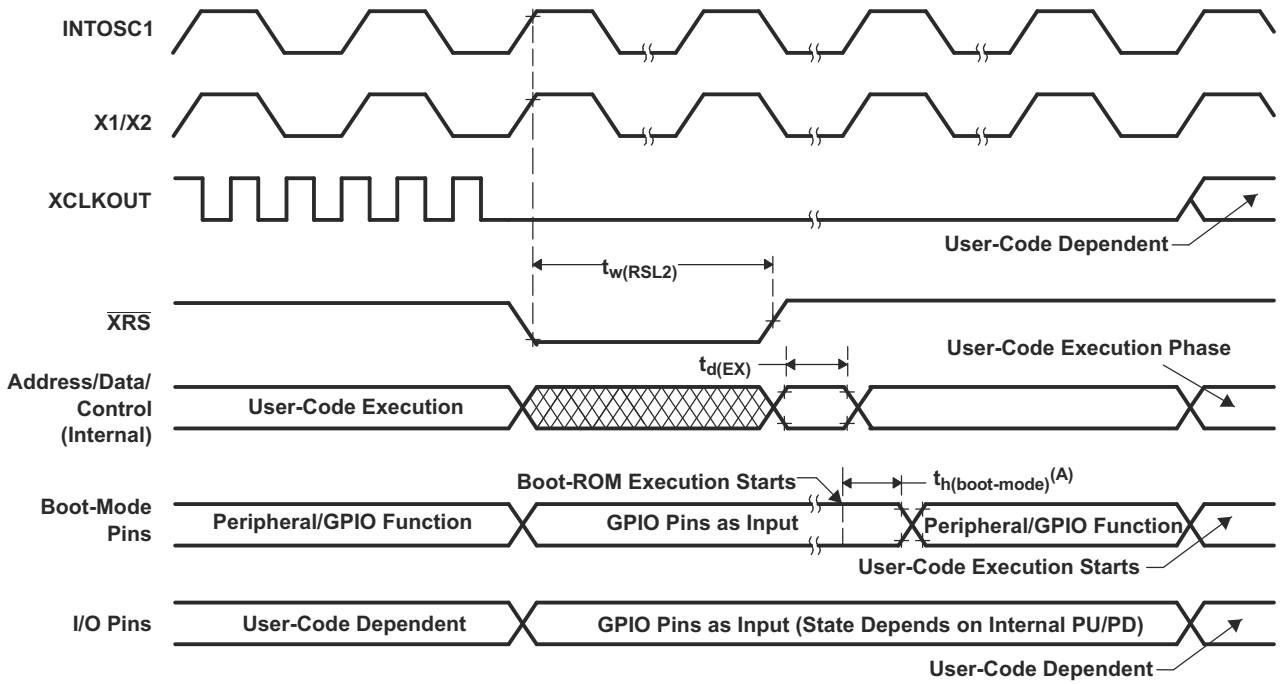
		最小値	最大値	単位
$t_{h(boot-mode)}$	ブート・モード・ピンのホールド時間	$1000t_{c(SCO)}$		サイクル数
$t_{w(RSL2)}$	パルス幅、ウォーム・リセット時の XRS Low	$32t_{c(OSCCLK)}$		サイクル数

8.12.2 リセット (XRS) のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{w(RSL1)}$	パルス幅、デバイスによって駆動される XRS			600		µs
$t_{w(WDRS)}$	パルス幅、ウォッチドッグによって生成されるリセット・パルス			$512t_{c(OSCCLK)}$		サイクル数
$t_{d(EX)}$	遅延時間、XRS が High になった後、アドレス / データが有効になるまで			$32t_{c(OSCCLK)}$		サイクル数
$t_{INTOSCST}$	スタートアップ時間、内部ゼロ・ピン発振器			3		µs
t_{OSCST} (1)	オンチップ水晶発振器のスタートアップ時間		1	10		ms

(1) 水晶振動子 / 共振器とボード設計に依存します。



A. リセットの後、ブート ROM コードはブート・モード・ピンをサンプリングします。ブート・モード・ピンのステータスに基づいて、ブート・コードは転送先メモリまたはブート・コード機能に分岐します。(デバッガ環境で) パワーオン条件の後にブート ROM コードが実行される場合、そのブート・コードの実行時間はその時点の SYSCLKOUT 速度に基づいて決まります。SYSCLKOUT はユーザー環境に基づいて決まり、PLL が有効化される場合と無効化される場合があります。

図 8-6. ウォーム・リセット

図 8-7 に、PLLCR レジスタへの書き込みの結果の例を示します。最初の段階では、PLLCR = 0x0004 かつ SYSCLKOUT = OSCCLK x 2 です。次に、PLLCR に 0x0008 が書き込まれます。PLLCR レジスタが書き込まれるとすぐに、PLL ロックアップ段階が開始します。この段階の間は、SYSCLKOUT = OSCCLK/2 です。PLL ロックアップが完了すると、SYSCLKOUT は新しい動作周波数である OSCCLK x 4 を反映します。

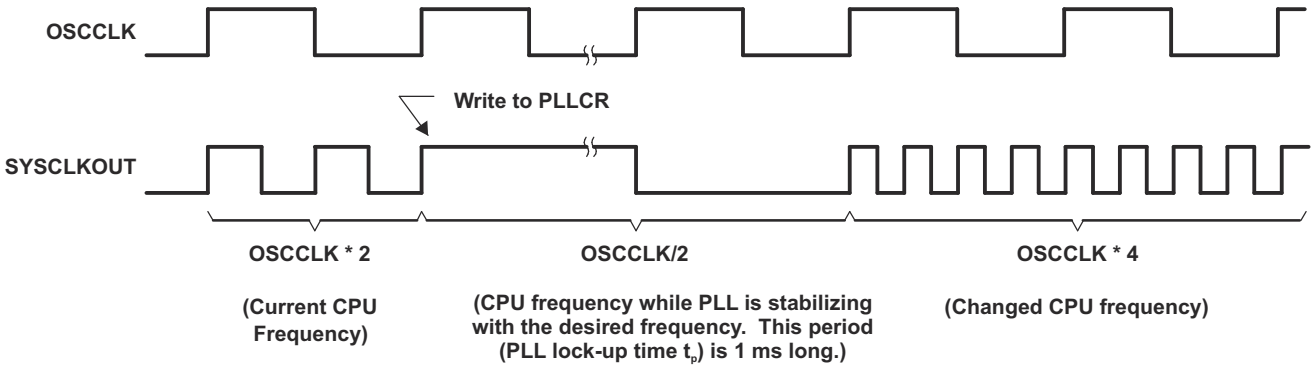


図 8-7. PLLCR レジスタへの書き込みの結果の例

Copyright © 2022 Texas Instruments Incorporated

8.13 クロック仕様

8.13.1 デバイス・クロック表

このセクションでは、2802x MCU で選択できる各種クロックのタイミング要件とスイッチング特性について説明します。セクション 8.13.1.1、セクション 8.13.1.2、セクション 8.13.1.3 に、各種クロックのサイクル時間を示します。

8.13.1.1 2802x のクロックの一覧表 (40MHz デバイス)

		最小値	公称値	最大値	単位
SYSCLKOUT	$t_{c(SCO)}$、サイクル時間	25		500	ns
	周波数	2		40	MHz
LSPCLK (1)	$t_{c(LCO)}$、サイクル時間	25	100 (2)		ns
	周波数		10 (2)	40	MHz
ADC クロック	$t_{c(ADCCLK)}$、サイクル時間	25			ns
	周波数			40	MHz

(1) LSPCLK を下げると、デバイスの消費電力は減少します。
(2) SYSCLKOUT = 40MHz の場合、これがデフォルトのリセット値です。

8.13.1.2 2802x のクロックの一覧表 (50MHz デバイス)

		最小値	公称値	最大値	単位
SYSCLKOUT	$t_{c(SCO)}$、サイクル時間	20		500	ns
	周波数	2		50	MHz
LSPCLK (1)	$t_{c(LCO)}$、サイクル時間	20	80 (2)		ns
	周波数		12.5 (2)	50	MHz
ADC クロック	$t_{c(ADCCLK)}$、サイクル時間	20			ns
	周波数			50	MHz

(1) LSPCLK を下げると、デバイスの消費電力は減少します。
(2) SYSCLKOUT = 50MHz の場合、これがデフォルトのリセット値です。

8.13.1.3 2802x のクロックの一覧表 (60MHz デバイス)

		最小値	公称値	最大値	単位
SYSCLKOUT	$t_{c(SCO)}$、サイクル時間	16.67		500	ns
	周波数	2		60	MHz
LSPCLK (1)	$t_{c(LCO)}$、サイクル時間	16.67	66.67 (2)		ns
	周波数		15 (2)	60	MHz
ADC クロック	$t_{c(ADCCLK)}$、サイクル時間	16.67			ns
	周波数			60	MHz

(1) LSPCLK を下げると、デバイスの消費電力は減少します。
(2) SYSCLKOUT = 60MHz の場合、これがデフォルトのリセット値です。

Copyright © 2022 Texas Instruments Incorporated

8.13.1.4 デバイス・クロック要件 / 特性

		最小値	公称値	最大値	単位
オンチップ発振器 (X1/X2 ピン) (水晶振動子 / 共振器)	$t_{c(OSC)}$、サイクル時間	50		200	ns
	周波数	5		20	MHz
外部発振器 / クロック・ソース (XCLKIN ピン) — PLL 有効	$t_{c(CI)}$、サイクル時間 (C8)	33.3		200	ns
	周波数	5		30	MHz
外部発振器 / クロック・ソース (XCLKIN ピン) — PLL 無効	$t_{c(CI)}$、サイクル時間 (C8)	33.33		250	ns
	周波数	4		30	MHz
リンプ・モード SYSCLKOUT (/2 有効)	周波数範囲		1～5		MHz
XCLKOUT	$t_{c(XCO)}$、サイクル時間 (C1)	66.67		2000	ns
	周波数	0.5		15	MHz
PLL ロック時間 (1)	t_p			1	ms

(1) PLLLOCKPRD レジスタは、OSCCLK サイクル数に基づいて更新する必要があります。ゼロ・ピンの内部発振器 (10MHz) をクロック・ソースとして使用する場合、PLLLOCKPRD レジスタには 10,000 以上の値を書き込む必要があります。

Copyright © 2022 Texas Instruments Incorporated

8.13.1.5 内部のゼロ・ピン発振器 (INTOSC1、INTOSC2) の特性

パラメータ		最小値	標準値	最大値	単位
内部ゼロピン発振器 1 (INTOSC1) (1) (2)	周波数		10		MHz
内部ゼロピン発振器 2 (INTOSC2) (1) (2)	周波数		10		MHz
ステップ・サイズ (粗調整)			55		kHz
ステップ・サイズ (微調整)			14		kHz
温度ドリフト (3)			3.03	4.85	kHz/℃
電圧 (V_{DD}) ドリフト (3)			175		Hz/mV

(1) 発振器の周波数は温度と共に変化します (図 8-8 を参照)。発振器の温度ドリフトを補償するには、『発振器の補償ガイド』と C2000Ware を参照してください。
(2) VREG が有効化されている場合 ($\overline{VREGENZ}$ = V_{SS}) にのみ、周波数範囲は保証されます。
(3) 内部発振器の出力周波数は、温度勾配と電圧 (V_{DD}) 勾配の両方の方向に追従します。例を示します。
- 温度が上がると、温度係数に応じて出力周波数が上がります。
- 電圧 (V_{DD}) が下がると、電圧係数に応じて出力周波数が下がります。

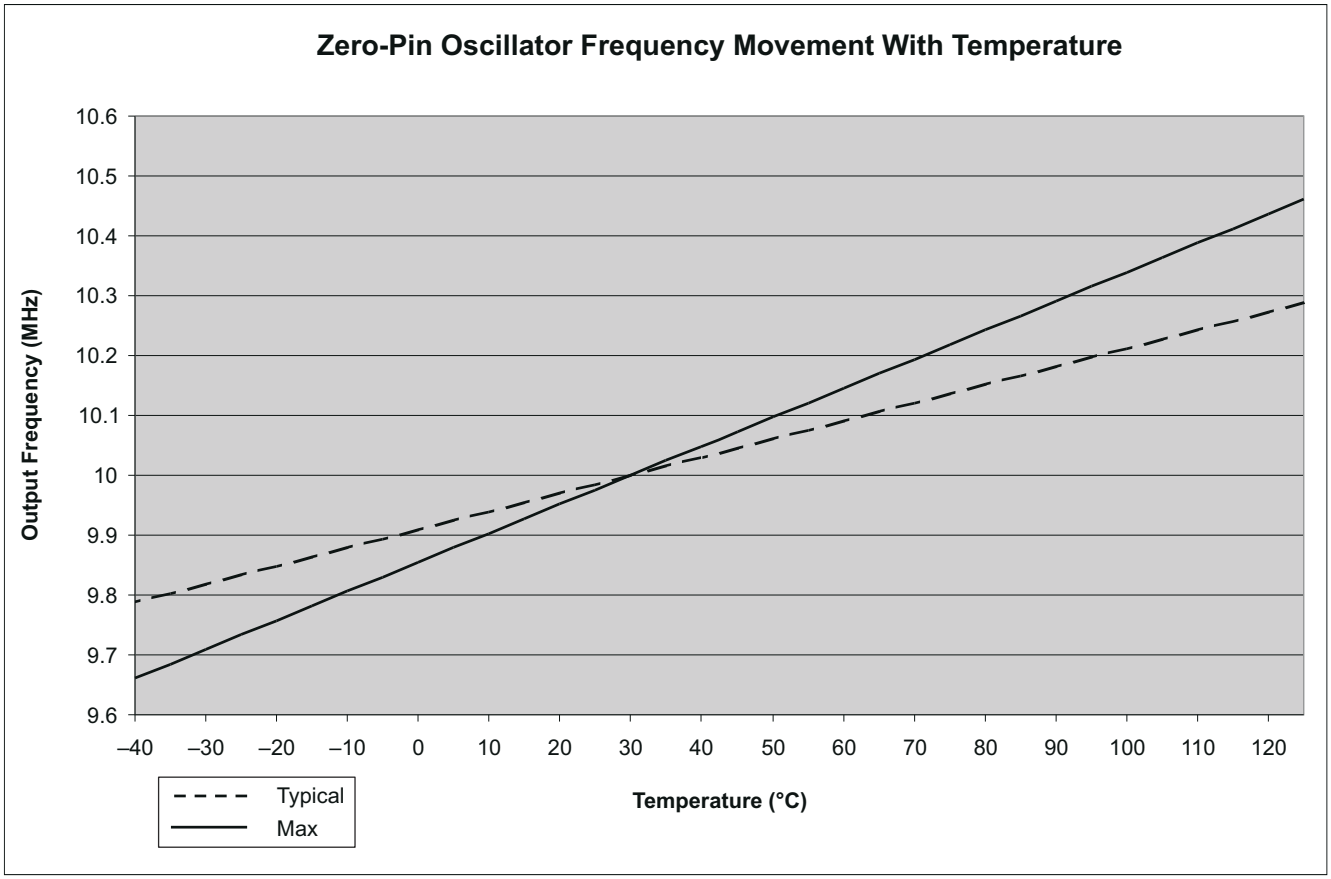


図 8-8. 温度によるゼロ・ピン発振器の周波数の変化

8.13.2 クロックの要件と特性

8.13.2.1 XCLKIN のタイミング要件 – PLL 有効

NO.			最小値	最大値	単位
C9	$t_{f(CI)}$	立ち下がり時間、XCLKIN		6	ns
C10	$t_{r(CI)}$	立ち上がり時間、XCLKIN		6	ns
C11	$t_{w(CIL)}$	パルス幅、XCLKIN Low ($t_{c(OSCCLK)}$ のパーセンテージとして)	45%	55%	
C12	$t_{w(CIH)}$	パルス幅、XCLKIN High ($t_{c(OSCCLK)}$ のパーセンテージとして)	45%	55%	

8.13.2.2 XCLKIN のタイミング要件 – PLL 無効

NO.				最小値	最大値	単位
C9	$t_{f(CI)}$	立ち下がり時間、XCLKIN	最大 20MHz		6	ns
			20MHz～30MHz		2	
C10	$t_{r(CI)}$	立ち上がり時間、XCLKIN	最大 20MHz		6	ns
			20MHz～30MHz		2	
C11	$t_{w(CIL)}$	パルス幅、XCLKIN Low ($t_{c(OSCCLK)}$ のパーセンテージとして)		45%	55%	
C12	$t_{w(CIH)}$	パルス幅、XCLKIN High ($t_{c(OSCCLK)}$ のパーセンテージとして)		45%	55%	

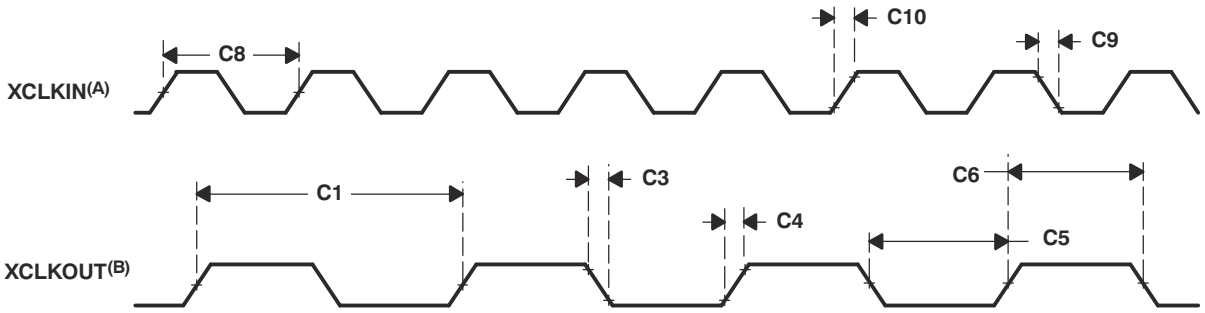
表 9-16 に、可能な構成モードを示します。

8.13.2.3 XCLKOUT のスイッチング特性 (PLL バイパスまたは有効)

推奨動作条件範囲内 (特に記述のない限り)。(1) (2)

NO.	パラメータ		最小値	最大値	単位
C3	$t_{f(XCO)}$	立ち下がり時間、XCLKOUT		11	ns
C4	$t_{r(XCO)}$	立ち上がり時間、XCLKOUT		11	ns
C5	$t_{w(XCOL)}$	パルス幅、XCLKOUT Low	H – 2	H + 2	ns
C6	$t_{w(XCOH)}$	パルス幅、XCLKOUT High	H – 2	H + 2	ns

(1) これらのパラメータでは、40pF の負荷を想定しています。
(2) $H = 0.5t_{c(XCO)}$



A. XCLKIN と XCLKOUT の関係は、選択された分周比によって異なります。ここに示す波形関係は、タイミング・パラメータを説明することのみを意図しており、実際の構成によっては異なる場合があります。
B. SYSCLKOUT を反映するように構成された XCLKOUT。

図 8-9. クロックのタイミング

Copyright © 2022 Texas Instruments Incorporated

8.14 フラッシュのタイミング

8.14.1 T 温度仕様品のフラッシュ / OTP 耐久性

		消去 / 書き込み温度 (1)	最小値	標準値	最大値	単位
N_f	アレイとしてのフラッシュの耐久性 (書き込み / 消去サイクル)	0℃～105℃ (周囲)	20000	50000		サイクル数
N_{OTP}	アレイとしての OTP の耐久性 (書き込みサイクル)	0℃～30℃ (周囲)			1	書き込み

(1) 記載された温度範囲外での書き込み / 消去動作は規定されておらず、耐久性の数値に影響する可能性があります。

8.14.2 S 温度仕様品のフラッシュ / OTP 耐久性

		消去 / 書き込み温度 (1)	最小値	標準値	最大値	単位
N_f	アレイとしてのフラッシュの耐久性 (書き込み / 消去サイクル)	0℃～125℃ (周囲)	20000	50000		サイクル数
N_{OTP}	アレイとしての OTP の耐久性 (書き込みサイクル)	0℃～30℃ (周囲)			1	書き込み

(1) 記載された温度範囲外での書き込み / 消去動作は規定されておらず、耐久性の数値に影響する可能性があります。

8.14.3 Q 温度仕様品のフラッシュ / OTP 耐久性

		消去 / 書き込み温度 (1)	最小値	標準値	最大値	単位
N_f	アレイとしてのフラッシュの耐久性 (書き込み / 消去サイクル)	-40℃～125℃ (周囲)	20000	50000		サイクル数
N_{OTP}	アレイとしての OTP の耐久性 (書き込みサイクル)	-40℃～30℃ (周囲)			1	書き込み

(1) 記載された温度範囲外での書き込み / 消去動作は規定されておらず、耐久性の数値に影響する可能性があります。

8.14.4 60MHz SYSCLKOUT でのフラッシュ・パラメータ

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DDP} (1)	消去 / 書き込みサイクル中の V_{DD} 消費電流	VREG 無効		80		mA
I_{DDIOP} (1)	消去 / 書き込みサイクル中の V_{DDIO} 消費電流			60		mA
I_{DDIOP} (1)	消去 / 書き込みサイクル中の V_{DDIO} 消費電流	VREG 有効		120		mA

(1) これらの代表的なパラメータは、すべてのペリフェラルをオフにした状態で、室温で得られる値であり、関数呼び出しのオーバーヘッドを含みます。フラッシュ・プログラミング・プロセス全体で、安定した電源を維持することが重要です。フラッシュ・プログラミング中の本デバイスの消費電流は、通常動作条件での値よりも大きくなることが想定されます。使用する電源は、データシートの「推奨動作条件」に規定されているように、常に電源レールの V_{MIN} を確保する必要があります。消去 / 書き込み中に電源にブラウンアウトまたは切断が発生すると、パスワード位置データが破壊され、本デバイスが永続的にロックされる可能性があります。(フラッシュのプログラミング中、) USB ポート経由でターゲット・ボードに電力を供給することは推奨しません。プログラミング・プロセス中に要求される電力にその USB ポートが応えられない可能性があるためです。

8.14.5 50MHz SYSCLKOUT でのフラッシュ・パラメータ

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DDP} (1)	消去 / 書き込みサイクル中の V_{DD} 消費電流	VREG 無効		70		mA
I_{DDIOP} (1)	消去 / 書き込みサイクル中の V_{DDIO} 消費電流			60		
I_{DDIOP} (1)	消去 / 書き込みサイクル中の V_{DDIO} 消費電流	VREG 有効		110		mA

(1) これらの代表的なパラメータは、すべてのペリフェラルをオフにした状態で、室温で得られる値であり、関数呼び出しのオーバーヘッドを含みます。フラッシュ・プログラミング・プロセス全体で、安定した電源を維持することが重要です。フラッシュ・プログラミング中の本デバイスの消費電流は、通常動作条件での値よりも大きくなることが想定されます。使用する電源は、データシートの「推奨動作条件」に規定されているように、常に電源レールの V_{MIN} を確保する必要があります。消去 / 書き込み中に電源にブラウンアウトまたは切断が発生すると、パスワード位置データが破壊され、本デバイスが永続的にロックされる可能性があります。(フラッシュのプログラミング中、) USB ポート経由でターゲット・ボードに電力を供給することは推奨しません。プログラミング・プロセス中に要求される電力にその USB ポートが応えられない可能性があるためです。

Copyright © 2022 Texas Instruments Incorporated

8.14.6 40MHz SYSCLKOUT でのフラッシュ・パラメータ

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DDP} (1)	消去 / 書き込みサイクル中の V_{DD} 消費電流	VREG 無効		60		mA
I_{DDIOP} (1)	消去 / 書き込みサイクル中の V_{DDIO} 消費電流			60		
I_{DDIOP} (1)	消去 / 書き込みサイクル中の V_{DDIO} 消費電流	VREG 有効		100		mA

(1) これらの代表的なパラメータは、すべてのペリフェラルをオフにした状態で、室温で得られる値であり、関数呼び出しのオーバーヘッドを含みます。フラッシュ・プログラミング・プロセス全体で、安定した電源を維持することが重要です。フラッシュ・プログラミング中の本デバイスの消費電流は、通常動作条件での値よりも大きくなることが想定されます。使用する電源は、データシートの「推奨動作条件」に規定されているように、常に電源レールの V_{MIN} を確保する必要があります。消去 / 書き込み中に電源にブラウンアウトまたは切断が発生すると、パスワード位置データが破壊され、本デバイスが永続的にロックされる可能性があります。(フラッシュのプログラミング中、) USB ポート経由でターゲット・ボードに電力を供給することは推奨しません。プログラミング・プロセス中に要求される電力にその USB ポートが応えられない可能性があるためです。

8.14.7 フラッシュ書き込み / 消去時間

パラメータ		テスト条件	最小値	標準値	最大値 (2)	単位
書き込み時間 (1)	8K セクタ			250	2000	ms
	4K セクタ			125	2000	ms
	16 ビット・ワード			50		µs
消去時間 (3)	8K セクタ			2	12	s
	4K セクタ			2	12	s

(1) 書き込み時間は、最大デバイス周波数での値です。この表に示す書き込み時間は、必要なすべてのコード / データがデバイス RAM 内で利用可能であり、書き込みの準備ができている場合にのみ適用できます。書き込み時間には、フラッシュ・ステート・マシンのオーバーヘッドが含まれますが、次のものを RAM に転送する時間は含まれていません。

- フラッシュ API を使ってフラッシュを書き込むコード
- フラッシュ API 自体
- 書き込まれるフラッシュ・データ

(2) ここで説明した最大フラッシュ・パラメータは、最初の 100 回の書き込みおよび消去サイクルのためのものです。

(3) 本デバイスがテキサス・インスツルメンツから出荷された際、オンチップ・フラッシュ・メモリは消去された状態です。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュ・メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作で消去操作が必要です。

8.14.8 フラッシュ / OTP のアクセス・タイミング

パラメータ		最小値	最大値	単位
$t_{a(fp)}$	フラッシュ・アクセス時間 (ページ)	40		ns
$t_{a(fr)}$	フラッシュ・アクセス時間 (ランダム)	40		ns
$t_{a(OTP)}$	OTP アクセス時間	60		ns

8.14.9 Flash Data Retention Duration

PARAMETER		TEST CONDITIONS	MIN	MAX	UNIT
$t_{retention}$	Data retention duration	T_J = 55°C	15		years

Copyright © 2022 Texas Instruments Incorporated

表 8-2. Minimum Required Flash/OTP Wait States at Different Frequencies

SYSCLKOUT (MHz)	SYSCLKOUT (ns)	PAGE WAIT STATE(1)	RANDOM WAIT STATE(1)	OTP WAIT STATE
60	16.67	2	2	3
55	18.18	2	2	3
50	20	1	1	2
45	22.22	1	1	2
40	25	1	1	2
35	28.57	1	1	2
30	33.33	1	1	1
25	40	0	1	1

(1) Random wait state must be ≥ 1.

The equations to compute the Flash page wait state and random wait state in 表 8-2 are as follows:

$$\text{Flash Page Wait State} = \left[\left(\frac{t_{a(f\bullet p)}}{t_{c(SCO)}}\right) - 1\right] \text{ round up to the next highest integer}$$

$$\text{Flash Random Wait State} = \left[\left(\frac{t_{a(f\cdot r)}}{t_{c(SCO)}}\right) - 1\right] \text{ round up to the next highest integer, or 1, whichever is larger}$$

The equation to compute the OTP wait state in 表 8-2 is as follows:

$$\text{OTP Wait State} = \left[\left(\frac{t_{a(OTP)}}{t_{c(SCO)}}\right) - 1\right] \text{ round up to the next highest integer, or 1, whichever is larger}$$

Copyright © 2022 Texas Instruments Incorporated

9 詳細説明

9.1 Overview

9.1.1 CPU

2802x (C28x) ファミリは、TMS320C2000™ マイクロコントローラ (MCU) プラットフォームの一部です。C28x ベースのコントローラは、既存の C28x MCU と同じ 32 ビット固定小数点アーキテクチャを採用しています。本コントローラは非常に効率的な C/C++ エンジンであるため、ユーザーは高級言語でシステム制御ソフトウェアを開発できるだけでなく、C/C++ を使って数学演算アルゴリズムを開発することもできます。本デバイスは、通常はマイクロコントローラ・デバイスが処理するシステム制御タスクで有効であるのと同様に、MCU 数学演算タスクでも有効です。この有効性は、多くのシステムで第 2 のプロセッサを不要にします。32 × 32 ビット MAC 64 ビット処理機能により、コントローラはより高い数値分解能の問題を効率的に処理できます。これに加えて、高速な割り込み応答と重要なレジスタの自動コンテキスト保存機能によって、最小限のレイテンシで多くの非同期イベントを処理できるデバイスを実現しています。本デバイスは、パイプライン・メモリ・アクセス付きの深さ 8 段の保護されたパイプラインを備えています。このパイプラインを使うことで、高価な高速メモリに頼ることなく、本デバイスは高速で実行できます。特殊なブランチ・ルック・アヘッド・ハードウェアにより、条件付きの不連続性によるレイテンシを最小限に抑えます。特殊な条件付きストア演算は性能をさらに向上させます。

9.1.2 Memory Bus (Harvard Bus Architecture)

As with many MCU-type devices, multiple buses are used to move data between the memories and peripherals and the CPU. The memory bus architecture contains a program read bus, data read bus, and data write bus. The program read bus consists of 22 address lines and 32 data lines. The data read and write buses consist of 32 address lines and 32 data lines each. The 32-bit-wide data buses enable single cycle 32-bit operations. The multiple bus architecture, commonly termed Harvard Bus, enables the C28x to fetch an instruction, read a data value and write a data value in a single cycle. All peripherals and memories attached to the memory bus prioritize memory accesses. Generally, the priority of memory bus accesses can be summarized as follows:

Highest:	Data Writes	(Simultaneous data and program writes cannot occur on the memory bus.)
	Program Writes	(Simultaneous data and program writes cannot occur on the memory bus.)
	Data Reads	
	Program Reads	(Simultaneous program reads and fetches cannot occur on the memory bus.)
Lowest:	Fetches	(Simultaneous program reads and fetches cannot occur on the memory bus.)

9.1.3 ペリフェラル・バス

テキサス・インスツルメンツの各種 MCU デバイス・ファミリ間のペリフェラルの移行を可能にするため、ペリフェラルの相互接続のためのペリフェラル・バス規格を本デバイスは採用しています。ペリフェラル・バス・ブリッジは、プロセッサのメモリ・バスを構成する各種バスを、16 のアドレス・ライン、16 または 32 のデータ・ライン、関連する制御信号で構成される 1 つのバスに多重化します。3 つのバージョンのペリフェラル・バスをサポートしています。第 1 のバージョンは 16 ビット・アクセスのみをサポートしています (ペリフェラル・フレーム 2 と呼びます)。第 2 のバージョンは 16 ビットと 32 ビットの両方のアクセスをサポートしています (ペリフェラル・フレーム 1 と呼びます)。

Copyright © 2022 Texas Instruments Incorporated

9.1.4 Real-Time JTAG and Analysis

The devices implement the standard IEEE 1149.1 JTAG [1]interface for in-circuit based debug. Additionally, the devices support real-time mode of operation allowing modification of the contents of memory, peripheral, and register locations while the processor is running and executing code and servicing interrupts. The user can also single step through non-time-critical code while enabling time-critical interrupts to be serviced without interference. The device implements the real-time mode in hardware within the CPU. This is a feature unique to the 28x family of devices, requiring no software monitor. Additionally, special analysis hardware is provided that allows setting of hardware breakpoint or data/address watch-points and generating various user-selectable break events when a match occurs. These devices do not support boundary scan; however, IDCODE and BYPASS features are available if the following considerations are taken into account. The IDCODE does not come by default. The user must go through a sequence of SHIFT IR and SHIFT DR state of JTAG to get the IDCODE. For BYPASS instruction, the first shifted DR value would be 1.

9.1.5 Flash

The F280200 device contains 8K × 16 of embedded flash memory, segregated into two 4K × 16 sectors. The F28021/23/27 devices contain 32K × 16 of embedded flash memory, segregated into four 8K × 16 sectors. The F28020/22/26 devices contain 16K × 16 of embedded flash memory, segregated into four 4K × 16 sectors. All devices also contain a single 1K × 16 of OTP memory at address range 0x3D 7800 to 0x3D 7BFF. The user can individually erase, program, and validate a flash sector while leaving other sectors untouched. However, it is not possible to use one sector of the flash or the OTP to execute flash algorithms that erase/program other sectors. Special memory pipelining is provided to enable the flash module to achieve higher performance. The flash/OTP is mapped to both program and data space; therefore, it can be used to execute code or store data information. Addresses 0x3F 7FF0 to 0x3F 7FF5 are reserved for data variables and should not contain program code.

注

The Flash and OTP wait states can be configured by the application. This allows applications running at slower frequencies to configure the flash to use fewer wait states.

Flash effective performance can be improved by enabling the flash pipeline mode in the Flash options register. With this mode enabled, effective performance of linear code execution will be much faster than the raw performance indicated by the wait-state configuration alone. The exact performance gain when using the Flash pipeline mode is application-dependent.

For more information on the Flash options, Flash wait state, and OTP wait-state registers, see the System Control chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

9.1.6 M0、M1 SARAM

すべてのデバイスは、これらの 2 つのシングル・アクセス・メモリ・ブロック (各 1K × 16 のサイズ) を内蔵しています。スタック・ポインタは、リセットと同時にブロック M1 の先頭を指します。M0 および M1 ブロックは、C28x デバイスのその他のすべてのメモリ・ブロックと同様に、プログラム空間とデータ空間の両方に割り当てられます。したがってユーザーは、コードを実行するために、またはデータ変数として、M0 と M1 を使用できます。パーティショニングはリンカ内で実行されます。C28x デバイスは統一されたメモリ・マップをプログラマに提供します。これは、高級言語によるプログラミングをより簡単にするのに役立ちます。

9.1.7 L0 SARAM

本デバイスは最大 4K × 16 のシングル・アクセス RAM を内蔵しています。特定のデバイスの正確なサイズを確認するには、デバイス固有のメモリ・マップ図 (セクション 9.2) を参照してください。このブロックは、プログラム空間とデータ空間の両方に割り当てられています。

[1] IEEE Standard 1149.1-1990 Standard Test Access Port and Boundary Scan Architecture

Copyright © 2022 Texas Instruments Incorporated

9.1.8 Boot ROM

The Boot ROM is factory-programmed with bootloader software. The Boot ROM uses the boot-mode-select GPIO pins to determine what boot mode to use upon power up. The user can select to boot normally to application code, to download new software from an external connection, or to select boot software that is programmed in the internal Flash/ROM. The Boot ROM also contains standard tables, such as SIN/COS waveforms, for use in math-related algorithms. The boot-ROM content, and hence the checksum value, may vary for different silicon revisions. For details, see the Boot ROM chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

表 9-1. Boot Mode Selection

MODE	GPIO37/TDO	GPIO34/COMP2OUT	$\overline{\text{TRST}}$	MODE
3	1	1	0	GetMode
2	1	0	0	Wait (see セクション 9.1.9 for description)
1	0	1	0	SCI
0	0	0	0	Parallel IO
EMU	x	x	1	Emulation Boot

9.1.8.1 エミュレーション・ブート

JTAG デバッグ・プローブが接続されている場合、ブート・モードを選択するのに GPIO37/TDO ピンを使うことはできません。この場合、ブート ROM は JTAG デバッグ・プローブが接続されていることを検出し、PIE ベクタ・テーブル内の 2 つの予約済み SARAM 位置の内容を使ってブート・モードを決定します。どちらか一方の場所の内容が無効である場合、待機ブート・オプションが使われます。エミュレーション・ブートでは、すべてのブート・モードを選択できます。

9.1.8.2 GetMode

GetMode オプションのデフォルト動作は、フラッシュからブート (起動) することです。OTP 内の 2 つの位置をプログラミングすることで、この動作をその他のブート方法に変更できます。どちらかの OTP 位置の内容が無効な場合、フラッシュからのブートが使われます。SCI、SPI、I2C、OTP のいずれかのローダを指定できます。

9.1.8.3 ブートローダが使用するペリフェラル・ピン

表 9-2 に、各ペリフェラル・ブートローダが使用する GPIO ピンを示します。アプリケーションで使用するペリフェラルのいずれかとこれらの GPIO ピンが競合するかどうかについては、GPIO MUX の表を参照してください。

表 9-2. ペリフェラル・ブートローダ・ピン

ブートローダ	ペリフェラル・ローダ・ピン
SCI	SCIRXDA (GPIO28) SCITXDA (GPIO29)
パラレル・ブート	データ (GPIO[7:0]) 28x 制御 (GPIO16) ホスト制御 (GPIO12)
SPI	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA (GPIO19)
I2C	SDAA (GPIO32)(1) SCLA (GPIO33)(1)

(1) GPIO ピン 32 および 33 は、お使いのデバイス・パッケージによっては利用できない場合があります。これらのデバイスでは、このブートローダは選択できません。

Copyright © 2022 Texas Instruments Incorporated

9.1.9 Security

The devices support high levels of security to protect the user firmware from being reverse engineered. The security features a 128-bit password (hardcoded for 16 wait states), which the user programs into the flash. One code security module (CSM) is used to protect the flash/OTP and the L0/L1 SARAM blocks. The security feature prevents unauthorized users from examining the memory contents through the JTAG port or trying to boot-load some undesirable software that would export the secure memory contents. To enable access to the secure blocks, the user must write the correct 128-bit KEY value that matches the value stored in the password locations within the Flash.

In addition to the CSM, the emulation code security logic (ECSL) has been implemented to prevent unauthorized users from stepping through secure code. Any code or data access to flash, user OTP, or L0 memory while the JTAG debug probe is connected will trip the ECSL and break the debug probe connection. To allow debug of secure code, while maintaining the CSM protection against secure memory reads, the user must write the correct value into the lower 64 bits of the KEY register (KEY0 - KEY3), which matches the value stored in the lower 64 bits of the password locations (PWL0 - PWL3) within the flash. Dummy reads of all 128 bits of the password in the flash must still be performed. If the lower 64 bits of the password locations are all ones (unprogrammed), then the KEY value does not need to match. During debug of secure code, operations like single-stepping is possible. However, the actual contents of the secure memory cannot be seen in the CCS window.

When power is applied to a secure device that is connected to a JTAG debug probe, the CPU will start executing and may execute an instruction that performs an access to a protected area. If this happens, the ECSL will trip and cause the JTAG circuitry to be deactivated. Under this condition, a host (such as a computer running CCS or flash programing software) would not be able to establish connection with the device.

The solution is to use the *Wait* boot option. In this mode, the device loops around a software breakpoint to allow a JTAG debug probe to be connected without tripping security. The user can then exit this mode once the JTAG debug probe is connected by using one of the emulation boot options as described in the Boot ROM chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*. These devices do not support a hardware wait-in-reset mode.

注

- When the code-security passwords are programmed, all addresses from 0x3F7F80 to 0x3F7FF5 cannot be used as program code or data. These locations must be programmed to 0x0000.
- If reprogramming of a secure device via JTAG may be needed in future, it is important to design the board in such a way that the device could be put in Wait boot mode upon power-up (when reprogramming is warranted). Otherwise, ECSL may deactivate the JTAG circuitry and prevent connection to the device, as mentioned earlier. If reconfiguring the device for Wait boot mode in the field is not practical, some mechanism must be implemented in the firmware to detect when a firmware update is warranted. Code could then branch to the desired bootloader in the bootROM. It could also branch to the Wait bootmode, at which point the JTAG debug probe could be connected, device unsecured and programming accomplished through JTAG itself.
- If the code security feature is not used, addresses 0x3F7F80 to 0x3F7FEF may be used for code or data. Addresses 0x3F7FF0 to 0x3F7FF5 are reserved for data and should not contain program code.

The 128-bit password (at 0x3F 7FF8 to 0x3F 7FFF) must not be programmed to zeros. Doing so would permanently lock the device.

Copyright © 2022 Texas Instruments Incorporated

注

Code Security Module Disclaimer

THE CODE SECURITY MODULE (CSM) INCLUDED ON THIS DEVICE WAS DESIGNED TO PASSWORD PROTECT THE DATA STORED IN THE ASSOCIATED MEMORY (EITHER ROM OR FLASH) AND IS WARRANTED BY TEXAS INSTRUMENTS (TI), IN ACCORDANCE WITH ITS STANDARD TERMS AND CONDITIONS, TO CONFORM TO TI'S PUBLISHED SPECIFICATIONS FOR THE WARRANTY PERIOD APPLICABLE FOR THIS DEVICE.

TI DOES NOT, HOWEVER, WARRANT OR REPRESENT THAT THE CSM CANNOT BE COMPROMISED OR BREACHED OR THAT THE DATA STORED IN THE ASSOCIATED MEMORY CANNOT BE ACCESSED THROUGH OTHER MEANS. MOREOVER, EXCEPT AS SET FORTH ABOVE, TI MAKES NO WARRANTIES OR REPRESENTATIONS CONCERNING THE CSM OR OPERATION OF THIS DEVICE, INCLUDING ANY IMPLIED WARRANTIES OF MERCHANTABILITY OR FITNESS FOR A PARTICULAR PURPOSE.

IN NO EVENT SHALL TI BE LIABLE FOR ANY CONSEQUENTIAL, SPECIAL, INDIRECT, INCIDENTAL, OR PUNITIVE DAMAGES, HOWEVER CAUSED, ARISING IN ANY WAY OUT OF YOUR USE OF THE CSM OR THIS DEVICE, WHETHER OR NOT TI HAS BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES. EXCLUDED DAMAGES INCLUDE, BUT ARE NOT LIMITED TO LOSS OF DATA, LOSS OF GOODWILL, LOSS OF USE OR INTERRUPTION OF BUSINESS OR OTHER ECONOMIC LOSS.

9.1.10 ペリフェラル割り込み拡張 (PIE) ブロック

PIE ブロックは、多数の割り込みソースをより少数の一連の割り込み入力に多重化する役割を果たします。PIE ブロックは最大 96 のペリフェラル割り込みをサポートできます。F2802x では、使用可能な 96 の割り込みのうちの 33 をペリフェラルが使用しています。96 の割り込みは 8 つのブロックにグループ化され、各グループは 12 の CPU 割り込みライン (INT1～INT12) の 1 つに接続されます。96 の割り込みのそれぞれは、専用の RAM ブロックに格納された独自のベクタ (ユーザーによる上書きが可能) によってサポートされています。割り込み処理時、このベクタは CPU によって自動的にフェッチされます。ベクタをフェッチし、かつ重要な CPU レジスタを保存するのに、8 CPU クロック・サイクルで済みます。したがって、CPU は割り込みイベントに迅速に応答できます。割り込みの優先度設定は、ハードウェアとソフトウェアで制御されます。各割り込みは、PIE ブロック内で有効化 / 無効化できます。

9.1.11 外部割り込み (XINT1～XINT3)

これらのデバイスは、3 つのマスク付き外部割り込み (XINT1～XINT3) をサポートしています。各割り込みは、負、正、負と正の両方のエッジ・トリガのいずれかに選択でき、有効化 / 無効化することもできます。これらの割り込みには 16 ビット自走加算カウンタも含まれています。このカウンタは、有効な割り込みエッジが検出されるとゼロにリセットされます。このカウンタを使用して、割り込みのタイムスタンプを正確に記録できます。外部割り込みのための専用ピンはありません。XINT1、XINT2、XINT3 割り込みは、GPIO0～GPIO31 ピンからの入力を受け取ることができます。

9.1.12 内部ゼロ・ピン発振器、発振器、PLL

本デバイスは、2 つの内部ゼロ・ピン発振器、外部発振器のいずれかによって、またはオンチップ発振器回路に接続された水晶振動子 (48 ピン・デバイスのみ) によってクロック駆動されます。PLL は最大 12 種類の入力クロック・スケーリング比をサポートしています。PLL 比はソフトウェアで臨機応変に変更できるため、低消費電力動作が必要な場合に動作周波数を下げることができます。タイミングの詳細については、セクション 8「電気的仕様」を参照してください。PLL ブロックをバイパス・モードに設定できます。

9.1.13 ウォッチドッグ

各デバイスは 2 つのウォッチドッグ(コアを監視する CPU ウォッチドッグ、クロック喪失検出回路である NMI ウォッチドッグ) を備えています。ユーザー・ソフトウェアは、特定の期間内に CPU ウォッチドッグ・カウンタを定期的にリセットする必要があります。さもないと、CPU ウォッチドッグはプロセッサにリセットを生成します。CPU ウォッチドッグは、必要に応じて無効化できます。NMI ウォッチドッグはクロック障害時にのみ作動し、割り込みとデバイス・リセットのどちらかを生成できます。

Copyright © 2022 Texas Instruments Incorporated

9.1.14 Peripheral Clocking

The clocks to each individual peripheral can be enabled/disabled to reduce power consumption when a peripheral is not in use. Additionally, the system clock to the serial ports (except I2C) can be scaled relative to the CPU clock.

9.1.15 Low-power Modes

The devices are full static CMOS devices. Three low-power modes are provided:

IDLE:	Place CPU in low-power mode. Peripheral clocks may be turned off selectively and only those peripherals that must function during IDLE are left operating. An enabled interrupt from an active peripheral or the watchdog timer will wake the processor from IDLE mode.
STANDBY:	Turns off clock to CPU and peripherals. This mode leaves the oscillator and PLL functional. An external interrupt event will wake the processor and the peripherals. Execution begins on the next valid cycle after detection of the interrupt event
HALT:	This mode basically shuts down the device and places it in the lowest possible power consumption mode. If the internal zero-pin oscillators are used as the clock source, the HALT mode turns them off, by default. To keep these oscillators from shutting down, the INTOSCnHALTI bits in CLKCTL register may be used. The zero-pin oscillators may thus be used to clock the CPU watchdog in this mode. If the on-chip crystal oscillator is used as the clock source, it is shut down in this mode. A reset or an external signal (through a GPIO pin) or the CPU watchdog can wake the device from this mode.

The CPU clock (OSCCLK) and watchdog clock source should be from the same clock source before attempting to put the device into HALT or STANDBY.

Copyright © 2022 Texas Instruments Incorporated

9.1.16 ペリフェラル・フレーム 0、1、2 (PFn)

本デバイスでは、ペリフェラルを 3 つの部分に分けています。ペリフェラルの割り当ては次のとおりです。

PF0:	PIE:	PIE 割り込みイネーブルおよび制御レジスタと PIE ベクタ・テーブル
	フラッシュ:	フラッシュ待機状態レジスタ
	タイマ:	CPU タイマ 0、1、2 レジスタ
	CSM:	コード・セキュリティ・モジュール・キー・レジスタ
	ADC:	ADC 結果レジスタ
PF1:	GPIO:	GPIO MUX 構成および制御レジスタ
	ePWM:	拡張パルス幅変調器モジュールおよびレジスタ
	eCAP:	拡張キャプチャ・モジュールおよびレジスタ
	コンパレータ:	コンパレータ・モジュール
PF2:	SYS:	システム・コントロール・レジスタ
	SCI:	シリアル通信インターフェイス (SCI) 制御および RX/TX レジスタ
	SPI:	シリアル・ポート・インターフェイス (SPI) 制御および RX/TX レジスタ
	ADC:	ADC ステータス、制御、構成レジスタ
	I2C:	I2C (Inter-Integrated Circuit) モジュールおよびレジスタ
	XINT:	外部割り込みレジスタ

9.1.17 汎用入出力 (GPIO) マルチプレクサ (MUX)

ペリフェラル信号の大部分は、汎用入出力 (GPIO) 信号と多重化されています。そのため、ペリフェラルの信号または機能が使われていない場合、ユーザーはそのピンを GPIO として使用できます。リセットと同時に、GPIO ピンは入力として構成されます。ユーザーは各ピンを個別に GPIO モードまたはペリフェラル信号モードに設定できます。特定の入力については、入力クオリフィケーション・サイクル数も選択できます。これにより、不要なノイズ・グリッチをフィルタします。GPIO 信号は、特定の低消費電力モードから本デバイスを復帰させるために使うこともできます。

9.1.18 32 ビット CPU タイマ (0、1、2)

CPU タイマ 0、1、2 は、16 ビット・クロック・プリスケーラを備え、周期をプリセット可能な、同一の 32 ビット・タイマです。これらのタイマは 32 ビット・カウント・ダウン・レジスタを備えており、カウンタが 0 に達したときに割り込みを生成します。このカウンタは、プリスケーラ値設定で分周された CPU クロック速度でデクリメントされます。カウンタが 0 に達すると、32 ビット周期値が自動的にリロード (再読み込み) されます。

CPU タイマ 0 は一般用途であり、PIE ブロックに接続されています。CPU タイマ 1 も一般用途であり、CPU の INT13 に接続できます。CPU タイマ 2 は DSP/BIOS 用に予約済みであり、CPU の INT14 に接続されています。DSP/BIOS が使用されていない場合、CPU タイマ 2 は一般用途に使えます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLKOUT (デフォルト)
- 内部ゼロ・ピン発振器 1 (INTOSC1)
- 内部ゼロ・ピン発振器 2 (INTOSC2)
- 外部クロック・ソース

Copyright © 2022 Texas Instruments Incorporated

9.1.19 Control Peripherals

The devices support the following peripherals that are used for embedded control and communication:

ePWM:	The enhanced PWM peripheral supports independent/complementary PWM generation, adjustable dead-band generation for leading/trailing edges, latched/cycle-by-cycle trip mechanism. Some of the PWM pins support the HRPWM high resolution duty and period features. The type 1 module found on 2802x devices also supports increased dead-band resolution, enhanced SOC and interrupt generation, and advanced triggering including trip functions based on comparator outputs.
eCAP:	The enhanced capture peripheral uses a 32-bit time base and registers up to four programmable events in continuous/one-shot capture modes. This peripheral can also be configured to generate an auxiliary PWM signal.
ADC:	The ADC block is a 12-bit converter. It has up to 13 single-ended channels pinned out, depending on the device. It contains two sample-and-hold units for simultaneous sampling.
Comparator:	Each comparator block consists of one analog comparator along with an internal 10-bit reference for supplying one input of the comparator.

9.1.20 シリアル・ポート・ペリフェラル

本デバイスは、以下のシリアル通信ペリフェラルをサポートしています。

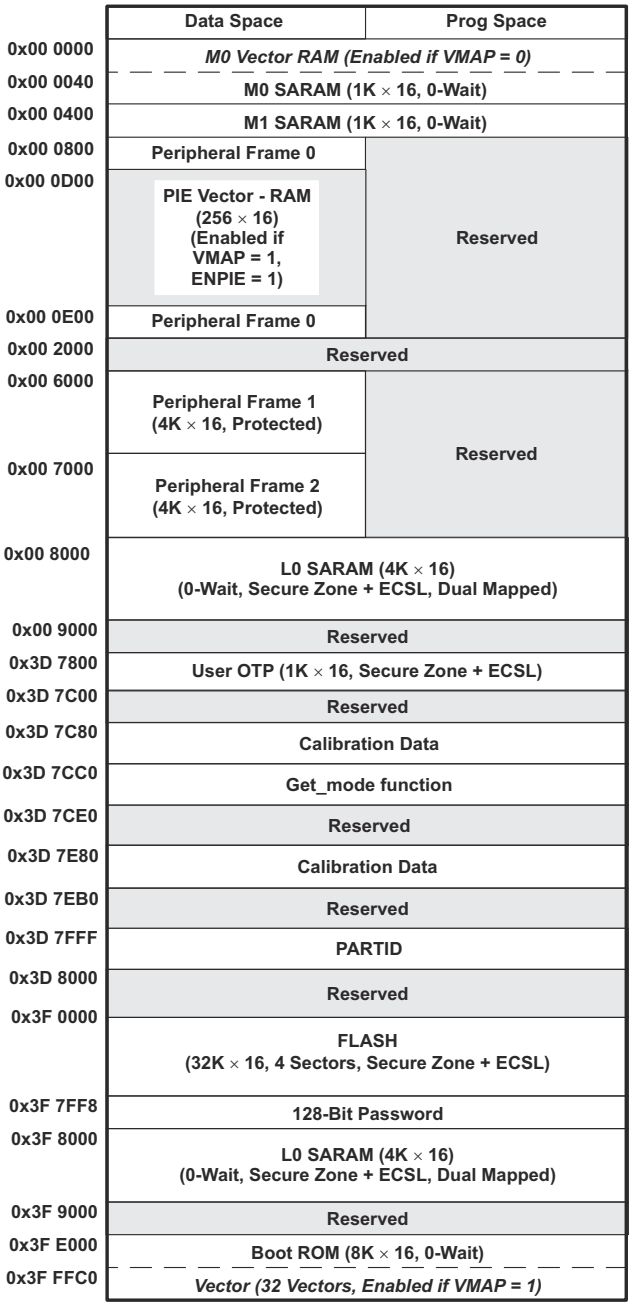
SPI:	SPI は、設定された長さ (1～16 ビット) のシリアル・ビット・ストリームを、プログラム可能なビット転送レートで、1 ビットずつ本デバイスに入力または本デバイスから出力できる高速な同期シリアル I/O ポートです。通常 SPI は、外部ペリフェラルやその他のプロセッサと MCU との間の通信に使用されます。代表的な用途には、シフト・レジスタ、ディスプレイ・ドライバ、ADC などのデバイスを使用した外部 I/O またはペリフェラル拡張が含まれます。マルチデバイス通信は、SPI のマスタ / スレーブ動作によってサポートされます。この SPI は、割り込みサービスのオーバーヘッドを低減するための 4 レベルの受信および送信 FIFO を内蔵しています。
SCI:	シリアル通信インターフェイスは、UART として一般的に知られる 2 線式非同期シリアル・ポートです。この SCI は、割り込みサービスのオーバーヘッドを低減するための 4 レベルの受信および送信 FIFO を内蔵しています。
I2C:	本 I2C (Inter-Integrated Circuit) モジュールは、MCU と、Philips Semiconductors 社の I2C-bus® (Inter-IC bus) 仕様バージョン 2.1 に準拠しかつ I^2C バスによって接続されたその他のデバイスとの間のインターフェイスとして機能します。この 2 線式シリアル・バスに接続された外部部品は、I2C モジュール経由で MCU との間で最大 8 ビットのデータを送受信できます。この I2C は、割り込みサービスのオーバーヘッドを低減するための 4 レベルの受信および送信 FIFO を内蔵しています。

Copyright © 2022 Texas Instruments Incorporated

9.2 Memory Maps

In 図 9-1, 図 9-2, 図 9-3, 図 9-4, and 図 9-5, the following apply:

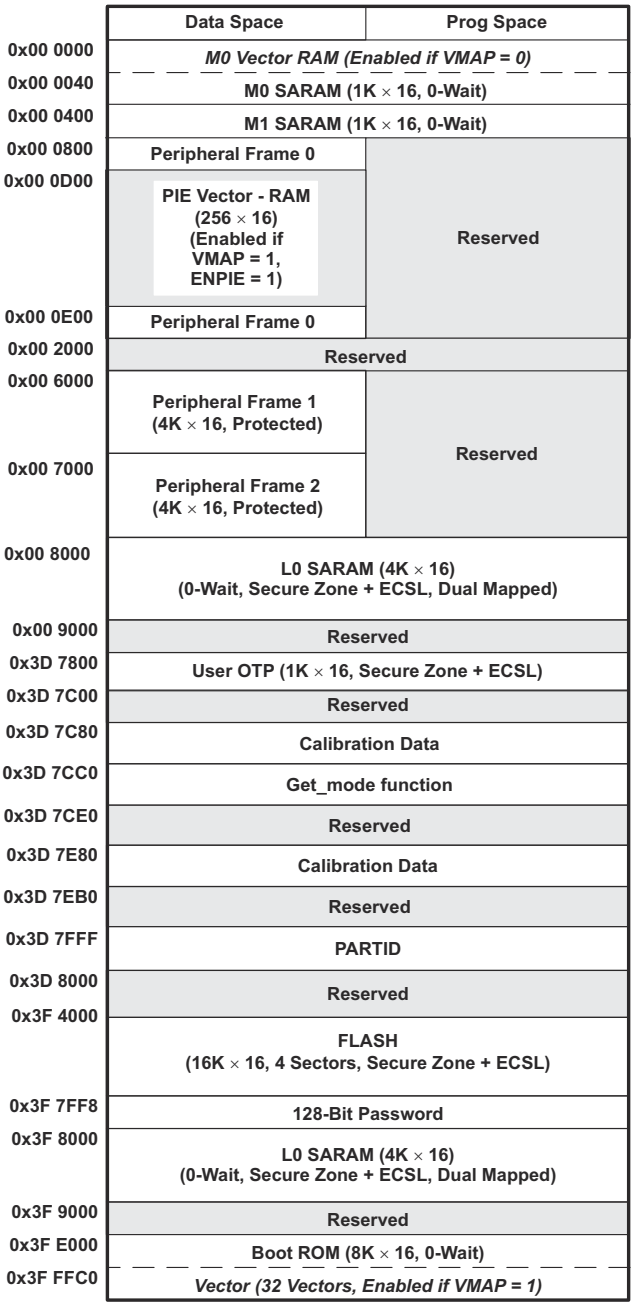
- Memory blocks are not to scale.
- Peripheral Frame 0, Peripheral Frame 1 and Peripheral Frame 2 memory maps are restricted to data memory only. A user program cannot access these memory maps in program space.
- *Protected* means the order of Write-followed-by-Read operations is preserved rather than the pipeline order.
- Certain memory ranges are EALLOW protected against spurious writes after configuration.
- Locations 0x3D7C80 to 0x3D7CC0 contain the internal oscillator and ADC calibration routines. These locations are not programmable by the user.



A. Memory locations 0x3D 7E80–0x3D 7EAF are reserved in TMX/TMP silicon.

図 9-1. 28023-Q1/28027-Q1 Memory Map

Copyright © 2022 Texas Instruments Incorporated



A. Memory locations 0x3D 7E80–0x3D 7EAF are reserved in TMX/TMP silicon.

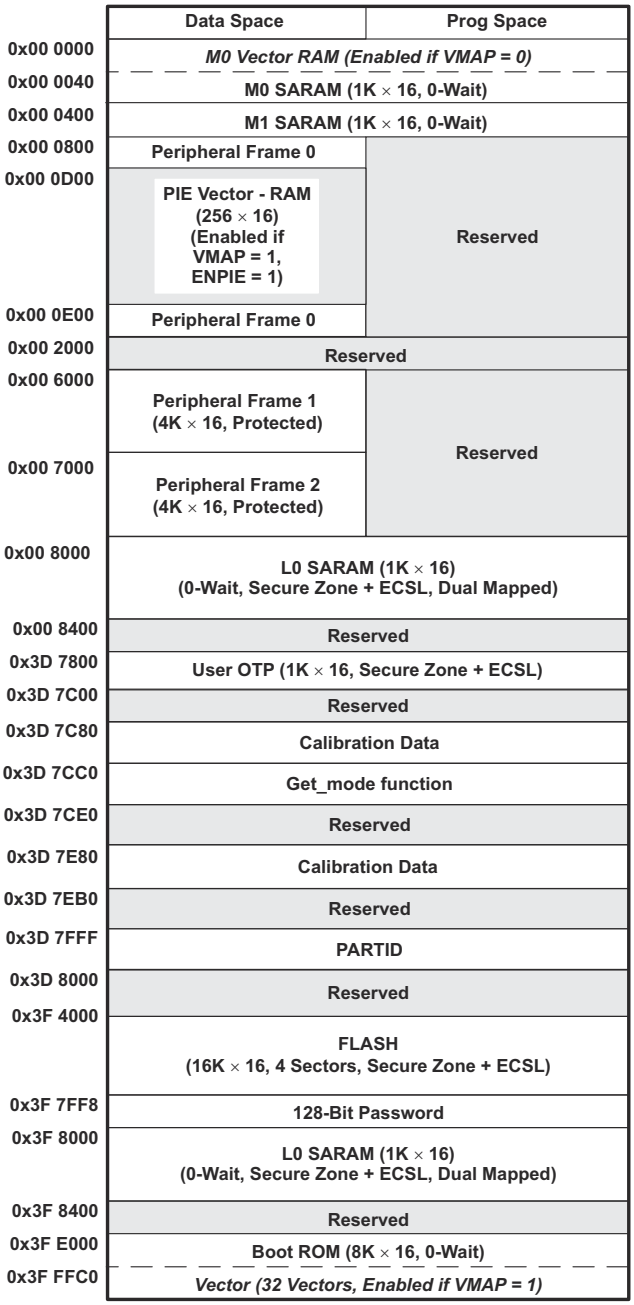
図 9-2. 28022-Q1/28026-Q1 Memory Map

	Data Space	Prog Space
0x00 0000	*M0 Vector RAM (Enabled if VMAP = 0)*	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (4K × 16, Protected)	Reserved
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (3K × 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x00 8C00	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	Calibration Data	
0x3D 7EB0	Reserved	
0x3D 7FFF	PARTID	
0x3D 8000	Reserved	
0x3F 0000	FLASH (32K × 16, 4 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (3K × 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x3F 8C00	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	*Vector (32 Vectors, Enabled if VMAP = 1)*	

A. Memory locations 0x3D 7E80–0x3D 7EAF are reserved in TMX/TMP silicon.

図 9-3. 28021 Memory Map

Copyright © 2022 Texas Instruments Incorporated



A. Memory locations 0x3D 7E80–0x3D 7EAF are reserved in TMX/TMP silicon.

図 9-4. 28020 Memory Map

Copyright © 2022 Texas Instruments Incorporated

	Data Space	Prog Space
0x00 0000	*M0 Vector RAM (Enabled if VMAP = 0)*	
0x00 0040	M0 SARAM (1K × 16, 0-Wait)	
0x00 0400	M1 SARAM (1K × 16, 0-Wait)	
0x00 0800	Peripheral Frame 0	Reserved
0x00 0D00	PIE Vector - RAM (256 × 16) (Enabled if VMAP = 1, ENPIE = 1)	
0x00 0E00	Peripheral Frame 0	
0x00 2000	Reserved	
0x00 6000	Peripheral Frame 1 (4K × 16, Protected)	Reserved
0x00 7000	Peripheral Frame 2 (4K × 16, Protected)	
0x00 8000	L0 SARAM (1K × 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x00 8400	Reserved	
0x3D 7800	User OTP (1K × 16, Secure Zone + ECSL)	
0x3D 7C00	Reserved	
0x3D 7C80	Calibration Data	
0x3D 7CC0	Get_mode function	
0x3D 7CE0	Reserved	
0x3D 7E80	Calibration Data	
0x3D 7EB0	Reserved	
0x3D 7FFF	PARTID	
0x3D 8000	Reserved	
0x3F 6000	FLASH (8K × 16, 2 Sectors, Secure Zone + ECSL)	
0x3F 7FF8	128-Bit Password	
0x3F 8000	L0 SARAM (1K × 16) (0-Wait, Secure Zone + ECSL, Dual Mapped)	
0x3F 8400	Reserved	
0x3F E000	Boot ROM (8K × 16, 0-Wait)	
0x3F FFC0	*Vector (32 Vectors, Enabled if VMAP = 1)*	

A. Memory locations 0x3D 7E80–0x3D 7EAF are reserved in TMX/TMP silicon.

図 9-5. 280200 Memory Map

Copyright © 2022 Texas Instruments Incorporated

表 9-3. Addresses of Flash Sectors in F28021/28023-Q1/28027-Q1

ADDRESS RANGE	PROGRAM AND DATA SPACE
0x3F 0000 to 0x3F 1FFF	Sector D (8K × 16)
0x3F 2000 to 0x3F 3FFF	Sector C (8K × 16)
0x3F 4000 to 0x3F 5FFF	Sector B (8K × 16)
0x3F 6000 to 0x3F 7F7F	Sector A (8K × 16)
0x3F 7F80 to 0x3F 7FF5	Program to 0x0000 when using the Code Security Module
0x3F 7FF6 to 0x3F 7FF7	Boot-to-Flash Entry Point (program branch instruction here)
0x3F 7FF8 to 0x3F 7FFF	Security Password (128-Bit) (Do not program to all zeros)

表 9-4. Addresses of Flash Sectors in F28020/28022-Q1/28026-Q1

ADDRESS RANGE	PROGRAM AND DATA SPACE
0x3F 4000 to 0x3F 4FFF	Sector D (4K × 16)
0x3F 5000 to 0x3F 5FFF	Sector C (4K × 16)
0x3F 6000 to 0x3F 6FFF	Sector B (4K × 16)
0x3F 7000 to 0x3F 7F7F	Sector A (4K × 16)
0x3F 7F80 to 0x3F 7FF5	Program to 0x0000 when using the Code Security Module
0x3F 7FF6 to 0x3F 7FF7	Boot-to-Flash Entry Point (program branch instruction here)
0x3F 7FF8 to 0x3F 7FFF	Security Password (128-Bit) (Do not program to all zeros)

表 9-5. Addresses of Flash Sectors in F280200

ADDRESS RANGE	PROGRAM AND DATA SPACE
0x3F 6000 to 0x3F 6FFF	Sector B (4K × 16)
0x3F 7000 to 0x3F 7F7F	Sector A (4K × 16)
0x3F 7F80 to 0x3F 7FF5	Program to 0x0000 when using the Code Security Module
0x3F 7FF6 to 0x3F 7FF7	Boot-to-Flash Entry Point (program branch instruction here)
0x3F 7FF8 to 0x3F 7FFF	Security Password (128-Bit) (Do not program to all zeros)

注

- When the code-security passwords are programmed, all addresses from 0x3F 7F80 to 0x3F 7FF5 cannot be used as program code or data. These locations must be programmed to 0x0000.
- If the code security feature is not used, addresses 0x3F 7F80 to 0x3F 7FEF may be used for code or data. Addresses 0x3F 7FF0 to 0x3F 7FF5 are reserved for data and should not contain program code.

表 9-6 shows how to handle these memory locations.

Copyright © 2022 Texas Instruments Incorporated

表 9-6. Impact of Using the Code Security Module

ADDRESS	FLASH	
	CODE SECURITY ENABLED	CODE SECURITY DISABLED
0x3F 7F80 to 0x3F 7FEF	Fill with 0x0000	Application code and data
0x3F 7FF0 to 0x3F 7FF5		Reserved for data only

Peripheral Frame 1 and Peripheral Frame 2 are grouped together to enable these blocks to be write/read peripheral block protected. The protected mode makes sure that all accesses to these blocks happen as written. Because of the pipeline, a write immediately followed by a read to different memory locations, will appear in reverse order on the memory bus of the CPU. This can cause problems in certain peripheral applications where the user expected the write to occur first (as written). The CPU supports a block protection mode where a region of memory can be protected so that operations occur as written (the penalty is extra cycles are added to align the operations). This mode is programmable and by default, it protects the selected zones.

The wait states for the various spaces in the memory map area are listed in 表 9-7.

表 9-7. Wait States

AREA	WAIT STATES (CPU)	COMMENTS
M0 and M1 SARAMs	0-wait	Fixed
Peripheral Frame 0	0-wait	
Peripheral Frame 1	0-wait (writes) 2-wait (reads)	Cycles can be extended by peripheral generated ready. Back-to-back write operations to Peripheral Frame 1 registers will incur a 1-cycle stall (1-cycle delay).
Peripheral Frame 2	0-wait (writes) 2-wait (reads)	Fixed. Cycles cannot be extended by the peripheral.
L0 SARAM	0-wait data and program	Assumes no CPU conflicts
OTP	Programmable 1-wait minimum	Programmed through the Flash registers. 1-wait is minimum number of wait states allowed.
FLASH	Programmable 0-wait Paged min 1-wait Random min Random ≥ Paged	Programmed through the Flash registers.
FLASH Password	16-wait fixed	Wait states of password locations are fixed.
Boot-ROM	0-wait	

Copyright © 2022 Texas Instruments Incorporated

9.3 Register Maps

The devices contain three peripheral register spaces. The spaces are categorized as follows:

Peripheral Frame 0: These are peripherals that are mapped directly to the CPU memory bus. See 表 9-8.

Peripheral Frame 1: These are peripherals that are mapped to the 32-bit peripheral bus. See 表 9-9.

Peripheral Frame 2: These are peripherals that are mapped to the 16-bit peripheral bus. See 表 9-10.

表 9-8. Peripheral Frame 0 Registers

NAME(1)	ADDRESS RANGE	SIZE (×16)	EALLOW PROTECTED(2)
Device Emulation Registers	0x00 0880 to 0x00 0984	261	Yes
System Power Control Registers	0x00 0985 to 0x00 0987	3	Yes
FLASH Registers(3)	0x00 0A80 to 0x00 0ADF	96	Yes
Code Security Module Registers	0x00 0AE0 to 0x00 0AEF	16	Yes
ADC registers (0 wait read only)	0x00 0B00 to 0x00 0B0F	16	No
CPU–TIMER0/1/2 Registers	0x00 0C00 to 0x00 0C3F	64	No
PIE Registers	0x00 0CE0 to 0x00 0CFF	32	No
PIE Vector Table	0x00 0D00 to 0x00 0DFF	256	No

(1) Registers in Frame 0 support 16-bit and 32-bit accesses.
(2) If registers are EALLOW protected, then writes cannot be performed until the EALLOW instruction is executed. The EDIS instruction disables writes to prevent stray code or pointers from corrupting register contents.
(3) The Flash Registers are also protected by the Code Security Module (CSM).

表 9-9. Peripheral Frame 1 Registers

NAME	ADDRESS RANGE	SIZE (×16)	EALLOW PROTECTED
Comparator 1 registers	0x00 6400 to 0x00 641F	32	(1)
Comparator 2 registers	0x00 6420 to 0x00 643F	32	(1)
ePWM1 + HRPWM1 registers	0x00 6800 to 0x00 683F	64	(1)
ePWM2 + HRPWM2 registers	0x00 6840 to 0x00 687F	64	(1)
ePWM3 + HRPWM3 registers	0x00 6880 to 0x00 68BF	64	(1)
ePWM4 + HRPWM4 registers	0x00 68C0 to 0x00 68FF	64	(1)
eCAP1 registers	0x00 6A00 to 0x00 6A1F	32	No
GPIO registers	0x00 6F80 to 0x00 6FFF	128	(1)

(1) Some registers are EALLOW protected. For more information, see the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

表 9-10. Peripheral Frame 2 Registers

NAME	ADDRESS RANGE	SIZE (×16)	EALLOW PROTECTED
System Control Registers	0x00 7010 to 0x00 702F	32	Yes
SPI-A Registers	0x00 7040 to 0x00 704F	16	No
SCI-A Registers	0x00 7050 to 0x00 705F	16	No
NMI Watchdog Interrupt Registers	0x00 7060 to 0x00 706F	16	Yes
External Interrupt Registers	0x00 7070 to 0x00 707F	16	Yes
ADC Registers	0x00 7100 to 0x00 717F	128	(1)
I2C-A Registers	0x00 7900 to 0x00 793F	64	(1)

(1) Some registers are EALLOW protected. For more information, see the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

Copyright © 2022 Texas Instruments Incorporated

9.4 Device Emulation Registers

These registers are used to control the protection mode of the C28x CPU and to monitor some critical device signals. The registers are defined in 表 9-11 .

表 9-11. Device Emulation Registers

NAME	ADDRESS RANGE	SIZE (x16)	DESCRIPTION			EALLOW PROTECTED
DEVICECNF	0x0880 0x0881	2	Device Configuration Register			Yes
PARTID	0x3D 7FFF	1	Part ID Register	TMS320F280200PT	0x00C1	No
				TMS320F280200DA	0x00C0	
				TMS320F28027PT	0x00CF	
				TMS320F28027DA	0x00CE	
				TMS320F28027**F**PT	0x00CF	
				TMS320F28027**F**DA	0x00CE	
				TMS320F28026PT	0x00C7	
				TMS320F28026DA	0x00C6	
				TMS320F28026**F**PT	0x00C7	
				TMS320F28026**F**DA	0x00C6	
				TMS320F28023PT	0x00CD	
				TMS320F28023DA	0x00CC	
				TMS320F28022PT	0x00C5	
				TMS320F28022DA	0x00C4	
				TMS320F28021PT	0x00CB	
				TMS320F28021DA	0x00CA	
				TMS320F28020PT	0x00C3	
				TMS320F28020DA	0x00C2	
CLASSID	0x0882	1	Class ID Register	TMS320F280200PT/DA	0x00C7	No
				TMS320F28027PT/DA	0x00CF	
				TMS320F28027**F**PT/DA	0x00CF	
				TMS320F28026PT/DA	0x00C7	
				TMS320F28026**F**PT/DA	0x00C7	
				TMS320F28023PT/DA	0x00CF	
				TMS320F28022PT/DA	0x00C7	
				TMS320F28021PT/DA	0x00CF	
				TMS320F28020PT/DA	0x00C7	
REVID	0x0883	1	Revision ID Register	0x0000 - Silicon Rev. 0 - TMS		No
				0x0001 - Silicon Rev. A - TMS		
				0x0002 - Silicon Rev. B - TMS		

Copyright © 2022 Texas Instruments Incorporated

9.5 VREG/BOR/POR

コアと I/O 回路は 2 つの異なる電圧で動作しますが、これらのデバイスは、V_{DDIO} 電源から V_{DD} 電圧を生成するためのオンチップ電圧レギュレータ (VREG) を備えています。そのため、第 2 の (外部) レギュレータをアプリケーション基板に実装するためのコストとスペースは不要です。また、パワーアップおよび実行モード中、内部パワーオン・リセット (POR) およびブラウンアウト・リセット (BOR) 回路は V_{DD} と V_{DDIO} の両方のレールを監視します。

9.5.1 オンチップ電圧レギュレータ (VREG)

リニア・レギュレータ は V_{DDIO} 電源からコア電圧 (V_{DD}) を生成します。そのため、生成された電圧を安定させるために各 V_{DD} ピンにコンデンサが必要ですが、本デバイスを動作させるためにこれらのピンに電力を供給する必要はありません。逆に、アプリケーションの一番の関心事が消費電力または冗長性である場合、VREG を無効化できます。

9.5.1.1 オンチップ VREG の使い方

オンチップ VREG を使用するには、$\overline{\text{VREGENZ}}$ ピンを Low に接続し、適切な推奨動作電圧を V_{DDIO} および V_{DDA} ピンに供給する必要があります。この場合、コア・ロジックが必要とする V_{DD} 電圧は VREG によって生成されます。各 V_{DD} ピンには、VREG を適切にレギュレーションするために 1.2µF 以上の容量が必要です。これらのコンデンサは、V_{DD} ピンのできるだけ近くに配置する必要があります。内部 VREG による外部負荷の駆動はサポートしていません。

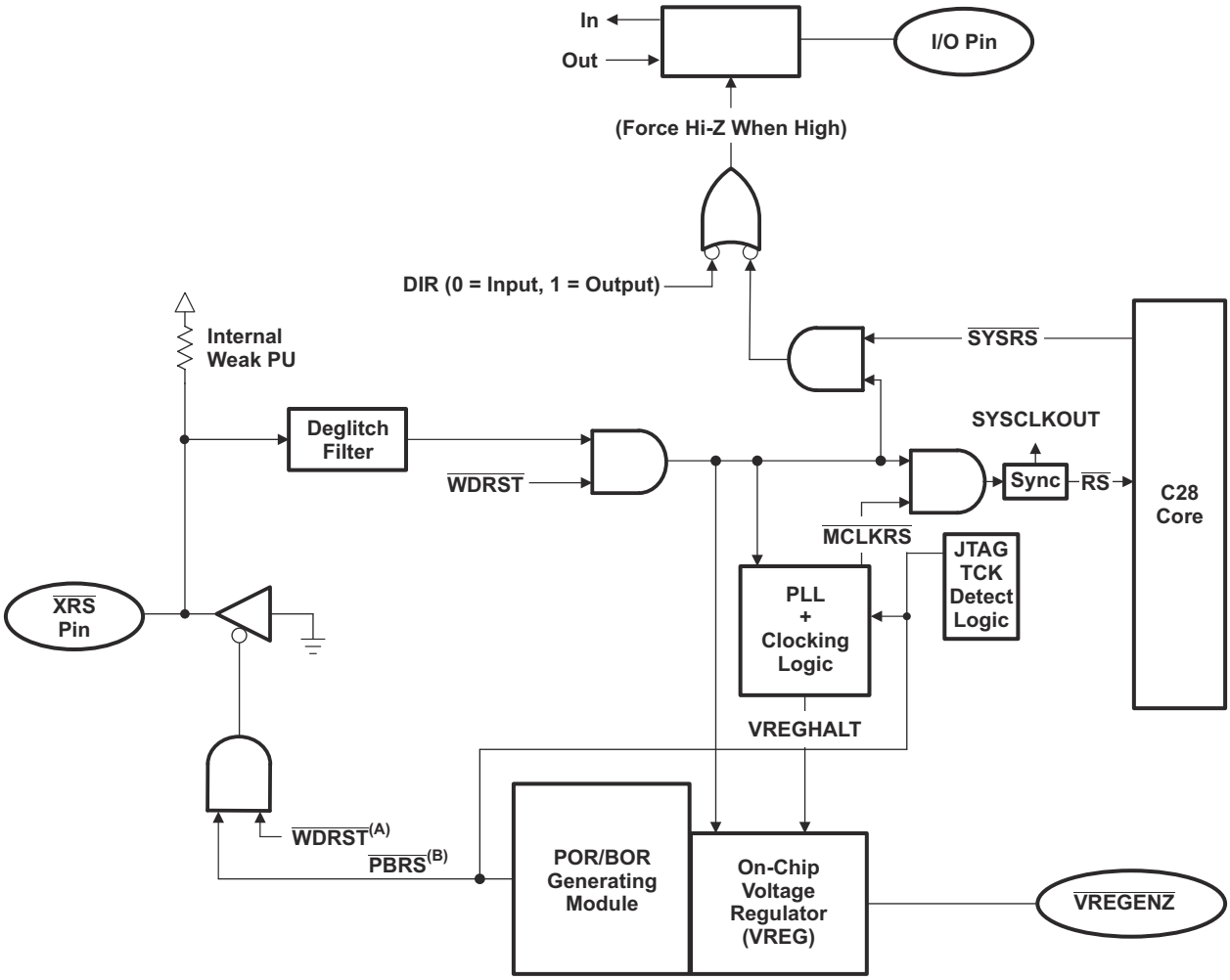
9.5.1.2 オンチップ VREG の無効化

電力を節約するため、オンチップ VREG を無効化し、より高効率な外部レギュレータを使用してコア・ロジック電圧を V_{DD} ピンに供給することもできます。この方法を使うには、$\overline{\text{VREGENZ}}$ ピンを High に接続する必要があります。

Copyright © 2022 Texas Instruments Incorporated

9.5.2 On-chip Power-On Reset (POR) and Brown-Out Reset (BOR) Circuit

Two on-chip supervisory circuits, the power-on reset (POR) and the brown-out reset (BOR) remove the burden of monitoring the V_{DD} and V_{DDIO} supply rails from the application board. The purpose of the POR is to create a clean reset throughout the device during the entire power-up procedure. The trip point is a looser, lower trip point than the BOR, which watches for dips in the V_{DD} or V_{DDIO} rail during device operation. The POR function is present on both V_{DD} and V_{DDIO} rails at all times. After initial device power-up, the BOR function is present on V_{DDIO} at all times, and on V_{DD} when the internal VREG is enabled ($\overline{\text{VREGENZ}}$ pin is tied low). Both functions tie the $\overline{\text{XRS}}$ pin low when one of the voltages is below their respective trip point. V_{DD} BOR and overvoltage trip points are outside of the recommended operating voltages. Proper device operation cannot be ensured. If overvoltage or undervoltage conditions affecting the system is a concern for an application, an external voltage supervisor should be added. 図 9-6 shows the VREG, POR, and BOR. To disable both the V_{DD} and V_{DDIO} BOR functions, a bit is provided in the BORCFG register. For details, see the System Control chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.



A. $\overline{\text{WDRST}}$ is the reset signal from the CPU watchdog.
B. $\overline{\text{PBRS}}$ is the reset signal from the POR/BOR module.

図 9-6. VREG + POR + BOR + Reset Signal Connectivity

Copyright © 2022 Texas Instruments Incorporated

9.6 システム・コントロール

このセクションでは、発振器およびクロック駆動機構、ウォッチドッグ機能、低消費電力モードについて説明します。

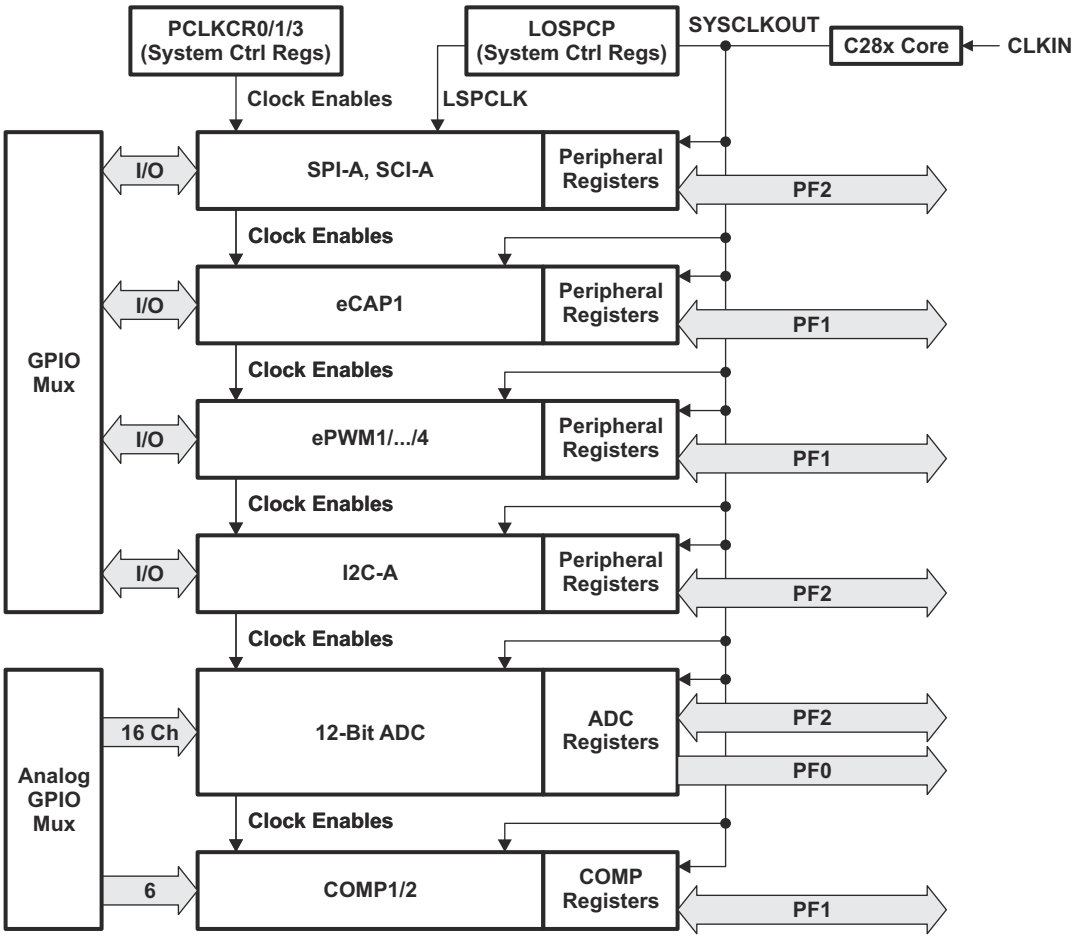
表 9-12. PLL、クロック駆動、ウォッチドッグ、低消費電力モード・レジスタ

名称	アドレス	サイズ (x16)	説明 (1)
BORCFG	0x00 0985	1	BOR 構成レジスタ
XCLK	0x00 7010	1	XCLKOUT 制御
PLLSTS	0x00 7011	1	PLL ステータス・レジスタ
CLKCTL	0x00 7012	1	クロック制御レジスタ
PLLLOCKPRD	0x00 7013	1	PLL ロック期間
INTOSC1TRIM	0x00 7014	1	内部発振器 1 調整レジスタ
INTOSC2TRIM	0x00 7016	1	内部発振器 2 調整レジスタ
LOSPCP	0x00 701B	1	低速ペリフェラル・クロック・プリスケーラ・レジスタ
PCLKCR0	0x00 701C	1	ペリフェラル・クロック制御レジスタ 0
PCLKCR1	0x00 701D	1	ペリフェラル・クロック制御レジスタ 1
LPMCR0	0x00 701E	1	低消費電力モード制御レジスタ 0
PCLKCR3	0x00 7020	1	ペリフェラル・クロック制御レジスタ 3
PLLCR	0x00 7021	1	PLL 制御レジスタ
SCSR	0x00 7022	1	システム・コントロールおよびステータス・レジスタ
WDCNTR	0x00 7023	1	ウォッチドッグ・カウンタ・レジスタ
WDKEY	0x00 7025	1	ウォッチドッグ・リセット・キー・レジスタ
WDCR	0x00 7029	1	ウォッチドッグ制御レジスタ

(1) この表のすべてのレジスタは EALLOW 保護されています。

Copyright © 2022 Texas Instruments Incorporated

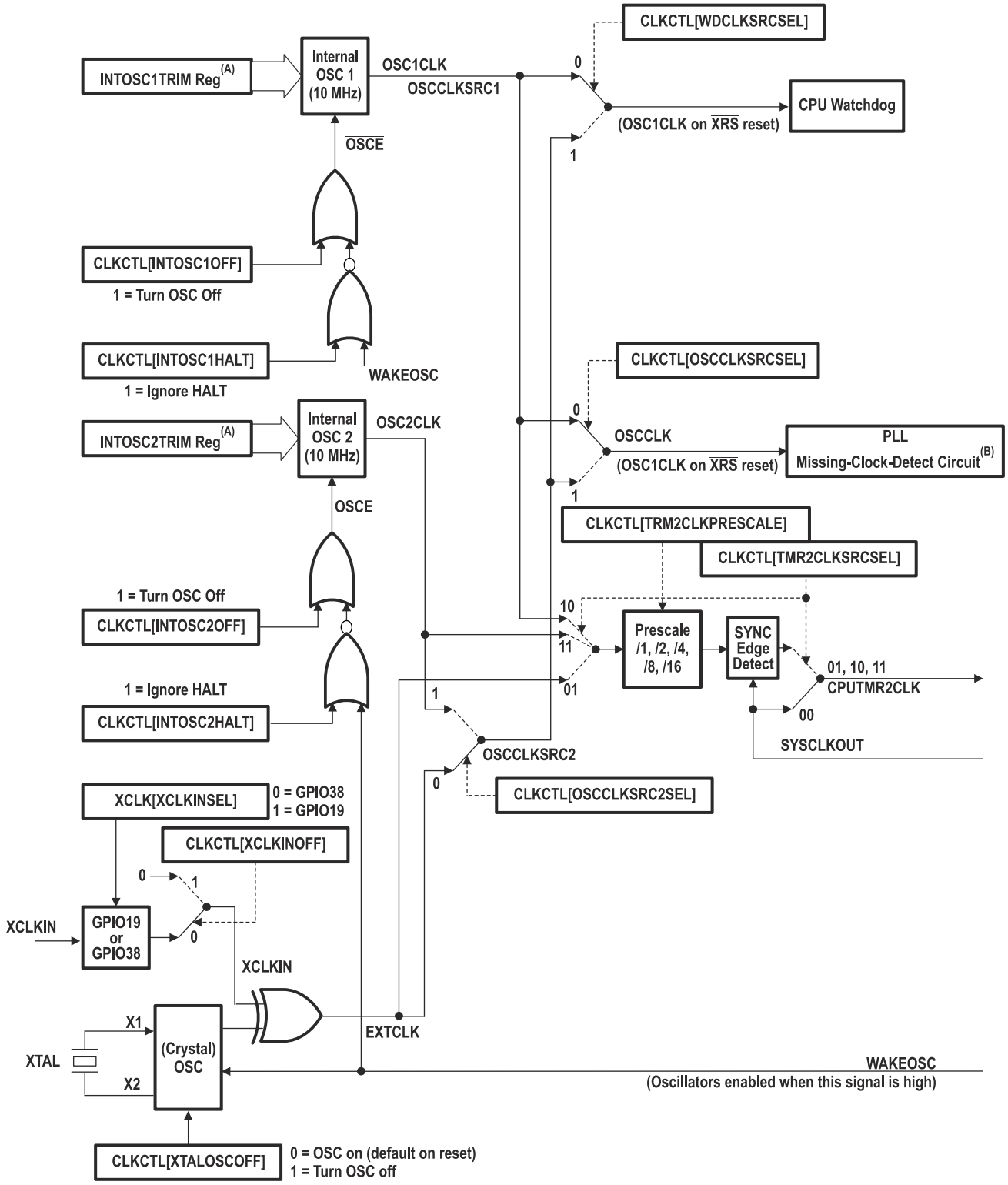
図 9-7 に、説明されている各種クロック・ドメインを示します。図 9-8 に、デバイス動作用クロックを供給できる各種クロック・ソース (内部と外部の両方) を示します。



A. CLKIN は CPU へのクロックです。CPU から SYSCLKOUT として出力されます (つまり、CLKIN は SYSCLKOUT と同じ周波数です)。

図 9-7. クロックおよびリセット・ドメイン

Copyright © 2022 Texas Instruments Incorporated



A. テキサス・インスツルメンツ OTP ベース・キャリブレーション機能から読み込まれるレジスタ。

B. クロック喪失検出の詳細については、セクション 9.6.4 を参照してください。

図 9-8. クロック・ツリー

9.6.1 内部ゼロ・ピン発振器

F2802x デバイスは、2 つの独立したゼロ・ピン発振器を内蔵しています。デフォルトでは、電源投入時に両方の発振器がオンになり、このとき内部発振器 1 がデフォルトのクロック・ソースになります。消費電力を節約するため、未使用の発振器をユーザーがオフにすることもできます。これらの発振器の中心周波数は、それぞれの発振器の調整レジスタによって決定されます。これらのレジスタは、ブート ROM 実行の一部としてキャリブレーション・ルーチンで書き込まれます。これらの発振器の詳細については、セクション 8「電気的仕様」を参照してください。

9.6.2 Crystal Oscillator Option

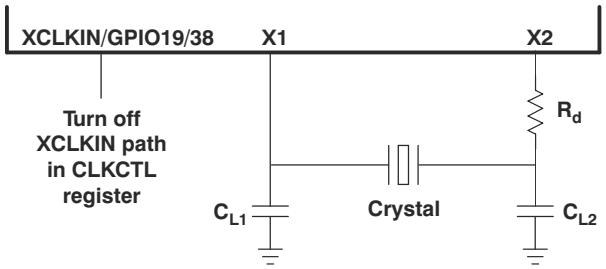
The on-chip crystal oscillator X1 and X2 pins are 1.8-V level signals and must never have 3.3-V level signals applied to them. If a system 3.3-V external oscillator is to be used as a clock source, it should be connected to the XCLKIN pin only. The X1 pin is not intended to be used as a single-ended clock input, it should be used with X2 and a crystal.

The typical specifications for the external quartz crystal (fundamental mode, parallel resonant) are listed in 表 9-13. Furthermore, ESR range = 30 to 150 Ω.

表 9-13. Typical Specifications for External Quartz Crystal(1)

FREQUENCY (MHz)	R_d (Ω)	C_{L1} (pF)	C_{L2} (pF)
5	2200	18	18
10	470	15	15
15	0	15	15
20	0	12	12

(1) C_{shunt} should be less than or equal to 5 pF.



A. X1/X2 pins are available in 48-pin package only.

図 9-9. Using the On-chip Crystal Oscillator

注

1. C_{L1} and C_{L2} are the total capacitance of the circuit board and components excluding the IC and crystal. The value is usually approximately twice the value of the crystal's load capacitance.
2. The load capacitance of the crystal is described in the crystal specifications of the manufacturers.
3. TI recommends that customers have the resonator/crystal vendor characterize the operation of their device with the MCU chip. The resonator/crystal vendor has the equipment and expertise to tune the tank circuit. The vendor can also advise the customer regarding the proper tank component values that will produce proper start-up and stability over the entire operating range.

Copyright © 2022 Texas Instruments Incorporated

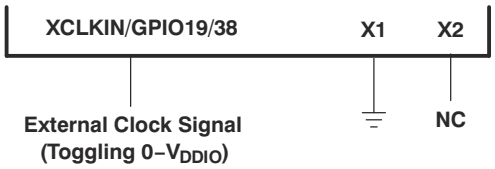


図 9-10. Using a 3.3-V External Oscillator

9.6.3 PLL-Based Clock Module

The devices have an on-chip, PLL-based clock module. This module provides all the necessary clocking signals for the device, as well as control for low-power mode entry. The PLL has a 4-bit ratio control PLLCR[DIV] to select different CPU clock rates. The watchdog module should be disabled before writing to the PLLCR register. It can be re-enabled (if need be) after the PLL module has stabilized, which takes
1 ms. The input clock and PLLCR[DIV] bits should be chosen in such a way that the output frequency of the PLL (VCOCLK) is at least 50 MHz.

表 9-14. PLL Settings

PLLCR[DIV] VALUE(2) (3)	SYSCLKOUT (CLKIN)		
	PLLSTS[DIVSEL] = 0 or 1(1)	PLLSTS[DIVSEL] = 2	PLLSTS[DIVSEL] = 3
0000 (PLL bypass)	OSCCLK/4 (Default)(2)	OSCCLK/2	OSCCLK
0001	(OSCCLK * 1)/4	(OSCCLK * 1)/2	(OSCCLK * 1)/1
0010	(OSCCLK * 2)/4	(OSCCLK * 2)/2	(OSCCLK * 2)/1
0011	(OSCCLK * 3)/4	(OSCCLK * 3)/2	(OSCCLK * 3)/1
0100	(OSCCLK * 4)/4	(OSCCLK * 4)/2	(OSCCLK * 4)/1
0101	(OSCCLK * 5)/4	(OSCCLK * 5)/2	(OSCCLK * 5)/1
0110	(OSCCLK * 6)/4	(OSCCLK * 6)/2	(OSCCLK * 6)/1
0111	(OSCCLK * 7)/4	(OSCCLK * 7)/2	(OSCCLK * 7)/1
1000	(OSCCLK * 8)/4	(OSCCLK * 8)/2	(OSCCLK * 8)/1
1001	(OSCCLK * 9)/4	(OSCCLK * 9)/2	(OSCCLK * 9)/1
1010	(OSCCLK * 10)/4	(OSCCLK * 10)/2	(OSCCLK * 10)/1
1011	(OSCCLK * 11)/4	(OSCCLK * 11)/2	(OSCCLK * 11)/1
1100	(OSCCLK * 12)/4	(OSCCLK * 12)/2	(OSCCLK * 12)/1

(1) By default, PLLSTS[DIVSEL] is configured for /4. (The boot ROM changes this to /1.) PLLSTS[DIVSEL] must be 0 before writing to the PLLCR and should be changed only after PLLSTS[PLLLOCKS] = 1.
(2) The PLL control register (PLLCR) and PLL Status Register (PLLSTS) are reset to their default state by the $\overline{\text{XRS}}$ signal or a watchdog reset only. A reset issued by the debugger or the missing clock detect logic has no effect.
(3) This register is EALLOW protected. See the System Control chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual* for more information.

表 9-15. CLKIN Divide Options

PLLSTS [DIVSEL]	CLKIN DIVIDE
0	/4
1	/4
2	/2
3	/1

Copyright © 2022 Texas Instruments Incorporated

The PLL-based clock module provides four modes of operation:

- **INTOSC1 (Internal Zero-pin Oscillator 1):** This is the on-chip internal oscillator 1. This can provide the clock for the Watchdog block, core and CPU-Timer 2
- **INTOSC2 (Internal Zero-pin Oscillator 2):** This is the on-chip internal oscillator 2. This can provide the clock for the Watchdog block, core and CPU-Timer 2. Both INTOSC1 and INTOSC2 can be independently chosen for the Watchdog block, core and CPU-Timer 2.
- **Crystal/Resonator Operation:** The on-chip (crystal) oscillator enables the use of an external crystal/ resonator attached to the device to provide the time base. The crystal/resonator is connected to the X1/X2 pins. Some devices may not have the X1/X2 pins. See セクション 7.2.1 for details.
- **External Clock Source Operation:** If the on-chip (crystal) oscillator is not used, this mode allows it to be bypassed. The device clocks are generated from an external clock source input on the XCLKIN pin. The XCLKIN is multiplexed with GPIO19 or GPIO38 pin. The XCLKIN input can be selected as GPIO19 or GPIO38 through the XCLKINSEL bit in XCLK register. The CLKCTL[XCLKINOFF] bit disables this clock input (forced low). If the clock source is not used or the respective pins are used as GPIOs, the user should disable at boot time.

Before changing clock sources, ensure that the target clock is present. If a clock is not present, then that clock source must be disabled (using the CLKCTL register) before switching clocks.

表 9-16. Possible PLL Configuration Modes

PLL MODE	REMARKS	PLLSTS[DIVSEL]	CLKIN AND SYSCLKOUT
PLL Off	Invoked by the user setting the PLLOFF bit in the PLLSTS register. The PLL block is disabled in this mode. This can be useful to reduce system noise and for low-power operation. The PLLCR register must first be set to 0x0000 (PLL Bypass) before entering this mode. The CPU clock (CLKIN) is derived directly from the input clock on either X1/X2, X1 or XCLKIN.	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL Bypass	PLL Bypass is the default PLL configuration upon power-up or after an external reset ($\overline{\text{XRS}}$). This mode is selected when the PLLCR register is set to 0x0000 or while the PLL locks to a new frequency after the PLLCR register has been modified. In this mode, the PLL is bypassed but the PLL is not turned off.	0, 1 2 3	OSCCLK/4 OSCCLK/2 OSCCLK/1
PLL Enable	Achieved by writing a nonzero value n into the PLLCR register. Upon writing to the PLLCR the device will switch to PLL Bypass mode until the PLL locks.	0, 1 2 3	OSCCLK * n/4 OSCCLK * n/2 OSCCLK * n/1

9.6.4 入力クロックの喪失 (NMI ウォッチドッグ機能)

2802x デバイスには、内部ゼロ・ピン発振器 (INTOSC1/INTOSC2) の 1 つ、オンチップ水晶発振器、外部クロック入力のいずれかからクロックを供給できます。クロック・ソースに関係なく、PLL イネーブルおよび PLL バイパス・モードでは、PLL への入力クロックが失われた場合、PLL はその出力にリンプモード・クロックを生成します。このリンプ・モード・クロックは、1～5MHz (標準値) の周波数で CPU とペリフェラルにクロックを供給し続けます。

リンプ・モードが作動すると、$\overline{\text{CLOCKFAIL}}$ 信号が生成され、NMI 割り込みとしてラッチされます。NMIRESETSEL ビットがどのように設定されているかに応じて、本デバイスに対するリセットを即座に発行し、または NMI ウォッチドッグ・カウンタがオーバーフローした時点でリセットを発行することができます。これに加えて、ミッシング・クロック・ステータス (MCLKSTS) ビットがセットされます。NMI 割り込みは、入力クロックの障害を検出し、必要な是正措置 (例：代替クロック・ソース (利用可能な場合) への切り替え、システムのシャットダウン手順の開始) を開始するためにアプリケーションによって使われることがあります。

クロック障害状態にソフトウェアが応答しない場合、事前に設定された時間間隔の後に NMI ウォッチドッグがリセットをトリガします。図 9-11 に、関連する割り込み機構を示します。

Copyright © 2022 Texas Instruments Incorporated

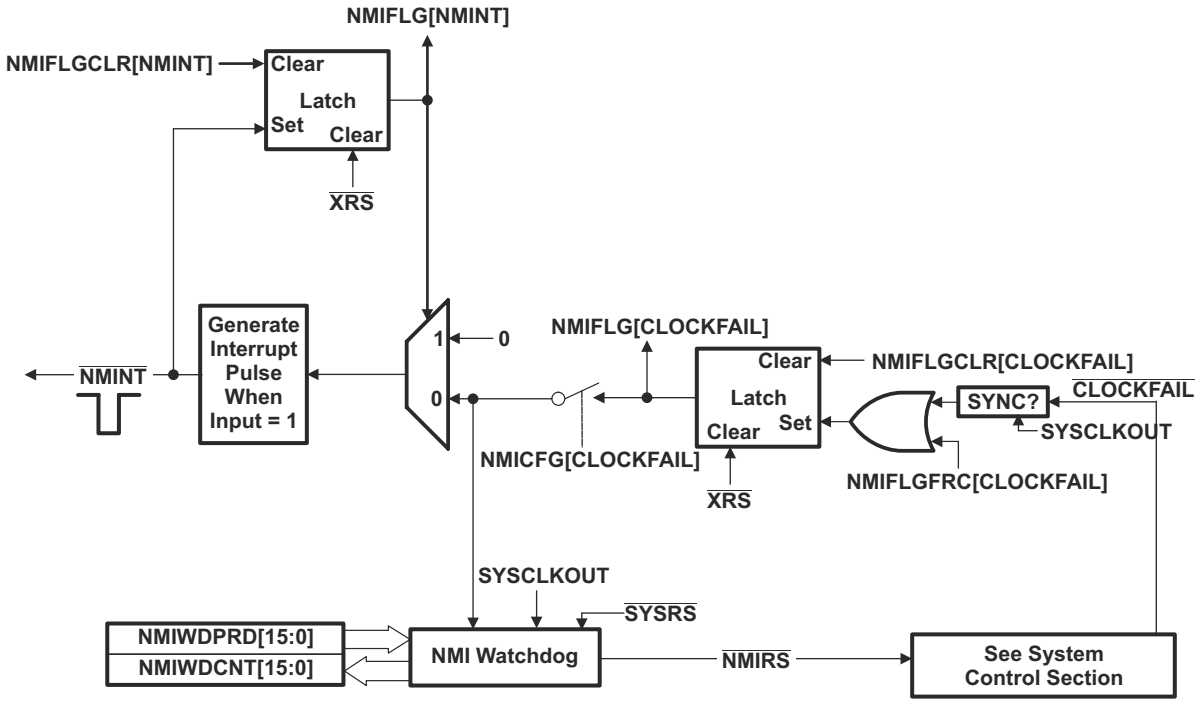


図 9-11. NMI ウォッチドッグ

9.6.5 CPU ウォッチドッグ・モジュール

2802x デバイスの CPU ウォッチドッグ・モジュールは、281x/280x/283xx デバイスで使われているものと似ています。このモジュールは、8 ビット・ウォッチドッグ・アップ・カウンタが最大値に達するたびに、512 OSCCLK (発振器クロック) 幅の出力パルスを生成します。これを防止するため、ユーザーはカウンタを無効化する必要があります。またはソフトウェアが、ウォッチドッグ・カウンタをリセットするウォッチドッグ・キー・レジスタに 0x55 + 0xAA シーケンスを定期的に書き込む必要があります。図 9-12 に、ウォッチドッグ・モジュール内の各種機能ブロックを示します。

通常、入力クロックが存在する場合、CPU ウォッチドッグ・リセットまたは WDINT 割り込みを開始するため CPU ウォッチドッグ・カウンタはデクリメントします。しかし、外部入力クロックが機能しなくなった場合、CPU ウォッチドッグ・カウンタはデクリメントを停止します (つまり、ウォッチドッグ・カウンタはリンプ・モードのクロックでは変化しません)。

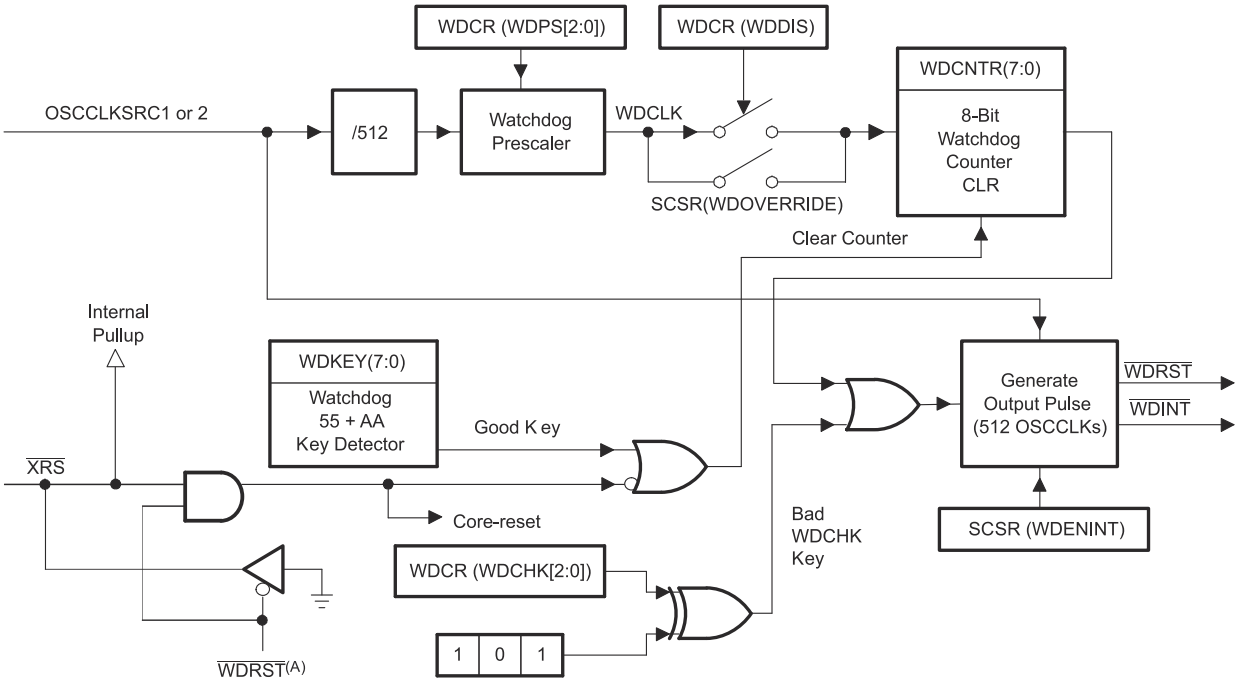
注

CPU ウォッチドッグは、NMI ウォッチドッグとは異なります。CPU ウォッチドッグは、すべての 28x デバイスが備えるレガシー・ウォッチドッグです。

注

正確な CPU 動作周波数が不可欠であるアプリケーションでは、入力クロックが機能しなくなった場合に MCU をリセット状態に保持する機構を実装する必要があります。たとえば、コンデンサが完全に充電されると MCU の $\overline{\text{XRS}}$ ピンがトリガされるように R-C 回路を使うことができます。コンデンサが完全に充電されないように、1 本の I/O ピンを使って定期的にコンデンサを放電することができます。そのような回路は、フラッシュ・メモリの障害検出にも役立ちます。

Copyright © 2022 Texas Instruments Incorporated



A. WDRST 信号は 512 OSCCLK サイクルの間 Low に駆動されます。

図 9-12. CPU ウォッチドッグ・モジュール

WDINT 信号を利用すると、IDLE/STANDBY モードからのウェイクアップとしてウォッチドッグを使えます。

STANDBY モードでは、デバイス上のすべてのペリフェラルがオフになります。機能を維持している唯一のペリフェラルが CPU ウォッチドッグです。このモジュールは OSCCLK で動作します。本デバイスを STANDBY から復帰させることができるように、(使用可能な場合) WDINT 信号が LPM ブロックに供給されます。詳細については、セクション 9.7「低消費電力モード・ブロック」を参照してください。

IDLE モードでは、WDINT 信号が PIE を経由して CPU への割り込みを生成することで、CPU を IDLE モードから復帰させることができます。

HALT モードでは、デバイス・リセットによって本デバイスをウェイクアップするために CPU ウォッチドッグを使えます。

Copyright © 2022 Texas Instruments Incorporated

9.7 Low-power Modes Block

表 9-17 summarizes the various modes.

表 9-17. Low-power Modes

MODE	LPMCR0(1:0)	OSCCLK	CLKIN	SYSCLKOUT	EXIT(1)
IDLE	00	On	On	On	$\overline{\text{XRS}}$, CPU watchdog interrupt, any enabled interrupt
STANDBY	01	On (CPU watchdog still running)	Off	Off	$\overline{\text{XRS}}$, CPU watchdog interrupt, GPIO Port A signal, debugger(2)
HALT(3)	1X	Off (on-chip crystal oscillator and PLL turned off, zero-pin oscillator and CPU watchdog state dependent on user code.)	Off	Off	$\overline{\text{XRS}}$, GPIO Port A signal, debugger(2), CPU watchdog

(1) The EXIT column lists which signals or under what conditions the low-power mode is exited. A low signal, on any of the signals, exits the low-power condition. This signal must be kept low long enough for an interrupt to be recognized by the device. Otherwise, the low-power mode will not be exited and the device will go back into the indicated low-power mode.
(2) The JTAG port can still function even if the CPU clock (CLKIN) is turned off.
(3) The WDCLK must be active for the device to go into HALT mode.

The various low-power modes operate as follows:

IDLE Mode: This mode is exited by any enabled interrupt that is recognized by the processor. The LPM block performs no tasks during this mode as long as the LPMCR0(LPM) bits are set to 0,0.

STANDBY Mode: Any GPIO port A signal (GPIO[31:0]) can wake the device from STANDBY mode. The user must select which signal(s) will wake the device in the GPIOLPMSEL register. The selected signal(s) are also qualified by the OSCCLK before waking the device. The number of OSCCLKs is specified in the LPMCR0 register.

HALT Mode: CPU watchdog, $\overline{\text{XRS}}$, and any GPIO port A signal (GPIO[31:0]) can wake the device from HALT mode. The user selects the signal in the GPIOLPMSEL register.

注

The low-power modes do not affect the state of the output pins (PWM pins included). They will be in whatever state the code left them in when the IDLE instruction was executed. See the System Control chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual* for more details.

Copyright © 2022 Texas Instruments Incorporated

9.8 Interrupts

図 9-13 shows how the various interrupt sources are multiplexed.

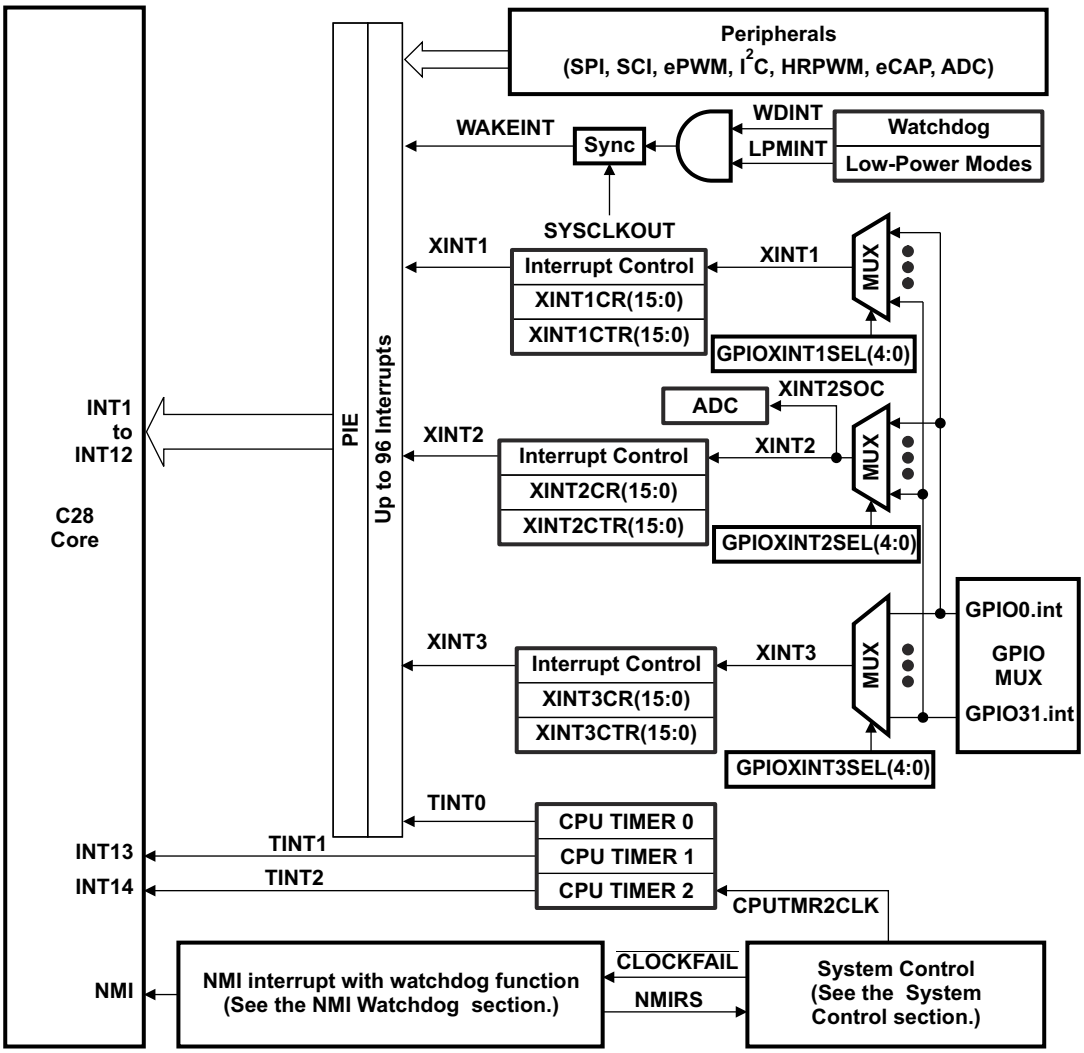


図 9-13. External and PIE Interrupt Sources

Copyright © 2022 Texas Instruments Incorporated

Eight PIE block interrupts are grouped into one CPU interrupt. In total, 12 CPU interrupt groups, with 8 interrupts per group equals 96 possible interrupts. 表 9-18 shows the interrupts used by 2802x devices.

The TRAP #VectorNumber instruction transfers program control to the interrupt service routine corresponding to the vector specified. The TRAP #0 instruction attempts to transfer program control to the address pointed to by the reset vector. The PIE vector table does not, however, include a reset vector. Therefore, the TRAP #0 instruction should not be used when the PIE is enabled. Doing so will result in undefined behavior.

When the PIE is enabled, the TRAP #1 to TRAP #12 instructions will transfer program control to the interrupt service routine corresponding to the first vector within the PIE group. For example: the TRAP #1 instruction fetches the vector from INT1.1, the TRAP #2 instruction fetches the vector from INT2.1, and so forth.

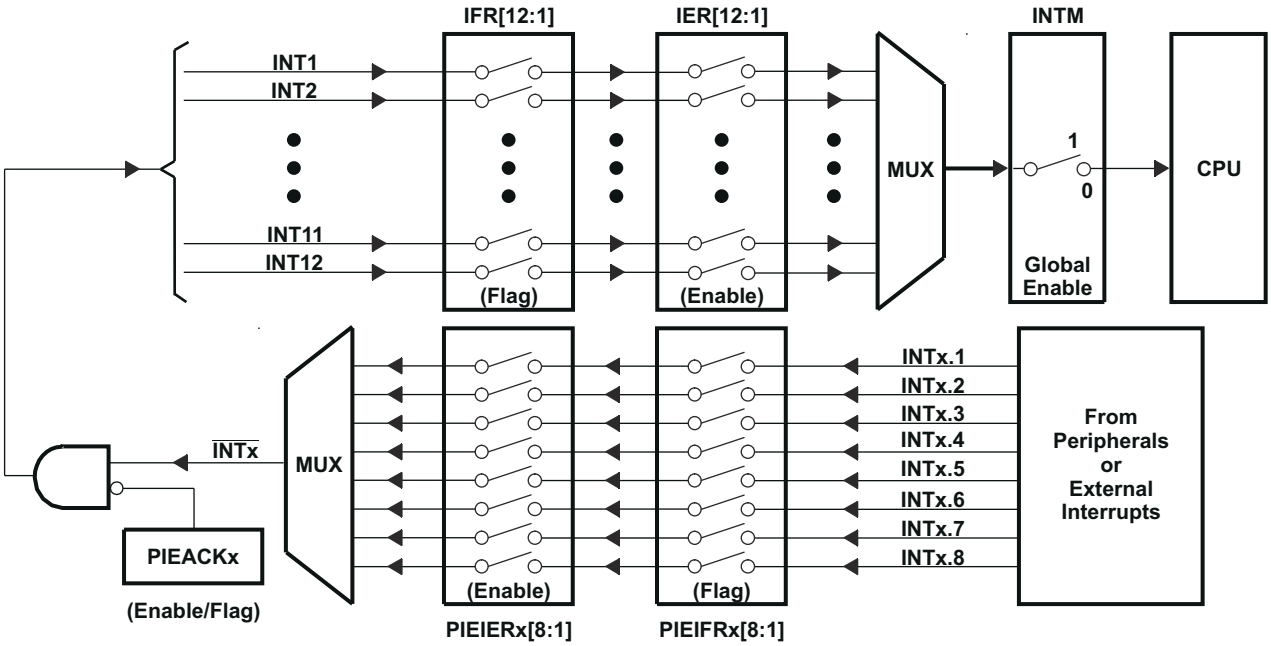


図 9-14. Multiplexing of Interrupts Using the PIE Block

表 9-18. PIE MUXed Peripheral Interrupt Vector Table

	INTx.8[1]	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1.y	WAKEINT	TINT0	ADCINT9	XINT2	XINT1	Reserved	ADCINT2	ADCINT1
	(LPM/WD)	(TIMER 0)	(ADC)	Ext. int. 2	Ext. int. 1	–	(ADC)	(ADC)
	0xD4E	0xD4C	0xD4A	0xD48	0xD46	0xD44	0xD42	0xD40
INT2.y	Reserved	Reserved	Reserved	Reserved	EPWM4_TZINT	EPWM3_TZINT	EPWM2_TZINT	EPWM1_TZINT
	–	–	–	–	(ePWM4)	(ePWM3)	(ePWM2)	(ePWM1)
	0xD5E	0xD5C	0xD5A	0xD58	0xD56	0xD54	0xD52	0xD50
INT3.y	Reserved	Reserved	Reserved	Reserved	EPWM4_INT	EPWM3_INT	EPWM2_INT	EPWM1_INT
	–	–	–	–	(ePWM4)	(ePWM3)	(ePWM2)	(ePWM1)
	0xD6E	0xD6C	0xD6A	0xD68	0xD66	0xD64	0xD62	0xD60
INT4.y	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	ECAP1_INT
	–	–	–	–	–	–	–	(eCAP1)
	0xD7E	0xD7C	0xD7A	0xD78	0xD76	0xD74	0xD72	0xD70
INT5.y	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
	–	–	–	–	–	–	–	–
	0xD8E	0xD8C	0xD8A	0xD88	0xD86	0xD84	0xD82	0xD80
INT6.y	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	SPITXINTA	SPIRXINTA
	–	–	–	–	–	–	(SPI-A)	(SPI-A)
	0xD9E	0xD9C	0xD9A	0xD98	0xD96	0xD94	0xD92	0xD90
INT7.y	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
	–	–	–	–	–	–	–	–
	0xDAE	0xDAC	0xDAA	0xDA8	0xDA6	0xDA4	0xDA2	0xDA0
INT8.y	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	I2CINT2A	I2CINT1A
	–	–	–	–	–	–	(I2C-A)	(I2C-A)
	0xDBE	0xDBC	0xDBA	0xDB8	0xDB6	0xDB4	0xDB2	0xDB0
INT9.y	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	SCITXINTA	SCIRXINTA
	–	–	–	–	–	–	(SCI-A)	(SCI-A)
	0xDCE	0xDCC	0xDCA	0xDC8	0xDC6	0xDC4	0xDC2	0xDC0
INT10.y	ADCINT8	ADCINT7	ADCINT6	ADCINT5	ADCINT4	ADCINT3	ADCINT2	ADCINT1
	(ADC)	(ADC)	(ADC)	(ADC)	(ADC)	(ADC)	(ADC)	(ADC)
	0xDDE	0xDDC	0xDDA	0xDD8	0xDD6	0xDD4	0xDD2	0xDD0
INT11.y	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
	–	–	–	–	–	–	–	–
	0xDEE	0xDEC	0xDEA	0xDE8	0xDE6	0xDE4	0xDE2	0xDE0
INT12.y	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	XINT3
	–	–	–	–	–	–	–	Ext. Int. 3
	0xDFE	0xDFC	0xDFA	0xDF8	0xDF6	0xDF4	0xDF2	0xDF0

(1) Out of 96 possible interrupts, some interrupts are not used. These interrupts are reserved for future devices. These interrupts can be used as software interrupts if they are enabled at the PIEIFRx level, provided none of the interrupts within the group is being used by a peripheral. Otherwise, interrupts coming in from peripherals may be lost by accidentally clearing their flag while modifying the PIEIFR. To summarize, there are two safe cases when the reserved interrupts could be used as software interrupts:

a. No peripheral within the group is asserting interrupts.

b. No peripheral interrupts are assigned to the group (for example, PIE groups 5, 7, or 11) .

Copyright © 2022 Texas Instruments Incorporated

表 9-19. PIE Configuration and Control Registers

NAME	ADDRESS	SIZE (x16)	DESCRIPTION(1)
PIECTRL	0x0CE0	1	PIE, Control Register
PIEACK	0x0CE1	1	PIE, Acknowledge Register
PIEIER1	0x0CE2	1	PIE, INT1 Group Enable Register
PIEIFR1	0x0CE3	1	PIE, INT1 Group Flag Register
PIEIER2	0x0CE4	1	PIE, INT2 Group Enable Register
PIEIFR2	0x0CE5	1	PIE, INT2 Group Flag Register
PIEIER3	0x0CE6	1	PIE, INT3 Group Enable Register
PIEIFR3	0x0CE7	1	PIE, INT3 Group Flag Register
PIEIER4	0x0CE8	1	PIE, INT4 Group Enable Register
PIEIFR4	0x0CE9	1	PIE, INT4 Group Flag Register
PIEIER5	0x0CEA	1	PIE, INT5 Group Enable Register
PIEIFR5	0x0CEB	1	PIE, INT5 Group Flag Register
PIEIER6	0x0CEC	1	PIE, INT6 Group Enable Register
PIEIFR6	0x0CED	1	PIE, INT6 Group Flag Register
PIEIER7	0x0CEE	1	PIE, INT7 Group Enable Register
PIEIFR7	0x0CEF	1	PIE, INT7 Group Flag Register
PIEIER8	0x0CF0	1	PIE, INT8 Group Enable Register
PIEIFR8	0x0CF1	1	PIE, INT8 Group Flag Register
PIEIER9	0x0CF2	1	PIE, INT9 Group Enable Register
PIEIFR9	0x0CF3	1	PIE, INT9 Group Flag Register
PIEIER10	0x0CF4	1	PIE, INT10 Group Enable Register
PIEIFR10	0x0CF5	1	PIE, INT10 Group Flag Register
PIEIER11	0x0CF6	1	PIE, INT11 Group Enable Register
PIEIFR11	0x0CF7	1	PIE, INT11 Group Flag Register
PIEIER12	0x0CF8	1	PIE, INT12 Group Enable Register
PIEIFR12	0x0CF9	1	PIE, INT12 Group Flag Register
Reserved	0x0CFA – 0x0CFF	6	Reserved

(1) The PIE configuration and control registers are not protected by EALLOW mode. The PIE vector table is protected.

Copyright © 2022 Texas Instruments Incorporated

9.8.1 External Interrupts

表 9-20. External Interrupt Registers

NAME	ADDRESS	SIZE (x16)	DESCRIPTION
XINT1CR	0x00 7070	1	XINT1 configuration register
XINT2CR	0x00 7071	1	XINT2 configuration register
XINT3CR	0x00 7072	1	XINT3 configuration register
XINT1CTR	0x00 7078	1	XINT1 counter register
XINT2CTR	0x00 7079	1	XINT2 counter register
XINT3CTR	0x00 707A	1	XINT3 counter register

Each external interrupt can be enabled/disabled or qualified using positive, negative, or both positive and negative edge. For more information, see the System Control chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

9.8.1.1 外部割り込みの電気的データ / タイミング

9.8.1.1.1 External Interrupt Timing Requirements

			MIN(1)	MAX	UNIT
$t_{w(INT)}$ (2)	Pulse duration, INT input low/high	Synchronous	$1t_{c(SCO)}$		cycles
		With qualifier	$1t_{c(SCO)} + t_{w(IQSW)}$		cycles

(1) For an explanation of the input qualifier parameters, see セクション 9.9.10.1.2.1.
(2) This timing is applicable to any GPIO pin configured for ADCSOC functionality.

9.8.1.1.2 External Interrupt Switching Characteristics

over recommended operating conditions (unless otherwise noted)

PARAMETER		MIN(1)	MAX	UNIT
$t_{d(INT)}$	Delay time, INT low/high to interrupt-vector fetch		$t_{w(IQSW)} + 12t_{c(SCO)}$	cycles

(1) For an explanation of the input qualifier parameters, see セクション 9.9.10.1.2.1.

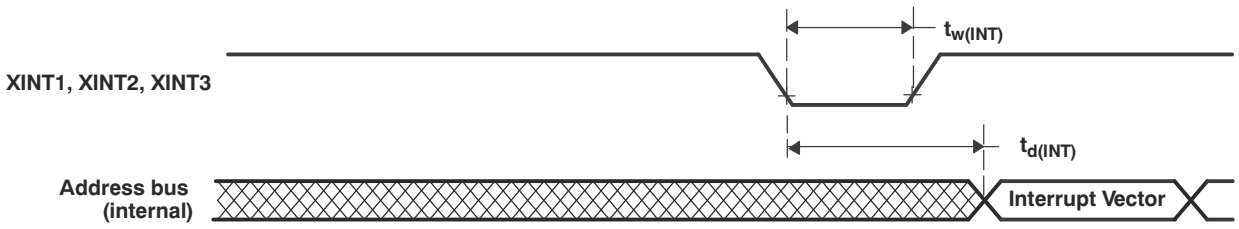


図 9-15. External Interrupt Timing

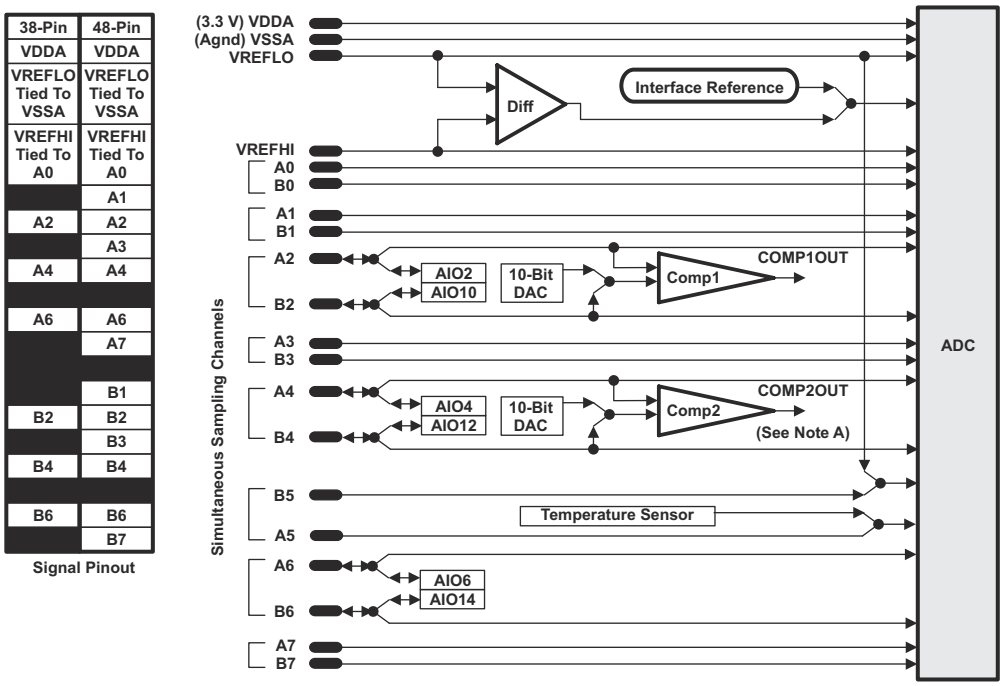
Copyright © 2022 Texas Instruments Incorporated

9.9 ペリフェラル

9.9.1 Analog Block

A 12-bit ADC core is implemented that has different timings than the 12-bit ADC used on F280x/F2833x. The ADC wrapper is modified to incorporate the new timings and also other enhancements to improve the timing control of start of conversions. 図 9-16 shows the interaction of the analog module with the rest of the F2802x system.

For more information on the ADC, see the Analog-to-Digital Converter and Comparator chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.



A. Comparator 2 is available only on the 48-pin PT package.

図 9-16. Analog Pin Configurations

9.9.1.1 A/D コンバータ (ADC)

9.9.1.1.1 特長

ADC コアは、2 つのサンプル・アンド・ホールド回路から入力される 1 つの 12 ビット・コンバータを内蔵しています。サンプル・アンド・ホールド回路は、同時または連続的にサンプリングできます。一方、これらのサンプル・アンド・ホールド回路には、合計で最大 13 のアナログ入力チャネルからデータが入力されます。本コンバータは、内部バンドギャップ基準電圧で動作させ真の電圧ベース変換を行うように構成することも、一対の外部基準電圧 (V_{REFHI}/V_{REFLO}) を使ってレシオメトリック・ベース変換を行うように構成することもできます。

従来の ADC タイプとは異なり、この ADC はシーケンサ・ベースではありません。ユーザーは、1 つのトリガから一連の変換を簡単に実行できます。しかし、動作の基本原理は個別の変換 (SOC (変換開始) と呼びます) の構成に基づいています。

ADC モジュールの機能には以下が含まれます。

- 2 つのサンプル・アンド・ホールド (S/H) を内蔵した 12 ビット ADC コア
- 同時サンプリングまたはシーケンシャル・サンプリング・モード
- フル・レンジ・アナログ入力 : 0V～3.3V 固定、または V_{REFHI}/V_{REFLO} レシオメトリック。入力アナログ電圧のデジタル値は、次のように求められます。
  - 内部基準電圧 (V_{REFLO} = V_{SSA}。内部または外部基準電圧モードを使用する場合、V_{REFHI} は V_{DDA} を超えないようにする必要があります。)

$$\text{Digital Value} = 0, \quad \text{when input} \le 0\ \text{V}$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{3.3}, \quad \text{when } 0\ \text{V} < \text{input} < 3.3\ \text{V}$$

$$\text{Digital Value} = 4095, \quad \text{when input} \ge 3.3\ \text{V}$$

  - 外部基準電圧 (外部基準電圧に接続された V_{REFHI}/V_{REFLO}。内部または外部基準電圧モードを使用する場合、V_{REFHI} は V_{DDA} を超えないようにする必要があります。)

$$\text{Digital Value} = 0, \quad \text{when input} \le 0\ \text{V}$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - V_{REFLO}}{V_{REFHI} - V_{REFLO}}, \quad \text{when } 0\ \text{V} < \text{input} < V_{REFHI}$$

$$\text{Digital Value} = 4095, \quad \text{when input} \ge V_{REFHI}$$

- 最大 16 チャネルの多重化された入力
- トリガ、サンプル・ウィンドウ、チャネルとして構成可能な 16 の SOC
- 変換値を格納するための 16 の結果レジスタ (個別にアドレス指定可能)
- 複数のトリガ・ソース
  - S/W – ソフトウェア即時開始
  - ePWM 1～4
  - GPIO XINT2
  - CPU タイマ 0/1/2
  - ADCINT1/2
- 9 つのフレキシブルな PIE 割り込み、任意の変換後の割り込み要求を構成可能

Copyright © 2022 Texas Instruments Incorporated

表 9-21. ADC 構成および制御レジスタ

レジスタ名	アドレス	サイズ (x16)	EALLOW 保護	説明
ADCCTL1	0x7100	1	あり	制御 1 レジスタ
ADCCTL2	0x7101	1	あり	制御 2 レジスタ
ADCINTFLG	0x7104	1	なし	割り込みフラグ・レジスタ
ADCINTFLGCLR	0x7105	1	なし	割り込みフラグ・クリア・レジスタ
ADCINTOVF	0x7106	1	なし	割り込みオーバーフロー・レジスタ
ADCINTOVFCLR	0x7107	1	なし	割り込みオーバーフロー・クリア・レジスタ
INTSEL1N2	0x7108	1	あり	割り込み 1 および 2 選択レジスタ
INTSEL3N4	0x7109	1	あり	割り込み 3 および 4 選択レジスタ
INTSEL5N6	0x710A	1	あり	割り込み 5 および 6 選択レジスタ
INTSEL7N8	0x710B	1	あり	割り込み 7 および 8 選択レジスタ
INTSEL9N10	0x710C	1	あり	割り込み 9 選択レジスタ (割り込み 10 選択は予約済み)
SOCPRICTL	0x7110	1	あり	SOC 優先度制御レジスタ
ADCSAMPLEMODE	0x7112	1	あり	サンプリング・モード・レジスタ
ADCINTSOCSEL1	0x7114	1	あり	割り込み SOC 選択 1 レジスタ (8 チャネル分)
ADCINTSOCSEL2	0x7115	1	あり	割り込み SOC 選択 2 レジスタ (8 チャネル分)
ADCSOCFLG1	0x7118	1	なし	SOC フラグ 1 レジスタ (16 チャネル分)
ADCSOCFRC1	0x711A	1	なし	SOC 強制 1 レジスタ (16 チャネル分)
ADCSOCOVF1	0x711C	1	なし	SOC オーバーフロー 1 レジスタ (16 チャネル分)
ADCSOCOVFCLR1	0x711E	1	なし	SOC オーバーフロー・クリア 1 レジスタ (16 チャネル分)
ADCSOC0CTL～ ADCSOC15CTL	0x7120～ 0x712F	1	あり	SOC0 制御レジスタ～SOC15 制御レジスタ
ADCREFTRIM	0x7140	1	あり	基準電圧調整レジスタ
ADCOFFTRIM	0x7141	1	あり	オフセット調整レジスタ
COMPHYSTCTL	0x714C	1	あり	コンパレータ・ヒステリシス制御レジスタ
ADCREV	0x714F	1	なし	リビジョン・レジスタ

表 9-22. ADC 結果レジスタ (PF0 に割り当て)

レジスタ名	アドレス	サイズ (x16)	EALLOW 保護	説明
ADCRESULT0～ADCRESULT15	0xB00～0xB0F	1	なし	ADC 結果 0 レジスタ～ADC 結果 15 レジスタ

Copyright © 2022 Texas Instruments Incorporated

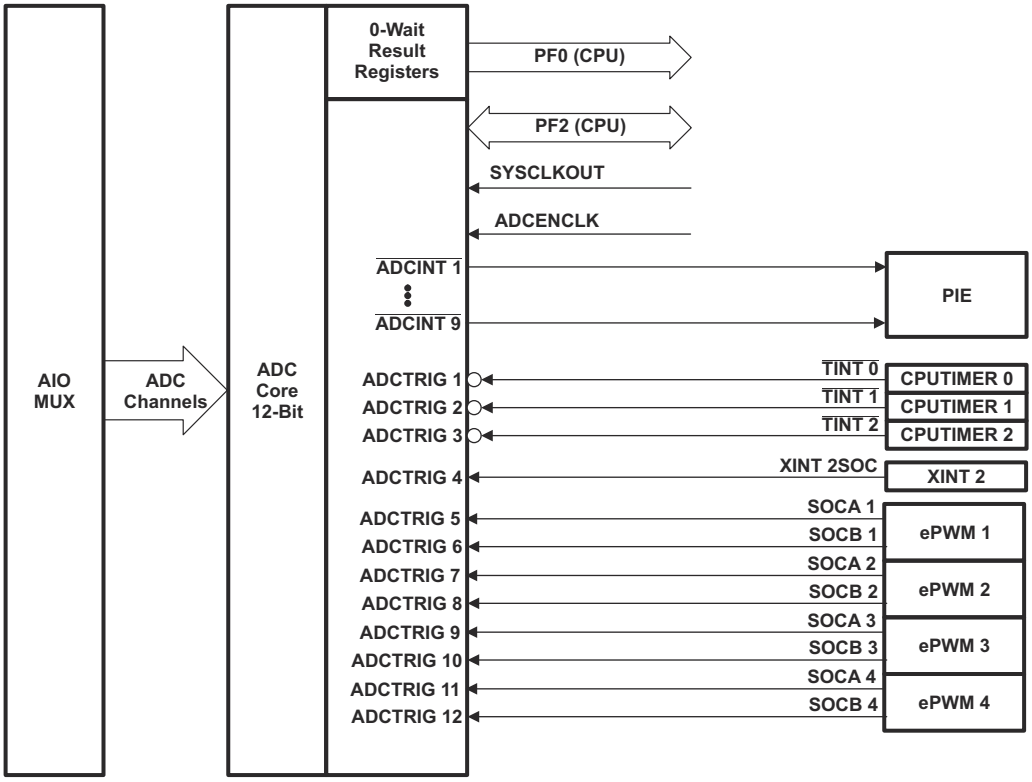


図 9-17. ADC の接続

ADC を使わない場合の ADC の接続

ADC を使わない場合も、アナログ電源ピンの接続を維持することを推奨します。アプリケーションで ADC を使わない場合の ADC ピンの接続方法の概要を以下に示します。

- V_{DDA} – V_{DDIO} に接続
- V_{SSA} – V_{SS} に接続
- V_{REFLO} – V_{SS} に接続
- ADCINAn、ADCINBn、V_{REFHI} – V_{SSA} に接続

アプリケーションで ADC モジュールを使う場合、使っていない ADC 入力ピンをアナログ・グランド (V_{SSA}) に接続する必要があります。

注

AIO 機能と多重化された未使用の ADCIN ピンは、アナログ・グランドに直接接続しないでください。これらのピンは、1kΩ の抵抗を介してグランドに接続する必要があります。これは、誤ったコードによってこれらのピンが AIO 出力として構成され、接地されたピンを論理 High 状態に駆動するのを防止するためです。

ADC を使わない場合、消費電力を節約するため、ADC モジュールへのクロックを確実に停止します。

Copyright © 2022 Texas Instruments Incorporated

9.9.1.1.2 ADC 変換開始の電気的データ / タイミング

9.9.1.1.2.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。

パラメータ		最小値	最大値	単位
$t_{w(ADCSOCL)}$	パルス幅、$\overline{ADCSOCxO}$ Low	$32t_{c(HCO)}$		サイクル数

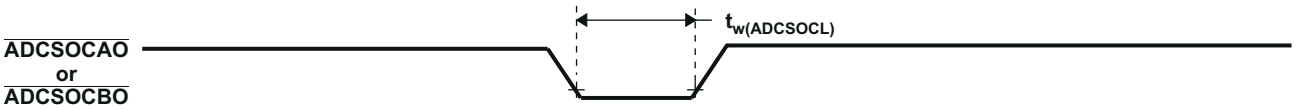


図 9-18. $\overline{ADCSOCAO}$ または $\overline{ADCSOCBO}$ のタイミング

9.9.1.1.3 オンチップ A/D コンバータ (ADC) の電気的データ / タイミング

9.9.1.1.3.1 ADC Electrical Characteristics

PARAMETER		MIN	TYP	MAX	UNIT
DC SPECIFICATIONS					
Resolution		12			Bits
ADC clock	60-MHz device	0.001		60	MHz
Sample Window	28027/26/23/22	7		64	ADC Clocks
	28021/20/200	14		64	
ACCURACY					
INL (Integral nonlinearity) at ADC Clock ≤ 30 MHz(1)		–4		4	LSB
DNL (Differential nonlinearity) at ADC Clock ≤ 30 MHz, no missing codes		–1		1	LSB
Offset error (2)	Executing Device_Cal function	–20	0	20	LSB
	Executing periodic self-recalibration(3)	–4	0	4	
Overall gain error with internal reference		–60		60	LSB
Overall gain error with external reference		–40		40	LSB
Channel-to-channel offset variation		–4		4	LSB
Channel-to-channel gain variation		–4		4	LSB
ADC temperature coefficient with internal reference			–50		ppm/°C
ADC temperature coefficient with external reference			–20		ppm/°C
V_{REFLO}			–100		µA
V_{REFHI}			100		µA
ANALOG INPUT					
Analog input voltage with internal reference		0		3.3	V
Analog input voltage with external reference		V_{REFLO}		V_{REFHI}	V
V_{REFLO} input voltage(4)		V_{SSA}		V_{SSA}	V
V_{REFHI} input voltage(5)	with $V_{REFLO} = V_{SSA}$	1.98		V_{DDA}	V
Input capacitance			5		pF
Input leakage current			±5		µA

(1) INL will degrade when the ADC input voltage goes above V_{DDA}.
(2) 1 LSB has the weighted value of full-scale range (FSR)/4096. FSR is 3.3 V with internal reference and V_{REFHI} - V_{REFLO} for external reference.
(3) Periodic self-recalibration will remove system-level and temperature dependencies on the ADC zero offset error. This can be performed as needed in the application without sacrificing an ADC channel by using the procedure listed in the "ADC Zero Offset Calibration" section of the Analog-to-Digital Converter and Comparator chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.
(4) V_{REFLO} is always connected to V_{SSA} .
(5) V_{REFHI} must not exceed V_{DDA} when using either internal or external reference modes. Because V_{REFHI} is tied to ADCINA0 , the input signal on ADCINA0 must not exceed V_{DDA}.

Copyright © 2022 Texas Instruments Incorporated

9.9.1.1.3.2 ADC の電力モード

ADC の動作モード	条件	I_{DDA}	単位
モード A – 動作モード	ADC クロック有効 バンド・ギャップ・オン (ADCBGPWD = 1) 基準電圧オン (ADCREFPWD = 1) ADC 電源オン (ADCPWDN = 1)	13	mA
モード B – クイック・ウェイク・モード	ADC クロック有効 バンド・ギャップ・オン (ADCBGPWD = 1) 基準電圧オン (ADCREFPWD = 1) ADC 電源オン (ADCPWDN = 0)	4	mA
モード C – コンパレータのみモード	ADC クロック有効 バンド・ギャップ・オン (ADCBGPWD = 1) 基準電圧オン (ADCREFPWD = 0) ADC 電源オン (ADCPWDN = 0)	1.5	mA
モード D – オフ・モード	ADC クロック有効 バンド・ギャップ・オン (ADCBGPWD = 0) 基準電圧オン (ADCREFPWD = 0) ADC 電源オン (ADCPWDN = 0)	0.075	mA

9.9.1.1.3.3 内部温度センサ

9.9.1.1.3.3.1 Temperature Sensor Coefficient

PARAMETER(1)		MIN	TYP	MAX	UNIT
T_{SLOPE}	Degrees C of temperature movement per measured ADC LSB change of the temperature sensor		0.18(3) (2)		°C/LSB
T_{OFFSET}	ADC output at 0°C of the temperature sensor		1750		LSB

(1) The temperature sensor slope and offset are given in terms of ADC LSBs using the internal reference of the ADC. Values must be adjusted accordingly in external reference mode to the external reference voltage.
(2) Output of the temperature sensor (in terms of LSBs) is sign-consistent with the direction of the temperature movement. Increasing temperatures will give increasing ADC values relative to an initial value; decreasing temperatures will give decreasing ADC values relative to an initial value.
(3) ADC temperature coeffieicient is accounted for in this specification

9.9.1.1.3.4 ADC パワーアップ制御ビットのタイミング

9.9.1.1.3.4.1 ADC パワーアップ遅延

パラメータ (1)		最小値	最大値	単位
$t_{d(PWD)}$	電源投入後に ADC が落ち着くまでの遅延時間		1	ms

(1) タイミングは ADC モジュールとの互換性を保っています。2802X2803x の ADC は、最初の変換の $t_{d(PWD)}$ (ms) 前に 3 つのビットをすべて同時に駆動できます。

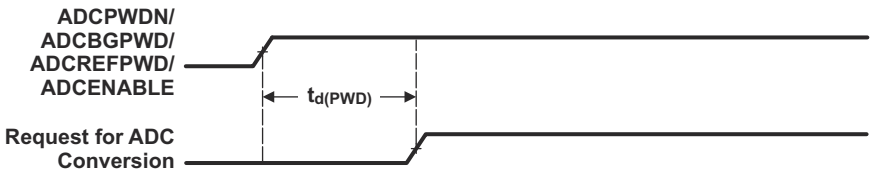
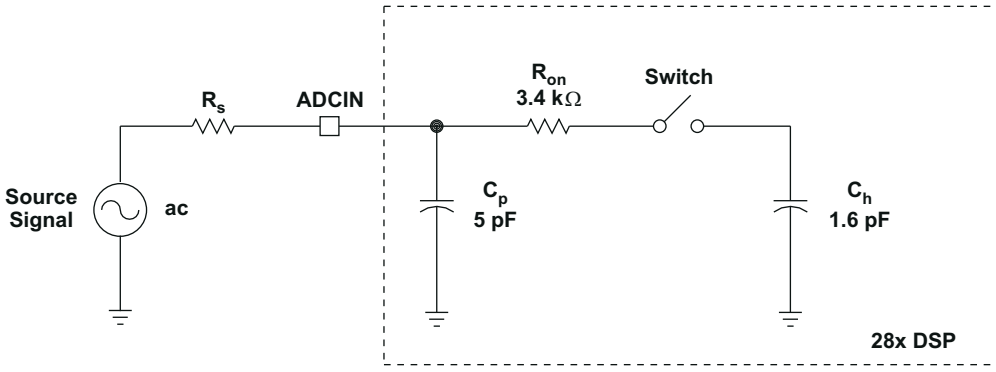


図 9-19. ADC 変換タイミング



Typical Values of the Input Circuit Components:

Switch Resistance (R_{on}): 3.4 kΩ
Sampling Capacitor (C_h): 1.6 pF
Parasitic Capacitance (C_p): 5 pF
Source Resistance (R_s): 50 Ω

図 9-20. ADC の入力インピーダンス・モデル

Copyright © 2022 Texas Instruments Incorporated

9.9.1.1.3.5 ADC のシーケンシャルおよび同時タイミング

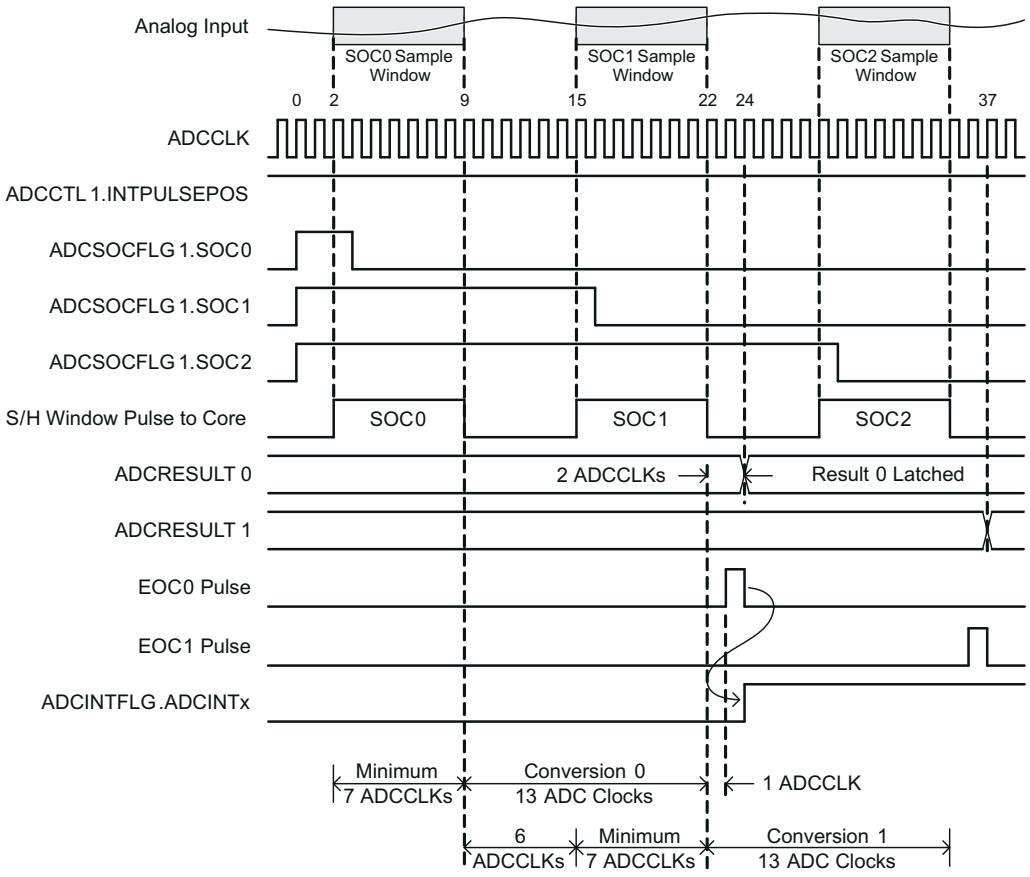


図 9-21. シーケンシャル・モード / 遅延割り込みパルスのタイミング例：

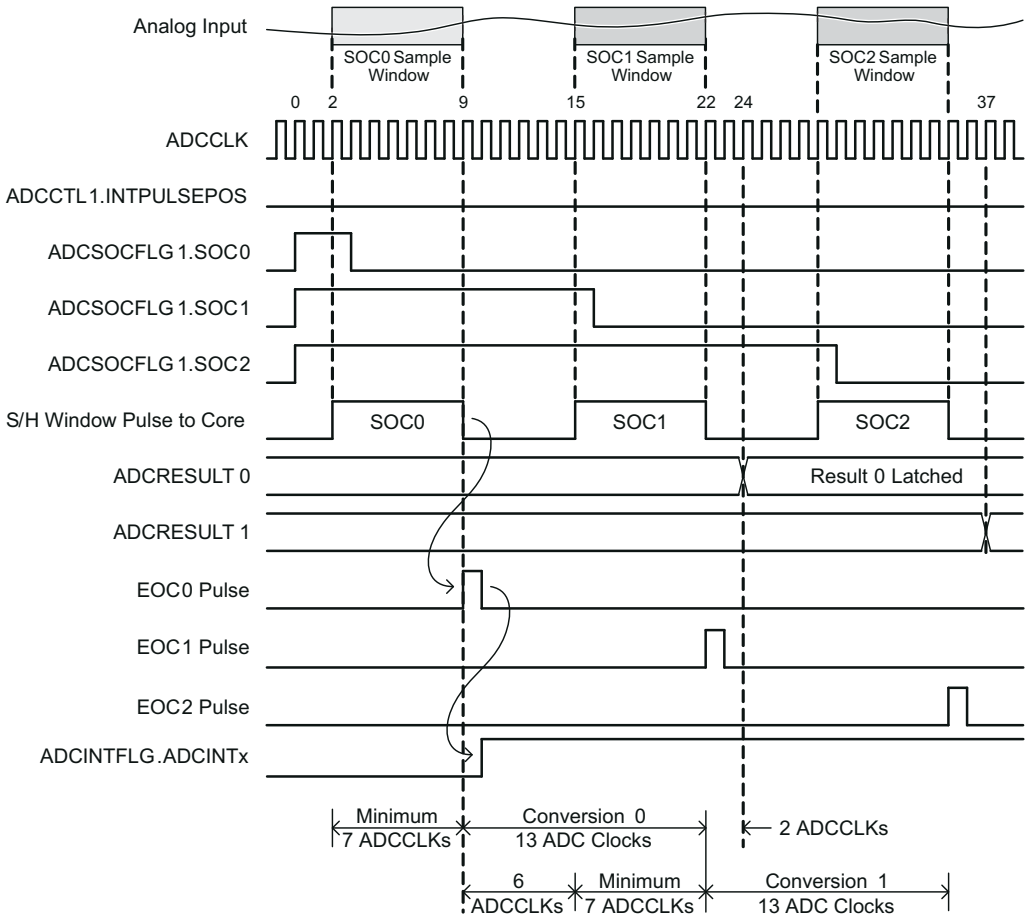


図 9-22. シーケンシャル・モード / 早期割り込みパルスのタイミング例：

Copyright © 2022 Texas Instruments Incorporated

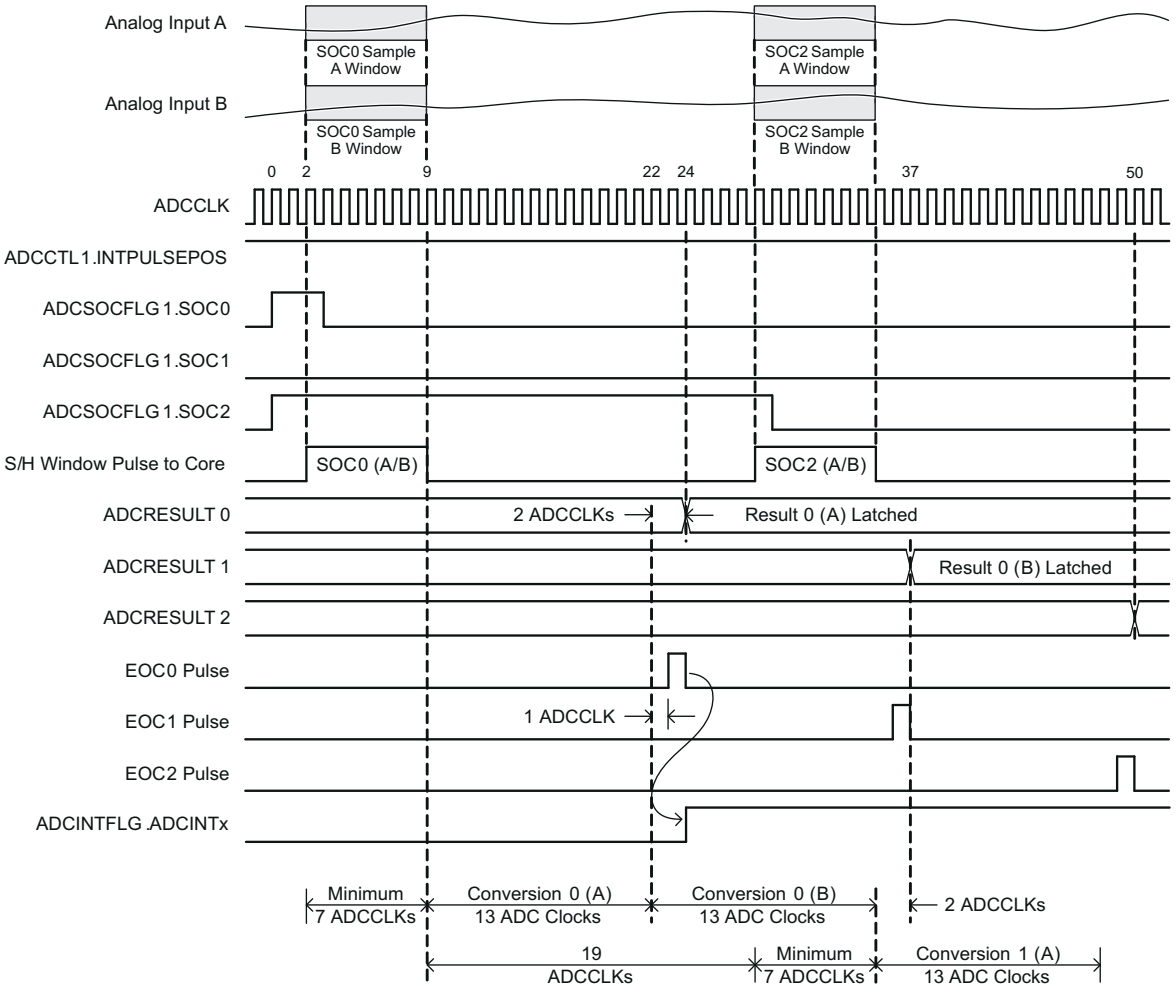


図 9-23. 同時モード / 遅延割り込みパルスのタイミング例：

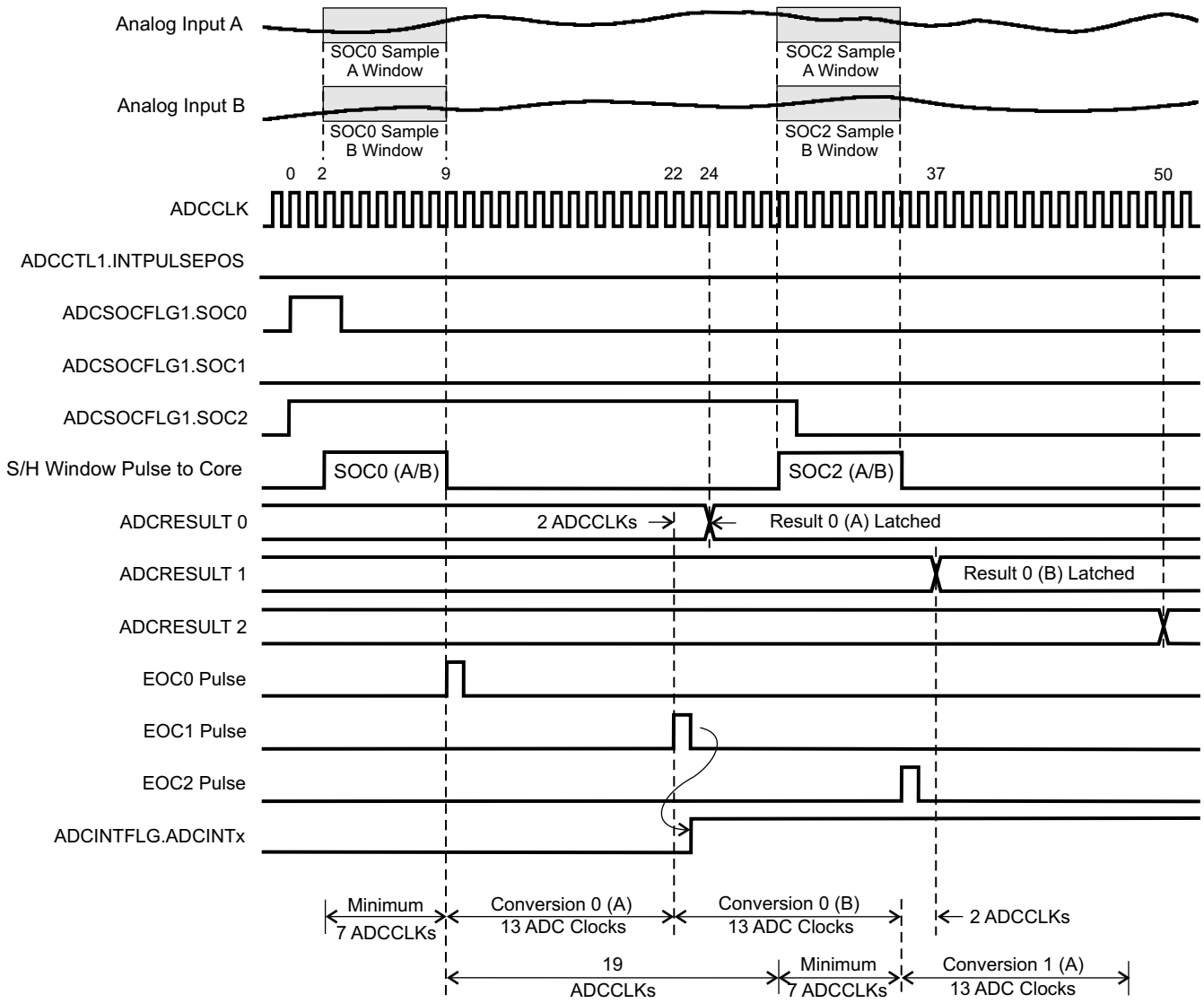


図 9-24. 同時モード / 早期割り込みパルスのタイミング例：

Copyright © 2022 Texas Instruments Incorporated

9.9.1.2 ADC MUX

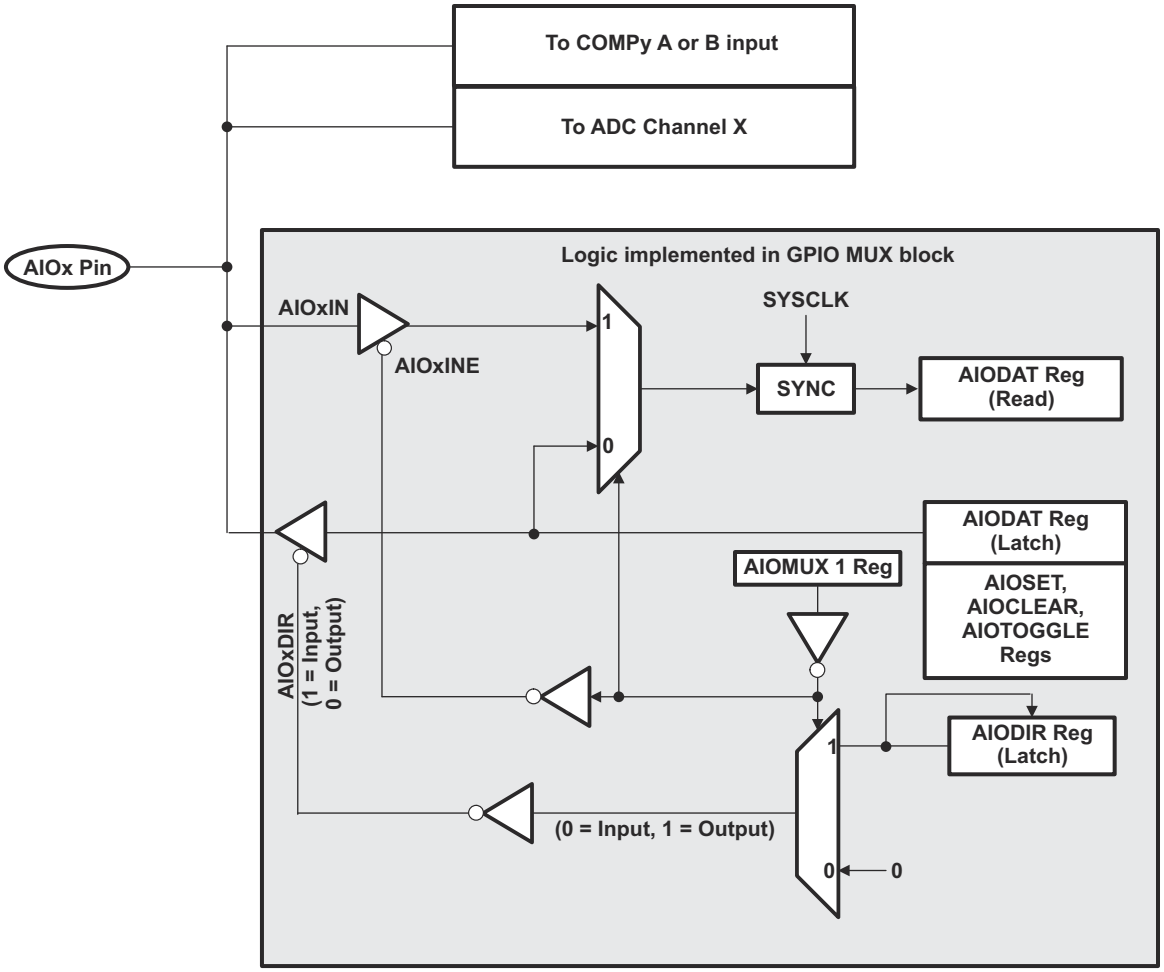


図 9-25. AIOx ピンの多重化

ADC チャネルおよびコンパレータ機能は常に利用できます。デジタル I/O 機能は、AIOMUX1 レジスタの各ビットが 0 のときにのみ利用できます。このモードでは、AIODAT レジスタを読み出すと、実際のピンの状態が返されます。

AIOMUX1 レジスタの各ビットを 1 にすると、デジタル I/O 機能は無効化されます。このモードでは、AIODAT レジスタを読み出すと、AIODAT レジスタの出力ラッチが返されます。また、アナログ信号がノイズを発生させないように、入力デジタル I/O バッファは無効化されます。

リセットと同時に、デジタル機能は無効化されます。アナログ入力としてピンを使用する場合、そのピンの AIO 機能を無効化しておく必要があります。

Copyright © 2022 Texas Instruments Incorporated

9.9.1.3 コンパレータ・ブロック

図 9-26 に、コンパレータ・モジュールとシステムのその他の部分との接続を示します。

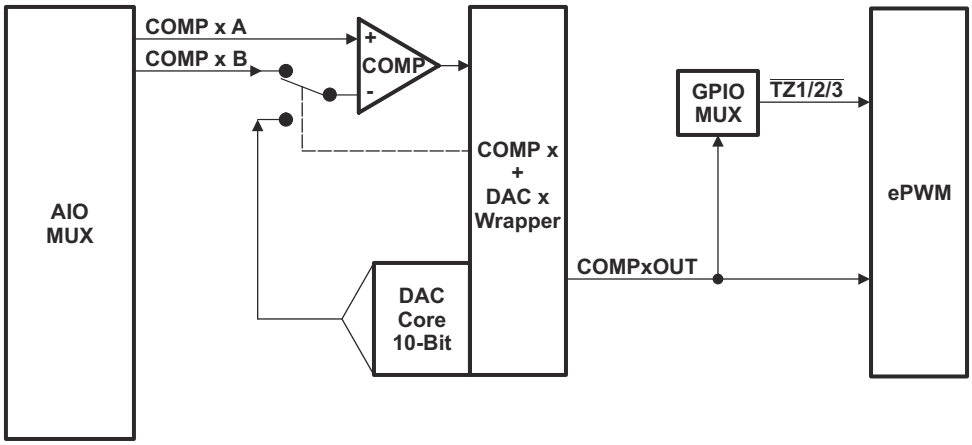


図 9-26. コンパレータのブロック図

表 9-23. コンパレータ制御レジスタ

レジスタ名	COMP1 アドレス	COMP2 アドレス (1)	サイズ (x16)	EALLOW 保護	説明
COMPCTL	0x6400	0x6420	1	あり	コンパレータ制御レジスタ
COMPSTS	0x6402	0x6422	1	なし	コンパレータ・ステータス・レジスタ
DACCTL	0x6404	0x6424	1	あり	DAC 制御レジスタ
DACVAL	0x6406	0x6426	1	なし	DAC 値レジスタ
RAMPMAXREF_ACTIVE	0x6408	0x6428	1	なし	ランプ・ジェネレータ基準電圧最大値 (アクティブ) レジスタ
RAMPMAXREF_SHDW	0x640A	0x642A	1	なし	ランプ・ジェネレータ基準電圧最大値 (シャドウ) レジスタ
RAMPDECVAL_ACTIVE	0x640C	0x642C	1	なし	ランプ・ジェネレータ・デクリメント値 (アクティブ) レジスタ
RAMPDECVAL_SHDW	0x640E	0x642E	1	なし	ランプ・ジェネレータ・デクリメント値 (シャドウ) レジスタ
RAMPSTS	0x6410	0x6430	1	なし	ランプ・ジェネレータ・ステータス・レジスタ

(1) コンパレータ 2 は 48 ピン PT パッケージでのみ利用できます。

Copyright © 2022 Texas Instruments Incorporated

9.9.1.3.1 オンチップ・コンパレータ / DAC の電気的データ / タイミング

9.9.1.3.1.1 Electrical Characteristics of the Comparator/DAC

PARAMETER	MIN	TYP	MAX	UNITS
Comparator				
Comparator Input Range		$V_{SSA} – V_{DDA}$		V
Comparator response time to PWM Trip Zone (Async)		30		ns
Input Offset		±5		mV
Input Hysteresis(1)		35		mV
DAC				
DAC Output Range		$V_{SSA} – V_{DDA}$		V
DAC resolution		10		bits
DAC settling time		See 図 9-27		
DAC Gain		–1.5%		
DAC Offset		10		mV
Monotonic		Yes		
INL		±3		LSB

(1) Hysteresis on the comparator inputs is achieved with a Schmidt trigger configuration. This results in an effective 100-kΩ feedback resistance between the output of the comparator and the noninverting input of the comparator. There is an option to disable the hysteresis and, with it, the feedback resistance; see the Analog-to-Digital Converter and Comparator chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual* for more information on this option if needed in your system.

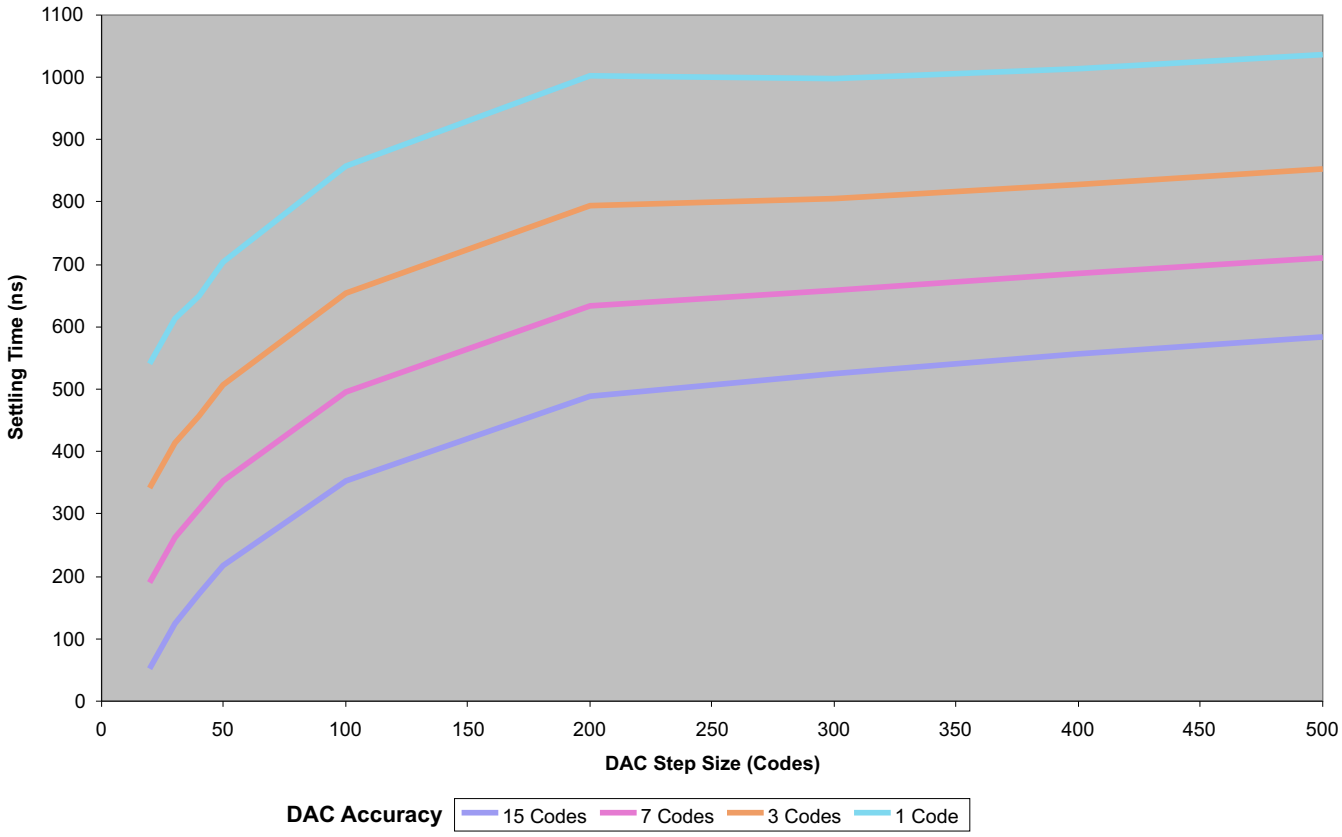


図 9-27. DAC Settling Time

9.9.2 詳細説明

積分非直線性

積分非直線性とは、ゼロからフルスケールに引かれた直線からの各コードの偏差を意味します。ゼロとして使用される点は、最初のコード遷移の 1.5LSB 下のレベルとして定義されます。フルスケール点は、最後のコード遷移の 1.5LSB 上のレベルとして定義されます。偏差は、個々のコードの中心からこれらの 2 点を結ぶ真の直線までの距離として測定されます。

微分非直線性

理想的な ADC は、正確に 1LSB 離れたコード遷移を示します。DNL とは、この理想値からの偏差です。微分非直線性誤差が ±1LSB 未満であれば、ミッシング・コード (コード欠け) は発生しません。

ゼロ・オフセット

メジャー・キャリー遷移は、アナログ入力が 0V のときに発生します。ゼロ誤差は、その点からの実際の遷移の偏差として定義されます。

ゲイン誤差

最初のコード遷移は、負のフルスケールの 1.5LSB 上のアナログ値で発生します。最後の遷移は、公称フルスケールの 1.5LSB 下のアナログ値で発生します。ゲイン誤差は、最初と最後のコード遷移の実際の差の、理想的な差からの偏差です。

信号対雑音比 + 歪み (SINAD)

SINAD とは、ナイキスト周波数 (高調波を含むが DC を除く) より低いその他のスペクトル成分の実効値の合計に対する、測定された入力信号の実効値の比率です。SINAD の値はデシベル単位で表されます。

有効分解能 (ENOB)

正弦波の場合、SINAD はビット数を単位として表すことができます。次の式を使います。 $N = \frac{(SINAD - 1.76)}{6.02}$ N (有効ビット数) で表される性能の指標を得ることができます。このようにして、特定の入力周波数の正弦波入力に対するデバイスの有効ビット数は、その SINAD の測定値から直接計算できます。

全高調波歪み (THD)

THD とは、測定された入力信号の実効値に対する、最初の 9 つの高調波成分の実効値の合計の比率であり、パーセンテージとしてまたはデシベル単位で表されます。

スプリアス・フリー・ダイナミック・レンジ (SFDR)

SFDR とは、入力信号の振幅の実効値とピーク・スプリアス信号との差 (単位:dB) です。

Copyright © 2022 Texas Instruments Incorporated

9.9.3 Serial Peripheral Interface (SPI) Module

The device includes the four-pin serial peripheral interface (SPI) module. One SPI module (SPI-A) is available. The SPI is a high-speed, synchronous serial I/O port that allows a serial bit stream of programmed length (1 to 16 bits) to be shifted into and out of the device at a programmable bit-transfer rate. Normally, the SPI is used for communications between the MCU and external peripherals or another processor. Typical applications include external I/O or peripheral expansion through devices such as shift registers, display drivers, and ADCs. Multidevice communications are supported by the master/slave operation of the SPI.

The SPI module features include:

- Four external pins:
  - SPISOMI: SPI slave-output/master-input pin
  - SPISIMO: SPI slave-input/master-output pin
  - $\overline{\text{SPISTE}}$: SPI slave transmit-enable pin
  - SPICLK: SPI serial-clock pin

注

All four pins can be used as GPIO if the SPI module is not used.

- Two operational modes: master and slave

  Baud rate: 125 different programmable rates.

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{SPIBRR} + 1)} \qquad \text{when SPIBRR} = 3 \text{ to } 127$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{4} \qquad \text{when SPIBRR} = 0, 1, 2$$

- Data word length: 1 to 16 data bits
- Four clocking schemes (controlled by clock polarity and clock phase bits) include:
  - Falling edge without phase delay: SPICLK active-high. SPI transmits data on the falling edge of the SPICLK signal and receives data on the rising edge of the SPICLK signal.
  - Falling edge with phase delay: SPICLK active-high. SPI transmits data one half-cycle ahead of the falling edge of the SPICLK signal and receives data on the falling edge of the SPICLK signal.
  - Rising edge without phase delay: SPICLK inactive-low. SPI transmits data on the rising edge of the SPICLK signal and receives data on the falling edge of the SPICLK signal.
  - Rising edge with phase delay: SPICLK inactive-low. SPI transmits data one half-cycle ahead of the rising edge of the SPICLK signal and receives data on the rising edge of the SPICLK signal.
- Simultaneous receive and transmit operation (transmit function can be disabled in software)
- Transmitter and receiver operations are accomplished through either interrupt-driven or polled algorithms.
- Nine SPI module control registers: In control register frame beginning at address 7040h.

注

All registers in this module are 16-bit registers that are connected to Peripheral Frame 2. When a register is accessed, the register data is in the lower byte (7–0), and the upper byte (15–8) is read as zeros. Writing to the upper byte has no effect.

Copyright © 2022 Texas Instruments Incorporated

Enhanced feature:

- 4-level transmit/receive FIFO
- Delayed transmit control
- Bidirectional 3 wire SPI mode support

The SPI port operation is configured and controlled by the registers listed in 表 9-24 .

表 9-24. SPI-A Registers

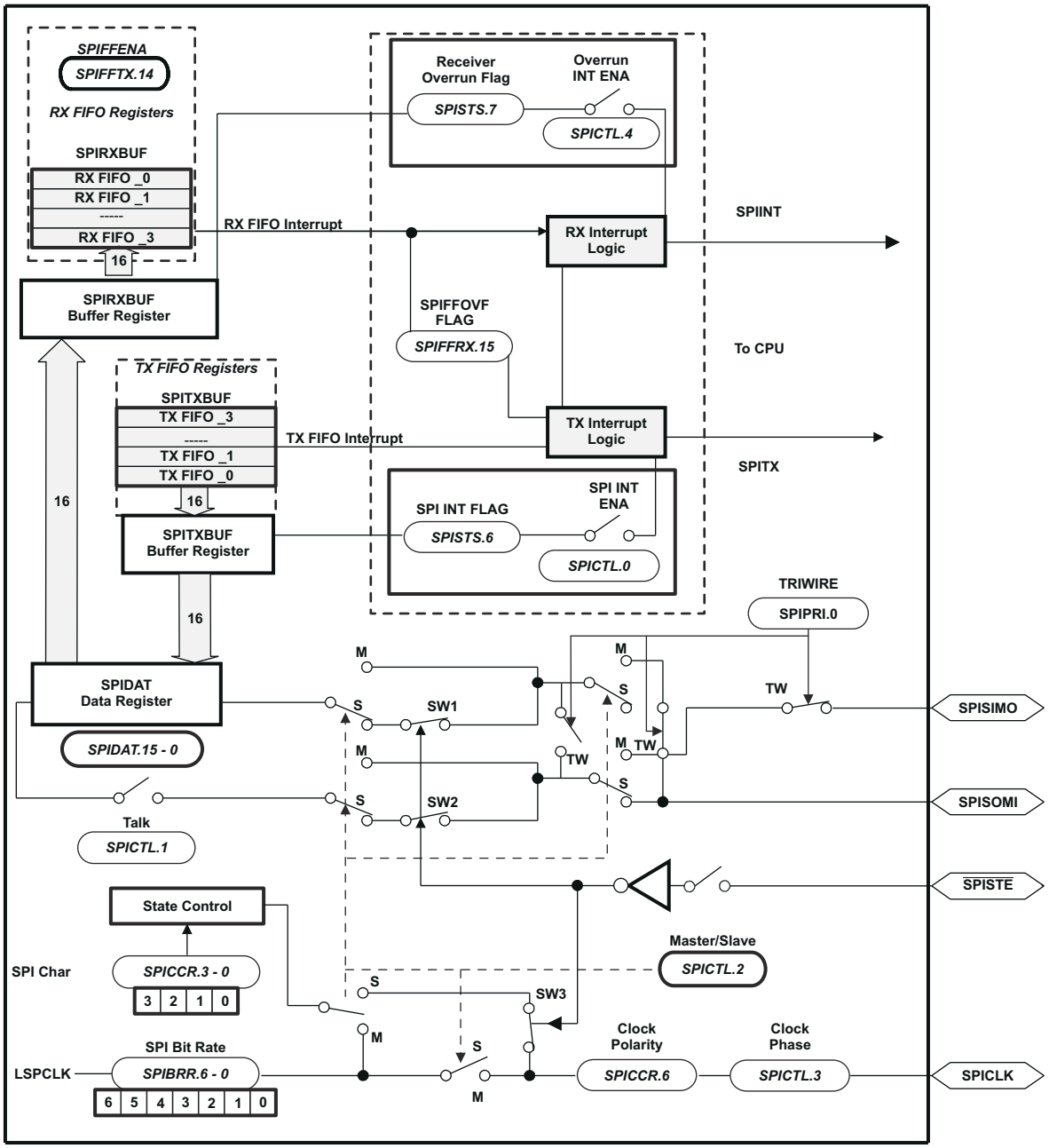
NAME	ADDRESS	SIZE (x16)	EALLOW PROTECTED	DESCRIPTION(1)
SPICCR	0x7040	1	No	SPI-A Configuration Control Register
SPICTL	0x7041	1	No	SPI-A Operation Control Register
SPISTS	0x7042	1	No	SPI-A Status Register
SPIBRR	0x7044	1	No	SPI-A Baud Rate Register
SPIRXEMU	0x7046	1	No	SPI-A Receive Emulation Buffer Register
SPIRXBUF	0x7047	1	No	SPI-A Serial Input Buffer Register
SPITXBUF	0x7048	1	No	SPI-A Serial Output Buffer Register
SPIDAT	0x7049	1	No	SPI-A Serial Data Register
SPIFFTX	0x704A	1	No	SPI-A FIFO Transmit Register
SPIFFRX	0x704B	1	No	SPI-A FIFO Receive Register
SPIFFCT	0x704C	1	No	SPI-A FIFO Control Register
SPIPRI	0x704F	1	No	SPI-A Priority Control Register

(1) Registers in this table are mapped to Peripheral Frame 2. This space only allows 16-bit accesses. 32-bit accesses produce undefined results.

For more information on the SPI, see the Serial Peripheral Interface (SPI) chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

Copyright © 2022 Texas Instruments Incorporated

図 9-28 is a block diagram of the SPI in slave mode.



A. $\overline{\text{SPISTE}}$ is driven low by the master for a slave device.

図 9-28. SPI Module Block Diagram (Slave Mode)

9.9.3.1 SPI マスタ・モードの電気的データ / タイミング

セクション 9.9.3.1.1 にマスタ・モード (クロック位相 = 0) のタイミングを示し、セクション 9.9.3.1.2 にマスタ・モード (クロック位相 = 1) のタイミングを示します。図 9-29 と図 9-30 に、タイミング波形を示します。

9.9.3.1.1 SPI Master Mode External Timing (Clock Phase = 0)

NO.(1) (2) (3) (4) (5)	PARAMETER		BRR EVEN		BRR ODD		UNIT
			MIN	MAX	MIN	MAX	
1	$t_{c(SPC)M}$	Cycle time, SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$	Pulse duration, SPICLK first pulse	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$	Pulse duration, SPICLK second pulse	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
4	$t_{d(SIMO)M}$	Delay time, SPICLK to SPISIMO valid		10		10	ns
5	$t_{v(SIMO)M}$	Valid time, SPISIMO valid after SPICLK	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
8	$t_{su(SOMI)M}$	Setup time, SPISOMI before SPICLK	26		26		ns
9	$t_{h(SOMI)M}$	Hold time, SPISOMI valid after SPICLK	0		0		ns
23	$t_{d(SPC)M}$	Delay time, $\overline{\text{SPISTE}}$ active to SPICLK	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$	Delay time, SPICLK to $\overline{\text{SPISTE}}$ inactive	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns

(1) The MASTER / SLAVE bit (SPICTL.2) is set and the CLOCK PHASE bit (SPICTL.3) is cleared.
(2) $t_{c(SPC)}$ = SPI clock cycle time = LSPCLK/4 or LSPCLK/(SPIBRR +1)
(3) $t_{c(LCO)}$ = LSPCLK cycle time
(4) Internal clock prescalers must be adjusted such that the SPI clock speed is limited to the following SPI clock rate:
Master mode transmit 25-MHz MAX, master mode receive 12.5-MHz MAX
Slave mode transmit 12.5-MAX, slave mode receive 12.5-MHz MAX.
(5) The active edge of the SPICLK signal referenced is controlled by the clock polarity bit (SPICCR.6).

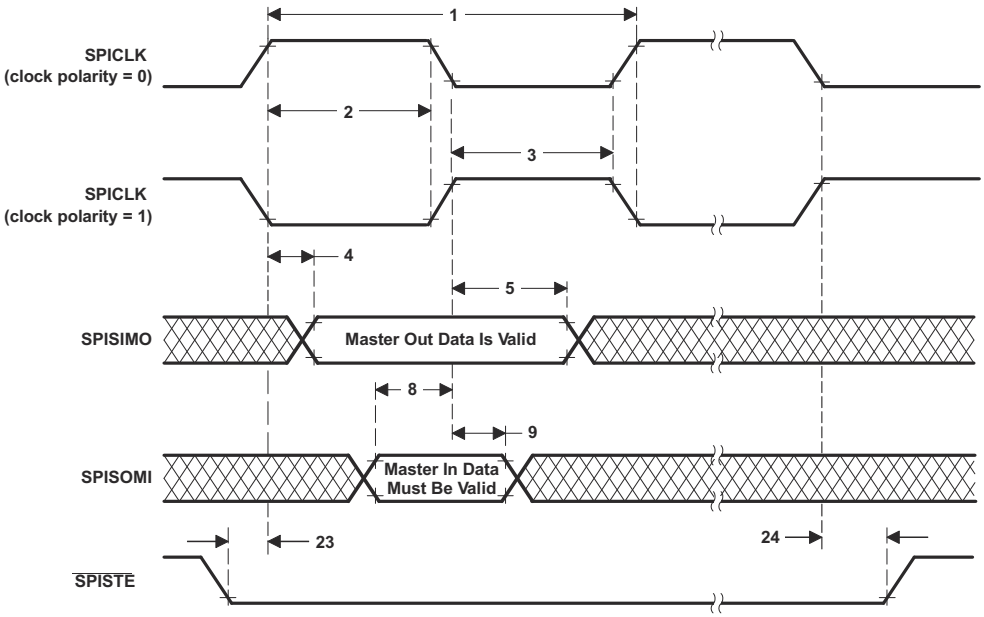


図 9-29. SPI Master Mode External Timing (Clock Phase = 0)

Copyright © 2022 Texas Instruments Incorporated

9.9.3.1.2 SPI Master Mode External Timing (Clock Phase = 1)

NO.(1) (2) (3) (4) (5)	PARAMETER		BRR EVEN		BRR ODD		UNIT
			MIN	MAX	MIN	MAX	
1	$t_{c(SPC)M}$	Cycle time, SPICLK	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$	Pulse duration, SPICLK first pulse	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$	Pulse duration, SPICLK second pulse	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
6	$t_{d(SIMO)M}$	Delay time, SPISIMO valid to SPICLK	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$		ns
7	$t_{v(SIMO)M}$	Valid time, SPISIMO valid after SPICLK	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$		ns
10	$t_{su(SOMI)M}$	Setup time, SPISOMI before SPICLK	26		26		ns
11	$t_{h(SOMI)M}$	Hold time, SPISOMI valid after SPICLK	0		0		ns
23	$t_{d(SPC)M}$	Delay time, $\overline{\text{SPISTE}}$ active to SPICLK	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$		ns
24	$t_{d(STE)M}$	Delay time, SPICLK to $\overline{\text{SPISTE}}$ inactive	$0.5t_{c(SPC)} - 10$		$0.5t_{c(SPC)} - 0.5t_{c(LSPCLK)} - 10$		ns

(1) The MASTER/SLAVE bit (SPICTL.2) is set and the CLOCK PHASE bit (SPICTL.3) is set.
(2) $t_{c(SPC)}$ = SPI clock cycle time = LSPCLK/4 or LSPCLK/(SPIBRR + 1)
(3) Internal clock prescalers must be adjusted such that the SPI clock speed is limited to the following SPI clock rate:
Master mode transmit 25 MHz MAX, master mode receive 12.5 MHz MAX
Slave mode transmit 12.5 MHz MAX, slave mode receive 12.5 MHz MAX.
(4) $t_{c(LCO)}$ = LSPCLK cycle time
(5) The active edge of the SPICLK signal referenced is controlled by the CLOCK POLARITY bit (SPICCR.6).

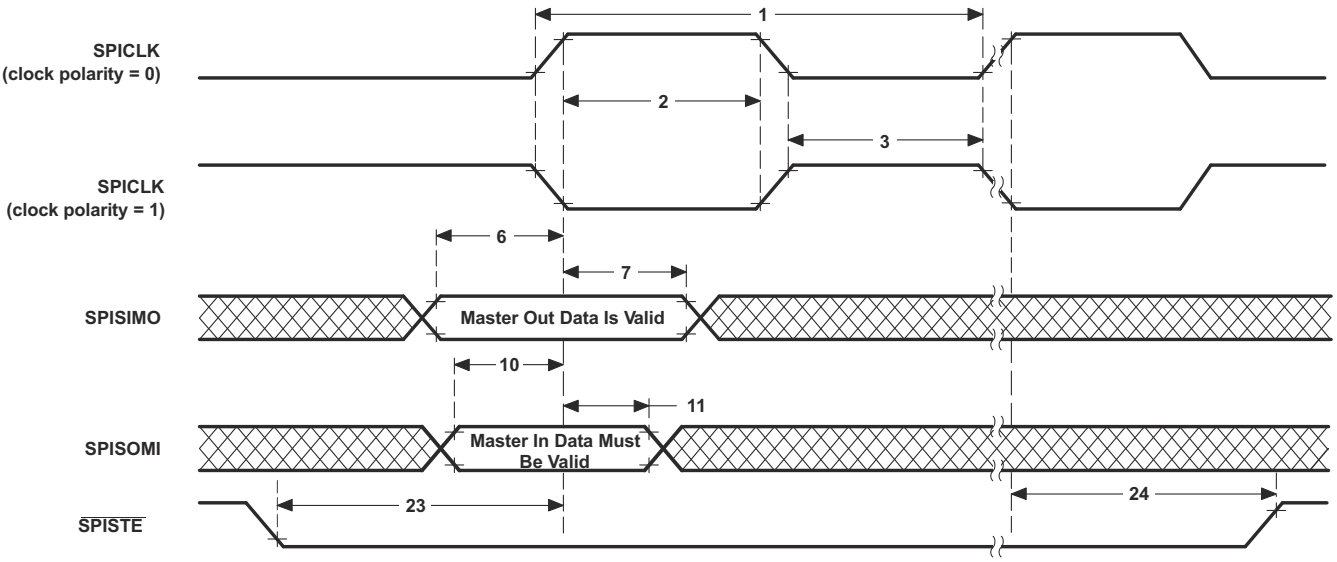


図 9-30. SPI Master Mode External Timing (Clock Phase = 1)

9.9.3.2 SPI スレーブ・モードの電気的データ / タイミング

セクション 9.9.3.2.1 にスレーブ・モード (クロック位相 = 0) のタイミングを示し、セクション 9.9.3.2.2 にスレーブ・モード (クロック位相 = 1) のタイミングを示します。図 9-31 と図 9-32 に、タイミング波形を示します。

9.9.3.2.1 SPI Slave Mode External Timing (Clock Phase = 0)

NO. (1) (2) (4) (3) (5)	PARAMETER		MIN	MAX	UNIT
12	$t_{c(SPC)S}$	Cycle time, SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	Pulse duration, SPICLK first pulse	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	Pulse duration, SPICLK second pulse	$2t_{c(SYSCLK)} - 1$		ns
15	$t_{d(SOMI)S}$	Delay time, SPICLK to SPISOMI valid		21	ns
16	$t_{v(SOMI)S}$	Valid time, SPISOMI data valid after SPICLK	0		ns
19	$t_{su(SIMO)S}$	Setup time, SPISIMO valid before SPICLK	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	Hold time, SPISIMO data valid after SPICLK	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	Setup time, $\overline{\text{SPISTE}}$ active before SPICLK	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$	Hold time, $\overline{\text{SPISTE}}$ inactive after SPICLK	$1.5t_{c(SYSCLK)}$		ns

(1) The MASTER / SLAVE bit (SPICTL.2) is cleared and the CLOCK PHASE bit (SPICTL.3) is cleared.
(2) $t_{c(SPC)}$ = SPI clock cycle time = LSPCLK/4 or LSPCLK/(SPIBRR + 1)
(3) $t_{c(LCO)}$ = LSPCLK cycle time
(4) Internal clock prescalers must be adjusted such that the SPI clock speed is limited to the following SPI clock rate:
Master mode transmit 25-MHz MAX, master mode receive 12.5-MHz MAX
Slave mode transmit 12.5-MHz MAX, slave mode receive 12.5-MHz MAX.
(5) The active edge of the SPICLK signal referenced is controlled by the CLOCK POLARITY bit (SPICCR.6).

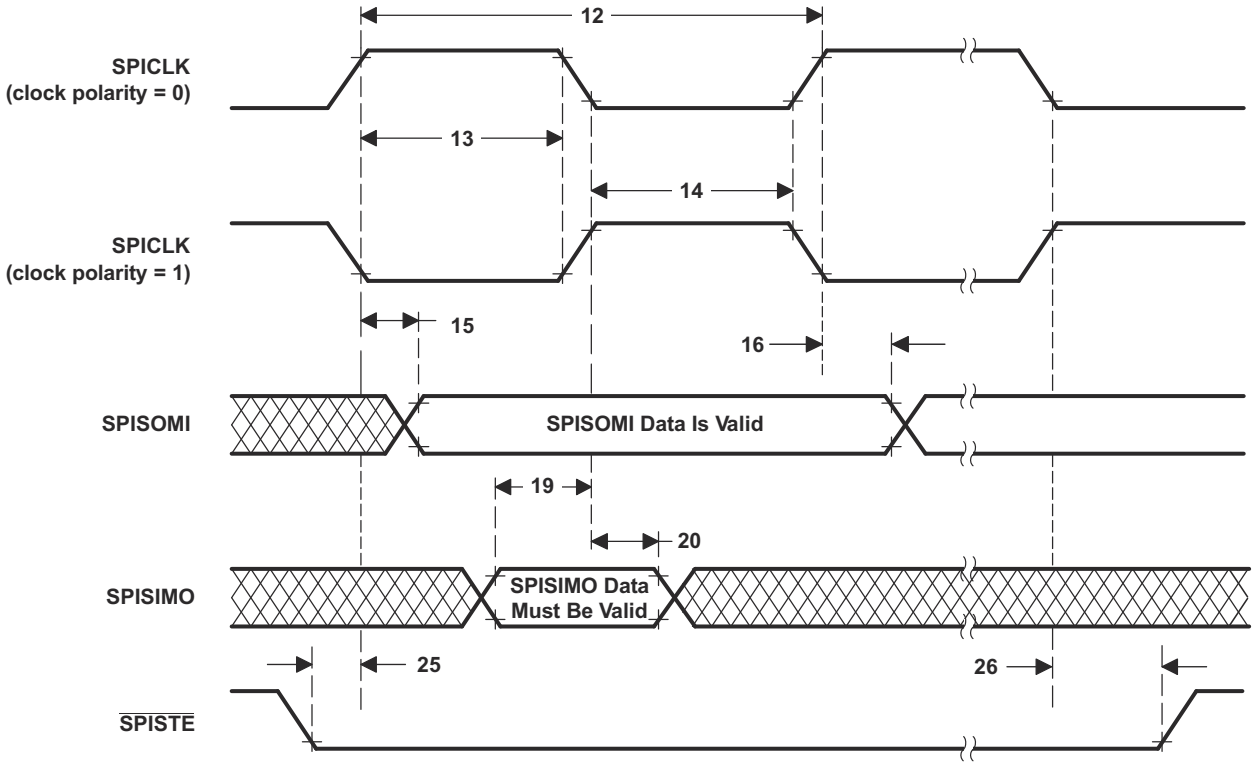


図 9-31. SPI Slave Mode External Timing (Clock Phase = 0)

Copyright © 2022 Texas Instruments Incorporated

9.9.3.2.2 SPI Slave Mode External Timing (Clock Phase = 1)

NO. (1) (2) (3) (4)	PARAMETER		MIN	MAX	UNIT
12	$t_{c(SPC)S}$	Cycle time, SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	Pulse duration, SPICLK first pulse	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	Pulse duration, SPICLK second pulse	$2t_{c(SYSCLK)} - 1$		ns
17	$t_{d(SOMI)S}$	Delay time, SPICLK to SPISOMI valid		21	ns
18	$t_{v(SOMI)S}$	Valid time, SPISOMI data valid after SPICLK	0		ns
21	$t_{su(SIMO)S}$	Setup time, SPISIMO valid before SPICLK	$1.5t_{c(SYSCLK)}$		ns
22	$t_{h(SIMO)S}$	Hold time, SPISIMO data valid after SPICLK	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	Setup time, $\overline{\text{SPISTE}}$ active before SPICLK	$1.5t_{c(SYSCLK)}$		ns
26	$t_{h(STE)S}$	Hold time, $\overline{\text{SPISTE}}$ inactive after SPICLK	$1.5t_{c(SYSCLK)}$		ns

(1) The MASTER / SLAVE bit (SPICTL.2) is cleared and the CLOCK PHASE bit (SPICTL.3) is cleared.
(2) $t_{c(SPC)}$ = SPI clock cycle time = LSPCLK/4 or LSPCLK/(SPIBRR + 1)
(3) Internal clock prescalers must be adjusted such that the SPI clock speed is limited to the following SPI clock rate:
Master mode transmit 25-MHz MAX, master mode receive 12.5-MHz MAX
Slave mode transmit 12.5-MHz MAX, slave mode receive 12.5-MHz MAX.
(4) The active edge of the SPICLK signal referenced is controlled by the CLOCK POLARITY bit (SPICCR.6).

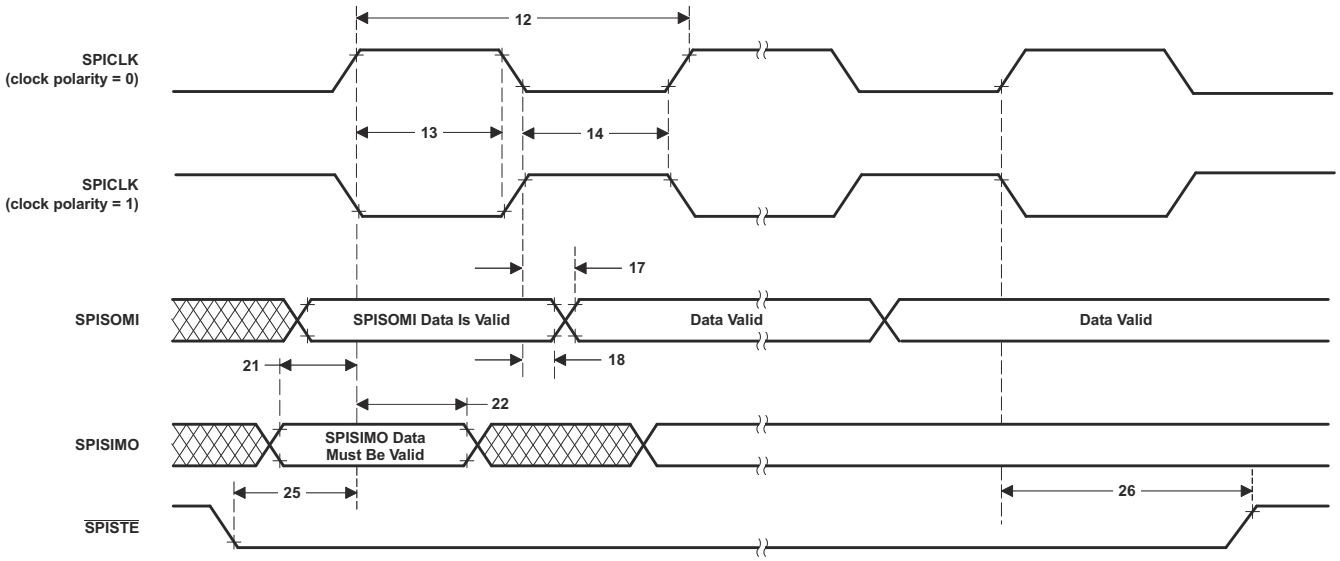


図 9-32. SPI Slave Mode External Timing (Clock Phase = 1)

Copyright © 2022 Texas Instruments Incorporated

9.9.4 Serial Communications Interface (SCI) Module

The devices include one serial communications interface (SCI) module (SCI-A). The SCI module supports digital communications between the CPU and other asynchronous peripherals that use the standard nonreturn-to-zero (NRZ) format. The SCI receiver and transmitter are double-buffered, and each has its own separate enable and interrupt bits. Both can be operated independently or simultaneously in the full-duplex mode. To ensure data integrity, the SCI checks received data for break detection, parity, overrun, and framing errors. The bit rate is programmable to over 65000 different speeds through a 16-bit baud-select register.

Features of each SCI module include:

- Two external pins:
  - SCITXD: SCI transmit-output pin
  - SCIRXD: SCI receive-input pin

注

Both pins can be used as GPIO if not used for SCI.

  - Baud rate programmable to 64K different rates:

$$\text{Baud rate} = \frac{\text{LSPCLK}}{(\text{BRR} + 1) * 8} \qquad \text{when BRR} \neq 0$$

$$\text{Baud rate} = \frac{\text{LSPCLK}}{16} \qquad \text{when BRR} = 0$$

- Data-word format
  - One start bit
  - Data-word length programmable from 1 to 8 bits
  - Optional even/odd/no parity bit
  - One or 2 stop bits
- Four error-detection flags: parity, overrun, framing, and break detection
- Two wake-up multiprocessor modes: idle-line and address bit
- Half- or full-duplex operation
- Double-buffered receive and transmit functions
- Transmitter and receiver operations can be accomplished through interrupt-driven or polled algorithms with status flags.
  - Transmitter: TXRDY flag (transmitter-buffer register is ready to receive another character) and TX EMPTY flag (transmitter-shift register is empty)
  - Receiver: RXRDY flag (receiver-buffer register is ready to receive another character), BRKDT flag (break condition occurred), and RX ERROR flag (monitoring four interrupt conditions)
- Separate enable bits for transmitter and receiver interrupts (except BRKDT)
- NRZ (nonreturn-to-zero) format

注

All registers in this module are 8-bit registers that are connected to Peripheral Frame 2. When a register is accessed, the register data is in the lower byte (7–0), and the upper byte (15–8) is read as zeros. Writing to the upper byte has no effect.

Enhanced features:

- Auto baud-detect hardware logic
- 4-level transmit/receive FIFO

Copyright © 2022 Texas Instruments Incorporated

The SCI port operation is configured and controlled by the registers listed in 表 9-25.

表 9-25. SCI-A Registers

NAME(1)	ADDRESS	SIZE (x16)	EALLOW PROTECTED	DESCRIPTION
SCICCRA	0x7050	1	No	SCI-A Communications Control Register
SCICTL1A	0x7051	1	No	SCI-A Control Register 1
SCIHBAUDA	0x7052	1	No	SCI-A Baud Register, High Bits
SCILBAUDA	0x7053	1	No	SCI-A Baud Register, Low Bits
SCICTL2A	0x7054	1	No	SCI-A Control Register 2
SCIRXSTA	0x7055	1	No	SCI-A Receive Status Register
SCIRXEMUA	0x7056	1	No	SCI-A Receive Emulation Data Buffer Register
SCIRXBUFA	0x7057	1	No	SCI-A Receive Data Buffer Register
SCITXBUFA	0x7059	1	No	SCI-A Transmit Data Buffer Register
SCIFFTXA(2)	0x705A	1	No	SCI-A FIFO Transmit Register
SCIFFRXA(2)	0x705B	1	No	SCI-A FIFO Receive Register
SCIFFCTA(2)	0x705C	1	No	SCI-A FIFO Control Register
SCIPRIA	0x705F	1	No	SCI-A Priority Control Register

(1) Registers in this table are mapped to Peripheral Frame 2 space. This space only allows 16-bit accesses. 32-bit accesses produce undefined results.
(2) These registers are new registers for the FIFO mode.

For more information on the SCI, see the Serial Communications Interface (SCI) chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

図 9-33 shows the SCI module block diagram.

Copyright © 2022 Texas Instruments Incorporated

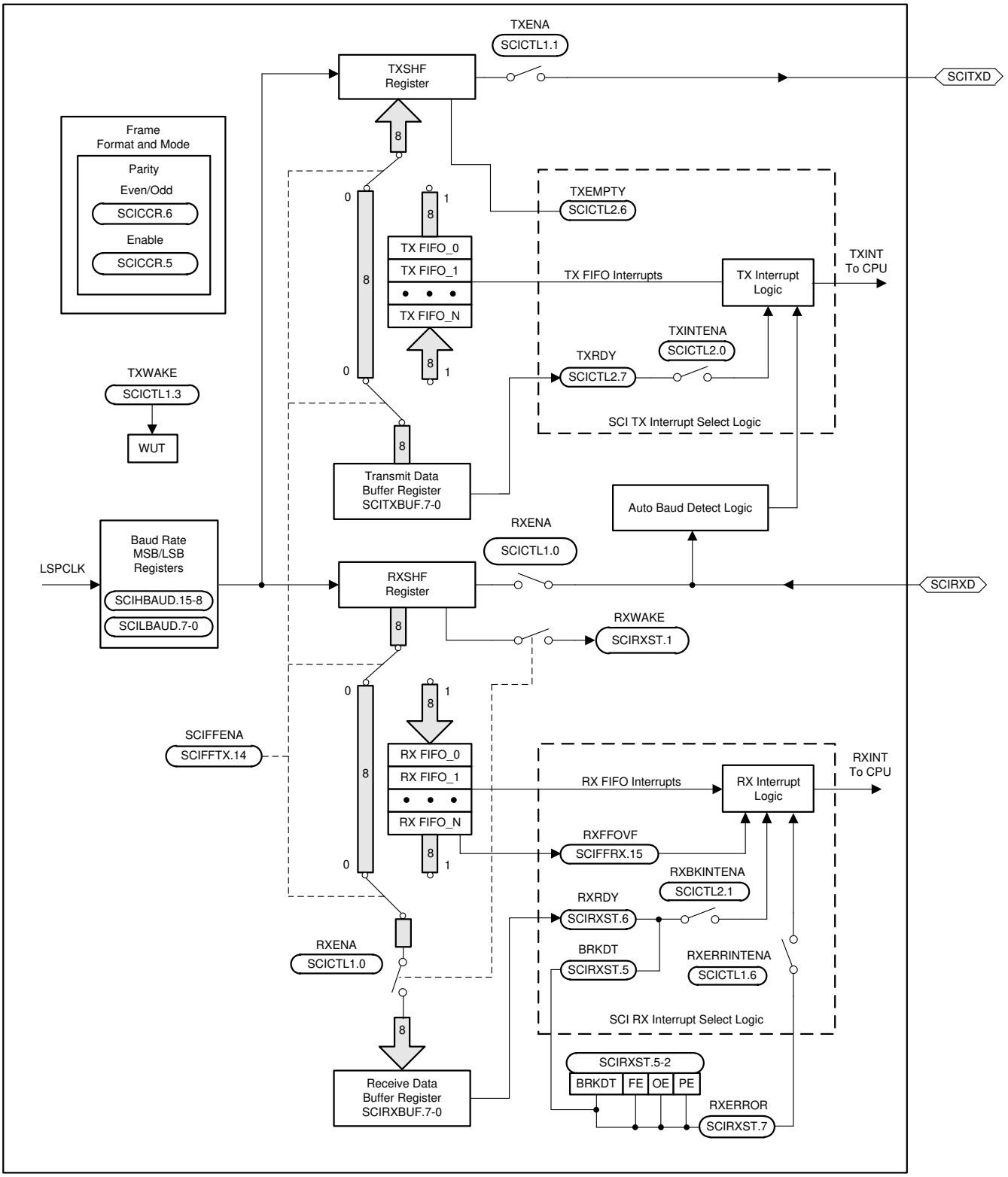


図 9-33. Serial Communications Interface (SCI) Module Block Diagram

Copyright © 2022 Texas Instruments Incorporated

9.9.5 Inter-Integrated Circuit (I2C)

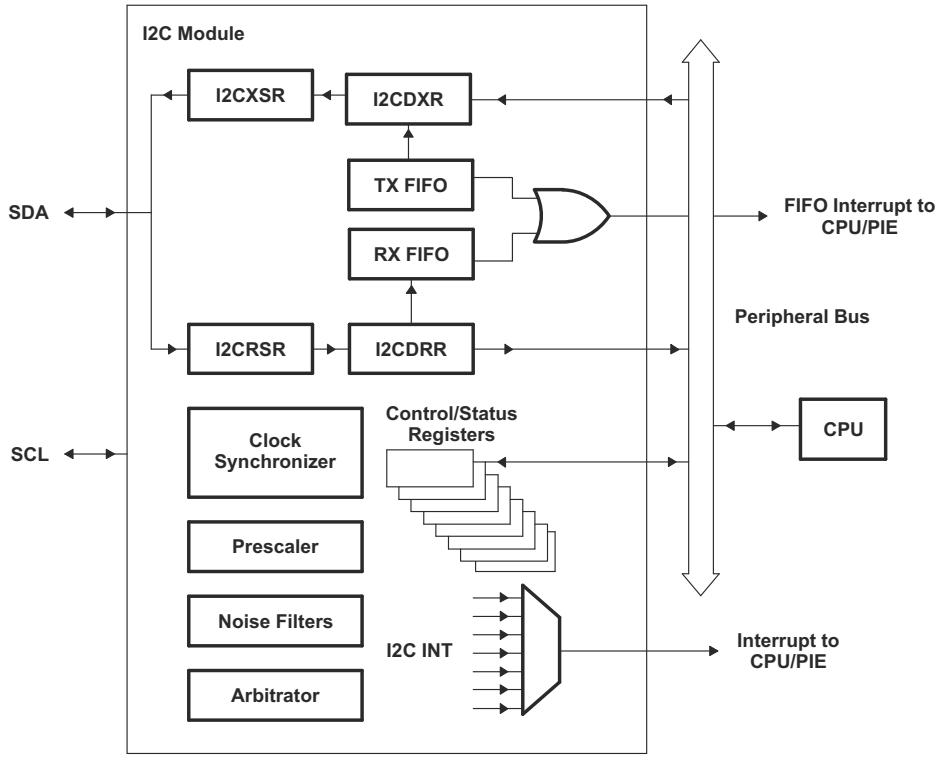
The device contains one I2C Serial Port. 図 9-34 shows how the I2C peripheral module interfaces within the device.

The I2C module has the following features:

- Compliance with the Philips Semiconductors I^2C-bus specification (version 2.1):
  - Support for 1-bit to 8-bit format transfers
  - 7-bit and 10-bit addressing modes
  - General call
  - START byte mode
  - Support for multiple master-transmitters and slave-receivers
  - Support for multiple slave-transmitters and master-receivers
  - Combined master transmit/receive and receive/transmit mode
  - Data transfer rate of from 10 kbps up to 400 kbps (I2C Fast-mode rate)
- One 4-word receive FIFO and one 4-word transmit FIFO
- One interrupt that can be used by the CPU. This interrupt can be generated as a result of one of the following conditions:
  - Transmit-data ready
  - Receive-data ready
  - Register-access ready
  - No-acknowledgment received
  - Arbitration lost
  - Stop condition detected
  - Addressed as slave
- An additional interrupt that can be used by the CPU when in FIFO mode
- Module enable/disable capability
- Free data format mode

For more information on the I2C, see the Inter-Integrated Circuit Module (I2C) chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

Copyright © 2022 Texas Instruments Incorporated



A. The I2C registers are accessed at the SYSCLKOUT rate. The internal timing and signal waveforms of the I2C port are also at the SYSCLKOUT rate.

B. The clock enable bit (I2CAENCLK) in the PCLKCRO register turns off the clock to the I2C port for low-power operation. Upon reset, I2CAENCLK is clear, which indicates the peripheral internal clocks are off.

図 9-34. I2C Peripheral Module Interfaces

The registers in 表 9-26 configure and control the I2C port operation.

表 9-26. I2C-A Registers

NAME	ADDRESS	EALLOW PROTECTED	DESCRIPTION
I2COAR	0x7900	No	I2C own address register
I2CIER	0x7901	No	I2C interrupt enable register
I2CSTR	0x7902	No	I2C status register
I2CCLKL	0x7903	No	I2C clock low-time divider register
I2CCLKH	0x7904	No	I2C clock high-time divider register
I2CCNT	0x7905	No	I2C data count register
I2CDRR	0x7906	No	I2C data receive register
I2CSAR	0x7907	No	I2C slave address register
I2CDXR	0x7908	No	I2C data transmit register
I2CMDR	0x7909	No	I2C mode register
I2CISRC	0x790A	No	I2C interrupt source register
I2CPSC	0x790C	No	I2C prescaler register
I2CFFTX	0x7920	No	I2C FIFO transmit register
I2CFFRX	0x7921	No	I2C FIFO receive register
I2CRSR	–	No	I2C receive shift register (not accessible to the CPU)
I2CXSR	–	No	I2C transmit shift register (not accessible to the CPU)

Copyright © 2022 Texas Instruments Incorporated

9.9.5.1 I2C の電気的データ / タイミング

セクション 9.9.5.1.1 に、I2C のタイミング要件を示します。セクション 9.9.5.1.2 に、I2C のスイッチング特性を示します。

9.9.5.1.1 I2C のタイミング要件

			最小値	最大値	単位
$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延		0.6		µs
$t_{su(SCL-SDA)START}$	セットアップ時間、REPEAT-START、SDA 立ち下がり遅延の前の SCL 立ち上がり		0.6		µs
$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ		0		µs
$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ		100		ns
$t_{r(SDA)}$	立ち上がり時間、SDA	入力許容範囲	20	300	ns
$t_{r(SCL)}$	立ち上がり時間、SCL	入力許容範囲	20	300	ns
$t_{f(SDA)}$	立ち下がり時間、SDA	入力許容範囲	11.4	300	ns
$t_{f(SCL)}$	立ち下がり時間、SCL	入力許容範囲	11.4	300	ns
$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SDA 立ち上がり遅延の前の SCL 立ち上がり		0.6		µs

9.9.5.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。

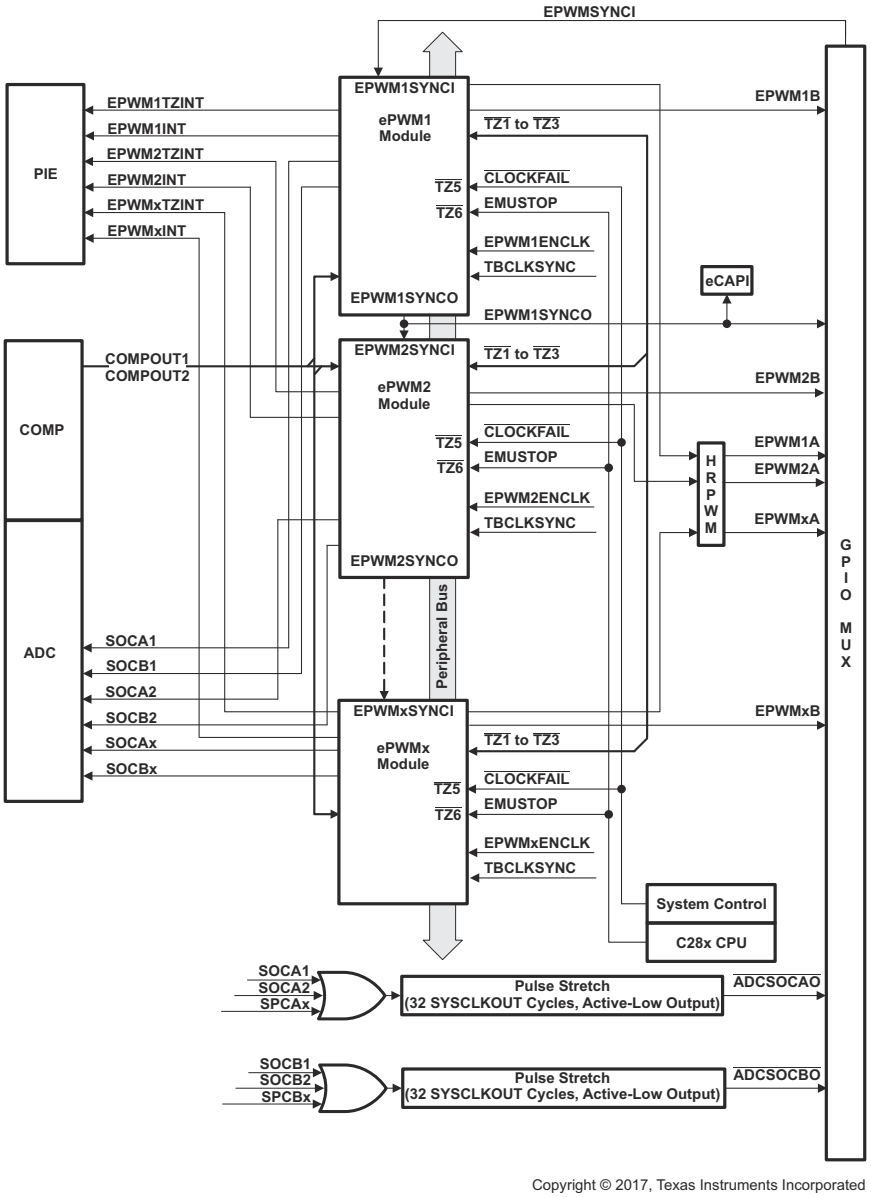
パラメータ		テスト条件	最小値	最大値	単位
f_{SCL}	SCL クロック周波数	I2C クロック・モジュールの周波数は 7MHz～12MHz であり、I2C プリスケーラおよびクロック・デバイダ・レジスタは適切に構成されている。		400	kHz
V_{il}	Low レベル入力電圧			0.3 V_{DDIO}	V
V_{ih}	High レベル入力電圧		0.7 V_{DDIO}		V
V_{hys}	入力ヒステリシス		0.05 V_{DDIO}		V
V_{ol}	Low レベル出力電圧	3mA のシンク電流	0	0.4	V
t_{LOW}	SCL クロックの Low 期間	I2C クロック・モジュールの周波数は 7MHz～12MHz であり、I2C プリスケーラおよびクロック・デバイダ・レジスタは適切に構成されている。	1.3		µs
t_{HIGH}	SCL クロックの High 期間	I2C クロック・モジュールの周波数は 7MHz～12MHz であり、I2C プリスケーラおよびクロック・デバイダ・レジスタは適切に構成されている。	0.6		µs
I_I	入力電流 (入力電圧:0.1 V_{DDIO}～0.9 V_{DDIO})		-10	10	µA

Copyright © 2022 Texas Instruments Incorporated

9.9.6 Enhanced PWM Modules (ePWM1/2/3/4)

The devices contain up to four enhanced PWM Modules (ePWM). 図 9-35 shows a block diagram of multiple ePWM modules. 図 9-36 shows the signal interconnections with the ePWM. For more details, see the Enhanced Pulse Width Modulator (ePWM) chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

表 9-27 shows the complete ePWM register set per module.



Copyright © 2017, Texas Instruments Incorporated

図 9-35. ePWM

Copyright © 2022 Texas Instruments Incorporated

表 9-27. ePWM Control and Status Registers

NAME	ePWM1	ePWM2	ePWM3	ePWM4	SIZE (x16) / #SHADOW	DESCRIPTION
TBCTL	0x6800	0x6840	0x6880	0x68C0	1 / 0	Time Base Control Register
TBSTS	0x6801	0x6841	0x6881	0x68C1	1 / 0	Time Base Status Register
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	1 / 0	Time Base Phase HRPWM Register
TBPHS	0x6803	0x6843	0x6883	0x68C3	1 / 0	Time Base Phase Register
TBCTR	0x6804	0x6844	0x6884	0x68C4	1 / 0	Time Base Counter Register
TBPRD	0x6805	0x6845	0x6885	0x68C5	1 / 1	Time Base Period Register Set
TBPRDHR	0x6806	0x6846	0x6886	0x68C6	1 / 1	Time Base Period High Resolution Register(1)
CMPCTL	0x6807	0x6847	0x6887	0x68C7	1 / 0	Counter Compare Control Register
CMPAHR	0x6808	0x6848	0x6888	0x68C8	1 / 1	Time Base Compare A HRPWM Register
CMPA	0x6809	0x6849	0x6889	0x68C9	1 / 1	Counter Compare A Register Set
CMPB	0x680A	0x684A	0x688A	0x68CA	1 / 1	Counter Compare B Register Set
AQCTLA	0x680B	0x684B	0x688B	0x68CB	1 / 0	Action Qualifier Control Register For Output A
AQCTLB	0x680C	0x684C	0x688C	0x68CC	1 / 0	Action Qualifier Control Register For Output B
AQSFRC	0x680D	0x684D	0x688D	0x68CD	1 / 0	Action Qualifier Software Force Register
AQCSFRC	0x680E	0x684E	0x688E	0x68CE	1 / 1	Action Qualifier Continuous S/W Force Register Set
DBCTL	0x680F	0x684F	0x688F	0x68CF	1 / 1	Dead-Band Generator Control Register
DBRED	0x6810	0x6850	0x6890	0x68D0	1 / 0	Dead-Band Generator Rising Edge Delay Count Register
DBFED	0x6811	0x6851	0x6891	0x68D1	1 / 0	Dead-Band Generator Falling Edge Delay Count Register
TZSEL	0x6812	0x6852	0x6892	0x68D2	1 / 0	Trip Zone Select Register(1)
TZDCSEL	0x6813	0x6853	0x6893	0x98D3	1 / 0	Trip Zone Digital Compare Register
TZCTL	0x6814	0x6854	0x6894	0x68D4	1 / 0	Trip Zone Control Register(1)
TZEINT	0x6815	0x6855	0x6895	0x68D5	1 / 0	Trip Zone Enable Interrupt Register(1)
TZFLG	0x6816	0x6856	0x6896	0x68D6	1 / 0	Trip Zone Flag Register (1)
TZCLR	0x6817	0x6857	0x6897	0x68D7	1 / 0	Trip Zone Clear Register(1)
TZFRC	0x6818	0x6858	0x6898	0x68D8	1 / 0	Trip Zone Force Register(1)
ETSEL	0x6819	0x6859	0x6899	0x68D9	1 / 0	Event Trigger Selection Register
ETPS	0x681A	0x685A	0x689A	0x68DA	1 / 0	Event Trigger Prescale Register
ETFLG	0x681B	0x685B	0x689B	0x68DB	1 / 0	Event Trigger Flag Register
ETCLR	0x681C	0x685C	0x689C	0x68DC	1 / 0	Event Trigger Clear Register
ETFRC	0x681D	0x685D	0x689D	0x68DD	1 / 0	Event Trigger Force Register
PCCTL	0x681E	0x685E	0x689E	0x68DE	1 / 0	PWM Chopper Control Register
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	1 / 0	HRPWM Configuration Register(1)
HRPWR	0x6821	-	-	-	1 / 0	HRPWM Power Register
HRMSTEP	0x6826	-	-	-	1 / 0	HRPWM MEP Step Register
HRPCTL	0x6828	0x6868	0x68A8	0x68E8	1 / 0	High resolution Period Control Register(1)
TBPRDHRM	0x682A	0x686A	0x68AA	0x68EA	1 / W(2)	Time Base Period HRPWM Register Mirror
TBPRDM	0x682B	0x686B	0x68AB	0x68EB	1 / W(2)	Time Base Period Register Mirror
CMPAHRM	0x682C	0x686C	0x68AC	0x68EC	1 / W(2)	Compare A HRPWM Register Mirror
CMPAM	0x682D	0x686D	0x68AD	0x68ED	1 / W(2)	Compare A Register Mirror
DCTRIPSEL	0x6830	0x6870	0x68B0	0x68F0	1 / 0	Digital Compare Trip Select Register (1)
DCACTL	0x6831	0x6871	0x68B1	0x68F1	1 / 0	Digital Compare A Control Register(1)
DCBCTL	0x6832	0x6872	0x68B2	0x68F2	1 / 0	Digital Compare B Control Register(1)
DCFCTL	0x6833	0x6873	0x68B3	0x68F3	1 / 0	Digital Compare Filter Control Register(1)

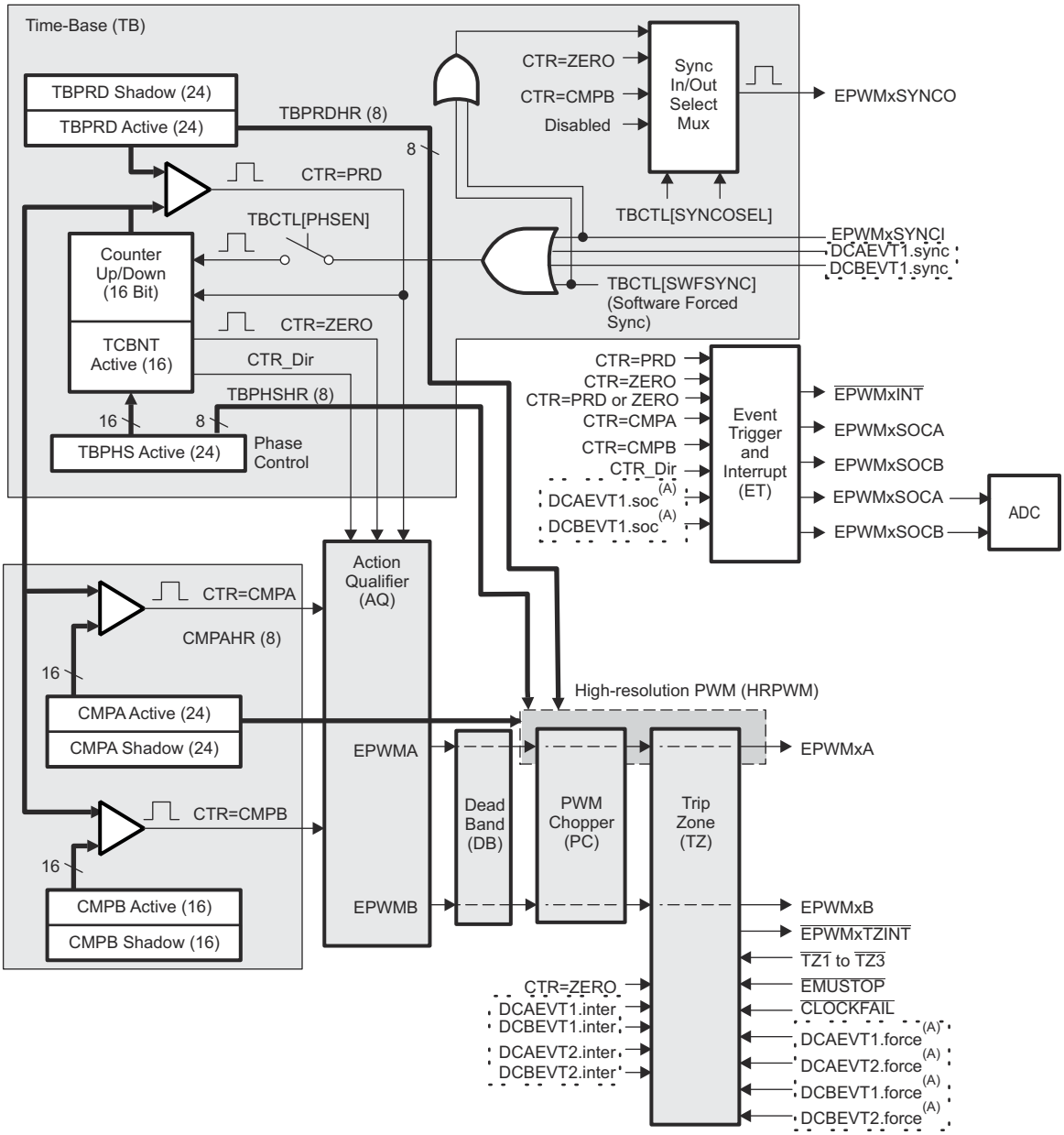
Copyright © 2022 Texas Instruments Incorporated

表 9-27. ePWM Control and Status Registers (continued)

NAME	ePWM1	ePWM2	ePWM3	ePWM4	SIZE (x16) / #SHADOW	DESCRIPTION
DCCAPCT	0x6834	0x6874	0x68B4	0x68F4	1 / 0	Digital Compare Capture Control Register(1)
DCFOFFSET	0x6835	0x6875	0x68B5	0x68F5	1 / 1	Digital Compare Filter Offset Register
DCFOFFSETCNT	0x6836	0x6876	0x68B6	0x68F6	1 / 0	Digital Compare Filter Offset Counter Register
DCFWINDOW	0x6837	0x6877	0x68B7	0x68F7	1 / 0	Digital Compare Filter Window Register
DCFWINDOWCNT	0x6838	0x6878	0x68B8	0x68F8	1 / 0	Digital Compare Filter Window Counter Register
DCCAP	0x6839	0x6879	0x68B9	0x68F9	1 / 1	Digital Compare Counter Capture Register

(1) Registers that are EALLOW protected.
(2) W = Write to shadow register

Copyright © 2022 Texas Instruments Incorporated



A. These events are generated by the Type 1 ePWM digital compare (DC) submodule based on the levels of the COMPxOUT and $\overline{TZ}$ signals.

図 9-36. ePWM Submodules Showing Critical Internal Signal Interconnections

9.9.6.1 ePWM の電気的データ / タイミング

PWM とは、ePWM1～4 の PWM 出力を指します。セクション 9.9.6.1.1 に PWM のタイミング要件を示し、セクション 9.9.6.1.2 にスイッチング特性を示します。

9.9.6.1.1 ePWM Timing Requirements

			MIN(1)	MAX	UNIT
$t_{w(SYCIN)}$	Sync input pulse width	Asynchronous	$2t_{c(SCO)}$		cycles
		Synchronous	$2t_{c(SCO)}$		cycles
		With input qualifier	$1t_{c(SCO)} + t_{w(IQSW)}$		cycles

(1) For an explanation of the input qualifier parameters, see セクション 9.9.10.1.2.1.

9.9.6.1.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。

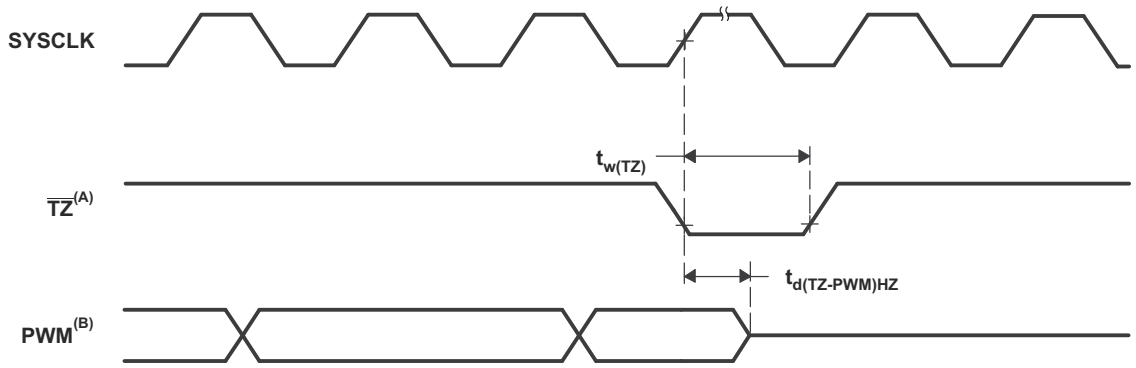
パラメータ		テスト条件	最小値	最大値	単位
$t_{w(PWM)}$	パルス幅、PWMx 出力 High/Low		33.33		ns
$t_{w(SYNCOUT)}$	同期出力パルス幅		$8t_{c(SCO)}$		サイクル数
$t_{d(PWM)tza}$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで	ピン負荷なし		25	ns
$t_{d(TZ-PWM)HZ}$	遅延時間、トリップ入力アクティブから PWM ハイ・インピーダンスまで			20	ns

9.9.6.2 トリップ・ゾーン入力のタイミング

9.9.6.2.1 Trip-Zone Input Timing Requirements

			MIN(1)	MAX	UNIT
$t_{w(TZ)}$	Pulse duration, $\overline{TZ}$x input low	Asynchronous	$2t_{c(TBCLK)}$		cycles
		Synchronous	$2t_{c(TBCLK)}$		cycles
		With input qualifier	$2t_{c(TBCLK)} + t_{w(IQSW)}$		cycles

(1) For an explanation of the input qualifier parameters, see セクション 9.9.10.1.2.1.



A. $\overline{TZ}$ - $\overline{TZ1}$, $\overline{TZ2}$, $\overline{TZ3}$

B. PWM refers to all the PWM pins in the device. The state of the PWM pins after $\overline{TZ}$ is taken high depends on the PWM recovery software.

図 9-37. PWM Hi-Z Characteristics

Copyright © 2022 Texas Instruments Incorporated

9.9.7 High-Resolution PWM (HRPWM)

This module combines multiple delay lines in a single module and a simplified calibration system by using a dedicated calibration delay line. For each ePWM module there is one HR delay line.

The HRPWM module offers PWM resolution (time granularity) that is significantly better than what can be achieved using conventionally derived digital PWM methods. The key points for the HRPWM module are:

- Significantly extends the time resolution capabilities of conventionally derived digital PWM
- This capability can be used in both single edge (duty cycle and phase-shift control) as well as dual edge control for frequency/period modulation.
- Finer time granularity control or edge positioning is controlled through extensions to the Compare A and Phase registers of the ePWM module.
- HRPWM capabilities, when available on a particular device, are offered only on the A signal path of an ePWM module (that is, on the EPWMxA output). EPWMxB output has conventional PWM capabilities.

注

The minimum SYSCLKOUT frequency allowed for HRPWM is 50 MHz.

注

When dual-edge high-resolution is enabled (high-resolution period mode), the PWMxB output is not available for use.

9.9.7.1 HRPWM の電気的データ / タイミング

セクション 9.9.7.1.1 に、高分解能 PWM のスイッチング特性を示します。

9.9.7.1.1 高分解能 PWM の特性 (SYSCLKOUT = 50MHz～60MHz)

パラメータ(1)	最小値	標準値	最大値	単位
マイクロ・エッジ・ポジショニング (MEP) ステップ・サイズ (2)		150	310	ps

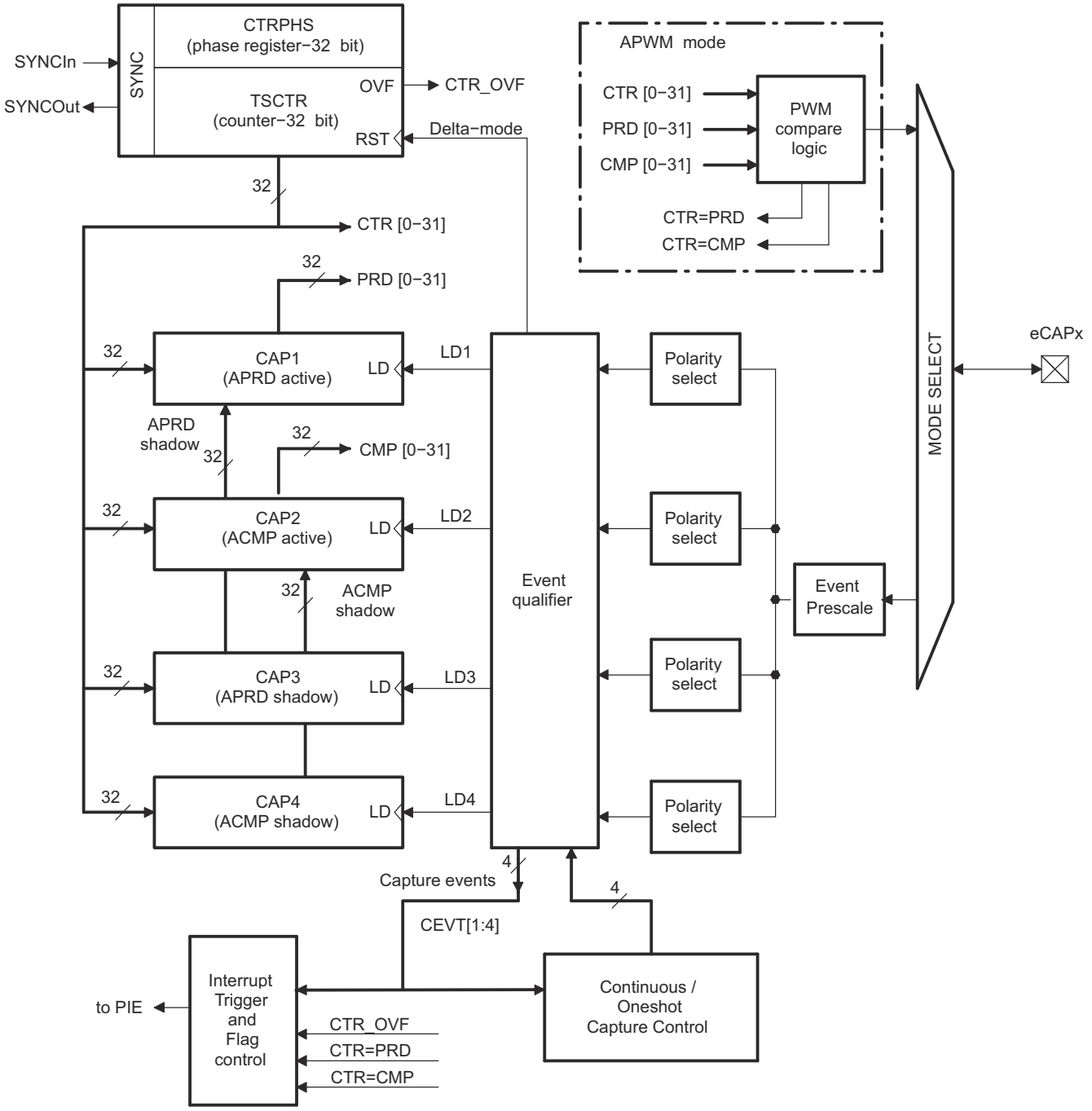
(1) HRPWM は 50MHz 以上の SYSCLKOUT 周波数で動作します。50MHz 未満では、デバイス・プロセス変動に伴って、低温かつ高コア電圧の条件下で、255 の MEP ステップでは SYSCLKOUT サイクル全体を網羅できない程度まで MEP ステップ・サイズが小さくなることがあります。

(2) MEP ステップ・サイズは、高温かつ V_{DD} 最小電圧で最大になります。MEP ステップ・サイズは、高温と低電圧で増大し、低温と高電圧で減少します。
HRPWM 機能を使用するアプリケーションは、MEP 倍率オプティマイザ (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使う方法の詳細については、テキサス・インスツルメンツのソフトウェア・ライブラリを参照してください。SFO 機能は、HRPWM 動作中に SYSCLKOUT 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

Copyright © 2022 Texas Instruments Incorporated

9.9.8 Enhanced Capture Module (eCAP1)

The device contains an enhanced capture (eCAP) module. 図 9-38 shows a functional block diagram of a module.



Copyright © 2017, Texas Instruments Incorporated

図 9-38. eCAP Functional Block Diagram

The eCAP module is clocked at the SYSCLKOUT rate.

The clock enable bits (ECAP1 ENCLK) in the PCLKCR1 register turn off the eCAP module individually (for low-power operation). Upon reset, ECAP1ENCLK is set to low, indicating that the peripheral clock is off.

Copyright © 2022 Texas Instruments Incorporated

表 9-28. eCAP Control and Status Registers

NAME	eCAP1	SIZE (x16)	EALLOW PROTECTED	DESCRIPTION
TSCTR	0x6A00	2		Time-Stamp Counter
CTRPHS	0x6A02	2		Counter Phase Offset Value Register
CAP1	0x6A04	2		Capture 1 Register
CAP2	0x6A06	2		Capture 2 Register
CAP3	0x6A08	2		Capture 3 Register
CAP4	0x6A0A	2		Capture 4 Register
Reserved	0x6A0C to 0x6A12	8		Reserved
ECCTL1	0x6A14	1		Capture Control Register 1
ECCTL2	0x6A15	1		Capture Control Register 2
ECEINT	0x6A16	1		Capture Interrupt Enable Register
ECFLG	0x6A17	1		Capture Interrupt Flag Register
ECCLR	0x6A18	1		Capture Interrupt Clear Register
ECFRC	0x6A19	1		Capture Interrupt Force Register
Reserved	0x6A1A to 0x6A1F	6		Reserved

For more information on the eCAP, see the Enhanced Capture (eCAP) Module chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

9.9.8.1 eCAP の電気的データ / タイミング

セクション 9.9.8.1.1 に eCAP のタイミング要件を示し、セクション 9.9.8.1.2 に eCAP のスイッチング特性を示します。

9.9.8.1.1 Enhanced Capture (eCAP) Timing Requirement

			MIN(1)	MAX	UNIT
$t_{w(CAP)}$	Capture input pulse width	Asynchronous	$2t_{c(SCO)}$		cycles
		Synchronous	$2t_{c(SCO)}$		cycles
		With input qualifier	$1t_{c(SCO)} + t_{w(IQSW)}$		cycles

(1) For an explanation of the input qualifier parameters, see セクション 9.9.10.1.2.1.

9.9.8.1.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。

パラメータ		テスト条件	最小値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low		20		ns

9.9.9 JTAG ポート

2802x デバイスでは、JTAG ポートは 5 ピン (TRST、TCK、TDI、TMS、TDO) に減らされています。TCK、TDI、TMS、TDO ピンは GPIO ピンでもあります。TRST 信号は、図 9-39 のピンの動作モード (JTAG と GPIO のどちらか) を選択します。エミュレーション / デバッグ中、これらのピンの GPIO 機能は使用できません。外部クロックを供給するために GPIO38/TCK/XCLKIN ピンを使用する場合、このピンは TCK 機能のために必要とされるため、エミュレーション / デバッグ中に本デバイスをクロック駆動するために代わりのクロック・ソースを使う必要があります。

注

2802x デバイスでは、JTAG ピンを GPIO ピンとして使用することもできます。これらのピンに接続された回路が JTAG ピン機能のエミュレーション機能に影響しないように、基板設計に注意を払う必要があります。デバッグを成功させるには、これらのピンに接続された回路が、JTAG デバッグ・プローブによる JTAG ピンの駆動 (または JTAG ピンによる JTAG デバッグ・プローブの駆動) を妨げないようにする必要があります。

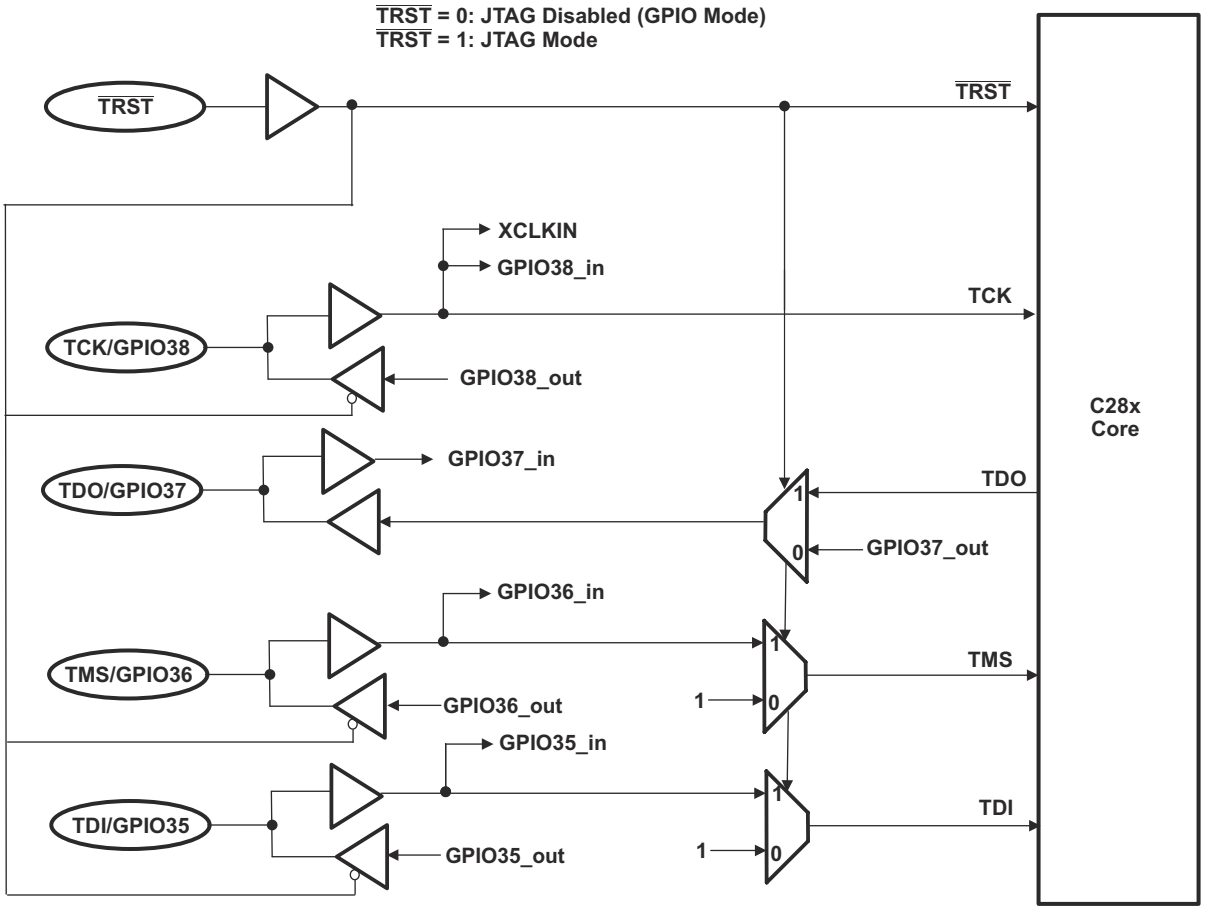


図 9-39. JTAG/GPIO 多重化

Copyright © 2022 Texas Instruments Incorporated

9.9.10 General-Purpose Input/Output (GPIO) MUX

The GPIO MUX can multiplex up to three independent peripheral signals on a single GPIO pin in addition to providing individual pin bit-banging I/O capability.

The device supports 22 GPIO pins. The GPIO control and data registers are mapped to Peripheral Frame 1 to enable 32-bit operations on the registers (along with 16-bit operations). 表 9-29 shows the GPIO register mapping.

表 9-29. GPIO Registers

NAME	ADDRESS	SIZE (x16)	DESCRIPTION
GPIO CONTROL REGISTERS (EALLOW PROTECTED)			
GPACTRL	0x6F80	2	GPIO A Control Register (GPIO0 to 31)
GPAQSEL1	0x6F82	2	GPIO A Qualifier Select 1 Register (GPIO0 to 15)
GPAQSEL2	0x6F84	2	GPIO A Qualifier Select 2 Register (GPIO16 to 31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 Register (GPIO0 to 15)
GPAMUX2	0x6F88	2	GPIO A MUX 2 Register (GPIO16 to 31)
GPADIR	0x6F8A	2	GPIO A Direction Register (GPIO0 to 31)
GPAPUD	0x6F8C	2	GPIO A Pullup Disable Register (GPIO0 to 31)
GPBCTRL	0x6F90	2	GPIO B Control Register (GPIO32 to 38)
GPBQSEL1	0x6F92	2	GPIO B Qualifier Select 1 Register (GPIO32 to 38)
GPBMUX1	0x6F96	2	GPIO B MUX 1 Register (GPIO32 to 38)
GPBDIR	0x6F9A	2	GPIO B Direction Register (GPIO32 to 38)
GPBPUD	0x6F9C	2	GPIO B Pullup Disable Register (GPIO32 to 38)
AIOMUX1	0x6FB6	2	Analog, I/O mux 1 register (AIO0 to AIO15)
AIODIR	0x6FBA	2	Analog, I/O Direction Register (AIO0 to AIO15)
GPIO DATA REGISTERS (NOT EALLOW PROTECTED)			
GPADAT	0x6FC0	2	GPIO A Data Register (GPIO0 to 31)
GPASET	0x6FC2	2	GPIO A Data Set Register (GPIO0 to 31)
GPACLEAR	0x6FC4	2	GPIO A Data Clear Register (GPIO0 to 31)
GPATOGGLE	0x6FC6	2	GPIO A Data Toggle Register (GPIO0 to 31)
GPBDAT	0x6FC8	2	GPIO B Data Register (GPIO32 to 38)
GPBSET	0x6FCA	2	GPIO B Data Set Register (GPIO32 to 38)
GPBCLEAR	0x6FCC	2	GPIO B Data Clear Register (GPIO32 to 38)
GPBTOGGLE	0x6FCE	2	GPIO B Data Toggle Register (GPIO32 to 38)
AIODAT	0x6FD8	2	Analog I/O Data Register (AIO0 to AIO15)
AIOSET	0x6FDA	2	Analog I/O Data Set Register (AIO0 to AIO15)
AIOCLEAR	0x6FDC	2	Analog I/O Data Clear Register (AIO0 to AIO15)
AIOTOGGLE	0x6FDE	2	Analog I/O Data Toggle Register (AIO0 to AIO15)
GPIO INTERRUPT AND LOW-POWER MODES SELECT REGISTERS (EALLOW PROTECTED)			
GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO Input Select Register (GPIO0 to 31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO Input Select Register (GPIO0 to 31)
GPIOXINT3SEL	0x6FE2	1	XINT3 GPIO Input Select Register (GPIO0 to 31)
GPIOLPMSEL	0x6FE8	2	LPM GPIO Select Register (GPIO0 to 31)

注

There is a two-SYSCLKOUT cycle delay from when the write to the GPxMUXn/AIOMUXn and GPxQSELn registers occurs to when the action is valid.

Copyright © 2022 Texas Instruments Incorporated

表 9-30. GPIOA MUX

	DEFAULT AT RESET PRIMARY I/O FUNCTION(1) (2)	PERIPHERAL SELECTION 1	PERIPHERAL SELECTION 2	PERIPHERAL SELECTION 3
GPAMUX1 REGISTER BITS	**(GPAMUX1 BITS = 00)**	**(GPAMUX1 BITS = 01)**	**(GPAMUX1 BITS = 10)**	**(GPAMUX1 BITS = 11)**
1-0	GPIO0	EPWM1A (O)	Reserved	Reserved
3-2	GPIO1	EPWM1B (O)	Reserved	COMP1OUT (O)
5-4	GPIO2	EPWM2A (O)	Reserved	Reserved
7-6	GPIO3	EPWM2B (O)	Reserved	COMP2OUT(3) (O)
9-8	GPIO4	EPWM3A (O)	Reserved	Reserved
11-10	GPIO5	EPWM3B (O)	Reserved	ECAP1 (I/O)
13-12	GPIO6	EPWM4A (O)	EPWMSYNCI (I)	EPWMSYNCO (O)
15-14	GPIO7	EPWM4B (O)	SCIRXDA (I)	Reserved
17-16	Reserved	Reserved	Reserved	Reserved
19-18	Reserved	Reserved	Reserved	Reserved
21-20	Reserved	Reserved	Reserved	Reserved
23-22	Reserved	Reserved	Reserved	Reserved
25-24	GPIO12	$\overline{TZ1}$ (I)	SCITXDA (O)	Reserved
27-26	Reserved	Reserved	Reserved	Reserved
29-28	Reserved	Reserved	Reserved	Reserved
31-30	Reserved	Reserved	Reserved	Reserved
GPAMUX2 REGISTER BITS	**(GPAMUX2 BITS = 00)**	**(GPAMUX2 BITS = 01)**	**(GPAMUX2 BITS = 10)**	**(GPAMUX2 BITS = 11)**
1-0	GPIO16	SPISIMOA (I/O)	Reserved	$\overline{TZ2}$ (I)
3-2	GPIO17	SPISOMIA (I/O)	Reserved	$\overline{TZ3}$ (I)
5-4	GPIO18	SPICLKA (I/O)	SCITXDA (O)	XCLKOUT (O)
7-6	GPIO19/XCLKIN	$\overline{SPISTEA}$ (I/O)	SCIRXDA (I)	ECAP1 (I/O)
9-8	Reserved	Reserved	Reserved	Reserved
11-10	Reserved	Reserved	Reserved	Reserved
13-12	Reserved	Reserved	Reserved	Reserved
15-14	Reserved	Reserved	Reserved	Reserved
17-16	Reserved	Reserved	Reserved	Reserved
19-18	Reserved	Reserved	Reserved	Reserved
21-20	Reserved	Reserved	Reserved	Reserved
23-22	Reserved	Reserved	Reserved	Reserved
25-24	GPIO28	SCIRXDA (I)	SDAA (I/OD)	$\overline{TZ2}$ (I)
27-26	GPIO29	SCITXDA (O)	SCLA (I/OD)	$\overline{TZ3}$ (I)
29-28	Reserved	Reserved	Reserved	Reserved
31-30	Reserved	Reserved	Reserved	Reserved

(1) The word reserved means that there is no peripheral assigned to this GPxMUX1/2 register setting. Should it be selected, the state of the pin will be undefined and the pin may be driven. This selection is a reserved configuration for future expansion.
(2) I = Input, O = Output, OD = Open Drain
(3) These functions are not available in the 38-pin package.

Copyright © 2022 Texas Instruments Incorporated

表 9-31. GPIOB MUX

	DEFAULT AT RESET PRIMARY I/O FUNCTION(1)	PERIPHERAL SELECTION 1	PERIPHERAL SELECTION 2	PERIPHERAL SELECTION 3
GPBMUX1 REGISTER BITS	(GPBMUX1 BITS = 00)	(GPBMUX1 BITS = 01)	(GPBMUX1 BITS = 10)	(GPBMUX1 BITS = 11)
1-0	GPIO32(2)	SDAA(2) (I/OD)	EPWMSYNCI(2) (I)	$\overline{\text{ADCSOCAO}}$ (2) (O)
3-2	GPIO33(2)	SCLA(2) (I/OD)	EPWMSYNCO(2) (O)	$\overline{\text{ADCSOCBO}}$ (2) (O)
5-4	GPIO34	COMP2OUT (O)	Reserved	Reserved
7-6	GPIO35 (TDI)	Reserved	Reserved	Reserved
9-8	GPIO36 (TMS)	Reserved	Reserved	Reserved
11-10	GPIO37 (TDO)	Reserved	Reserved	Reserved
13-12	GPIO38/XCLKIN (TCK)	Reserved	Reserved	Reserved
15-14	Reserved	Reserved	Reserved	Reserved
17-16	Reserved	Reserved	Reserved	Reserved
19-18	Reserved	Reserved	Reserved	Reserved
21-20	Reserved	Reserved	Reserved	Reserved
23-22	Reserved	Reserved	Reserved	Reserved
25-24	Reserved	Reserved	Reserved	Reserved
27-26	Reserved	Reserved	Reserved	Reserved
29-28	Reserved	Reserved	Reserved	Reserved
31-30	Reserved	Reserved	Reserved	Reserved

(1) I = Input, O = Output, OD = Open Drain
(2) These pins are not available in the 38-pin package.

表 9-32. Analog MUX for 48-Pin PT Package

		DEFAULT AT RESET(1)
	AIOx AND PERIPHERAL SELECTION 1	PERIPHERAL SELECTION 2 AND PERIPHERAL SELECTION 3
AIOMUX1 REGISTER BITS	AIOMUX1 BITS = 0,x	AIOMUX1 BITS = 1,x
1-0	ADCINA0 (I), V_{REFHI} (I)	ADCINA0 (I), V_{REFHI} (I)
3-2	ADCINA1 (I)	ADCINA1 (I)
5-4	AIO2 (I/O)	ADCINA2 (I), COMP1A (I)
7-6	ADCINA3 (I)	ADCINA3 (I)
9-8	AIO4 (I/O)	ADCINA4 (I), COMP2A (I)
11-10	–	–
13-12	AIO6 (I/O)	ADCINA6 (I)
15-14	ADCINA7 (I)	ADCINA7 (I)
17-16	–	–
19-18	ADCINB1 (I)	ADCINB1 (I)
21-20	AIO10 (I/O)	ADCINB2 (I), COMP1B (I)
23-22	ADCINB3 (I)	ADCINB3 (I)
25-24	AIO12 (I/O)	ADCINB4 (I), COMP2B (I)
27-26	–	–
29-28	AIO14 (I/O)	ADCINB6 (I)
31-30	ADCINB7 (I)	ADCINB7 (I)

(1) I = Input, O = Output

Copyright © 2022 Texas Instruments Incorporated

表 9-33. Analog MUX for 38-Pin DA Package

		DEFAULT AT RESET(1)
	AIOx AND PERIPHERAL SELECTION 1	PERIPHERAL SELECTION 2 AND PERIPHERAL SELECTION 3
AIOMUX1 REGISTER BITS	AIOMUX1 BITS = 0,x	AIOMUX1 BITS = 1,x
1-0	ADCINA0 (I), V_{REFHI} (I)	ADCINA0 (I), V_{REFHI} (I)
3-2	–	–
5-4	AIO2 (I/O)	ADCINA2 (I), COMP1A (I)
7-6	–	–
9-8	AIO4 (I/O)	ADCINA4 (I)
11-10	–	–
13-12	AIO6 (I/O)	ADCINA6 (I)
15-14	–	–
17-16	–	–
19-18	–	–
21-20	AIO10 (I/O)	ADCINB2 (I), COMP1B (I)
23-22	–	–
25-24	AIO12 (I/O)	ADCINB4 (I)
27-26	–	–
29-28	AIO14 (I/O)	ADCINB6 (I)
31-30	–	–

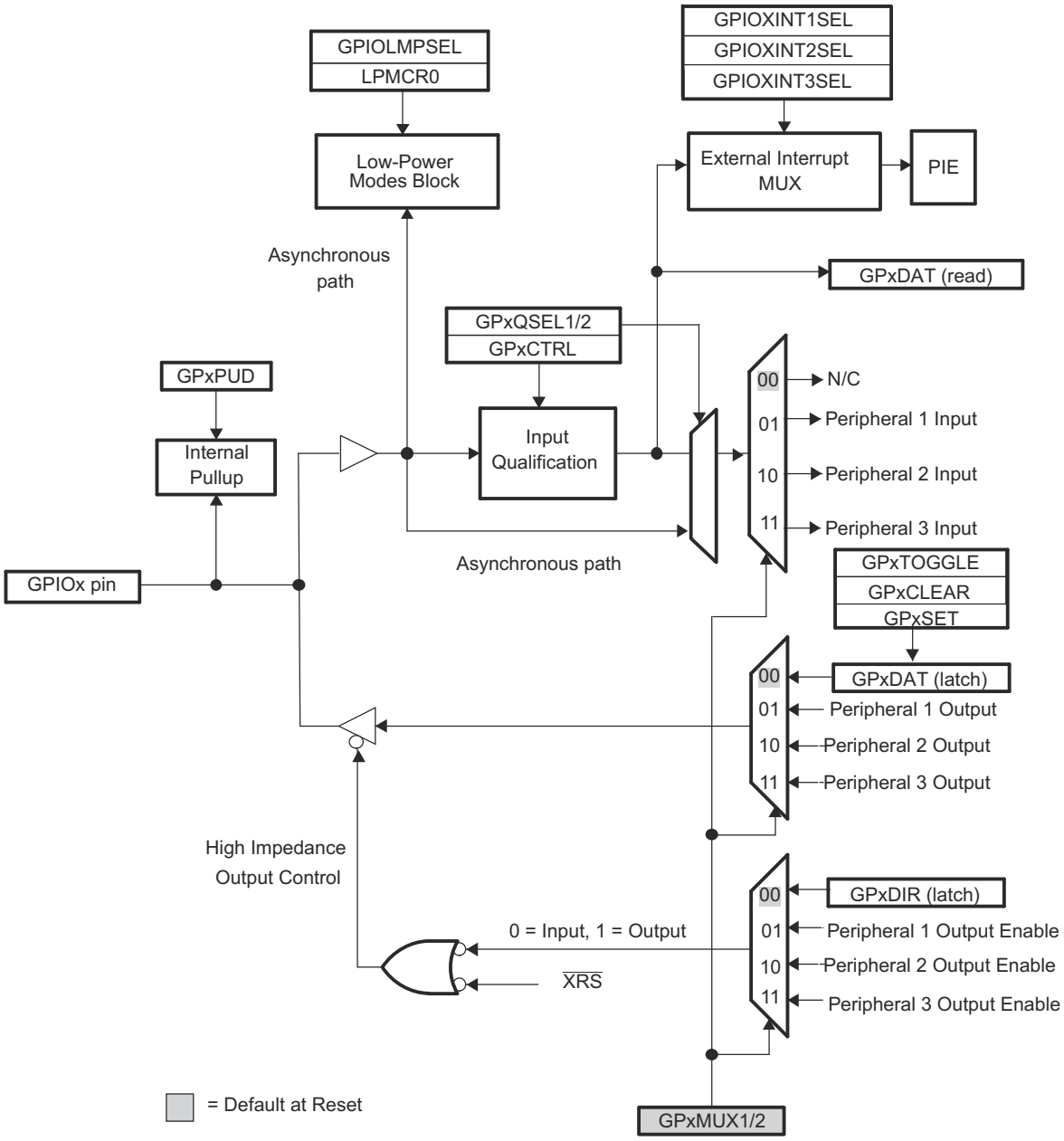
(1) I = Input, O = Output

The user can select the type of input qualification for each GPIO pin through the GPxQSEL1/2 registers from four choices:

- Synchronization To SYSCLKOUT Only (GPxQSEL1/2 = 0, 0): This is the default mode of all GPIO pins at reset and it simply synchronizes the input signal to the system clock (SYSCLKOUT).
- Qualification Using Sampling Window (GPxQSEL1/2 = 0, 1 and 1, 0): In this mode the input signal, after synchronization to the system clock (SYSCLKOUT), is qualified by a specified number of cycles before the input is allowed to change.
- The sampling period is specified by the QUALPRD bits in the GPxCTRL register and is configurable in groups of 8 signals. It specifies a multiple of SYSCLKOUT cycles for sampling the input signal. The sampling window is either 3-samples or 6-samples wide and the output is only changed when ALL samples are the same (all 0s or all 1s) as shown in 図 9-42 (for 6 sample mode).
- No Synchronization (GPxQSEL1/2 = 1,1): This mode is used for peripherals where synchronization is not required (synchronization is performed within the peripheral).

Due to the multilevel multiplexing that is required on the device, there may be cases where a peripheral input signal can be mapped to more then one GPIO pin. Also, when an input signal is not selected, the input signal will default to either a 0 or 1 state, depending on the peripheral.

Copyright © 2022 Texas Instruments Incorporated



A. x stands for the port, either A or B. For example, GPxDIR refers to either the GPADIR and GPBDIR register depending on the particular GPIO pin selected.

B. GPxDAT latch/read are accessed at the same memory location.

C. This is a generic GPIO MUX block diagram. Not all options may be applicable for all GPIO pins. For pin-specific variations, see the System Control chapter in the *TMS320F2802x,TMS320F2802xx Technical Reference Manual*.

図 9-40. GPIO Multiplexing

Copyright © 2022 Texas Instruments Incorporated

9.9.10.1 GPIO の電気的データ / タイミング

9.9.10.1.1 GPIO - 出力タイミング

9.9.10.1.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High にスイッチング	全 GPIO		13 (1)	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low にスイッチング	全 GPIO		13 (1)	ns
t_{fGPO}	トグル周波数			15	MHz

(1) 立ち上がりおよび立ち下がり時間は I/O ピンの電気的負荷によって変化します。セクション 9.9.10.1.1.1 に示す値は、40pF の I/O ピン負荷に対応する値です。

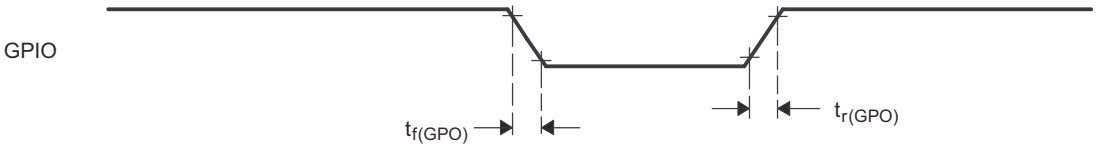


図 9-41. 汎用出力のタイミング

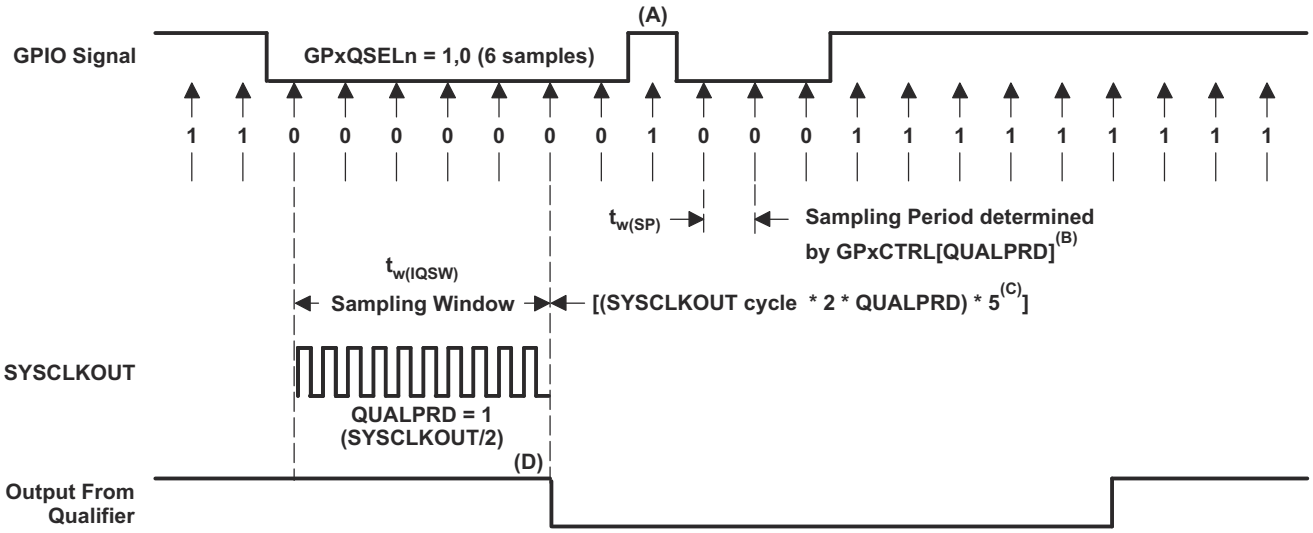
Copyright © 2022 Texas Instruments Incorporated

9.9.10.1.2 GPIO - 入力タイミング

9.9.10.1.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SCO)}$		サイクル数
		QUALPRD ≠ 0	$2t_{c(SCO)}$ * QUALPRD		サイクル数
$t_{w(IQSW)}$	入力クオリファイア・サンプリング・ウィンドウ		$t_{w(SP)}$ * (n(1) – 1)		サイクル数
$t_{w(GPI)}$ (2)	パルス幅、GPIO Low/High	同期モード	$2t_{c(SCO)}$		サイクル数
		入力クオリファイア付き	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SCO)}$		サイクル数

(1) 「n」は、GPxQSELn レジスタによって定義されたクオリフィケーション・サンプル数を表します。
(2) $t_{w(GPI)}$ のパルス幅は、アクティブ Low 信号では V_{IL} から V_{IL} まで、アクティブ High 信号では V_{IH} から V_{IH} までを測定します。



A. このグリッチは入力クオリファイアによって無視されます。QUALPRD ビット・フィールドは、クオリフィケーション・サンプリング周期を指定します。この値は 00 から 0xFF まで変化する可能性があります。QUALPRD = 00 の場合、サンプリング周期は 1 SYSCLKOUT サイクルです。その他の値「n」の場合、クオリフィケーション・サンプリング周期は 2n SYSCLKOUT サイクルです (つまり 2n SYSCLKOUT サイクルごとに GPIO ピンがサンプリングされます)。
B. GPxCTRL レジスタで選択されたクオリフィケーション・サンプリング周期は、8 つの GPIO ピンのグループに適用されます。
C. クオリフィケーション・ブロックは 3 つまたは 6 つのサンプルを取得できます。GPxQSELn レジスタは、使用するサンプル・モードの種類を選択します。
D. 図の例では、クオリファイアが変化を検出するには、入力は 10 SYSCLKOUT サイクル以上にわたって安定している必要があります。言い換えると、(5 x QUALPRD x 2) SYSCLKOUT サイクルにわたって入力が安定している必要があります。これにより、検出のために 5 サンプリング周期が確保されます。外部信号は非同期的に駆動されるため、13 SYSCLKOUT 幅のパルスによって識別の信頼性を高めています。

図 9-42. サンプリング・モード

Copyright © 2022 Texas Instruments Incorporated

9.9.10.1.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力クオリファイア構成における入力信号のサンプリング・ウィンドウ幅をまとめています。

サンプリング周波数は、SYSCLKOUT に対して信号をサンプリングする頻度を意味します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = SYSCLKOUT/(2 × QUALPRD)

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLKOUT

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLKOUT サイクル × 2 × QUALPRD

上記の式で、SYSCLKOUT サイクルは SYSCLKOUT の時間周期を示しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLKOUT サイクル

与えられたサンプリング・ウィンドウ内で、信号の有効性を判定するために入力信号の 3 つまたは 6 つのサンプルが取得されます。この信号の有効性は、GPxQSELn レジスタに書き込まれた値によって判定されます。

ケース 1:

3 つのサンプルを使ったクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLKOUT サイクル × 2 × QUALPRD) × 2

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLKOUT サイクル) × 2

ケース 2:

6 つのサンプルを使ったクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLKOUT サイクル × 2 × QUALPRD) × 5

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLKOUT サイクル) × 5

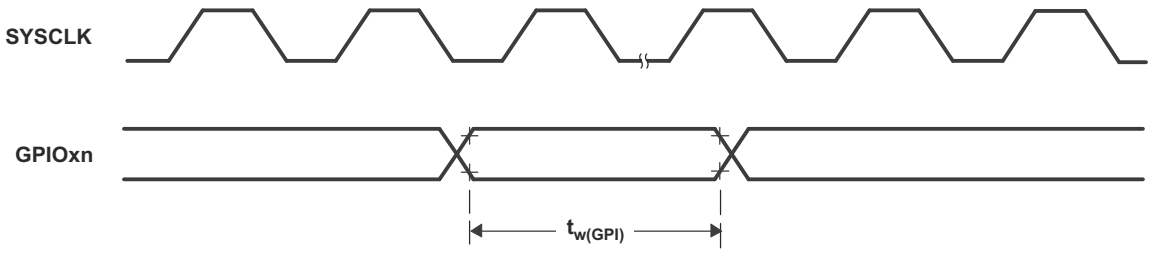


図 9-43. 汎用入力のタイミング

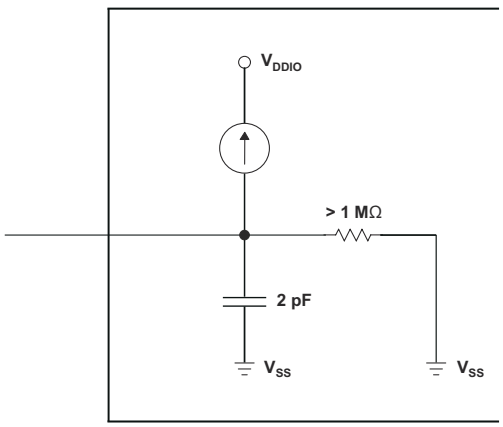


図 9-44. 内部プルアップ付き GPIO ピンの入力抵抗モデル

Copyright © 2022 Texas Instruments Incorporated

9.9.10.1.4 低消費電力モードのウェイクアップ・タイミング

IDLE モードのタイミング要件をセクション 9.9.10.1.4.1 に示し、スイッチング特性をセクション 9.9.10.1.4.2 に示し、タイミング図を図 9-45 に示します。

9.9.10.1.4.1 IDLE Mode Timing Requirements

			MIN(1) MAX	UNIT
$t_{w(WAKE-INT)}$	Pulse duration, external wake-up signal	Without input qualifier	$2t_{c(SCO)}$	cycles
		With input qualifier	$5t_{c(SCO)} + t_{w(IQSW)}$	

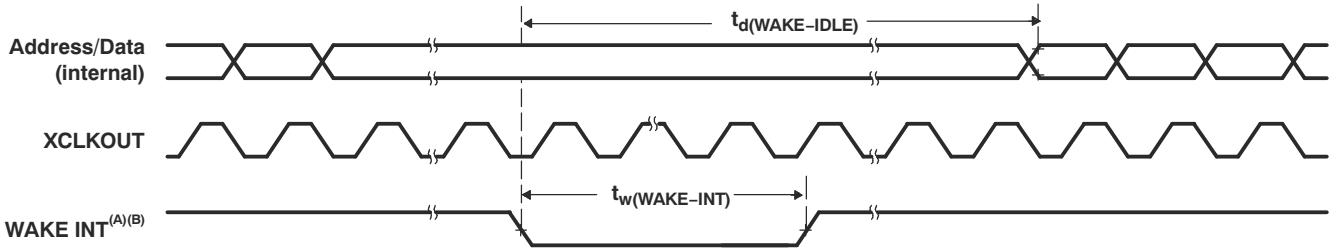
(1) For an explanation of the input qualifier parameters, see セクション 9.9.10.1.2.1.

9.9.10.1.4.2 IDLE Mode Switching Characteristics

over recommended operating conditions (unless otherwise noted)

PARAMETER(1)		TEST CONDITIONS	MIN MAX	UNIT
$t_{d(WAKE-IDLE)}$	Delay time, external wake signal to program execution resume (2)			cycles
	• Wake up from Flash – Flash module in active state	Without input qualifier	$20t_{c(SCO)}$	cycles
		With input qualifier	$20t_{c(SCO)} + t_{w(IQSW)}$	
	• Wake up from Flash – Flash module in sleep state	Without input qualifier	$1050t_{c(SCO)}$	cycles
		With input qualifier	$1050t_{c(SCO)} + t_{w(IQSW)}$	
	• Wake up from SARAM	Without input qualifier	$20t_{c(SCO)}$	cycles
		With input qualifier	$20t_{c(SCO)} + t_{w(IQSW)}$	

(1) For an explanation of the input qualifier parameters, see セクション 9.9.10.1.2.1.
(2) This is the time taken to begin execution of the instruction that immediately follows the IDLE instruction. Execution of an ISR (triggered by the wake-up signal) involves additional latency.



A. WAKE INT can be any enabled interrupt, $\overline{\text{WDINT}}$ or $\overline{\text{XRS}}$.
B. From the time the IDLE instruction is executed to place the device into low-power mode (LPM), wakeup should not be initiated until at least 4 OSCCLK cycles have elapsed.

図 9-45. IDLE Entry and Exit Timing

Copyright © 2022 Texas Instruments Incorporated

9.9.10.1.4.3 STANDBY モードのタイミング要件

			最小値	最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェイクアップ信号	入力クオリフィケーションなし	$3t_{c(OSCCLK)}$		サイクル数
		入力クオリフィケーションあり (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$		

(1) QUALSTDBY は LPMCR0 レジスタの 6 ビット・フィールドです。

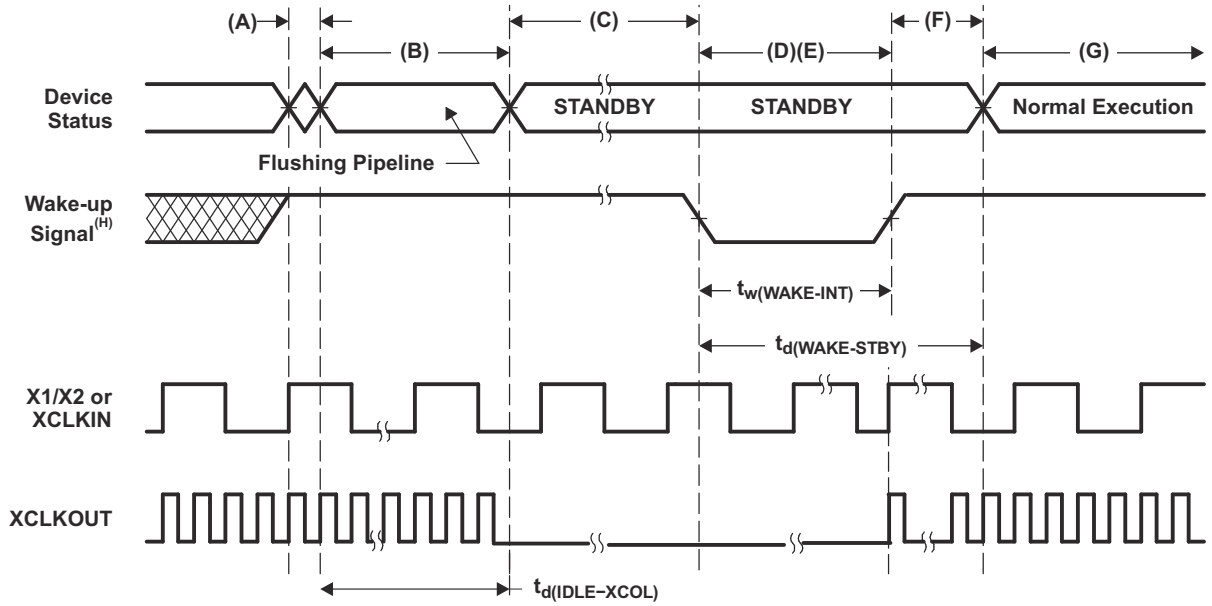
9.9.10.1.4.4 STANDBY モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。

パラメータ		テスト条件	最小値	最大値	単位
$t_{d(IDLE-XCOL)}$	遅延時間、IDLE 命令実行から XCLKOUT Low まで		$32t_{c(SCO)}$	$45t_{c(SCO)}$	サイクル数
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェイク信号からプログラム実行再開まで (1)				サイクル数
	• フラッシュからのウェイクアップ – フラッシュ・モジュールはアクティブ状態	入力クオリファイアなし		$100t_{c(SCO)}$	サイクル数
		入力クオリファイア付き		$100t_{c(SCO)}$ + $t_{w(WAKE-INT)}$	
	• フラッシュからのウェイクアップ – フラッシュ・モジュールはスリープ状態	入力クオリファイアなし		$1125t_{c(SCO)}$	サイクル数
		入力クオリファイア付き		$1125t_{c(SCO)}$ + $t_{w(WAKE-INT)}$	
	• SARAM からのウェイクアップ	入力クオリファイアなし		$100t_{c(SCO)}$	サイクル数
		入力クオリファイア付き		$100t_{c(SCO)}$ + $t_{w(WAKE-INT)}$	

(1) これは、IDLE 命令の直後の命令の実行が開始されるのに必要な時間です。ISR (ウェイクアップ信号によってトリガ) の実行には、追加の待ち時間が必要です。

Copyright © 2022 Texas Instruments Incorporated



A. 本デバイスを STANDBY モードに移行させるために、IDLE 命令が実行されます。

B. PLL ブロックは STANDBY 信号に応答します。SYSCLKOUT は、以下に示すサイクル数にわたって保持された後、オフになります。

- DIVSEL = 00 または 01 の場合、16 サイクル
- DIVSEL = 10 の場合、32 サイクル
- DIVSEL = 11 の場合、64 サイクル

この遅延により、CPU パイプラインとその他の保留中の操作を適切に処理できます。

C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。これで本デバイスは STANDBY モードに入りました。

D. 外部ウェイクアップ信号がアクティブに駆動されます。

E. 本デバイスをウェイクアップするために GPIO ピンに入力されるウェイクアップ信号は、最小パルス幅要件を満たす必要があります。さらに、この信号にはグリッチがない必要があります。ノイズが含まれる信号が GPIO ピンに入力された場合、本デバイスのウェイクアップ動作は不安定になり、後続のウェイクアップ・パルスで低消費電力モードを終了しない可能性があります。

F. 一定の待ち時間が経過すると、STANDBY モードが終了します。

G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

H. 本デバイスを低消費電力モード (LPM) に移行させるために IDLE 命令が実行された時点から、4 OSCCLK サイクル以上が経過するまでウェイクアップを開始しないでください。

図 9-46. STANDBY の開始 / 終了タイミング図

9.9.10.1.4.5 HALT Mode Timing Requirements

		MIN	MAX	UNIT
$t_{w(WAKE-GPIO)}$	Pulse duration, GPIO wake-up signal	$t_{oscst} + 2t_{c(OSCCLK)}$		cycles
$t_{w(WAKE-XRS)}$	Pulse duration, $\overline{XRS}$ wake-up signal	$t_{oscst} + 8t_{c(OSCCLK)}$		cycles

9.9.10.1.4.6 HALT モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)。

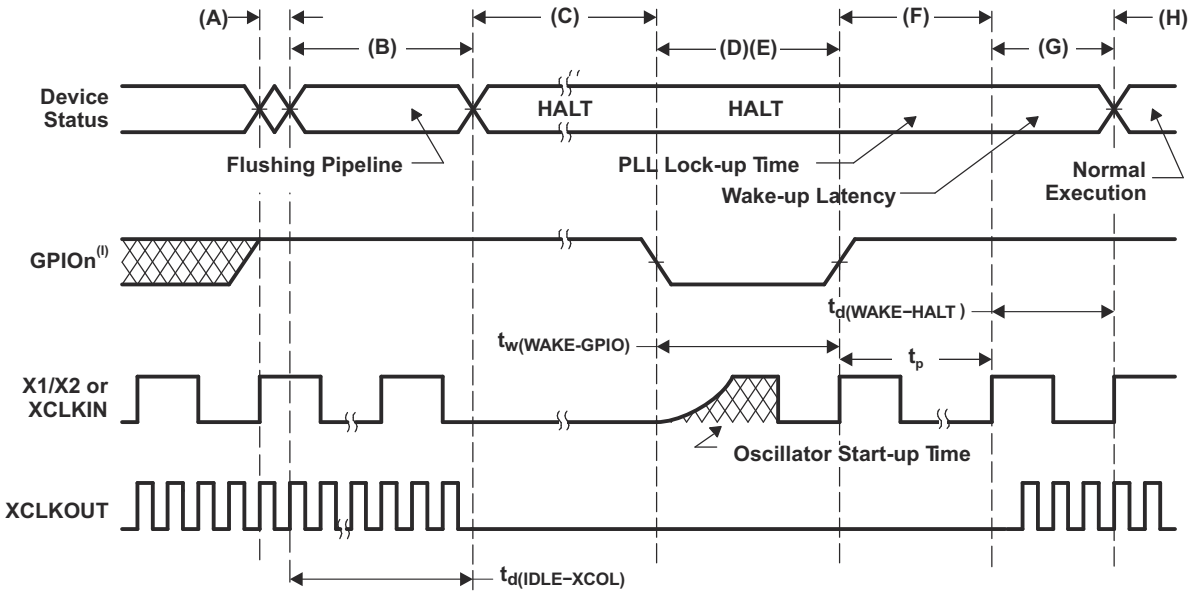
パラメータ		最小値	最大値	単位
$t_{d(IDLE-XCOL)}$	遅延時間、IDLE 命令実行から XCLKOUT Low まで	$32t_{c(SCO)}$	$45t_{c(SCO)}$	サイクル数
t_p	PLL ロックアップ時間		1	ms

Copyright © 2022 Texas Instruments Incorporated

推奨動作条件範囲内 (特に記述のない限り)。

パラメータ		最小値	最大値	単位
$t_{d(WAKE-HALT)}$	遅延時間、PLL ロックからプログラム実行再開まで • フラッシュからのウェイクアップ – フラッシュ・モジュールはスリープ状態		$1125t_{c(SCO)}$	サイクル数
	• SARAM からのウェイクアップ		$35t_{c(SCO)}$	サイクル数

Copyright © 2022 Texas Instruments Incorporated



A. IDLE 命令は、本デバイスを HALT モードに移行させるために実行されます。

B. PLL ブロックは、HALT 信号に応答します。発振器がオフにされかつコアへの CLKIN が停止されるまでに、以下に示されたサイクル数にわたって SYSCLKOUT は維持されます。

- DIVSEL = 00 または 01 の場合、16 サイクル
- DIVSEL = 10 の場合、32 サイクル
- DIVSEL = 11 の場合、64 サイクル

この遅延により、CPU パイプラインとその他の保留中の操作を適切に処理できます。

C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック・ソースとして水晶振動子またはセラミック共振器を使用している場合、内部発振器もシャットダウンされます。これで本デバイスは HALT モードに移行し、消費電力が最小化されました。HALT モードでは、ゼロ・ピン内部発振器 (INTOSC1 と INTOSC2) とウォッチドッグを動作状態に維持できます。これは、CLKCTL レジスタの適切なビットに書き込むことで行われます。

D. (本デバイスを HALT から復帰させるために使われる) GPIOn ピンを Low に駆動すると、発振器がオンになり、発振器のウェイクアップ・シーケンスが開始されます。その GPIO ピンは、発振器が安定してから初めて High に駆動する必要があります。これにより、PLL ロック・シーケンスの間、クリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジは非同期にウェイクアップ手順を開始するため、HALT モードに移行する前と HALT モード中、低ノイズ環境を維持するように注意する必要があります。

E. 本デバイスをウェイクアップするために GPIO ピンに入力されるウェイクアップ信号は、最小パルス幅要件を満たす必要があります。さらに、この信号にはグリッチがない必要があります。ノイズが含まれる信号が GPIO ピンに入力された場合、本デバイスのウェイクアップ動作は不安定になり、後続のウェイクアップ・パルスで低消費電力モードを終了しない可能性があります。

F. 発振器が落ち着いた時点で PLL ロック・シーケンスが開始され、それには 1ms を要します。

G. コアへの CLKIN が有効化されると、本デバイスは一定の待ち時間の後に割り込み (有効化されている場合) に応答するようになります。これで、HALT モードが終了しました。

H. 通常動作が再開されます。

I. 本デバイスを低消費電力モード (LPM) に移行させるために IDLE 命令が実行された時点から、4 OSCCLK サイクル以上が経過するまでウェイクアップを開始しないでください。

図 9-47. GPIOn を使用した HALT モード・ウェイクアップ

Copyright © 2022 Texas Instruments Incorporated

10 アプリケーション、実装、およびレイアウト

注

以下のセクションの情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 テキサス・インスツルメンツのリファレンス・デザイン

テキサス・インスツルメンツ・リファレンス・デザイン・ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス・デザイン・ライブラリです。すべてのリファレンス・デザインは、システム設計を迅速に開始できるようにテキサス・インスツルメンツの専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。テキサス・インスツルメンツのリファレンス・デザインの選択ページで、リファレンス・デザインを検索およびダウンロードします。

1µs 未満の応答時間のストール電流制限を備えた 36V / 1kW ブラシレス DC モーター・ドライブのリファレンス・デザイン
このリファレンス・デザインは、最大定格 1kW、電圧範囲 36V～42V の 10 セル・リチウムイオン・バッテリで動作する、バッテリ駆動園芸用および電動工具のブラシレス・モーターの出力段です。このリファレンス・デザインでは、60V N チャネル NexFET™ テクノロジーを採用することで、SON5x6 SMD パッケージで 1.8mΩ という非常に低いドレイン - ソース間抵抗 (RDS_ON) を達成し、57mm × 59mm という非常に小さい PCB フォーム・ファクタを実現しています。3 相 MOSFET ブリッジを駆動するために 3 相ゲート・ドライバを使用しています。このゲート・ドライバは 6V～60V で動作でき、最大 2.3A シンク / 1.7A ソースのゲート電流を設定できます。C2000 F28027 LaunchPad™ 開発キット (LAUNCHXL-F28027) は、この出力段と組み合わせて使われます。ホール・センサによる BLDC モーターの 120 度矩形波制御は、ソフトウェアで実装されています。ゲート・ドライバに搭載されているサイクルごとの電流制限機能により、出力段で許容される最大電流を安全な水準に制限し、モーター停止に起因する超過電流からボードを保護します。

フラックスゲート・センサを使用した電流 / 電圧測定向けシングルエンド・シグナル・コンディショニング回路
このリファレンス・デザインは、フラックスゲート・センサを使用してモーター電流を測定する、マイクロコントローラ内蔵シングルエンド SAR ADC 向け 4 チャネル・シグナル・コンディショニング・ソリューションを提供します。また、外部 SAR ADC を使用した代替測定回路と、高速過電流および地絡検出用回路も提供します。適切なシグナル・コンディショニングは、モーター・ドライブの重要な電流測定のノイズ耐性を向上させます。このリファレンス・デザインは、A/D 変換の実効分解能を高め、モーター駆動効率を向上させるのに役立ちます。

Copyright © 2022 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 Device and Development Support Tool Nomenclature

To designate the stages in the product development cycle, TI assigns prefixes to the part numbers of all TMS320™ MCU devices and support tools. Each TMS320 MCU commercial family member has one of three prefixes: TMX, TMP, or TMS (for example, **TMS**320F28023). Texas Instruments recommends two of three possible prefix designators for its support tools: TMDX and TMDS. These prefixes represent evolutionary stages of product development from engineering prototypes (TMX/TMDX) through fully qualified production devices/tools (TMS/TMDS).

Device development evolutionary flow:

TMX	Experimental device that is not necessarily representative of the final device's electrical specifications
TMP	Final silicon die that conforms to the device's electrical specifications but has not completed quality and reliability verification
TMS	Fully qualified production device

Support tool development evolutionary flow:

TMDX	Development-support product that has not yet completed Texas Instruments internal qualification testing
TMDS	Fully qualified development-support product

TMX and TMP devices and TMDX development-support tools are shipped against the following disclaimer: "Developmental product is intended for internal evaluation purposes."

TMS devices and TMDS development-support tools have been characterized fully, and the quality and reliability of the device have been demonstrated fully. TI's standard warranty applies.

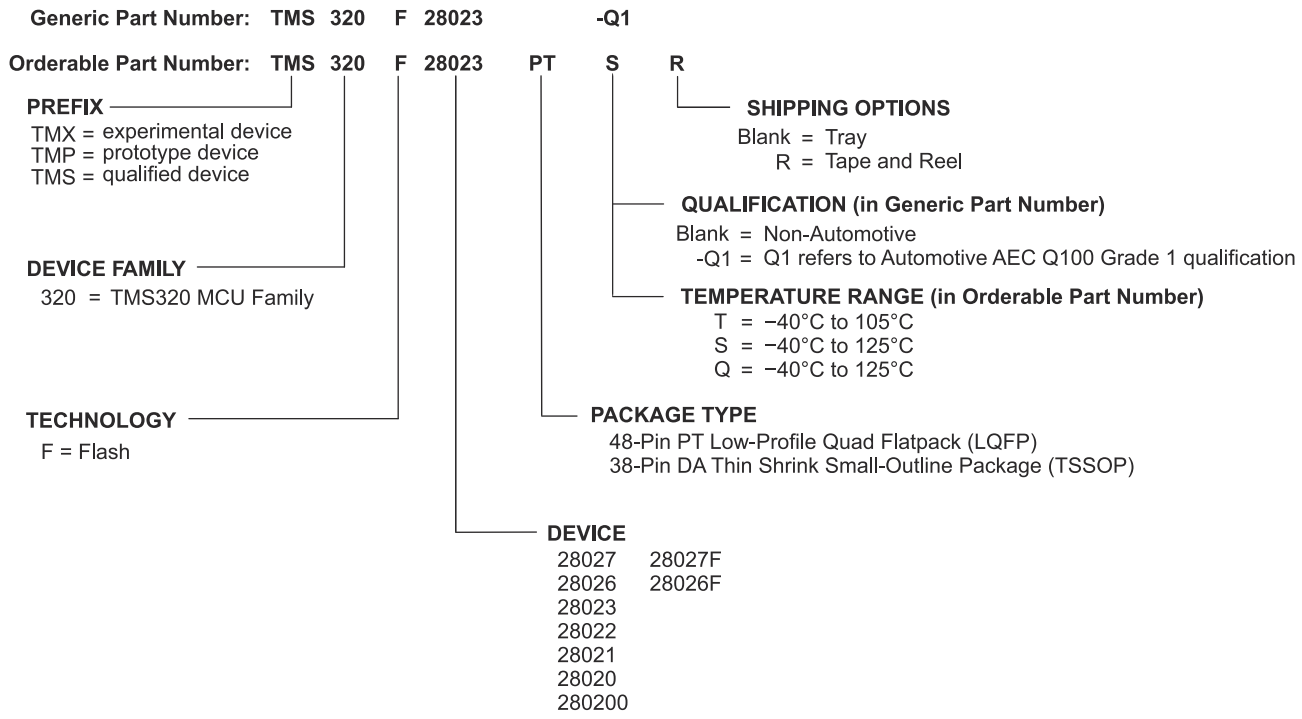
Predictions show that prototype devices (TMX or TMP) have a greater failure rate than the standard production devices. Texas Instruments recommends that these devices not be used in any production system because their expected end-use failure rate still is undefined. Only qualified production devices are to be used.

TI device nomenclature also includes a suffix with the device family name. This suffix indicates the package type (for example, PT) and temperature range (for example, S). 図 11-1 provides a legend for reading the complete device name for any family member.

For device part numbers and further ordering information, see the TI website (www.ti.com) or contact your TI sales representative.

For additional description of the device nomenclature markings on the die, see the *TMS320F2802x, TMS320F2802xx MCUs Silicon Errata*.

Copyright © 2022 Texas Instruments Incorporated



A. For more information on peripheral, temperature, and package availability for a specific device, see 表 6-1.

図 11-1. Device Nomenclature

11.2 Tools and Software

TI offers an extensive line of development tools. Some of the tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below. To view all available tools and software for C2000™ real-time control MCUs, visit the C2000 real-time control MCUs – Design & development page.

Development Tools

Code Composer Studio (CCS) Integrated Development Environment (IDE) for C2000 Microcontrollers
Code Composer Studio is an integrated development environment (IDE) that supports TI's Microcontroller and Embedded Processors portfolio. CCS comprises a suite of tools used to develop and debug embedded applications. It includes an optimizing C/C++ compiler, source code editor, project build environment, debugger, profiler, and many other features. The intuitive IDE provides a single user interface taking you through each step of the application development flow. Familiar tools and interfaces allow users to get started faster than ever before. CCS combines the advantages of the Eclipse software framework with advanced embedded debug capabilities from TI resulting in a compelling feature-rich development environment for embedded developers.

C2000 F28027 LaunchPad™ development kit
The C2000 F28027 LaunchPad™ development kit is an inexpensive, modular, and fun evaluation platform, enabling you to dive into real-time, closed-loop control development with Texas Instruments' C2000 32-bit microcontroller family. This platform provides a great starting point for development of many common power electronics applications, including motor control, digital power supplies, solar inverters, digital LED lighting, precision sensing, and more.

To view all available C2000 LaunchPad development kits and BoosterPack™ plug-in modules, visit the Embedded development hardware kits & boards site.

Software Tools

powerSUITE - Digital Power Supply Design Software Tools for C2000™ MCUs
powerSUITE is a suite of digital power supply design software tools for Texas Instruments' C2000 real-time microcontroller (MCU) family. powerSUITE helps power supply engineers drastically reduce development time as they design digitally-controlled power supplies based on C2000 real-time control MCUs.

Copyright © 2022 Texas Instruments Incorporated

C2000Ware for C2000 MCUs

C2000Ware for C2000™ microcontrollers is a cohesive set of development software and documentation designed to minimize software development time. From device-specific drivers and libraries to device peripheral examples, C2000Ware provides a solid foundation to begin development and evaluation of your product.

UniFlash Standalone Flash Tool

UniFlash is a standalone tool used to program on-chip flash memory through a GUI, command line, or scripting interface.

Models

Various models are available for download from the product Tools & Software pages. These include I/O Buffer Information Specification (IBIS) Models and Boundary-Scan Description Language (BSDL) Models. To view all available models, visit the Models section of the Tools & Software page for each device.

Training

To help assist design engineers in taking full advantage of the C2000 microcontroller features and performance, TI has developed a variety of training resources. Utilizing the online training materials and downloadable hands-on workshops provides an easy means for gaining a complete working knowledge of the C2000 microcontroller family. These training resources have been designed to decrease the learning curve, while reducing development time, and accelerating product time to market. For more information on the various training resources, visit the C2000™ real-time control MCUs – Support & training site.

Specific TMS320F2802x hands-on training resources can be found at C2000™ MCU Device Workshops.

InstaSPIN-FOC LaunchPad and BoosterPack

This 6-part series provides information about the C2000 InstaSPIN-FOC Motor Control LaunchPad Development Kit and BoosterPack Plug-in Module.

The InstaSPIN-FOC enabled C2000 F28027 LaunchPad™ development kit is an inexpensive evaluation platform designed to help you leap right into the world of sensorless motor control using the InstaSPIN-FOC solution.

- Part 1: Introduction and Overview
- Part 2: Identifying Your Motor
- Part 3: Zero Speed, Low Speed, & Tuning
- Part 4: Accelerations & Speed Reversals with Texas Instruments
- Part 5: High, Higher, Highest Speeds with Texas Instruments
- BOOSTXL-DRV8301 BoosterPack with Texas Instruments

Copyright © 2022 Texas Instruments Incorporated

11.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の「*アラートを受け取る*」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

エラッタ

『TMS320F2802x、TMS320F2802xx MCU シリコン正誤表』には、シリコンについての既知の勧告事項と回避策が記載されています。

テクニカル・リファレンス・マニュアル

『TMS320F2802x、TMS320F2802xx テクニカル・リファレンス・マニュアル』には、デバイスの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング・モデルの詳細が記載されています。

InstaSPIN テクニカル・リファレンス・マニュアル

『InstaSPIN-FOC™ および InstaSPIN-MOTION™ ユーザー・ガイド』には、InstaSPIN-FOC および InstaSPIN-MOTION デバイスについて記載されています。

『TMS320F28026F、TMS320F28027F InstaSPIN™-FOC ソフトウェア・テクニカル・リファレンス・マニュアル』には、TMS320F28026F および TMS320F28027F InstaSPIN-FOC ソフトウェアについて記載されています。

CPU ユーザー・ガイド

『TMS320C28x CPU および命令セット・リファレンス・ガイド』には、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述されています。このリファレンス・ガイドには、これらの DSP で利用可能なエミュレーション機能についても解説されています。

ペリフェラル・ガイド

『C2000 リアルタイム制御ペリフェラル・リファレンス・ガイド』には、28x デジタル信号プロセッサ (DSP) のペリフェラル・リファレンス・ガイドが記載されています。

ツール・ガイド

『TMS320C28x アセンブリ言語ツール v20.2.0.LTS ユーザー・ガイド』には、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラのディレクティブ、マクロ、一般的なオブジェクト・ファイルのフォーマット、およびシンボリック・デバッグ・ディレクティブについて記述されています。

『TMS320C28x 最適化 C/C++ コンパイラ v20.2.0.LTS ユーザー・ガイド』には、TMS320C28x C/C++ コンパイラについて記述されています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

アプリケーション・レポート

『半導体のパッキング手法』には、半導体デバイスをエンド・ユーザーへの配送用に準備するためのパッキング手法について記述されています。

『組み込みプロセッサの有効寿命の計算』には、テキサス・インスツルメンツの組み込みプロセッサ (EP) を電子機器システムで、電力を供給して使用したときの有効寿命を計算するための手法が解説されています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『半導体と IC パッケージの熱評価基準』は、旧来および新規の熱評価基準を記述し、システム・レベルの接合温度見積りに関して、その適用を広い視野から説明します。

『ミッション・プロファイルの FIT の計算』では、テキサス・インスツルメンツの信頼性ディレーティング・ツールを使用して、システムのミッション・プロファイルについて電源オン状態でのコンポーネント・レベル FIT を計算する方法が解説されています。

Copyright © 2022 Texas Instruments Incorporated

『発振器の補償ガイド』には、内蔵発振器について、温度による周波数ドリフトを補償するため工場で行われている方法について記述されています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS について歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル・フラッシュ・プログラミング』には、フラッシュ・カーネルおよび ROM ローダーを使用したデバイスのシリアル・プログラミングについて記載されています。

11.4 サポート・リソース

TI E2E™ サポート ・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

11.5 商標

InstaSPIN-FOC™, TMS320C2000™, NexFET™, LaunchPad™, TMS320™, BoosterPack™, InstaSPIN-MOTION™, and TI E2E™ are trademarks of Texas Instruments.
I2C-bus® is a registered trademark of NXP B.V. Corporation.
すべての商標は、それぞれの所有者に帰属します。

11.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.7 用語集

TI 用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2022 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

12.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F280200DAS	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F280200DAS S320	Samples
TMS320F280200DAT	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F280200DAT S320	Samples
TMS320F280200PTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	(S320, S320 980) F280200PTT	Samples
TMS320F28020DAS	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28020DAS S320	Samples
TMS320F28020DAT	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28020DAT S320	Samples
TMS320F28020PTS	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28020PTS	Samples
TMS320F28020PTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	(S320, S320 980) F28020PTT	Samples
TMS320F28021DAS	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28021DAS S320	Samples
TMS320F28021DAT	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28021DAT S320	Samples
TMS320F28021PTS	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28021PTS	Samples
TMS320F28021PTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	(S320, S320 980) F28021PTT	Samples
TMS320F28022DAQ	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28022DAQ S320	Samples
TMS320F28022DAQR	ACTIVE	TSSOP	DA	38	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR		F28022DAQ S320	Samples
TMS320F28022DAS	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28022DAS S320	Samples
TMS320F28022DAT	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28022DAT S320	Samples
TMS320F28022PTQ	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28022PTQ	Samples
TMS320F28022PTS	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980)	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
										F28022PTS	
TMS320F28022PTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28022PTT	Samples
TMS320F28023DAQ	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28023DAQ S320	Samples
TMS320F28023DAS	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28023DAS S320	Samples
TMS320F28023DAT	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28023DAT S320	Samples
TMS320F28023PTQ	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28023PTQ	Samples
TMS320F28023PTS	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28023PTS	Samples
TMS320F28023PTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	(S320, S320 980) F28023PTT	Samples
TMS320F28026DAS	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28026DAS S320	Samples
TMS320F28026DAT	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28026DAT S320	Samples
TMS320F28026FPTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28026FPTT	Samples
TMS320F28026PTQ	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28026PTQ	Samples
TMS320F28026PTS	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28026PTS	Samples
TMS320F28026PTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	(S320, S320 980) F28026PTT	Samples
TMS320F28027DAS	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28027DAS S320	Samples
TMS320F28027DASR	ACTIVE	TSSOP	DA	38	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28027DAS S320	Samples
TMS320F28027DAT	ACTIVE	TSSOP	DA	38	40	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28027DAT S320	Samples
TMS320F28027DATR	ACTIVE	TSSOP	DA	38	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	F28027DAT S320	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TMS320F28027FPTQ	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 F28027FPTQ	Samples
TMS320F28027FPTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28027FPTT	Samples
TMS320F28027FPTTR	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 980 F28027FPTT	Samples
TMS320F28027PTQ	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28027PTQ	Samples
TMS320F28027PTQR	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	S320 F28027PTQ	Samples
TMS320F28027PTR	ACTIVE	LQFP	PT	48	1000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	S320 F28027PTT	Samples
TMS320F28027PTS	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	(S320, S320 980) F28027PTS	Samples
TMS320F28027PTT	ACTIVE	LQFP	PT	48	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	(S320, S320 980) F28027PTT	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F28022, TMS320F28022-Q1, TMS320F28023, TMS320F28023-Q1, TMS320F28026, TMS320F28026-Q1, TMS320F28027, TMS320F28027-Q1, TMS320F28027F, TMS320F28027F-Q1 :

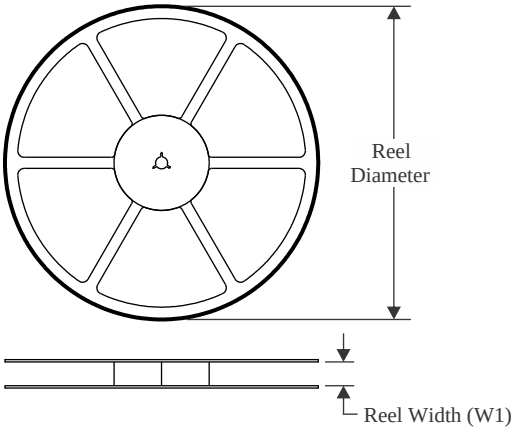
- Catalog : TMS320F28022, TMS320F28023, TMS320F28026, TMS320F28027, TMS320F28027F
- Automotive : TMS320F28022-Q1, TMS320F28023-Q1, TMS320F28026-Q1, TMS320F28027-Q1, TMS320F28027F-Q1

NOTE: Qualified Version Definitions:

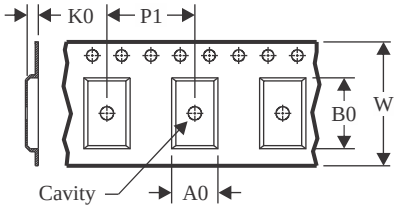
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

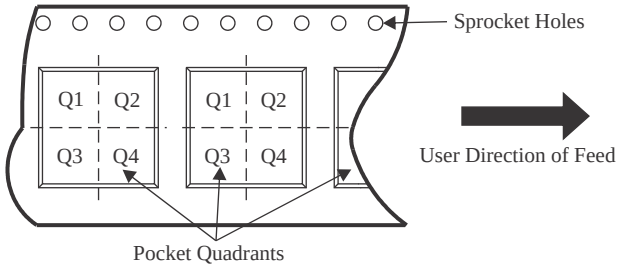


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

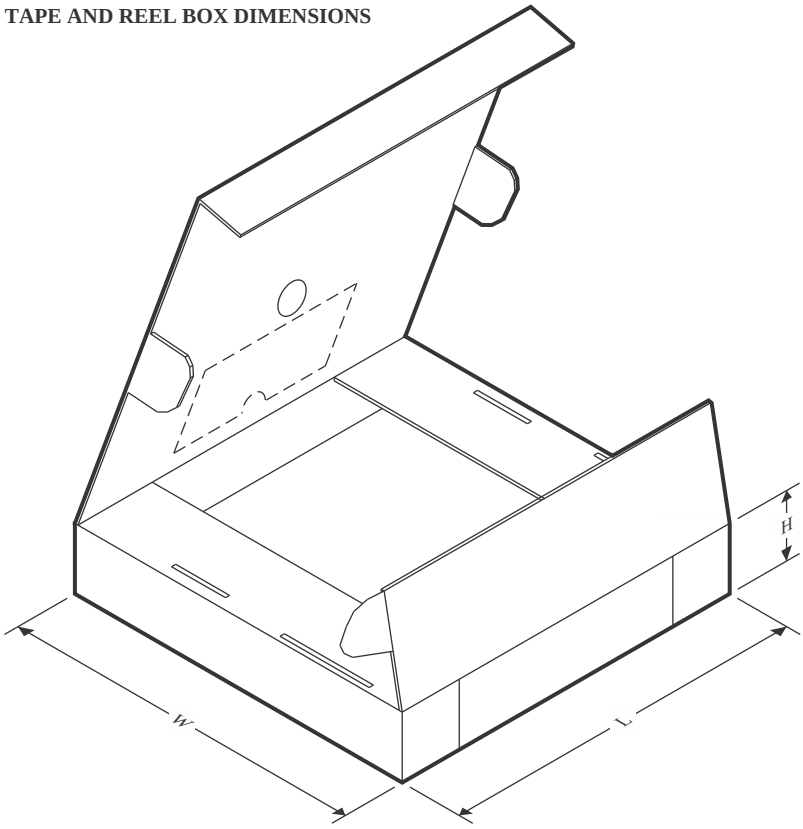
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMS320F28022DAQR	TSSOP	DA	38	2000	330.0	24.4	8.6	13.0	1.8	12.0	24.0	Q1
TMS320F28027DASR	TSSOP	DA	38	2000	330.0	24.4	8.6	13.0	1.8	12.0	24.0	Q1
TMS320F28027DATR	TSSOP	DA	38	2000	330.0	24.4	8.6	13.0	1.8	12.0	24.0	Q1
TMS320F28027PTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2

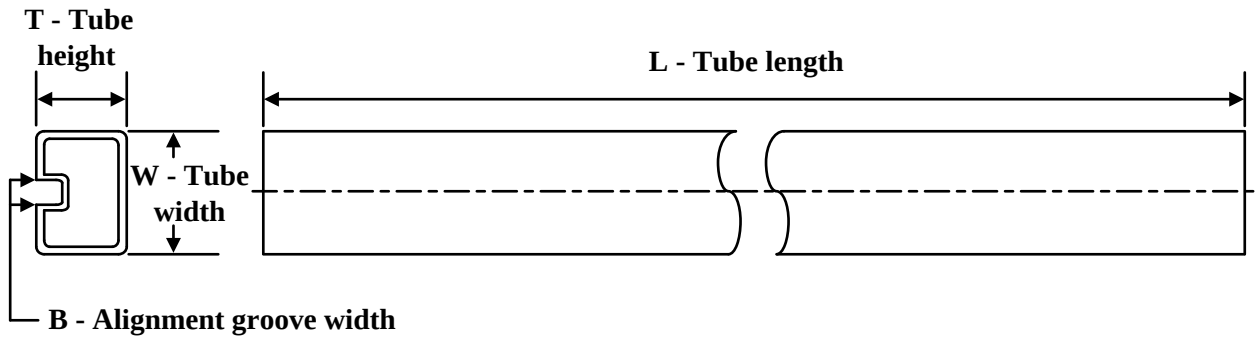
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMS320F28022DAQR	TSSOP	DA	38	2000	350.0	350.0	43.0
TMS320F28027DASR	TSSOP	DA	38	2000	350.0	350.0	43.0
TMS320F28027DATR	TSSOP	DA	38	2000	350.0	350.0	43.0
TMS320F28027PTR	LQFP	PT	48	1000	350.0	350.0	43.0

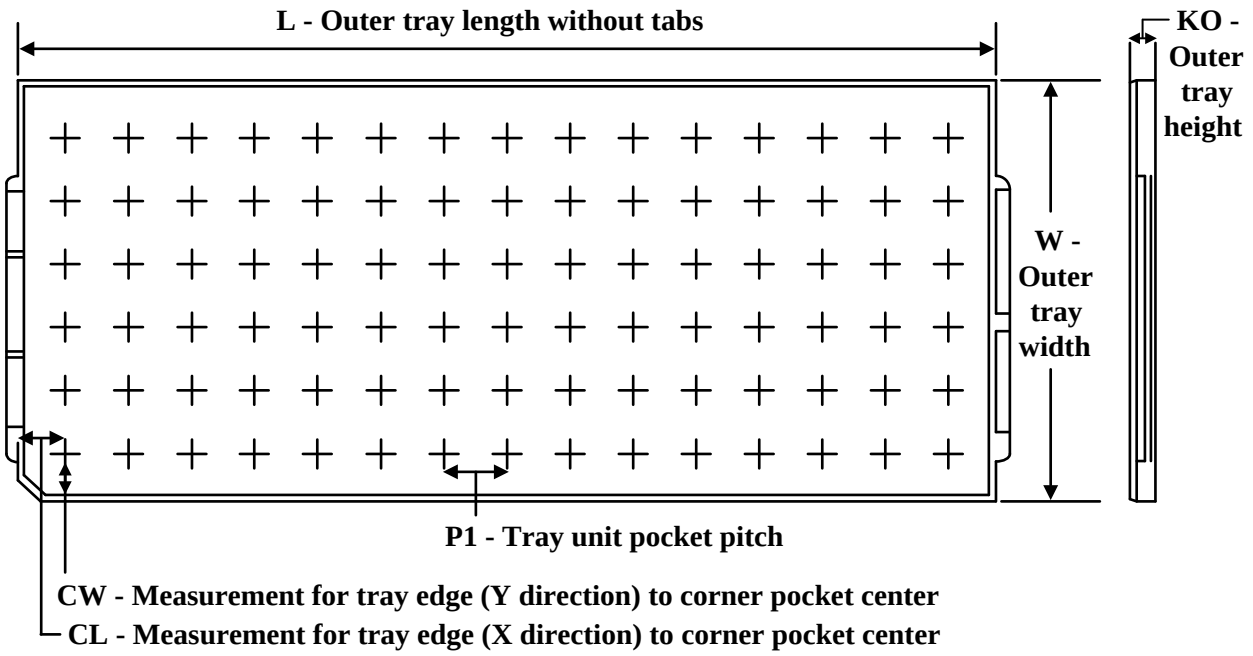
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TMS320F280200DAS	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F280200DAT	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28020DAS	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28020DAT	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28021DAS	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28021DAT	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28022DAQ	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28022DAS	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28022DAT	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28023DAQ	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28023DAS	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28023DAT	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28026DAS	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28026DAT	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28027DAS	DA	TSSOP	38	40	530	11.89	3600	4.9
TMS320F28027DAT	DA	TSSOP	38	40	530	11.89	3600	4.9

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

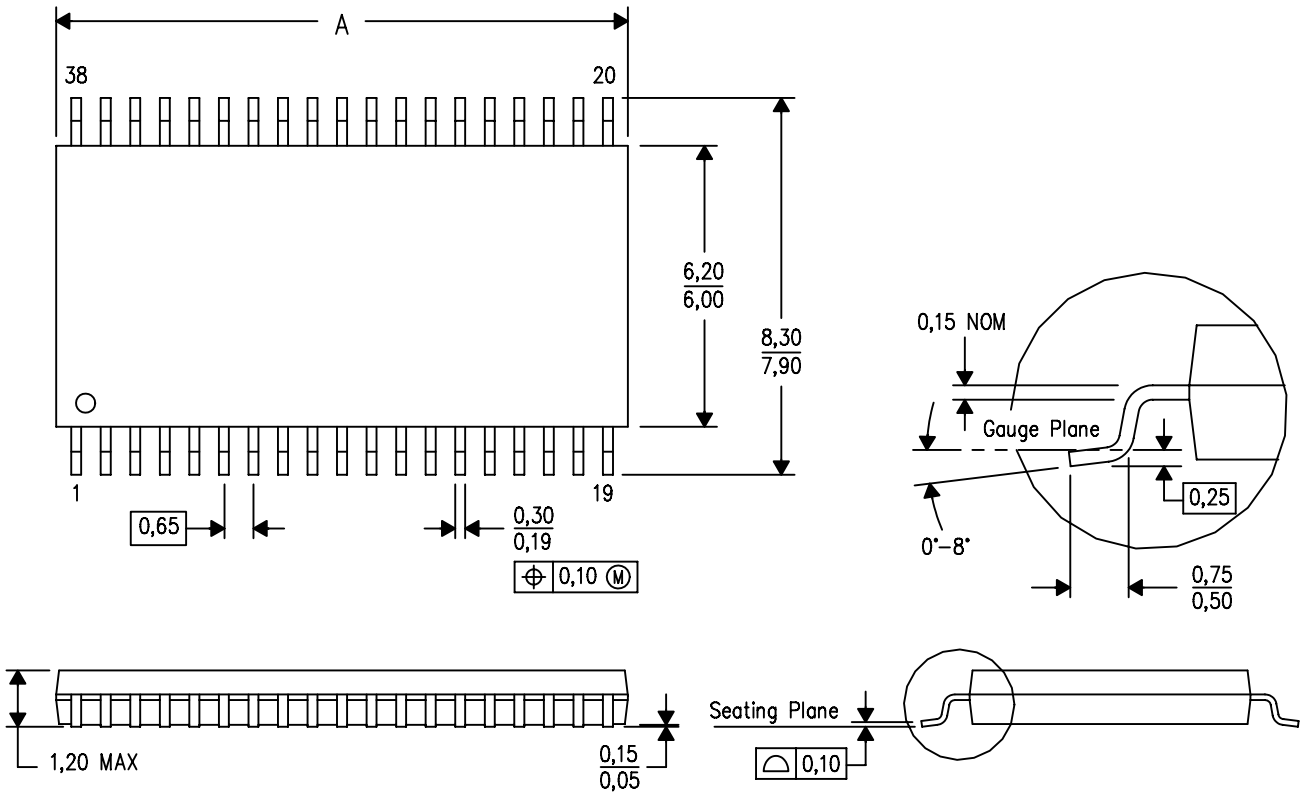
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F280200PTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28020PTS	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28020PTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28021PTS	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28021PTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28022PTQ	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28022PTS	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28022PTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28023PTQ	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28023PTS	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28023PTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28026FPTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28026PTQ	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28026PTS	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28026PTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28027FPTQ	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28027FPTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
TMS320F28027PTQ	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28027PTS	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
TMS320F28027PTT	PT	LQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25

DA (R–PDSO–G**) PLASTIC SMALL–OUTLINE PACKAGE

38 PIN SHOWN

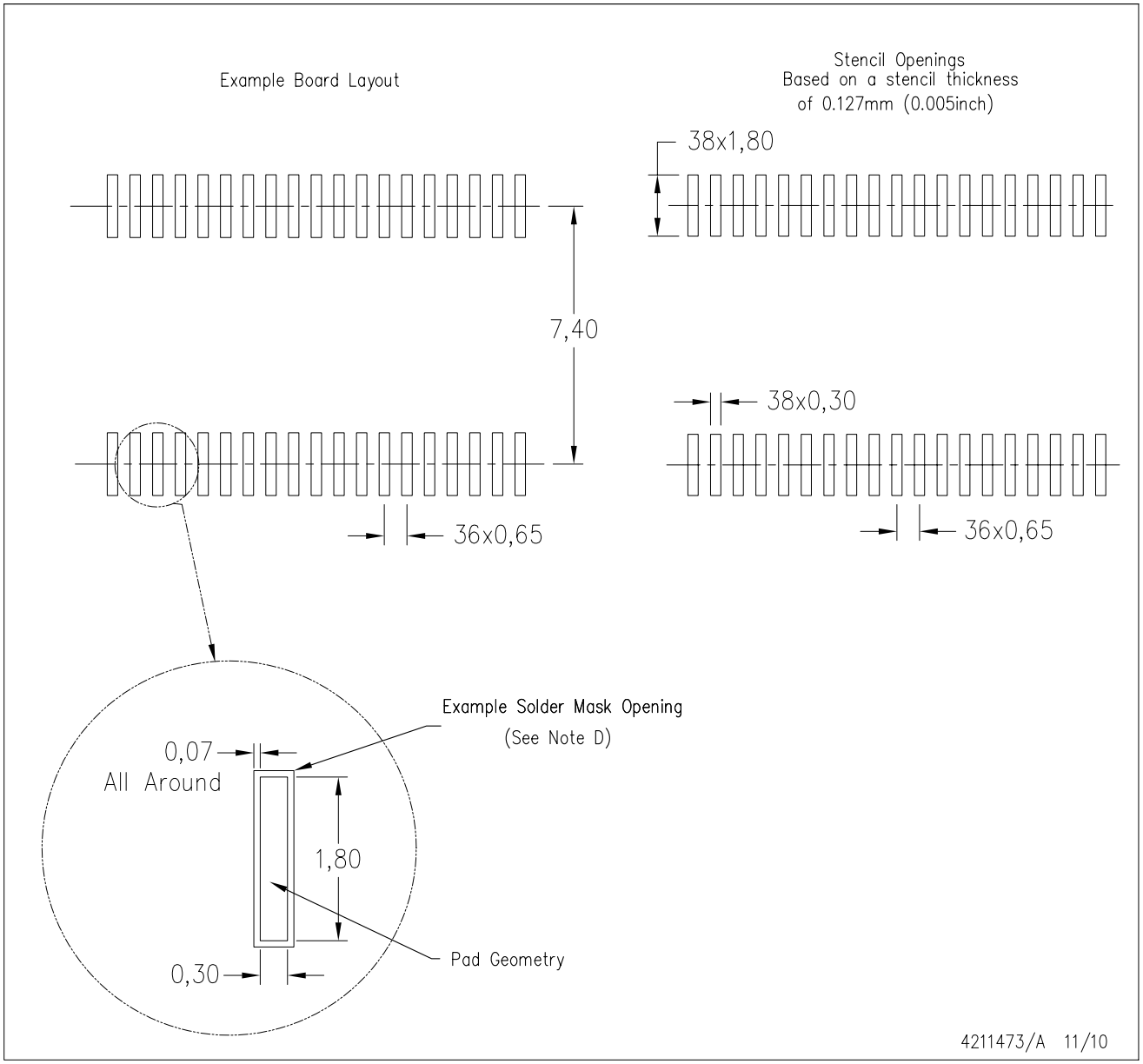


DIM \ PINS **	30	32	38
A MAX	11,10	11,10	12,60
A MIN	10,90	10,90	12,40
△D MO–153 Variation	DB–1	DC	DD–1

4040066/F 01/2009

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
△D Falls within JEDEC MO–153, except 30 pin body length.

DA (R–PDSO–G38) PLASTIC SMALL OUTLINE



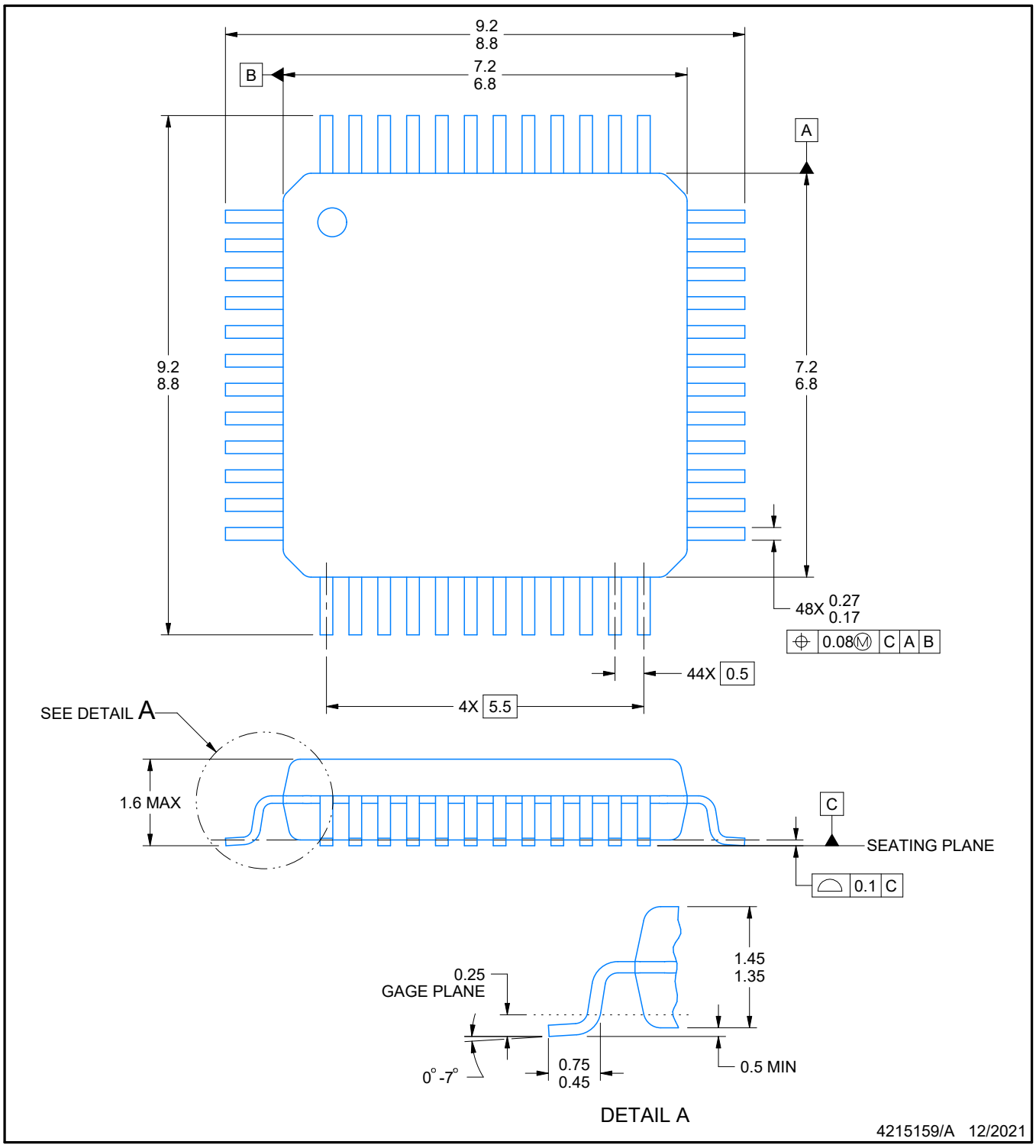
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC–7525 for other stencil recommendations.
D. Contact the board fabrication site for recommended soldermask tolerances.

PACKAGE OUTLINE

PT0048A

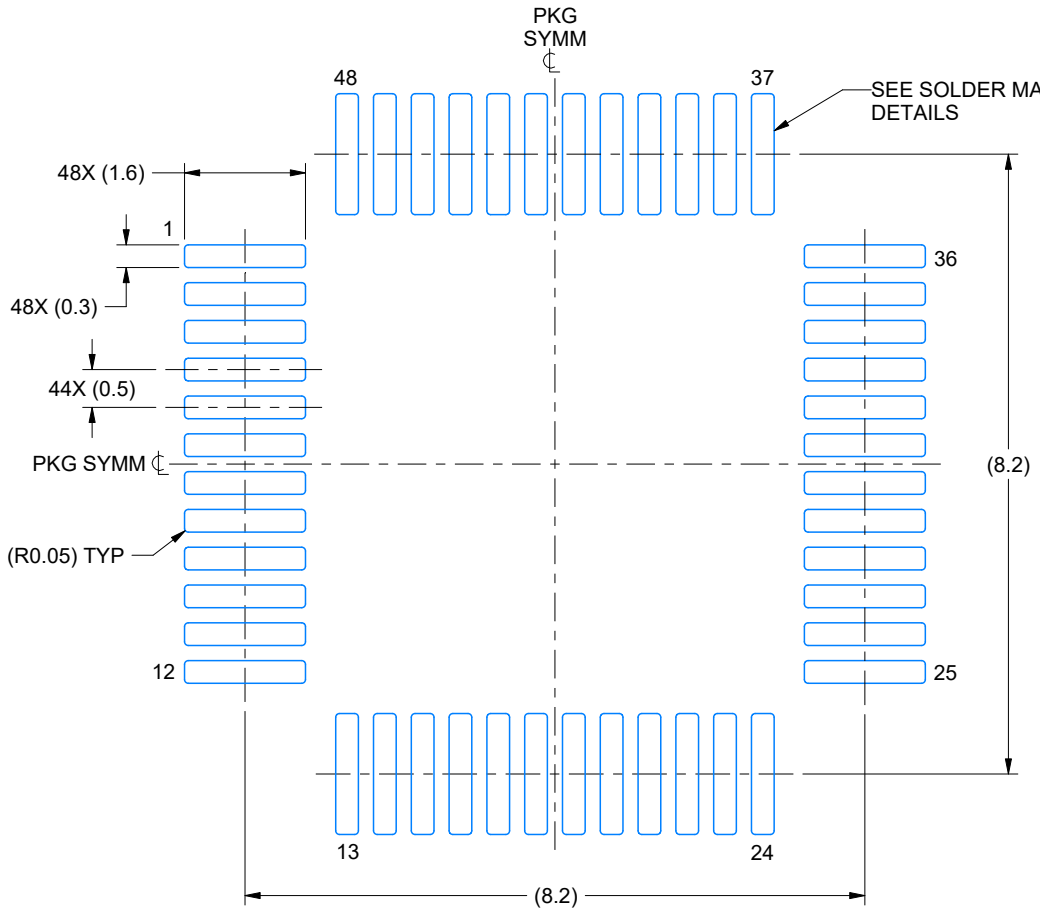
LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK

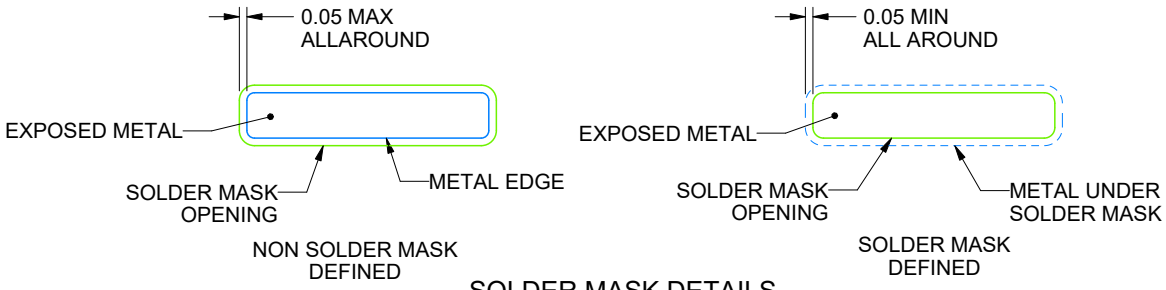


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads conected to the die pads.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE 10.000

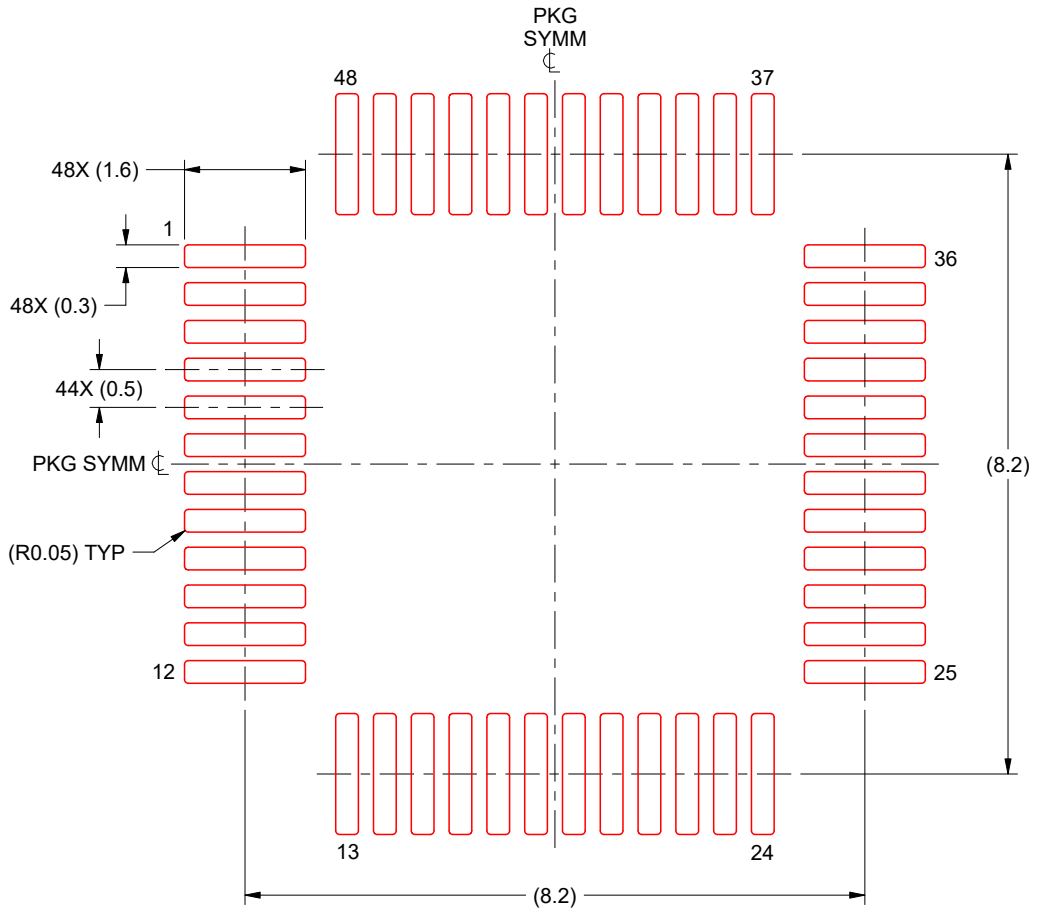


SOLDER MASK DETAILS

4215159/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 10X

4215159/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス· デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated