



138mW DIRECTPATH™ ステレオ・ヘッドフォン・アンプ I²C ボリューム・コントロール付き

特長

- DirectPath™ グランド基準出力
 - 出力 コンデンサ不要
 - ボード面積を低減
 - コンポーネントの高さとコストの低減
 - 減衰のないフル低音応答
- 電源電圧範囲：2.5V～5.5V
- 64 ステップのボリューム・コントロール
- 高電源除去比 (> 100dB PSRR)
- 差動入力によりノイズを最大限除去 (68dB CMRR)
- ディセーブル時における高インピーダンス出力
- 先進のポップ/クリック抑制回路
- デジタル I²C バス制御
 - チャンネルごとのミュートとイネーブル
 - ソフトウェア・シャットダウン
 - マルチモードのサポート：ステレオ HP、デュアル・モノ HP、およびシングル・チャンネル BTL 動作
 - アンプのステータス

- 鉛 (Pb) フリーのパッケージによるスペースの節約
 - 20ピン、4mm × 4mm QFN
 - 16ボール端子、2mm × 2mm WCSP
- 8kV 静電耐圧 (HBMおよびIEC接触放電)

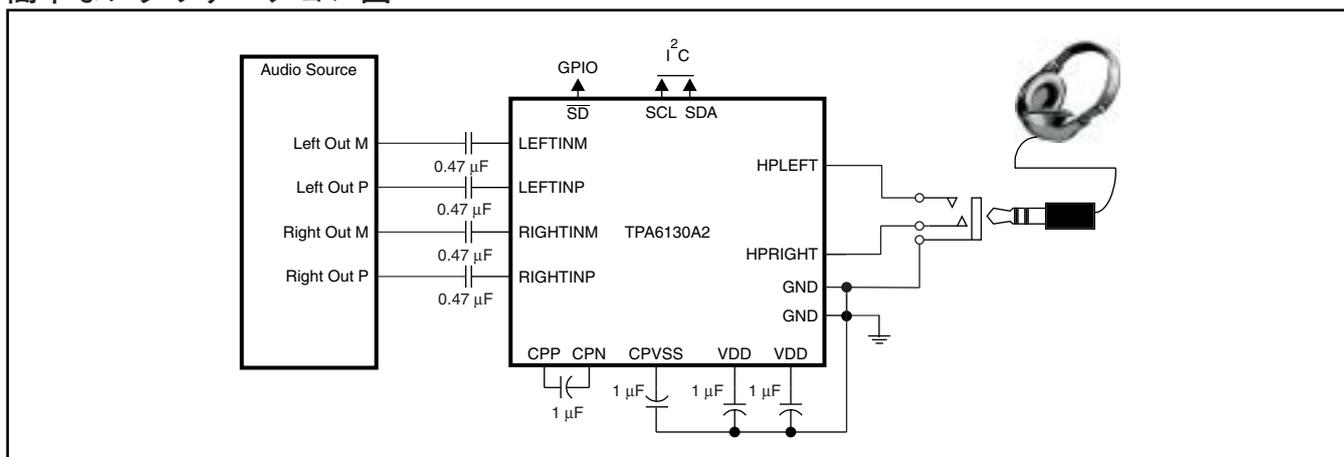
アプリケーション

- 携帯電話
- ポータブル・メディア・プレーヤ
- ノートブック・コンピュータ
- ハイファイ (Hi-Fi) アプリケーション

概要

TPA6130A2は、I²C デジタル・ボリューム・コントロール付きステレオ DirectPath™ ヘッドフォン・アンプです。TPA6130A2は、静止電流の消費がポータブル・アプリケーションに最適である独立のイネーブル I_{DD} の 4mA (標準) に抑えられます。I²C 制御を使用すると、64 ステップのオーディオ・テーパー・ボリューム・コントロール、チャンネル独立のイネーブルやミュートだけ

簡単なアプリケーション図



DirectPathは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

でなく、出力をステレオ、デュアル・モノに設定したり、300mWの電力を16Ωの負荷で駆動するシングル・レシーバ・スピーカBTLアンプを設定できる柔軟性が発揮できます。

TPA6130A2は、SNRが98dBのハイファイ (Hi-Fi) アンプです。PSRRが 100dBよりも大きい場合、直接バッテリーに接続しても音質が損なわれることはありません。出力ノイズが 9μVrms (標準のAウェイト) の場合、音がしない間はバックグラウンド・ノイズが最小化されます。差動入力アーキテクチャと高いCMRRによりノイズの多い環境で使用される携帯機器の外来ノイズを最大限に除去します。

TPA6130A2のパッケージには、2×2mmチップスケール・パッケージと4×4mm QFNパッケージがあります。

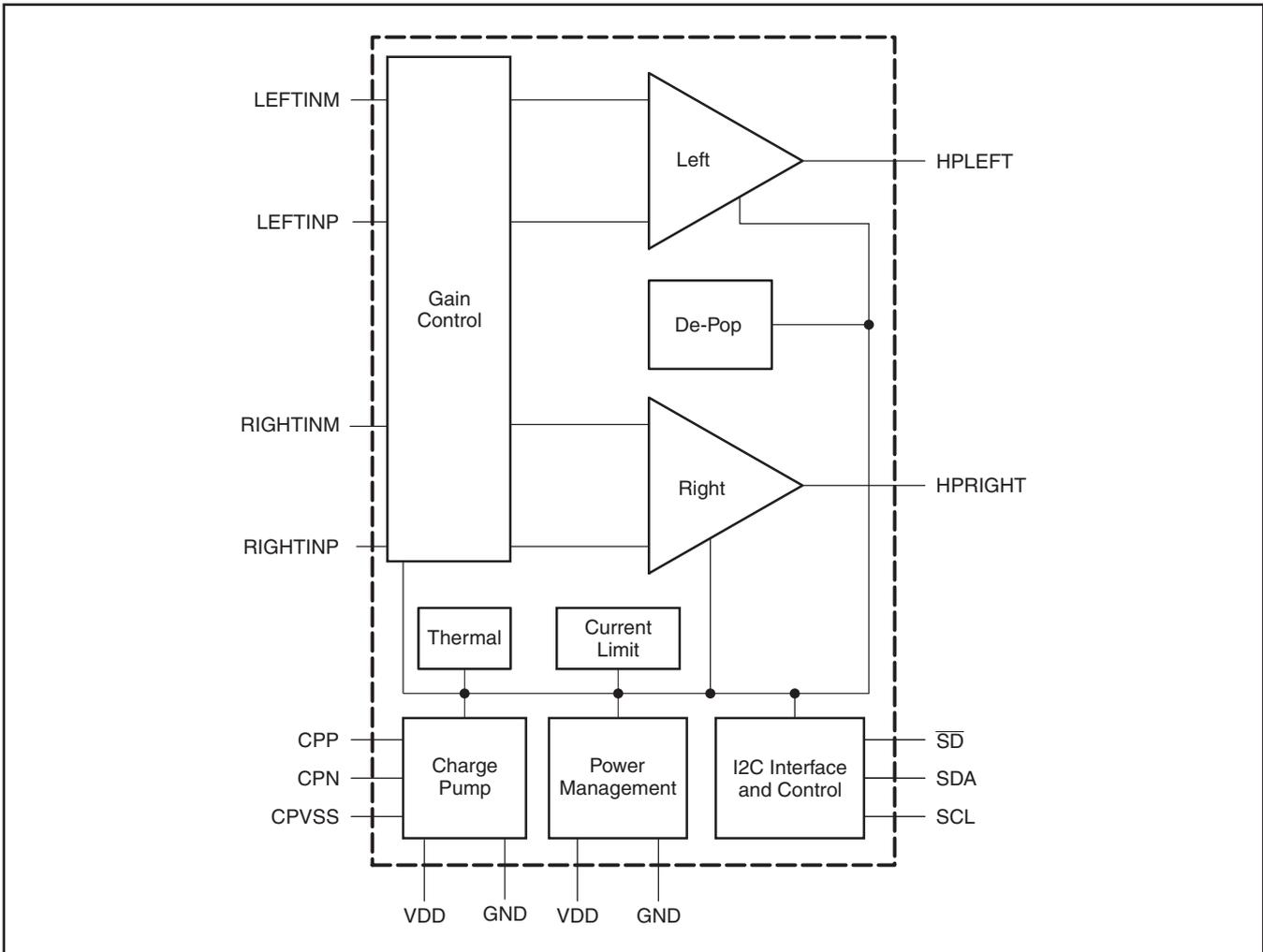
ヘッドフォン・チャンネルは、個別にイネーブルおよびミュートすることができます。I²Cインターフェイスは、チャンネルのゲイン、デバイス・モード、チャージ・ポンプのアクティブ化を制御します。チャージ・ポンプは、出力アンプに対して負の動作電圧を発生させます。これにより、出力における0Vバイアスが実現でき、大容量の出力コンデンサを使用する必要がなくなります。過熱保護回路はデバイスが損傷する前に異常を検出し、デバイスをシャットダウンします。温度異常は、I²Cレジスタによって記録されます。デバイスの損傷を防ぐため、過電流保護回路によって出力電流の値が一定の範囲に抑えられます。ポップ除去回路は、パワーアップ時およびパワーダウン時、アンプのイネーブルおよびディセーブル時に聞こえるポップ音を防止します。

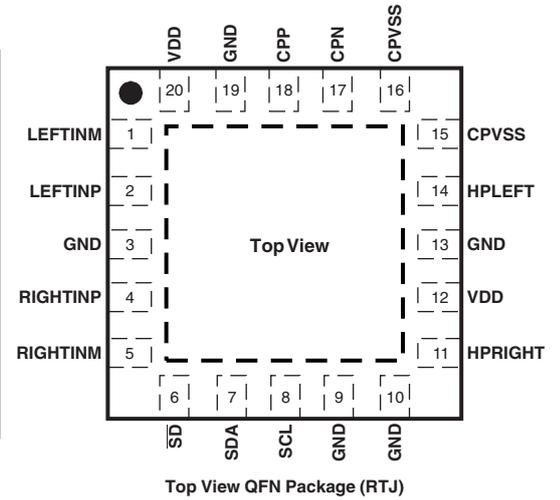
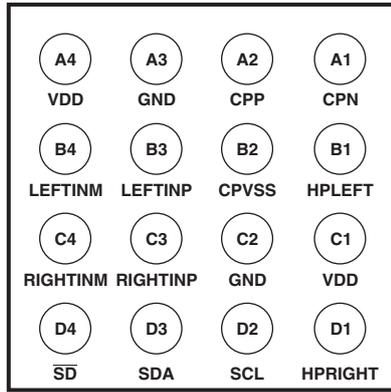
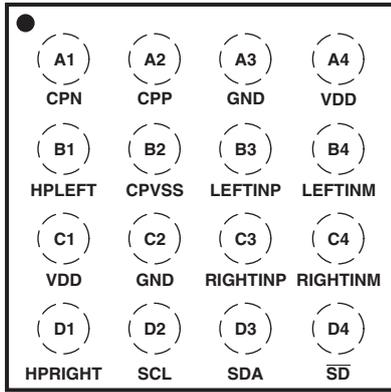


静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

機能ブロック図





Top (SymbolSide) View W CSP Package (YZH)

Bottom (BallSide) View W CSP Package (YZH)

Top View QFN Package (RTJ)

ピン構成

名称	端子		入力/ 出力/ 電源 (I/O/P)	概要
	WCSP	QFN		
V _{DD}	A4	20	P	チャージ・ポンプ電源。V _{DD} は電源の共通V _{DD} に接続します。1μFコンデンサでGND (QFNのピン19) にデカップリングします。
GND	A3	19	P	チャージ・ポンプ・グラウンド。GNDは電源の共通GNDに接続します。このピンをチャージ・ポンプのV _{DD} ピン (QFNのピン20) にデカップリングすることを推奨します。
CPP	A2	18	P	チャージ・ポンプ・フライング・コンデンサのプラス端子。フライング・コンデンサの片方はCPPに接続します。
CPN	A1	17	P	チャージ・ポンプ・フライング・コンデンサのマイナス端子。フライング・コンデンサの片方はCPNに接続します。
LEFTINM	B4	1	I	左チャンネルの反転差動入力。LEFTINPにインピーダンスがマッチしている必要があります。シングルエンド入力の場合、左チャンネルの入力はLEFTINMに接続します。
LEFTINP	B3	2	I	左チャンネルの非反転差動入力。LEFTINMにインピーダンスがマッチしている必要があります。シングルエンド入力の場合、インピーダンスをLEFTINMにマッチさせ、入力の近くでLEFTINPをACグラウンドに接続します。
CPVSS	B2	15, 16	P	チャージ・ポンプにより発生したマイナス電圧。QFNのピン19またはGNDプレーンに1μFコンデンサでデカップリングします。
HLEFT	B1	14	O	ヘッドフォン左チャンネル出力。ヘッドフォン・ジャックの左端子に接続します。
RIGHTINM	C4	5	I	右チャンネルの反転差動入力。RIGHTINPにインピーダンスがマッチしている必要があります。シングルエンド入力の場合、右チャンネルの入力はRIGHTINMに接続します。
RIGHTINP	C3	4	I	右チャンネルの非反転差動入力。RIGHTINMにインピーダンスがマッチしている必要があります。シングルエンド入力の場合、インピーダンスをRIGHTINMにマッチさせ、入力の近くでRIGHTINPをACグラウンドに接続します。
GND	C2	3, 9, 10, 13	P	アナログ・GND。GNDは電源の共通GNDに接続します。アナログのV _{DD} のデカップリング・コンデンサの片方の端子は、このピンに接続することが推奨されています。QFNパッケージの場合、ピン12とピン13間にデカップリング・コンデンサを接続します。
V _{DD}	C1	12	P	アナログのV _{DD} 。V _{DD} は電源の共通V _{DD} に接続します。1μFコンデンサでアナログ・GND (QFNのピン13) にデカップリングします。
SD	D4	6	I	シャットダウン。アクティブ・“Low” ロジック。許容入力、5Vです。
SDA	D3	7	I/O	SDA-I ² Cデータ。許容入力、5Vです。
SCL	D2	8	I	SCL-I ² Cクロック。許容入力、5Vです。
HRIGHT	D1	11	O	ヘッドフォン右チャンネル出力。ヘッドフォン・ジャックの右端子に接続します。
サーマル・パッド	N/A	ダイ・パッド	P	機械的な安定と、放熱性能強化のため、QFNパッケージの底部にあるサーマル・パッドをPCBのGNDプレーンに半田付けします。

絶対最大定格⁽¹⁾

		値 / 単位
電源電圧、V _{DD}		-0.3 V ~ 6.0 V
V _I	入力電圧	RIGHTINx, LEFTINx -2.7 V ~ 3.6 V
		\overline{SD} , SCL, SDA -0.3 V ~ 7 V
連続消費電力		パッケージ許容損失を参照
T _A	動作温度	-40°C ~ 85°C
T _J	動作時接合部温度	-40°C ~ 125°C
T _{stg}	保存温度	-65°C ~ 150°C
リード温度：ケースから1,6mm (1/16インチ)離れた点で10秒間		260°C
ESD保護	HBM、出力ピン	8 kV
	HBM、その他のピン	3.5 kV
IEC接触放電ESD保護 ⁽²⁾	外部保護なし	8 kV
	V14MLA0603バリスタを外部保護に使用	15 kV
最小負荷インピーダンス		12.8 Ω

- (1) 絶対最大定格で規定された値を上回るストレスが加わった場合、永続的な損傷が発生する恐れがあります。上記の値は負荷の定格のみについて示してあり、上記の値または推奨の動作条件を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を及ぼすことがあります。
- (2) IEC61000-4-2規格に基づいてTPA6130A2 EVMを用いたテスト。

パッケージ許容損失

パッケージ・コード	T _A ≤ 25°C 許容損失	ディレーティング 係数 ⁽¹⁾⁽²⁾	T _A = 70°C 許容損失	T _A = 85°C 許容損失
RTJ	4100 mW	41 mW/°C	2250 mW	1640 mW
YZH	970 mW	9.7 mW/°C	530 mW	390 mW

- (1) JEDEC High-Kボードを使用して測定されたディレーティング係数：1S2P-1シグナル層と2プレーン層。
- (2) Low-KボードについてはJEDEC規格51-3、High-KボードについてはJEDEC規格51-7、パッケージの熱情報についてはJEDEC規格51-12を参照してください。JEDECのドキュメントは、<http://www.jedec.org/download/default.cfm> からダウンロードできます。

製品情報

T _A	パッケージ ⁽¹⁾	製品型番	パッケージ捺印
-40°C ~ 85°C	20ピン、4 mm × 4 mm QFN	TPA6130A2RTJ ⁽²⁾	BSG
	16ボール端子、2 mm × 2 mm WSCP	TPA6130A2YZH	BRU

- (1) 最新のパッケージ情報と製品情報については、このデータシートの末尾にある「付録：パッケージ・オプション」を参照するか、www.ti.com にあるTIのWebサイトを参照してください。
- (2) RTJパッケージは、テープ・リールでのみ提供しています。ご注文の際に、3000個巻きのリールは製品型番の後にR、250個巻きのリールは製品型番の後にTと付けてください（例：TPA6130A2RTJR）。

推奨動作条件

		MIN	MAX	単位
電源電圧、V _{DD}		2.5	5.5	V
V _{IH}	“H” レベル入力電圧	SCL, SDA, \overline{SD}	1.3	V
V _{IL}	“L” レベル入力電圧	SCL, SDA	0.6	V
		\overline{SD}	0.35	V
T _A	動作温度	-40	85	°C

電気的特性

$T_A = 25^\circ\text{C}$ (特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
IVOSI 出力オフセット電圧	$V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$, 入力はグラウンドに接続		150	400	μV
PSRR 電源除去比	$V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$, 入力はグラウンドに接続	-109		-90	dB
CMRR 同相除去比	$V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$	-68			dB
I_{IH} “H” レベル入力電流	$V_{DD} = 5.5\text{ V}$, $V_I = V_{DD}$	SCL, SDA		1	μA
		$\overline{\text{SD}}$		10	
I_{IL} “L” レベル入力電流	$V_{DD} = 5.5\text{ V}$, $V_I = 0\text{ V}$			1	μA
I_{DD} 消費電流	$V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$, $\overline{\text{SD}} = V_{DD}$		4	6	mA
	シャットダウン・モード、 $V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$, $\overline{\text{SD}} = 0\text{ V}$		0.4	1	μA
	SWシャットダウン・モード、 $V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$, $\text{SWS} = 1$		25	75	μA
	両HPアンプ共ディセーブル、 $V_{DD} = 2.5\text{ V} \sim 5.5\text{ V}$, $\text{SWS} = 0$, チャージ・ポンプ・イネーブル、 $\overline{\text{SD}} = V_{DD}$		1.4	2.5	mA

タイミング特性 (1)(2)

I²Cインターフェイス・シグナルが推奨動作条件の場合 (特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
f_{SCL} 周波数、SCL	ウェイトなし			400	kHz
$t_{w(H)}$ パルス幅、SCL “H” レベル		0.6			μs
$t_{w(L)}$ パルス幅、SCL “L” レベル		1.3			μs
t_{su1} セットアップ時間、SDAからSCL		300			ns
t_{h1} ホールド時間、SCLからSDA		10			ns
$t_{(\text{buf})}$ バス空き時間、ストップ・コンディションとスタート・コンディション間		1.3			μs
t_{su2} セットアップ時間、SCLからスタート・コンディション		0.6			μs
t_{h2} ホールド時間、スタート・コンディションからSCL		0.6			μs
t_{su3} セットアップ時間、SCLからストップ・コンディション		0.6			μs

(1) $V_{\text{Pull-up}} = V_{DD}$

(2) 5VのI²Cバス電圧に対して、プルアップ抵抗 $\leq 2\text{k}\Omega$ が必要です。

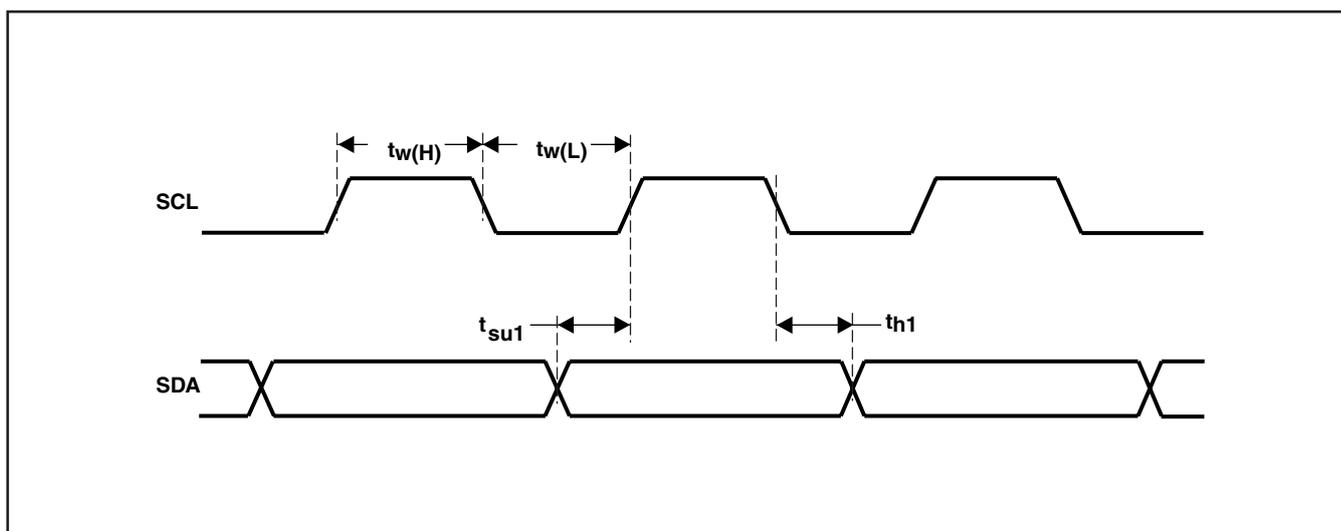


図 1. SCLとSDAのタイミング

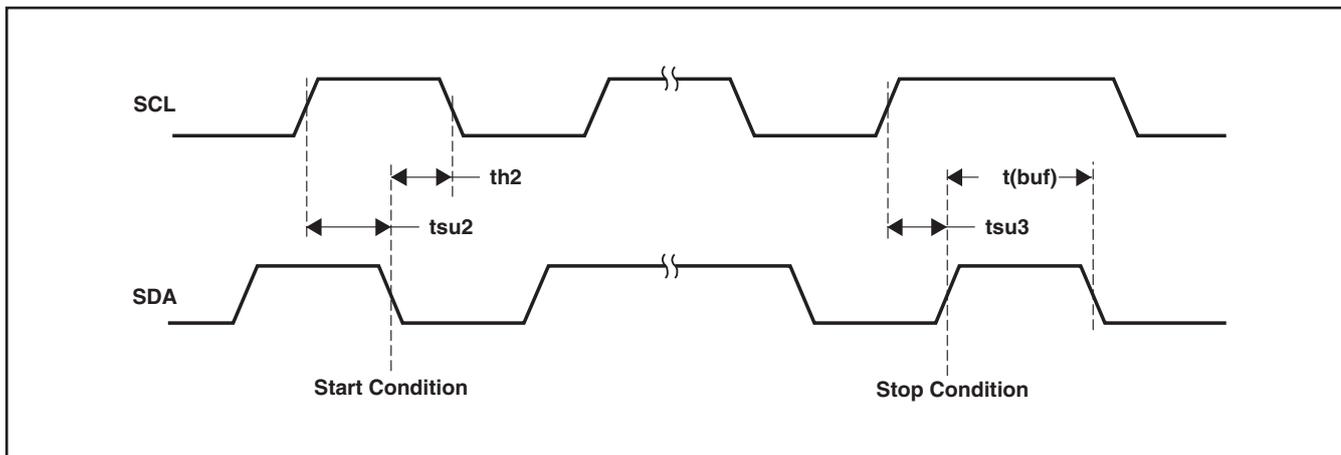


図 2. スタート・コンディションとストップ・コンディションのタイミング

動作特性

$V_{DD} = 3.6V$ 、 $T_A = 25^\circ C$ 、 $R_L = 16\Omega$ (特に記述のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位
P_O 出力電力	ステレオ出力、出力逆位相 THD = 1%、 $f = 1kHz$ 、ゲイン = 0.1dB	$V_{DD} = 2.5V$	60		mW
		$V_{DD} = 3.6V$	127		
		$V_{DD} = 5V$	138		
	BTL出力、 THD = 1%、 $f = 1kHz$ 、ゲイン = 0.1dB	$V_{DD} = 2.5V$	110		
		$V_{DD} = 3.6V$	230		
		$V_{DD} = 5V$	290		
THD+N 全高調波歪 + ノイズ	$P_O = 35mW$	$f = 100Hz$	0.0029		%
		$f = 1kHz$	0.0055		
		$f = 20kHz$	0.0027		
k_{SVR} 電源リップル除去比	200mV _{pp} リップル、 $f = 217Hz$		-97	-90	dB
	200 mV _{pp} リップル、 $f = 1kHz$		-93		
	200 mV _{pp} リップル、 $f = 20kHz$		-76		
ΔA_V LRゲイン誤差			1		%
スルーレート			0.3		V/ μs
V_n ノイズ出力電圧	$V_{DD} = 3.6V$ 、A 補正、ゲイン = 0.1dB		9		μV_{RMS}
f_{osc} チャージ・ポンプ・スイッチング周波数		300	400	500	kHz
	シャットダウン起動時間		5		ms
差動入力インピーダンス	図 33を参照				
SNR 信号雑音比	$P_O = 35mW$		98		dB
	サーマル・シャットダウン				
	スレッシュホールド		180		$^\circ C$
	ヒステリシス		35		$^\circ C$
Z_O 3 ステート HP 出力インピーダンス	左右のHiZ ビットをセットし、HP アンプをディセーブルした時の DC 値。		25		M Ω
C_O 出力容量			80		pF

代表的特性

$C_1(\text{PUMP, DECOUPLE, BYPASS, CPVSS}) = 1\mu\text{F}, C_1 = 2.2\mu\text{F}$

特に記述のない限り、すべてのTHD+Nグラフは、出力が逆位相です。

グラフ一覧

		図
全高調波歪 + ノイズ	対 出力電力	3~8
全高調波歪 + ノイズ	対 周波数	9~22
電源除去比	対 周波数	23~25
同相除去比	対 周波数	26~27
出力電力	対 負荷	28~29
出力電圧	対 負荷	30~31
消費電力	対 出力電力	32
差動入力インピーダンス	対 ゲイン	33
シャットダウン時間		34
起動時間		35

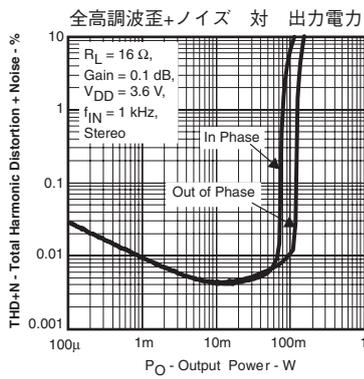


図 3

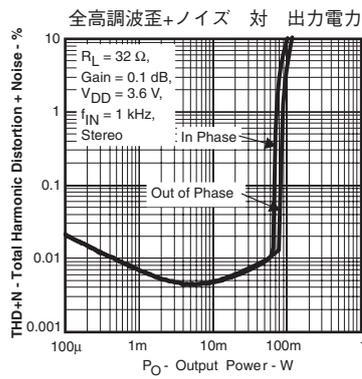


図 4

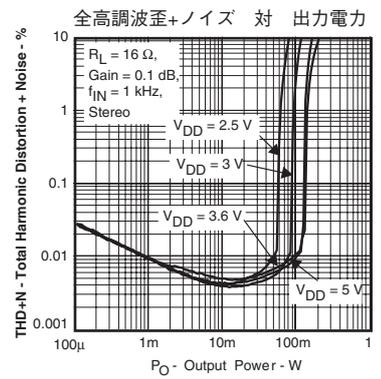


図 5

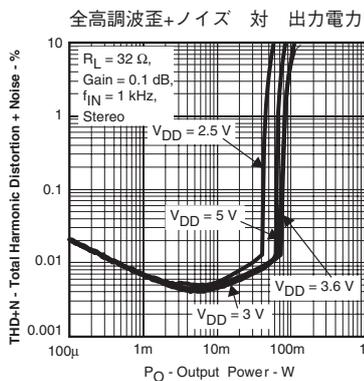


図 6

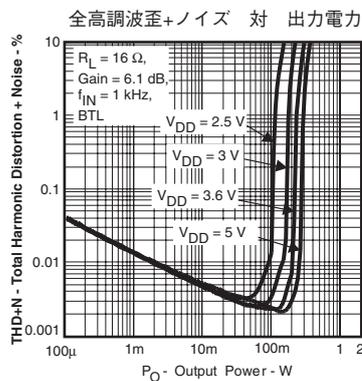


図 7

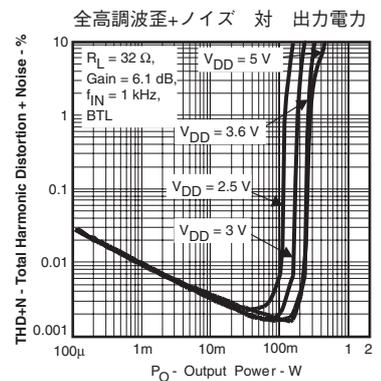


図 8

代表的特性

$C_{(PUMP, DECOUPLE, BYPASS, CPVSS)} = 1\mu F, C_1 = 2.2\mu F$

特に記述のない限り、すべてのTHD+Nグラフは、出力が逆位相です。

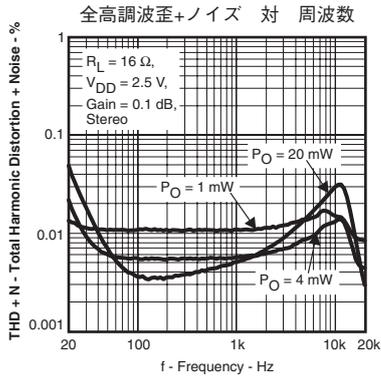


図 9

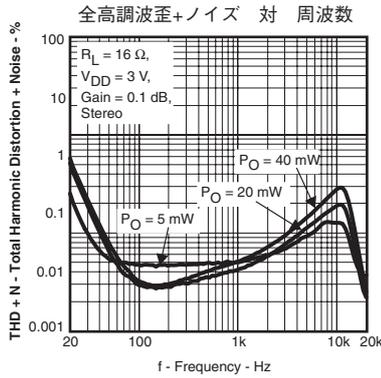


図 10

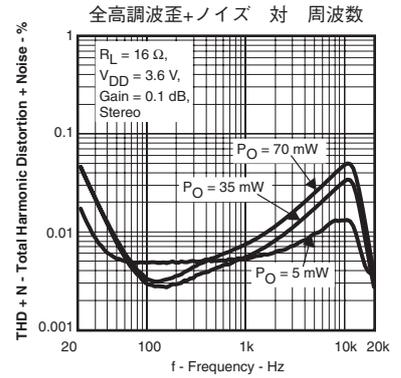


図 11

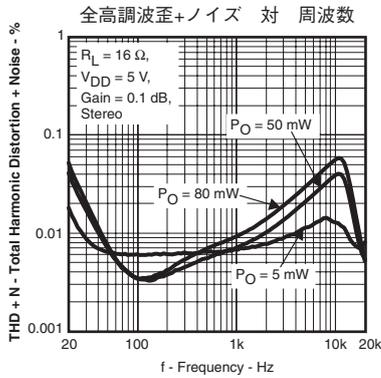


図 12

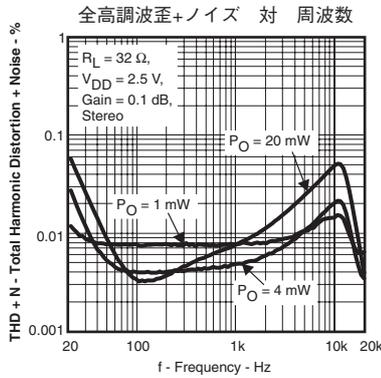


図 13

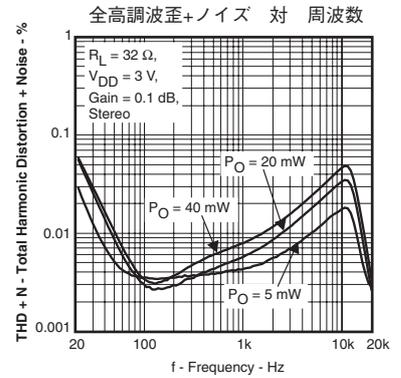


図 14

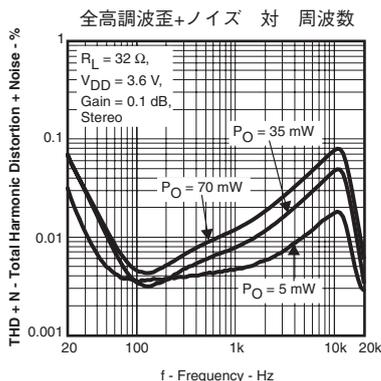


図 15

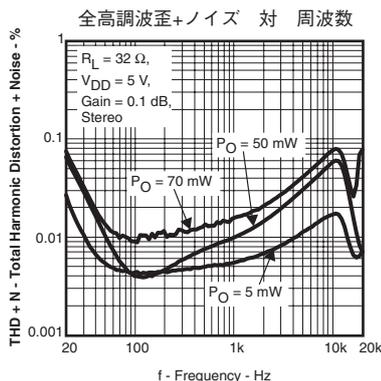


図 16

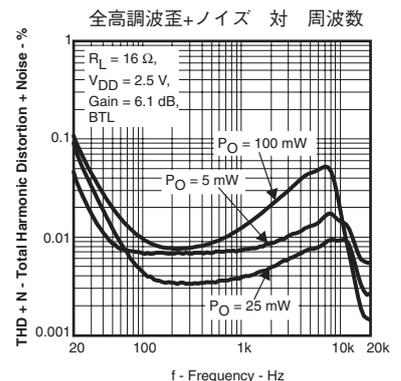


図 17

代表的特性

$C_{(PUMP, DECOUPLE, BYPASS, CPVSS)} = 1\mu F, C_1 = 2.2\mu F$

特に記述のない限り、すべてのTHD+Nグラフは、出力が逆位相です。

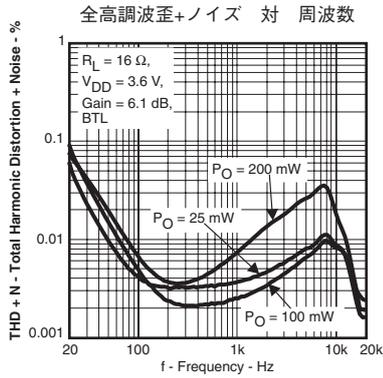


図 18

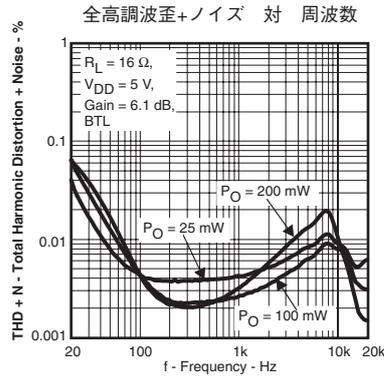


図 19

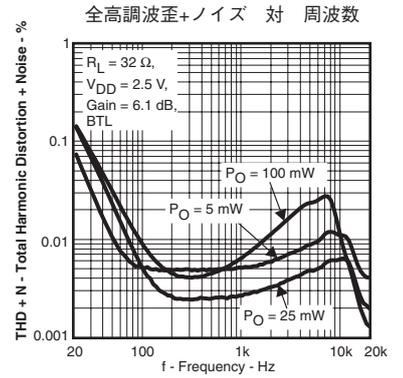


図 20

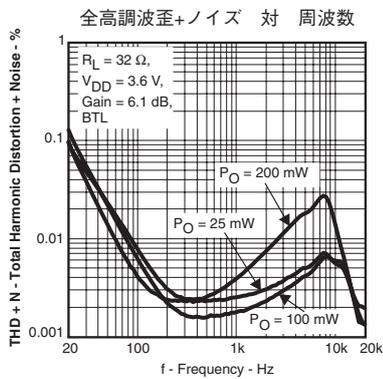


図 21

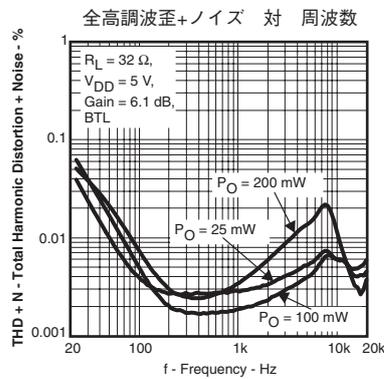


図 22

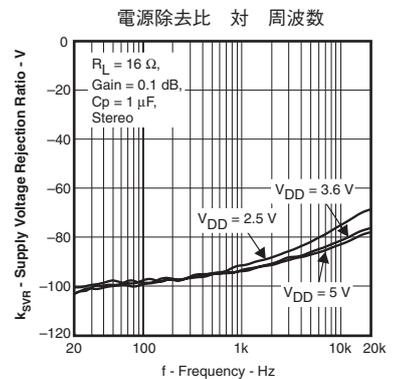


図 23

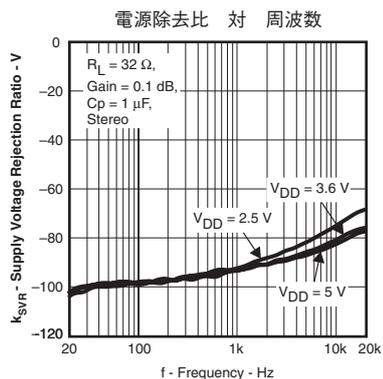


図 24

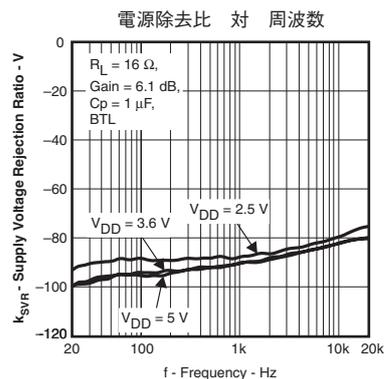


図 25

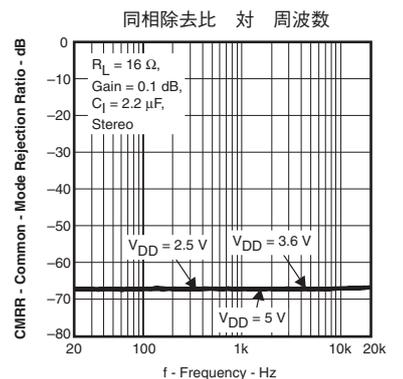


図 26

代表的特性

$C_{(PUMP, DECOUPLE, BYPASS, CPVSS)} = 1\mu F, C_1 = 2.2\mu F$

特に記述のない限り、すべてのTHD+Nグラフは、出力が逆位相です。

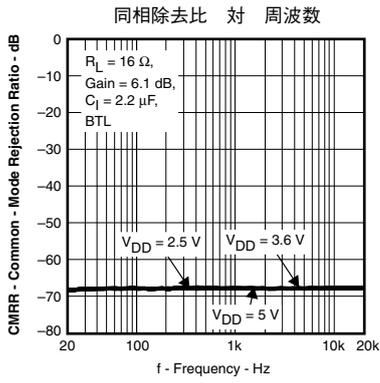


図 27

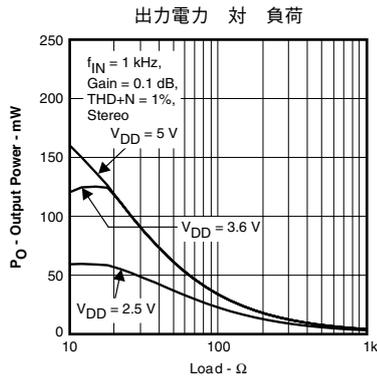


図 28

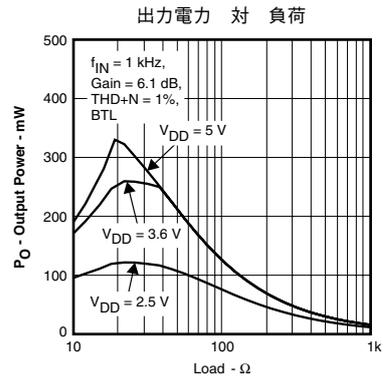


図 29

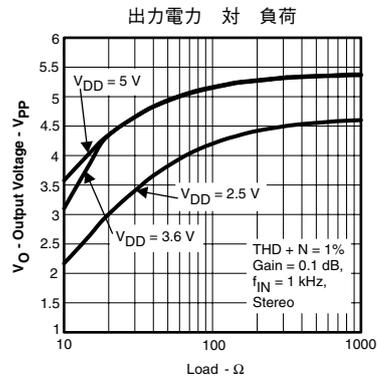


図 30

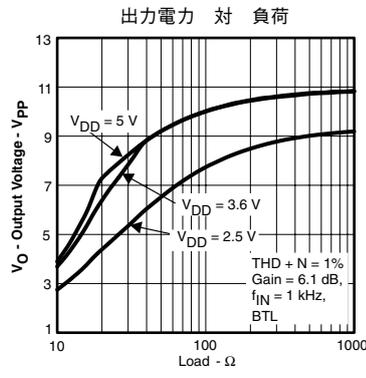


図 31

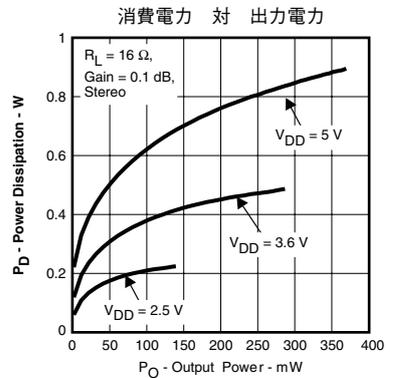


図 32

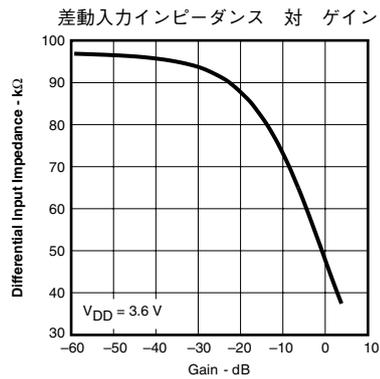


図 33

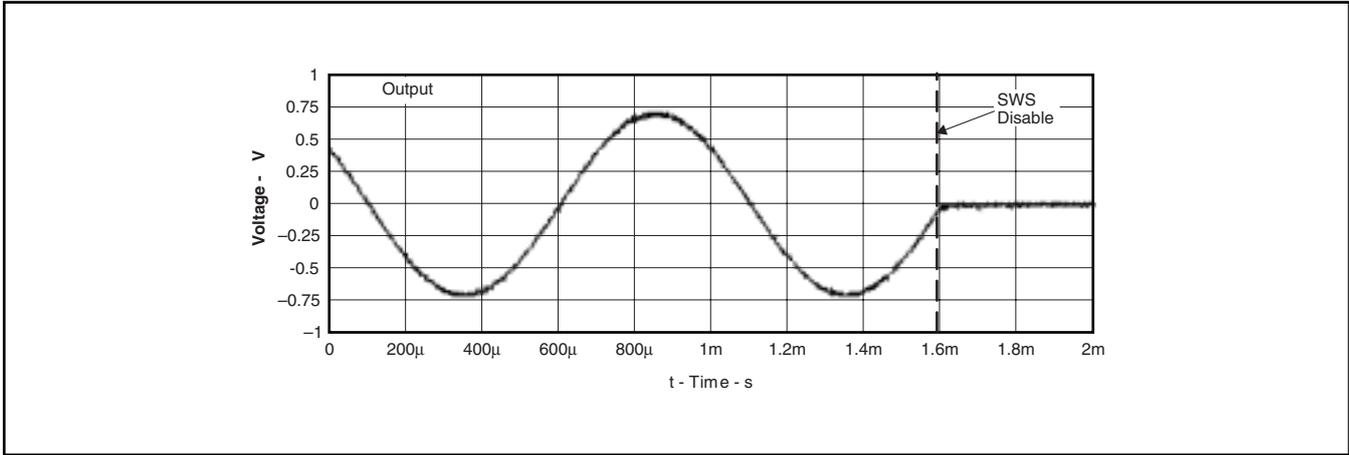


図 34. シャットダウン時間

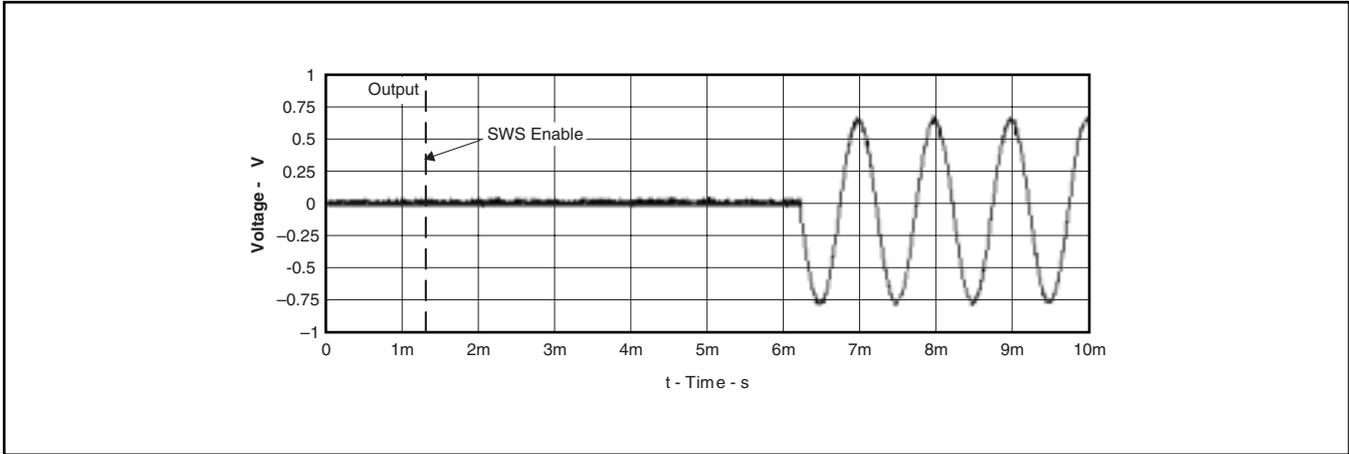


図 35. 起動時間

アプリケーション情報

ヘッドフォン・アンプ

通常、単電源ヘッドフォン・アンプには、DCブロッキング・コンデンサが必要です。多くのヘッドフォン・アンプの出力ピンには、DCバイアスが存在するため、コンデンサが必要です。DCバイアスを除去しない場合、出力信号がクリップしたり、大きな突入電流が発生するため、ヘッドフォンの性能が損なわれます。図36の上の図は、ヘッドフォン・アンプをヘッドフォン・ジャックへ接続する方法とその出力波形です。

通常、DCブロッキング・コンデンサの容量は大きいものです。ヘッドフォン・スピーカ（通常の抵抗値は16Ωまたは32Ω）とDCブロッキング・コンデンサと組み合わせられてハイパスフィルタが形成されます。式(1)は、負荷インピーダンス (R_L)、コンデンサ容量 (C_0) およびカットオフ周波数 (f_c) の間の関係を示しています。

$$f_c = \frac{1}{2\pi R_L C_0} \quad (1)$$

式(2)を使用すると、 C_0 の値を計算することができます。ここで、負荷インピーダンスとカットオフ周波数の値は既知です。

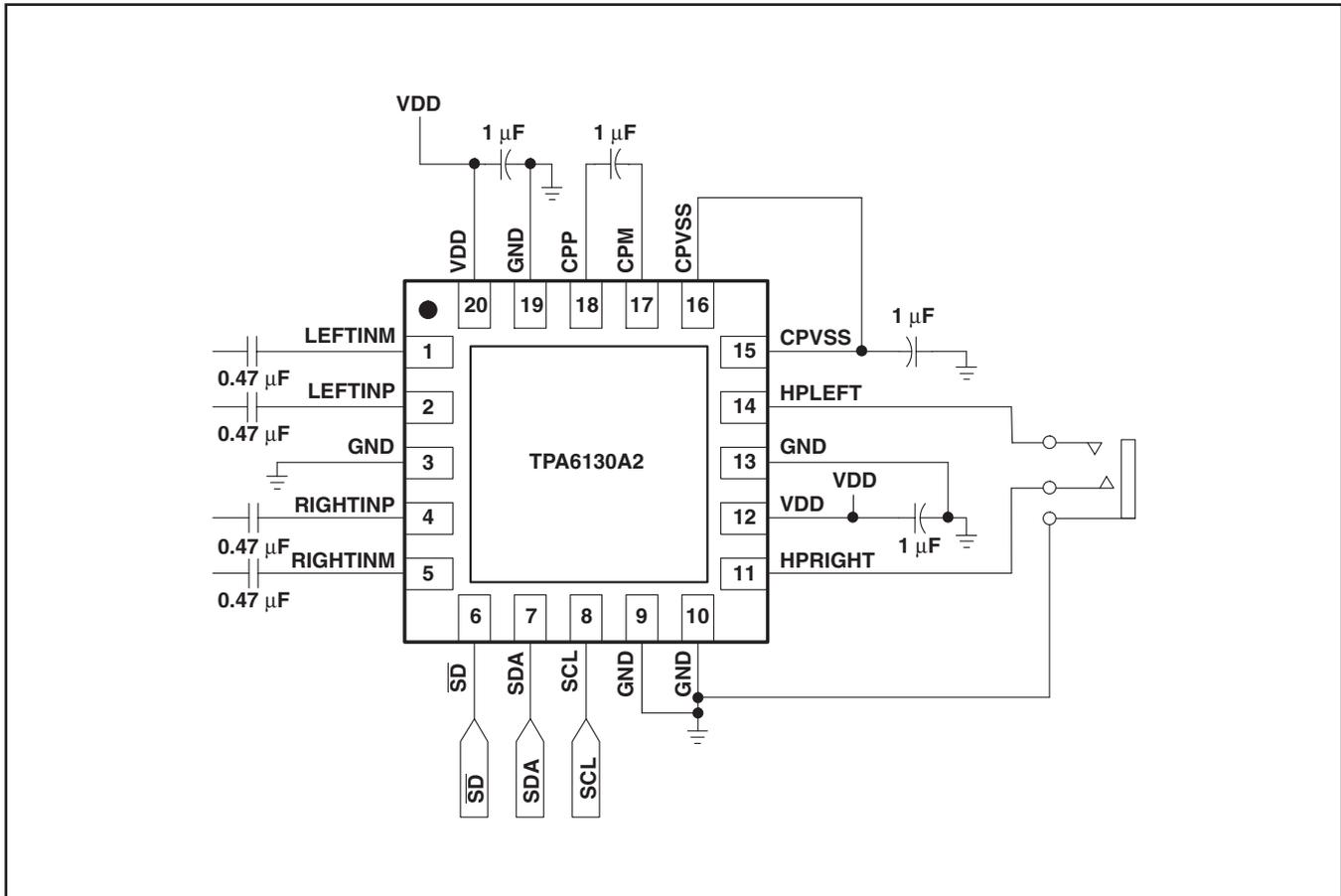
$$C_0 = \frac{1}{2\pi R_L f_c} \quad (2)$$

f_c が低い場合、負荷抵抗が小さいため、容量の値は大きくなります。コンデンサの容量が大きいと、コンデンサのサイズが大きくなります。コンデンサのサイズが大きくなると、PCBの面積が大きくなり、高さも高くなり、組み立てコストが上がり、オーディオ出力シグナルの精度が低下します。

DCブロッキング・コンデンサを取り除くことができるヘッドフォン・アンプのソリューションには2つの方法があります。キャップレス・アンプ・アーキテクチャは、ヘッドフォン・ジャックのシールド端子を除くと、従来のアンプと同じ方法で実装できます。

このアンプは、ヘッドフォン・ジャックのシールド端子に接続される基準電圧を供給します。オーディオ出力シグナルは、この電圧を中点とします。この基準電圧はアンプ電源の半分なので、出力電圧を対称的にスイングすることができます。大電流が流れるのを防ぐため、シールドをGNDに接続しないでください。例えば、フローティングGNDのヘッドフォン以外の付属品をヘッドフォン・コネクタに接続すると、大電流が発生します。図36のまん中のブロック図と波形を参照してください。

単純化したアプリケーション回路



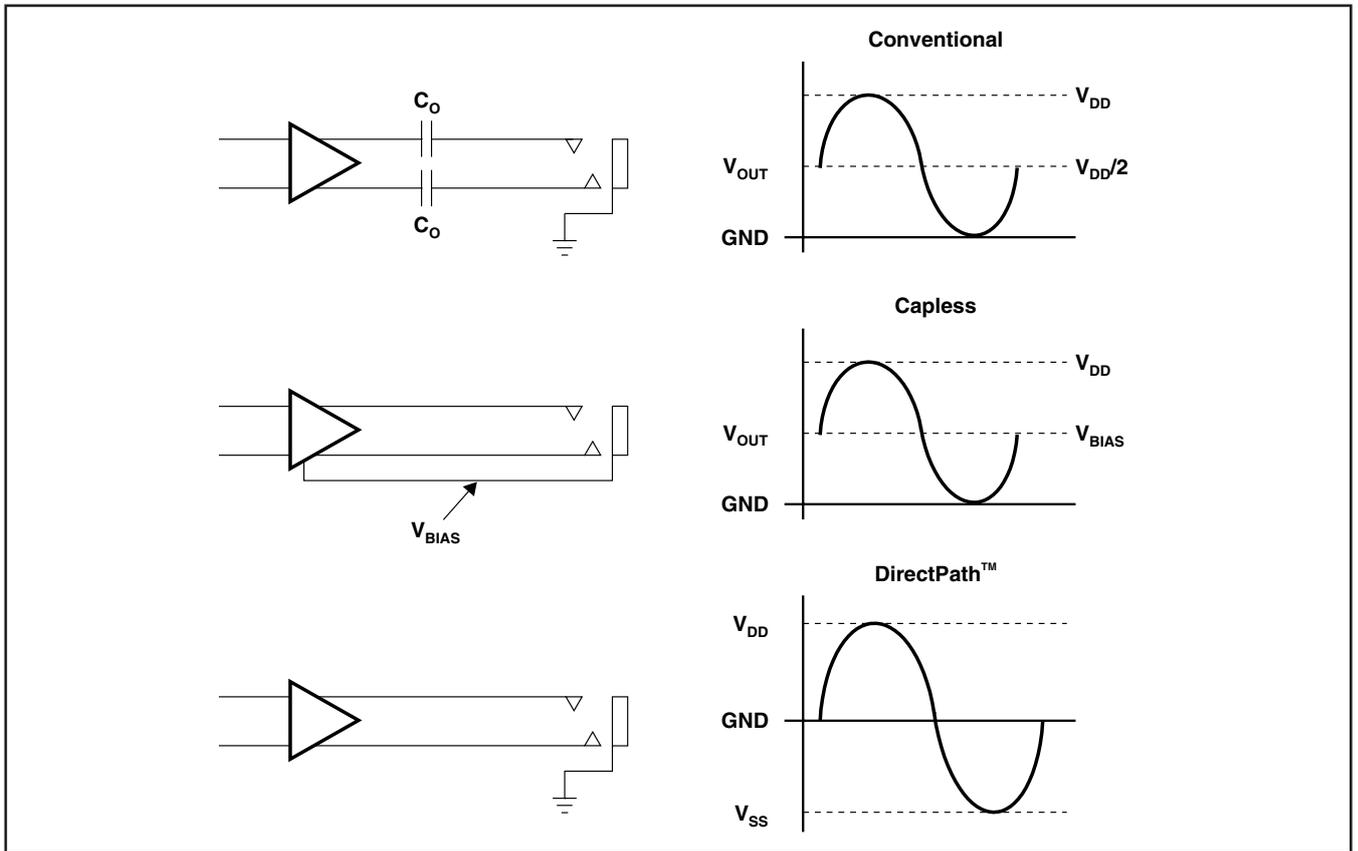


図 36. アンプのアプリケーション

DirectPath™アンプ・アーキテクチャは単電源で動作しますが、内部チャージ・ポンプを使用することにより、負の電圧レールが用意されます。ユーザーが設定した正のレールとICによって発生される負のレールを結合すると、デバイスは両電源モードで効率良く動作します。これにより、出力電圧は0Vを中点として調整されるので、正のレールまたは負のレールにスイングします。DirectPath™アンプはDCブロッキング・コンデンサを必要とせず、スリープに電圧は印加されません。図36の一番下のブロック図と波形には、グラウンド基準ヘッドフォンのアーキテクチャが説明されています。これが、TPA6130A2のアーキテクチャです。

入力コンデンサ

入力コンデンサは、オーディオ・ソースのDC部分をカットするので、入力が適切にバイアスされます。TPA6130A2の入力が適切にバイアスされると、最高の性能を達成できます。ポップ音などの性能に関する問題は、適切な入力コンデンサを使用することによって最適化されます。

アンプの同相入力電圧範囲内で入力が差動接続され、オーディオ・シグナルが±3Vを超えず、ポップ性能が最適な場合、入力コンデンサを除去することができます。

C_{IN} は、計算のみに使用される理論的なコンデンサです。その値は、入力ブロッキング・コンデンサ $C_{(DCINPUT-BLOCKING)}$ を直列接続した場合の値に相当します。式(3)を使用して $C_{(DCINPUT-BLOCKING)}$ の値を計算します。例えば、 C_{IN} が0.22μFの場合、 $C_{(DCINPUT-BLOCKING)}$ は約0.47μFです。

$$C_{IN} = \frac{1}{2} C_{(DCINPUT-BLOCKING)} \quad (3)$$

2つの $C_{(DCINPUT-BLOCKING)}$ コンデンサは、TPA6130A2の入力インピーダンスとでハイパス・フィルタを形成します。式(3)を使用して C_{IN} を計算し、次に C_{IN} を使用してカットオフ周波数を計算し、式(4)を使用してTPA6130A2の差動入力インピーダンス R_{IN} を計算します。差動入力インピーダンスは、ゲインによって変わることにご注意ください。差動入力インピーダンスの値については、図33を参照してください。周波数やコンデンサの値は、次のどちらかの値が与えられると計算できます。

$$f_{C_{IN}} = \frac{1}{2\pi R_{IN} C_{IN}} \quad \text{or} \quad C_{IN} = \frac{1}{2\pi f_{C_{IN}} R_{IN}} \quad (4)$$

すべてのゲイン設定に対して、カットオフポイントが20Hzを超えない-3dBのハイパス・フィルタを適用する場合、上の数式には最小インピーダンスを使用します。図33に示されているインピーダンスは37kΩです。上の数式でこの値を使用すると、コンデンサの値は0.215μFになります。ただし、これは C_{IN} の値で、目的の値は $C_{(DCINPUT-BLOCKING)}$ です。 C_{IN} の値に2を掛けると、0.43μFになります。この値は、標準コンデンサ値の0.47μFに近い値です。TPA6130A2の各入力端子に0.47μFのコンデンサを接続すると、フィルタが完成します。

チャージ・ポンプ・フライング・コンデンサとCPVSSコンデンサ

チャージ・ポンプ・フライング・コンデンサは、負の電源電圧を発生するために電荷を転送します。電荷の転送を最大にするには、CPVSSコンデンサの値を少なくともフライング・コンデンサと同じ値にする必要があります。ESRの小さいコンデンサの使用が理想的です。通常は1 μ Fのコンデンサが使用されます。

デカップリング・コンデンサ

TPA6130A2は、ノイズと全高調波歪 (THD) を低く抑えるために、十分な電源のデカップリングを必要とします。等価直列抵抗 (ESR) の小さい、良好なセラミック・コンデンサを使用してください。通常は1.0 μ Fのコンデンサが使用されます。できるだけ小さなコンデンサを、デバイスのV_{DD}端子にできる限り近づけて配置してください。デカップリング・コンデンサをTPA6130A2の近くに配置すると、アンプの性能が向上します。低周波のノイズをフィルタするには、10 μ F以上のコンデンサをTPA6130A2の近くに配置します。TPA6130A2はPSRRが大きいいため、ほとんどのアプリケーションで10 μ Fのコンデンサは必要ではありません。

推奨レイアウト

TPA6130A2RTJパッケージのパワーパッドを使用するオプション

TPA6130A2RTJ QFNパッケージ上の金属性のパワーパッドをPCB上のパッドに半田付けします。PCB上のパッドは、グラウンド接続またはオープン (グラウンドおよび電源に接続しない) のどちらでも構いません。パッドをグラウンドに接続する場合は、GNDピン (3、9、10、13および19) と同じグラウンドに接続する必要があります。適切な寸法については、データシートの最後にあるレイアウトとパッケージ図面を参照してください。サーマル・パッドを半田付けすると、機械的安定性とデバイスの接地性が改善され、パッケージの熱伝導性が向上します。

GND接続

チャージ・ポンプのGNDピンはチャージ・ポンプのV_{DD}ピンにデカップリングし、アナログV_{DD}ピンとそれに近接するGNDピンは互いに個別にデカップリングする必要があります。

I²C制御インターフェースの詳細

TPA6130A2のアドレス割り当て

このデバイスはスレーブ・デバイスとしてのみ動作します。アドレスは1100000 (バイナリ) です。

一般的なI²Cの動作

I²CバスはSDA (データ) とSCL (クロック) の2本の信号線を使用して、システム内でIC間の通信を行います。データはバス上に1ビットずつシリアルに送信されます。アドレスとデータはバイト (8ビット) 形式で転送され、最上位ビット (MSB) から送信されます。さらに、バス上に転送された各バイトは、受信デバイスで認識され、アクノリッジ・ビットとして出力されます。マスター・デバイスがバス上でスタート・コンディションを生成すると、転送動作が開始されます。また、マスター・デバイスがバス上でストップ・コンディションを生成すると、転送動作が停止されます。バスは、クロック (SCL) が “High” のとき、データ (SDA) の変化の状況によりスタート・コンディションとストップ・コンディションが示されます。SDAの “High” から “Low” への変化はスタート・コンディションを示し、“Low” から “High” への変化はストップ・コンディションを示します。通常、データ・ビットが変化するのは、クロック (SCL) が “Low” のときです。これらの条件は図37に示されています。マスターは7ビットのスレーブ・アドレスを生成し、リード/ライト・ビット (R/W) を使用して他のデバイスとの通信を開始します。次に、アクノリッジを待ちます。TPA6130A2はアクノリッジとして1クロック分、SDAを “Low” に保持し、アクノリッジを示します。これにより、マスターは順に次のバイトを送信します。各デバイスのアドレスは、ユニークな7ビットのスレーブ・アドレスとR/Wビットの8ビット (1バイト) で表わします。互換性のあるすべてのデバイスは、ワイヤードAND接続を使用した双方向バスを通る同じ信号を共有します。

バスのSDA信号線とSCL信号線のレベルを “High” にするために、外部プルアップ抵抗を使用する必要があります。バスのレベルが5Vの場合、1k Ω ~2k Ω の抵抗でプル・アップします。

スタート・コンディションとストップ・コンディションの間で送信されるバイト数に制限はありません。最後のワードが転送されると、マスターはストップ・コンディションを生成し、バスを解放します。一般的なデータの転送シーケンスは、図37に示されています。

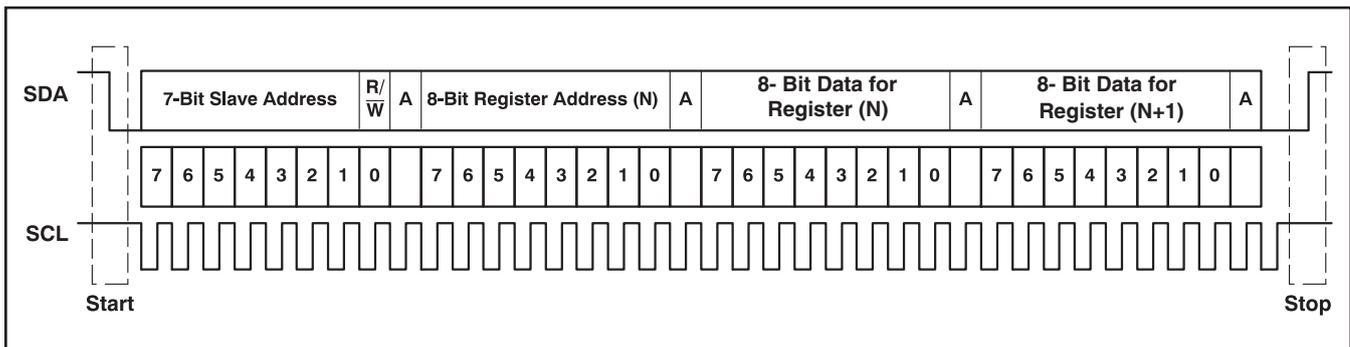


図 37. 代表的なI²Cシーケンス

シングル・バイトとマルチ・バイトの転送

シリアル制御インターフェイスは、すべてのレジスタに対して、シングル・バイトとマルチ・バイト共、リード/ライト動作をサポートします。

マルチ・バイト読み取り動作は、TPA6130A2が指定されたレジスタから1バイトずつ応答し、マスター・デバイスからアクノリッジ応答がある限り続けます。

TPA6130A2はI²Cアドレスの順次割り当てをサポートします。書き込み動作は、指定したレジスタと、残りのすべてのレジスタに対するデータが続く場合、I²C順次書き込みトランザクションが実行されます。I²C順次書き込みトランザクションでは、指定したレジスタからストップまたはスタートが発行されるまでに送信されたデータの量によって、書き込まれたレジスタの数を特定することができます。

シングル・バイトの書き込み

図38に示されているように、マスター・デバイスがスタート・コンディションを生成すると、シングル・バイト・データの書き込み転送が開始され、続いてI²Cデバイス・アドレスとR/Wビットが送信されます。データ転送方向は、R/Wビットによって決定されます。書き込みデータ転送を実行するには、R/Wビットを0にします。TPA6130A2は、正しいI²Cデバイス・アドレスとR/Wビットを受信すると、アクノリッジ・ビットを返信します。

次に、マスター・デバイスは、アクセス中のTPA6130A2内部メモリ・アドレスに対応するレジスタ・バイトを送信します。TPA6130A2は、レジスタ・バイトを受信すると、再度アクノリッジ・ビットで応答します。次に、マスター・デバイスは、アクセス中のメモリ・アドレスに書き込むデータ・バイトを送信します。TPA6130A2は、データ・バイトを受信すると、再度アクノリッジ・ビットで応答します。最後に、マスター・デバイスがストップ・コンディションを送信すると、シングル・バイト・データの書き込み転送が完了します。

マルチ・バイトの書き込みと増分マルチ・バイトの書き込み

マルチ・バイト・データの書き込み転送は、シングル・バイト・データの書き込み転送とほとんど同じですが、図39に示されているように、マスター・デバイスからTPA6130A2に複数のデータ・バイトが送信される点が異なります。TPA6130A2は、受信した各データ・バイトに対してアクノリッジ・ビットで応答します。

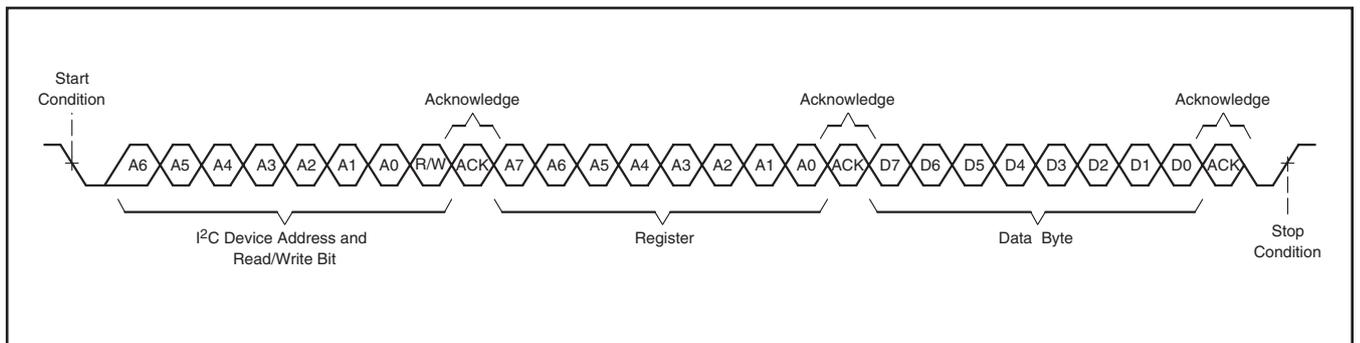


図 38. シングル・バイトの書き込み転送

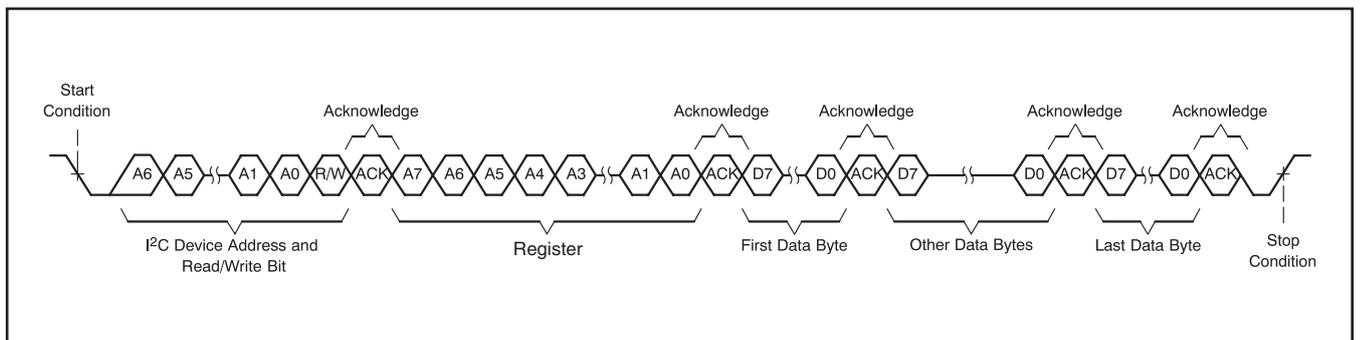


図 39. マルチ・バイトの書き込み転送

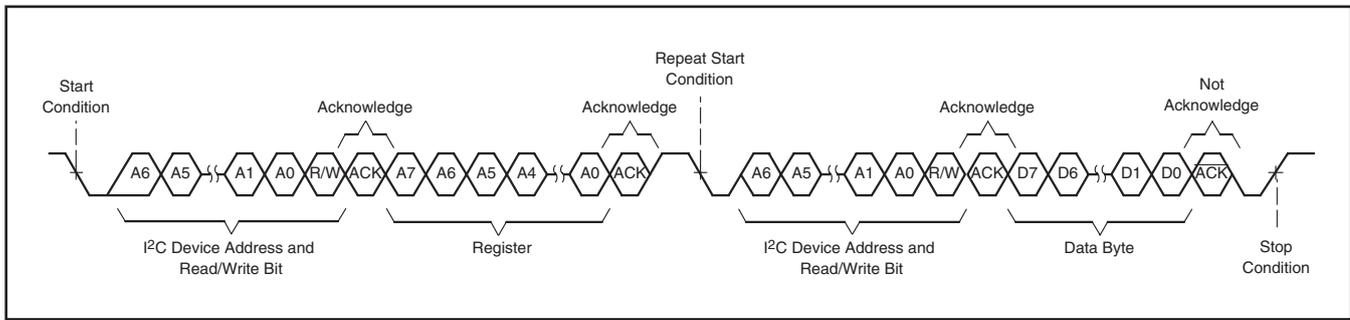


図 40. シングル・バイトの読み取り転送

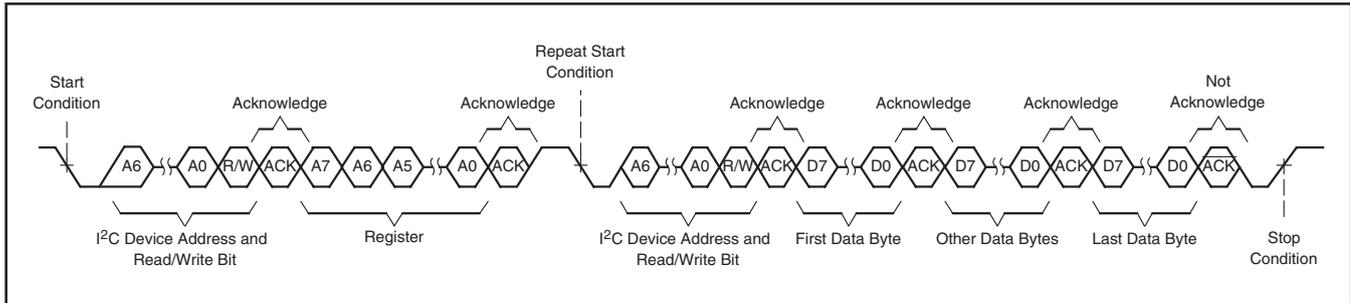


図 41. マルチ・バイトの読み取り転送

シングル・バイトの読み取り

図40に示されているように、マスター・デバイスがスタート・コンディションを発行すると、シングル・バイト・データの読み取り転送が開始され、続いてI²Cデバイス・アドレスとR/Wビットが送信されます。データの読み取り転送では、実際には書き込みの後に読み取りも実行されます。最初に、内部メモリ・アドレスの読み取りに必要なアドレス・バイトを転送するために、書き込みが実行されます。この結果、R/Wビットは0に設定されます。

TPA6130A2は、TPA6130A2アドレスとR/Wビットを受信すると、アクノリッジ・ビットで応答します。次に、マスター・デバイスが内部メモリ・アドレス・バイトを送信すると、TPA6130A2はアクノリッジ・ビットを送信します。マスター・デバイスは再度、別のスタート・コンディションに続いて、TPA6130A2アドレス、R/Wビットを順に送信します。このと

き、R/Wビットは1に設定され、読み取り転送が実行されることを示します。次に、TPA6130A2は読み取り中のメモリ・アドレスからデータ・バイトを送信します。マスター・デバイスがデータ・バイトを受信すると、ノット・アクノリッジとストップ・コンディションを順番に送信し、シングル・バイト・データの読み取り転送が完了します。

マルチ・バイトの読み取り

マルチ・バイト・データの読み取り転送は、シングル・バイト・データの読み取り転送とほとんど同じですが、図41に示されているように、TPA6130A2からマスター・デバイスに複数のデータ・バイトが送信される点が異なります。マスター・デバイスは、データ・バイトを受信するごとにアクノリッジ・ビットを返信します。ただし、最後のデータ・バイトについては返信しません。

レジスタ・マップ

レジスタ	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
1	HP_EN_L	HP_EN_R	モード [1]	モード [0]	Reserved	Reserved	サーマル	SWS
2	Mute_L	Mute_R	ボリューム [5]	ボリューム [4]	ボリューム [3]	ボリューム [2]	ボリューム [1]	ボリューム [0]
3	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	HiZ_L	HiZ_R
4	Reserved	Reserved	RFT	RFT	バージョン [3]	バージョン [2]	バージョン [1]	バージョン [0]
5	RFT	RFT	RFT	RFT	RFT	RFT	RFT	RFT
6	RFT	RFT	RFT	RFT	RFT	RFT	RFT	RFT
7	RFT	RFT	RFT	RFT	RFT	RFT	RFT	RFT
8	RFT	RFT	RFT	RFT	RFT	RFT	RFT	RFT

表 1. レジスタ・マップ

「Reserved」とラベルの付いたビットは、将来における拡張を想定して予約されています。これらのビットに書き込むことはできません。これらのビットを読み取ると、0の値が表示されます。

「RFT」とラベルの付いたビットは、TIのテスト用に予約されています。いかなる状況においても、これらのレジスタにデータを書き込むことはできません。これらのビットに書き込むと、デバイスの機能が変更され、重大な障害が発生する可能性があります。これらのビットを読み取ると、予想外の値が表示される可能性があります。

制御レジスタ（アドレス：1）

ビット	7	6	5	4	3	2	1	0
機能	HP_EN_L	HP_EN_R	モード [1]	モード [0]	Reserved	Reserved	サーマル	SWS
リセット値	0	0	0	0	0	0	0	0

- HP_EN_L 左チャンネルのアンプに対するビットを有効にします。ビットが“High”の場合、アンプはアクティブです。
- HP_EN_R 右チャンネルのアンプに対するビットを有効にします。ビットが“High”の場合、アンプはアクティブです。
- モード [1:0] モード [1]とモード [0]のモード・ビットを使用して、3つの動作モードのうちから1つのモードを選択します。00はステレオ・ヘッドフォン・モードです。01はデュアル・モノ・ヘッドフォン・モードです。10はBTLモードです。
- Reserved これらのビットは、将来における拡張を想定して予約されています。これらのビットに書き込むことはできません。これらのビットを読み取ると、0の値が表示されます。
- サーマル このビットの値が1の場合、ハードウェアによってサーマル・シャットダウンされたことを示します。温度が安全なレベルに低下すると、ビットの値に関係なく、デバイスの動作が再開されます。このビットは、読み取り後にクリアされます。
- SWS ソフトウェア・シャットダウンを制御します。このビットが1の場合、デバイスはソフトウェア・シャットダウンされています。このビットが“Low”の場合、チャージ・ポンプはアクティブです。通常の動作において、SWSは“Low”である必要があります。

ボリュームとミュートのレジスタ（アドレス：2）

ビット	7	6	5	4	3	2	1	0
機能	Mute_L	Mute_R	ボリューム [5]	ボリューム [4]	ボリューム [3]	ボリューム [2]	ボリューム [1]	ボリューム [0]
リセット値	1	1	0	0	0	0	0	0

- Mute_L 左チャンネルをミュートします。このビットが“High”の場合、左チャンネルはミュートされます。
- Mute_R 右チャンネルをミュートします。このビットが“High”の場合、右チャンネルはミュートされます。
- ボリューム [5:0] ボリューム制御のための6つのビットです。111111はゲインが最高で、000000はゲインが最低であることを示します。

出カインピーダンス・レジスタ（アドレス：3）

ビット	7	6	5	4	3	2	1	0
機能	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	HiZ_L	HiZ_R
リセット値	0	0	0	0	0	0	0	0

- Reserved これらのビットは、将来における拡張を想定して予約されています。これらのビットに書き込むことはできません。これらのビットを読み取ると、0の値が表示されます。これらのビットへの書き込みはすべて無視されます。
- HiZ_L 左チャンネルのアンプ出力を3ステート高インピーダンス・モードにします。
- HiZ_R 右チャンネルのアンプ出力を3ステート高インピーダンス・モードにします。

I²Cアドレスとバージョンのレジスタ（アドレス：4）

ビット	7	6	5	4	3	2	1	0
機能	Reserved	Reserved	RFT	RFT	バージョン [3]	バージョン [2]	バージョン [1]	バージョン [0]
リセット値	0	0	0	0	0	0	0	0

- Reserved これらのビットは、将来における拡張を想定して予約されています。これらのビットに書き込むことはできません。これらのビットを読み取ると、0の値が表示されます。
- バージョン [3:0] バージョン・ビットは、シリコンのリビジョンの追跡に使用されます。販売されているTPA6130A2に対する有効な値は0010です。
- RFT テスト用に予約されています。これらのレジスタに値を書き込まないでください。

テスト用に予約されたレジスタ（アドレス：5～8）

ビット	7	6	5	4	3	2	1	0
機能	RFT							
リセット値	x	x	x	x	x	x	x	x

- RFT テスト用に予約されています。これらのレジスタに値を書き込まないでください。

動作モード

TPA6130A2は多数の動作モードをサポートしています。

ハードウェア・シャットダウン

\overline{SD} ピンをロジック0にするとハードウェア・シャットダウンします。デバイスはこのモードで完全にシャットダウンします。このとき、デバイスには最小電流しか流れません。このモードは他のどのモードよりも優先されます。レジスタにプログラムされた情報はすべて失われます。次回デバイスが起動すると、レジスタはデフォルトの状態に戻ります。

ソフトウェア・シャットダウン

レジスタ1のビット0に1を書き込むとソフトウェア・シャットダウンします。このビットはSWSビットです。ソフトウェア・シャットダウンを実行すると、デバイスが低消費電力状態に移行します。ただし、消費電流値はハードウェア・シャットダウンの場合よりも大きくなります(値については、電気的特性を参照)。また、ソフトウェア・シャットダウンを実行すると、チャージ・ポンプがオフになり、出力がディセーブルになります。デバイスをオンにするときは、SWSビットに0を書き込みます。

デバイスがSWSモードにある場合、アンプのディセーブル状態を反映するため、レジスタ1のビット7とビット6はクリアされるので注意してください。他のすべてのレジスタの値は維持されます。SWSビットに0を書き込むと、アンプは再度イネーブルになります。1つのビットにだけ書き込む場合でもフルワードを使用する必要があるため、レジスタ全体をリセットする必要があります。

チャージ・ポンプのイネーブルとHPアンプのディセーブル

TPA6130A2のアンプ出力をイネーブルにするには、レジスタ1のビット6とビット7に1を書き込みます。レジスタ1のビット6とビット7に0を書き込むと、アンプ出力がディセーブルになります。左右の出力を個別にイネーブルまたはディセーブルにすることができます。アンプ出力をディセーブルにしても、チャージ・ポンプはオンのままです。

HiZ状態

HiZをイネーブルにするには、レジスタ3のビット0とビット1に1を書き込みます。レジスタ3のビット0とビット1に0を書き込むと、出力のHiZ状態がディセーブルになります。左右の出力を個別にHiZ状態に設定することができます。

HiZ状態を設定すると、出力が高インピーダンス状態になります。TPA6130A2の出力がアクティブである他のデバイスとパターンを共有している場合、この構成を使用してください。

HiZモードを使用する場合、TPA6130A2を(SWSモードまたはハードウェア・シャットダウンではなく)アクティブにする必要があるため注意してください。また、アンプ出力をイネーブルにはいけません。

ステレオ・ヘッドフォン・ドライブ

レジスタ1のMODEビットが00で、両方のヘッドフォンのイネーブルビットがイネーブルになっている場合、デバイスはステレオ・ヘッドフォン・モードです。2つのアンプ・チャンネルは、個別に動作します。このモードは、ステレオ再生に適しています。

デュアル・モノ・ヘッドフォン・ドライブ

レジスタ1のMODEビットが01で、両方のヘッドフォンのイネーブルビットがイネーブルになっている場合、デバイスはデュアル・モノ・ヘッドフォン・モードです。左チャンネルがアクティブ入力です。信号が増幅され、左右両方のヘッドフォン出力に信号が分配されます。

BTL・レシーバ・ドライブ

レジスタ1のMODEビットが10で、両方のヘッドフォンのイネーブル・ビットがイネーブルになっている場合、デバイスはBTLモードです。デバイスがこのモードのとき、左チャンネルの入力が使用され、BTL接続でHPLEFTとHPRIGHTに接続されたシングル負荷が駆動されます。ブリッジ接続モードの最小負荷は、ステレオ・モードの最小負荷と同じです(「絶対最大定格」を参照)。

デフォルト・モード

TPA6130A2は、次の状態で起動します。

- SWS = オフ、チャージポンプ = オン
- HPイネーブル = オフ
- HiZ = オフ
- モード = ステレオ
- HPミュート = オン、ボリューム = -59.5dB

ボリューム制御

TPA6130A2のボリューム制御は、I²Cインターフェイスで設定します。6つのボリューム制御レジスタ・ビットは、オーディオ・テーパーを使用する64のボリューム設定にデコードされま

す。設定情報については、表2オーディオ・ゲインを参照してください。この表に掲載されている値は、代表値です。ゲインのステップごとに入力インピーダンスは異なります。図33を参照してください。

ゲイン制御ワード (バイナリ) ミュート [7:6]、 V [5:0]	ゲイン (dB)	ゲイン (V/V)	ゲイン制御ワード (バイナリ) ミュート [7:6]、 V [5:0]	ゲイン (dB)	ゲイン (V/V)
11XXXXXX	-100	0.00001	00100000	-10.9	0.283
00000000	-59.5	0.001	00100001	-10.3	0.305
00000001	-53.5	0.002	00100010	-9.7	0.329
00000010	-50.0	0.003	00100011	-9.0	0.353
00000011	-47.5	0.004	00100100	-8.5	0.379
00000100	-45.5	0.005	00100101	-7.8	0.405
00000101	-43.9	0.007	00100110	-7.2	0.433
00000110	-41.4	0.009	00100111	-6.7	0.462
00000111	-39.5	0.012	00101000	-6.1	0.493
00001000	-36.5	0.015	00101001	-5.6	0.524
00001001	-35.3	0.018	00101010	-5.1	0.557
00001010	-33.3	0.022	00101011	-4.5	0.591
00001011	-31.7	0.026	00101100	-4.1	0.627
00001100	-30.4	0.031	00101101	-3.5	0.664
00001101	-28.6	0.037	00101110	-3.1	0.702
00001110	-27.1	0.043	00101111	-2.6	0.742
00001111	-26.3	0.050	00110000	-2.1	0.783
00010000	-24.7	0.057	00110001	-1.7	0.825
00010001	-23.7	0.065	00110010	-1.2	0.870
00010010	-22.5	0.074	00110011	-0.8	0.915
00010011	-21.7	0.084	00110100	-0.3	0.962
00010100	-20.5	0.093	00110101	0.1	1.010
00010101	-19.6	0.104	00110110	0.5	1.061
00010110	-18.8	0.116	00110111	0.9	1.112
00010111	-17.8	0.129	00111000	1.4	1.165
00011000	-17.0	0.142	00111001	1.7	1.220
00011001	-16.2	0.156	00111010	2.1	1.277
00011010	-15.2	0.172	00111011	2.5	1.335
00011011	-14.5	0.188	00111100	2.9	1.395
00011100	-13.7	0.205	00111101	3.3	1.456
00011101	-13.0	0.223	00111110	3.6	1.520
00011110	-12.3	0.242	00111111	4.0	1.585
00011111	-11.6	0.262			

表 2. オーディオ・ゲイン

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPA6130A2RTJR	ACTIVE	QFN	RTJ	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPA6130A2RTJRG4	ACTIVE	QFN	RTJ	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPA6130A2RTJT	ACTIVE	QFN	RTJ	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPA6130A2RTJTG4	ACTIVE	QFN	RTJ	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPA6130A2YZHR	ACTIVE	DSBGA	YZH	16	3000	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM
TPA6130A2YZHT	ACTIVE	DSBGA	YZH	16	250	Green (RoHS & no Sb/Br)	SNAGCU	Level-1-260C-UNLIM

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

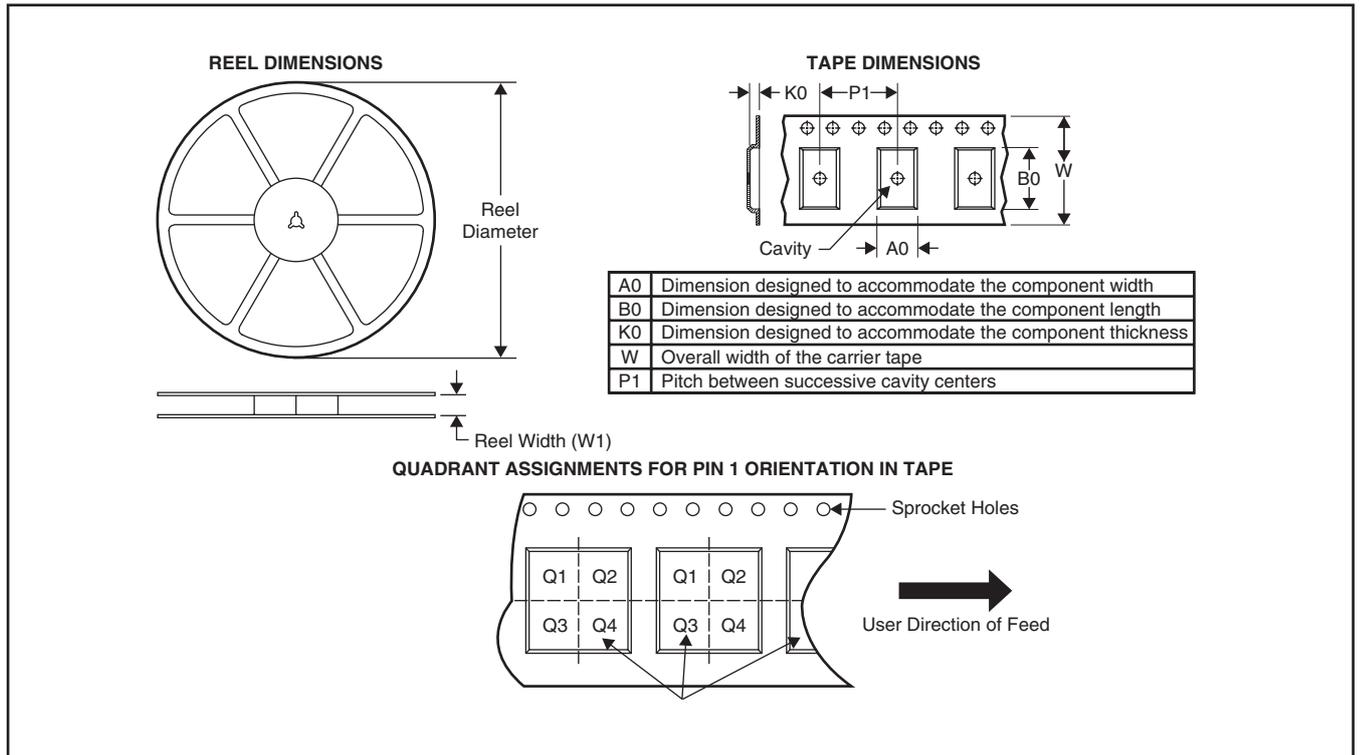
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行わないものとします。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・材料情報

テープおよびリール・ボックス情報

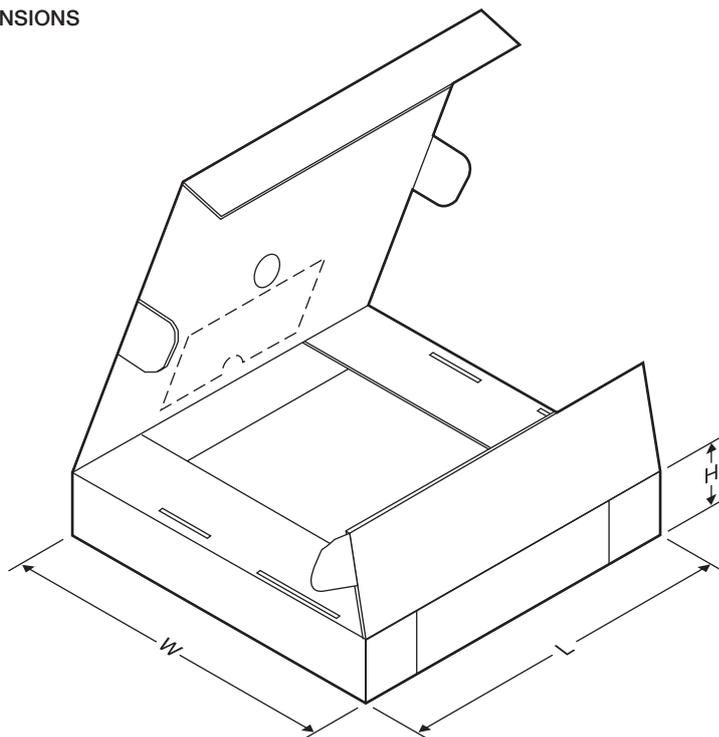


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPA6130A2RTJR	QFN	RTJ	20	3000	330.0	12.4	4.3	4.3	1.5	8.0	12.0	Q2
TPA6130A2RTJT	QFN	RTJ	20	250	180.0	12.4	4.3	4.3	1.5	8.0	12.0	Q2
TPA6130A2YZHR	DSBGA	YZH	16	3000	180.0	8.4	2.07	2.07	0.81	4.0	8.0	Q1

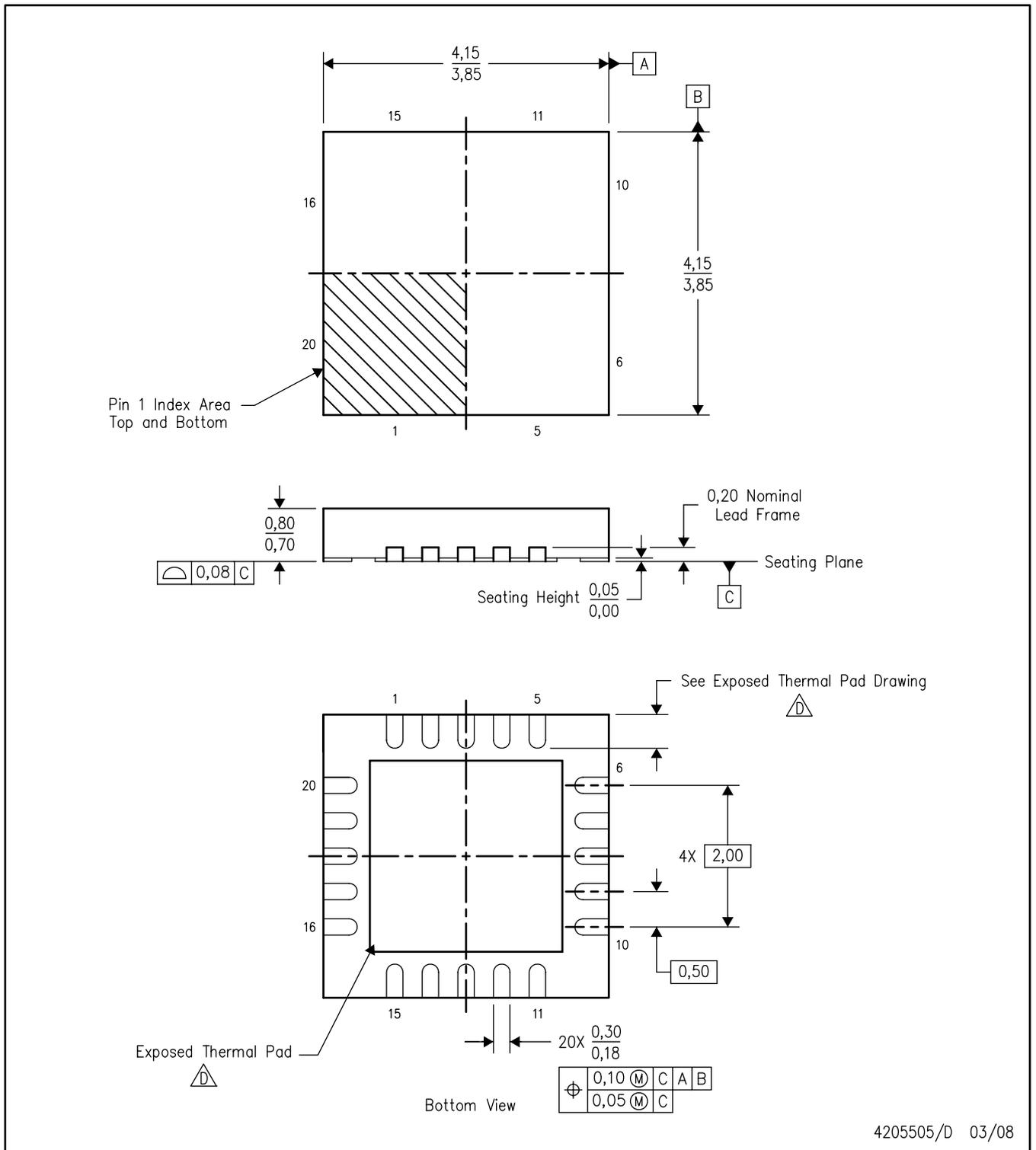
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPA6130A2RTJR	QFN	RTJ	20	3000	346.0	346.0	29.0
TPA6130A2RTJT	QFN	RTJ	20	250	190.5	212.7	31.8
TPA6130A2YZHR	DSBGA	YZH	16	3000	190.5	212.7	31.8



4205505/D 03/08

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5–1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No–Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance. See the Product Data Sheet for details regarding the exposed thermal pad dimensions.

サーマルパッド・メカニカル・データ

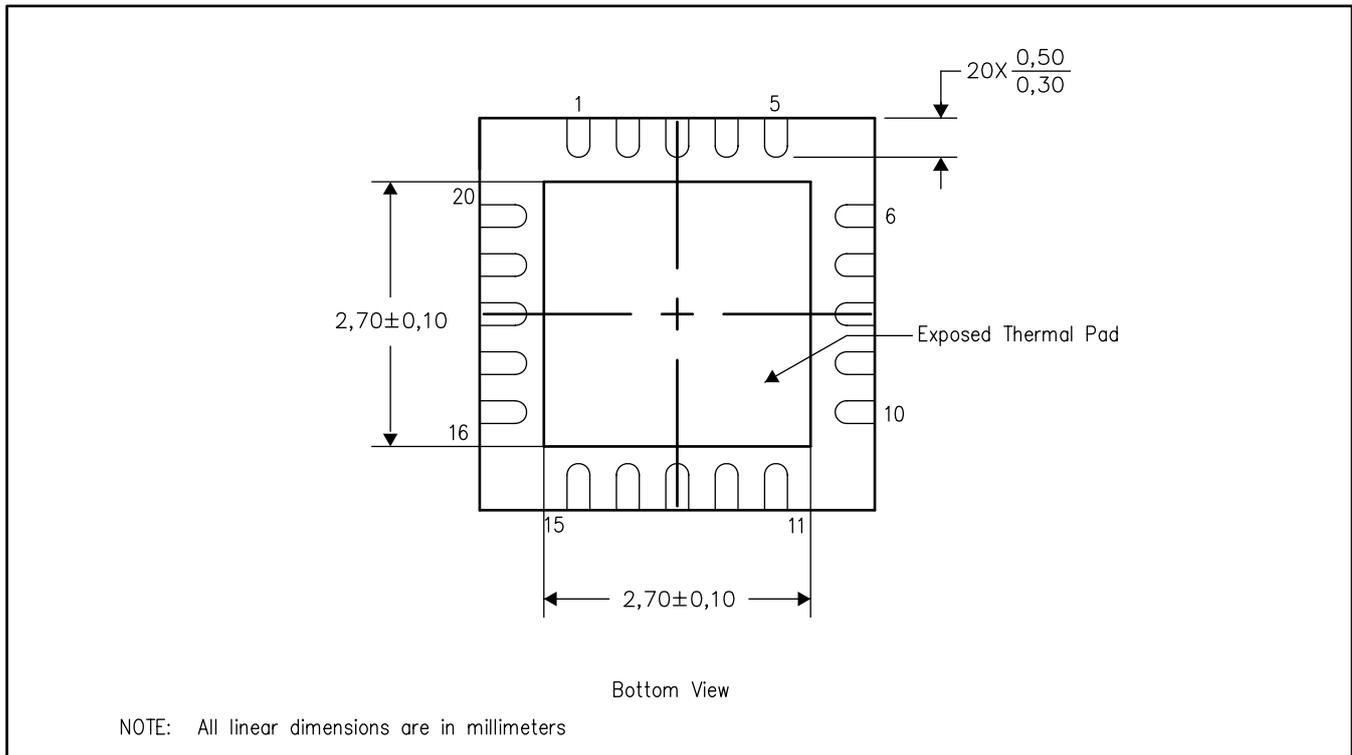
RTJ (S-PWQFN-N20)

熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマルパッドが装備されています。このサーマルパッドは、プリント基板 (PCB) に直接半田付ける必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマルパッドをグランド・プレーンまたは電源プレーン (いずれか適切な方)、あるいはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーション・レポート『Quad Flatpack No-Lead Logic Packages』 (Texas Instruments文献番号SCBA017) を参照してください。このドキュメントは、ホームページ www.ti.com で入手できます。

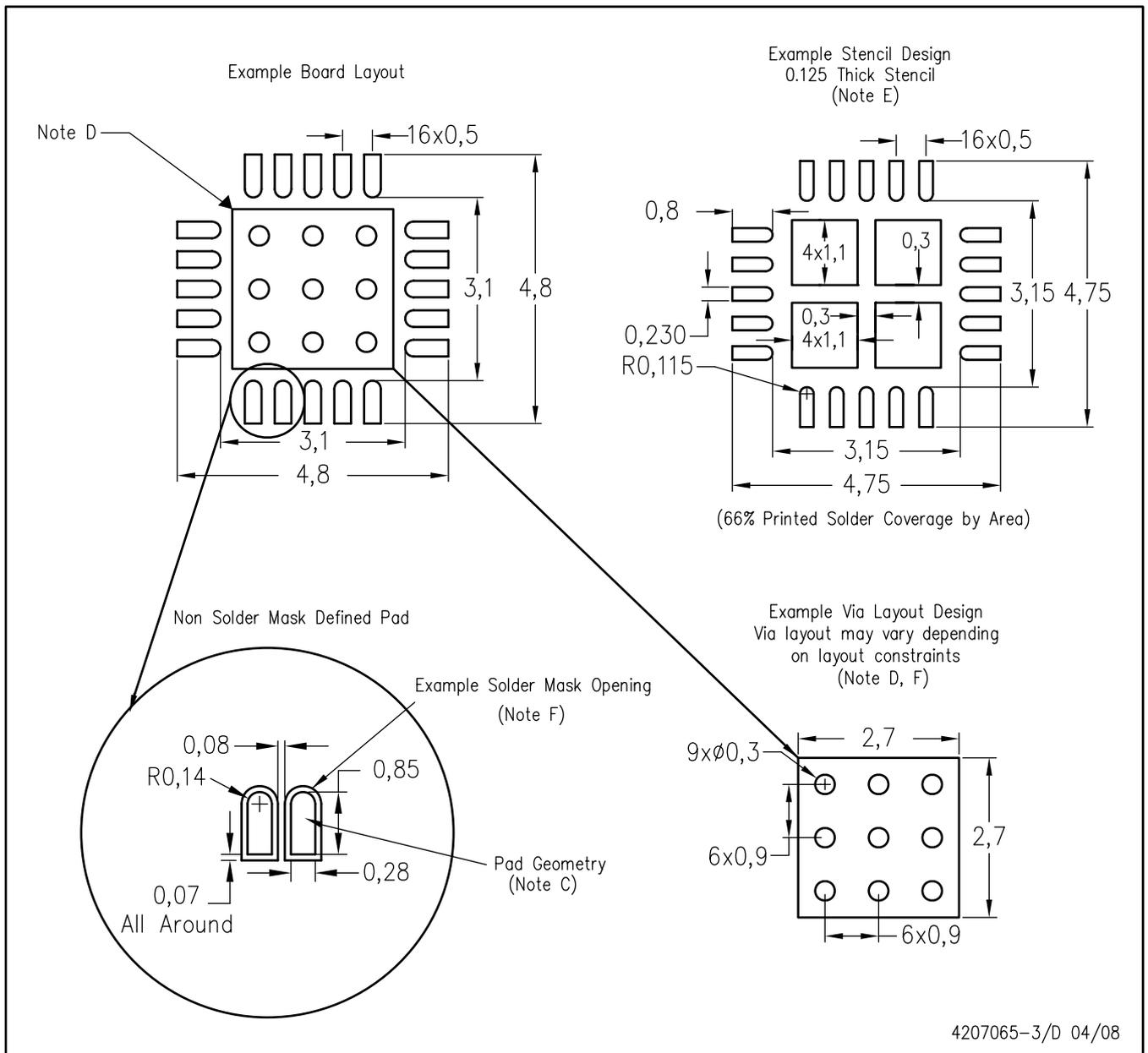
このパッケージの露出したサーマルパッドの寸法を次の図に示します。



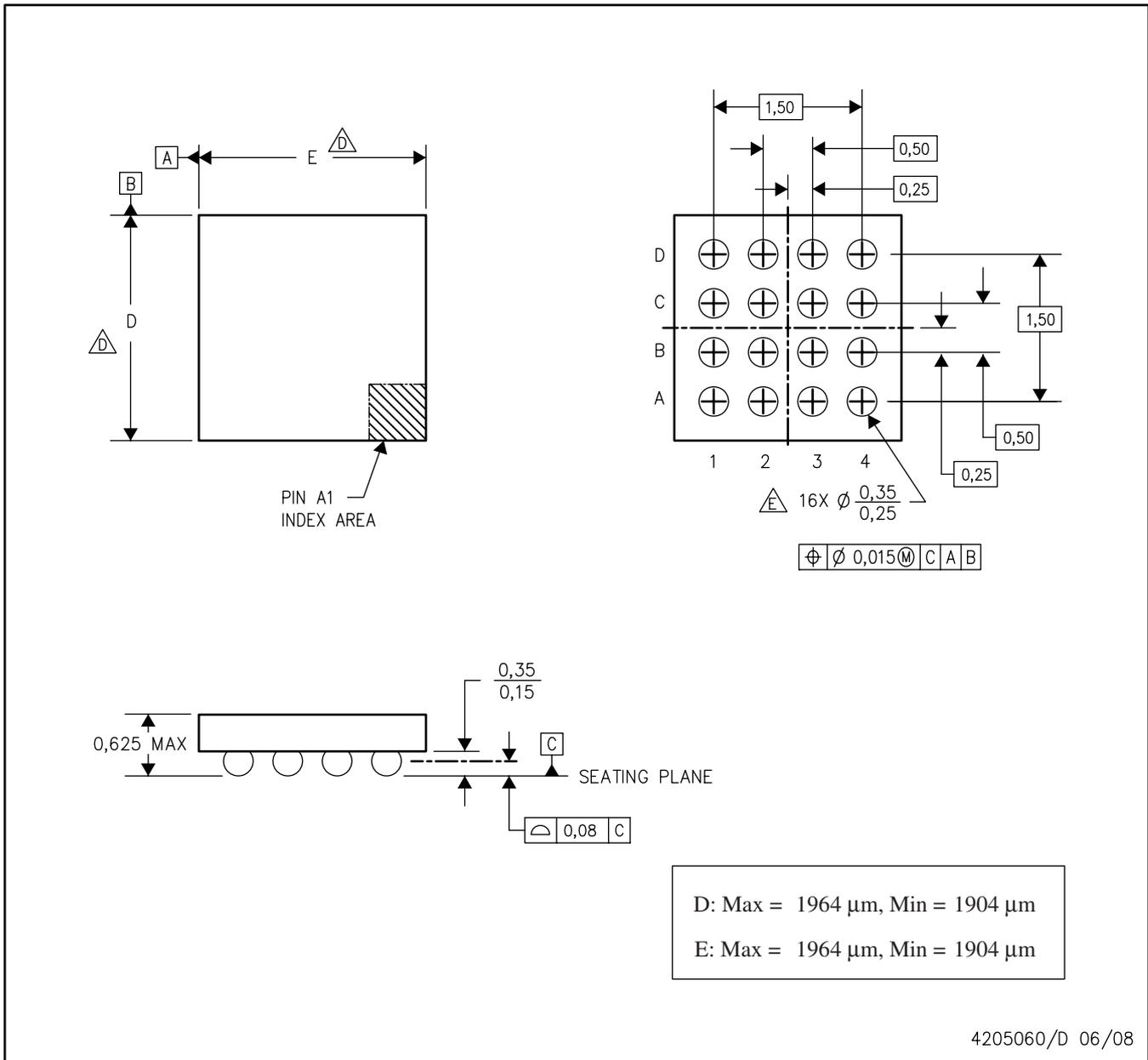
Exposed Thermal Pad Dimensions

LAND PATTERN

RTJ (S-PWQFN-N20)



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SCBA017, SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. NanoFree™ package configuration.
 - $\triangle D$ Devices in YZH package can have dimension D ranging from 1.94 to 2.65 mm and dimension E ranging from 1.94 to 2.65 mm. To determine the exact package size of a particular device, refer to the device datasheet or contact a local TI representative.
 - E. Reference Product Data Sheet for array population.
4 x 4 matrix pattern is shown for illustration only.
 - F. This package contains lead-free balls.
Refer to YEH (Drawing #4204183) for tin-lead (SnPb) balls.

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上